

XCLの要点

- 2つの独立した8ビット タイマ/カウンタ
- 2つの8ビット タイマ/カウンタの縦列接続による1つの16ビット タイマ/カウンタ
- 設定可能な参照表(LUT)支援:
 - AND, NAND, OR, NOR, XOR, XNOR, NOT, MUX
 - D型フリップフロップ、Dラッチ、RSラッチ
- 入力元:
 - 外部ピンまたは事象システムから
 - USARTピン
- 出力:
 - 外部ピンまたは事象システムから
 - USARTピン

序説

XMEGA®注文論理回路(XCL:XMEGA Custom Logic)はAtmel® XMEGA E系統で利用可能な新しい基本単位部です。この資料は一般的な疑問に対する答えで応用側からXCL部署を記述します。

データシートはXCL部署の完全で正確な記述を与えます。全ての機能動作が記述され、XCL使用の恩恵を理解するために単純/一般的な動作種別を得ることは時には難しいでしょう。

この資料はXCL使用に於いて重要なパラメータと説明で集中して引き出すデータシートを示します。回路図は重要な機能を強調するために度々簡略化されています。

XCLはクロックシステム、USART、事象システム、そして入出力ポートに接続されます。

1. 定義	3
2. XCL概要	3
3. LUT説明	3
3.1. 概要	3
3.2. 特徴	3
3.3. LUT定義	3
3.4. 説明	4
3.5. 後続論理機能	4
3.5.1. 論理関数設定方法 (AND, NAND, OR, NOR, XOR, XNOR, NOT)	4
3.5.2. LUT1出力での事象システム	5
3.5.3. LUT入力としての事象システム	6
3.5.4. LUT入力としてのXCL	6
4. タイマ/カウンタ説明	7
4.1. 概要	7
4.2. 特徴	7
4.3. タイマ/カウンタ定義	8
4.4. 説明	8
4.5. クロック元	8
4.5.1. 前置分周された周辺クロック	8
4.5.2. 事象システム	9
4.6. 割り込み	9
4.7. タイマ/カウンタレジスタ説明	10
4.8. タイマ/カウンタ操作選択	14
4.8.1. 標準動作	14
4.8.2. 捕獲動作	14
4.8.3. PWM生成	15
4.8.4. 単発PWM動作	15
4.9. 比較出力	15
4.10. 16ビット タイマ/カウンタ	16
4.11. 周辺機能計数器操作	16
4.12. PEC2 : 2つの4ビット周辺機能計数器	16
5. XCL応用例 : 可変フレーム長	16
5.1. フレーム形式	16
6. XCL応用例 : 信号符号化	17
6.1. USART形態設定	17
6.2. LUT形態設定	17
7. Atmelソフトウェア枠組み(ASF)例	18
7.1. XCL例1 - STK600 - ATxmega32E5	18
7.2. XCL例2 - STK600 - ATxmega32E5	18
7.3. XCL例3 - STK600 - ATxmega32E5	18
7.4. XCL例4 - STK600 - ATxmega32E5	18
8. 改訂履歴	18

1. 定義

名称	説明
XCL	XMEGA注文論理回路
LUT	真理値表レジスタと復号器を含む参照表
BTC	8ビット(バイト) タイマ/カウンタ
PEC	周辺機能計数器

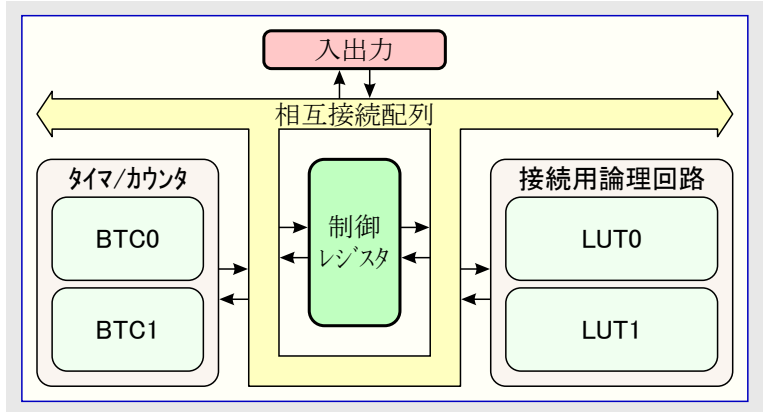
2. XCL概要

XCL部署は2つの主な補助単位部から成ります。

- 2つの8ビット タイマ/カウンタ (BTC0, BTC1)
- 2つの形態設定可能な参照表 (LUT0, LUT1)

LUTとタイマ/カウンタの独立使用が可能です。

XCL部署はUARTとEVENT(事象)部署と相互作用します。



3. LUT説明

3.1. 概要

XCLは2つの参照表(LUT)部を含みます。各LUTは4ビットの真理値表と復号器によって構成されます。

LUTは2つの入力と1つの出力でどんな論理式の生成も許します。

縦列接続のLUT0とLUT1は3つの入力を持つ論理式を得ることが可能です。

LUT出力で後続論理機能(D型フリップフロップ、Dラッチ、RSラッチ)が利用可能です。

LUT信号を同期/濾波するためにLUT入力/出力で遅延を使用できます。

3.2. 特徴

設定可能な参照表が支援する多数の形態設定

- 2つの2入力単位部
- 1つの3入力単位部
- RS形態設定
- 1つの入力で選択可能な遅延を持つ重複入力
- 外部入出力ピンまたは事象システムへの接続

設定可能な真理値表を使用する組み合わせ論理関数

- AND, NAND, OR, NOR, XOR, XNOR, NOT, MUX

後続論理機能

- D型フリップフロップ、Dラッチ、RSラッチ

3.3. LUT定義

名称	説明
LUT	真理値表レジスタと復号器を含む参照表
DLY	設定可能な少数のフリップフロップで作成される遅延要素。位置はLUT入力とLUT出力をソフトウェアによって選択可能です。
GLUE	LUTとDLY要素を含む接続用論理回路

3.4. 説明

参照表といくつかの後続論理機能は接続用論理回路(GLUE)単位部を構成します。

各LUTは2つの入力の変数としてどんな論理式の生成(OUT)も許す、4ビットの真理値表と復号器によって構成されます。入出力ポートでのOUT1の直接出力はありません。OUT0だけが入出力ポートに接続されます。

図3-1. LUT単位部構成図

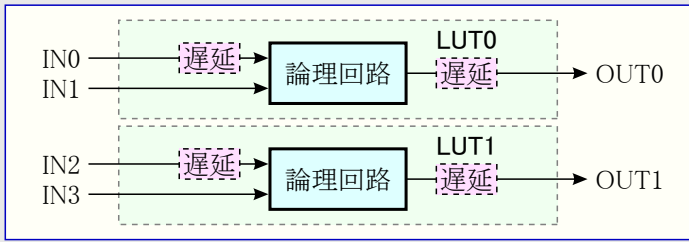


表3-1. LUT0用真理値表

IN1	IN0	OUT0
0	0	TRUTH00
0	1	TRUTH01
1	0	TRUTH02
1	1	TRUTH03

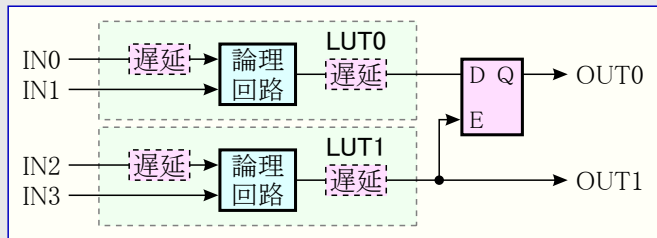
表3-2. LUT1用真理値表

IN3	IN2	OUT1
0	0	TRUTH10
0	1	TRUTH11
1	0	TRUTH12
1	1	TRUTH13

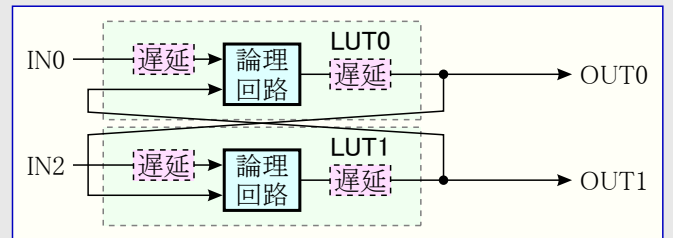
3.5. 後続論理機能

Dラッチ、D型フリップフロップ、RSラッチの3つの後続論理部が利用可能です。後続動作を選択するのに制御レジスタA(CTRLA)のLUT形態設定(LUTCONF2~0)が使用されます。

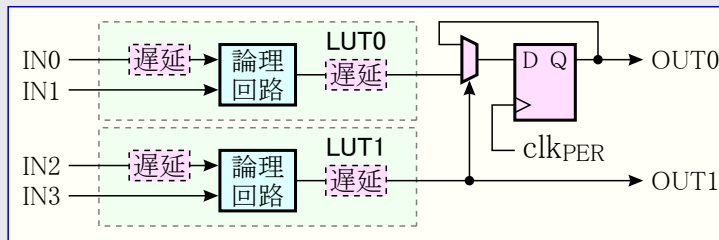
Dラッチ : LUTCONF2~0=101



RSラッチ : LUTCONF2~0=110

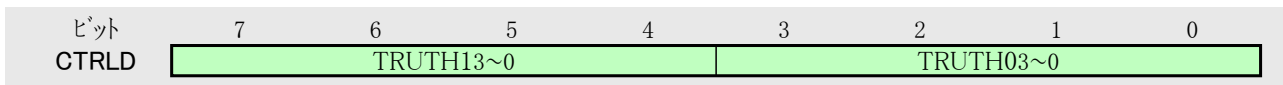


D型フリップフロップ : LUTCONF2~0=111



3.5.1. 論理関数設定方法 (AND, NAND, OR, NOR, XOR, XNOR, NOT)

1. 論理関数を選んで制御レジスタD(CTRLD)を設定してください。



2. 遅延が必要とされるなら、時間を選択してください。

遅延は入力と出力で共に許されません(適切ではありません)。

制御レジスタC(CTRLC)の遅延選択(DLYSEL)領域が1周期遅延か2周期遅延かを選びます。

この周期は周辺クロック周期に対応します。

DLYSEL1,0	LUT0	LUT1
0 0	1周期	1周期
0 1	2周期	1周期
1 0	1周期	2周期
1 1	2周期	2周期

3. 遅延の位置を選択してください。

DLY0CONF	位置
0 0	遅延なし
0 1	LUT0入力
1 0	LUT0出力

DLY1CONF	位置
0 0	遅延なし
0 1	LUT1入力
1 0	LUT1出力

4. LUT0に対する入力ピンと出力ピンを選択してください。

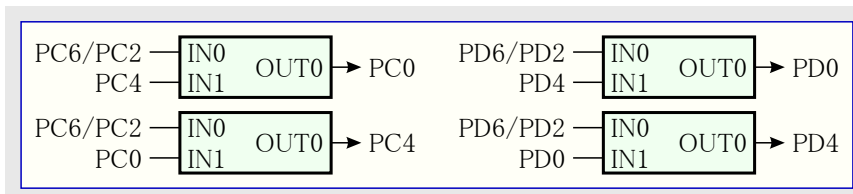
LUT0に対してはポートCとポートDの2つのポートが指定されます(制御レジスタA(CTRLA)のポート選択(PORTSEL)をご覧ください)。

重要注意: PORTSELで選択されたポートは入力と出力に対して共通です。

入力と出力に対するピン選択は制御レジスタB(CTRLB)の入力選択(IN0SEL, IN0SEL)と制御レジスタA(CTRLA)のLUT0出力許可(LUT0OUTEN)を使用して設定可能です。

IN0SEL	IN0	IN1SEL	IN1	LUT0OUTEN	OUT0
11 (PINH)	PORTC6またはPORTD6	11 (PINH)	PORTC4またはPORTD4	10 (PIN4)	PORTC4またはPORTD4
10 (PINL)	PORTC2またはPORTD2	10 (PINL)	PORTC0またはPORTD0	01 (PIN0)	PORTC0またはPORTD0

許されたハードウェア形態設定の概要は次の通りです。



5. LUT1に対する入力ピンと出力ピンを選択してください。

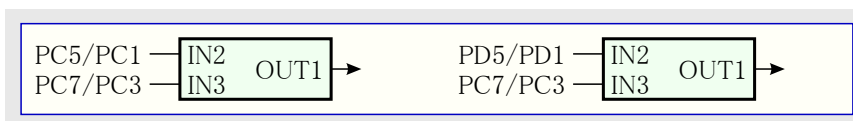
LUT1に対してはポートCとポートDの2つのポートが指定されます(制御レジスタA(CTRLA)のポート選択(PORTSEL)をご覧ください)。

重要注意: このポートはLUT0とLUT1に対して共通です。

入力と出力に対するピン選択は制御レジスタB(CTRLB)の入力選択(IN2SEL, IN3SEL)と制御レジスタA(CTRLA)のLUT0出力許可(LUT0OUTEN)を使用して設定可能です。

IN2SEL	IN2	IN3SEL	IN3	LUT0OUTEN	OUT1
11 (PINH)	PORTC5またはPORTD5	11 (PINH)	PORTC7またはPORTD7	00	事象システム
10 (PINL)	PORTC1またはPORTD1	10 (PINL)	PORTC3またはPORTD3		

許されたハードウェア形態設定の概要は次の通りです。



LUT1は(LUT0のように)入出力ピンでの直接接続を指定できません。入出力ピンでのLUT1出力は事象システムを通して可能です(3.5.2項をご覧ください)。

6. レジスタ形態設定

LUT0とLUT1を2つの入力と1つの出力を持つ独立したLUTとして使用するため、使用者は以下のレジスタを設定しなければなりません。

- ポートCまたはポートDを使用するための制御レジスタA(CTRLA)のポート選択(PORTSEL)
- LUT0出力を選ぶための制御レジスタA(CTRLA)のLUT0出力許可(LUT0OUTEN)
- 制御レジスタA(CTRLA)のLUT形態設定(LUTCONF)で2つの独立した2入力LUT(2LUT2IN)

3.5.2. LUT1出力での事象システム

XCLは以下のレジスタを形態設定することによって事象を生成することができます。

- 制御レジスタA(CTRLA)のLUT0出力許可(LUT0OUTEN) (\$00(禁止)と等しくなければなりません。)
- XCL LUT0/1出力を選ぶための事象チャンネル多重器レジスタ(CHnMUX)

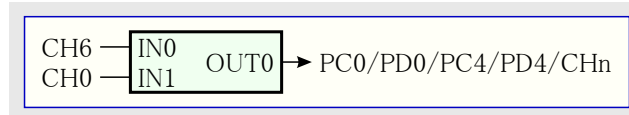
事象システム入力はXCLから来ます。

入出力ピン(例えばポートAの2(PA2))に事象を出力するには、アナログ比較器/事象出力レジスタ(ACEVOUT)で出力するようにCHnを選択してください。

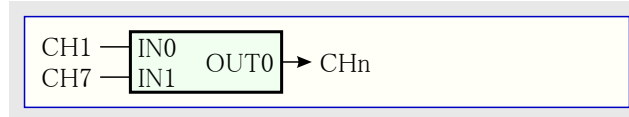
3.5.3. LUT入力としての事象システム

事象システムは選択可能なチャンネルでLUT入力として指定されます。

制御レジスタB(CTRLB)の入力選択(IN0SEL1,0とIN1SEL1,0)の00設定はLUT0入力の供給元として事象システムを選択します。



制御レジスタB(CTRLB)の入力選択(IN2SEL1,0とIN3SEL1,0)の00設定はLUT1入力の供給元として事象システムを選択します。

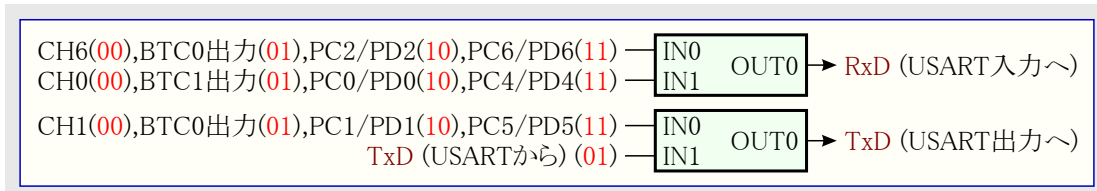


3.5.4. LUT入力としてのXCL

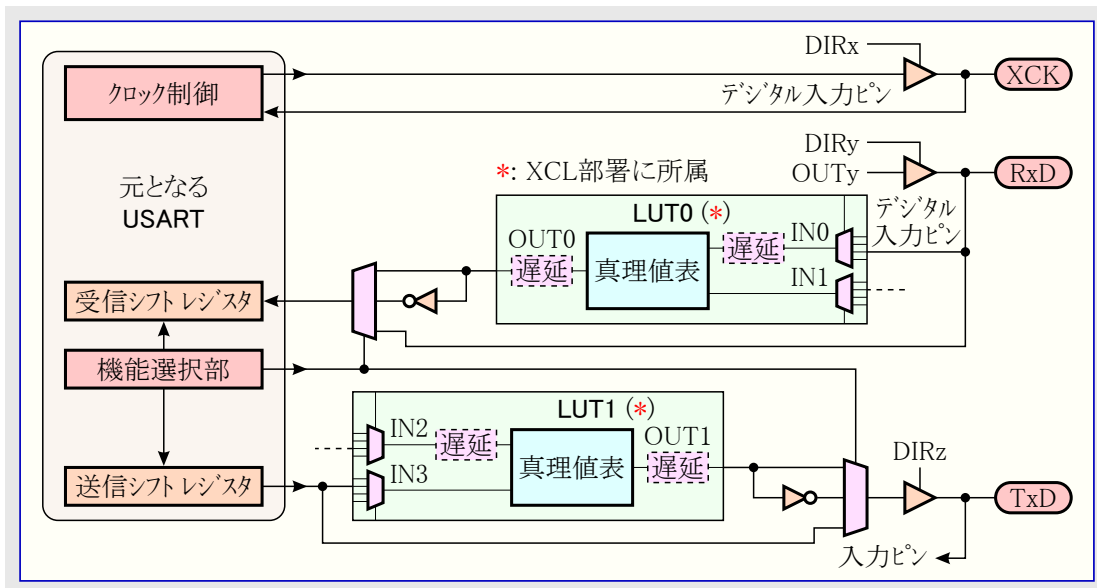
XCLは制御レジスタB(CTRLB)の入力選択(INnSEL1,0)で入力として選択(=01)されると、LUT入力の接続をUSARTまたはXCLのタイマ/カウンタに対応します。

1. USARTに対応するXCL

LUTは下で記述されるようにUSART信号の制御を許します。LUT0論理関数はUSARTのRxD信号に適用されます。LUT1論理関数はUSARTのTxD信号に適用されます。



USART部署の制御レジスタD(CTRLD)はUSARTとLUTの接続を許可するように設定されなければなりません。



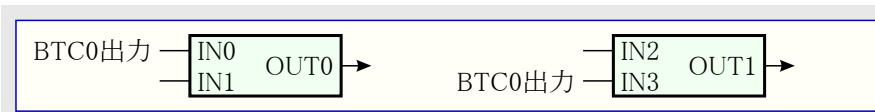
PORTC	ピン番号	TCC4	WEXC	TCC5	USARTC0	SPIC	TWIC	XCL(LUT)	ACA出力	クロック出力	事象出力
PC0	16	OC4A	OC4ALS				SDA/SDA_IN	IN1/OUT0			
PC1	15	OC4B	OC4AHS		XCK0		SCL/SCL_IN	IN2			
PC2	14	OC4C	OC4BLS		RXD0		SDA_OUT	IN0			
PC3	13	OC4D	OC4BHS		TXD0		SCL_OUT	IN3			
PC4	12	OC4A	OC4CLS	OC5A		SS		IN1/OUT0		CLKOUT	EVOUT
PC5	11	OC4B	OC4CHS	OC5B	XCK0	MOSI		IN2			
PC6	10	OC4C	OC4DLS		RXD0	MISO		IN0	AC1OUT	RTCOUT	
PC7	9	OC4D	OC4DHS		TXD0	SCK		IN3	AC0OUT	CLKOUT	EVOUT

PORTD	ピン番号	ADCA正入力	TCD5	USARTD0	TWIC (橋渡し動作)	XCL(LUT)	XCL (TC)	ACA出力	REFD	クロック出力	事象出力
PD0	28	ADC8			SDA	IN1/OUT0			AREF		
PD1	27	ADC9		XCK0	SCL	IN2					
PD2	26	ADC10		RXD0		IN0	OC0				
PD3	25	ADC11		TXD0		IN3	OC1				
PD4	24	ADC12	OC5A			IN1/OUT0				CLKOUT	EVOUT
PD5	23	ADC13	OC5B	XCK0		IN2					
PD6	22	ADC14		RXD0		IN0		AC1OUT		RTCOUT	
PD7	21	ADC15		TXD0		IN3		AC0OUT		CLKOUT	EVOUT

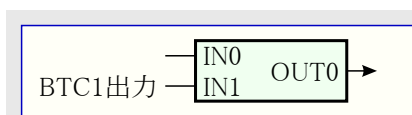
2. XCLタイマ/カウンタに対応するXCL

BTC0, BTC1とTC16のL出力はLUT入力に接続することができます。

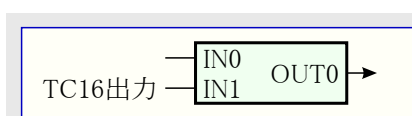
BTC0が選択される(BTC0, BTC01, BTC0PEC1, BTC0PEC2動作の場合、タイマ/カウンタ出力はIN0とIN3(のピン)で利用可能です。



BTC1が選択される(BTC01, PEC0BTC1動作の場合、タイマ/カウンタ出力はIN1(ピン)で利用可能です。



TC16動作が選択される場合、タイマ/カウンタ出力はIN1(ピン)で利用可能です。



4. タイマ/カウンタ説明

4.1. 概要

XCLは2つの8ビットタイマ/カウンタを含みます。

各タイマ/カウンタは共通で柔軟なクロック選択と各タイマ/カウンタに対する事象チャネルで、標準、比較、入力捕獲動作を支援します。

2つの8ビットタイマ/カウンタの縦列接続により、XCLは16ビットタイマ/カウンタを提供します。

USARTデータ長を制御するためにUSARTはXCLへ接続することができます。

4.2. 特徴

XCLの独立した2つの8ビットタイマ/カウンタは以下の特徴を持ちます。

- 各タイマ/カウンタに対する定期と比較のチャネル
- 各タイマ/カウンタに対する入力捕獲
- 各タイマ/カウンタに対して直列周辺機能データ長制御 (PEC動作)
- 各タイマ/カウンタに対する時間超過支援
- タイマ/カウンタ下側溢れ割り込み/事象
- 各タイマ/カウンタに対する比較一致または入力捕獲の割り込み/事象

(2つの8ビット タイマ/カウンタの縦列接続による)16ビット タイマ/カウンタは以下の特徴を持ちます。

- 定期と比較のチャンネル
- 入力捕獲
- 時間超過支援
- タイマ/カウンタ下側溢れ割り込み/事象
- 比較一致または入力捕獲の割り込み/事象

XCLのタイマ/カウンタは事象時刻印、PWM生成、そして周波数と周期の測定を許します。

4.3. タイマ/カウンタ定義

名称	説明
PEC	8ビット周辺機能計数器。直列周辺機能部署とだけ動作可
PEC2	8ビット周辺機能計数器は2つの4ビット周辺機能計数器に分割されます。
BOTTOM	計数器が0になった時にタイマ/カウンタがBOTTOMに到達
MAX	計数器が全て1になった時にタイマ/カウンタがMAX(最大)に到達
TOP	計数器が計数手順で最高値と等しくなった時にタイマ/カウンタがTOPに到達。TOP値は定期(PER)または比較(CMP)のレジスタ設定と等しくなり得ます。これは波形生成動作種別によって選択されます。
UPDATE	タイマ/カウンタは波形生成動作種別に依存してBOTTOMまたはTOPに達する時に更新を合図します。
CLEAR	外部周辺機能、事象システム、またはCPUが(周辺機能)タイマ/カウンタの次の値をBOTTOMに強制します。
CC	比較または捕獲

4.4. 説明

様々な形態設定が利用可能です。

- 2つの8ビット タイマ/カウンタ (BTC0とBTC1)
- 1つの16ビット タイマ/カウンタ (TC16)
- 1つの8ビット タイマ/カウンタと1つの8ビット周辺機能計数器 (BTC0+PEC1またはPEC0+BTC1)
- 2つの8ビット周辺機能計数器 (PEC0+PEC1)
- 1つの8ビット タイマ/カウンタと2つの4ビット周辺機能計数器 (BTC0+PEC2)

タイマ/カウンタはCNTがBOTTOMに達する(CNT=\$00)までタイマ/カウンタ クロック毎に減少(-1)され、その後定期(PERCAPT)レジスタで計数器を再設定します。

4.5. クロック元

タイマ/カウンタは以下からクロック駆動することができます。

- 前置分周された周辺クロック (計時器動作)
- 事象システム (計数器動作)

始動でトリセット後、既定システム クロックは(前置分周器に接続された内部8MHz発振器からの)2MHzです。この周波数はclkSYSに対応します。

システム クロックはclkPERを得るために前置分周器のA,B,Cの値によって分周されます。既定ではclkSYSに=clkPERにです。

4.5.1. 前置分周された周辺クロック

周辺クロック(clkPER)は前置分周器に供給されます。前置分周器出力はBTC0とBTC1のタイマ/カウンタ入力に接続されます。制御レジスタE (CTRL E)のクロック選択(CLKSEL3~0)が前置分周(1~1024)を選びます。CLKSELの既定値はOFF状態でのタイマ/カウンタに対応します。

TC16形態設定が設定されると、前置分周出力はTC16入力にも接続されます。

ビット	7	6	5	4	3	2	1	0
CTRL E	CMDSEL	TCSEL2~0			CLKSEL3~0			

CLKSEL3~0	群形態設定	内容	CLKSEL3~0	群形態設定	内容
0 0 0 0	OFF	前置分周なし (タイマ/カウンタ OFF)	0 1 0 0	DIV8	前置分周器: clkPER/8
0 0 0 1	DIV1	前置分周器: clkPER	0 1 0 1	DIV64	前置分周器: clkPER/64
0 0 1 0	DIV2	前置分周器: clkPER/2	0 1 1 0	DIV256	前置分周器: clkPER/256
0 0 1 1	DIV4	前置分周器: clkPER/4	0 1 1 1	DIV1024	前置分周器: clkPER/1024

4.5.2. 事象システム

制御レジスタE(CTRL E)のクロック選択(CLKSEL)は計数器(CNT)入力として事象チャネルを選びます。何れかの入出力ピンでの外部クロック信号のような、どの事象元もクロック入力として使用することができます。

計数器入力として事象チャネルが選択される場合、CLKSELは事象チャネルをタイマ/カウンタ入力へ接続するのに使用されます。

ビット	7	6	5	4	3	2	1	0
CTRL E	CMDSEL	TCSEL2~0			CLKSEL3~0			

CLKSEL3~0	群形態設定	内容
1 n n n	EVCHn	事象チャネルn (n=0~7)

加えて、タイマ/カウンタは事象システム経由で制御することができます。制御レジスタG(CTRL G)の事象元選択(EVSEL)と事象活動選択(EVACTx)の設定は1つまたはより多くの事象から事象活動を起動するのに使用されます。

ビット	7	6	5	4	3	2	1	0
CTRL G	EVACTEN	EVACT11,0		EVACT01,0		EVSEL2~0		

EVSEL2~0	群形態設定	内容
n n n	CHn	事象チャネルn (n=0~7)

4.6. 割り込み

XCLは以下で割り込みと事象を生成することができます。

- タイマ/カウンタ下側溢れ (BTC0またはBTC1)
- 比較一致または捕獲 (BTC0またはBTC1)

タイマ/カウンタ事象は割り込みを生成し得る全ての条件に対して生成されます。

接続用論理回路(GLUE)部署は事象だけを生成します。

割り込み制御(INTCTRL)レジスタは割り込みシステムを制御し、割り込み要求フラグ(INTFLAGS)レジスタは割り込み状態を含みます。制御レジスタE(CTRL E)のタイマ/カウンタ選択(TCSEL)に依存して、INTCTRLとINTFLAGSの領域は異なる内容を持ちます。

レジスタ	アドレス	選択	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
INTCTRL	\$07	TC16	-	UNF0IE	-	CC0IE	UNFINTLVL1,0	CCINTLVL1,0		
		BTC0	-	UNF0IE	-	CC0IE	UNFINTLVL1,0	CCINTLVL1,0		
		BTC01	UNF1IE	UNF0IE	CC1IE	CC0IE	UNFINTLVL1,0	CCINTLVL1,0		
		BTC0PEC1	PEC1IE	UNF0IE	-	CC0IE	UNFINTLVL1,0	CCINTLVL1,0		
		PEC0BTC1	UNF1IE	PEC0IE	CC1IE	-	UNFINTLVL1,0	CCINTLVL1,0		
		PEC01	PEC1IE	PEC0IE	-	-	UNFINTLVL1,0	CCINTLVL1,0		
		BTC0PEC2	PEC2HIE	UNF0IE	PEC2LIE	CC0IE	UNFINTLVL1,0	CCINTLVL1,0		

レジスタ	アドレス	選択	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
INTFLAGS	\$08	TC16	-	UNF0IF	-	CC0IF (注)	-	-	-	-
		BTC0	-	UNF0IF	-	CC0IF (注)	-	-	-	-
		BTC01	UNF1IF	UNF0IF	CC1IF	CC0IF (注)	-	-	-	-
		BTC0PEC1	PEC1IF	UNF0IF	-	CC0IF (注)	-	-	-	-
		PEC0BTC1	UNF1IF	PEC0IF	CC1IF	-	-	-	-	-
		PEC01	PEC1IF	PEC0IF	-	-	-	-	-	-
		BTC0PEC2	PEC2HIF	UNF0IF	PEC2LIF	CC0IF (注)	-	-	-	-

注: 標準動作で利用不可

4.7. タイマ/カウンタ レジスタ説明

タイマ/カウンタ形態設定は制御レジスタE(CTRL E)のタイマ/カウンタ選択(TCSEL2~0)によって制御されます。

ビット	7	6	5	4	3	2	1	0
CTRL E	CMDSEL	TCSEL2~0			CLKSEL3~0			

以下の表は各種タイマ/カウンタ動作形態を記述します。

TCSEL2~0	群形態設定	内容
0 0 0	TC16	TC1(上位)とTC0(下位)での16ビット タイマ/カウンタ
0 0 1	BTC0	1つの8ビット タイマ/カウンタ(TC0)
0 1 0	BTC01	2つの8ビット タイマ/カウンタ(TC0,TC1)
0 1 1	BTC0PEC1	1つの8ビット タイマ/カウンタ(TC0)と1つの8ビット送信周辺機能計数器(PEC1)
1 0 0	PEC0BTC1	1つの周期付き8ビット タイマ/カウンタ(TC1)と1つの8ビット受信周辺機能計数器(PEC0)
1 0 1	PEC01	2つの8ビット送信/受信周辺機能計数器(PEC0とPEC1)
1 1 0	BTC0PEC2	1つの周期付き8ビット タイマ/カウンタ(TC0)と2つの4ビット送信/受信周辺機能計数器(2分割PEC1)
1 1 1	-	(予約)

この選択に依存して、以下のレジスタ内容は異なります。

- 割り込み制御(INTCTRL)レジスタ、割り込み要求フラグ(INTFLAGS)レジスタ (3.5項をご覧ください。)
- 周辺機能長制御(PLC)/一時(TEMP)レジスタ
- 計数レジスタ上位(CNTH)、計数レジスタ下位(CNTL)
- 比較レジスタ上位(CMPH)、比較レジスタ下位(CMPL)
- 定期/捕獲レジスタ上位(PERCAPTH)、定期/捕獲レジスタ下位(PERCAPTL)

\$09 : PLC - TEMP/PLC

アドレス	選択	動作種別	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
\$09	TC16	NORMAL					TEMP7~0				
		CAPTURE					TEMP7~0				
		PWM					TEMP7~0				
	BTC0	NORMAL	-	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-	-
		PWM	-	-	-	-	-	-	-	-	-
	BTC01	NORMAL	-	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-	-
		PWM	-	-	-	-	-	-	-	-	-
	BTC0PEC1	PERIPHERAL						PLC7~0			
		NORMAL	-	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-	-
PWM		-	-	-	-	-	-	-	-	-	
PEC0BTC1	PERIPHERAL						PLC7~0				
	NORMAL	-	-	-	-	-	-	-	-	-	
	CAPTURE	-	-	-	-	-	-	-	-	-	
	PWM	-	-	-	-	-	-	-	-	-	
PEC01	PERIPHERAL						PLC7~0				
	NORMAL	-	-	-	-	-	-	PLC3~0	-	-	
BTC0PEC2	PERIPHERAL	-	-	-	-	-	-	-	-	-	
	NORMAL	-	-	-	-	-	-	-	-	-	
	CAPTURE	-	-	-	-	-	-	-	-	-	
		PWM	-	-	-	-	-	-	-	-	

(訳注) \$09~\$0Fのレジスタ表は原書と異なり、本書ではXMEGA E手引書の記述に合わせて修正しています。

\$0A : CNTL - CNT/BCNT0/PCNT0

アドレス	選択	動作種別	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
\$0A	TC16	NORMAL					CNT7~0			
		CAPTURE					CNT7~0			
		PWM					CNT7~0			
	BTC0	NORMAL					BCNT07~0			
		CAPTURE					BCNT07~0			
		PWM					BCNT07~0			
	BTC01	NORMAL					BCNT07~0			
		CAPTURE					BCNT07~0			
		PWM					BCNT07~0			
	BTC0PEC1	NORMAL					BCNT07~0			
		CAPTURE					BCNT07~0			
		PWM					BCNT07~0			
	PEC0BTC1	NORMAL					PCNT07~0			
		CAPTURE					PCNT07~0			
		PWM					PCNT07~0			
	PEC01	PERIPHERAL					PCNT07~0			
	BTC0PEC2	NORMAL					BCNT07~0			
		CAPTURE					BCNT07~0			
PWM						BCNT07~0				

\$0B : CNTH - CNT/BCNT1/PCNT1/PCNT1+PCNT0

アドレス	選択	動作種別	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
\$0B	TC16	NORMAL					CNT15~8				
		CAPTURE					CNT15~8				
		PWM					CNT15~8				
	BTC0	NORMAL	-	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-	-
		PWM	-	-	-	-	-	-	-	-	-
	BTC01	NORMAL					BCNT17~0				
		CAPTURE					BCNT17~0				
		PWM					BCNT17~0				
	BTC0PEC1	NORMAL					PCNT17~0				
		CAPTURE					PCNT17~0				
		PWM					PCNT17~0				
	PEC0BTC1	NORMAL					BCNT17~0				
		CAPTURE					BCNT17~0				
		PWM					BCNT17~0				
	PEC01	PERIPHERAL					PCNT17~0				
	BTC0PEC2	NORMAL			PCNT213~0				PCNT203~0		
		CAPTURE			PCNT213~0				PCNT203~0		
PWM				PCNT213~0				PCNT203~0			

\$0C : CMPL - CMP/BCMP0

アドレス	選択	動作種別	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
\$0C	TC16	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	CMP7~0							
	BTC0	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	BCMP07~0							
	BTC01	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	BCMP07~0							
	BTC0PEC1	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	BCMP07~0							
	PEC0BTC1	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	-	-	-	-	-	-	-	-
PEC01	PERIPHERAL	-	-	-	-	-	-	-	-	
BTC0PEC2	NORMAL	-	-	-	-	-	-	-	-	
	CAPTURE	-	-	-	-	-	-	-	-	
	PWM	BCMP07~0								

\$0D : CMPH - CMP/BCMP1

アドレス	選択	動作種別	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
\$0D	TC16	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	CMP15~8							
	BTC0	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	-	-	-	-	-	-	-	-
	BTC01	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	BCMP17~0							
	BTC0PEC1	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	-	-	-	-	-	-	-	-
	PEC0BTC1	NORMAL	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-
		PWM	BCMP17~0							
PEC01	PERIPHERAL	-	-	-	-	-	-	-	-	
BTC0PEC2	NORMAL	-	-	-	-	-	-	-	-	
	CAPTURE	-	-	-	-	-	-	-	-	
	PWM	-	-	-	-	-	-	-	-	

\$0E : PERCAPTL - PER/CAPT/BPER0/BCAPT0

アドレス	選択	動作種別	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
\$0E	TC16	NORMAL					PER7~0				
		CAPTURE					CAPT7~0				
		PWM	-	-	-	-	-	-	-	-	-
	BTC0	NORMAL					BPER07~0				
		CAPTURE					BCAPT07~0				
		PWM					BPER07~0				
	BTC01	NORMAL					BPER07~0				
		CAPTURE					BCAPT07~0				
		PWM	-	-	-	-	-	-	-	-	-
	BTC0PEC1	NORMAL					BPER07~0				
		CAPTURE					BCAPT07~0				
		PWM					BPER07~0				
	PEC0BTC1	NORMAL	-	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-	-
		PWM	-	-	-	-	-	-	-	-	-
	PEC01	PERIPHERAL	-	-	-	-	-	-	-	-	-
	BTC0PEC2	NORMAL					BPER07~0				
		CAPTURE					BCAPT07~0				
PWM						BPER07~0					

\$0F : PERCAPTH - PER/CAPT/BPER1/BCAPT1

アドレス	選択	動作種別	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
\$0F	TC16	NORMAL					PER15~8				
		CAPTURE					CAPT15~8				
		PWM	-	-	-	-	-	-	-	-	-
	BTC0	NORMAL	-	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-	-
		PWM	-	-	-	-	-	-	-	-	-
	BTC01	NORMAL					BPER17~0				
		CAPTURE					BCAPT17~0				
		PWM	-	-	-	-	-	-	-	-	-
	BTC0PEC1	NORMAL	-	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-	-
		PWM	-	-	-	-	-	-	-	-	-
	PEC0BTC1	NORMAL					BPER17~0				
		CAPTURE					BCAPT17~0				
		PWM					BPER17~0				
	PEC01	PERIPHERAL	-	-	-	-	-	-	-	-	-
	BTC0PEC2	NORMAL	-	-	-	-	-	-	-	-	-
		CAPTURE	-	-	-	-	-	-	-	-	-
PWM		-	-	-	-	-	-	-	-	-	

4.8. タイマ/カウンタ操作選択

タイマ/カウンタ操作動作形態は制御レジスタF(CTRLF)の動作種別(MODE1,0)で選択されます。

ビット	7	6	5	4	3	2	1	0
CTRLF	CMDEN1,0		CMP1	CMP0	CCEN1	CCEN0	MODE1,0	

右表は動作選択に対応する推奨操作動作の一覧です。

MODE1,0	群形態設定	内容	タイマ/カウンタ選択	NORMAL	CAPT	PWM	1SHOT
0 0	NORMAL	標準動作	TC16	○	○	○	○
0 1	CAPT	捕獲動作	BTC	○	○	○	○
1 0	PWM	単一傾斜PWM	PEC	○	○		
1 1	1SHOT	単発PWM					

4.8.1. 標準動作

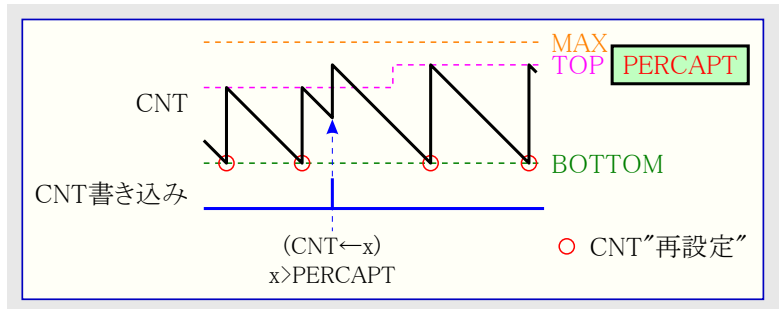
タイマ/カウンタCNTレジスタをTOPからBOTTOMへ減少します。

TOPはPLCLレジスタに格納されます。

BOTTOMはCNTLレジスタでの\$00に対応します。

TC16動作が選択される場合、MSBを支援するためにPLCHとCNTHが追加されます。

タイマ/カウンタがBOTTOM値に達する時にCNTが自動的に再設定されます。



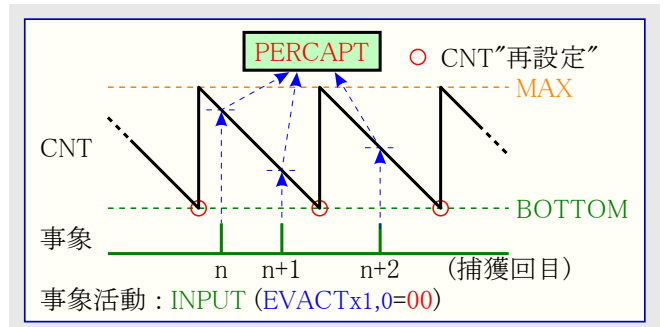
4.8.2. 捕獲動作

事象システムに繋がれた捕獲入力。計数器はMAXからBOTTOMへ下降計数し、事象出現時にCNT値にPERCAPT値を格納します。

MAXはPLCLレジスタに格納されます。

様々な捕獲動作が選択可能です。

- 事象入力 : 事象出現時に捕獲動作が開始されます。
- 周波数捕獲 : 測定信号の上昇端でだけ捕獲動作を起動します。
- パルス幅捕獲 : 測定信号の上昇端と下降端で捕獲動作を起動します。

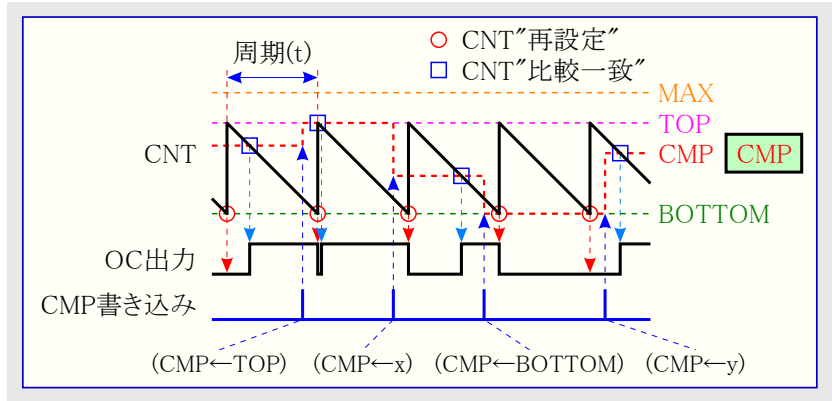


ビット	7	6	5	4	3	2	1	0
CTRLG	EVACTEN	EVACT11,0		EVACT01,0		EVSEL2~0		

EVACTx1,0	群形態設定	内容
0 0	INPUT	入力捕獲
0 1	FREQ	周波数捕獲
1 0	PW	パルス幅捕獲
1 1	RESTART	CNT再始動

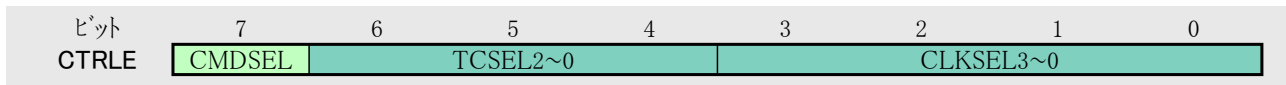
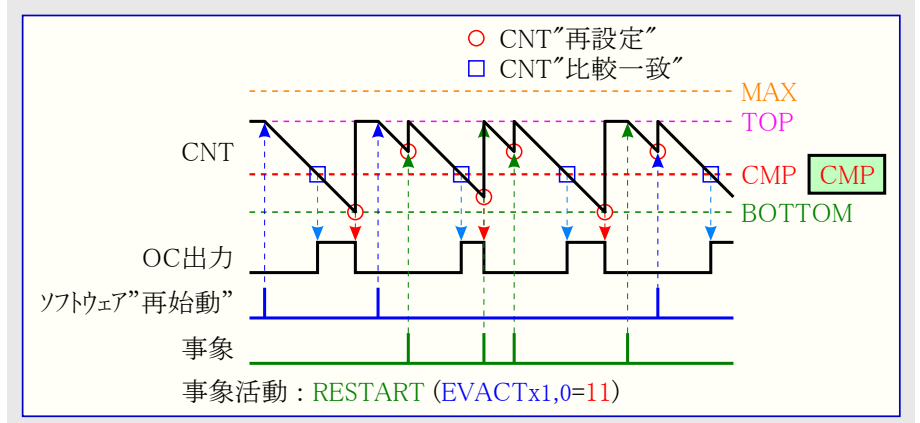
4.8.3. PWM生成

この動作は単一傾斜PWM動作に対応します。
 タイマ/カウンタはTOPからBOTTOMへ計数します。CNTがCMP値に達する時にOC出力を起動します。
 TOPはCMPレジスタに格納されます。OC周波数はTOP値とXCLクロックに依存します。
 パルス幅はCMP値に依存(反比例)します。



4.8.4. 単発PWM動作

単発動作ではタイマ/カウンタの開始と停止の操作が外部事象またはソフトウェア指令によって制御されます。
 タイマ/カウンタ操作開始は制御レジスタE(CTRL E)の指令選択(CMDSEL)で実行されます。

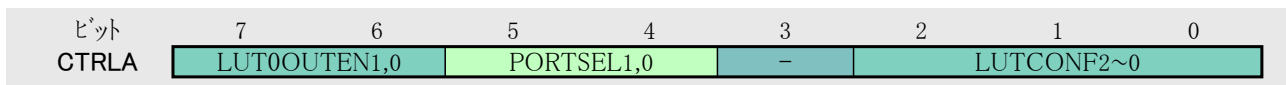


CMDSEL	群形態設定	内容
0	NONE	なし
1	RESTART	CNT再始動強制

4.9. 比較出力

Atmel XMEGA E系統では比較出力(OC)用にポートCとポートDが利用可能です。データシートの切り替え機能項がOCピン配置を与えます(XCL-TC列)。
 制御レジスタA(CTRL A)のポート選択(PORTSEL)はOC出力用に使用されるポートを選びます。このポート選択はLUT/USART/OCに対して共通です。

ポートC	ポートD	XCCL-LUT	XCL-TC
PC0	PD0	IN1/OUT0	-
PC1	PD1	IN3	-
PC2	PD2	IN0	-
PC3	PD3	IN2	-
PC4	PD4	IN1/OUT0	-
PC5	PD5	IN3	-
PC6	PD6	IN0	CC0
PC7	PD7	IN2	CC1



PORTSEL1,0	群形態設定	内容
0 0	PC	ポートC
0 1	PD	ポートD

4.10. 16ビット タイマ/カウンタ

BTC0とBTC1は2つの8ビット タイマ/カウンタです。BTC0とBTC1が縦列接続されると、16ビットの定期、比較、捕獲のレジスタを持つ真の16ビット タイマ/カウンタ(TC16)を作成します。

16ビット タイマ/カウンタの入力クロックは制御レジスタE(CTRL E)のクロック選択(CLKSEL)によって制御されます。

4.11. 周辺機能計数器操作

XCLと共にUSARTが使用される時に、フレームのデータ長は周辺機能計数器によって制御することができます。この動作形態は255までの可変フレーム長の送信や受信に使用されます。

XCLはUSARTと相互作用します。USARTはSPI動作に設定してSPI通信に使用することができます。SPIのデータ フレーム長はPECによって制御することができます。

RxとTxの信号がLUTに接続される場合、信号は処理する前に符号化/復号されます。

4.12. PEC2 : 2つの4ビット周辺機能計数器

この動作形態は1つの8ビット計数器(BTC1)だけを使用して2つの周辺機能計数器(PEC21とPEC20)を提供します。

XCLはUSARTけれども2つのTx/Rx線に対して15までのデータ ビットを指定します。

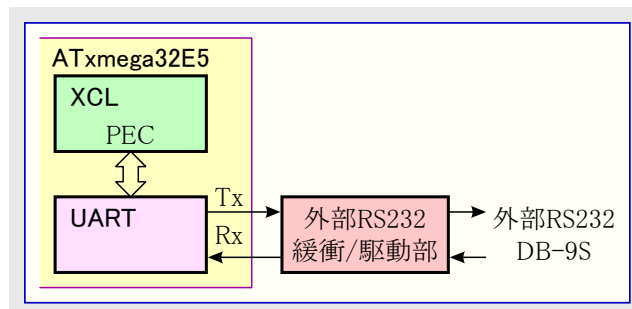
PEC2で利用可能な動作形態はタイマ/カウンタ選択(TCSEL2~0)=110の時だけです。

それはBTC0PEC2に対応します。

- BTC0 (8ビット タイマ/カウンタ TC0)
- PEC2 (BTC1に基づく4ビット周辺機能計数器PEC21とPEC20)

5. XCL応用例 : 可変フレーム長

この応用例は非同期直列送受信部を持つ12ビットUARTです。PECは送信フレーム長を制御するのに使用されます。



5.1. フレーム形式

データ転送はフレーム基準です。直列フレームは同期ビット(開始と停止のビット)と誤り検査用の任意選択パリティビットを持つデータビットの1つのキャラクタから成ります。

UARTは5、6、7、8、または9データビットだけを提供します。

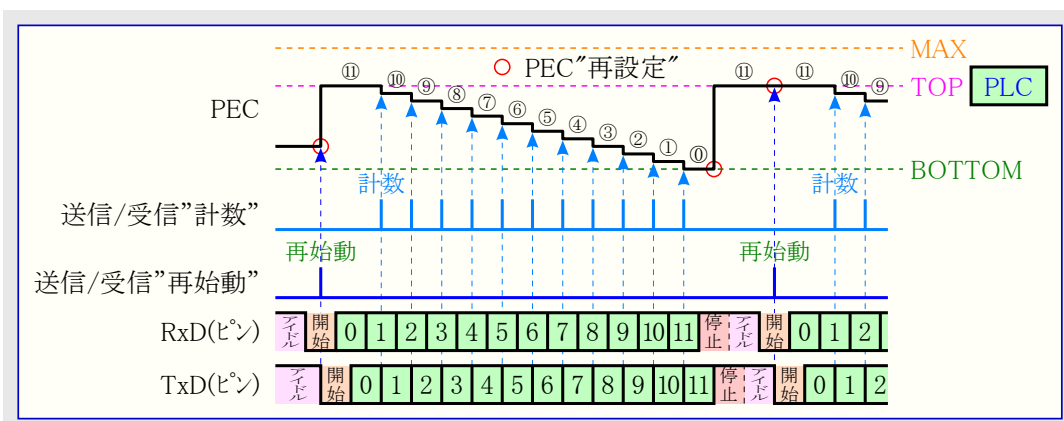
XCLは255までのデータ ビットを提供します。

送信部を許可する前にXCLは以下を形態設定しなければなりません。

- (UARTポートに合わせるための)前置分周された周辺クロック
- PECに対するUSARTC0またはUSERTD0を選択するための制御レジスタA(CTRLA)のポート選択(PORTSEL1,0)
- PLCLレジスタでのデータ長 : PLC=データ長-1
- PEC選択のための制御レジスタE(CTRL E)のタイマ/カウンタ選択(TCSEL2~0)

送信は送るべきデータを送信緩衝部(DATA)に格納することによって始められます。最初のデータがシフト レジスタに格納されると、USARTは周辺機能計数器に再始動指令を供給します。

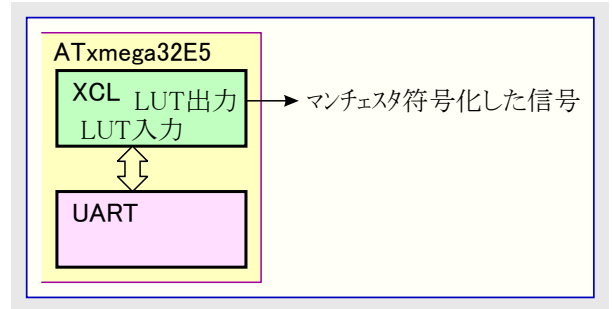
各ビット移動が周辺機能計数器を減ら(-1)します。内部計数器値がBOTTOM(0)に達すると、XCLによって比較一致が提供されます。この比較一致を受け取らない間、USARTはデータビットの移動を続けます。



6. XCL応用例：信号符号化

この応用例はUARTからの信号のマンチェスタ符号化です。

- 出力信号を処理するのにLUTが使用されます。



6.1. USART形態設定

USARTの制御レジスタD(CTRLD)がUARTとXCL間の接続を制御します。このレジスタは以下の形態設定を許します。

- 復号/符号化形式(DECTYPE) : これらのビットは受信部/送信部に適用される復号/符号化形式を決めます。
- 参照表(LUT)活動(LUTACT) : これらのビットはLUTに繋がれた時に実行されるUARTの活動を決めます。
- 種変機能計数器(PEC)活動(PECACT) : これらのビットは実行すべきPEC活動を決めます。

ビット	7	6	5	4	3	2	1	0
USART CTRLD	-	-	DECTYPE1,0		LUTACT1,0		PECACT1,0	
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

DECTYPE1,0	群形態設定	内容
0 0	DATA	データ領域中にだけ参照表(LUT)出力(OUT)を適用します。
0 1	SDATAS	開始(ビット)とデータと停止(ビット)の領域中に参照表(LUT)出力(OUT)を適用します。
1 0	SDATA	開始(ビット)とデータの領域中に参照表(LUT)出力(OUT)を適用します。
1 1	NOTSDATA	<ul style="list-style-type: none"> ・ 開始領域中に反転した参照表(LUT)出力(OUT)を適用します。 ・ データ領域中にLUT OUTを適用します。

LUTACT1,0	群形態設定	事象活動
0 0	OFF	標準形態設定
0 1	RX	受信部エンジンに対して復号を許可
1 0	TX	送信部エンジンに対して符号化を許可
1 1	BOTH	符号化/復号の両方を許可

PECACT1,0	群形態設定	内容
0 0	OFF	標準形態設定
0 1	PEC0	受信部データ長が周辺機能計数器0によって制御されます。
1 0	PEC1	送信部データ長が周辺機能計数器1によって制御されます。
1 1	PEC2	<ul style="list-style-type: none"> ・ 受信部データ長が周辺機能計数器0によって制御されます。 ・ 送信部データ長が周辺機能計数器1によって制御されます。

6.2. LUT形態設定

UART送信を許可する前に、XCLは以下を形態設定されなければなりません。

- LUT入力とLUT出力
- LUT形態設定のための制御レジスタA(CTRLA)のLUT形態設定(LUTCONF2~0)
- LUT入力としてXCLを選択する制御レジスタB(CTRLB)の入力選択(INxSEL1,0)
- LUT用真理値表定義のための制御レジスタD(CTRLD)のLUTx真理値表(TRUTHx3~0)
- PEC選択のための制御レジスタE(CTRL E)のタイマ/カウンタ選択(TCSEL2~0)

7. Atmelソフトウェア枠組み(ASF)例

ASF(Atmel Software Framework)は様々なソフトウェア例を提供します。Cソースコード付きプロジェクトが利用可能です。例へのアクセスはAtmel Studio 6とFile⇒New⇒Example Project from ASFを使用することができます。

XCL用のASF例の数は現在4つです。

7.1. XCL例1 – STK600 – ATxmega32E5

この例はポートDの下位ニブル(各々PD2とPD0)に割り当てられた2つの入力ピンIN0,IN1間で論理XOR操作を実行するようにXCLのLUT 0下位単位部を形態設定します。LUT0出力ピンはポートDのビット4ピンに割り当てられます。この形態設定が純粋に非同期のため、この例はパワーダウン休止動作形態へ移行しますが、2つのピン間のXOR操作は未だ機能します。

http://asf.atmel.com/docs/3.5.0/xmega.drivers.xcl.example1.stk600-rc032x_atxmega32e5/html/index.html

7.2. XCL例2 – STK600 – ATxmega32E5

この例は4HzでLEDを交互点灯するようにXCLの計時器下位単位部を下側溢れ割り込みを持つ16ビット計時器に形態設定します。

http://asf.atmel.com/docs/3.5.0/xmega.drivers.xcl.example2.stk600-rc032x_atxmega32e5/html/index.html

7.3. XCL例3 – STK600 – ATxmega32E5

この例はXCL部署内で計時器とLUTの両下位単位部を共に使用する方法を実演します。この形態設定の目的は生成された2つのPWM波形の論理XORである波形出力を生成することです。この例はそれらの比較出力ピン(PD2とPD3)で単一傾斜PWM出力を生成するように2つの8ビットBTC0/1計時器でXCLのTC下位単位部を形態設定します。これらのPWM出力は論理XOR関数として形態設定されたLUT0/1入力へ内部的に接続されます。結果の波形はPD4のLUT出力へ接続されます。

http://asf.atmel.com/docs/3.5.0/xmega.drivers.xcl.example3.stk600-rc032x_atxmega32e5/html/index.html

7.4. XCL例4 – STK600 – ATxmega32E5

この例はポートDの下位ニブル(各々PD2,PD1,PD3)に割り当てられた3つの外部入力ピンIN0/IN2/IN3間で論理XOR操作を実行するように1つの3入力LUTでXCLのLUT下位単位部を形態設定します。LUT0出力ピンはポートDのビット4ピンに割り当てられます。このXCL形態設定が純粋に非同期のため、この例はパワーダウン休止動作形態へ移行しますが、3つのピン間のXOR操作は未だ機能します。

http://asf.atmel.com/docs/3.5.0/xmega.drivers.xcl.example4.stk600-rc032x_atxmega32e5/html/index.html

8. 改訂履歴

資料改訂	日付	注釈
42083A	2013年4月	初版資料公開
42083B	2014年9月	§3.5.1.:「1. 論理関数を選んで制御レジスタD(CTRLD)を設定してください。」内の表がXORとXNORに関して修正されました。

Atmel®, Atmelロゴとそれらの組み合わせ、AVR®, Enabling Unlimited Possibilities®, STK®, XMEGA®とその他は米国と他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2014.

本応用記述はAtmelのAT01084応用記述(Rev.42083B-09/2014)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。