

AT01617 : FAULT(障害)タイマ/カウンタ拡張の使い方

Atmel AVR XMEGA E

要点

- 1つのタイマ/カウンタの出力とWeX波形入力間の拡張
- 同期または非同期の波形再起動
- 事象制御
- 複数の障害(Fault)再起動入力
- 2つの障害形式
 - 回復不能障害
 - 出力は構成設定可能な安全状態を強制されます。
 - 回復可能障害
 - 出力は3つの動作形態に従って再起動されます。

概要

この応用記述はAtmel[®] XMEGA[®] Eで利用可能なタイマ/カウンタに対する障害(Fault)拡張の様々な機能を記述します。

この拡張はスイッチング応用のハードウェア制御を提供します。

PWM信号を使った障害(Fault)拡張の恩恵は、例えばPFC、照明、電動機制御に於いて、状況入力に従って再起動するソフトウェアを必要としません。障害制御はハードウェアによって行われ、故に休止動作でも動きます。

この応用記述はAtmel XMEGA A/B/C/D系のタイマ/カウンタに照らして違いと改良も詳述します(XMEGA A/B/C/Dに対するAVR[®]1311:XMEGAタイマ/カウンタ拡張の使い方応用記述をご覧ください)。

ソフトウェア例はAtmelソフトウェア枠組み(ASF:Atmel Software Framework)で提供されます。これらのコード例は代表的な応用で障害動作の使用を簡単化します。

目次

1. 用語集	3
2. 事前要件	3
2.1. 資料	3
2.2. 道具	3
3. 障害(FAULT)概要	3
4. 障害(FAULT)入力	4
4.1. 障害(FAULT)入力事象形式	4
4.1.1. XMEGA A/B/C/D	4
4.1.2. XMEGA E	4
4.2. 障害(FAULT)入力事象周回	5
4.2.1. XMEGA A/B/C/D	5
4.2.2. XMEGA E	5
4.3. 障害(FAULT)入力元選択	5
4.3.1. XMEGA A/B/C/D	5
4.3.2. XMEGA E	5
4.4. 障害(FAULT)入力事象タイミング	5
4.4.1. XMEGA A/B/C/D	5
4.4.2. XMEGA E	6
4.5. 障害(FAULT)入力事象濾過	6
4.5.1. XMEGA A/B/C/D	6
4.5.2. XMEGA E	6
4.6. 障害(FAULT)入力事象制限	6
4.6.1. XMEGA A/B/C/D	6
4.6.2. XMEGA E	6
4.7. 障害(FAULT)入力事象消去	6
4.7.1. XMEGA A/B/C/D	6
4.7.2. XMEGA E	6
4.8. ソフトウェア障害(FAULT)	6
4.8.1. XMEGA A/B/C/D	6
4.8.2. XMEGA E	6
5. 障害(FAULT)出力	7
5.1. 事象と割り込みの出力	7
5.1.1. XMEGA A/B/C/D	7
5.1.2. XMEGA E	7
5.2. 出力レベル	7
5.2.1. XMEGA A/B/C/D	7
5.2.2. XMEGA E	7
6. 障害(FAULT)活動動作	8
6.1. 活動と復元の動作	8
6.1.1. XMEGA A/B/C/D	8
6.1.2. XMEGA E	8
6.1.3. 保持(KEEP)動作	9
6.1.4. 休止(HALT)動作	10
6.1.5. ソフトウェア(SOFTWARE)動作	11
6.1.6. 捕獲(CAPTURE)動作	12
6.1.7. 再始動(RESTART)動作	12
7. ドライバ実装	13
7.1. ファイル	13
8. 改訂履歴	13

1. 用語集

ASF [Atmelソフトウェア枠組み\(Atmel Software Framework\)](#)
Atmel Studio [Atmel応用のための統合開発環境\(IDE:Integrated Development Environment\)](#)
SMPS [スイッチング\(動作\)電源](#)

2. 事前要件

この資料で検討される解決策は基本的に以下の技量と技術に精通していることが必要とされます。

2.1. 資料

- [Atmel XMEGA E 手引書](#)
- [Atmel XMEGA 32E5 データシート](#)
- [Atmel AT01616:XMEGA E WeX タイマ/カウンタ拡張の使い方 応用記述](#)
- [Atmel AVR1311:XMEGA タイマ/カウンタ拡張の使い方 応用記述](#)

2.2. 道具

- [Atmel STK®600 開始キット](#)
- [Atmel XMEGA-E5 Xplained 基板](#)
- [Atmel Studio 6](#)
- [Atmel JTAGICE3 デバッグ](#)

3. 障害(FAULT)概要

XMEGA Eでは、障害(FAULT)単位部がタイマ/カウンタに対する特別な拡張で、いくつかのタイマ/カウンタの出力に繋がれます(図3-1をご覧ください)。この拡張はタイマ/カウンタとWeX拡張の間に置かれます。障害入力信号はタイマ/カウンタ比較出力で、障害出力はWeX拡張入力です(Atmel AVR1330:XMEGA E Wexの使い方 応用記述もご覧ください)。

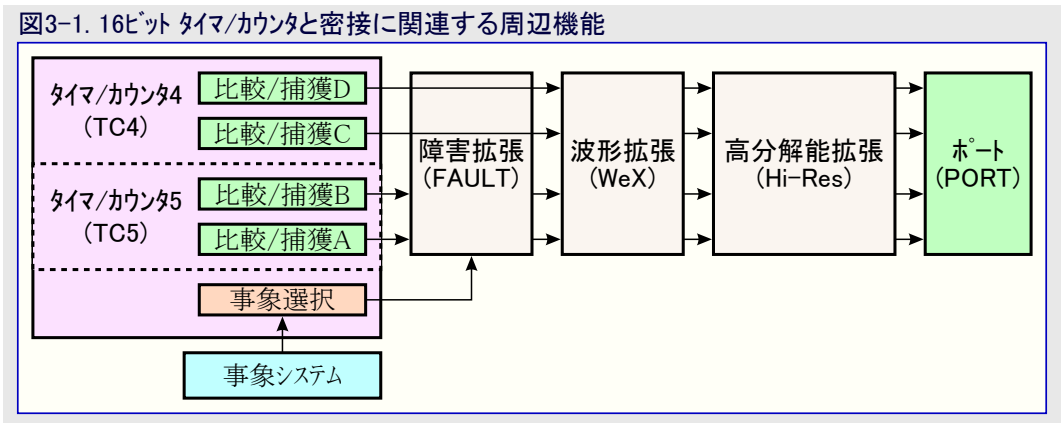
TC4とTC5間の違いはTC4が4つの比較出力を持つ一方でTC5が2つだけを持つことです。図3-1は障害入力と比較AとBの出力であることを示します。障害単位部はTC4とTC5で同じ活動を持ちます。

障害拡張はタイマ/カウンタ比較出力から生成された波形での直接的な行動によって事象制御された障害保護を許します。これは対応する活動と共に障害の以下の2つの形式を起動するのに使うことができます。

- “障害E”と名付けられた、全てのタイマ/カウンタ比較出力での回復不能障害
 - 安全のために比較出力を応用に対して安全である予め構成設定された値に強制します。これは代表的に瞬時に予測可能な停止と高い電流や電圧の駆動の禁止に対して使われます。
- “障害A”と“障害B”と名付けられた、タイマ/カウンタ比較出力AとBでの回復可能障害
 - 再始動するか、タイマ/カウンタ周期を停止するか、または出力比較レベルを解消することによって出力パルス活性時間または周期を短くします。一定時間または障害条件が存在する限りこの活動を履行することができます。これは代表的に電流感知調整、0交差再起動、消磁再起動に使うことができます。

障害拡張はタイマ/カウンタからの事象チャネルを再利用し、FAULT条件を起動するためにそれらのいくつかを許可します。

重要: 障害入力事象はタイマ/カウンタの最初の3つの入力事象チャネルです。

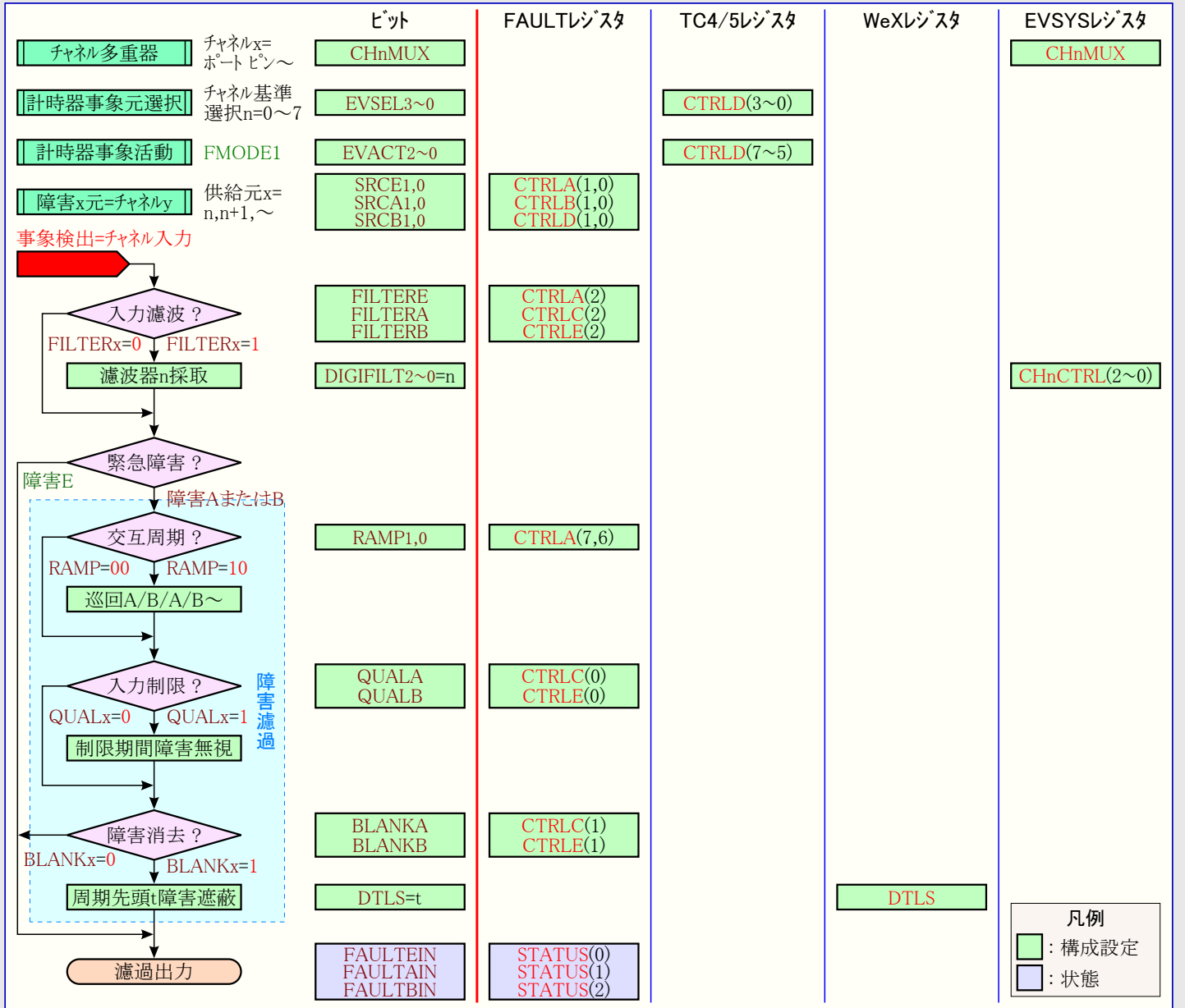


4. 障害(FAULT)入力

以下の部分では障害入力パラメータに関してAtmel XMEGA E系をAtmel XMEGA A/B/C/D系と比べます。

以下の部分での記述に沿って、対応して必要とされるレジスタと共に障害入力流れ図を記述する図4-1を参照してください。

図4-1. 障害(FAULT)入力流れ図と必要とされるビット/レジスタ



4.1. 障害(FAULT)入力事象形式

4.1.1. XMEGA A/B/C/D

障害入力は製品で利用可能な事象供給元のどれかで構成設定することができる事象チャネルです。これら全ての事象元はタイマ/カウンタ出力で同じ活動を持ちます(活動は事象チャネル元に対して指定しません)。

4.1.2. XMEGA E

XMEGA Eでは障害入力がタイマ/カウンタ事象チャネルです。何が新しいかは、以下の供給元の中で2つの障害形式を選ぶことができます。

● 回復不能障害 (SRCE)

この障害は障害Eと名付けられ、比較出力を予め構成設定された値に強制します。この予め構成設定されたレベルはCTRLAのFUSEBIT6とFUSEBYTE6の値で構成設定することができます(手引書の「メモリ」章をご覧ください)。

回復不能障害例は、例えば、電動機制御系での過電流検出です。システム保護は入力(即ち、外部アナログ比較器)が(システムクロックから独立して)組み合わせ経路を通して最小遅延で非同期にPWMを出力をOFFに切り替えることができることを必要とします。この検出は系を止めるために即時且つ無条件の活動を必要とします。

この資料の4.3、4.6、4.7の項は回復不能入力と関連しません。

● 回復可能FAULT (SRCA/SRCB)

(障害Aと障害Bと名付けられた)これらの障害は波形出力を再起動、停止、休止の方法を提供します。これらの障害はそれらが存在する間、PWM出力を不活性レベルにも強制します。

再起動はSMPS変換器制御に対して有用です。これらの入力形式を使っているいくつかの例は(即ち、変換器コイルでの電流を制御するための)PFC、DC/CD変換器です。

基本的な昇圧DC/DC変換器システムが図4-2で示されます。電圧を上げるため、高速PWM信号でQ1トランジスタを駆動します。

Q1のON状態中、電流はコイル(L)を通して流れ、エネルギーがコイルに蓄えられます。

負荷はコンデンサ(COUT)から給電されます。

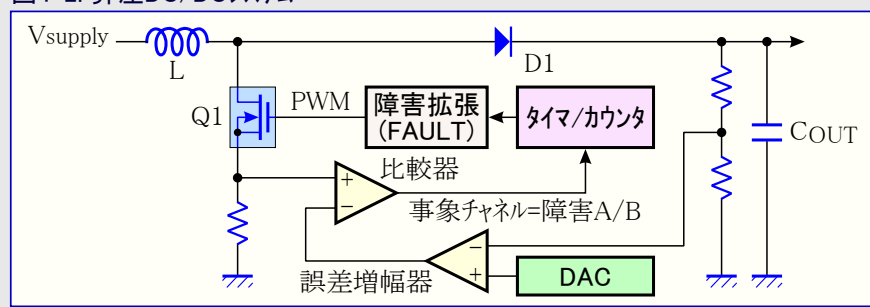
OFF状態中、コイル電圧が供給電圧(Vsupply)に加わり、電流はダイオード(D1)を通して流れてコンデンサ(COUT)を再充電します。

出力電圧はスイッチングのデューティサイクルを変えることによって制御されます。この例では調整閉路が電流制御動作で行われます。

それは以下で作られます。

- 電圧出力とDACによって定義された設定点間の電圧誤差を提供する誤差増幅器。この電圧誤差は電流調整の設定点です。
- 分流抵抗で監視される電流で電圧誤差(電流設定点)を比較する比較器。比較器出力は事象チャンネルとして構成設定されます。
- 障害入力(障害Aと障害B)としてアナログ比較器出力を使うためにタイマ/カウンタ事象選択を使う障害機能。Q1に接続されるPWM出力は出力電圧が正しい水準に達したことを比較器出力が合図すると直ぐに不活性を強制されます。

図4-2. 昇圧DC/DCシステム



4.2. 障害(FAULT)入力事象周回

4.2.1. XMEGA A/B/C/D

2つの連続するタイマ/カウンタ周期間に違いはありません。障害は(許可されていれば)全てのタイマ/カウンタ周期中に活動を持ちます。

4.2.2. XMEGA E

新しいタイマ/カウンタ動作は2つの交互処理された周期を持つ方法を提供します。最初の周期は障害A入力だけが有効で、次の周期は障害B入力だけが有効です。(CTRLBのSRCAまたはCTRLDのSRCBで設定される)LINK動作が許可された場合、1つの周期からの障害動作形態は次の周期に伝播します。この動作はCTRLAレジスタのRAMP1,0が'10'(RAMP2動作)に設定される場合に選ばれます。

この機能は障害Eに関係しません。

4.3. 障害(FAULT)入力元選択

4.3.1. XMEGA A/B/C/D

障害入力は製品で利用可能な事象供給元のどれかで構成設定することができる事象チャンネルです。これら全ての事象元はタイマ/カウンタ出力で同じ活動を持ちます(活動は事象チャンネル元に対して指定しません)。

4.3.2. XMEGA E

障害元の障害Eはタイマ/カウンタによって選ばれたn、n+1、n+2の3つの事象チャンネルの中から選ぶことができます。この選択は障害単位部のCTRLAのSRCEビットで行われます。

障害元の障害Aと障害Bはタイマ/カウンタによって選ばれたn、n+1の2つの事象チャンネルの中から選ぶことができます。CTRLB/CTRLDのレジスタでSRCA1,0/SRCB1,0のビットによって制御される利用可能な第3の可能な選択があります。この回復可能障害に対してだけ利用可能な第3の選択はLINK動作と名付けされます。

障害Aについて、入力元は直前の周期の最後で障害B状態に繋がられます。これは障害B状態が直前の周期の最後で1だった場合に次の周期で障害A状態を1に強制することを意味します。

障害Bについて、入力元は直前の周期の最後で障害A状態に繋がられます。これは障害A状態が直前の周期の最後で1だった場合に次の周期で障害B状態を1に強制することを意味します。

4.4. 障害(FAULT)入力事象タイミング

4.4.1. XMEGA A/B/C/D

事象システムは同期で、事象発生と事象処理間で2 CPU周期の最大時間を必要とします。

4.4.2. XMEGA E

障害経路でのどんな遅延も避けるため、事象システムは非同期配線を提供するように改良されました。別の利点は例えシステムクロックが停止されていても障害活動が起こることです。事象システムの同期動作は未だCTRLA/CTRLC/CTRLEREGISTERSのFILTERE/FILTERA/FILTERBビットで使うことができます。

既定構成設定では障害機能が事象システムを非同期動作で使います。

4.5. 障害(FAULT)入力事象濾過

4.5.1. XMEGA A/B/C/D

これらのXMEGA製品では濾過能力がありません。

4.5.2. XMEGA E

外部事象での障害検出失敗(即ち、入出力ポートでの不具合)を避けるため、事象チャネルでデジタル濾波を許可することができます。この動作は(3つの異なる障害入力に従って)CTRLA/CTRLC/CTRLEREGISTERSのFILTERE/FILTERA/FILTERBビットで構成設定されます。

FILTERE/FILTERA/FILTERB構成設定が選ばれた場合、事象配線はもう非同期ではなく、XMEGA A/B/C/Dのように同期になります。その後、事象活動は2または3周辺機能クロック周期+濾過時間の間遅延されます。これはシステムクロックの走行も必要とされます。

4.6. 障害(FAULT)入力事象制限

4.6.1. XMEGA A/B/C/D

PWM出力に対してFAULT入力を遮蔽する方法がありません。

4.6.2. XMEGA E

XMEGA Eでは、出力の不活性状態中に障害が起きた場合に障害入力を扱うか否かが可能です。(CTRLC/CTRLEREGISTERSの)障害制限(QUALAまたはQUALB)ビットが設定(1)され、出力が不活性の時間中に対応する障害入力があった場合、障害単位部のどの活動もありません。障害活動はPWM出力が活性の時にだけ起きます。

障害Eに対する制限任意選択はありません。

図6-5はQUAL入力動作とKEEP/HALT活動動作での例を提供します。

4.7. 障害(FAULT)入力事象消去

4.7.1. XMEGA A/B/C/D

これらのXMEGA A/B/C/D製品には消去任意選択がありません。

4.7.2. XMEGA E

XMEGA Eでは、タイム/カウンタ周回の開始から構成設定可能な時間の間で障害入力を遮蔽することができます。(CTRLC/CTRLEREGISTERSの)障害消去(BLANKAまたはBLANKB)ビットが設定(1)された場合、対応する障害入力は、TC4/TC5の各々に対してチャネルA用のDTLSとチャネルB用のDTHSで構成設定された時間の間、遮蔽されます。

この機能は障害Eに関係しません。

図6-3はBLANK入力動作とKEEP活動動作での例を提供します。

例えば、周辺機能クロック周波数が32MHzの場合、消去時間は0から256周辺機能クロック周期=256/32=8μsに等しい最大値間で書くことができます。

この動作は、例えば、トランジスタ切り替え中のスパイクを遮蔽するのに使うことができます。

4.8. ソフトウェア障害(FAULT)

4.8.1. XMEGA A/B/C/D

ソフトウェア障害強制はできません。

4.8.2. XMEGA E

XMEGA Eでは、ファームウェアがハードウェア障害単位部によって活動が実行される障害を生成することができます。このソフトウェア障害は(CTRLGSETREGISTERSの)ソフトウェア障害(FAULTBSW/FAULTASW/FAULTESW)ビットが1に設定された場合に活性(有効)にされます。

図6-1でソフトウェア障害は前の流れ図(図4-1)のハードウェア障害濾過機能の出力と共にOR機能で結合されます。

5. 障害(FAULT)出力

以降の項では障害出力に照らしてAtmel XMEGA E系をAtmel XMEGA A/B/C/D系と比較します。

5.1. 事象と割り込みの出力

5.1.1. XMEGA A/B/C/D

障害は動くのに周辺機能クロックを必要とし、事象が障害活動を起動するまでに最大2周辺機能クロック周期があります。

障害が検出されると、障害検出フラグが設定(1)され、タイマ/カウンタの異常割り込み要求フラグが設定(1)され、任意選択の割り込みが生成されます。

5.1.2. XMEGA E

新しい事象システムが非同期と同期の両事象配線を支援するため、障害起動の広い選択に対して予測可能で即時の障害反応を保証します。

既定障害構成設定は非同期で、例えばシステムクロックが停止されても、波形出力での即時非同期活動を許します。

5.2. 出力レベル

5.2.1. XMEGA A/B/C/D

以下の2つの異なる障害活動を選ぶことができます。

- タイマ/カウンタ出力の禁止。出力無効化許可(OUTOVEN)レジスタが設定(1)される場合、出力はポートピン構成設定によって設定されます。
- 連携するポートで方向解除(0)活動(方向(DIR)レジスタ解除(0))。結果は全てのポートピンがHi-Z入力動作です。

5.2.2. XMEGA E

異なる障害活動は次のとおりです。

1. 回復可能障害(許可されているなら)

障害が存在する時間の間、タイマ/カウンタ出力を不活性レベルを強制します(不活性レベルはTC4/5のCTRLCレジスタの出力極性(POLA/POLB/POLC/POLD)ビットで構成設定されます)。

2. 回復不能障害

(CTRLAレジスタのビット3の)FUSEビットが設定(1)される場合、比較出力の予め構成設定された値はFUSEBYTE6(手引書の「メモリ」章参照)に書かれた予め構成設定された値に設定されます。FUSEビットが解除(0)される場合、比較出力の予め構成設定された値はポート構成設定に従って設定されます。

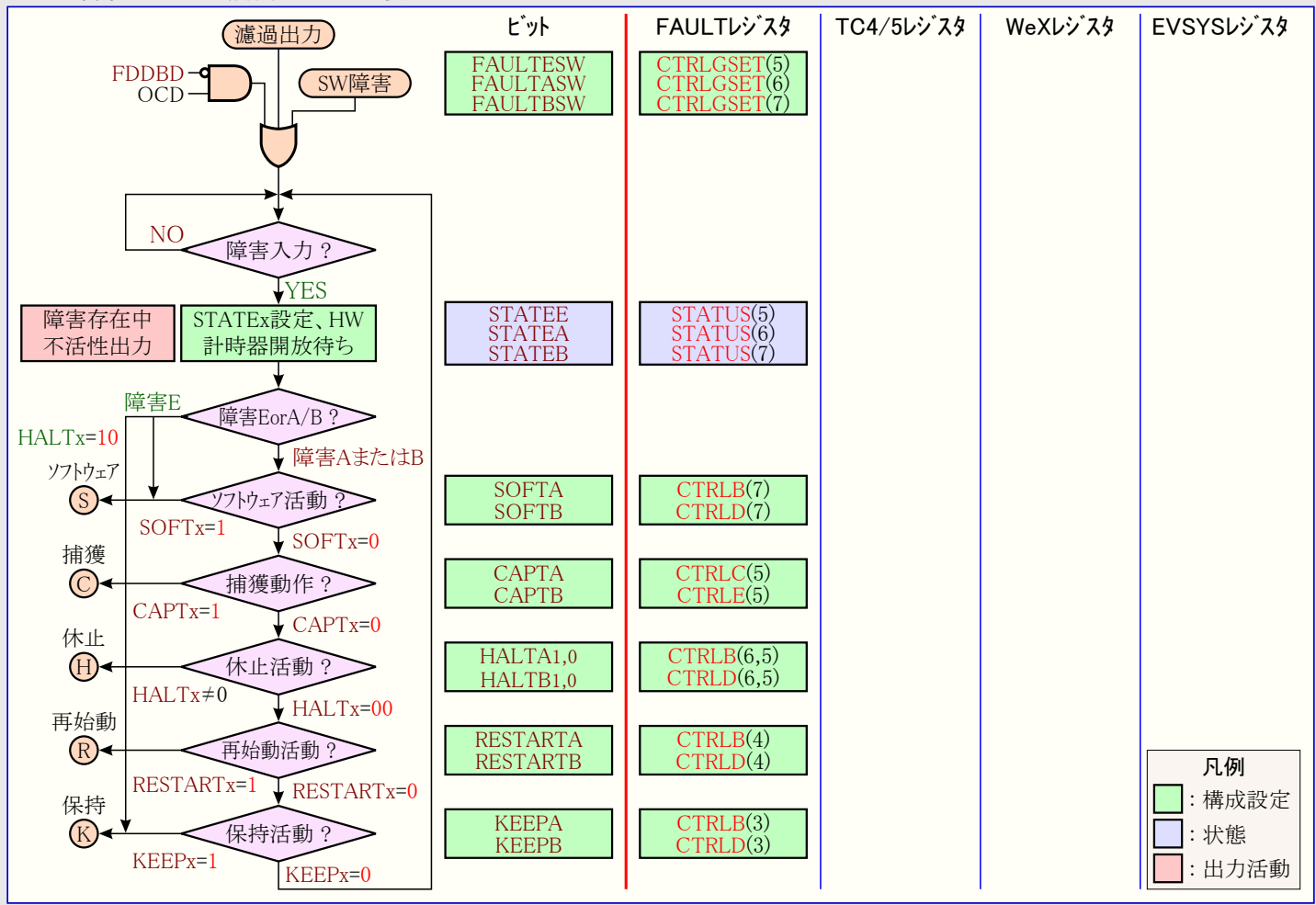
2つ目の場合、使用者はそれらの応用制限のため、不活性レベルを構成設定することができます。

FUSEBYTE6はタイマ/カウンタ初期化中のPWM出力の構成設定も提供します。これらの構成設定ヒューズはタイマ/カウンタ制御が動作するまでリセット出力からの既定レベルを制御します。

6. 障害(FAULT)活動動作

以降の項ではFAULT動作に照らしてAtmel XMEGA E系をAtmel XMEGA A/B/C/D系と比較します。流れ図が図6-1.で記述されます。

図6-1. 障害(FAULT)動作流れ図と必要とされるビット/レジスタ



6.1. 活動と復元の動作

6.1.1. XMEGA A/B/C/D

障害(FAULT)がもう活性でなくなった後、通常動作へ戻するのに以下の2つの動作形態を選ぶことができます。

1. ラッチ動作

ラッチ動作では、障害条件がもはや活性(有効)でなく、障害検出フラグ(FDF)がソフトウェアによって解除(0)されるまで、波形出力は障害状態に留まります。これらの両条件に合致した時に波形出力は次のUPDATE条件で通常動作に復帰します。

2. 周期単位動作

周期単位動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まります。この条件に合致すると、波形出力は次のUPDATE条件で通常動作に復帰します。

6.1.2. XMEGA E

2つの障害(FAULT)形式による活動は次のとおりです。

1. 回復不能障害

障害E(回復不能障害)の場合、

- 障害活動は全ての比較出力を不活性レベルに強制します。この不活性レベルは(CTRLAレジスタのビット3の)FUSEビットとFUSEBYTE 6(手引書の「メモリ」章参照)とポート構成設定によって構成設定することができます。
- ソフトウェア(SOFTWARE)動作が自動的に許可されます(6.1.5項での記述をご覧ください)。
- 休止(HALT)活動(HALT1,0= '10' 構成設定)も自動的に許可されます(6.1.4項での記述をご覧ください)。この休止(HALT)ソフトウェア動作は回復するのにSTATEECLRでのソフトウェア活動を必要とします。

捕捉(CAPTURE)を成し遂げるのに障害E入力を障害AかBの入力に接続することができます。(CTRLCとCTRLDのレジスタの)障害捕捉(CAPTAまたはCAPTB)ビットが設定(1)されるなら、回復不能障害発生時にタイマ/カウンタ捕捉が自動的に行われます。

2. 回復可能障害

障害AまたはBの場合、異なる障害(Fault)活動を個別に構成設定することができます。殆どの障害活動は互いに矛盾しません。従って障害活動の組み合わせ結果を達成するために同時に2つ以上の活動を許可することができます。

この個別動作が下で要約されます。

- 保持 (K:KEEP)

例え障害(Fault)が存在しなくてもタイマ/カウンタ周回の最後まで不活性状態を強制します。

- 休止 (H:HALT)

2つの異なる休止動作を構成設定することができます。

- ハードウェア休止(HARDWARE HALT、 $HALT1,0='01'$) : 障害(Fault)が活性である限りタイマ/カウンタを休止します。
- ソフトウェア休止(SOFTWARE HALT、 $HALT1,0='10'$) : (ハードウェア休止のように)障害(Fault)が活性である限りタイマ/カウンタを休止してソフトウェア活動を必要とします。

- ソフトウェア (S:SOFTWARE)

障害検出でタイマ/カウンタの異常割り込み要求フラグを上げる方法を提供します。

- 捕獲 (C:CAPTURE)

障害(Fault)事象に時刻印をする機能を提供します。

- 再始動 (R:RESTART)

新しいタイマ/カウンタ周回を再始動します。

これらの活動動作は以降の項で詳細に記述されます。

6.1.3. 保持(KEEP)動作

この動作では、例え障害(Fault)入力がある存在しなくても比較出力は不活性レベルを保たれます。

図6-4は保持(KEEP)動作処理の流れ図を提供します。

図6-2はKEEPAとQUALAの構成が設定(1)される場合の波形例を提供します。

QUALA構成設定で障害(Fault)入力Aはチャンネル出力Aの不活性レベルの間に障害が起きる時に何もしません。

図6-2. KEEPとQUALの動作許可での波形

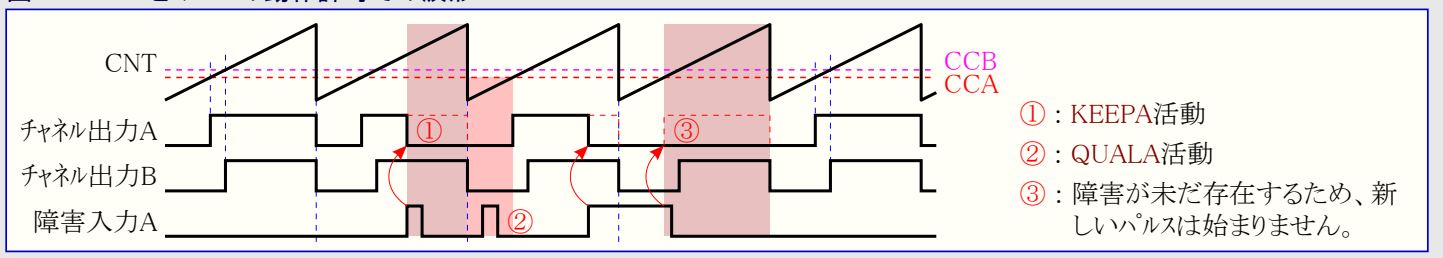
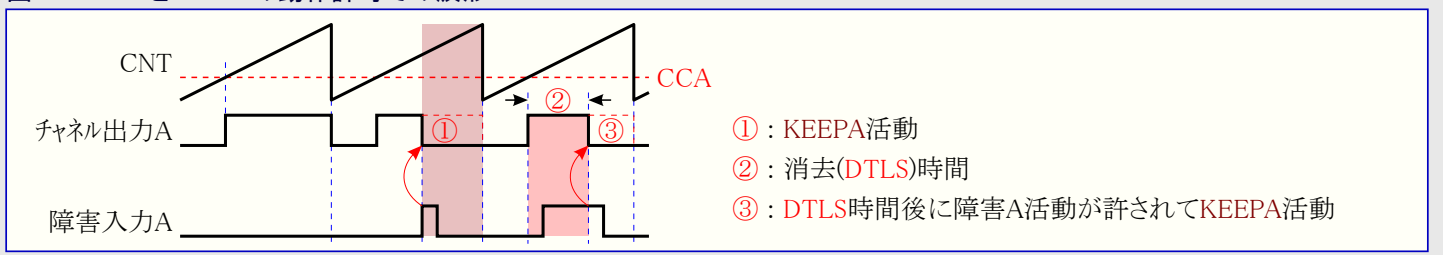


図6-3はKEEPAとBLANKAの構成が設定(1)される場合の波形例を提供します。

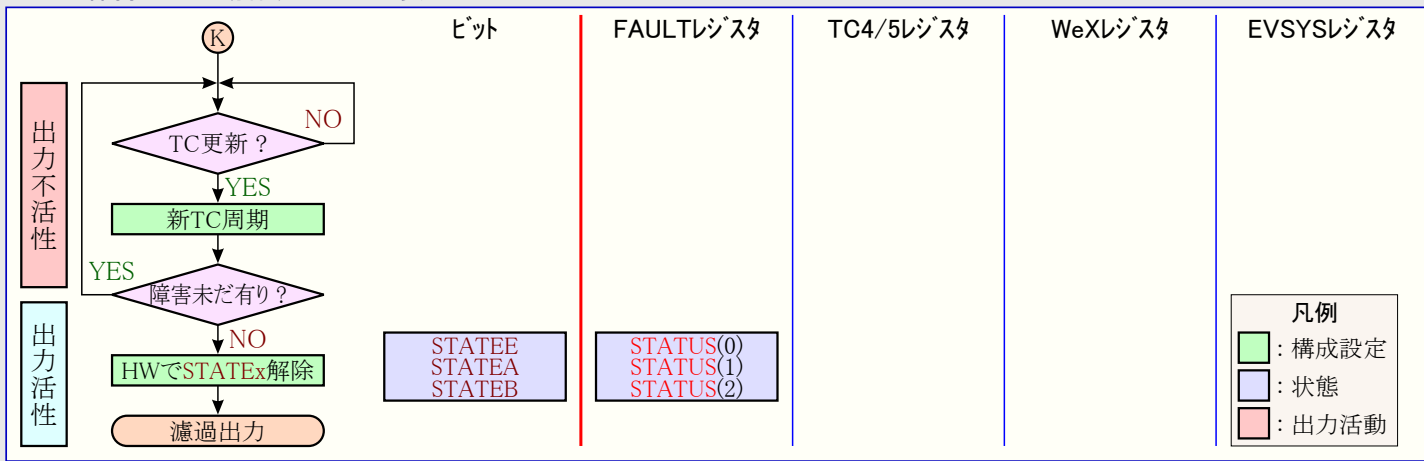
このBLANKA構成設定で障害(Fault)入力Aは各々、TC4/TC5が(各々、DTLS/DTHSのレジスタに書かれた)消去時間(4.7.項参照)に達するまで活動しません。

図6-3. KEEPとBLANKの動作許可での波形



(訳注) 原書の図6-2、図6-3、図6-5、図6-6はその動作例として不適切な部分が存在し、基本的に各CNT周期毎に特定条件を表しているだけで、全体としては矛盾している部分が存在していることに注意してください。本書は原書に対して若干の修正も行っています。

図6-4. 保持(KEEP)動作流れ図と必要とされるビット/レジスタ



6.1.4. 休止(HALT)動作

図6-7.は全体的な休止(HALT)処理の流れ図を提供します。以下の2つの異なる休止動作を構成設定することができます。

- ハードウェア休止
- ソフトウェア休止

ハードウェア休止動作では、障害入力が存在して以来、タイマ/カウンタが停止されます。タイマ/カウンタは障害入力が消滅すると直ぐに続きます。

ソフトウェア休止動作では、対応するタイマ/カウンタが障害入力消滅と(CTRLGCLRレジスタでのSTATEECLR/HALTA CLR/HALTBCLRへの'1'書き込みによる)状態ビットの解除まで停止されます。これは休止活動にソフトウェア制御を追加する方法を提供します。

図6-5.はKEEPAとQUALAの構成設定を持つハードウェア休止(HALTA='01')の波形例を提供します。QUALA構成設定によって障害入力Aはチャネル出力Aが不活性の場合に活動しません。

図6-5. ハードウェアHALT、KEEP、QUALの動作許可での波形

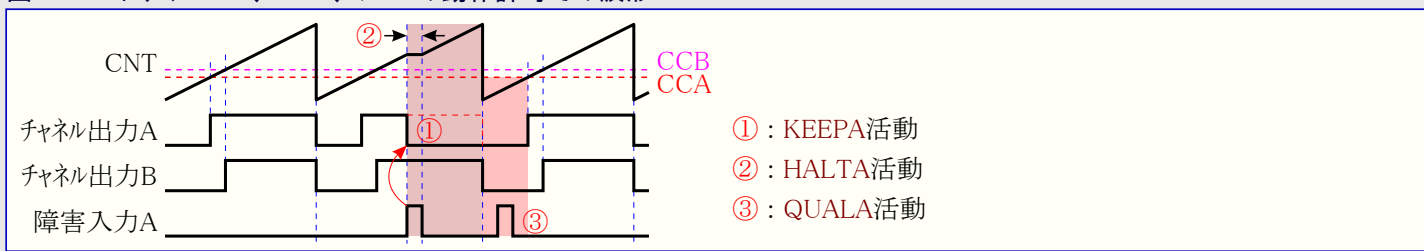


図6-6.はソフトウェアHALT、KEEP、QUALの動作許可での波形例を提供します。

図6-6. ソフトウェアHALT、KEEP、QUALの動作許可での波形

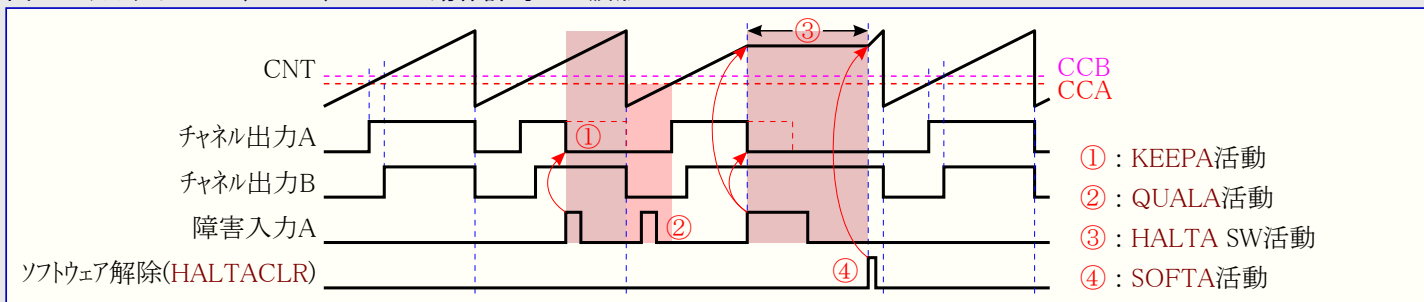
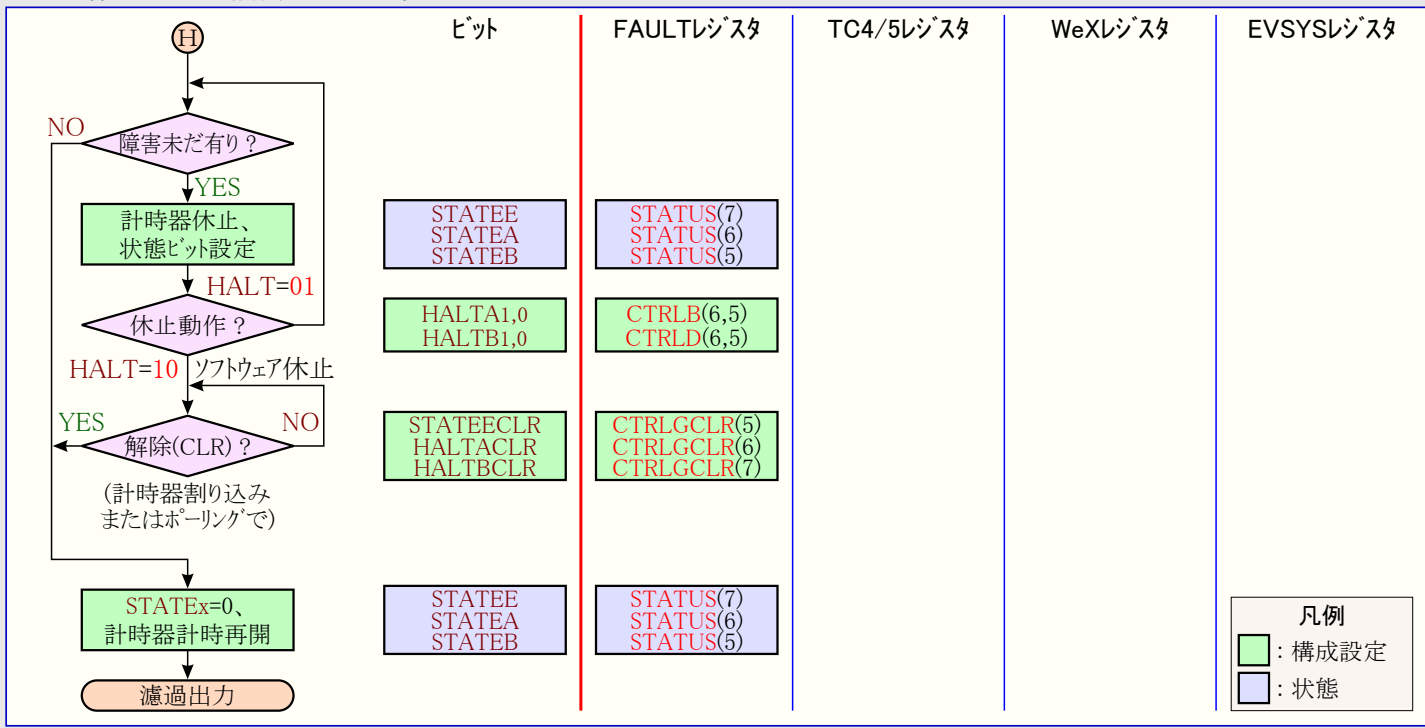


図6-7. 休止(HALT)動作流れ図と必要とされるビット/レジスタ



6.1.5. ソフトウェア(SOFTWARE)動作

図6-8.はソフトウェア(SOFTWARE)処理の流れ図を提供します。

この動作では対応する障害(FAULT)入力が発出されると直ぐに以下の活動が起こります。

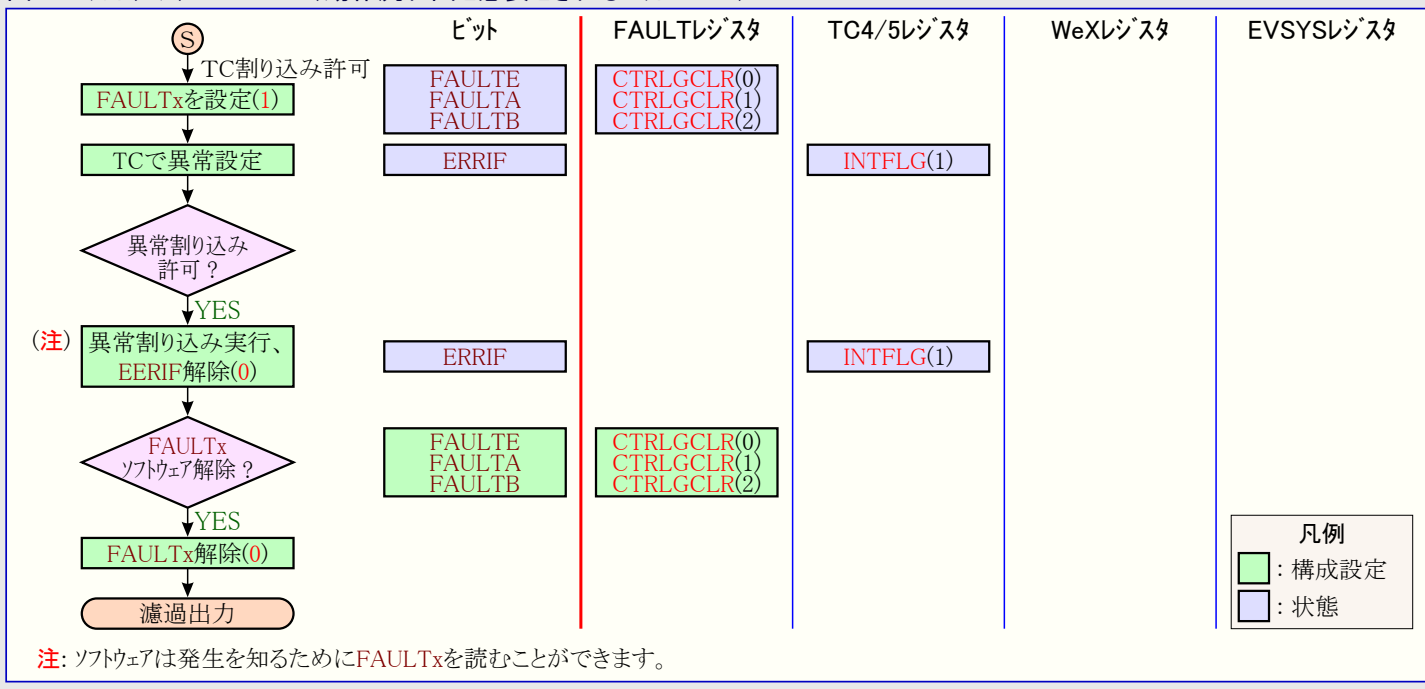
対応するタイマ/カウンタで:

- 異常割り込み要求フラグ(ERRIF)が設定(1)されます。
- 割り込み処理ルーチン(\$02ヘクタ)が実行されます。

対応する障害(FAULT)単位部で:

- 障害x(FAULTx)フラグが設定(1)されます。

図6-8. ソフトウェア(SOFTWARE)動作流れ図と必要とされるビット/レジスタ



6.1.6. 捕獲(CAPTURE)動作

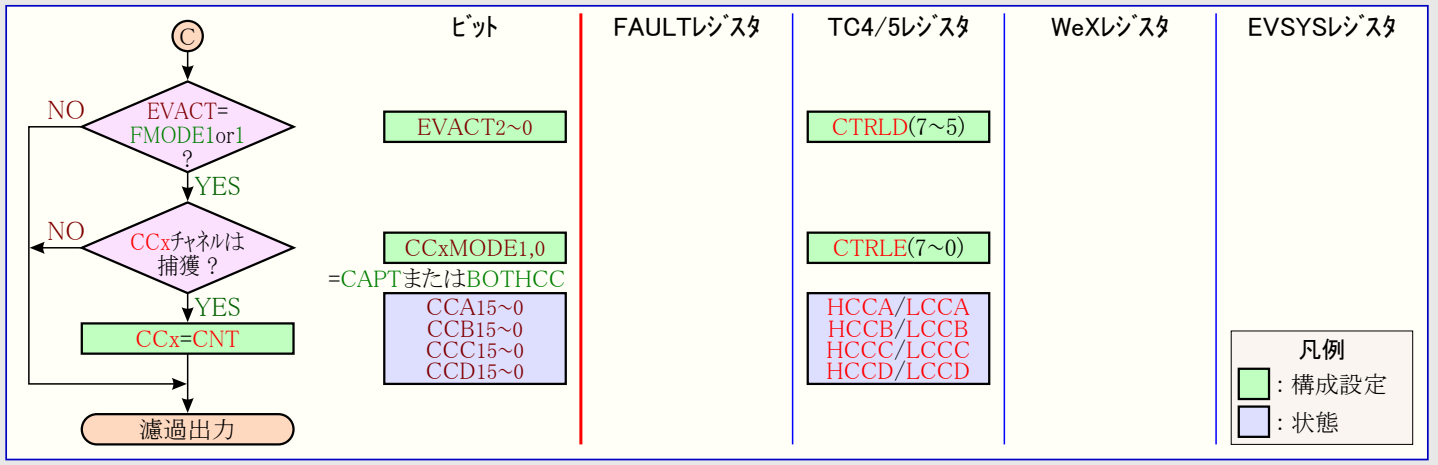
この動作は障害(FAULT)発生時の時刻印を得るのに使うことができます。この動作は例えば、PFC制御で使うことができます。

図6-9は捕獲(CAPTURE)処理の流れ図を提供します。

この動作では障害事象発生時にタイマ/カウンタの内容を捕獲を得るために以下の2つの条件が必要とされます。

- FMODE1またはFMODE2の動作形態に構成設定されたタイマ/カウンタ事象活動。これらの動作形態はタイマ/カウンタのCTRLDレジスタのEVACT2~0で構成設定されます。
 - MODE1動作では(捕獲に形態設定されていれば、)障害AまたはBがCCAとCCBで捕獲を起動します。
 - MODE2動作では障害AがCCAとCCCで捕獲を起動し、障害BはCCBとCCDでの活動を持ちます。
- 比較/捕獲チャンネルは捕獲動作に構成設定されなければなりません。タイマ/カウンタのCTRLDレジスタのCCxMODE1,0をご覧ください。

図6-9. 捕獲(CAPT)動作流れ図と必要とされるビット/レジスタ



6.1.7. 再始動(RESTART)動作

この動作は例えば、回路図が図6-10で記述されるPFCシステムの制御に使うことができます。

PFCシステムでFETのゲートを制御するPWM信号は図6-11の下部で示されます。ON時間は固定され、PWM周期は I_L 電流が0交差する時に再起動されます。

この(臨界導通動作とも名付けられた)不連続動作では、コイル電流(I_L)は毎周期のOFF時間の間に0へ行きます。

I_L が0に達すると直ぐに新しいPWM周期を再始動することができます。

図6-10. PFCシステム

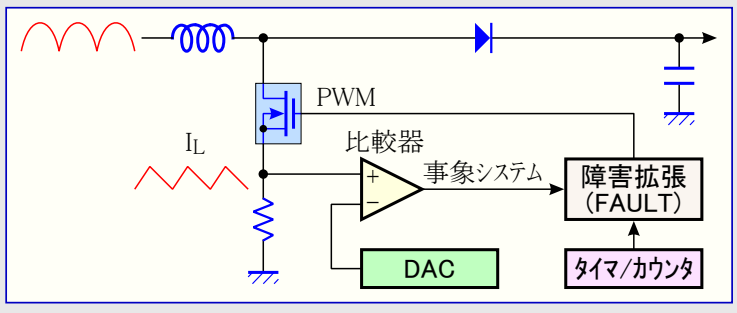


図6-11. PFC波形

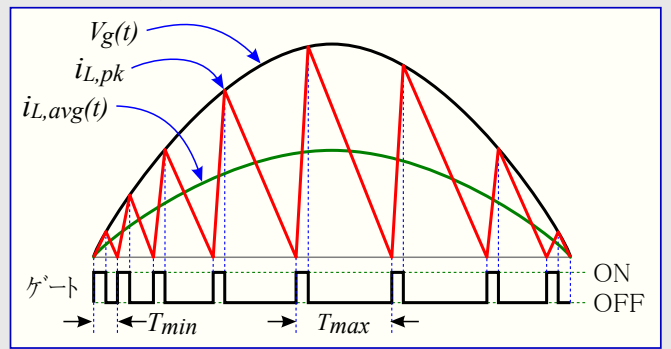


図6-13は再始動(RESTART)流れ図を提供します。(CTRLBまたはCTRLDのレジスタの)RESTARTAまたはRESTARTBのビットが設定(1)された場合、タイマ/カウンタは対応する障害(FAULT)発生時に0から再始動されます。進行中の周期は停止されて新しいタイマ/カウンタ周期が再始動します。

図6-12は以下の2つの構成設定に於けるチャンネル出力の動きを提供します。

- 上側の波形：1周期動作 (RAMP1、既定構成設定)
- 下側の波形：2周期動作 (RAMP2設定)

図6-12. 再始動(RESTART)動作での波形

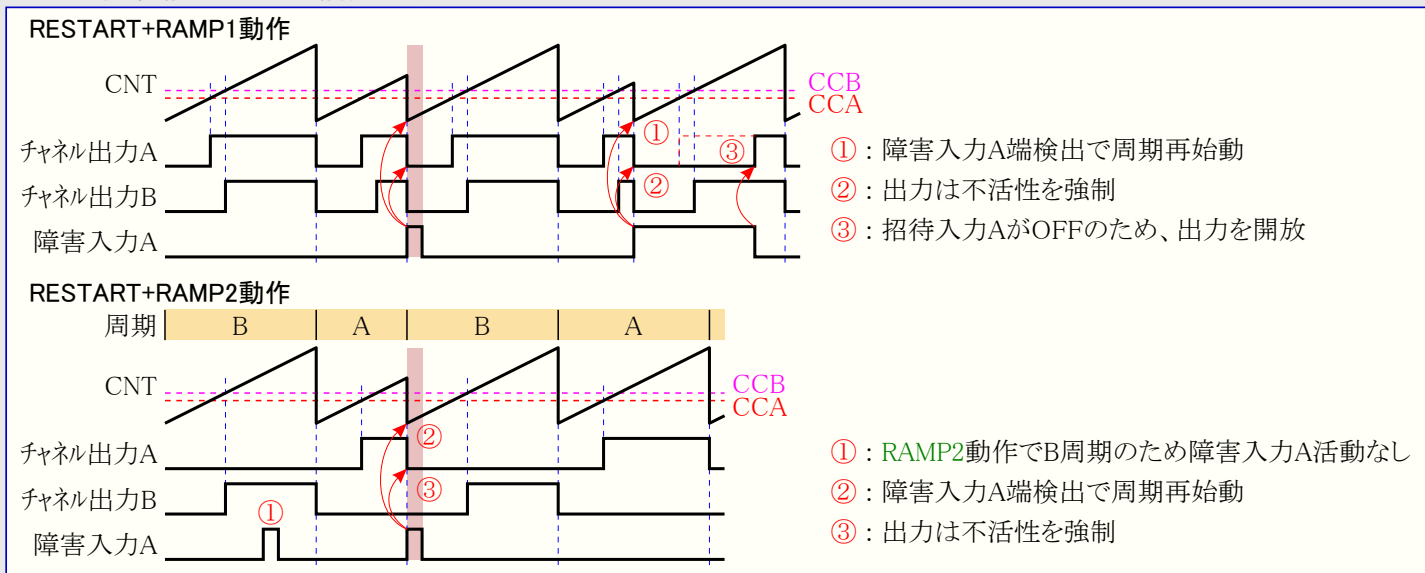
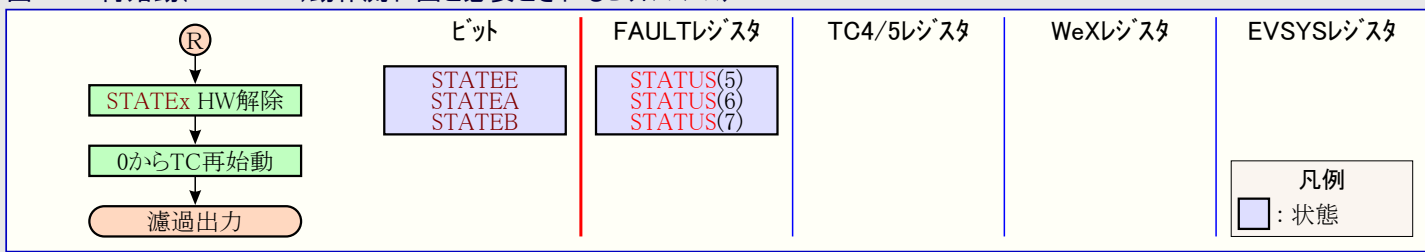


図6-13. 再始動(RESTART)動作流れ図と必要とされるビット/レジスタ



7. ドライバ実装

インクルードファイルは障害(Fault)単位部の主な機能の全てを制御する関数を持ちます。全ての関数は最初の引数として障害単位部へのポインタを取り、故にAtmel XMEGA E上の全ての障害単位部に対して同じ関数を再利用することができます。

注: このドライバは高性能を考慮して書かれていません。これはXMEGA Eのタイマ/カウンタ4と5で開始して素早い試作用の使い易い枠組みのライブラリとして設計されています。時間とコード空間が重要な応用開発については関数呼び出しをマクロまたはレジスタへの直接アクセスへの置き換えを考慮してください。

7.1. ファイル

このドライバ一括は以下のファイルから成ります。

- [tc45.c](#) - 障害(Fault)ドライバ ソース ファイル
- [tc45.h](#) - 障害(Fault)ドライバ ヘッダ ファイル

8. 改訂履歴

資料改訂	日付	注釈
42088A	2013年4月	初版資料公開



Enabling Unlimited Possibilities®

Atmel Corporation

1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 不許複製 / 改訂:42088A-AVR-04/2013

Atmel®, Atmelロゴとそれらの組み合わせ、AVR®, Enabling Unlimited Possibilities®, STK®, XMEGA®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2019.

本応用記述はAtmelのAT01617応用記述(Rev.42088A-04/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。