

序説

この応用記述は既存のAtmel® tinyAVR®デバイスのATtiny4/5/9/10とATtiny102/104の違いに脚光を当てます。

ATtiny102/104デバイスはATtiny4/5/9/10に対する簡単な置き換えではありません。けれども、機能は既存のATtiny4/5/9/10の機能との過去互換です。

ATtiny4/5/9/10とATtiny102/104間の障害事項、代表特性、電気的特性の違いについては特定デバイスのデータシートを参照してください。

デバイスについてより多くの詳細に関してはATtiny102/104データシートの最終版を参照してください。

特徴

- ピン機能の違い
- コード互換性
- 強化と追加の機能
- 外圍器形式

目次

序説	1
特徴	1
1. ピン機能の違い	3
2. 強化と追加の機能	3
2.1. 自己プログラミング フラッシュ メモリ	3
2.2. USART部	3
2.3. より短い始動時間	4
2.4. 改善された内部8MHz RC発振器精度	4
2.5. 改善されたADC部	4
2.6. アナログ比較器に接続されたバンドキャップ基準電圧	4
2.7. 追加のピン変化割り込み	5
3. 外圍器形式の違い	5
4. レジスタの違い	5
4.1. ATtiny102/104での新規レジスタ	5
4.2. ビットの違いがあるATtiny102/104のレジスタ	11
5. 改訂履歴	13

1. ピン機能の違い

ATtiny102/104はATtiny4/5/9/10よりも追加されたピンが特徴です。ATtiny102/104はポートAとポートBの両方を持ち、一方ATtiny4/5/9/10はポートBだけを持ちます。

ATtiny102/104は追加の汎用入出力(GPIO)を含みます。ATtiny102は6本のGPIOを持つ8ピンデバイスです。ATtiny104は12本のGPIOを持つ14ピンデバイスです。

表1-1. ATtiny102/104とATtiny4/5/9/10のポートピン機能の違い

ポートピン	ATtiny102/104	ATtiny4/5/9/10
PB0	ADC4/PCINT8	ADC0/AIN0/OC0A/PCINT0/TPIDATA
PB1	ADC5/INT0/OC0A/CLKO/PCINT9	ADC1/AIN1/OC0B/ICP0/CLKI/PCINT1/TPICLK
PB2	ADC6/ICP0/TXD0/PCINT10	ADC2/INT0/T0//CLKO/PCINT2
PB3	ADC7/T0/RXD0/ACO/PCINT11	ADC3/PCINT3/RESET

注: ・ポートBの0番(PB0)ピンはATtiny102に存在しません。

- ・既存のATtiny4/5/9/10用に構築したコードは新しいATtiny104デバイスでも構築成功を持続します。しかし、このような既存コードは、そのコードがポートBの0番(PB0)ピンを使用する場合、ATtiny102に対して構築することができません。コードの動きを確実にするために、ピン機能での違いに注意しなければなりません。

2. 強化と追加の機能

既存のATtiny4/5/9/10と比べ、ATtiny102/104では以下の強化または追加の機能が利用可能です。

- ・自己プログラミング フラッシュ メモリ
- ・USART部
- ・より短い始動時間
- ・改善された内部8MHz RC発振器精度
- ・改善されたADC部
- ・アナログ比較器に接続されたバンドギャップ基準電圧
- ・追加のピン変化割り込み

2.1. 自己プログラミング フラッシュ メモリ

ATtiny102/104は外部プログラミングと内部プログラミング(自己プログラミング)の両方を支援します。一方、ATtiny4/5/9/10は内部プログラミング(自己プログラミング)を支援しません。

ATtiny102/104は内部フラッシュメモリに応用コードをプログラミングするのに使用することができるブートローダである自己プログラミング機構を提供します。フラッシュメモリの自己プログラミングは全供給電圧範囲(1.8~5.5V)に対して支援されます。

ATtiny102/104のフラッシュメモリは読み中の書き(Read-While-Write)を支援せず、消去や書き込みの操作中に読むことはできません。従って、CPUは書き込みまたは消去の実行中に停止されます。自己プログラミングでは語書き込み(WORD_WRITE)とページ消去(PAGE_ERASE)の指令だけが支援されます。CPUはプログラミング操作を実行するためにNVMコードメモリでPAGE_ERASEとWORD_WRITEを実行することができます。

2.2. USART部

ATtiny102/104は個別形態設定レジスタを持つ専用USART部が特徴です。これらのレジスタの詳細な記述についてはATtiny102/104デバイスのデータシートでUSART部の下の「USART用レジスタ」項を参照してください。これらは独立したTX,RX,XCKのピンを持ち、この周辺機能に関するピン割り当ての詳細についてはATtiny102/104デバイスのデータシートで「入出力多重化」章を参照してください。USART部は非同期動作だけでなく同期動作も支援します。5,6,7,8,9データビット、1または2の停止ビットを持つ直列フレームも支援します。

万能同期/非同期直列受信部/送信部(USART:Universal Synchronous and Asynchronous Receiver and Transmitter)はUSART制御/状態レジスタC(UCSRC)のUSART動作選択(UMSEL0,0)ビットを形態設定することによって主装置SPI適合形態の動作に設定することができます。これらのビットはUSART0の動作形態を選択します。

表2-1. USART動作選択

UMSEL0,0	動作種別
0 0	非同期USART動作
0 1	同期USART動作
1 0	(予約)
1 1	主装置SPI (MSPIM)

2.3. より短い始動時間

ATtiny102/104は選択可能な次の2つの始動時間任意選択を支援します。

- ・標準始動時間 - 64ms
- ・短縮始動時間 - 8ms

これらは使用者形態設定可能ではありませんが、選択する顧客部品番号(CPN:Customer Part Number)で利用可能です。それらはATtiny102FまたはATtiny104Fで始まるCPNで利用可能です。

表2-2. 短縮始動時間での校正付き内蔵発振器使用時の始動時間

リセット	発振器	形態設定	総始動時間
8ms	6周期	21周期	8ms+6発振器周期+21システムクロック周期

2.4. 改善された内部8MHz RC発振器精度

内部8MHz RC発振器の工場校正精度はATtiny4/5/9/10での±10%からATtiny102/104での±3%に改善されています。既定工場校正よりもっと正確にするために内部発振器を手動校正することも可能です。

表2-3. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度
工場校正	8.0MHz	2.7~4.0V	0~85°C	±3%
使用者校正	7.3~8.1MHz内の固定周波数	1.8~5.5V内の固定電圧	-40~85°C内の固定温度	±1%

2.5. 改善されたADC部

ATtiny102/104は10ビットの逐次比較A/D変換器(ADC)が特徴です。ATtiny102/104のADC部はより多くのADCチャンネル数を持ちます。違いは次表で浮き彫りにされます。

表2-4. ATtiny104/102とATtiny5/10でのADCチャンネル数

項目	ATtiny104	ATtiny102	ATtiny5/10
ADCチャンネル数	8 ADCチャンネル	5 ADCチャンネル	4 ADCチャンネル
ADC用ポート	ポートAとポートBで利用可能	ポートAとポートBで利用可能	ポートBでだけ利用可能

ATtiny5/10(ATtiny4/9はADCを持ちません)は内部基準電圧(=VCC)が特徴である一方で、ATtiny102/104は標準的に1.1V, 2.2V, 4.3Vの内部基準電圧を持ちます。また、シングルエンドチャンネルに対する基準電圧としてVCCも使用することができます。

ATtiny102/104はADC結果の読み出しに対して任意選択の左揃えを持ちます。A/D変換制御/状態レジスタB(ADCSRB)の左揃え(ADLAR)ビットはADCデータレジスタでのA/D変換結果の提示方法に影響を及ぼします。さもなければ、結果は右揃えにされます。ADLARビットの変更は実行中のどんな変換にも拘わらず、直ちにADCデータレジスタに影響を及ぼします。

図2-1. ADLAR

ビット		15	14	13	12	11	10	9	8	
ADLAR=0時	\$1A	-	-	-	-	-	-	ADC9	ADC8	ADCH
	Read/Write	R	R	R	R	R	R	R	R	
	初期値	0	0	0	0	0	0	0	0	
	ビット	7	6	5	4	3	2	1	0	
ADLAR=1時	\$19	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
	Read/Write	R	R	R	R	R	R	R	R	
	初期値	0	0	0	0	0	0	0	0	
	ビット	15	14	13	12	11	10	9	8	
ADLAR=1時		ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
		7	6	5	4	3	2	1	0	
		ADC1	ADC0	-	-	-	-	-	-	ADCL

レジスタの詳細な記述についてはATtiny102/104デバイスのデータシートで「A/D変換器」下の「A/D変換器用レジスタ」項を参照してください。この周辺機能に対するピン割り当てについての詳細に関してはATtiny102/104デバイスのデータシートの「入出力多重化」章を参照してください。

2.6. アナログ比較器に接続されたバンドギャップ基準電圧

ATtiny102/104のアナログ比較器(AC)部は非反転入力に接続される1つの内部基準(1.1V, バンドギャップ)電圧を持ちます。バンドギャップ基準電圧をACへの非反転入力として使用するには、アナログ比較器制御/状態レジスタA(ACCSRA)のアナログ比較器バンドギャップ許可(ACBG)に1を書くことによってバンドギャップが最初に許可され、その後にアナログ比較器制御/状態レジスタB(ACSRB)のアナログ比較器非反転入力多重器(ACPMUX)に1を書くことによって選択されることが望まれます。これらのレジスタの詳細な記述についてはATtiny102/104デバイスのデータシートで「アナログ比較器」下の「アナログ比較器用レジスタ」を参照してください。

2.7. 追加のピン変化割り込み

ATtiny102/104は追加のピン変化割り込みベクタを持ちます。2つのピン変化割り込みベクタ(PCINT0:ピン変化0群割り込み要求とPCINT1:ピン変化1群割り込み要求)が利用可能です。これらのピン変化割り込みを形態設定するにはデータシートで「割り込み」下の「割り込み用レジスタ」項を参照してください。この周辺機能に対するピン割り当ての詳細についてはATtiny102/104デバイスのデータシートの「入出力多重化」章を参照してください。

3. 外圍器形式の違い

以下の表はATtiny102/104とATTiny4/5/9/10に対して利用可能な様々な外圍器に脚光を当てます。

表3-1. ATtiny102/104とATTiny4/5/9/10で利用可能な外圍器形式

デバイス名	外圍器形式	
ATtiny104	14リード SOIC150	14リード - 1.27mmピッチ, 8.65×3.90×1.60mm本体, プラスティック小外形外圍器 (SOIC)
ATtiny102	8リード SOIC150	8リード - 1.27mmピッチ, 4.9×3.90×1.60mm本体, プラスティック小外形外圍器 (SOIC)
	8パッド UDFN	8パッド, 2×3×0.6mm本体, 熱強化プラスチック極薄2列平板リードなし外圍器 (UDFN)
ATtiny4/5/9/10	6ST1	6リード, 2.90×1.60mm プラスティック小型外形外圍器 (SOT23)
	8MA4	6パッド, 2×2×0.6mm プラスティック極薄2列平板リードなし外圍器 (UDFN)

4. レジスタの違い

本章はATtiny102/104とATTiny4/5/9/10のレジスタでの違いに脚光を当てます。

4.1. ATtiny102/104での新規レジスタ

本項はATtiny102/104でだけ利用可能なレジスタの一覧を提供します。

4.1.1. PINA - ポートA入力レジスタ (Port A Input Address)

名称 : PINA
 変位 : \$00
 リセット : \$xx
 特質 : -

ビット	7	6	5	4	3	2	1	0
	(PINA7)	(PINA6)	(PINA5)	(PINA4)	(PINA3)	PINA2	PINA1	PINA0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	不定	不定	不定	不定	不定	不定	不定	不定

- ビット7~0 - PINA7~0 : ポートA入力 (Port A Input Pins)

4.1.2. DDRA - ポートA方向レジスタ (Port A Data Direction Register)

名称 : DDRA
 変位 : \$01
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	(DDRA7)	(DDRA6)	(DDRA5)	(DDRA4)	(DDRA3)	DDRA2	DDRA1	DDRA0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

- ビット7~0 - DDRA7~0 : ポートAデータ方向 (Port A Data Direction)

4.1.3. PORTA – ホートA出力レジスタ (Port A Data Register)

名称 : PORTA
 変位 : \$02
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	(PORTA7)	(PORTA6)	(PORTA5)	(PORTA4)	(PORTA3)	PORTA2	PORTA1	PORTA0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – PORTA7~0 : ホートA出力データ (Port A Data)

4.1.4. PUEA – ホートAプルアップ許可制御レジスタ (Port A Pull-up Enable Control Register)

名称 : PUEA
 変位 : \$03
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	(PUEA7)	(PUEA6)	(PUEA5)	(PUEA4)	(PUEA3)	PUEA2	PUEA1	PUEA0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – PUEA7~0 : ホートAプルアップ許可 (Port A Pull-up Enable)

4.1.5. UCSR0A – USART0制御/状態レジスタA (USART Control and Status Register 0 A)

名称 : UCSR0A
 変位 : \$0E
 リセット : \$20
 特質 : -

ビット	7	6	5	4	3	2	1	0
	RXC0	TXC0	UDRE0	FE0	DOR0	UPE0	U2X0	MPCM0
アクセス種別	R	R/W	R	R	R	R	R/W	R/W
リセット値	0	0	1	0	0	0	0	0

● ビット7 – RXC0 : USART受信完了フラグ (USART Receive Complete)

このフラグは受信緩衝部に未読データがある時に設定(1)され、受信緩衝部が空の(換言すると、どんな未読データも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部が破棄され、その結果RXC0フラグは0になります。RXC0フラグは受信完了割り込みを発生するのに使用できます(USART制御/状態レジスタB(UCSR0B)の受信完了割り込み許可(RXCIE0)ビットをご覧ください)。

● ビット6 – TXC0 : USART送信完了フラグ (USART Transmit Complete)

このフラグは送信シフトレジスタ内の完全なフレームがシフト出力されてしまい、送信緩衝部(UDR0)に新規データが現存しない時に設定(1)されます。TXC0フラグは送信完了割り込みが実行される時、自動的に解除(0)されるか、またはこのビット位置に1を書くことによって解除(0)できます。TXC0フラグは送信完了割り込みを発生できます(UCSR0Bの送信完了割り込み許可(TXCIE0)ビットをご覧ください)。

● ビット5 – UDRE0 : USART送信データレジスタ空きフラグ (USART Data Register Empty)

UDRE0フラグは送信緩衝部(UDR0)が新規データを受け取る準備ができているかどうかを示します。UDRE0が1ならば緩衝部は空で、従って書かれる準備ができています。UDRE0フラグは送信緩衝部空き割り込みを発生できます(UCSR0Bの送信データレジスタ空き割り込み許可(UDRIE0)ビットをご覧ください)。送信部が準備できているのを示すため、リセット後のUDRE0は設定(1)です。

● ビット4 – FE0 : フレーミング異常フラグ (Framing Error)

受信緩衝部の次データが受信した時にフレーミング異常(換言すると、受信緩衝部で次データの最初の(第1)停止ビットがLow)だった場合、このビットが設定(1)されます。このフラグは受信緩衝部(UDR0)が読まれるまで有効です。受信したデータの停止ビットがHighの時にFE0フラグは0です。UCSR0Aに書くとき、常にこのビットを0に設定してください。

このビットは主装置SPI動作(MSPIM)で保留されています。

● **ビット3 – DOR0 : データ オーバーラン発生フラグ (Data OverRun)**

データ オーバーラン(DOR0)フラグは受信緩衝部満杯状況のためのデータ損失を示します。データ オーバーランは受信緩衝部が満杯(2文字)で、新規フレームが受信ソフトレジスタ内で待機中に新規開始ビットが検出されると起こります。

このビットが設定(1)された場合、UDR0から読んだ最後のフレームとUDR0から読む次のフレーム間に1つまたはそれ以上の直列フレームが失われます。将来のデバイスとの互換性のため、UCSR0Aを書く時には常にこのビットへ0を書いてください。このビットは受信したフレームがソフトレジスタから受信緩衝部へ成功裏に移動された時に解除(0)されます。

このビットは主装置SPI動作(MSPIM)で保留されています。

● **ビット2 – UPE0 : パリティ誤りフラグ (USART Parity Error)**

受信緩衝部の次データが受信した時にパリティ異常があり、その時点でパリティ検査が許可されていれば(UPM01=1)、このビットが設定(1)されます。このフラグは受信緩衝部(UDR0)が読まれるまで有効です。UCSR0Aを書くとき、常にこのビットを0に設定してください。

このビットは主装置SPI動作(MSPIM)で保留されています。

● **ビット1 – U2X0 : 倍速許可 (Double the USART Transmission Speed)**

このビットは非同期動作でだけ有効です。同期動作を使用するとき、このビットに0を書いてください。

このビットに1を書くことはボーレート分周器の分周値を16から8に減らして事実上、非同期通信の転送速度を倍にします。

このビットは主装置SPI動作(MSPIM)で保留されています。

● **ビット0 – MPCM0 : 複数プロセッサ通信動作 (Multi-Processor Communication Mode)**

このビットは複数プロセッサ通信動作を許可します。MPCM0ビットが1を書かれると、USART受信部によって受信したアドレス情報を含まない全到着フレームは無視されます。送信部はMPCM0設定に影響されません。

このビットは主装置SPI動作(MSPIM)で保留されています。

4.1.6. UCSR0B – USART0制御/状態レジスタB (USART Control and Status Register 0 B)

名称 : UCSR0B

変位 : \$0D

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	UCSZ02	RXB80	TXB80
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RXCIE0 : 受信完了割り込み許可 (Receive Complete Interrupt Enable)**

このビットへの1書き込みはUSART制御/状態レジスタA(UCSR0A)の受信完了(RXC0)フラグでの割り込みを許可します。USART受信完了割り込みはRXCIE0ビットが1を書かれ、ステータスレジスタ(SREG)で全割り込み許可(I)ビットが1を書かれ、UCSR0AでRXC0フラグが設定(1)される場合にだけ生成されます。

● **ビット6 – TXCIE0 : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)**

このビットへの1書き込みはUSART制御/状態レジスタA(UCSR0A)の送信完了(TXC0)フラグでの割り込みを許可します。USART送信完了割り込みはTXCIE0ビットが1を書かれ、SREGで全割り込み許可(I)ビットが1を書かれ、UCSR0AでTXC0フラグが設定(1)される場合にだけ生成されます。

● **ビット5 – UDRIE0 : 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)**

このビットへの1書き込みはUSART制御/状態レジスタA(UCSR0A)の送信データレジスタ空き(UDRE0)フラグでの割り込みを許可します。USART送信データレジスタ空き割り込みはUDRIE0ビットが1を書かれ、SREGで全割り込み許可(I)ビットが1を書かれ、UCSR0AでUDRE0フラグが設定(1)される場合にだけ生成されます。

● **ビット4 – RXEN0 : 受信許可 (Receiver Enable)**

このビットへの1書き込みはUSART受信(部)を許可します。受信部は許可されるとTXD0ピンの標準ポート動作を無効にします。受信の禁止は受信緩衝部を破棄し、フレーミング異常(FE0)、オーバーラン(DOR0)、パリティ誤り(UPE0)のフラグを無効にします。

● **ビット3 – TXEN0 : 送信許可 (Transmitter Enable)**

このビットへの1書き込みはUSART送信(部)を許可します。送信部は許可されるとTXD0ピンの標準ポート動作を無効にします。送信の禁止(TXEN0=0書き込み)は進行中と保留中の送信が完了される(換言すると、送信ソフトレジスタと送信緩衝レジスタが送信されるべきデータを含まない)まで有効になりません。禁止したとき、送信部はもはやTXD0ポートの標準I/O機能を無効にしません。

● **ビット2 – UCSZ02 : データビット長選択2 (Character Size)**

USART制御/状態レジスタC(UCSR0C)のUCSZ01,0ビットと組み合わせたUCSZ02ビットは送受信部で使用するフレームのデータビット数(Character size)を設定します。

このビットは主装置SPI動作(MSPIM)で保留されています。

● **ビット1 – RXB80 : 受信データビット8 (Receive Data Bit 8)**

RXB80は9ビットデータでの直列フレーム操作時に受信したフレームの第9データビット(ビット8)です。UDR0から下位ビットを読む前に読んでください。

このビットは主装置SPI動作(MSPIM)で保留されています。

● **ビット0 – TXB80 : 送信データビット8 (Transmit Data Bit 8)**

TXB80は9ビットデータでの直列フレーム操作時に送信されるべきデータの第9データビット(ビット8)です。UDR0へ下位ビットを書く前に書いてください。

このビットは主装置SPI動作(MSPIM)で保留されています。

4.1.7. UCSR0C – USART0制御/状態レジスタC (USART Control and Status Register 0 C)

名称 : UCSR0C

変位 : \$0C

リセット : \$06

特質 : -

ビット	7	6	5	4	3	2	1	0
	UMSEL01,0		UPM01,0		USBS0	UCSZ01 UDORD0	UCSZ00 UCPHA0	UCPOL0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	1	1	0

● **ビット7,6 – UMSEL01,0 : USART動作選択 (USART Mode Select)**

このビットはUSART動作種別を選びます。

表4-1. USART動作選択

UMSEL01,0	動作種別
0 0	非同期動作
0 1	同期動作
1 0	(予約)
1 1	主装置SPI (MSPIM) (注)

注: UDORD0、UCPHA0、UCPOL0は主装置SPI動作(MSPIM)許可での同じ書き込み操作で設定することができます。

● **ビット5,4 – UPM01,0 : パリティ選択 (Parity Mode)**

これらのビットはパリティの発生と検査の許可と種別を設定します。許可した場合、送信部は各フレーム内での送信したデータビットのパリティを自動的に生成して送出します。受信部は到着データからパリティ値を生成し、UPM00設定と比較します。不一致が検出されると、USART制御/状態レジスタA(UCSR0A)でパリティ誤り(UPE0)フラグが設定(1)されます。

これらのビットは主装置SPI動作(MSPIM)で保留されています。

表4-2. パリティ選択

UPM01,0	パリティ動作
0 0	禁止
0 1	(予約)
1 0	偶数パリティ許可
1 1	奇数パリティ許可

● **ビット3 – USBS0 : 停止ビット選択 (Stop Bit Select)**

このビットは送信部によって挿入される停止ビット数を選びます。受信部はこの設定を無視します(訳補:常に第1停止ビットだけが有効)。

このビットは主装置SPI動作(MSPIM)で保留されています。

表4-3. 停止ビット選択

USBS0	停止ビット数
0	1ビット
1	2ビット

● **ビット2 – UCSZ01/UDORD0 : データビット長選択 (Character Size) / データ順選択 (Data Order)**

UCSZ01:USART動作 : USART制御/状態レジスタB(UCSR0B)のUCSZ02ビットと組み合わせたUCSZ01,0ビットは送受信部で使用するフレームのデータビット数(Character size)を設定します。

表4-4. データビット長選択

UCSZ02~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
データビット数	5ビット	6ビット	7ビット	8ビット	(予約)	(予約)	(予約)	9ビット

UDORD0:主装置SPI動作 : 1に設定されるとデータ語のLSBが最初に転送されます。0に設定されるとデータ語のMSBが最初に転送されます。詳細については「USARTでのSPI動作」の「フレーム形式」を参照してください。

● ビット1 – UCSZ00/UCPHA0 : データビット長選択 (Character Size) / クロック位相選択 (Clock Phase)

UCSZ00:USART動作 : UCSZ01を参照してください。

UDORD0: 主装置SPI動作 : クロック位相選択(UCPHA0)ビットの設定はデータがXCK0の先行(先)端または後行(後)端で採取/(設定)されるかを決めます。詳細については「USARTでのSPI動作」の「SPIデータ形態とタイミング」を参照してください。

● ビット0 – UCPOLO : クロック極性選択 (Clock Polarity)

USART動作 : このビットは同期動作に対してだけ使用されます。非同期動作が使用されるとき、このビットに0を書いてください。UCPOL0ビットは同期クロック(XCK0)、データ出力変更、データ入力採取間の関係を設定します。

表4-5. XCKクロック極性選択

UCPOL0	送信データ変更 (TXD0ピン出力)	受信データ採取 (RXD0ピン入力)
0	XCK0の上昇端	XCK0の下降端
1	XCK0の下降端	XCK0の上昇端

主装置SPI動作 : UCPOLOビットはXCK0クロックの極性を設定します。UCPOL0とクロック位相選択(UCPHA0)ビットの組み合わせ設定がデータ転送のタイミングを決めます。詳細については「USARTでのSPI動作」の「SPIデータ形態とタイミング」を参照してください。

4.1.8. UCSR0D – USART0制御/状態レジスタD (USART Control and Status Register 0 D)

このレジスタは主装置SPI動作(UCSR0C.UMSEL01,0=11)で使用されません。

名称 : UCSR0D

変位 : \$0B

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	RXSIE0	RXS0	-	-	-	-	-	-
アクセス種別	R/W	R/W	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RXSIE0 : 受信開始割り込み許可 (USART RX Start Interrupt Enable)

このビットへの1書き込みは受信開始(RXS0)フラグでの割り込みを許可します。休止動作形態でこのビットは、RXD0ピンで開始条件が検出された時にMCUを起こすことができるフレーム開始割り込みを許可します。

USART受信開始割り込みはRXSIE0ビット、ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUCSR0DのRXS0フラグが設定(1)される場合にだけ生成されます。

● ビット6 – RXS0 : 受信開始 (USART RX Start)

このフラグはRXD0ピンで開始条件が検出された時に設定(1)されます。受信開始割り込み許可(RXSIE0)ビットとSREGの全割り込み許可(I)ビットが設定(1)されていれば、このフラグが設定(1)される時に受信開始割り込みが生成されます。このフラグはRXS0ビット位置に論理1を書くことによって解除(0)することができます。

フレーム開始検出器が許可(RXSIE0=1)され、全割り込み許可(I)ビットが設定(1)されていれば、受信開始割り込みは全ての休止動作形態からMCUを起こします。

4.1.9. UBRR0H – USART0ボーレートレジスタ上位 (USART Baud Rate Register 0 High)

名称 : UBRR0H

変位 : \$0A

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	UBRR011~8			
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3~0 – UBRR011~8 : ボーレート分周値上位 (USART Baud Rate high)

UBRR0HとUBRR0LはUBRR0に結合されます。UBRR0H7~0はUBRR015~8です。USARTボーレートレジスタ下位(UBRR0L)を参照してください。

4.1.10. UBR0L – USART0ボーレートレジスタ下位 (USART Baud Rate Register 0 Low)

名称 : UBR0L
 変位 : \$09
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	UBR07~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – UBR07~0 : ボーレート分周値下位 (USART Baud Rate low)

UBR0HとUBR0LはUBR0に結合されます。UBR0L7~0はUBR07~0です。これはUSARTのボーレートを含む12ビットレジスタです。UBR0HがUSARTボーレートの上位4ビットを含み、UBR0Lが下位8ビットを含みます。ボーレートが変更されると、送受信部で進行中の転送は不正にされます。UBR0L書き込みはボーレート前置分周器の更新を直ちに始めます。

4.1.11. UDR0 – USART0データレジスタ (USART I/O Data Register 0)

同じI/Oアドレスを共用するUSART受信データ緩衝レジスタとUSART送信データ緩衝レジスタはUSARTデータレジスタまたはUDR0として引用しました。送信データ緩衝レジスタ(TXB)はUDR0レジスタ位置に書かれるデータの転送先です。UDR0レジスタ位置読み込みは受信データ緩衝レジスタ(RXB)の内容を返します。

5~7ビットデータでの上位未使用ビットは送信部によって無視され、受信部によって0に設定されます。

送信緩衝部はUCSR0Aで送信データレジスタ空き(UDRE0)フラグが設定(1)される時にだけ書けます。UDRE0フラグが設定(1)されない時にUDR0へ書かれたデータはUSART送信部によって無視されます。送信部が許可されて送信緩衝部にデータが書かれると、送信部は送信シフトレジスタが空きの時にそのデータを送信シフトレジスタへ設定(移動)します。その後データはTXD0ピンで直列送信されます。

受信緩衝部は2段のFIFOから成ります。このFIFOは受信緩衝部がアクセスされる毎にその状態を切り替えます。この受信緩衝部の動きのため、この位置に読み-修正-書き(リード モデファイライト)命令(SBIとCBI)を使用できません。ビット検査(SBICとSBIS)命令もFIFOの状態を換えるので、これらの命令を使用する時は注意してください。

名称 : UDR0
 変位 : \$08
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	TXB/RXB7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – TXB7~0/RXB7~0 : USART送受信データ (USART Transmit / Receive Data Buffer)

4.2. ビットの違いがあるATtiny102/104のレジスタ

本項はATtiny4/5/9/10とATtiny102/104の両方に於いてビットでの違いを持つレジスタの一覧を提供します。

4.2.1. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

各々のビットは論理1を書かれると、対応するADCピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADC7~0ピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

名称 : DIDR0
 変位 : \$17
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – ADC7D~ADC0D : ADC7~ADC0デジタル入力禁止 (ADC7~0 Digital Input Disable)

A/D変換器:

- ADC7D~ADC0Dが1に設定されると、対応するADCピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)される時、対応するポート入力(PIN)レジスタのビットは常に0として読みます。ADC7~0ピンにアナログ信号が印加され、そのピンからのデジタル入力が必要ない時に、デジタル入力緩衝部での電力消費を減らすため、このビットは論理1を書かれるべきです。

アナログ比較器:

- ADC1DまたはADC0Dが1に設定されると、AIN1(ADC1)/AIN0(ADC0)ピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ入力として使用するけれどもデジタル入力を必要としない時にこのビットに論理1を書くことによってデジタル入力緩衝部での消費電力を削減することができます。

- ADC7D~ADC2D : これらのビットはアナログ比較器に適用しません。

4.2.2. ADCL – A/D変換データレジスタ下位 (ADC Data Register Low) [ADLAR=1]

A/D変換が完了すると、その結果がADCHとADCLの2つのレジスタで得られます。

名称 : ADCL
 変位 : \$19
 リセット : \$00
 特質 : ADLAR=1

ビット	7	6	5	4	3	2	1	0
	ADC1,0	-	-	-	-	-	-	-
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット7,6 – ADC1,0 : A/D変換結果 (ADC Conversion result)

これらのビットは変換での結果を表します。

4.2.3. ADCH – A/D変換データレジスタ上位 (ADC Data Register High) [ADLAR=1]

名称 : ADCH
 変位 : \$1A
 リセット : \$00
 特質 : ADLAR=1

ビット	7	6	5	4	3	2	1	0
	ADC9~2							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – ADC9~2 : A/D変換結果 (ADC Conversion result)

A/D変換データレジスタ下位(ADCL)を参照してください。

4.2.4. PCICR – ピン変化割り込み制御レジスタ (Pin Change Interrupt Control Register)

名称 : PCICR
 変位 : \$12
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PCIE1	PCIE0
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1 – PCIE1 : ピン変化1群割り込み許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE1ビットが設定(1)されると、ピン変化1群割り込みが許可されます。許可したPCINT8～11ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCI1割り込みベクタから実行されます。PCINT8～11ピンはピン変化割り込み1群許可レジスタ(PCMSK1)によって個別に許可されます。

● ビット0 – PCIE0 : ピン変化0群割り込み許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE0ビットが設定(1)されると、ピン変化0群割り込みが許可されます。許可したPCINT0～7ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCI0割り込みベクタから実行されます。PCINT0～7ピンはピン変化割り込み0群許可レジスタ(PCMSK0)によって個別に許可されます。

4.2.5. PCIFR – ピン変化割り込み要求フラグ レジスタ (Pin Change Interrupt Flag Register)

名称 : PCIFR
 変位 : \$11
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PCIF1	PCIF0
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1 – PCIF1 : ピン変化1群割り込み要求フラグ (Pin Change Interrupt Flag 1)

PCINT8～11ピンの何れかの論理変化が割り込み要求を起動すると、PCIF1が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとピン変化割り込み制御レジスタ(PCICR)のピン変化1群割り込み許可(PCIE1)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

● ビット0 – PCIF0 : ピン変化0群割り込み要求フラグ (Pin Change Interrupt Flag 0)

PCINT0～7ピンの何れかの論理変化が割り込み要求を起動すると、PCIF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとピン変化割り込み制御レジスタ(PCICR)のピン変化0群割り込み許可(PCIE0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

4.2.6. PCMSK0 – ピン変化割り込み0群許可レジスタ (Pin Change Mask Register 0)

名称 : PCMSK0
 変位 : \$0F
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	(PCINT7)	(PCINT6)	(PCINT5)	(PCINT4)	(PCINT3)	PCINT2	PCINT1	PCINT0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7～0 – PCINT7～PCINT0 : ピン変化割り込み7～0許可 (Pin Change Enable Mask 7～0)

各PCINT0～7ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT0～7とピン変化割り込み制御レジスタ(PCICR)のPCIE0が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT0～7が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

4.2.7. PCMSK1 – ピン変化割り込み1群許可レジスタ (Pin Change Mask Register 1)

名称 : PCMSK1
変位 : \$10
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PCINT11	PCINT10	PCINT9	(PCINT8)
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3~0 – PCINT11~PCINT8 : ピン変化割り込み11~8許可 (Pin Change Enable Mask 11~8)

各PCINT8~11ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT8~11とピン変化割り込み制御レジスタ(PCICR)のPCIE1が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT8~11が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

4.2.8. PORTCR – ポート制御レジスタ (Port Control Register)

名称 : PORTCR
変位 : \$16
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BBMB	BBMA
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1 – BBMB : ポートB接続前切断動作許可 (Break-Before-Make Mode Enable)

このビットが設定(1)されると、ポートB全体に対して接続前切断動作が活性(有効)にされます。そして出力にするためのDDRxn書き込み時に中間のHi-Z周期が挿入されます。

● ビット0 – BBMA : ポートA接続前切断動作許可 (Break-Before-Make Mode Enable)

このビットが設定(1)されると、ポートA全体に対して接続前切断動作が活性(有効)にされます。そして出力にするためのDDRxn書き込み時に中間のHi-Z周期が挿入されます。

5. 改訂履歴

資料改訂	日付	注釈
42676A	2016年2月	初版資料公開

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®, tinyAVR®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2016.

本応用記述はAtmelのAT13053応用記述(Rev.42676A-02/2016)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。