

序説

この応用記述はAtmel® ATmega328PBとの違いを理解して使うためのAtmel ATmega328系の使用者を手助けします。

ATmega328PBはATmega328系の完全互換品ではなく、新しいデバイスです。けれども、機能は既存のATmega328機能と過去互換です。それらのデバイスの既存コードは既存の構成設定の変更や新機能の許可なしに新デバイスで動きます。あなたの既存ATmega328系で利用可能なコードは新しいATmega328PBデバイスでも動き続けます。

ATmega328PBは良好な結果のAtmel QTouch®周辺機能接触制御器(PTC:Peripheral Touch Controller)を特徴とする最初のAtmel 8ビットAVRデバイスです。

ATmega328系とATmega328PBの障害事項、代表特性、電気的特性の違いについては特定デバイスのデータシートを参照してください。

デバイスの完全な詳細についてはwww.atmel.comで利用可能なATmega328PBデータシートの最終版を参照してください。

要点

- ピン機能の違い
- コード互換性
- 強化と追加の機能
- 更新された機能

注: ATmega328系用にコンパイルされたコードは互換性があり、ATmega328PBデバイスで実行することができます。ところが、逆のコード互換性は保証されません。

目次

序説	1
要点	1
1. ピン機能の違い	3
1.1. 追加ピン機能	3
1.2. 交換ピン構成設定	3
2. ATmega328PBでの強化と追加の機能	4
2.1. PTC – 周辺機能接触制御器	4
2.1.1. PTC機能的説明	8
2.2. CFD – クロック障害検出機構	4
2.3. OCM – 比較出力変調器	4
2.4. USART	5
2.5. アナログ比較器	5
2.6. 通番	5
2.7. 追加SPI	5
2.8. 追加TWI	5
2.9. 追加タイマ/カウンタ	5
3. 更新された機能	6
3.1. 全振幅発振器	6
3.2. 校正付き内蔵RC発振器精度	6
3.3. 並列プログラミング	6
3.4. パワーセーブ動作	6
3.5. NVM	6
3.6. 識票バイト	6
4. レジスタ説明	7
4.1. ポートEデータ入力レジスタ	7
4.2. ポートEデータ方向レジスタ	7
4.3. ポートEデータ出力レジスタ	7
4.4. XOSC障害検出制御/状態レジスタ	8
4.5. USARTn制御・状態レジスタD	8
4.6. アナログ比較器制御/状態レジスタB	9
5. 改訂履歴	9

1. ピン機能の違い

1.1. 追加ピン機能

ATmega328PBはポートE(PE3~0)で4つの追加の汎用入出力(GPIO)を支援します。

汎用入出力ピンのPE2とPE3は19番ピンと22番ピンに割り当てられます。PE2とPE3は各々ADC6/ICP3/ $\overline{SS1}$ /PCINT26とADC7/T3/MOSI1/PCINT27とで多重化されます。

(以前のATmega328系)の3番(GND)ピンと6番(VCC)ピンは各々PE0とPE1によって置き換えられます。PE0とPE1は各々ACO/ICP4/SDA1/PCINT24とT4/SCL1/PCINT25とで多重化されます。

表1-1. ATmega328系とATmega328PBのピン機能の違い

TQFP/MLF外圍器のピン番号	ATmega328系	ATmega328PB
3	GND	PE0/ACO/ICP4/SDA1/PCINT24
6	VCC	PE1/T4/SCL1/PCINT25
19	ADC6	PE2/ADC6/ICP3/ $\overline{SS1}$ /PCINT26
22	ADC7	PE3/ADC7/T3/MOSI1/PCINT27

1.2. 交換ピン構成設定

交換ピンの構成設定は次のとおりです。

- ADC7/T3/PCINT27 – ポートEビット3 : PE3
 - ADC7 : PE3はA/D変換チャネル7入力としても使えます。**注:**ADC入力チャネル7はアナログ電源(AVCC)を使います。
 - T3 : タイマ/カウンタ3の外部クロック入力ピンです。
 - MOSI1 : SPI1チャネル用の主装置データ出力、従装置データ入力。SPI1が従装置として許可されると、本ピンはポートE方向レジスタ(DDR E)のDDE3設定に拘らず、入力として設定されます。SPI1が主装置として許可されると、このピンのデータ方向はDDE3によって制御されます。このピンがSPI1によって入力を強制される時、プルアップは未だポートE出力レジスタ(PORT E)のPORTE3によって制御できます。
 - PCINT27 : ピン変化割り込み27入力。PE3ピンは外部割り込み元としても扱えます。
- ADC6/ICP3/ $\overline{SS1}$ /PCINT26 – ポートEビット2 : PE2
 - ADC6 : PE2はA/D変換チャネル6入力としても使えます。**注:**ADC入力チャネル6はアナログ電源(AVCC)を使います。
 - ICP3 : タイマ/カウンタ3の捕獲起動入力。PE2ピンはタイマ/カウンタ3用捕獲起動入力ピンとして動作できます。
 - $\overline{SS1}$: SPI1従装置選択入力。SPI1が従装置として許可されると、本ピンはポートE方向レジスタ(DDRE)のDDE2の設定に拘らず、入力として設定されます。従装置としてこのピンがLowに駆動されるとSPI1(機能)が活性化(有効に)されます。SPI1が主装置として許可されると、このピンのデータ方向はDDE2によって制御されます。このピンがSPI1によって入力を強制される時、プルアップは未だポートE出力レジスタ(PORT E)のPORTE2によって制御できます。
 - PCINT26 : ピン変化割り込み26入力。PE2ピンは外部割り込み元としても扱えます。
- T4/SCL1/PCINT25 – ポートEビット1 : PE1
 - T4 : タイマ/カウンタ4の外部クロック入力ピンです。
 - SCL1 : 2線直列インターフェース1 クロック。2線直列インターフェースを許可するために2線直列インターフェース制御レジスタ(TWCR1)の2線直列インターフェース動作許可(TWEN1)ビットが設定(1)されると、PE1は(標準の)ポートから切り離されて、2線直列インターフェース1用直列クロック入出力ピンになります。この動作では入力信号上の50nsより短いスパイク(瞬間雑音)を消去するためのスパイク除去器があり、スルーレート(上昇/下降速度)制限付きオープンドレイン駆動部によって駆動されます。
 - PCINT25 : ピン変化割り込み25入力。PE1ピンは外部割り込み元としても扱えます。
- ACO/ICP4/SDA1/PCINT24 – ポートEビット0 : PE0
 - ACO : PE0はアナログ比較器出力として使えます。
 - ICP4 : タイマ/カウンタ4の捕獲起動入力。PE0ピンはタイマ/カウンタ4用捕獲起動入力ピンとして動作できます。
 - SDA1 : 2線直列インターフェース1 データ。2線直列インターフェースを許可するために2線直列インターフェース制御レジスタ(TWCR1)の2線直列インターフェース動作許可(TWEN1)ビットが設定(1)されると、PE0は(標準の)ポートから切り離されて、2線直列インターフェース1用直列データ入出力ピンになります。この動作では入力信号上の50nsより短いスパイク(瞬間雑音)を消去するためのスパイク除去器があり、スルーレート(上昇/下降速度)制限付きオープンドレイン駆動部によって駆動されます。
 - PCINT24 : ピン変化割り込み24入力。PE0ピンは外部割り込み元としても扱えます。

2. ATmega328PBでの強化と追加の機能

既存のATmega328系と比べ、ATmega328PBでは以下の強化または追加の機能が利用可能です。

- PTC – 周辺機能接触制御器 (Peripheral Touch Controller)
- CFD – クロック障害検出機構 (Clock FAlure Detection mechanism)
- OCM – 比較出力変調器 (Output Compare Modulator)
- 全休止形態動作でUSARTフレーム開始検出が利用可能です。
- アナログ比較器出力がピンで利用可能です。このピンはPE0で多重化されます。
- デバイスと識別するための固有のデバイスID
- 追加のUSART
- 追加のSPI
- 追加のTWI
- 追加のタイマ/カウンタ (TC3,TC4)

2.1. PTC – 周辺機能接触制御器

ATmega328PBは良好な結果のAtmel QTouch周辺機能接触制御器(PTC:Peripheral Touch Controller)を特徴とする最初のAtmel 8ビットAVRデバイスです。周辺機能接触制御器(PTC)は容量性感知部での接触を検知するために信号を取得します。外部の容量性感知部は代表的にPCBで形成され、感知部電極はデバイスの入出力ピンを通してPTCのアナログ前処理部に接続されます。PTCは自己と相互の両容量性感知部を支援します。

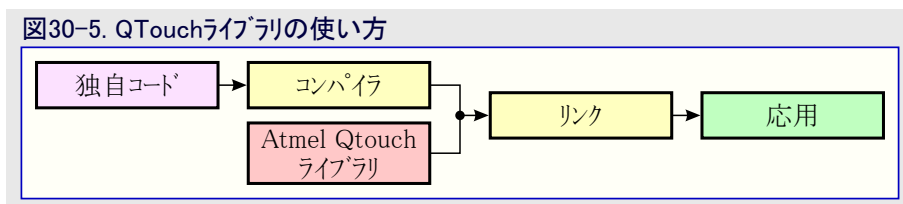
PTCは自己容量動作で24個の釦、相互容量動作で最大144個の釦を支援します。相互と自己の容量性感知部を上手く組み合わせることが可能です。電極毎に1つのピンだけが必要とされ、外部部品なしは、競合解決策に比べて部品費用でかなりの節約を提供するのに必要とされます。

相互容量動作では検知が多数のX-Y構成設定で容量性感知部を使って実行されます。一方で自己容量動作に於いてPTCは各接触感知部に対して1つのピン(Y線)だけが必要です。

この周辺機能に対するピン割り当ての詳細についてはATmega328PBデバイスのデータシートで「入出力多重化」章を参照してください。信号は多数のピンに割り当てることができます。

2.1.1. PTC機能説明

PTCにアクセスするため、使用者は構成設定して応用コードとQTouchライブラリ ファームウェアとリンクするのにQTouch構成器(Composer)ツールを使わなければなりません。QTouchライブラリは単一インターフェースに於いて種々の組み合わせで、釦、摺動子、輪、近接感知器の実装に使うことができます。



2.2. CFD – クロック障害検出機構

クロック障害検出と切り替え機構はATmega328PBで導入された新しい機能です。このデジタル論理回路はクリスタル用低電力発振器と外部クロック信号の障害を検出します。障害が検出された場合、この論理回路はクロックを自動的に1MHz内部RC発振器のシステムクロックに切り替えます。

クロック障害検出機構はデバイスに対してHigh活性のヒューズによって許可されます。CFDヒューズが許可されると、128kHz発振器が許可され、このクロックを使ってCFD回路が動きます。

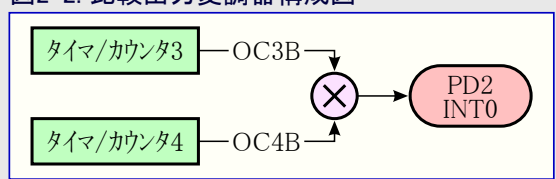
チップがパワーダウン/パワーセーブの休止動作に移行すると、CFDは自動的に禁止されます。これはチップが活性動作に戻る時にそれ自身によって許可されます。CFDはシステム周波数が256kHzよりも高い時にだけ許可されます。

2.3. OCM – 比較出力変調器

比較出力変調器(OCM:Output Compare Modulator)は搬送波周波数で変調された波形の生成を許します。変調器は16ビットタイマ/カウンタ3の比較B出力部と16ビットタイマ/カウンタ4の比較B出力部からの出力を使います。変調部が許可されると、2つの比較出力チャンネルは構成図で示されるように共に変調されます。

比較3B出力部と比較4B出力部は出力に関してPD2ポートピンを共有します。比較出力部の出力(OC3BとOC4B)はこれらの1つが許可(換言すると、**TCCRnA.COMB1,0 ≠ 00**)にされると、標準PORTD2レジスタを無効にします。OC3BとOC4Bの両方が同時に許可されると、この変調器が自動的に許可されます。

図2-2. 比較出力変調器構成図



2.4. USART

ATmega328PBは開始ビットが検出された時に全ての休止動作からMCUを起こすことができるフレーム開始検出を持つ1つの追加USARTを持ちます。2つのUSART単位部は個別の構成設定レジスタを持つATmega328PBで利用可能で、これらのレジスタの詳細な記述についてはATmega328PBデバイスのデータシートでUSART単位部下の「**USART用レジスタ**」項を参照してください。これらは独立したTX,RX,XCKのピンも持ちます。この周辺機能に関するピン割り当ての詳細についてはATmega328PBデバイスのデータシートで「**入出力多重化**」項を参照してください。

RXDnピンでHighからLowへの遷移が検出されると、内部8MHz発振器が給電されUSARTクロックが許可されます。ボーレートが内部8MHz発振器始動時間に関して充分遅ければ、始動後にデータフレームの残りを受信することができます。内部8MHz発振器の始動時間は供給電圧と温度で変化します。

USARTフレーム開始検出は非同期と同期の両動作形態で動きます。これはUSART制御/状態レジスタD(UCSRnD)のフレーム開始検出許可(SFDE)ビットを(1)に書くことによって許可されます。USART開始割り込み許可(RXSIE)ビットが設定(1)されるなら、開始検出時直ちにUSART受信開始割り込みが生成されます。

開始割り込みなしでこの機能使用時、開始検出論理回路は内部8MHz発振器とUSARTクロックを活性にし、同時にフレームが受信されつつあるだけです。他のクロックは受信完了割り込みが任意でMCUを起こすまで停止されたままです。

最大ボーレートは以下のようにデバイスが起こされる休止動作形態に依存します。

同期動作形態では:

- ・ アイドルまたはA/D変換雑音低減動作 : システム クロック周波数/4
- ・ パワーダウン、パワーセーブ、スタンバイまたは拡張スタンバイ動作 : 500kbps

非同期動作形態では:

- ・ アイドル動作 : 活動動作と同じ

2.5. アナログ比較器

アナログ比較器(AC)出力がピンで利用可能です。アナログ比較器制御/状態レジスタB(ACSRB)のアナログ比較器出力許可(ACOE)ビットに1を書くことによってAC出力が許可されると、アナログ比較器の出力はPE0に繋がられます。

2.6. 通番

Atmel ATmega328PBではそれが現場にある間に特定のデバイスを識別するために各々の個別デバイスは(固有のデバイスIDとも呼ばれる)特別な通番を持ちます。通番は識票アドレス空間でアクセスすることができるバイトから成ります。

ソフトウェアから色票列を読むには、下表で与えられる識票バイトアドレスをZポイントに設定し、SPM制御/状態レジスタの識票列読み出し(SPMCSR.SIGRD)とSPM操作許可(SPMCSR.SPMEN)のビットを設定(1)してください。

SPMCSR.SIGRDとSPMCSR.SPMENが設定(1)された後の3 CPU周期内にLPM命令が実行されると、転送先レジスタに識票バイト値が読み込まれます。

SPMCSR.SIGRDとSPMCSR.SPMENは識票列の読み込み完了で、または3 CPU周期内にLPM命令が実行されない場合、自動解除(0)します。SPMCSR.SIGRDとSPMCSR.SPMENが解除(0)されると、LPMは命令一式手引書で記述されるように動作します。

(**訳注**) 表2-1.では通番バイトが10バイトになっていますが、ATmega328PBデータシートでは9バイトと記載されています。

表2-1. 識票列アドレス指定

識票バイト	Zポイント アドレス
通番バイト 0	\$000E
通番バイト 1	\$000F
通番バイト 2	\$0010
通番バイト 3	\$0011
通番バイト 4	\$0012
通番バイト 5	\$0013
通番バイト 6	\$0014
通番バイト 7	\$0015
通番バイト 8	\$0016
通番バイト 9	\$0017

2.7. 追加SPI

ATmega328PBは1つの追加SPIを持ちます。個別の構成設定レジスタを持つ2つのSPIがあります。これらのレジスタの詳細記述についてはATmega328PBデバイスのデータシートでSPI周辺機能内の「**SPI用レジスタ**」項を参照してください。これらは独立したMOSI,MISO,SCK,SSピンも持ちます。この周辺機能用のピン割り当てについての詳細に関してはATmega328PBデバイスのデータシートで「**入出力多重化**」章を参照してください。

2.8. 追加TWI

ATmega328PBは1つの追加バイト指向2線直列インターフェース(TWI)を持ちます。個別の構成設定レジスタを持つ2つのTWI周辺機能があります。これらのレジスタの詳細記述についてはATmega328PBデバイスのデータシートで2線直列インターフェース単位部内の「**TWI用レジスタ**」項を参照してください。独立したSDAピンとSCLピンも値用可能です。この周辺機能用のピン割り当てについての詳細に関してはATmega328PBデバイスのデータシートで「**入出力多重化**」章を参照してください。

2.9. 追加タイマ/カウンタ

ATmega328PBは独立した前置分周器、比較動作、捕獲動作を持つ2つの追加16ビットタイマ/カウンタ(TC3とTC4)を持ちます。ATmega328PBには3つの16ビットタイマ/カウンタ(TC1,TC3,TC4)があり、10個のPWMチャンネルが利用可能です。この周辺機能用のピン割り当てについての詳細に関してはATmega328PBデバイスのデータシートで「**入出力多重化**」章を参照してください。

3. 更新された機能

3.1. 全振幅発振器

ATmega328変種のクロック元任意選択はフラッシュヒューズの構成設定によって選択することができるクリスタル用全振幅発振器を含みます。けれども、新しいATmega328PBではクリスタル用全振幅発振器が取り去られました。各々のデータシートの「クロック元」項を参照してください。

表3-1. ATmega328PBで取り去られた全振幅発振器

デバイス機能	ATmega328PB	ATmega328変種
クリスタル用全振幅発振器	×	○

3.2. 校正付き内蔵RC発振器精度

校正付き内蔵RC発振器に対する精度がATmega328PBで改善されています。

表3-2. 周波数8MHz下での内蔵RC発振器の校正精度

検査条件	ATmega328PBの精度	ATmega328変種の精度
工場校正	±2%	±10%
使用者校正	±1%	±1%

3.3. 並列プログラミング

ATmega328PBでの並列プログラミングのタイミングはATmega328変種と比べて変更されています。詳細については、下表の「並列プログラミングのタイミングの違い」をご覧ください。

表3-3. 並列プログラミングのタイミングの違い

シンボル	項目	ATmega328PB		ATmega328変種		単位
		Min	Max	Min	Max	
tWLRH	書き込み時間 (WR↓からRDY/BSY↑)	3.2	3.4	3.7	4.5	ms
tWLRH_CE	チップ消去時間 (WR↓からRDY/BSY↑)	9.8	10.5	7.5	9.0	
tBVDV	BS1有効からのDATA遅延時間	0	350	0	250	ns
tOLDV	OE↓後のDATA出力遅延時間	0	350	-	250	

3.4. パワーセーブ動作

ATmega328PBに対するパワーセーブ動作での電力消費はATmega328PB変種デバイスと比べると、より高くなります。より多くの詳細については各々のデータシートを参照してください。

3.5. NVM

ATmega328PBでのNVMに対する書き込み待ち遅延はATmega328PB変種と比べると、増加されます。

表3-4. NVMに対する最小待機遅延

シンボル	ATmega328PB	ATmega328変種 (改訂K)	単位
tWD_ERASE	9.0	10.5	ms

3.6. 識票バイト

全てのAtmelマイクロコントローラはデバイスを識別する3バイトの識票符号を持ちます。この符号は直列と並列の両プログラミング動作で、またデバイスが施錠されていても読むことができます。この3バイトは分離された空間に存在します。デバイスの識票バイトに関して、ATmega328PBとATmega328変種間に違いがあります。より多くの詳細については右表をご覧ください。

表3-5. デバイス識票バイトの違い

部品番号	識票バイト アドレス		
	\$0000	\$0001	\$0002
ATmega328	\$1E	\$95	\$14
ATmega328P	\$1E	\$95	\$0F
ATmega328PB	\$1E	\$95	\$16

4. レジスタ説明

4.1. PINE – ホートE入力レジスタ (Port E Input Pins Address)

LD系とST系の命令を使い、データ空間としてI/Oレジスタをアクセスする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が\$20で減算され、I/Oアドレスの変位は\$00～\$3F内になります。

名称 : PINE

変位 : \$0C (\$2C)

リセット : 不定

特質 : I/Oレジスタとしてアクセスする時の変位アドレスは\$2Cです。

ビット	7	6	5	4	3	2	1	0
	–	–	–	–	PINE3	PINE2	PINE1	PINE0
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	不定	不定	不定	不定

● ビット7～0 – PINE3～0 : ホートE入力 (Port E Input Pins)

PINxレジスタへの書き込みはI/Oに対する交互切り替え機能を提供します。

4.2. DDRE – ホートE方向レジスタ (Port E Data Direction Register)

LD系とST系の命令を使い、データ空間としてI/Oレジスタをアクセスする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が\$20で減算され、I/Oアドレスの変位は\$00～\$3F内になります。

名称 : DDRE

変位 : \$0D (\$2D)

リセット : \$00

特質 : I/Oレジスタとしてアクセスする時の変位アドレスは\$2Dです。

ビット	7	6	5	4	3	2	1	0
	–	–	–	–	DDE3	DDE2	DDE1	DDE0
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7～0 – DDE3～0 : ホートEデータ方向 (Port E Data Direction)

4.3. PORTE – ホートE出力レジスタ (Port E Data Register)

LD系とST系の命令を使い、データ空間としてI/Oレジスタをアクセスする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が\$20で減算され、I/Oアドレスの変位は\$00～\$3F内になります。

名称 : PORTE

変位 : \$2E (\$0E)

リセット : \$00

特質 : I/Oレジスタとしてアクセスする時の変位アドレスは\$0Eです。

ビット	7	6	5	4	3	2	1	0
	–	–	–	–	PORTE3	PORTE2	PORTE1	PORTE0
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7～0 – PORTE3～0 : ホートE出力 (Port E Data)

4.4. XFDCSR – XOSC障害検出制御/状態レジスタ (XOSC Failure Detection Control and Status Register)

名称 : XFDCSR
 変位 : \$62
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	XFDIF	XFDIE
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット1 – XFDIF : 障害検出割り込み要求フラグ (Failure Detection Interrupt Flag)**

このビットは障害検出時に設定(1)され、リセットによってのみ解除(0)することができます。

これはCFDに対する状態ビットとして扱います。

注: このビットは読み込み専用です。

● **ビット0 – XFDIE : 障害検出割り込み許可 (Failure Detection Interrupt Enable)**

このビットの設定(1)は障害検出割り込み要求フラグ(XFDIF)が設定(1)される時に発行される割り込みを許可します。このビットは許可専用です。一旦許可されると、使用者が禁止することは不可能です。

4.5. UCSRnD – USARTn制御/状態レジスタD (USART Control and Status Register n D)

このレジスタは主装置SPI動作(UCSRnC.UMSEL1,0=11)で使われません。

名称 : UCSR0D : UCSR1D
 変位 : \$C3 : \$CB
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	RXSIE	RXS	SFDE	-	-	-	-	-
アクセス種別	R/W	R/W	R/W	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RXSIE : 受信開始割り込み許可 (USART RX Start Interrupt Enable)**

このビットへの1書き込みは受信開始(RXS)フラグでの割り込みを許可します。休止動作形態でこのビットは、RXDnピンで開始条件が検出された時にMCUを起こすことができるフレーム開始割り込みを許可します。

USART受信開始割り込みはRXSIEビット、ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUCSRnDのRXSフラグが設定(1)される場合にだけ生成されます。

● **ビット6 – RXS : 受信開始 (USART RX Start)**

このフラグはRXDnピンで開始条件が検出された時に設定(1)されます。受信開始割り込み許可(RXSIE)ビットとSREGの全割り込み許可(I)ビットが設定(1)されていれば、このフラグが設定(1)される時に受信開始割り込みが生成されます。このフラグはRXSビット位置に論理1を書くことによって解除(0)することができます。

フレーム開始検出器が許可され、全割り込み許可(I)ビットが設定(1)されていれば、受信開始割り込みは全ての休止動作形態からMCUを起こします。

● **ビット5 – SFDE : フレーム開始検出許可 (Start Frame Detection Enable)**

このビットへの1書き込みはUSARTフレーム開始動作を許可します。フレーム開始検出器は開始条件、換言すると、RXDnピンでHigh(アイドル)からLow(開始)への遷移が検出される時に休止動作形態からMCUを起こすことができます。

表3-1. USARTフレーム開始検出動作

SFDE	RXSIE	RXCIE	説明
0	x	x	フレーム開始検出禁止。
1	0	0	(予約)
1	0	1	フレーム開始検出許可。RXCフラグは全ての休止動作形態からMCUを起こします。
1	1	0	フレーム開始検出許可。RXSフラグは全ての休止動作形態からMCUを起こします。
1	1	1	フレーム開始検出許可。RXCとRXSの両フラグは全ての休止動作形態からMCUを起こします。

4.6. ACSR B – アナログ比較器 制御/状態レジスタB (Analog Comparator Control and Status Register B)

LD系とST系の命令を使い、データ空間としてI/Oレジスタをアクセスする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が\$20で減算され、I/Oアドレスの変位は\$00～\$3F内になります。

名称 : ACSR B

変位 : \$4F (\$2F)

リセット : \$00

特質 : I/Oレジスタとしてアクセスする時の変位アドレスは\$2Fです。

ビット	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	ACOE
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

- ビット0 – ACOE : アナログ比較器出力許可 (Analog Comparator Output Enable)

このビットが設定(1)されると、ACO(PE0)ピンにアナログ比較器出力が接続されます。

5. 改訂履歴

文書改訂	日付	注釈
42559A	2015年11月	初版文書公開
42559B	2016年9月	「更新された機能」を追加
42559B	2016年11月	「ATmega328PBでの強化と追加の機能」章に箇条書き「追加のUSART」を追加

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®, AVR®, QTouch®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2021.

本応用記述はAtmelのAT15007応用記述(Rev.42559C-11/2016)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。