

範囲

この応用記述はマイクロ コントローラを使用する時に設計者が会おう多くの共通するEMCの問題を網羅します。それは様々な自然現象に関して簡単に検討します。参考文献はより多くの詳細なEMC設計を網羅し、EMC適合を必要とする製品を構築する設計者については、更なる学習が強く推奨されます。良いEMC設計は短い応用記述内に載せられるものより多くの知識が必要です。

他の多くの設計問題のようではなく、EMCは規則群を一覧にできる領域ではありません。EMC適合は設計によって保証できず、それは検査されなければなりません。

読者が本資料の残りを既に読んでいるなら、本資料内の始めの方で記述した題目のいくつかの方がより簡単に理解されるように、EMC設計に不慣れな読者は1度よりも多く本資料を読むことが推奨されます。

目次

範囲	1
1. 序説	3
2. EMC自然現象とEMC試験	3
2.1. ESD(耐性試験)	3
2.2. 集中高速瞬時遷移(耐性試験)	4
2.3. サージ耐性試験	4
2.4. RF放射試験	5
2.5. RF耐性試験	5
3. EMC自然現象との関係	5
3.1. 設計の手助け	6
4. 設計規則	6
4.1. 雑音源の識別	6
4.1.1. 送出雑音	6
4.1.2. 受信雑音	6
4.2. 接地への経路	6
4.3. システム区域	6
4.4. RF耐性	7
4.5. ESD(静電放電)と瞬時遷移(トランジエント)	7
4.6. 電源、電源配線、雑音分離コンデンサ	7
4.7. PCBでの配置と接地(GND)	8
4.7.1. 電流閉路と信号接地	8
4.7.2. 接地(GND)層(面)	8
4.7.3. 基板の区域制	8
4.7.4. 1層(片面)基板	9
4.7.5. 2層(両面)基板	9
4.7.6. 多層基板	9
4.8. 遮蔽(シールド)	9
4.9. AVR特有の解決策	10
4.9.1. 標準I/Oピン保護	10
4.9.2. リセットピン保護	10
4.9.3. 発振器	11
5. 参照	11
6. 有用なリンク	11
6.1. 業者	11
6.2. 協会	11
7. 改訂履歴	11

1. 序説

電磁適合性はほぼ数年前まで殆どの設計者が心配しなくもよかった問題です。今日、広範囲な市場に製品を投入する、あらゆる設計者がこれを考慮しなければなりません。これについては2つの主な理由があります。

- 電磁環境が段々困難になっています。
携帯電話のような高周波無線送信機は何処でも見られます。益々システムは電源回路にスイッチング電源を使用し、電気製品数全体が毎年増加しています。
- 電気回路が益々敏感になっています。
電源電圧が下がり、入力ピンの雑音余力を減らします。回路寸法は益々小さくなり、論理レベルを変更するためのエネルギー量が減り、同時に信号の論理値を切り替えるのに必要とする雑音量を減らします。

設計者の視点からはEMC自然現象が2つの異なる方法で考察されなければなりません。

- 環境がどれ程設計に影響を及ぼすか (耐性)。
- 設計がどれ程環境に影響を及ぼすか (放射)。

伝統的に行政法規は放射側、「電気的な装置は無線通信や他の電気的な装置の動作を妨げるのを避けるために、或る高周波エネルギー量より多くを放出することを許さない」、で行われています。世界の多くの国々がこの話題の法規を持ちます。

医療装置、航空と軍事応用のような特別な応用に対してだけ、早くから雑音耐性の付加要求が見られました。

1995年から欧州はEMC指令として知られる、全電気製品に対する耐性法規を導入しました。この指令の目的は次の通りです。

- 製品が他の装置の機能に干渉するかもしれないどんな妨害をも放射または輻射しないことを保証するため。
- 全製品がそれらの動作環境に存在する妨害に耐えるのを保証するため。

同時にEMC必要条件の施行が、「欧州で作られた、または欧州に輸入されたあらゆる製品は市場に投入され得るのに先立って、放射と耐性の両方の必要条件を完全に満たすことの検証を受けなければならない。」に強化されました。

世界の他の部分の国々も同様な法律上の必要条件の導入に動いています。

異なる製品クラスと環境に対する受け入れ可能な放射と耐性のレベルは様々な国際規格で与えられます。これらのより多くの詳細は参考文献にあります。

EMC指令は最終製品に適用しますが、部品には適用しません。部品はシステム内に置かれることなしに動作しないので、この要求は最終製品に適用します。内部的にどう問題を解決するかが設計者に任せられます。

この結果としてCEマークに対して必要とする試験手順が最終製品試験についてよく詭われていますが、これらはマイクロコントローラのような部品の試験に対して直接的に使用できません。FCC認可に対する試験手順についても同じことが当て嵌まります。試験中に部品が配置される試験基板は部品に対してEMC試験データに影響を及ぼすでしょう。従って、これらの結果は情報を与えるだけとして関係すべきです。

他方、(軍事、自動車、その他の)規格試験は部品を直接試験するために作られています。これらの標準は、異なる製造業者の部品の測定を比較できることを保証するための標準化された試験基板を指定します。これらの試験はEMC指令に対応する必要条件ではありません。

2. EMC自然現象とEMC試験

他の設計の多くの問題(例えば、電力計算)のようではなく、「このようにすればこのように動く」と言う、EMC設計に関する正確な規則はありません。代わりに、「このようにすれば動くかもしれない」または「多分動くけれど費用がより高くなる」と言う、いくつかの設計の提案があります。

多くの応用について、実際の試験所での検査なしにEMC対応の検証を受けるのは不可能です。新しい各種CAD製品はEMCシミュレーションを含みます。これらは良い設計の手助けをし、追加的な試験所通いのいくらかを省くかもしれませんが、それらが最終適合試験に置き換わることはできません。

本節はMCUシステム設計で出会う最も共通するEMC自然現象への短い概説を与えます。各種自然現象を容易に理解するために、自然現象とそれらを真似るのに使用される試験が共に記述されます。

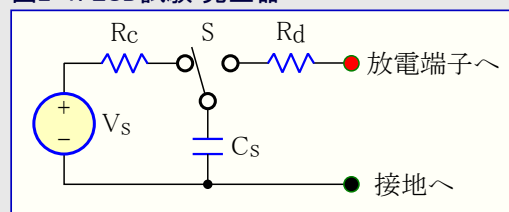
2.1. ESD (耐性試験)

ESD(静電放電)は多くの人々が経験している自然現象です。これは台所のシンクまたは別の接地物に触れた時に小さな電気刺激を感じる場合に起きている何かです。起きている何かは体が小さな静電気で充電されていることです(簡単には化繊のカーペット上を歩くことによって達せます)。この充電は異なる充電物または大地に接続された物に触れた時に解き放たれます。実際に人間が放電を感じるには、その電圧は約4kVまたはそれ以上でなければならず、数10kVに達することは大変なことではありません。

この自然現象を模式化する簡単な方法は、体と同じく充電を保持する容量(コンデンサ)と体が行う同じやり方でこの充電を解き放つ直列抵抗器を使用することです。

右図はこの設定の原理図を示します。Csは人体の容量(キャパシタンス)と等価な蓄電器(コンデンサ)で、Rdは人体の抵抗と等価な放電抵抗です。Vsは高電圧電源で、Rcはこの電源の(内部)直列抵抗です。スイッチSがRcに接続されると、コンデンサが充電されます。スイッチSがRdに接続されると、コンデンサはRdと放電端子近く配置または接続された試験下の装置を通して放電されます。Rcの値はコンデンサにどんなエネルギー量を格納するか、またはこれをどう試験下の装置に移すかに関して、実用的な値ではありません。

図2-1. ESD試験 発生器



集積回路は通常MILSTD-883に従って試験されます。

ここでRcは1~10MΩ、Rdは1.5kΩ、Csは100pFです。これは集積回路が基板製造中の手動での扱いの結果として経験するかもしれない、ESDを真似るための試みである、所謂人体モードです。CMOSデバイスが取り扱いのために期待される伝統的な試験電圧Vsは±2kVです。AVRマイクロコントローラのようなより新しいデバイスは度々±4kVまたはそれ以上で評価されます。

別のモード、機械モードは集積回路が自動操作から経験するESDの真似を試みます。ここでCsは2倍大きい200pFです。電流制限抵抗器Rdは0(!)ですが、代わりに500nHまでのインダクタを挿入できます。Rcは100MΩです。このモードでの電流の上昇時間はよりずっと高率で、殆どのデバイスが±500Vよりも高い電圧で落第します。

EMC指令に従うESD適合はIEC 1000-4-2を基にします。この規格は通常使用の結果として製品が経験するESDの真似を試みる人体モードを指定します。従って部品値は、Rcが100MΩ、Rdが330Ω、Csが150pFのMIL-STD-883よりもこの方が僅かに困難です。これは4kVで評価された回路によって構築された製品は数種の外部保護の追加なしで4kVでのIEC 1000-4-2を通る必要がないかもしれないことを意味します。

ここで他の重要な違い、MIL-STD-883はデバイスがこの試験によって損傷を受けないことだけが必要です。EMC指令の要求はより強力で、「製品はESDパルスによって妨げられることなく期待通りに動作を継続すべき」です。入力ピン上の高電圧ESD瞬時遷移がそのピンの論理値を容易に変更するかもしれないように、この必要条件は困難です。これはマイクロコントローラを基にしたシステムの設計者はESD瞬時遷移が決してI/Oピンに至らないことを保証するためのハードウェアを設計するか、または不正読み込みのように検知して扱うソフトウェアを書くかのどちらかを行わなければならないことを意味します。

2.2. 集中高速瞬時遷移 (耐性試験)

高速瞬時遷移(トランジェント)や集中発生(バースト)は一般的に電力線の自然現象ですが、それが誘導性または容量性結合のため、信号線上の問題でも有り得ます。それは誘導性負荷を持つ電源スイッチやリレーが操作される時に起き得ます。電流が切断されると、小さな火花の連続が電力線上に高電圧の尖頭を出します。

図2-2. 集中高速瞬時遷移

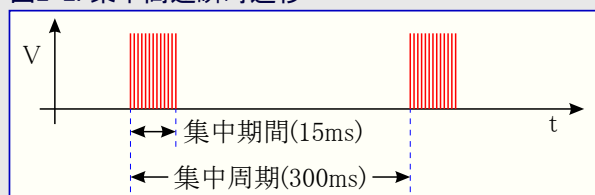
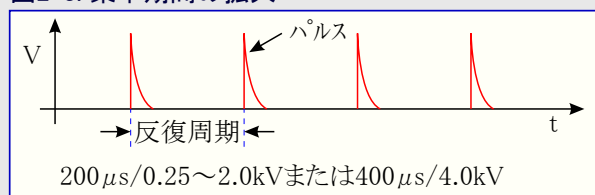


図2-3. 集中期間の拡大



上の左図はEMC試験に使用する高速瞬時遷移集中パルス列を示します。上の右図は集中(バースト)部の拡大を示します。このパルスが約50ns幅しかなく、これは図が表すよりもずっと細いことに注意してください。このパルスと試験設定の詳細についてはIEC 1000-4-4をご覧ください。

電源線の試験電圧は代表的に保護された環境について1kV、工業環境について2kVです。過酷な工業環境は4kVまでの瞬時遷移試験が必要かもしれません。

I/O線の試験電圧は電源線に使用する値の半分です。

I/O線でのパルスはESDパルスと同じに思えるかもしれませんが、それらには非常に重要な相違点があります。

- 単独瞬時パルスのエネルギーはシステム内の結合経路に応じて、同じ電圧でのESDパルスより高いかもしれません。
- ESD試験は各パルス間の数秒の静定時間で1回または数回実行されます。高速瞬時パルスは15msに対して5kHz(2.5kHz/4kV)で反復されます。これは1つ集中(バースト)期間です。この集中期間は300ms毎に反復されます。

2.3. サージ耐性試験

これは全ての瞬時遷移(トランジェント)試験の本源です。これは電力網(の近く)に雷が落ちた時に何が起こるかを真似るための試みで、それに伴うエネルギーは膨大です。エネルギーの容量を保存するコンデンサは、ESD試験で使用する100pFよりも200,000倍大きい20μFまでです。この試験設定はESD試験発生器の図で示したものと同一ではなく、少しのパルス整形部品が追加されますが、基本的な原理は同じです。この指定設定の詳細についてはIEC 1000-4-5をご覧ください。

サージ試験は電源線だけで行われ、それ故これは代表的に電源設計の問題です。けれども設計が何れかの認可されたDC電源から給電するDC電力での動作に作られている場合、設計者は未だDC入力にサージ保護器を組み入れなければならないかもしれないことに注意してください。商品の電源の保護はDC出力での大量サージに終わる、電源自身の保護だけに制限されるかもしれません。

4kVサージと4kV ESD試験(4kV集中高速瞬時遷移試験)間の類似点によって混同して受け取ってはなりません。電圧は同じですが、それらの背後にあるエネルギーが総合的に異なります。同じ高さから大きな岩を落とすことは、多分あなたの足に猛烈な損傷を引き起こすでしょう。これを1秒間に250回行うことは、あなたの靴のサイズを恒久的に減らすでしょう。サージの玉石が落ちるとき、あなたはむしろどこか別の場所にいるべきです。

2.4. RF放射試験

高周波の放射や雑音は高速デジタル回路で設計する時に扱う中で最も困難な問題です。問題は外の世界に輻射される雑音としてだけ起こる訳ではありません。システムでの内部的な雑音の取り扱いは同様に重要です。

この試験は2つの異なる形式、副次放射と誘導放射に分かれます。この分割は、誘導放射が低周波範囲で優性で、一方副次放射が高周波範囲で優性なため、実行するための実用的な試験を行うことを主に行います。

副次放射はシステムとその信号/電力線から直接的に輻射されます。通常のPCBは低周波に対する良好なアンテナには小さすぎるので、これは高周波輻射です。EMC指令は30MHz~1GHzの範囲での測定が必要です。米国のFCC規則は或る応用に対してより高い周波数での測定が必要です。より低い周波数は線(ケーブル)で直接的に測定されます。

この高周波は代表的にデジタル発振器とI/Oピンの高調波によって生成されます。デジタル回路によって発生する高域側周波数がデバイスのクロック周波数ではなく、信号の上昇時間によって制限されることに注意してください。従ってシステムのクロック速度を下げることは雑音の帯域をより下げませんが、高周波で輻射される電力を下げるでしょう。(雑音を含む遷移数を減らすことは雑音の総電力を低減します。)

誘導放射は線(ケーブル)で測定されます。EMC指令は150kHz~30MHzの範囲での測定が必要です。いくつかの試験規格は9kHzまでの測定が必要です。この周波数範囲での雑音は代表的にデジタル発振器とI/Oピンの基本周波数とスイッチング電源からです。

長い線は勿論、低周波と高周波の信号の両方に対するアンテナとして働きます。しかし、LF(低周波)信号が誘導放射試験の制限以下へ十分に落ちているなら、線からの輻射は無視してもよいでしょう。従って30MHz以下の範囲での副次放射測定は必要ありません。

同様に線上の誘導HF(高周波)雑音は副次放射試験で見えるでしょう。この雑音が副次放射に対する制限以下に充分落ちているなら、線上での誘導雑音は無視してもよいでしょう。

試験設定と各種応用に対する制限は国際無線障害特別委員会(CISPR)によって発布された様々な規格で与えられます。例えば情報技術装置はCISPR 22によって網羅されます。

2.5. RF耐性試験

この試験は製品が例えより無線送信機に晒されても期待したように動作できることを検証するために行なわれます。耐性に対する試験限度は関係する電界が強いので、放射に対する限度試験よりもずっと高くなります。

システムがEMC認可に対して必要とする試験限度よりも高くなり得るRF領域に晒されることに注意してください。誘導RF領域に対する試験限度は家庭内応用に対して3V/mです。GSM携帯電話の最大電力での送信は3mの距離でこの電界強度を発生します。この携帯電話がより近くなると、もっと高く(強く)なるでしょう。

誰かが近くで携帯電話を使用している間にシステムの意図する使用の操作を含むなら、必要とした最低水準よりも高い耐性水準に対してシステムを試験するのは従って良い考えです。工業応用では通常10V/mまたはより高い水準が必要です。

通常、デジタルシステムはこの試験での問題を経験しませんが、システムのアナログ部は経験するかもしれません。

RF放射に関する限り、RF耐性試験は2つの異なる形式、副次放射と誘導放射に分かれます。

輻射妨害に対する試験設定はIEC 1000-4-3、誘導妨害についての試験設定はIEC 1000-4-6で与えられます。

3. EMC自然現象との関係

殆どの技術者にとってEMC設計は比較的新しい問題です。欧州がEMC指令を導入する前、会社はこの問題にあまり留意することなく、それらの製品を作って売ることが可能でした。製品が放送局を妨害せず、意図したように動作する限り、全てが基本的に自由でした。

この指令が1992年に実施された時から1995年にそれが必要条件なるまでの3年の経過期間は、これを変更するのに長くはありません。多くの会社で、もはやそれらが選ばれなくなるまで、実際の作業は始まりません。そして唯一の選択は、おそらく全てでEMCの何れかを通して設計されていた既存製品をEMC適合にするために必要な濾波器、保護器、遮蔽と何でも追加することの試みを行う、厳しく不経済な方法でした。これは費用が高く、結果が普通貧弱な最悪の可能な策です。

新製品を設計する時に初めからEMCを考えて開始することが非常に重要です。これはいつも低費用の解決法が利用可能です。良いPCB設計は悪いものよりも製造で費用が多くなりませんが、(そこまでの)悪いものを修正/確定するための費用が高くなり得ます。設計者が行い得る中で最も不経済な誤りの1つは、EMCが他の何もかもが終わった後に対処できる何かであると信じていることです。

どの策を使用するかは常にシステム費用と製造量の見積りに依存します。少量のシステムに対する最良の方法は高価な部品を使用して設計時間を減らすためのシステム解決方法を使用することかもしれません。大量の場合については低費用の策、最終製品の全体費用を低減するために設計でもっと時間と資源を費やすことがより良いかもしれません。

3.1. 設計の手助け

計画を開始する時に必要なEMCの知識を持っていると感じないなら、専門家から何らかの手助けを得ることは名案かもしれません。これは後で修正するために費用を費やすかもしれない誤りの原因からあなたを守るでしょう。これらはEMC設計とEMC教育に特化した多くの会社、代理店、専門相談員です。設計段階で多くの人を加えることは設計時間と市場への時間も減らします。

良いEMC設計は沢山の知識を必要としますが、試行錯誤によるきつい方法でこの知識を学ぶことはできません。他の人たちが既にこれを行ってました。

4. 設計規則

4.1. 雑音源の識別

非常に重要で一般的な規則は全ての雑音形式が可能な限り源近くで、且つ可能な限り回路の敏感な部分から遠くで、処理されることです。勿論これはこれらの源を識別する作業が非常に重要なことを意味します。

4.1.1. 送出雑音

多くのマイクロコントローラシステムで、マイクロコントローラだけが高速デジタル回路です。このようなシステムで最も重要な内部雑音源はマイクロコントローラ自身で、誘導及び放射RFを防ぐのに使用する物はマイクロコントローラ近くでの使用が最良です。これは送信アンテナとして働くかもしれないシステムのI/O線や他の部分へ達するRFエネルギー量を減らすでしょう。

4.1.2. 受信雑音

受信した雑音の供給源は一般的にシステム外で、従ってシステム設計者の及ばない範囲です。この環境はそれが何であるかで、システム設計者に関し、最初の可能性は電源線とシステム入力で雑音に関する何かを行うことです。専用線で配給されたシステムについては、まさに線(ケーブル)自身で始めることが可能です。これの良い例はかなり頻繁に見かける、パソコンに接続するVGAプラグ間近に濾波器を配置するパソコンのモニターです。他のシステムでの最初の可能性はI/Oコネクタになります。どの線(ケーブル)も付かない携帯、電池給電応用に対してこれは適用できませんが、この問題は同様により小さくなります。全ての場合で外部雑音がシステムへ入るのを防ぐことができるのなら、耐性問題はありません。

4.2. 接地への経路

雑音問題を避けるための最良の方法は(元となる)始めの場所で何も雑音を発生しないことですが、これは普通適切ではありません。殆どの雑音の種類はシステムの他の部分の意図した動きの側に影響し、従って無効にできません。

全ての電流の種類、ACまたはDC、高電力または低電力、信号または雑音は、常に最も容易な接地への経路を探すことを試みます。多くのEMC設計技法の背後にある基本的な考えは、全ての信号に関して接地への経路を制御することで、妨げられるかもしれない回路と信号からこの経路が離れるのを保証することです。送出雑音について、これは雑音がシステムから抜け出る前に接地への経路を見つけることの保証を意味します。受信雑音について、それは雑音がシステムの敏感な部分に達する前に接地への経路を見つけることの保証を意味します。

4.3. システム区域

あらゆるEMC問題を同時に扱うことは非常に込み入った作業です。従って、システムをより小さな副システムまたは区域に分け、それらを個別に扱うことが良い考えです。いくつかの場合にその区域は同じPCBの違う領域だけかもしれません。重要な部分は、1つの区域で何が起き、区域がどう相互作用するかを制御することです。各区域に対して、設計者はその区域が放出するかもしれない雑音の種類が何なのか、耐えなければならない雑音の種類が何なのか、に関するいくつかの考えを持つべきです。区域の入出力を行う全ての線はいくつかの種類 of 濾波器が必要かもしれません。1つの区域から他へ輻射されるかもしれない雑音がどれ程なのかに関して留意することも非常に重要です。非常に雑音の多い回路や非常に敏感な回路の局所遮蔽(シールド)が必要かもしれません。

分割は2つの方法またはそれらの組み合わせで行えます。

- 相互間は別として、区域は雑音が多い回路と敏感な回路を分離するために置かれるかもしれません。これの代表的な例はデジタル回路とアナログ回路をPCBの別領域に配置するスイッチング電源、アナログとデジタルの両回路を含む一般電力線からの給電システムです。
- 区域はお互いの内側に置かれるかもしれません。区域最深部の内外を行き来する雑音は濾波器や遮蔽の各種層を通らなければなりません。総合的な雑音低減は、或る層で受けることができる何かよりずっと効率的です。この例は特に敏感なアナログ回路で、おそらく内側が遮蔽で囲まれ濾波された入出力コネクタで、それ自身が遮蔽されたPCBのアナログ部分です。その他の例は、メモリ近くでの高速マイクロコントローラの高速通信、システムの他の部分への低速通信です。そしてMCUとメモリは内部区域、最も雑音の多い部分として定義できます。それでこの区域を出る全ての線は、それらが更に外へ持ち出す高周波雑音がないことを保証するために濾波されるべきです。濾波器の次の段階は「デジタル区域」の端と、おそらく更に先までの放射雑音を低減するために使用するシステムI/Oポートの濾波を行う第3層かもしれません。3つの濾波器の層は高価に聞こえるかもしれませんが、3つの簡単な濾波器が「1つの濾波器が全てを扱う」高度な解決法よりずっと低費用かもしれません。

4.4. RF耐性

長い入出力線や電源線は、世界の至る所から雑音を拾い、システム内にそれを誘導する良好なアンテナとして働きます。未遮蔽システムに対して、PCBの長い布線(トラック)もアンテナとして働くかもしれません。一旦システム内に入ると、雑音は他の部分、より敏感な信号線内に結合するかもしれません。従って、例えば入力線それ自体が何れかの敏感な回路に接続されていなくても、システム内に許されたRFエネルギー量は可能な限り低く保つことが極めて重要です。

これは以下の1つまたはそれ以上を追加することによって行えます。

- 直列インダクタやフェライトビーズはマイクロコントローラピンに達するHF雑音量を減らします。それらはHF(高周波数)に対して高インピーダンスを持つ一方、LF(低周波数)信号に対して低いインピーダンスを持ちます。
- 入力線のデカップ(雑音分離)コンデンサはHF雑音を接地に短絡します。このコンデンサは低ESR(等価直列抵抗)を持つべきです。これは高容量値よりずっと重要です。抵抗器またはインダクタとの組み合わせで、このコンデンサは低域通過濾波器(ローパスフィルタ)を形成します。システムが遮蔽(シールド)されているなら、このコンデンサは直接遮蔽へ接続されるべきです。これは全てに於いてシステムに入り込む雑音を防ぎます。特殊フィードスルー(訳補:目的外信号の通過)コンデンサはこの目的用に設計されていますが、これらは高価かもしれません。
- 同じ外囲器内でインダクタとコンデンサを組み合わせる特別なEMC濾波器は、今や多くの異なる外形と部品値で多くの製造業者から供給されています。

4.5. ESD(静電放電)と瞬時遷移(トランジエント)

通常、ESDの扱いは「使用者がシステムの敏感な部分に触れることができないことを保証する」と極めて簡単です。これは殆どの場合で装置筐体によって特別な注意を必要とするシステムを出る入出力ピンだけが注意されます。けれどもESD放電はそれらでの信号の不正値を引き起こす、経路近くでの電流を誘導するかもしれません。

ESDパルスと他の瞬時遷移形式の両方は非常に高い周波数の自然現象で、浮遊容量とインダクタンスがそれらの動きに非常に重要な影響を持つことを覚えておいてください。或る線での瞬時遷移も近くでの他の信号の動きに影響を及ぼすかもしれません。

重要なことはシステムに影響を及ぼさずに、最も効率的な接地への経路を保証することです。例えば、最も効率的な接地への経路が入出力線に沿ってマイクロコントローラピンへなら、ESD保護ダイオードそして接地へと通り、論理High入力がLowとして読めるかもしれません。システムのソフトウェアがこれを扱うように作られ得ないなら(これが普通の場合)、システムは多くの制御された接地への経路を作成する数種のハードウェアが必要です。

勿論、前記で示されたRF濾波器もいくつかの状況でESDと瞬時遷移に充分動作するかもしれません。しかし、4kVのスパイクを4Vのスパイクに減らすのは非常に強力な濾波器が必要です。それは直列高抵抗器によって行えますが、これは必ずしも選択肢とは限りません。入力線の直列高抵抗器は前記の接地経路へのインピーダンスを増加します。これはマイクロコントローラピンに達する雑音量を減らすでしょう。この不利な点はシステムもDCと低周波数信号に対して高インピーダンスになり、従って出力として使用するI/Oピンに対しても有用ではありません。

それから超過電圧保護は良い解決策です。非常に高速なツェナーダイオードとして働くそれらの多くには多くの形式があります。これらは入出力線電圧が指定限度内である限り非常に高いインピーダンスを持ち、しかし電圧が高すぎると非常に低いインピーダンスに切り換わります。そして瞬時遷移は十分効率的に接地へ短絡されます。

4.6. 電源、電源配線、雑音分離コンデンサ

マイクロコントローラ製品でのEMC問題の最も共通する理由の1つは、電源が十分に良好でないことです。電源線の充分且つ正しいデカップ(雑音分離)は、マイクロコントローラの安定動作と装置からの雑音放射の最小化に対して決定的です。

AVRマイクロコントローラに関するデータシートを見て、電源が重要ではないと信じることは馬鹿げていることで有り得ます。このデバイスは非常に広い電圧範囲を持ち、数mAの供給電流だけを流し出します。しかし、デジタル回路であるため、この供給電流は平均値です。この電流はクロック端で非常に短いスパイクで流し出され、入出力線が切り換わる場合、そのスパイクは一層高く(大きく)なるでしょう。

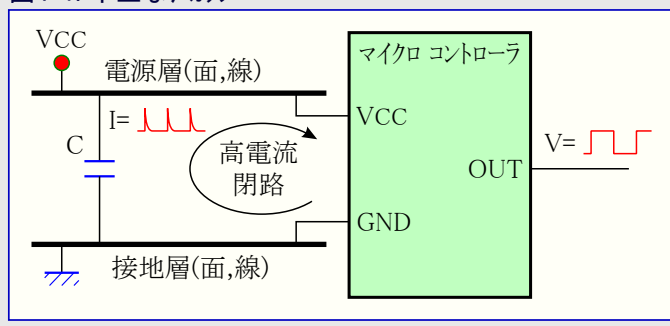
電源線上の電流パルスは入出力ポートの8つの入出力線が同時に値を変える場合、数100mAになり得ます。これらの入出力線に負荷がないなら、このパルスは数nsだけでしょ。

この種の尖頭電流は長い電源線を渡って供給できず、その主な供給元は雑音分離(デカップ)コンデンサです(または、であるべきです)。

右図は不十分なデカップ例を示します。このコンデンサはマイクロコントローラから離れすぎて配置され、大きな高電流閉路を生成しています。ここでの電源と接地層(面、線)は高電流閉路の一部です。この結果として、雑音はこの基板上的他のデバイスへより簡単に撒き散らかされ、この基板からの副次放射が更に先まで増やされます。高電流閉路だけどころか、接地層(面、線)全体が雑音に対するアンテナとして働きます。

これはここでの電源と接地のピンがその層(面、線)に直接的に接続され(代表的には穴実装部品)、雑音分離コンデンサが同じ方法で接続される場合です。同じことは、集積回路が基板の或る側に配置され、雑音分離コンデンサが他方に配置される場合の面実装部品での基板に関して度々見られます。

図4-1. 不正なデカップ



右図はコンデンサのより良い配置を示します。この線は高電流閉路の一部で、電源や接地層(面、線)の一部ではありません。これは電源と接地層(面、線)として重要です。さもなくば多くの雑音を撒き散らかします。

右下の図は雑音分離の別の改良を示します。直列インダクタ(コイル)が電源層(面、線)の切り替え雑音を減少するために挿入されています。勿論このインダクタの直列抵抗はDC電圧低下に重要な意味を持たないことを保証するために充分低くなければなりません。

一般的に、(AT90S8535のような)電源と接地線が共に近接して配置されるAVRデバイスは、(AT90S8515のような)電源と接地のピンがDIP外囲器の対角に配置される工業標準配置のデバイスよりも良好な雑音分離になります。この不利な点はダイに限りなく近く配置されるべき雑音分離コンデンサを可能にする、TQFP外囲器を使用することによって克服できます。電源と接地のピンの複数対のデバイスに対しては、ピンの対が1つ残らず自身の雑音分離コンデンサを得ることが重要です。

図4-2. デカップ コンデンサの正しい配置

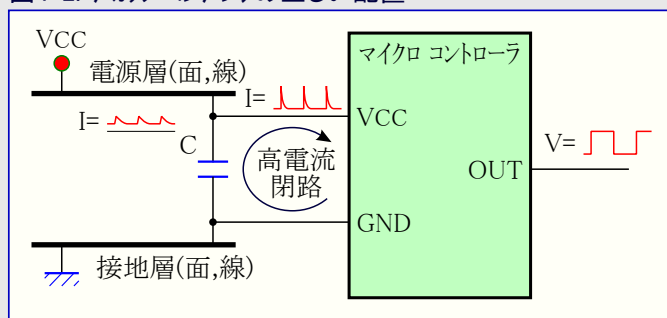
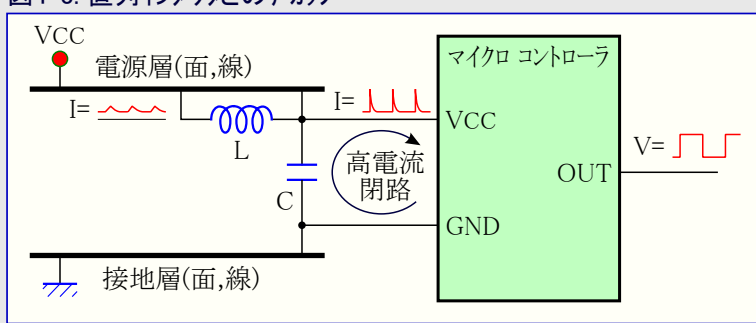


図4-3. 直列インダクタとのデカップ



4.7. PCBでの配置と接地(GND)

4.7.1. 電流閉路と信号接地

電流は閉路でだけ流れることができます。これは電源電流だけでなく信号に対しても真実です。不幸にも電流閉路が雑音を放出し、そしてより大きな閉路はより大きな雑音を放出するでしょう。雑音は電流や周波数と共に増加します。大きな閉路はもっと雑音を受信しそうです。従って閉路は可能な限り小さく保たれるべきです。これは雑音を放射または受信するかもしれない全ての線が、可能な限りその線に近い接地への戻り経路を持つべきであることを意味します。

戻り経路のようなものを持つ全ての雑音の多い線(トラック)を安全にするための最良の方法は、基板に完全な接地層(面)を追加することです。すると閉路内領域は線と接地間の距離×線長だけで良いでしょう。この領域は通常接地経路を布線することによって達成され得るよりずっと小さくなり、従って接地層(面)付きの基板からの雑音は接地層(面)なしの基板よりずっと小さくなります。

4.7.2. 接地(GND)層(面)

多くの設計で、接地層(面)は「何処かで接地へ接続された、他の何かに使用されない全ての銅箔」と定義されているように見えます。これは効果的な接地層(面)ではないでしょう。

高周波信号については、例えその経路が直接路より長くても、丁度その線(トラック)の下に接地層(面)での戻り経路があることに注意してください。これはその戻り経路が常に最低インピーダンスの経路で、高周波信号に対して、これが最低DC抵抗を持つ経路ではなく、最小閉路での経路だからです。

アナログ回路とデジタル回路の両方を含む回路に関し、接地層(面)はアナログ接地層(面)とデジタル接地層(面)に分けられるかもしれません。これはシステムのデジタル部とアナログ部間の妨害を減らすでしょう。

4.7.3. 基板の区域制

システムの区域制(区分)は、「4.3. システム区域」で記述したように、単一PCBにも適用できます。

デジタル回路やスイッチング電源のようなシステムでの雑音の多い部分は、放射アンテナとして働く電流閉路の大きさを減らす、即ち可能な限り小さく作られるべきです。同様にアナログ測定回路のようなシステムの敏感な部分は、受信アンテナとして働く電流閉路の大きさを減らす、即ち可能な限り小さく作られるべきです。そして勿論、システムの雑音の多い部分は可能な限り敏感な部分から遠くに保たれるべきです。

両方の場合で重要な部分が物理的な基板の領域ではなく、電流閉路の大きさを減らすことであることを覚えておってください。従って他の信号の接地戻り経路が影響されないことを徹底した分析が示さない限り、空間を節約するための接地層(面)での布線は避けるべきです。

4.7.4. 1層(片面)基板

1(単)層基板はそれらが低価格なため、多くの商用応用で使用されます。

けれどもEMCの観点から、それらは基板の接地層(面)と連携するのが不可能なため、それでの動作を最も要求される基板です。これは特に高速クロックでEMC適合を達成するための遮蔽(シールド)や外部部品の必要が増加します。片面基板の配置は、その配置が最終的にアンテナとして働く大きな閉路をいとも容易に持つことになりやすいため、非常に優秀なEMC設計能力を必要とします。最悪の配線問題のいくつかを克服するために線材とストラップ(訳補:日本では狭義の意味で専用ジャンパ材でのジャンパ、広義で線材でのジャンパを含む、の用語)を使用することは常に良い考えですが、この作業はまだ必要とします。

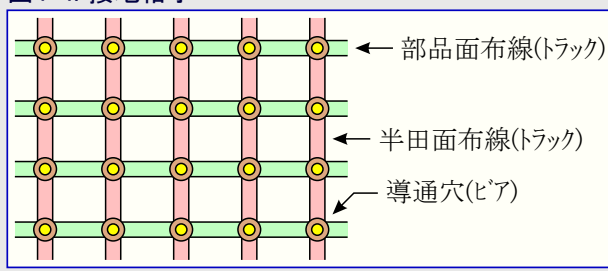
4.7.5. 2層(両面)基板

可能ならば層(面)の1つを接地層(面)専用とし、それだけに使用すべきです。信号が接地層(面)内に布線される場合、それは逆側(面)で線(トラック)の戻り経路を妨害するかもしれません。従って、この配線方法は基板の全ての線(トラック)の詳細な分析を必要とし、さなければ接地層(面)全体が役に立たなくされるかもしれません。

両面基板で未だ両面での配線を許す接地層(面)を設計する1つの方法は右図で示されるような接地格子を設計することです。ここでの全ての経路は相対的に小さな閉路を生成する、近くでの戻り接地を持ちます。格子内1領域の大きさと線(トラック)幅は応用に対応するべきです。高電流と高周波は広い線(トラック)幅と小さな格子内領域を必要とします。

後で配置される他の全ての線(トラック)に対して場所を作ることが非常に重要なため、先に層(面)の接地格子を置くことが非常に重要です。必要とするなら、容易に配線する、または部品用の場所を作るために、接地格子の部分は基板の逆側へ移動できます。しかし、それは部分を削除するため「不正」です。導通穴(ビア)や線(トラック)が移動されなければならないなら、格子内領域が他よりも大きくならないことを保証するために、格子の追加を配置してください。

図4-4. 接地格子



接地格子は完全な途切れない接地層(面)ほど良好ではありませんが、丁度他の何れかの信号のように接地を布線するよりも良好です。

同様な接地層(面)を設計する別の方法は、基板の両面の全ての未使用空間を満たし、必要とする何処でも導通穴(ビア)でこの接地層(面)を接続することです。全体の接地層(面)が可能な限り完全となるように、十分な導通穴(ビア)が使用され、基板の全ての部分の接地層(面)が最低1つの層(面)を網羅するのを保証することが非常に重要です。接地層(面)を作成するこの方法は前記の接地格子とも組み合わせることができます。接地格子を始め、それで基板の残りを布線し、そして全ての未使用領域を接地領域で満たしてください。この場合接地格子の導通穴(ビア)のいくつかは後で削除されるかもしれません。

アナログ回路とデジタル回路の両方が混じった信号の基板については、敏感なアナログ回路に対して良い雑音耐性を提供するために、基板のアナログ部分に対して途切れていない接地層(面)を使用することが推奨されます。

4.7.6. 多層基板

3層以上が使用される時、1つの層が接地層として使用されることが重要です。4層以上が使用される場合、電源層として1層を使用することも推奨されます。そしてこれらの2層は電源インピーダンスと閉路領域を減らすために、基板の中層でお互いが隣り合って配置されるべきです。遮蔽として働かすために外層として電源層と接地層を配するのは良い考えではありません。高電流が接地層を走るため、それは意図したように働きません。(その場合、)遮蔽(シールド)層が接地層の第2の対にならなければならないでしょう。

4.8. 遮蔽(シールド)

いくつかの場合では、遮蔽を追加することなしに充分低いシステムの雑音水準を得ることが不可能です。別の応用では他のもくろみによって低雑音水準を達成するより、遮蔽を使用することがより容易なため、遮蔽が使用されるかもしれません。

応用に応じて、システム全体または最も必要とするシステムの部分だけを網羅するかもしれません。区域制(区分)システムが使用される場合、どれが遮蔽を必要とする区域かを決めるのは容易です。

どちらの場合でも、その遮蔽は完全に閉じられなければなりません。遮蔽は「殆ど良い」は全く何もないのと同じくらい役に立たない加圧容器のようです。始めの方で記述したように、区域に入るまたは出る全ての線は濾波されることが必要です。濾波されない単独線は水のバケツ内の単穴のように働きます。それは漏れを引き起こすでしょう。

接地に接続した半閉路遮蔽は未だ雑音を減らすかもしれません。それはループアンテナの大きさを減らす接地面として働きます。

共通経験則は「遮蔽内の何れかの構造的な細長穴や穴の最大径は雑音の最低波長の1/10未満であるべき」と言います。最高重要雑音周波数が200MHzのシステムでの波長は150cmで、その細長穴は15cm未満であるべきです。しかし、穴のようなものは未だ遮蔽効果のいくらかの減少を引き起こすでしょう。遮蔽効果に影響を及ぼさない穴は最小波長の1%未満でなければならない、この場合は1.5cmです。

もっとも、結局100%効果的な遮蔽は必要とされないかもしれません。入出力と電源線での濾波器が通常もっと重要です。多くの応用では高周波雑音(>30MHz)が優性で、金属遮蔽の使用を必要とするまでもないかもしれません。この場合、プラスチック覆い内側の導電層で充分でしょう。

4.9. AVR特有の解決策

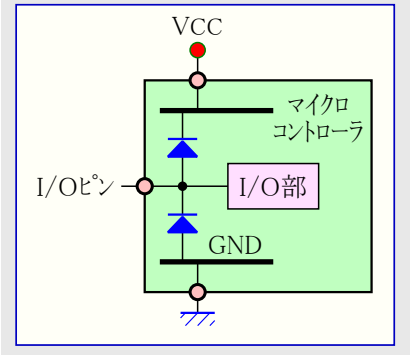
本資料の始めの方で記述した項目の多くは一般的です。けれども設計者が覚えておくべきである少しの重要なAVR特有の項目があります。

本資料で記述された判断は全ての場合で必要とされる訳ではありません。殆どの場合では、最小の外部部品(テカップ コンデンサなど)が必要とされるだけです。実際には低電圧検出器(BOD)や内部プルアップのような組み込み低費用解決策、誤魔化しが多くの設計で行われます。

4.9.1. 標準I/Oピン保護

全ての標準I/Oピンには右図で示されるようにGNDとVCCへの内部ESD保護ダイオードがあります。データシートでの「絶対最大定格」を越えるピン電圧の場合、その結果の電流が制限されないなら、デバイスに危害を加え得ます。LCD駆動部付きのデバイスについて、標準I/Oに対して使用されるSEGピン上での同じ状況がLCD電圧レベルにも影響を及ぼし得ます。

図4-5. AVR I/Oピン保護



4.9.2. リセットピン保護

並列プログラミングの間、12V信号がRESETピンに接続されます。従ってRESETからVCCへの内部保護ダイオードがなく、GNDからRESETへの保護ダイオードだけです。下の左図をご覧ください。

他のI/Oピンと同じ保護をRESETピンで達成するには、外部ダイオードがRESETからVCCへ接続されるべきです。これは通常の小信号ダイオードで行います。加えて、プルアップ抵抗器(代表的に10kΩ)と小さな濾波器コンデンサ(代表的に4700pF)が下の右図で示されるように接続されるべきです。

勿論、RESETがVCCに直接接続される場合にこの全てが必要とされませんが、外部リセットと実装書き込み(ISP:In-System Programming)も禁止されます。

RESETの高ESD保護が必要とされない、または他の部品で達成される場合、このダイオードは省略されるかもしれません。抵抗器とコンデンサは最適なリセット動作のため、未だ推奨されます。

このダイオードは、必要とする12Vを使用してのプログラミングだけができる、ATtiny11のようなデバイスの実装書き込みの場合にも省略されなければなりません。そして始めの方で記述したESD保護法の1つが代わりに使用できます。

図4-6. RESETピン入力保護

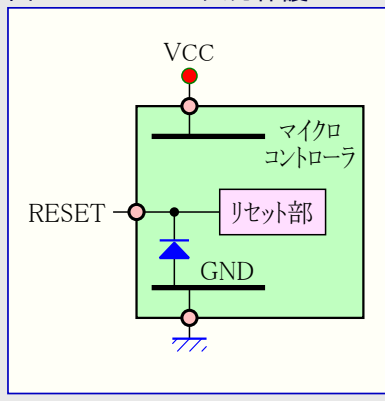
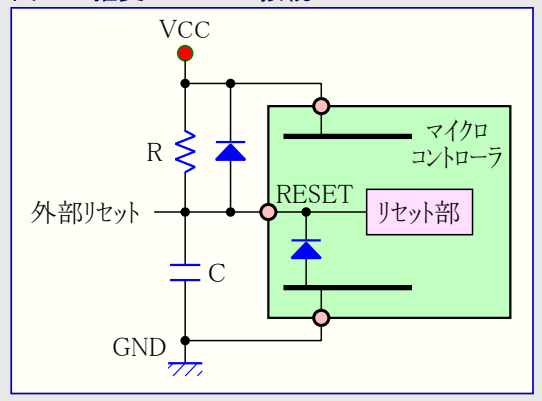


図4-7. 推奨RESETピン接続



4.9.3. 発振器

AVRマイクロコントローラシステムがクロック発振器で直接的に走行するため、単位処理量を特定するための発振器周波数はクロックを4,8または12分周するデバイスに比べて相対的に低くなります。これは発振器からの放射雑音を減らしますが、しかし発振器は未だチップ内で最も雑音の多い部分です。

高周波数発振器はとてつもなく繊細なデバイスで、従って外部雑音に敏感です。

加えて、発振器ピンは一般的に他のI/OピンよりもずっとESDに敏感です。

幸いにも、これらの問題を避けるのは容易です。

可能な限り隙間のない発振器閉路を守ってください。水晶発振子/セラミック振動子を可能な限りピンの近くに配置してください。雑音分離(テックアップ)コンデンサ(やセラミック振動子のGND端子)は接地層(面)へ直接接続してください。接地層(面)のない基板でも、発振器の下に局所的な(GND)面を持つべきです。この面はマイクロコントローラのGNDピンに直接接続されなければなりません。

AVRを駆動するのに外部クロックを使用する時にも注意を払ってください。クロック元がAVRから離れている場合、そのクロック線は強い雑音を放射し、AVRの不正なクロック動作を引き起こすかもしれない、瞬時遷移(や他の雑音形式)に対する受信アンテナとしても働くかもしれません。

従って緩衝器がクロック線に配置されるべきです。緩衝器前面の濾波器は到着雑音除去を助けるでしょう。

5. 参照

Tim Williams: “EMC for Product Designers,” 2nd edition – Newnes, Oxford, 1996 – ISBN 0 7506 2466 3

EMC指令 89/336/EECと92/31/EEC – IEC Standards: IEC 1000系列と61000系列

CISPR standards: 全部

6. 有用なリンク

6.1. 業者

村田製作所 (Murata) – HP : <http://www.murata.com>

Harris Suppression Products Group (現在Littelfuse, Incのビジネス部) – HP : <http://www.littelfuse.com/products/tvs-diodes.aspx>

TDK – HP : <http://www.tdk.com>

EMC部品: <https://product.tdk.com/info/en/products/emc/catalog.html>

6.2. 協会

国際電気標準会議 (IEC : The International Electrotechnical Commission) – HP : <http://www.iec.ch>

欧州電気標準化委員会 (CENELEC : European Committee for Electrotechnical Standardization) – HP : <http://www.cenelec.eu>

合同電子デバイス委員会 (JEDEC : Joint Electron Device Engineering Council) – HP : <http://www.jedec.org>

(米国)自動車技術会 (SAE : Society of Automotive Engineers) – HP : <http://www.sae.org>

(米国)連邦通信委員会 (FCC : Federal Communications Commission) – HP : <http://www.fcc.gov/>

(米国)電子工業会 (EIA : Electronic Industries Alliance) – HP : <http://www.ecianow.org/>

7. 改訂履歴

資料改訂	日付	注釈
1916A	-	初版資料公開
1916B	-	-
1916C	2006年2月	-
1916D	2006年6月	-
1916E	2016年11月	新雛形

Atmel®、Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®、AVR®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2016.

本応用記述はAtmelのAVR040応用記述(Rev.1618E-11/2016)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。