

# AVR073 : ATtiny261/461/861での 10及び16ビットレジスタの入出力

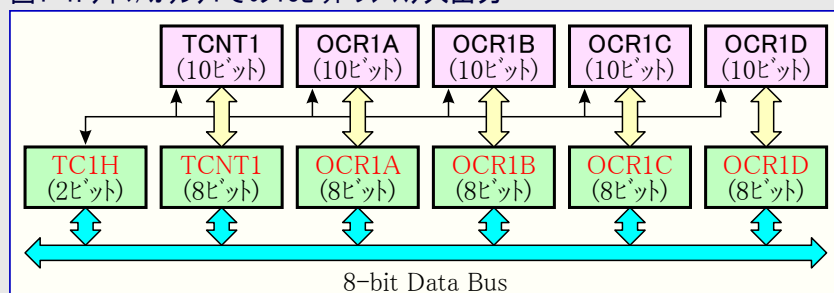
## 要点

- 16ビット タイマ/カウンタ0 レジスタ用入出力カマコ
- 10ビット タイマ/カウンタ1 レジスタ用入出力カマコ
- ANSI C言語で書かれた全ルーチン

## 1. 序説

ATtiny261/461/861マイクロコントローラシステムは10及び16ビット動作で使用できるタイマ/カウンタ部を含みます。AVRのデータバスが8ビット幅のため、10及び16ビットレジスタの入出力時に特別な考慮が行われなければなりません。殆どのAVRコンパイラは16ビットを構成する2つの8ビットレジスタが連続するアドレスで入出力され得る時に、判り易く16ビット(と10ビット)レジスタ入出力を扱います。ATtiny261/461/861系列では、全ての10及び16ビットレジスタが連続するアドレスに配置されている訳ではありません。故にコンパイラの支援は個別8ビットレジスタの入出力に制限されます。この応用記述はATtiny261/461/861マイクロコントローラシステム使用時に扱われる10及び16ビット入出力方法を説明します。10及び16ビットレジスタ入出力に対する完全なCマクロ群も本応用記述に含まれます。

図1-1. タイマ/カウンタ1での10ビットレジスタ入出力



## 2. ATtiny261/461/861での10及び16ビットレジスタの入出力

ATtiny261/461/861で特別な考慮を必要とする10及び16ビットレジスタを使用する2つの部署は以下です。

- ・タイマ/カウンタ0 (16ビット)
- ・タイマ/カウンタ1 (10ビット)

### 2.1. タイマ/カウンタ0

タイマ/カウンタ0(TC0)部は8及び16ビット動作の両方で使用できます。8ビット動作での操作時、行われるべき特別な考慮は必要ありません。16ビット動作での操作時、TCNT0L/HとOCR0A/B入出力時に特別な考慮が行われなければなりません。

TC0は16ビット入出力の上位バイト一時格納用に単一8ビットレジスタを持ちます。このレジスタは16ビット動作でのTCNT0入出力と16ビット捕獲入力動作で使用される時のOCR0の両方に使用されます。下位バイト(TCNT0LまたはOCR0A)の入出力が16ビット読み書き動作を起動し、16ビットレジスタの下位バイトがCPUによって書かれる時に上位バイトが一時レジスタに格納され、書かれた下位バイト(と一時レジスタ内容)は同じクロック周期で16ビットレジスタ内に両方共に複写されます。CPUが16ビットレジスタの下位バイトを読むとき、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロック周期で一時レジスタに複写されます。

#### 2.1.1. 16ビット書き込み操作

16ビット書き込み操作は最初にTCNT0Hレジスタに上位バイトを書くことによって実行できます。上位バイトはTCNT0Lが書かれるまで一時レジスタに複写されています。そしてTCNT0L書き込みが1クロック内での16ビット値複写を起動します。

#### 2.1.2. 16ビット読み込み操作

16ビット読み込み操作は下位バイトレジスタ(TCNT0LまたはOCR0A)読み込みによって開始されます。これは一時レジスタへの上位バイトレジスタ(TCNT0HまたはOCR0B)複写を起動します。上位バイト読み込みは直前に格納された上位バイト値を返します。



8ビット AVR<sup>®</sup>  
マイクロコントローラ

## 応用記述

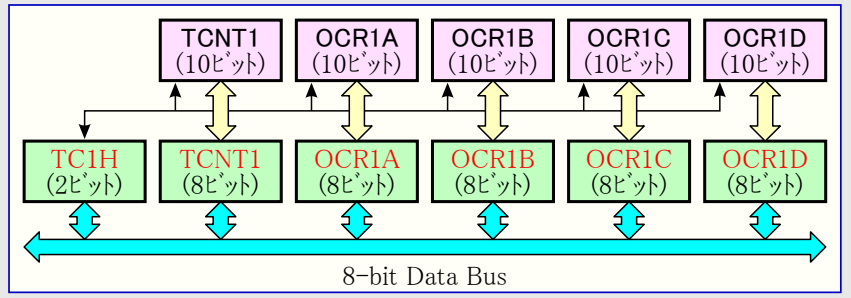
本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8027B-01/08, 8027BJ3-12/13

## 2.2. タイマ/カウンタ1

タイマ/カウンタ1(TC1)は10/8ビット タイマ/カウンタ部です。TC1が8ビットで使用するとき、行われるべき特別な考慮は必要ありません。10ビット動作で、10ビットレジスタへの入出力は、読み書き動作の両方で上位バイトを保持する、1つの共通2ビットレジスタを使用して実行されます。10ビットTC1レジスタと8ビットバスへのそれらの接続は図2-1.で示されます。

図2-1. タイマ/カウンタ1での10ビットレジスタ入出力



### 2.2.1. 10ビット書き込み操作

10ビット書き込み操作は最初に共通TC1Hレジスタへ最上位2ビットを書くことによって実行できます。CPUによって下位バイトが書かれる時に、TC1Hレジスタに格納された2ビットと下位バイトの両方が同じクロック周期で10ビットレジスタ内に複写されます。

TC1Hレジスタは読み書き操作によって**解除されません**。これは一度のTC1H書き込みだけによって多くの10ビットTC1レジスタへの書き込みを可能にします。TC1Hレジスタが使用されずに8ビット値が10ビットTC1レジスタへ書かれる場合、直前の読み書き操作からのTC1H値が目的10ビットレジスタ(の上位)に複写されるかもしれません。従って、TC1H値が既知の場合を除き、10ビットTC1レジスタへの書き込み時には必ずTC1Hレジスタが明確に書かれるべきです。

### 2.2.2. 10ビット読み込み操作

10ビット読み込みは最初に10ビットレジスタの下位バイトを読み込むことによって実行できます。これはTC1Hレジスタへの最上位2ビット複写を起動します。

## 2.3. 複数バイトレジスタへの非分断入出力の保証

割り込み使用のシステムで、複数バイトレジスタの入出力は危険を構成し得ます。図2-2.の状況を考察してください。10ビット書き込みはOCR1Aに実行しかけています。TC1Hレジスタが丁度上位バイトを格納されたばかりで、下位バイトが書かれようとしています。然しながら、2つの書き込み操作間で、TCNT1値を読む割り込み処理ルーチン(ISR)を実行する、割り込みが起きます。ISRでの10ビット読み込みを行うのにTCNT1がアクセスされるので、TC1Hレジスタに上位バイトが複写されます。(プログラム)実行が割り込まれた関数へ戻る時にTC1Hは不正にされ、応用はこれが起きたことを検知する方法を持ちません。OCR1A書き込みの第2部分が実行される時にTC1H化けのために不正な上位バイトが複写されます。

図2-2. 割り込みによる不正化

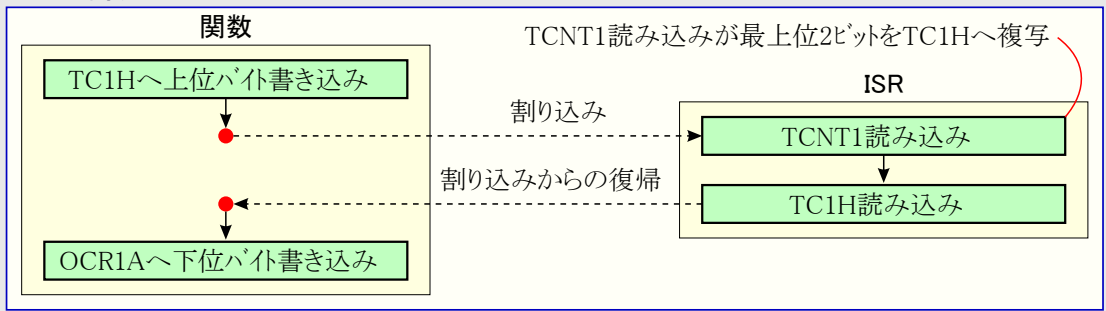
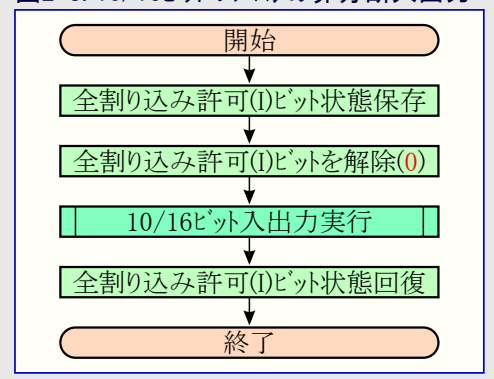


図2-2.の状況は10及び16ビットレジスタが常に1つの非分断操作で入出力されるのを保証することによって防止できます。これは10及び16ビット入出力間に割り込みが禁止されるのを保証することによって達せられます。これを行う最も一般的な方法は図2-3.で示されます。この方法はコード内の全ての場所での使用に対して常に安全ですが、この基本操作を実行するために必要とされる命令数が増加します。従って、複数バイト入出力間に割り込み禁止が必要な時を理解することが重要です。

- 殆どの初期化は通常、割り込みが許可される前に実行されます。この段階での割り込み禁止は必要ありません。
- 割り込み処理が行われているとき、AVRコアは全割り込み許可(I)ビットを自動的に解除(0)します。従って、割り込み処理ルーチン(ISR)内で全割り込み許可(I)ビットが手動で設定(1)されないなら、ISR実行中の複数バイトレジスタ入出力は安全です。
- ISRが該当する複数バイトレジスタの何れもアクセスしないなら、割り込み禁止なしでのそれらの入出力は安全です。

図2-3. 10/16ビットレジスタの非分断入出力



## 2.4. 同期化の問題

TC1での同期化回路のため、書き込み後、直ちに読み戻せないことに注意してください。より多くの詳細についてはATtiny261/461/861データシート内の「同期化」項を参照してください。

## 2.5. 本資料に含まれない複数バイトレジスタ

本資料に含まれないATtiny261/461/861の他の複数バイトレジスタ(例えばADCL/H)があります。これらはCコンパイラによって判り易く扱われる複数バイト入出力を可能にする、連続アドレスに配置されており、従ってここに含まれていません。然しながら、本資料の「[複数バイトレジスタへの非分断入出力の保証](#)」項で記述されるように、プログラム作成者はこれらのレジスタへの非分断入出力を保証する責任が未だあることに注意してください。

## 2.6. 本資料(別ファイル)内のマクロ

本応用記述に含まれているのは、本応用記述で記述された操作を実行するために設計された、ANSI Cで書かれたマクロ群です。各操作に対して、安全に割り込めるものと、そうでないものの、2つのマクロが利用可能です。

ソースコードは自動資料生成用に話題のDoxygenで資料化されています。より多くの情報については、ソースコードのルートフォルダ内の'[readme.html](#)'を開いてください。

## 2.7. コンパイラ支援

本応用記述(別ファイル)内に含まれる全てのソースコードは最大可搬性のためにANSI Cで書かれています。この応用記述公開時点で、IARとAVRGCCのコンパイラだけがATtiny261/461/861系統用支援を持っていました。従って、ソースコードはこれらのコンパイラでだけ試験されています。



## 本社

### *Atmel Corporation*

2325 Orchard Parkway  
San Jose, CA 95131  
USA  
TEL 1(408) 441-0311  
FAX 1(408) 487-2600

## 国外営業拠点

### *Atmel Asia*

Unit 1-5 & 16, 19/F  
BEA Tower, Millennium City 5  
418 Kwun Tong Road  
Kwun Tong, Kowloon  
Hong Kong  
TEL (852) 2245-6100  
FAX (852) 2722-1369

### *Atmel Europe*

Le Krebs  
8, Rue Jean-Pierre Timbaud  
BP 309  
78054 Saint-Quentin-en-  
Yvelines Cedex  
France  
TEL (33) 1-30-60-70-00  
FAX (33) 1-30-60-71-11

### *Atmel Japan*

104-0033 東京都中央区  
新川1-24-8  
東熱新川ビル 9F  
アトメル ジャパン株式会社  
TEL (81) 03-3523-3551  
FAX (81) 03-3523-7581

## 製品窓口

### ウェブサイト

[www.atmel.com](http://www.atmel.com)

### 技術支援

[avr@atmel.com](mailto:avr@atmel.com)

### 販売窓口

[www.atmel.com/contacts](http://www.atmel.com/contacts)

### 文献請求

[www.atmel.com/literature](http://www.atmel.com/literature)

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに位置する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2008. 全権利予約済 ATMEL®、ロゴとそれらの組み合わせ、AVR®とその他はATMEL Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

### © HERO 2013.

本応用記述はATMELのAVR073応用記述(doc8027.pdf Rev.8027B-01/08)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。