

AVR080 : ATmega128によるATmega103置換

要点

- ATmega128でのATmega103障害修正
- 名称変更
- タイマ/カウンタと前置分周器への改良
- 外部メモリ インターフェースへの改良
- A/D変換器への改良
- SPIとUARTへの改良
- A/D変換器雑音相殺器での変更
- EEPROM書き込みタイミングでの変更
- プログラミング インターフェースへの変更
- ヒューズ設定
- 発振器と起動遅延設定
- ウォッチドッグ タイマへの変更
- JTAGインターフェース
- その他関連
- ATmega103互換動作で利用できない機能

序説

この応用記述はATmega128への既存設計変換でのATmega103使用者を援助するための手引きです。ATmega128にはヒューズ設定を通して選択する2つの動作種別があります。M103CヒューズはATmega103互換動作が使用されるべきか、またはそうでないかのどちらかを選択します。既定でのM103Cヒューズはプログラム(0)で、ATmega128は互換動作で動きます。互換動作が使用されると、矛盾しない増強だけがATmega103と異なるデバイスにします。加えてATmega128の電気的特性は製造技術変更による動作周波数の上昇を含めて異なります。詳細情報についてはデータシートを調べてください。M103Cヒューズが非プログラム(1)にされると、全ての新機能が支援されますが、コード移転はより多くの作業を必要とするかもしれません。

ATmega128でのATmega103障害修正

ATmega103データシートでの以下の項目はATmega128に適用しません。障害のより多くの詳細情報についてはATmega103障害情報を参照してください。

注: これらの障害のいくつかはATmega103の最終版で修正されています。これらはどのATmega103設計からも容易に変換するために、未だ参照されます。

上昇が遅い電源での消費電力増加

ATmega128の消費電力は電源上昇時間と無関係です。

クロックなしでのリセット状態開放

ATmega128は、例え最小パルス幅 t_{RST} を越える何れかの外部リセットパルスが、何れかの有効なクロックの存在前にその状態が消滅しても内部リセットを起す、新しいリセットインターフェースを持ちます。

パワーセーブから復帰時に割り込み前の命令実行

ATmega128はパワーセーブ動作からの起動復帰後の最初の命令として割り込み処理ルーチンを実行します。

ATmega128が休止形態間に、許可した割り込みが起こると、MCUは起動復帰します。そしてMCUは4周期停止してから割り込み処理ルーチンを実行し、SLEEPに後続する命令から実行を再開します。

SPIの不正なバイト送信

ATmega128では直前の転送終了と同じクロック端で新規バイトをSPIデータレジスタに書けます。主装置動作での操作時、新規バイトをSPIデータレジスタ内へ書く前に直前の転送完了を待つ必要はありません。



8ビット **AVR**[®]
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 2501D-01/04, 2501DJ5-01/14

MCUSR内のEXTRFの不正解除

電源ONリセットフラグ(PORF)と外部リセットフラグ(EXTRF)はATmega128で個別に解除(0)できます。

EEPROM書き込み中のリセット

EEPROM書き込み中にATmega128でリセットまたは電源OFFが起きると、書き込み位置が不正となるかもしれませんが、ATmega128は書かれていたバイト以外の他の何れの位置も不正にしません。

リセット後のSPI割り込み要求フラグが不定

ATmega128はSPI割り込み要求フラグを0にリセットします。

スキップ命令実行中の割り込み

ATmega128の割り込みはスキップ命令が2語命令をスキップする割り込み時も、常に正しい戻りアドレスを格納します。

識票バイト

ATmega128の識票バイトはATmega103で使用していたものと異なります。従ってATmega103での不正な識票に関連する障害は適用できません。設計移転時、ATmega128の識票使用を確認してください。

EEPROMホッピング中の読み戻し値

ATmega128でのEEPROMホッピング中の読み戻し値は常に\$FFです。

実装書き込み(ISP)中のMISO出力

ATmega128は実装書き込み(ISP: In-System Programming)中のMISO出力をHi-Zにします。ISPインターフェースは直列データ入力と直列データ出力の各々に対して、未だPE0とPE1を使用します。

A/D変換器には連続変換動作なし

ATmega128は連続変換動作を支援します。

UART受信禁止時にRXD信号がLowの場合にUART同期消失

UARTは、この問題がないUSARTに置換されます。受信の開始端はUSART制御レジスタ内の受信許可ビットが設定(1)される場合にだけ、有効として受け入れられます。

プログラミング中の高電圧でのEEPROM照合

ATmega128用データシートで規定した電圧と周波数範囲内で動作する限り、供給電圧とシステム周波数に制限はありません。

システム内でのEEPROM照合

デバイスがATmega128用データシートで規定した電圧と周波数範囲内で動作する限り、供給電圧とシステム周波数に制限はありません。

電圧3.4V以下での直列プログラミング

デバイスがATmega128用データシートで規定した電圧と周波数範囲内で動作する限り、供給電圧とシステム周波数に制限はありません。

名称変更

以下の制御ビットは変更された名称を持ちますが、ATmega103としてのアクセス時、同じ位置と機能を持ちます。

表1. 変更されたビット名

ATmega103 でのビット名	ATmega128 でのビット名	I/Oレジスタ (ATmega103)	備考
SRW	SRW10	MCUCR	
PWMn(0)	WGMn0	TCCRn(A)	()内の0とAは16ビット タイマ/カウンタのみ
PWMn1	WGMn1	TCCRnA	
CTCn	WGMn2	TCCRn(B)	()内のBは16ビット タイマ/カウンタのみ
WDTOE	WDCE	WDTCR	7頁の「ウォッチドッグ タイマへの変更」をご覧ください。
RXCIE	RXCIE0	UCR	
TXCIE	TXCIE0	UCR	
UDRIE	UDRIE0	UCR	
RXEN	RXEN0	UCR	
TXEN	TXEN0	UCR	
CHR9	UCSZ02	UCR	
RXB8	RXB80	UCR	
TXB8	TXB80	UCR	
RXC	RXC0	USR	
TXC	TXC0	USR	
UDRE	UDRE0	USR	
FE	FE0	USR	
OR	DOR0	USR	

以下のI/Oレジスタは変更された名称を持ちますが、ATmega103としてのアクセス時、同じ位置と機能を含みます。

表2. 変更されたレジスタ名

ATmega103 でのレジスタ名	ATmega128 でのレジスタ名	備考
EICR	EICRB	
MCUSR	MCUCSR	
UDR	UDR0	
USR	UCSR0A	
UCR	UCSR0B	
UBRR	UBRR0L	
ADCSR	ADCSRA	

タイマ/カウンタと前置分周器への改良

改良と付加機能についての詳細に関してはデータシートを参照してください。以下の特徴が追加されています。

- ATmega128の前置分周器はリセットできます。
- PWM動作での可変上限(TOP)値
- タイマ/カウンタ1に対し、位相基準PWM動作に加えて位相/周波数基準PWM動作
- 高速PWM動作

ATmega128とATmega103間の違い

改良と変更の多くは全てのタイマ/カウンタに適用され、以下の記述は一般形で書かれています。小文字の'x'は出力チャネル(タイマ/カウンタ1についてはAまたはB、タイマ/カウンタ0と2については利用不可)の置き換えで、一方'n'はタイマ/カウンタ番号(n=0,1,または2)の置き換えです。

PWM動作でのTCNT1解除

ATmega103では3つのPWM分解能、8,9,または10ビットがあります。8,9,または10ビットだけが比較されるにも拘らず、**TCNT1**内に分解能を越えて値を書くことが可能です。故にタイマ/カウンタは減少した分解能が効果を表す前に\$FFFFへの計数を完了しなければなりません(例えば、8ビット分解能が選択され、**TCNT1**が\$0100を含む場合、上限値(\$FF)はカウンタが\$FFFFへ上昇計数し、\$0000へ下降計数して再び上昇計数するまで効果を発揮しません)。ATmega128では、この予期せぬ\$FFFFへの上昇計数を避けるために、**TCNT1**の未使用ビットが**0**に解除されるように変更されました。ATmega128では選択した分解能を決して超えません。

ATmega128 **TCNT1**レジスタの未使用上位ビットは前置分周したクロックの最初の上昇端で解除(**0**)されます。

- 8ビットPWM : TCNT1H7~0=0
- 9ビットPWM : TCNT1H7~1=0
- 10ビットPWM : TCNT1H7~2=0

ATmega103 **TCNT1H**は解除(**0**)されません。

PWM動作でのOCR1xH解除

PWM動作での**OCR1xH**解除は**TCNT1**解除と僅かに異なります。ATmega103は8,9,または10ビットPWM動作が選択された場合、上位6ビットを解除(**0**)します。従ってPWM動作で**OCR1x**に\$FFFFが書かれ、**OCR1x**が読み戻されると、その結果は選択されたPWM動作に拘らず\$03FFです。ATmega128で解除(**0**)するビット数は分解能に依存します。

ATmega128 **OCR1AH**と**OCR1BH**内の上位ビットは、それらがカウンタの上限(TOP)値で更新される時に解除(**0**)されます。

- 8ビットPWM : OCR1xH7~0=0
- 9ビットPWM : OCR1xH7~1=0
- 10ビットPWM : OCR1xH7~2=0

ATmega103 **OCR1AH**と**OCR1BH**内の上位6ビットは分解能に拘らず解除(**0**)されます。

前置分周器ありの比較一致でのタイマ/カウンタ解除 (全タイマ/カウンタに適用)

比較一致での解除とタイマ/カウンタの内部計数間の関連は変更されています。ATmega103での比較一致での解除は比較値と一致する最初の内部計数後にタイマ/カウンタを解除し、これに反してATmega128は比較値と一致する最後の内部計数後にタイマ/カウンタを解除します。解除、フラグ設定、ピン変更の詳細については**図1.**と**図2.**をご覧ください。

例: 前置分周器許可(8分周)時の**OCRnx**=\$02

図1. ATmega103に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	0	0	0	0	0	0	0	1	1	1	1	1	1	2	0	0	0	0	0	0	0
フラグ/ピン																																				

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

図2. ATmega128に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	2	2	2	2	2	2	2	0	0	0	0	0	0	0	0	1	1	1	1	1	1	2	2
フラグ/ピン																																				

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

前置分周器許可での比較出力ピン/フラグの設定 (全タイマ/カウンタに適用)

比較出力とタイマ/カウンタの内部計数間の関連は変更されています。ATmega103での比較出力は比較値と一致する最初の内部計数後に比較出力ピン/フラグを設定し、これに反してATmega128は比較値と一致する最後の内部計数後に比較出力ピン/フラグを設定します。比較出力フラグ設定とピン変更の詳細については**図3.**と**図4.**をご覧ください。

例: 前置分周器許可(8分周)時の**OCRnx**=\$02

図3. ATmega103に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	2	2	2	2	2	2	3	3	3	3	3	3	4	4	4	4	4	4	4	5	5	
フラグ/ピン																																			

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

図4. ATmega128に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	2	2	2	2	2	2	3	3	3	3	3	3	4	4	4	4	4	4	4	5	5	
フラグ/ピン																																			

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

PWM動作でOCR1x書き、上限(TOP)でのOCR1x更新前に標準動作へ変更、OCR1x読み (16ビット タイマ/カウンタのみ適用)

データシートで記述されるように、OCR1xレジスタはそれが書かれると、上限(TOP)値で更新されます。従ってPWM動作でのOCR1x書き込み時、その値は一時緩衝部に格納されます。タイマ/カウンタが上限に到達するとき、一時緩衝部(内容)が実際の比較出力レジスタに転送されます。一時緩衝部が書かれた後であるけれど、実際の比較出力レジスタが更新される前にPWM動作を抜けた場合、その動作はATmega128とATmega103間で違います。

ATmega128 更新が行われる前にOCR1xレジスタが読まれる場合、OCR1x一時緩衝部ではなく、実際の比較値が読まれます。

ATmega103 更新が行われる前にOCR1xレジスタが読まれる場合、OCR1x一時緩衝部内の値が読まれます。例えば読まれた値は最後に(OCR1x一時緩衝部へ)書かれたものですが、タイマ/カウンタが決して上限値に到達しないため、それはOCR1xレジスタ内にラッチされません。従って比較に使用される値は必ずしも読まれた値と同じではありません。

注: これは16ビット タイマ/カウンタだけに適用され、8ビット タイマ/カウンタについては両デバイスに於いて一時緩衝部が読まれます。

直前のOCnxピンレベルの記憶

ATmega103にはPWM動作でのOCnxピン更新なしの2つのCOMnx1,0(00と01)設定と非PWM動作での1つのCOMnx1,0(00)設定があります。タイマ/カウンタの仮定はOCnxピンを更新する状態から更新しない状態へ持って行き。そして再びOCnxピンを更新する状態へ戻します。以下の違いが留意されるべきです。

ATmega128 比較出力動作禁止前のOCnxピンのレベルが記憶されます。比較出力再許可はそれが禁止された状態からの動作再開をOCnxピンにさせます。全ての比較出力ピンはリセットで0に初期化されます。

ATmega103 非PWM動作でのタイマ/カウンタに対して、タイマ/カウンタがピンに接続されていない間の比較一致は、再許可でOCnxピンをLowレベルにリセットするでしょう。PWM動作は再許可でピンの状態が未知となるような、OCnxピンに対する内部レジスタを更新します。8ビットタイマ/カウンタに対する比較出力ピンの状態は、比較出力ピンの再許可時に未知です。ATmega103での8ビットタイマ/カウンタ用のOCnxピンだけはリセットで0に初期化されます。

TCNT0またはTCNT2各々での両端値に等しいOCR0またはOCR2 (8ビット タイマ/カウンタのみ適用)

COMn1,0により、OCnはCOMnビット変更時に解除(0)または設定(1)されます。その出力応答はATmega128とATmega103で違います。

ATmega128 COMnビット変更時、出力(OCn)ピンは比較一致が起きた後でCOMnビットに従って変化します。

ATmega103 COMnビット変更時、出力(OCn)ピンは直ちに变化します。16ビットタイマ/カウンタ1に対しては、ATmega128とATmega103のどちらも比較一致が起こる前に出力を変更しません。

XDIVとタイマ/カウンタ0

クロック分周制御(XDIV)レジスタの設定はATmega128でのタイマ/カウンタ0とその関連論理回路に対するクロック元に影響を及ぼさず、ATmega103では及ぼします。結果としてATmega128でタイマ/カウンタ0レジスタアクセスが失敗し、割り込みが失われるかもしれません。例えばタイマ/カウンタ0が同期または非同期にクロック駆動されているかのどちらであっても、システムクロックがXDIVレジスタによって分周されている場合、ATmega128のタイマ/カウンタ0は使用されるべきではありません。換言すると、タイマ/カウンタ0が使用されるなら、システム分周機能は使用されるべきではありません。

外部メモリ インターフェースへの改良

ATmega128のアドレス/データ組み合わせポートは新しいアドレスが設定されるまでデータを出力します。変更タイミングの詳細についてはATmega128データシートを参照してください。

A/D変換器への改良

- ATmega128のA/D変換器は連続変換動作を支援します。
- ATmega128の単独変換はATmega103より2周期少なくなります。
- ATmega128は左揃えと右揃えした10ビット結果の両方を支援します。
- ATmega128のA/D変換器は差動と増幅した測定を支援します。
- ADMUXレジスタのビット7~3はATmega128で使用され、ATmega103では使用されません。従ってATmega103での未使用I/OビットはATmega128での同一動作を保証するために0を書かれるべきです。

SPIとUARTへの改良

SPIとUARTの両方にはより高い通信速度を許す、新しい倍速動作があります。ATmega103でのUARTはATmega128でUSARTに置換されています。ATmega128のUSARTは次の1つの例外付きでATmega103のUARTと互換です。2段の受信レジスタがFIFOとして働きます。このFIFOはM103Cヒューズがプログラム(0)されると禁止されます。尚、M103Cヒューズがプログラム(0)されるとき、以下が留意されなければなりません。

- UDRは到着データ毎に1度だけ読まれなければなりません。
- 異常フラグ(FEとDOR)とデータ第9ビット(RXB8)は受信緩衝部内でデータと共に緩衝されます。従って、この状態ビットは常にUDRレジスタが読まれる前に読まれなければなりません。さもなければ、この異常状態は失われます。

その他の小さな違いはATmega103のUARTで1、ATmega128のUSARTで0となる、RXB8の初期値です。

A/D変換器雑音相殺器での変更

ATmega103でのA/D変換はアイドル休止形態移行に先立って開始されなければなりません。ATmega128でのA/D変換はA/D変換器が許可され、単独変換動作に設定され、A/D変換完了割り込みが許可され、A/D変換器が変換中でなければ、アイドルまたはA/D変換雑音低減動作移行時、自動的に単独変換を開始します。この変換は例えM103C互換ヒューズがプログラム(0)されていても、自動的に開始します。

EEPROM書き込みタイミングでの変更

ATmega103でのEEPROM書き込み時間は供給電圧に依存し、代表的には2.5ms/VCC=5V、4ms/VCC=2.7Vです。ATmega128でのEEPROM書き込み時間は(システムクロックに対するクロック元と周波数に拘らず)校正付き内蔵RC発振器で8448周期かかります。この校正付き内蔵RC発振器はVCCに拘らず1.0MHzに校正されている仮定で、代表的な書き込み時間は8.4msです。

注: OSCCALレジスタ内の値変更は校正付き内蔵RC発振器の周波数、故にEEPROM書き込み時間に影響を及ぼします。

プログラミング インターフェースへの変更

プログラミング インターフェース、特に実装書き込み(ISP: In-System Programming)インターフェースにいくつかの変更が行われています。これはATmega128での全追加ヒューズを支援するために行われました。タイミングの必要条件は変更されていません。詳細についてはATmega128データシートをご覧ください。

並列プログラミング法が変更されました。最も重要な変更はATmega128でPAGELピンがPD7に配置され、同時にBS2がPA0に配置されることです。ATmega103では逆のピン割り当て(PA0にPAGEL、一方BS2はPD7に割り当て)が選択されていました。この変更は全ての新しいAVRデバイスに対して同じ書き込み器の使用を可能とするために行われました。並列動作で、ATmega128はEEPROMのページ書き込みを支援します。追加ヒューズと施錠のビットもヒューズ書き込み法での変更を必要とします。並列プログラミングに対するタイミングの必要条件が変更されています。詳細についてはATmega128データシートをご覧ください。

STK500はATmega128の実装書き込み(ISP)と並列プログラミングの両方を支援します。

ヒューズ設定

ATmega128はATmega103より多くのヒューズを内包します。表3.はATmega128の推奨ATmega103互換ヒューズ設定を示します。いくつかのヒューズは後続章で更に記述されます。

表3. ATmega103とATmega128でのヒューズ比較

ヒューズ	ATmega103 既定設定	ATmega128 既定設定	ATmega103 互換設定
M103C	-	0	0
WDTON	-	1	1
OCDEN	-	1	1
JTAGEN	-	0	1 (注2)
SPIEN	0	0	0
CKOPT	-	1	1 (注3)
EESAVE	1	1	1
BOOTSZ1	-	0	0 (N/A) (注4)
BOOTSZ0	-	0	0 (N/A) (注4)
BOOTRST	-	1	1
BODLEVEL	-	1	1
BODEN	-	1	1
SUT1	1	1	(注5)参照
SUT0	1	0	(注5)参照
CKSEL3	-	0	(注5)参照
CKSEL2	-	0	(注5)参照
CKSEL1	-	0	(注5)参照
CKSEL0	-	1	(注5)参照

注1: '-'はそのヒューズがATmega103に存在しないことを表します。

注2: 7頁の「JTAGインターフェース」をご覧ください。

注3: 7頁の「発振器と起動遅延設定」をご覧ください。

注4: SPM命令と自己プログラミングはATmega103互換動作で利用できません。BOOTSZ1,0の既定工場設定は有効です。

注5: CKSELヒューズはATmega103とATmega128両方で利用可能です。けれどもSUTとCKSEL設定はATmega128への移行時に再考されるべきです。7頁の「発振器と起動遅延設定」をご覧ください。

発振器と起動遅延設定

ATmega128はATmega103より多くの発振器と起動時間設定を提供します。パワーダウン動作とパワーセーブ動作からの起動復帰中、ATmega128は起動遅延を決めるのにCPU周波数を使用し、一方ATmega103は(SUT=00を除いて)ウォッチドッグ タイマ(WDT)発振器周波数で遅延を決めます。

適切な起動値を見つけるには、ATmega128データシートの「システム クロックとクロック任意選択」章の指針に従ってください。

実装書き込み(ISP)動作でヒューズを変更する時に特別な注意が祓われなければなりません。ISPはシステム クロックに依存します。不正な発振器設定が書かれると、システム クロックを誤るためにISP動作への再移行が不可能になるかもしれません(その後に並列プログラミング動作が使用されなければなりません)。

ATmega103でのクリスタル用発振器はXTAL2出力から付加クロック緩衝器を駆動する能力があります。ATmega128で、これはCKOPTヒューズがプログラム(0)される時にだけ可能です。この動作での発振器は電源電圧幅の振幅出力を持ちますが、より高い電力消費を犠牲にします。従って電源電圧幅振幅が必要とされる時にだけ、このヒューズをプログラム(0)してください。

ウォッチドッグ タイマへの変更

ATmega128のウォッチドッグ タイマはATmega103のそれに比べて改良されています。ATmega103でのウォッチドッグ タイマは許可か禁止のどちらかで、一方ATmega128はWDTONヒューズによって選択する2つ安全レベルを支援します。更なる情報についてはATmega128データシートでの記述をご覧ください。

M103Cヒューズのプログラム(0)とWDTONヒューズの非プログラム(1)の組み合わせは、正確にATmega103でのような動作をウォッチドッグ タイマにさせます。

ATmega128でのウォッチドッグ 発振器周波数は全供給電圧に対して1.0MHzに近い周波数です。ATmega103でのウォッチドッグ 発振器の代表的な周波数は5Vで1.0MHzに近い周波数ですが、VCCの減少で計時完了時間が増します。これは(ウォッチドッグ 発振器周期数の項目で)ウォッチドッグ タイマに対する計時完了時間選択がATmega128への設計移行時に再考されなければならないことを意味します。更なる情報についてはATmega128用データシートを参照してください。

JTAGインターフェース

ATmega128はプログラミング、境界走査(Boundary-scan)、内蔵デバッグに使用できる、JTAGインターフェースを提供します。JTAGインターフェースがATmega103互換動作でも利用可能なことに留意してください。デバイスはJTAGインターフェースを通すプログラミングを許すためにJTAGENヒューズがプログラム(0)されて出荷されます。ATmega103互換のためには本ヒューズが消去(非プログラム(1))されなければなりません(されない場合、4つピンがI/Oピンの代わりに検査入出力ポート(TAP)専用に使われます)。M103CヒューズはJTAGENヒューズを無効にしません。

内蔵デバッグ機能が許可される場合、全休止形態で主クロックが継続的に走行することに注意してください。これは総消費電流に対して重要な一因になるでしょう。従ってOCDENヒューズは必要でなければ禁止(非プログラム(1))されるべきです。

その他関連

EEPROM書き込みアクセスがパワーダウン休止形態移行前に完了されなければならないことに注意してください。さもなければシステム発振器は継続して走行し、追加電流を流します。

ATmega103互換動作で利用できない機能

M103CヒューズはATmega128をATmega103互換にします。けれどもM103Cヒューズのプログラム(0)で、ATmega128のいくつかの新機能が利用不能になります。以下の機能はATmega128がATmega103互換動作で使用される時に支援されません。

- TWI - 2線直列インターフェース部
- USART1 - 追加第2USART
- USARTのFIFO動作、同期動作、パリティや2停止ビットのような増強機能
- ブートローダ能力 (SPM - 自己プログラミング メモリ)
- 増強外部メモリ制御 (より多くの待ち状態、アドレス上位バイトへの割り当てビット数設定、外部メモリの違う領域に対する異なる待ち状態設定)
- MCUCSRでのJTD, JTRF, WDRF, BORF状態フラグへのアクセス
- ソフトウェアによるウォッチドッグ タイマ前置分周器変更のための時間制限手順
- タイマ/カウンタ1に対する追加OCR1C比較出力レジスタ
- タイマ/カウンタ3 (タイマ/カウンタ1と同じ16ビット タイマ/カウンタ)
- INT3~0のエッジ割り込み
- 標準I/OとしてのポートC (ATmega103互換動作ではデジタル出力のみ)
- 標準I/OとしてのポートF (ATmega103互換動作ではアナログ/デジタル入力のみ)
- ポートG (ATmega103互換動作では専用機能のみ)

前記の機能のいくつかが必要または欲し、M103ヒューズが非プログラム(1)にされる場合、これは互換ヒューズがプログラム(0)されている限り存在しないATmega128とATmega103間の様々な違いを引き起こします。

- データ アドレス空間\$0060～\$00FFは内部SRAMではなく、拡張I/O専用です。
- データ アドレス空間\$0100～\$10FFは内部SRAM専用で(ATmega128はATmega103の4000と比較して4096位置の内部SRAMを支援)、従って外部メモリはアドレス\$1100から始まります(ATmega103の外部メモリは\$1000から始まります)。
- ポートCはリセットで\$00駆動に初期化されませんが、他のポートと(同じ)Hi-Zにされます。
- ALE, \overline{RD} , \overline{WR} ピン(PG2～0)はXRAMが許可されるまで出力として設定されません。
- TOSC1とTOSC2ピン(PG4,3)はAS0ビットが(1)に書かれなければ、32kHz用発振器ではなく、リセット後にデジタル入力として設定されません。
- ソフトウェアによるウォッチドッグ タイマ前置分周器設定変更のため、時間制限手順に従わなければなりません。
- MCUCSRレジスタではATmega103のようにEXTRFとPORFだけでなく、全てのリセット フラグがこのレジスタ内に存在します。
- USARTはデータ オーバーラン(DOR)フラグが設定(1)される前に、受信すべき複数バイト データを許す、追加入力緩衝部を持ちます。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2004.

ATMEL製品は、ウェブサイト上にあるATMELの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。ATMEL製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はATMELの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2014.

本応用記述はATMELのAVR080応用記述(doc2501.pdf Rev.2501D-01/04)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。