

AVR081 : ATmega8によるAT90S4433置換

要点

- ATmega8でのAT90S4433障害修正
- ピン機能での違い
- 名称変更
- タイマ/カウンタと前置分周器への改良
- A/D変換器への改良
- 電力管理への改良
- SPIとUARTへの改良
- A/D変換器雑音相殺器での変更
- EEPROM書き込みタイミングへの変更
- プログラミング インターフェース
- ヒューズ 設定
- 発振器と起動遅延設定
- ウォッチドッグ タイマへの変更
- その他関連

序説

この応用記述はATmega8への既存設計変換でのAT90S4433使用者を援助するための手引きです。ATmega8は90S4433より多くのフラッシュ、EEPROMメモリ空間を含み、追加の周辺機能部と特徴があります。2つのデバイスのピン配置が同じため、I/Oレジスタ アクセスへの少しの修正で、ATmega8は既存回路基板上のAT90S4433を置換できます。機能的な変更に加えてATmega8の電気的特性は製造技術変更による動作周波数の上昇を含めて異なります。詳細情報についてはデータシートを調べてください。

ATmega8でのAT90S4433障害修正

AT90S4433データシートでの以下の項目はATmega8に適用しません。障害のより多くの詳細情報についてはAT90S4433障害情報を参照してください。

ヒューズとプログラミング動作

直列プログラミング動作でのATmega8プログラミング時、これはヒューズのプログラミング後にフラッシュ メモリとEEPROMをプログラミングすることが可能です。直列プログラミング動作を抜け出す場合、プログラミング動作への再移行が可能です。

連続変換動作での不正なチャネル変更

ATmega8でのADMUXレジスタ内のMUXnとREFS1,0ビットは、CPUが乱アクセスするのに一時レジスタを通して緩衝されます。これはチャネルと基準電圧選択が変換中の安全な点でだけ実行されるのを保証します。連続変換動作でのこれらのレジスタ変更方法の助言と更なる情報についてはATmega8データシートを参照してください。

内部基準電圧安定時間

ATmega8ではデータシート内で指定された時間内の内部基準電圧安定が、低電圧検出(BOD)が許可されている、いないに依存しません。

低電圧検出(BOD:Brown-out Detection)レベル

ATmega8での低電圧検出レベルはI/Oピンの活動によって影響を及ぼされません。

電圧2.9V以下での直列プログラミング

デバイスがATmega8用データシートで規定した電圧と周波数範囲内で動作する限り、供給電圧とシステム周波数に制限はありません。

UART受信禁止時にRXD信号がLowの場合にUART同期消失

UARTはこの問題がないUSARTに置換されます。受信の開始端はUSART制御レジスタ内の受信許可ビットが設定(1)される場合だけ、有効として受け入れられます。



8ビット **AVR**[®]
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 2515D-07/03, 2515DJ5-04/21

ピン機能での違い

ATmega8にはAT90S4433にはない、I/Oピンのいくつかに交換機能があります。これは(AT90S4433に存在しない)その交換機能が使われない限り、コード移植時にどんな問題も生成しません。後続する副項目はAT90S4433からATmega8への設計移植時に設計者が考慮すべきピン機能に関連する項目を検討します。

PC6(RESET)

AT90S4433は専用のRESETピンを持ち、一方ATmega8はRESET機能とI/OピンPC6を組み合わせたピンを持ちます。I/Oピン機能はRSTDISBLヒューズのプログラム(0)によって許可されます。従ってAT90S4433からの設計移転時にRSTDISBLヒューズが非プログラム(1)にされているのを確認してください。

PB7,6(XTAL/TOSC)

AT90S4433はXTAL1とXTAL2に対して専用ピンを持ち、一方ATmega8はI/OピンPB7でのXTAL2とTOSC2、I/OピンPB6でのXTAL1とTOSC1を組み合わせます。そのピンをAT90S4433でのようにXTAL1とXTAL2専用にして、外部クォーツ発振子/セラミック振動子、外部低周波数クォーツ発振子、または外部クロック信号の何れかを選択するにはCKSELヒューズを設定してください。

ADC7,6

TQFP(とQFN/MLF)外周器のATmega8は2つのADCチャネル、ADC6とADC7を各々19番ピンと22番ピンで支援します。これらのピンは入力のみで、AT90S4433でこれらのピンがN.C.のため、AT90S4433置換時に回路基板上での問題を発生しないでしょう。

VCC/GND

TQFP(とQFN/MLF)外周器のATmega8は3番ピンでのGNDと6番ピンでのVCCの追加電力ピン対を支援します。これらのピンはATmega8が回路基板上のAT90S4433を直接置換する場合、接続の必要はありませんが、追加電力ピンが雑音耐性を改善するため、新規設定では、これらの使用が推奨されます。

名称変更

以下の制御ビットは変更された名称を持ちますが、AT90S4433としてのアクセス時、同じ位置と機能を持ちます。

表1. 変更されたビット名

AT90S4433でのビット名	ATmega8でのビット名	I/Oレジスタ(AT90S4433)	備考
PWM10	WGM10	TCCR1A	
PWM11	WGM11	TCCR1A	
CTC1	WGM12	TCCR1B	
CHR9	UCSZ2	UCSRB	
OR	DOR	UCSRA	
OCIE1	OCIE1A	TIMSK	ビット位置が変更されました。3頁の「TIMSKとTIFRのビット位置」をご覧ください。
OCF1	OCF1A	TIFR	ビット位置が変更されました。3頁の「TIMSKとTIFRのビット位置」をご覧ください。
WDTOE	WDCE	WDTCSR	直接的互換ではありません。7頁の「ウォッチドッグ タイマへの変更」をご覧ください。
AINBG	ACBG	ACSR	

以下のI/Oレジスタは変更された名称を持ちますが、AT90S4433としてのアクセス時、同じ位置と機能を含みます。

表2. 変更されたレジスタ名

AT90S4433でのビット名	ATmega8でのビット名	備考
EEAR	EEARL	メモリ容量がより大きいため、EEARは16ビットに拡張されています。
(EEAR)	EEARH	
SP	SPL	メモリ容量がより大きいため、SPは16ビットに拡張されています。
(SP)	SPH	
GIMSK	GICR	
MCUSR	MCUCSR	
UBRRHI	UBRRH	
WDTOE	WDCE	
AINBG	ACBG	レジスタは変更されたI/Oアドレスを持ちます。5頁の「SPIとUSARTへの改良」をご覧ください。

ATmega8の割り込みベクタ表はAT90S4433のものと異なります。この違いは表3.で一覧されます。

表3. 割り込みベクタの変更

ベクタ番号	プログラムアドレス	AT90S4433	ATmega8
1	\$0000	RESET	RESET
2	\$0001	INT0	INT0
3	\$0002	INT1	INT1
4	\$0003	タイマ/カウンタ1 CAPT	タイマ/カウンタ2 COMP2
5	\$0004	タイマ/カウンタ1 COMP	タイマ/カウンタ2 OVF2
6	\$0005	タイマ/カウンタ1 OVF1	タイマ/カウンタ1 CAPT
7	\$0006	タイマ/カウンタ0 OVF0	タイマ/カウンタ1 COMPA
8	\$0007	SPI STC	タイマ/カウンタ1 COMPB
9	\$0008	UART RX	タイマ/カウンタ1 OVF1
10	\$0009	UART UDRE	タイマ/カウンタ0 OVF0
11	\$000A	UART TX	SPI STC
12	\$000B	A/D変換器 ADC	UART RX
13	\$000C	EEPROM EE_RDY	UART UDRE
14	\$000D	アナログ比較器 ANA_COMP	UART TX
15	\$000E		A/D変換器 ADC
16	\$000F		EEPROM EE_RDY
17	\$0010		アナログ比較器 ANA_COMP
18	\$0011		2線直列インターフェース TWI
19	\$0012		SPM命令 SPM_RDY

注: 不一致は赤字で記されます。

タイマ/カウンタと前置分周器への改良

改良と付加機能についての詳細に関してはデータシートを参照してください。以下の特徴が追加されています。

- ATmega8の前置分周器はリセットできます。
- PWM動作での可変上限(TOP)値
- タイマ/カウンタ1に対し、位相基準PWM動作(タイマ/カウンタ2でも)に加えて位相/周波数基準PWM動作
- 高速PWM動作

ATmega8とAT90S4433間の違い

改良と変更の多くは全てのタイマ/カウンタに適用され、以下の記述は一般形で書かれています。小文字の'x'は出力チャンネル(タイマ/カウンタ1についてはAまたはB、タイマ/カウンタ0については利用不可)の置き換えで、一方'n'はタイマ/カウンタ番号(n=0または1)の置き換えです。AT90S4433にタイマ/カウンタ2は存在しません。

TIMSKとTIFRのビット位置

AT90S4433での全ての割り込み許可ビットとそのフラグはATmega8に存在しますが、同じ位置ではありません。表4.はTIMSKとTIFRのレジスタに関するAT90S4433でのビット位置とATmega8でのビット位置の間の対応を示します。

表4. TIMSKとTIFR内のビット位置

TIMSK	TIFR	AT90S4433 ビット位置	ATmega8 ビット位置
TOIE1	TOV1	7	2
OCIE1	OCF1	6	4
TCIE1	ICF1	3	5
TOIE0	TOV0	1	0

PWM動作でのTCNT1解除

AT90S4433では3つのPWM分解能、8,9,または10ビットがあります。8,9,または10ビットだけが比較されるにも拘らず、TCNT1内に分解能を越えて値を書くことが可能です。故にタイマ/カウンタは減少した分解能が効果を表す前に\$FFFFへの計数を完了しなければなりません(例えば、8ビット分解能が選択され、TCNT1が\$0100を含む場合、上限値(\$FF)はカウンタが\$FFFFへ上昇計数し、\$0000へ下降計数して再び上昇計数するまで効果を発揮しません)。ATmega8では、この予期せぬ\$FFFFへの上昇計数を避けるために、TCNT1の未使用ビットが0に解除されるように変更されました。ATmega8では選択した分解能を決して超えません。

ATmega8 TCNT1レジスタの未使用上位ビットは前置分周したクロックの最初の上昇端で解除(0)されます。

- 8ビットPWM : TCNT1H7~0=0
- 9ビットPWM : TCNT1H7~1=0
- 10ビットPWM : TCNT1H7~2=0

AT90S4433 TCNT1Hは解除(0)されません。

PWM動作でのOCR1xH解除

PWM動作でのOCR1xH解除はTCNT1解除と僅かに異なります。AT90S4433は8,9,または10ビットPWM動作が選択された場合、上位6ビットを解除(0)します。従ってPWM動作でOCR1xに\$FFFFが書かれ、OCR1xが読み戻されると、その結果は選択されたPWM動作に拘らず\$03FFです。ATmega8で解除(0)するビット数は分解能に依存します。

ATmega8 OCR1AHとOCR1BH内の上位ビットは、それらがカウンタの上限(TOP)値で更新される時に解除(0)されます。

- 8ビットPWM : OCR1xH7~0=0
- 9ビットPWM : OCR1xH7~1=0
- 10ビットPWM : OCR1xH7~2=0

AT90S4433 OCR1AHとOCR1BH内の上位6ビットは分解能に拘らず解除(0)されます。

前置分周器ありの比較一致でのタイマ/カウンタ1解除

比較一致での解除とタイマ/カウンタの内部計数間の関連は変更されています。AT90S4433での比較一致での解除は比較値と一致する最初の内部計数後にタイマ/カウンタを解除し、これに反してATmega8は比較値と一致する最後の内部計数後に、タイマ/カウンタを解除します。解除、フラグ設定、ピン変更の詳細については図1.と図2.をご覧ください。

例: 前置分周器許可(8分周)時のOCRnx=\$02

図1. AT90S4433に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	0	0	0	0	0	0	0	1	1	1	1	1	1	2	0	0	0	0	0	0	0
フラグ/ピン																																				

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

図2. ATmega8に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	2	2	2	2	2	2	2	0	0	0	0	0	0	0	0	1	1	1	1	1	1	2	2
フラグ/ピン																																				

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

前置分周器許可での比較出力ピン/フラグの設定 (全タイマ/カウンタに適用)

比較出力とタイマ/カウンタの内部計数間の関連は変更されています。AT90S4433での比較出力は比較値と一致する最初の内部計数後に比較出力ピン/フラグを設定し、これに反してATmega8は比較値と一致する最後の内部計数後に比較出力ピン/フラグを設定します。比較出力フラグ設定とピン変更の詳細については図3.と図4.をご覧ください。

例: 前置分周器許可(8分周)時のOCRnx=\$02

図3. AT90S4433に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	2	2	2	2	2	2	2	3	3	3	3	3	3	4	4	4	4	4	4	4	5	5
フラグ/ピン																																			

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

図4. ATmega8に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	2	2	2	2	2	2	2	3	3	3	3	3	3	4	4	4	4	4	4	4	5	5
フラグ/ピン																																			

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

PWM動作でOCR1x書き、上限(TOP)でのOCR1x更新前に標準動作へ変更、OCR1x読み (16ビット タイマ/カウンタのみ適用)

データシートで記述されるように、OCR1xレジスタはそれが書かれると、上限(TOP)値で更新されます。従ってPWM動作でのOCR1x書き込み時、その値は一時緩衝部に格納されます。タイマ/カウンタが上限に到達するとき、一時緩衝部(内容)が実際の比較出力レジスタに転送されます。一時緩衝部が書かれた後であるけれど、実際の比較出力レジスタが更新される前にPWM動作を抜けた場合、その動作はATmega8とAT90S4433間で違います。

ATmega8 更新が行われる前にOCR1xレジスタが読まれる場合、OCR1x一時緩衝部ではなく、実際の比較値が読まれます。

AT90S4433 更新が行われる前にOCR1Aレジスタが読まれる場合、OCR1A一時緩衝部内の値が読まれます。例えば読まれた値は最後に(OCR1A一時緩衝部へ)書かれたものですが、タイマ/カウンタが決して上限値に到達しないため、それはOCR1Aレジスタ内にラッチされません。従って比較に使われる値は必ずしも読まれた値と同じではありません。

注: これは16ビット タイマ/カウンタだけに適用され、ATmega8の8ビット タイマ/カウンタ2については一時緩衝部が読まれます。

直前のOCnxピンレベルの記憶

AT90S4433にはPWM動作でのOCnxピン更新なしの2つのCOMnx1,0(00と01)設定と非PWM動作での1つのCOMnx1,0(00)設定があります。タイマ/カウンタの仮定はOCnxピンを更新する状態から更新しない状態へ持って行き。そして再びOCnxピンを更新する状態へ戻します。以下の違いが留意されるべきです。

ATmega8 比較出力動作禁止前のOCnxピンのレベルが記憶されます。比較出力再許可はそれが禁止された状態からの動作再開をOCnxピンにさせます。全ての比較出力ピンはリセットで0に初期化されます。

AT90S4433 非PWM動作でのタイマ/カウンタに対して、タイマ/カウンタがピンに接続されていない間の比較一致は、再許可でOC1ピンをLowレベルにリセットするでしょう。PWM動作は再許可でピンの状態が未知となるような、OC1ピンに対する内部レジスタを更新します。8ビット タイマ/カウンタに対する比較出力ピンの状態は、比較出力ピンの再許可時に未知です。

A/D変換器への改良

ATmega8のA/D変換器は次によって改良されています。

- ATmega8は左揃えと右揃えした10ビット結果の両方を支援します。
- 2つの追加ADCチャネル (QFN/MLFとTQFP外囲器のみ)

ATmega8で入力チャネルADC4とADC5が他のADCチャネルより低い精度を持つことに注意すべきです。これはこれらのピンが2線直列インターフェースと共用され、故に内部的にAVCCではなく、デジタル電力ピンVCCから給電されるためです。これはAT90S4433に対する条件ではありません。ADCチャネルの精度に関する情報についてはデータシートの「電気的特性」章を調べてください。

ADMUXレジスタのADCBGビットはAT90S4433のA/D変換器へ入力として内部基準電圧を選択します。同じ事はATmega8でMUX3~0=1110設定によって得られます。REFS1,0ビットはAT90S4433での未使用位置とADCBGに対するビット位置を置換します。これらのビットは基準電圧を決め、A/D変換器への入力と少しも関係ありません。

電力管理への改良

ATmega8はAT90S4433より多くの休止形態を含みます。これはAT90S4433でのSMビットがATmega8でSM2~0へ拡張されていることを意味します。AT90S4433でのSM=0はATmega8でのSM2~0=000に対応し、AT90S4433でのSM=1はATmega8でのSM2~0=010に対応します。

EEPROM書き込みアクセスがパワーダウン休止形態移行前に完了されなければならないことに注意してください。さもなければシステム発振器は継続して走行し、追加電流を流します。

重要: SE用のビット位置はAT90S4433からATmega8へで変更されています。SE, SM2~0と追加休止形態の記述についてはATmega8のデータシートをご覧ください。

SPIとUARTへの改良

SPIとUARTの両方にはより高い通信速度を許す、新しい倍速動作があります。

AT90S4433でのUARTはATmega8でUSARTに置換されています。ATmega8のUSARTは次の1つの例外付きでAT90S4433のUARTと互換です。2段の受信レジスタがFIFOとして働きます。以下が留意されなければなりません。

- 第2緩衝レジスタが追加されています。2つの緩衝レジスタは巡回FIFO緩衝部として動作します。従ってUDRは到着データ毎に1度だけ読まれなければなりません。最も重要なのは異常フラグ(FEとDOR)とデータ第9ビット(RXB8)が受信緩衝部内でデータと共に緩衝されることです。従って、この状態ビットは常にUDRレジスタが読まれる前に読まれなければなりません。さもなければ、この異常状態は失われます。
- 今や受信部移動レジスタは第3緩衝段として働きます。これは緩衝レジスタが一杯なら新規開始ビットを検出するまで、受信したデータが直列移動レジスタに留まるのを許すことによって行われます。従ってUSARTはデータ オーバラン(DOR)状態により耐えます。

UBRRHIレジスタはAT90S4433でアドレス\$03(\$23)です。ATmega8で、このレジスタはアドレス\$20(\$40)へ移動され、このアドレスでアクセスするUBRRHまたはUCSRCレジスタをURSELビットが選択します。UBRRHIレジスタへデータを書く時にURSELビットに0を書いてください。

その他の小さな違いはAT90S4433のUARTで1、ATmega8のUSARTで0となる、RXB8の初期値です。

EEPROM書き込みタイミングでの変更

AT90S4433でのEEPROM書き込み時間は供給電圧に依存し、代表的には2.5ms/VCC=5V、4ms/VCC=2.7Vです。ATmega8でのEEPROM書き込み時間は(システムクロックに対するクロック元と周波数に拘らず)校正付き内蔵RC発振器で8448周期かかります。この校正付き内蔵RC発振器はVCCに拘らず1.0MHzに校正されている仮定で、代表的な書き込み時間は8.4msです。

注: OSCCALレジスタ内での値変更は校正付き内蔵RC発振器の周波数、故にEEPROM書き込み時間に影響を及ぼします。

プログラミング インターフェース

プログラミング インターフェース、特に実装書き込み(ISP: In-System Programming)インターフェースにいくつかの変更が行われています。これはATmega8での全追加ヒューズを支援するために行われました。タイミングの必要条件は変更されていません。詳細についてはATmega8データシートをご覧ください。

並列プログラミング法が変更されました。最も重要な変更はATmega8でPAGELピンがPD7に配置され、同時にBS2がPC2に配置されることです。この変更はATmega8でのフラッシュメモリとEEPROMのページ書き込みと追加ヒューズ支援に必要とされます。追加ヒューズと施錠のビットもヒューズ書き込み法での変更を必要とすることに注意してください。並列プログラミングに対するタイミングの必要条件が変更されています。詳細についてはATmega8データシートをご覧ください。

STK500はATmega8の実装書き込み(ISP)と並列プログラミングの両方を支援します。

ヒューズ設定

ATmega8はAT90S4433より多くのヒューズを内包します。表5.はATmega8のAT90S4433互換ヒューズ設定を示します。いくつかのヒューズは後続章で更に記述されます。

表5. AT90S4433とATmega8でのヒューズ比較

ヒューズ	AT90S4433既定設定	ATmega8既定設定	AT90S4433互換設定
RSTDISBL	-	1	1
WDTON	-	1	1 (注2)
SPIEN	0	0	0
CKOPT	-	1	1 (注3)
EESAVE	-	1	1
BOOTSZ1	-	0	0 (N/A) (注4)
BOOTSZ0	-	0	0 (N/A) (注4)
BOOTRST	-	1	1
BODLEVEL	1	1	1
BODEN	1	1	1
SUT1	-	1	(注5)参照
SUT0	-	0	(注5)参照
CKSEL3	-	0	(注5)参照
CKSEL2	0	0	(注5)参照
CKSEL1	1	0	(注5)参照
CKSEL0	0	1	(注5)参照

注1: '-'はそのヒューズがAT90S4433に存在しないことを表します。

注2: 7頁の「[ウォッチドッグ タイマへの変更](#)」をご覧ください。

注3: 7頁の「[発振器と起動遅延設定](#)」をご覧ください。

注4: SPM命令と自己プログラミングはAT90S4433で利用できません。BOOTSZ1,0の既定工場設定はATmega8への移転時に有効です。

注5: SUTとCKSELの設定はATmega8への移行時に再考されるべきです。7頁の「[発振器と起動遅延設定](#)」をご覧ください。

発振器と起動遅延設定

ATmega8はAT90S4433より多くの発振器と起動時間設定を提供します。パワーダウン動作からの起動復帰中、ATmega8は起動遅延を決めるのにCPU周波数を使い、一方AT90S4433はウォッチドッグ タイマ(WDT)発振器周波数で遅延を決めます。

適切な起動値を見つけるには、ATmega8データシートの「システム クロックとクロック任意選択」章の指針に従ってください。

実装書き込み(ISP)動作でヒューズを変更する時に特別な注意が祓われなければなりません。ISPはシステム クロックに依存します。不正な発振器設定が書かれると、システム クロックを誤るためにISP動作への再移行が不可能になるかもしれません(その後に並列プログラミング動作が使われなければなりません)。

AT90S4433でのクリスタル用発振器はXTAL2出力から付加クロック緩衝器を駆動する能力があります。ATmega8で、これはCKOPTヒューズがプログラム(0)される時にだけ可能です。この動作での発振器は電源電圧幅の振幅出力を持ちますが、より高い電力消費を犠牲にします。従って電源電圧幅振幅が必要とされる時にだけ、このヒューズをプログラム(0)してください。

ウォッチドッグ タイマへの変更

ATmega8のウォッチドッグ タイマはAT90S4433のそれに比べて改良されています。AT90S4433でのウォッチドッグ タイマは許可か禁止のどちらかで、一方ATmega8はWDTONヒューズによって選択する2つ安全レベルを支援します。図6.は初期状態とウォッチドッグ タイマの計時完了時間変更法、禁止法に関する2つのデバイスについての動きを要約します。

表6. AT90S4433とATmega8でのウォッチドッグ タイマ(WDT)設定

デバイス	WDTON	安全レベル	WDT初期状態	WDT禁止法	計時完了時間変更法
AT90S4433	なし	なし	禁止	時間制限	制限なし
ATmega8	非プログラム(1)	1	許可	時間制限	時間制限
	プログラム(0)	2	許可	常時許可(禁止不可)	時間制限

ATmega8での安全レベルなしがAT90S4433の動きと正確に一致すると思えるかもしれませんが、安全レベル1の使用によって、違いは計時完了時間変更に対して時間制限手順を必要とするだけです。

ATmega8でのウォッチドッグ 発振器周波数は全供給電圧に対して1.0MHzに近い周波数です。AT90S4433でのウォッチドッグ 発振器の代表的な周波数は5Vで1.0MHzに近い周波数ですが、VCCの減少で計時完了時間が増加します。これは(ウォッチドッグ 発振器周期数の項目で)ウォッチドッグ タイマに対する計時完了時間選択がATmega8への設計移転時に再考されなければならないことを意味します。更なる情報についてはATmega8用データシートを参照してください。

その他関連

ATmega8の識票バイトはAT90S4433で使っていたものと異なります。設計移転時、ATmega8の識票使用を確認してください。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2003.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。
本書中の製品名などは、一般的に商標です。

© HERO 2021.

本応用記述はAtmelのAVR081応用記述(doc2515.pdf Rev.2515D-07/03)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。