

AVR085 : ATmega8515によるAT90S8515置換

要点

- ATmega8515でのAT90S8515障害修正
- 名称変更
- タイマ/カウンタと前置分周器への改良
- 外部メモリ インターフェースへの改良
- SPIとUARTへの改良
- EEPROM書き込みタイミングでの変更
- プログラミング インターフェース
- ヒューズ設定
- 発振器と起動遅延選択
- ウォッチドッグ タイマへの変更
- その他関連
- AT90S8515互換動作で利用できない機能

序説

この応用記述はATmega8515への既存設計変換でのAT90S8515使用者を援助するための手引きです。ATmega8515にはヒューズ設定を通して選択する2つの動作種別があります。S8515CヒューズはAT90S8515互換動作が使われるべきか、またはそうでないかのどちらかを選択します。既定でのS8515Cヒューズは非プログラム(1)で、ATmega8515は互換動作で動きません。互換動作が使われるとき、矛盾しない増強だけがAT90S8515と異なるデバイスにします。加えてATmega8515の電気的特性は製造技術変更による動作周波数の上昇を含めて異なります。詳細情報についてはデータシートを調べてください。S8515Cヒューズが非プログラム(1)にされると、全新機能が支援されますが、コード移転はより多くの作業を必要とするかもしれません。

ATmega8515でのAT90S8515障害修正

AT90S8515データシートでの以下の項目はATmega8515に適用しません。障害のより多くの詳細情報についてはAT90S8515障害情報を参照してください。

注: これらの障害のいくつかはAT90S8515の最終版で修正されています。これらはどのAT90S8515設計からも容易に変換するために、未だ参照されます。

外部メモリ アクセス時のLDS/STS

LDSとSTSの命令はATmega8515内のどのレジスタも不正にしません。

EEPROMアクセス時のSTS

ATmega8515でのSTS命令は命令実行中の希望しないどんな動きもなしに、EEPROM書き込み(EECRでのEEWE)を開始するのに使えます。

COM1B設定が決してOC1Bを切断しない

ATmega8515でのタイマ/カウンタ1は非PWM動作でのCOM1B1,0=00と、PWM動作でのCOM1B1,0=00または01の場合にOC1Bから切り離されます。これは標準ポート機能がそのピンを制御することを意味します。AT90S8515互換動作でのOC1Bはタイマ/カウンタ1が切断されているとき、Lowです(けれどもHi-Zではありません)。

UART受信禁止時にRXD信号がLowの場合にUART同期消失

UARTはこの問題がないUSARTに置換されます。受信の開始端はUSART制御レジスタ内の受信許可ビットが設定(1)される場合だけ、有効として受け入れられます。

クロックなしでのリセット状態開放

ATmega8515は、例え最小パルス幅tRSTを越える何れかの外部リセットパルスが、何れかの有効なクロック存在前にその状態が消滅しても内部リセットを起す、新しいリセット インターフェースを持ちます。

高VCCでの施錠ビット

デバイスがATmega8515用データシートで規定した電圧と周波数範囲内で動作する限り、供給電圧とシステム周波数に制限はありません。



8ビット **AVR**[®]
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 2519C-01/04, 2519CJ4-04/21

SPIの不正なバイト送信

ATmega8515では直前の転送終了と同じクロック端で新規バイトがSPIデータレジスタに書けます。主装置動作での操作時、新規バイトをSPIデータレジスタ内へ書く前に直前の転送完了を待つ必要はありません。

EEPROM書き込み中のリセット

EEPROM書き込み中にATmega8515でリセットまたは電源OFFが起きると、書き込み位置が不正となるかもしれませんが、ATmega8515は書かれていたバイト以外の他の何れの位置も不正にしません。

リセット後のSPI割り込み要求フラグが不定

ATmega8515はSPI割り込み要求フラグを0にリセットします。

電圧3.0V以下での直列プログラミング

デバイスがATmega8515用データシートで規定した電圧と周波数範囲内で動作する限り、供給電圧とシステム周波数に制限はありません。

スキップ命令実行中の割り込み

ATmega8515の割り込みはスキップ命令が2語命令をスキップする割り込み時も、常に正しい戻りアドレスを格納します。

名称変更

以下の制御ビットは変更された名称を持ちますが、AT90S8515としてのアクセス時、同じ位置と機能を持ちます。

表1. 変更されたビット名

AT90S8515でのビット名	ATmega8515でのビット名	I/Oレジスタ(AT90S8515)	備考
PWM10	WGM10	TCCR1A	
PWM11	WGM11	TCCR1A	
CTC1	WGM12	TCCR1B	
WDTOE	WDCE	WDTCR	6頁の「ウォッチドッグ タイマへの変更」をご覧ください。
CHR9	UCSZ2	UCR	
OR	DOR	USR	
SM	SM1	MCUCR	4頁の「電力管理への改良」をご覧ください。

以下のI/Oレジスタは変更された名称を持ちますが、AT90S8515としてのアクセス時、同じ位置と機能を含みます。

表2. 変更されたレジスタ名

AT90S8515でのレジスタ名	ATmega8515でのレジスタ名	備考
GIMSK	GICR	
MCUSR	MCUCSR	
UBRR	UBRR0L	
USR	UCSRA	
UCR	UCSRB	

タイマ/カウンタと前置分周器への改良

改良と付加機能についての詳細に関してはデータシートを参照してください。以下の特徴が追加されています。

- ATmega8515の前置分周器はリセットできます。
- PWM動作での可変上限(TOP)値
- タイマ/カウンタ1に対し、位相基準PWM動作に加えて位相/周波数基準PWM動作
- 高速PWM動作
- PWMと比較出力機能が拡張されたタイマ/カウンタ0

ATmega8515とAT90S8515間の違い

改良と変更の多くは全てのタイマ/カウンタに適用され、以下の記述は一般形で書かれています。小文字の'x'は出力チャネル(タイマ/カウンタ1についてはAまたはB、タイマ/カウンタ0については利用不可)の置き換えで、一方'n'はタイマ/カウンタ番号(n=0または1)の置き換えです。

PWM動作でのTCNT1解除

AT90S8515では3つのPWM分解能、8,9,または10ビットがあります。8,9,または10ビットだけが比較されるにも拘らず、**TCNT1**内に分解能を越えて値を書くことが可能です。故にタイマ/カウンタは減少した分解能が効果を表す前に\$FFFFへの計数を完了しなければなりません(例えば、8ビット分解能が選択され、**TCNT1**が\$0100を含む場合、上限値(\$FF)はカウンタが\$FFFFへ上昇計数し、\$0000へ下降計数して再び上昇計数するまで効果を発揮しません)。ATmega8515では、この予期せぬ\$FFFFへの上昇計数を避けるために、**TCNT1**の未使用ビットが**0**に解除されるように変更されました。ATmega8515では選択した分解能を決して超えません。

ATmega8515 **TCNT1**レジスタの未使用上位ビットは前置分周したクロックの最初の上昇端で解除(**0**)されます。

- 8ビットPWM : TCNT1H7~0=0
- 9ビットPWM : TCNT1H7~1=0
- 10ビットPWM : TCNT1H7~2=0

AT90S8515 **TCNT1H**は解除(**0**)されません。

PWM動作でのOCR1xH解除

PWM動作での**OCR1xH**解除は**TCNT1**解除と僅かに異なります。AT90S8515は8,9,または10ビットPWM動作が選択された場合、上位6ビットを解除(**0**)します。従ってPWM動作で**OCR1x**に\$FFFFが書かれ、**OCR1x**が読み戻されると、その結果は選択されたPWM動作に拘らず\$03FFです。ATmega8515で解除(**0**)するビット数は分解能に依存します。

ATmega8515 **OCR1AH**と**OCR1BH**内の上位ビットは、それらがカウンタの上限(TOP)値で更新される時に解除(**0**)されます。

- 8ビットPWM : OCR1xH7~0=0
- 9ビットPWM : OCR1xH7~1=0
- 10ビットPWM : OCR1xH7~2=0

AT90S8515 **OCR1AH**と**OCR1BH**内の上位6ビットは分解能に拘らず解除(**0**)されます。

前置分周器ありの比較一致でのタイマ/カウンタ1解除

比較一致での解除とタイマ/カウンタ1の内部計数間の関連は変更されています。AT90S8515での比較一致での解除は比較値と一致する最初の内部計数後にタイマ/カウンタを解除し、これに反してATmega8515は比較値と一致する最後の内部計数後にタイマ/カウンタを解除します。解除、フラグ設定、ピン変更の詳細については図1.と図2.をご覧ください。

例: 前置分周器許可(8分周)時の**OCRnx**=\$02

図1. AT90S8515に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	0	0	0	0	0	0	0	1	1	1	1	1	1	2	0	0	0	0	0	0	0
フラグ/ピン																																				

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

図2. ATmega8515に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	2	2	2	2	2	2	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	2
フラグ/ピン																																						

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

前置分周器許可での比較出力ピン/フラグの設定

比較出力とタイマ/カウンタ1の内部計数間の関連は変更されています。AT90S8515での比較出力は比較値と一致する最初の内部計数後に比較出力ピン/フラグを設定し、これに反してATmega8515は比較値と一致する最後の内部計数後に比較出力ピン/フラグを設定します。比較出力フラグ設定とピン変更の詳細については図3.と図4.をご覧ください。

例: 前置分周器許可(8分周)時の**OCRnx**=\$02

図3. AT90S8515に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	2	2	2	2	2	2	3	3	3	3	3	3	3	4	4	4	4	4	4	4	5	5
フラグ/ピン																																					

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

図4. ATmega8515に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	2	2	2	2	2	2	3	3	3	3	3	3	4	4	4	4	4	4	4	5	5	
フラグ/ピン																																					

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

PWM動作でOCR1x書き、上限(TOP)でのOCR1x更新前に標準動作へ変更、OCR1x読み

データシートで記述されるように、OCR1xレジスタはそれが書かれると、上限(TOP)値で更新されます。従ってPWM動作でのOCR1x書き込み時、その値は一時緩衝部に格納されます。タイマ/カウンタが上限に到達するとき、一時緩衝部(内容)が実際の比較出力レジスタに転送されます。一時緩衝部が書かれた後であるけれど、実際の比較出力レジスタが更新される前にPWM動作を抜けた場合、その動作はATmega8515とAT90S8515間で違います。

ATmega8515 更新が行われる前にOCR1xレジスタが読まれる場合、OCR1x一時緩衝部ではなく、実際の比較値が読まれます。

AT90S8515 更新が行われる前にOCR1xレジスタが読まれる場合、OCR1x一時緩衝部内の値が読まれます。例えば読まれた値は最後に(OCR1x一時緩衝部へ)書かれたものですが、タイマ/カウンタが決して上限値に到達しないため、それはOCR1xレジスタ内にラッチされません。従って比較に使われる値は必ずしも読まれた値と同じではありません。

直前のOCnxピンレベルの記憶

AT90S8515にはPWM動作でのOCnxピン更新なしの2つのCOMnx1,0(00と01)設定と非PWM動作での1つのCOMnx1,0(00)設定があります。タイマ/カウンタの仮定はOCnxピンを更新する状態から更新しない状態へ持って行き。そして再びOCnxピンを更新する状態へ戻します。以下の違いが留意されるべきです。

ATmega8515 比較出力動作禁止前のOCnxピンのレベルが記憶されます。比較出力再許可はそれが禁止された状態からの動作再開をOCnxピンにさせます。全ての比較出力ピンはリセットで0に初期化されます。

AT90S8515 非PWM動作でのタイマ/カウンタ1に対して、タイマ/カウンタがピンに接続されていない間の比較一致は、再許可でOCnxピンをLowレベルにリセットするでしょう。PWM動作は再許可でピンの状態が未知となるような、OCnxピンに対する内部レジスタを更新します。

外部メモリ インターフェースへの改良

ATmega8515のアドレス/データ組み合わせポートは新しいアドレスが設定されるまでデータを出力します。変更タイミングの詳細についてはATmega8515データシートを参照してください。

電力管理への改良

ATmega8515はAT90S8515より多くの休止形態を含みます。これはAT90S8515でのSMビットがATmega8515でSM2~0へ拡張されていることを意味します。AT90S8515でのSM=0はATmega8515でのSM2~0=000に対応し、AT90S8515でのSM=1はATmega8515でのSM2~0=010に対応します。

けれどもEEPROM書き込みアクセスがパワーダウン休止形態移行前に完了されなければならないことに注意してください。さもなければシステム発振器は継続して走行し、追加電流を流します。

追加された休止形態の記述についてはATmega8515用データシートをご覧ください。

SPIとUARTへの改良

SPIとUARTの両方にはより高い通信速度を許す、新しい倍速動作があります。

AT90S8515でのUARTはATmega8515でUSARTに置換されています。ATmega8515のUSARTは次の1つの例外付きでAT90S8515のUARTと互換です。2段の受信レジスタがFIFOとして働きます。このFIFOはS8515Cヒューズがプログラム(0)されると禁止されます。尚、S8515Cヒューズがプログラム(0)される時、以下が留意されなければなりません。

- UDRは到着データ毎に1度だけ読まれなければなりません。
- 異常フラグ(FEとDOR)とデータ第9ビット(RXB8)は受信緩衝部内でデータと共に緩衝されます。従って、この状態ビットは常にUDRレジスタが読まれる前に読まれなければなりません。さもなければ、この異常状態は失われます。

その他の小さな違いはAT90S8515のUARTで1、ATmega8515のUSARTで0となる、RXB8の初期値です。

EEPROM書き込みタイミングへの変更

AT90S8515でのEEPROM書き込み時間は供給電圧に依存し、代表的には2.5ms/VCC=5V、4ms/VCC=2.7Vです。ATmega8515でのEEPROM書き込み時間は(システムクロックに対するクロック元と周波数に拘らず)校正付き内蔵RC発振器で8448周期かかります。この校正付き内蔵RC発振器はVCCに拘らず1.0MHzに校正されている仮定で、代表的な書き込み時間は8.4msです。

注: OSCCALレジスタ内の値変更は校正付き内蔵RC発振器の周波数、故にEEPROM書き込み時間に影響を及ぼします。

プログラミング インターフェースへの変更

プログラミング インターフェースにいくつかの変更、換言するとプログラム メモリのバイト書き込みがページ書き込みで置換が行われています。詳細についてはATmega8515データシートをご覧ください。

並列プログラミング法が変更されています。最も重要な変更はPD7のPAGELピンとPA0のBS2ピンの導入です。この拡張はATmega8515でのフラッシュ メモリ、EEPROMのページ書き込みと追加ヒューズ支援に必要とされます。並列プログラミングに対するタイミングの必要条件が変更されています。詳細についてはATmega8515データシートをご覧ください。

STK500はATmega8515の実装書き込み(ISP)と並列プログラミングの両方を支援します。

ヒューズ設定

ATmega8515はAT90S8515より多くのヒューズを含みます。表3はATmega8515の推奨AT90S8515互換ヒューズ設定を示します。いくつかのヒューズは後続章で更に記述されます。

表3. AT90S8515とATmega8515でのヒューズ比較

ヒューズ	AT90S8515既定設定	ATmega8515既定設定	AT90S8515互換設定
S8515C	-	1	0
WDTON	-	1	1
SPIEN	0	0	0
CKOPT	-	1	0 (注2)
EESAVE	-	1	1
BOOTSZ1	-	0	0 (N/A) (注3)
BOOTSZ0	-	0	0 (N/A) (注3)
BOOTRST	-	1	1
BODLEVEL	-	1	1
BODEN	-	1	1
SUT1	-	1	(注4)参照
SUT0	-	0	(注4)参照
CKSEL3	-	0	(注4)参照
CKSEL2	-	0	(注4)参照
CKSEL1	-	0	(注4)参照
CKSEL0	-	1	(注4)参照

注1: '-'はそのヒューズがAT90S8515に存在しないことを表します。

注2: 以下の「発振器と起動遅延選択」をご覧ください。

注3: SPM命令と自己プログラミングはAT90S8515互換動作で利用できません。BOOTSZ1,0の既定工場設定はATmega8515への移転時に有効です。

注4: ATmega8515でのSUTヒューズはAT90S8515でのFSTRTヒューズを置き換えます。SUTとCKSELの設定はATmega8515への移行時に再考されるべきです。以下の「発振器と起動遅延選択」をご覧ください。

発振器と起動遅延選択

ATmega8515はAT90S8515より多くの発振器と起動時間設定を提供します。パワーダウン動作からの起動復帰中、ATmega8515は起動遅延を決めるのにCPU周波数を使い、一方AT90S8515はウォッチドッグ タイマ(WDT)発振器周波数で遅延を決めます。

適切な起動値を見つけるには、ATmega8515データシートの「システム クロックとクロック任意選択」章の指針に従ってください。

実装書き込み(ISP)動作でヒューズを変更する時に特別な注意が扱われなければなりません。ISPはシステム クロックに依存します。不正な発振器設定が書かれると、システム クロックを誤るためにISP動作への再移行が不可能になるかもしれません(その後に並列プログラミング動作が使われなければなりません)。

AT90S8515での水晶用発振器はXTAL2出力から付加クロック緩衝器を駆動する能力があります。ATmega8515で、これはCKOPTヒューズがプログラム(0)される時にだけ可能です。この動作での発振器は電源電圧幅の振幅出力を持ちますが、より高い電力消費を犠牲にします。従って電源電圧幅振幅が必要とされる時にだけ、このヒューズをプログラム(0)してください。

ウォッチドッグ タイムへの変更

ATmega8515のウォッチドッグ タイムはAT90S8515のそれに比べて改良されています。AT90S8515でのウォッチドッグ タイムは許可か禁止のどちらかで、一方ATmega8515はWDTONヒューズによって選択する2つ安全レベルを支援します。更なる情報についてはATmega8515データシートでの記述をご覧ください。

S8515Cヒューズのプログラム(0)とWDTONヒューズの非プログラム(1)の組み合わせは、正確にAT90S8515でのような動作をウォッチドッグ タイムにさせます。

ATmega8515でのウォッチドッグ 発振器周波数は全供給電圧に対して1.0MHzに近い周波数です。AT90S8515でのウォッチドッグ 発振器の代表的な周波数は5Vで1.0MHzに近い周波数ですが、VCCの減少で計時完了時間が増加します。これはウォッチドッグ 発振器周期数の項目でウォッチドッグ タイムに対する計時完了時間選択がATmega8515への設計移転時に再考されなければならないことを意味します。更なる情報についてはATmega8515用データシートを参照してください。

その他関連

ATmega8515はAT90S8515で使っていたものと異なる識票バイトを持ちます。設計移転時、ATmega8515の識票バイト使用を確認してください。

ISPプログラミング方法がAT90S8515からATmega8515へで変更されていることに注意してください。ATmega8515はページ単位書き込みを使い、一方AT90S8515はフラッシュ メモリのバイト単位書き込みを使います。更なる詳細についてはデータシートをご覧ください。

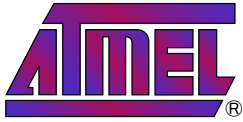
AT90S8515互換動作で利用できない機能

S8515CヒューズはATmega8515をAT90S8515互換にします。けれどもS8515Cヒューズのプログラム(0)で、ATmega8515のいくつかの新機能が利用不能になります。以下の機能はATmega8515がAT90S8515互換動作で使われる時に支援されません。

- USARTのFIFO動作
- ソフトウェアによるウォッチドッグ タイム前置分周器変更のための時間制限手順
- ポートE (AT90S8515互換動作では専用機能のみ)

上記の機能のいくつかが必要または欲し、S8515Cヒューズが非プログラム(1)にされる場合、これは互換ヒューズがプログラム(0)されている限り存在しないATmega8515とAT90S8515間の様々な違いを誘引します。

- ポートEはリセット時にPE1とPE2で\$00駆動に初期化されませんが、他の全ポートと(同じ)Hi-Zにされます。
- ソフトウェアによるウォッチドッグ タイム前置分周器設定変更のため、時間制限手順に従わなければなりません。
- USARTはデータ オーバーラン(DOR)フラグが設定(1)される前に、受信すべき複数バイト データを許す、追加入力緩衝部を持ちます。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2004.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。
本書中の製品名などは、一般的に商標です。

© HERO 2021.

本応用記述はAtmelのAVR085応用記述(doc2519.pdf Rev.2519C-01/04)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。