

AVR086 : ATmega8535によるAT90S8535置換

要点

- ATmega8535でのAT90S8535障害修正
- 名称変更
- タイマ/カウンタと前置分周器への改良
- A/D変換器への改良
- SPIとUARTへの改良
- EEPROM書き込みタイミングへの変更
- プログラミング インターフェース
- ヒューズ設定
- 発振器と起動遅延選択
- ウォッチドッグ タイマへの変更
- その他関連
- AT90S8535互換動作で利用できない機能

1. 序説

この応用記述はATmega8535への既存設計変換でのAT90S8535使用者を援助するための手引きです。ATmega8535にはヒューズ設定を通して選択する2つの動作種別があります。S8535CヒューズはAT90S8535互換動作が使用されるべきか、またはそうでないかのどちらかを選択します。既定でのS8535Cヒューズは非プログラム(0)で、ATmega8535は互換動作で動きません。互換動作が使用されるとき、矛盾しない増強だけがAT90S8535と異なるデバイスにします。加えてATmega8535の電気的特性は製造技術変更による動作周波数の上昇を含めて異なります。詳細情報についてはデータシートを調べてください。S8535Cヒューズが非プログラム(1)にされると、全新機能が支援されますが、コード移転はより多くの作業を必要とするかもしれません。

2. ATmega8535でのAT90S8535障害修正

AT90S8535データシートでの以下の項目はATmega8535に適用しません。障害のより多くの詳細情報についてはAT90S8535障害情報を参照してください。

注: これらの障害のいくつかはAT90S8535の最終版で修正されています。これらはどのAT90S8535設計からも容易に変換するために、未だ参照されます。

2.1. クロックなしでのリセット状態開放

ATmega8535は、例え最小パルス幅 t_{RST} を越える何れかの外部リセットパルスが、何れかの有効なクロック存在前にその状態が消滅しても内部リセットを起す、新しいリセットインターフェースを持ちます。

2.2. 連続変換動作での不正なチャネル変更

ATmega8535でのADMUXレジスタ内のMUX_nとREFS1,0のビットは、CPUが乱アクセスするのに一時レジスタを通して緩衝されます。これはチャネルと基準電圧選択が変換中の安全点でだけ実行されるのを保証します。連続変換動作でのこれらのレジスタ変更方法の助言と更なる情報については、ATmega8535データシートを参照してください。

2.3. 32kHz発振器が高電圧で止まるかもしれない

ATmega8535でのタイマ/カウンタ2に対する32kHzクリスタル用発振器は4.0V以上でも動作します。電気的特性についてはATmega8535データシートを参照してください。

2.4. 不正な起動時間

AT90S8535でのFSTRTRヒューズはATmega8535でより柔軟なシステムによって置換されます。CKSE L3~0とSUT1,0のヒューズでクロック元、周波数範囲、起動時間を選びます。更なる情報についてはATmega8535データシートを参照してください。

2.5. 高VCCと高温での施錠ビット

ATmega8535での施錠ビットは全動作範囲に渡って解除できます。



8ビット **AVR**[®]
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

2.6. ハーフ キャリー フラグでの異常

ハーフ キャリー フラグはATmega8535で期待通りに動きます。

2.7. リセット状態ビット書き込みでの異常

電源ONリセット フラグ(PORF)と外部リセット フラグ(EXTRF)はATmega8535で個別に解除(0)できます。

2.8. パワーセーブから復帰時に割り込み前の命令実行

ATmega8535はパワーセーブ動作からの起動復帰後の最初の命令として割り込み処理ルーチンを実行します。

ATmega8535が休止形態の間に、許可した割り込みが起こると、MCUは起動復帰します。そしてMCUは4周期停止してから割り込み処理ルーチンを実行し、SLEEPに後続する命令から実行を再開します。

2.9. SPIの不正なバイト送信

ATmega8535では直前の転送終了と同じクロック端で新規バイトをSPIデータレジスタに書けます。主装置動作での操作時、新規バイトをSPIデータレジスタ内へ書く前に直前の転送完了を待つ必要はありません。

2.10. ホート書き込みによって不正にされる比較出力値

OC1AやOC1Bが使用される時、ポートD I/O位置への書き込みは比較ピンの動作を妨げません。

2.11. 電圧3.4V以下での直列プログラミング

デバイスがATmega8535用データシートで規定した電圧と周波数範囲内で動作する限り、供給電圧とシステム周波数に制限はありません。

2.12. 全割り込み許可なしでのパワーセーブからの起動復帰

非同期タイマ/カウンタ割り込みはATmega8535で全割り込み許可(I)が許可されていないと、デバイスを起動復帰しません。

2.13. UART受信禁止時にRXD信号がLowの場合にUART同期消失

UARTはこの問題がないUSARTに置換されます。受信の開始エッジはUSART制御レジスタ内の受信許可ビットが設定(1)される場合にだけ、有効として受け入れられます。

2.14. 高VCCでの高消費電流

ATmega8535はデータシートで記述される電気的特性を持ちます。

2.15. Hi-Z I/Oピンでの漏れ電流

ATmega8535はデータシートで記述される電気的特性を持ちます。

3. 名称変更

以下の制御ビットは変更された名称を持ちますが、AT90S8535としてのアクセス時、同じ位置と機能を持ちます。

表3-1. 変更されたビット名

AT90S8535 でのビット名	ATmega8535 でのビット名	I/Oレジスタ (AT90S8535)	備考
PWMn(0)	WGMn(0)	TCCRn(A)	()内の0とAは16ビットタイマ/カウンタのみ
PWMn1	WGMn1	TCCRnA	
CTCn	WGMn2	TCCRn(B)	()内のBは16ビットタイマ/カウンタのみ
WDTOE	WDCE	WDTCR	6頁の「ウォッチドッグ タイマへの変更」をご覧ください。
CHR9	UCSZ2	UCR	
OR	DOR	USR	

以下のI/Oレジスタは変更された名称を持ちますが、AT90S8535としてのアクセス時、同じ位置と機能を含みます。

表3-2. 変更されたレジスタ名

AT90S8535 でのレジスタ名	ATmega8535 でのレジスタ名	備考
GIMSK	GICR	
MCUSR	MCUCSR	
UBRR	UBRRL	
USR	UCSRA	
UCR	UCSRB	
ADCSR	ADCSRA	

4. タイマ/カウンタと前置分周器への改良

改良と付加機能についての詳細に関してはデータシートを参照してください。以下の特徴が追加されています。

- ATmega8535の前置分周器はリセットできます。
- PWM動作での可変上限(TOP)値
- タイマ/カウンタ1に対し、位相基準PWM動作に加えて位相/周波数基準PWM動作
- 高速PWM動作
- PWMと比較出力機能が拡張されたタイマ/カウンタ0

4.1. ATmega8535とAT90S8535間の違い

改良と変更の多くは全てのタイマ/カウンタに適用され、以下の記述は一般形で書かれています。小文字の'*x*'は出力チャネル(タイマ/カウンタ1についてはAまたはB、タイマ/カウンタ0と2については利用不可)の置き換えで、一方'*n*'はタイマ/カウンタ番号(*n*=0,1,または2)の置き換えです。

4.2. PWM動作でのTCNT1解除

AT90S8535では3つのPWM分解能、8,9,または10ビットがあります。8,9,または10ビットだけが比較されるにも拘らず、TCNT1内に分解能を越えて値を書くことが可能です。故にタイマ/カウンタは減少した分解能が効果を表す前に\$FFFFへの計数を完了しなければなりません(例えば、8ビット分解能が選択され、TCNT1が\$0100を含む場合、上限値(\$FF)はカウンタが\$FFFFへ上昇計数し、\$0000へ下降計数して再び上昇計数するまで効果を発揮しません)。ATmega8535では、この予期せぬ\$FFFFへの上昇計数を避けるために、TCNT1の未使用ビットが0に解除されるように変更されました。ATmega8535では選択した分解能を決して超えません。

4.2.1. ATmega8535 TCNT1レジスタの未使用上位ビットは前置分周したクロックの最初の上昇端で解除(0)されます。

- 8ビットPWM : TCNT1H7~0=0
- 9ビットPWM : TCNT1H7~1=0
- 10ビットPWM : TCNT1H7~2=0

4.2.2. AT90S8535 TCNT1Hは解除(0)されません。

4.3. PWM動作でのOCR1xH解除

PWM動作でのOCR1xH解除はTCNT1解除と僅かに異なります。AT90S8535は8,9,または10ビットPWM動作が選択された場合、上位6ビットを解除(0)します。従ってPWM動作でOCR1xに\$FFFFが書かれ、OCR1xが読み戻されると、その結果は選択されたPWM動作に拘らず\$03FFです。ATmega8535で解除(0)するビット数は分解能に依存します。

4.3.1. ATmega8535 OCR1AHとOCR1BH内の上位ビットは、それらがカウンタの上限(TOP)値で更新される時に解除(0)されます。

- 8ビットPWM : OCR1xH7~0=0
- 9ビットPWM : OCR1xH7~1=0
- 10ビットPWM : OCR1xH7~2=0

4.3.2. AT90S8535 OCR1AHとOCR1BH内の上位6ビットは分解能に拘らず解除(0)されます。

4.4. 前置分周器ありの比較一致でのタイマ/カウンタ1解除

比較一致での解除とタイマ/カウンタ1の内部計数間の関連は変更されています。AT90S8535での比較一致での解除は比較値と一致する最初の内部計数後にタイマ/カウンタを解除し、これに反してATmega8535は比較値と一致する最後の内部計数後にタイマ/カウンタを解除します。解除、フラグ設定、ピン変更の詳細については図4-1.と図4-2.をご覧ください。

例: 前置分周器許可(8分周)時のOCRnx=\$02

図4-1. AT90S8535に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	0	0	0	0	0	0	0	1	1	1	1	1	1	2	0	0	0	0	0	0
フラグ/ピン																																			

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

図4-2. ATmega8535に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	2	2	2	2	2	2	0	0	0	0	0	0	0	0	1	1	1	1	1	1	2	2
フラグ/ピン																																					

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

4.5. 前置分周器許可での比較出力ピン/フラグの設定 (全タイマ/カウンタに適用)

比較出力とタイマ/カウンタの内部計数間の関連は変更されています。AT90S8535での比較出力は比較値と一致する最初の内部計数後に比較出力ピン/フラグを設定し、これに反してATmega8535は比較値と一致する最後の内部計数後に比較出力ピン/フラグを設定します。比較出力フラグ設定とピン変更の詳細については図4-3.と図4-4.をご覧ください。

例: 前置分周器許可(8分周)時のOCRnx=\$02

図4-3. AT90S8535に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	2	2	2	2	2	2	3	3	3	3	3	3	3	4	4	4	4	4	4	4	5	5
フラグ/ピン																																					

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

図4-4. ATmega8535に関する比較出力フラグ/ピン設定

TCNTn	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	2	2	2	2	2	2	3	3	3	3	3	3	3	4	4	4	4	4	4	4	5	5
フラグ/ピン																																					

注: ↑ は比較出力フラグ/ピンが設定される位置を表します。

4.6. PWM動作でOCR1x書き、上限(TOP)でのOCR1x更新前に標準動作へ変更、OCR1x読み

データシートで記述されるように、OCR1xレジスタはそれが書かれると、上限(TOP)値で更新されます。従ってPWM動作でのOCR1x書き込み時、その値は一時緩衝部に格納されます。タイマ/カウンタが上限に到達するとき、一時緩衝部(内容)が実際の比較出力レジスタに転送されます。一時緩衝部が書かれた後であるけれど、実際の比較出力レジスタが更新される前にPWM動作を抜けた場合、その動作はATmega8535とAT90S8535間で違います。

- 4.6.1. ATmega8535 更新が行われる前にOCR1xレジスタが読まれる場合、OCR1x一時緩衝部ではなく、実際の比較値が読まれます。
- 4.6.2. AT90S8535 更新が行われる前にOCR1xレジスタが読まれる場合、OCR1x一時緩衝部内の値が読まれます。例えば読まれた値は最後に(OCR1x一時緩衝部へ)書かれたものですが、タイマ/カウンタが決して上限値に到達しないため、それはOCR1xレジスタ内にラッチされません。従って比較に使用される値は必ずしも読まれた値と同じではありません。

注: これは16ビット タイマ/カウンタだけに適用されます。8ビット タイマ/カウンタについては両デバイスに於いて一時緩衝部が読まれます。

4.7. 直前のOCnxピンレベルの記憶

AT90S8535にはPWM動作でのOCnxピン更新なしの2つのCOMnx1,0(00と01)設定と非PWM動作での1つのCOMnx1,0(00)設定があります。タイマ/カウンタの仮定はOCnxピンを更新する状態から更新しない状態へ持って行き。そして再びOCnxピンを更新する状態へ戻します。以下の違いが留意されるべきです。

- 4.7.1. ATmega8535 比較出力動作禁止前のOCnxピンのレベルが記憶されます。比較出力再許可はそれが禁止された状態からの動作再開をOCnxピンにさせます。全ての比較出力ピンはリセットで0に初期化されます。
- 4.7.2. AT90S8535 非PWM動作でのタイマ/カウンタ1に対して、タイマ/カウンタがピンに接続されていない間の比較一致は、再許可でOCnxピンをLowレベルにリセットするでしょう。PWM動作は再許可でピンの状態が未知となるような、OCnxピンに対する内部レジスタを更新します。

5. A/D変換器への改良

- ATmega8535は左揃えと右揃えした10ビット結果の両方を支援します。
- ATmega8535のA/D変換器は差動と増幅した測定を支援します。
- ATmega8535は割り込み元での自動起動での(変換)開始を支援します。

6. SPIとUARTへの改良

SPIとUARTの両方にはより高い通信速度を許す、新しい倍速動作があります。

AT90S8535でのUARTはATmega8535でUSARTに置換されています。ATmega8535のUSARTは次の1つの例外付きでAT90S8535のUARTと互換です。2段の受信レジスタがFIFOとして働きます。このFIFOはS8535Cヒューズがプログラム(0)されると禁止されます。尚、S8535Cヒューズがプログラム(0)される時、以下が留意されなければなりません。

- UDRは到着データ毎に1度だけ読まれなければなりません。
- 異常フラグ(FEとDOR)とデータ第9ビット(RXB8)は受信緩衝部内でデータと共に緩衝されます。従って、この状態ビットは常にUDRレジスタが読まれる前に読まれなければなりません。さもなければ、この異常状態は失われます。

その他の小さな違いはAT90S8535のUARTで1、ATmega8535のUSARTで0となる、RXB8の初期値です。

7. EEPROM書き込みタイミングへの変更

AT90S8535でのEEPROM書き込み時間は供給電圧に依存し、代表的には2.5ms/VCC=5V、4ms/VCC=2.7Vです。ATmega8535でのEEPROM書き込み時間は(システムクロックに対するクロック元と周波数に拘らず)校正付き内蔵RC発振器で8448周期かかります。この校正付き内蔵RC発振器はVCCに拘らず1.0MHzに校正されている仮定で、代表的な書き込み時間は8.4msです。

注: OSCCALレジスタ内での値変更は校正付き内蔵RC発振器の周波数、故にEEPROM書き込み時間に影響を及ぼします。

8. プログラミング インターフェース

プログラミング インターフェース、特に実装書き込み(ISP: In-System Programming)インターフェースにいくつかの変更が行われています。これはATmega8535での全追加ヒューズを支援するために行われました。タイミングの必要条件は変更されていません。詳細についてはATmega8535データシートをご覧ください。

並列プログラミング法が変更されています。最も重要な変更はPD7のPAGELピンとPA0のBS2ピンの導入です。この拡張はATmega8535でのフラッシュメモリ、EEPROMのページ書き込みと追加ヒューズ支援に必要とされます。並列プログラミングに対するタイミングの必要条件が変更されています。詳細についてはATmega8535データシートをご覧ください。

STK[®]500はATmega8535の実装書き込み(ISP)と並列プログラミングの両方を支援します。

9. ヒューズ設定

ATmega8535はAT90S8535より多くのヒューズを含みます。表9-1はATmega8535の推奨AT90S8535互換ヒューズ設定を示します。いくつかのヒューズは後続章で更に記述されます。

表9-1. AT90S8535とATmega8535でのヒューズ比較

ヒューズ	AT90S8535 既定設定	ATmega8535 既定設定	AT90S8535 互換設定
S8535C	-	1	0
WDTON	-	1	1
SPIEN	0	0	0
CKOPT	-	1	0 (注2)
EESAVE	-	1	1
BOOTSZ1	-	0	0 (N/A) (注3)
BOOTSZ0	-	0	0 (N/A) (注3)
BOOTRST	-	1	1
BODLEVEL	-	1	1
BODEN	-	1	1
SUT1	-	1	(注4)参照
SUT0	-	0	(注4)参照
CKSEL3	-	0	(注4)参照
CKSEL2	-	0	(注4)参照
CKSEL1	-	0	(注4)参照
CKSEL0	-	1	(注4)参照

注1: '-'はそのヒューズがAT90S8535に存在しないことを表します。

注2: 以下の「発振器と起動遅延選択」をご覧ください。

注3: SPM命令と自己プログラミングはAT90S8535互換動作で利用できません。BOOTSZ1,0の既定工場設定はATmega8535への移転時に有効です。

注4: ATmega8535でのSUTヒューズはAT90S8535でのFSTRTヒューズを置き換えます。SUTとCKSELの設定はATmega8535への移行時に再考されるべきです。以下の「発振器と起動遅延選択」をご覧ください。

10. 発振器と起動遅延選択

ATmega8535はAT90S8535より多くの発振器と起動時間設定を提供します。パワーダウン動作からの起動復帰中、ATmega8535は起動遅延を決めるのにCPU周波数を使用し、一方AT90S8535はウォッチドッグタイマ(WDT)発振器周波数で遅延を決めます。

適切な起動値を見つけるには、ATmega8535データシートの「システムクロックとクロック任意選択」章の指針に従ってください。

実装書き込み(ISP)動作でヒューズを変更する時に特別な注意が求められるべきではありません。ISPはシステムクロックに依存します。不正な発振器設定が書かれると、システムクロックを誤るためにISP動作への再移行が不可能になるかもしれません(その後に並列プログラミング動作が使用されなければなりません)。

AT90S8535での水晶用発振器はXTAL2出力から付加クロック緩衝器を駆動する能力があります。ATmega8535で、これはCKOPTヒューズがプログラム(0)される時にだけ可能です。この動作での発振器は電源電圧幅の振幅出力を持ちますが、より高い電力消費を犠牲にします。従って電源電圧幅振幅が必要とされる時にだけ、このヒューズをプログラム(0)してください。

11. ウォッチドッグタイマへの変更

ATmega8535のウォッチドッグタイマはAT90S8535のそれに比べて改良されています。AT90S8535でのウォッチドッグタイマは許可か禁止のどちらかで、一方ATmega8535はWDTONヒューズによって選択する2つ安全レベルを支援します。更なる情報についてはATmega8535データシートでの記述をご覧ください。

S8535Cヒューズのプログラム(0)とWDTONヒューズの非プログラム(1)の組み合わせは、正確にAT90S8535でのような動作をウォッチドッグタイマにさせます。

ATmega8535でのウォッチドッグ発振器周波数は全供給電圧に対して1.0MHzに近い周波数です。AT90S8535でのウォッチドッグ発振器の代表的な周波数は5Vで1.0MHzに近い周波数ですが、VCCの減少で計時完了時間が増加します。これはウォッチドッグ発振器周期数の項目でウォッチドッグタイマに対する計時完了時間選択がATmega8535への設計移転時に再考されなければならないことを意味します。更なる情報についてはATmega8535用データシートを参照してください。

12. その他関連

ATmega8535についてはGNDとAGND間の区別はありません。けれども、これはAT90S8535で作られた元の設計とでのどんな問題も引き起こさないでしょう。アナログ雑音を低減するための推奨設計に変わりはありません。

ATmega8535はAT90S8535で使用していたものと異なる識票バイトを持ちます。設計移転時、ATmega8535の識票バイト使用を確認してください。

EEPROM書き込みアクセスがパワーダウン休止形態移行前に完了されなければならないことに注意してください。さもなければシステム発振器は継続して走行し、追加電流を流します。

13. AT90S8535互換動作で利用できない機能

S8535CヒューズはATmega8535をAT90S8535互換にします。けれどもS8535Cヒューズのプログラム(0)で、ATmega8535のいくつかの新機能が利用不能になります。以下の機能はATmega8535がAT90S8535互換動作で使用される時に支援されません。

- USARTのFIFO動作
- MCUCSRでのWDRFとBORFの状態フラグへのアクセス
- ソフトウェアによるウォッチドッグ タイマ前置分周器変更のための時間制限手順
- INT2外部割り込み。一般割り込み制御レジスタ(GICR)でのINTビットは1に書けず、一般割り込み要求フラグ レジスタ(GIFR)でのINTF2ビットは常に0として読めます。
- タイマ/カウンタ0の比較機能。タイマ/カウンタ割り込み許可(TIMSK)レジスタでのOCIE0ビットは1に書けず、タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)でのOCIF0ビットは常に0として読めます。

上記の機能の何れかが必要または欲し、S8535Cヒューズが非プログラム(1)にされる場合、これは互換ヒューズがプログラム(0)されている限り存在しないATmega8535とAT90S8535間の様々な違いを誘引します。

- ソフトウェアによるウォッチドッグ タイマ前置分周器設定変更のため、時間制限手順に従わなければなりません。
- MCUCSRレジスタでAT90S8535のようにEXTRFとPORFだけでなく、全てのリセット フラグがこのレジスタ内に存在します。
- USARTはデータ オーバーラン(DOR)フラグが設定(1)される前に、受信すべき複数バイト データを許す、追加入力緩衝部を持ちます。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに位置する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2008. 全権利予約済 ATMEL®、ロゴとそれらの組み合わせ、AVR®、STK®とその他はATMEL Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2014.

本応用記述はATMELのAVR086応用記述(doc2520.pdf Rev.2520C-04/08)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。