

## AVR1012 : XMEGA A回路図検査表

## 要点

- 電源
- XMEGA A3B用電池代替支援
- リセット回路
- クロックとクリスタル用発振器
- 外部バス インターフェース
- JTAGとPDI

## 1. 序説

良いハードウェア設計は正しい回路図から生まれます。AVR® XMEGA® デバイスはかなりのピン数と機能を持ち、それらのデバイス用の回路図は大きくとも複雑になり得ます。

この応用記述はXMEGA A設計に関する回路図の開始及び再調査時に使用されるべき一般的な検査表を記述します。

## 2. 電源

## 2.1. 電源接続

図2-1. 電源回路図

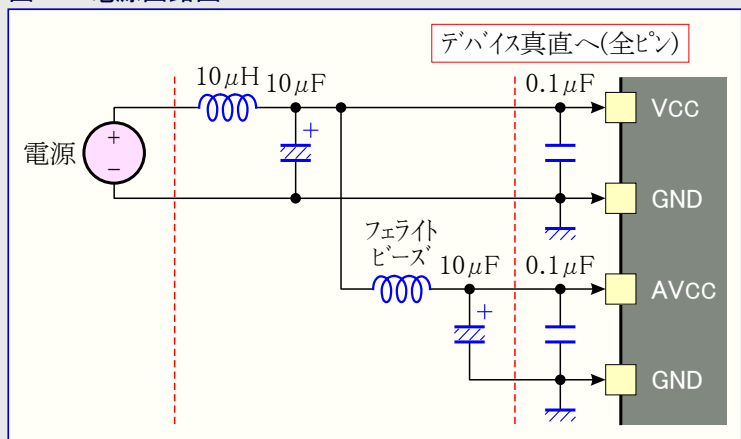


表2-1. 電源検査表

信号名	推奨ピン接続	説明
VCC	1.6~3.6V デカップ/濾波コンデンサ：0.1μF(注1,2)と10μF(注1) デカップ/濾波インダクタ：10μF(注1,3)	デジタル供給電圧
AVCC	1.6~3.6V デカップ/濾波コンデンサ：0.1μF(注1,2)と10μF(注1) フェライトビーズ(注4)はAVCCを妨害するVCC雑音を防ぎます。	アナログ供給電圧
GND		GND

注1: これらの値は代表的な例としてだけで与えられています。

注2: デカップ(雑音分離)コンデンサは信号群内の各供給ピンに対してデバイス真直に配置されるべきで、良好なデカップのために低ESR(等価直列抵抗)コンデンサが使用されるべきです。

注3: 巻き線インダクタは電力濾波のために外部電源とVCCの間に追加されるべきです。

注4: フェライトビーズは高い周波数で一般的なインダクタよりも良好な濾波性能を持ちます。これはアナログ電力に入ってくることからデジタル雑音を防ぐためにVCCとAVCCの間に追加することができます。デジタル電力をアナログ電力と分けるために、フェライトビーズは充分なインピーダンス(例えば、20mHzで50Ω、100MHzで220Ω)を提供すべきです。



8ビット AVR®  
マイクロコントローラ

## 応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8278B-03/10, 8278BJ1-03/14

## 2.2. 電池代替支援部署接続

本項はATxmega256A3BのようなXMEGA A3Bデバイスの電池代替支援機能を使用する応用専用です。主電力消失でデバイスはこれを検知し、VBATピンから給電するように、自動的に電池代替支援部署を切り替えます。

図2-2. 電池代替支援部署回路図

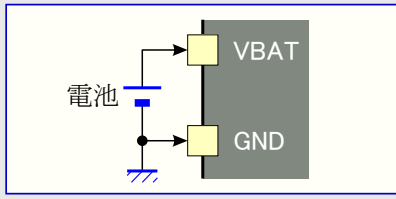


表2-2. 電池代替支援部署検査表

信号名	推奨ピン接続	説明
VBAT	1.8~3.6V	電池代替支援部署供給電圧
GND		GND

**注:** 実時間計数器を動かすために、VBATから走行する時に32.768kHzクリスタル用発振子がTOSC1とTOSC2間に接続されなければなりません。

## 2.3. 外部アナログ基準電圧接続

以下の回路検査表は設計が外部アナログ基準電圧を使用する場合にだけ必要です。内部基準電圧が使用されるなら、回路は必要ありません。

図2-3. 2つの基準電圧を持つ外部アナログ基準電圧回路図

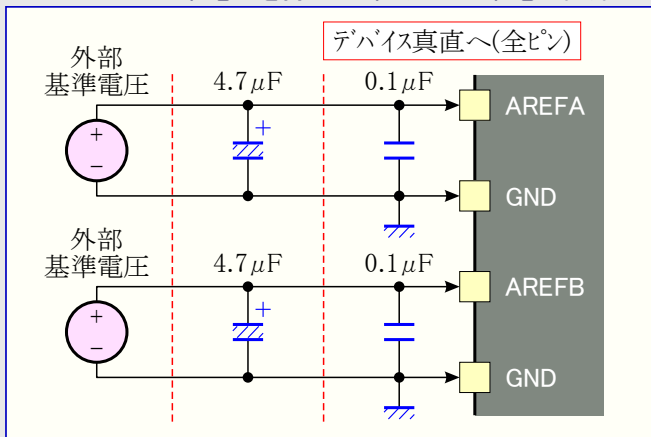


図2-4. 1つの基準電圧を持つ外部アナログ基準電圧回路図

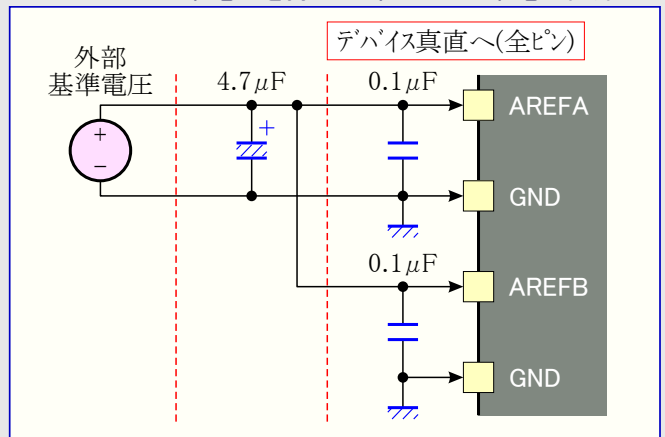


表2-3. 外部アナログ基準電圧検査表

信号名	推奨ピン接続	説明
AREFA	A/D変換器用は1.0~AVCC-0.6V D/A変換器用は1.1~AVCC-0.6V デカップ/濾波コンデンサ: 0.1µF(注1,2)と4.7µF(注1)	ポートAのAREFピンからの外部基準
AREFB	A/D変換器用は1.0~AVCC-0.6V D/A変換器用は1.1~AVCC-0.6V デカップ/濾波コンデンサ: 0.1µF(注1,2)と4.7µF(注1)	ポートBのAREFピンからの外部基準
GND		GND

**注1:** これらの値は代表的な例としてだけで与えられています。

**注2:** デカップ(雑音分離)コンデンサは信号群内の各供給ピンに対してデバイス真直に配置されるべきです。

## 3. 外部リセット回路

外部リセット回路は外部リセット機能が使用される時にRESETピンへ接続されます。内部リセットが使用される場合、回路は必要ありません。リセットスイッチは手動リセットが必要ない場合に取り去ることもできます。

図3-1. 外部リセット回路例回路図

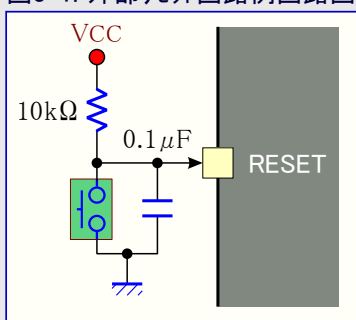


表3-1. リセット回路検査表

信号名	推奨ピン接続	説明
RESET	リセットLowレベル閾値電圧 VCC=2.7~3.6V: 0.45×VCC以下 VCC=1.6~2.7V: 0.42×VCC以下	リセットピン

**注:** このプルアップ抵抗はリセットが予期せずLowにならないことを保証します。PDIのプログラミングとデバッグが使用される時にリセット線がクロックとして使用されます。リセットのプルアップは10kΩまたはより弱い(高抵抗値のもの)にされる、または完全に取り去られるべきです。

PDIのプログラミングとデバッグが使用される場合に、どのリセットコンデンサも取り去られるべきです。他の外部リセット元は切断されるべきです。

## 4. クロックとクリスタル用発振器

### 4.1. 外部クロック元

図4-1. 外部クロック元例回路図

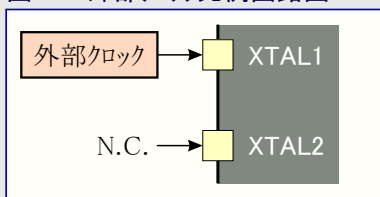


表4-1. 外部クロック元検査表

信号名	推奨ピン接続	説明
XTAL1	XTAL1は外部クロック信号用の入力として使用されます。	反転発振器ピン1用入力
XTAL2	未接続のまま、または汎用入出力として使用できます。	

### 4.2. クリスタル用発振器

図4-2. クリスタル用発振器例回路図

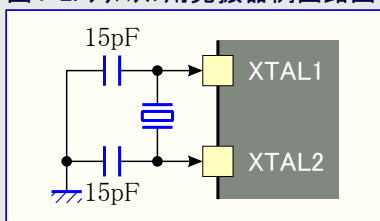


表4-2. クリスタル用発振器検査表

信号名	推奨ピン接続	説明
XTAL1	バイアス コンデンサ: 15pF(注1,2)	0.4~16MHz間の外部クリスタル
XTAL2	バイアス コンデンサ: 15pF(注1,2)	

**注1:** これらの値は代表的な例としてだけで与えられています。使用するクリスタル用のコンデンサ値を決めるにはクリスタルのデータシートを参照するか、または「AVR1003:XMEGA クロックシステムの使い方」応用記述を参照してください。

**注2:** デカップ(雑音分離)コンデンサは信号群内の各供給ピンに対してデバイス真直に配置されるべきです。

### 4.3. 外部実時間発振器

低周波数クリスタル用発振器は時計用32.768kHzクリスタルとでの使用に最適化されています。クリスタルを選ぶ時に、クリスタルの負荷容量と等価直列抵抗(ESR)が考慮されなければなりません。両方の値はクリスタル販売業者によって指定されます。

XMEGAの発振器は非常に低い電力消費に最適化されており、従ってクリスタルを選ぶ時には9pFと12.5pF(負荷容量の)クリスタルでの最大推奨ESRに関する表4-3をご覧ください。

低周波数クリスタル用発振器は代表的に8.0pFの内部負荷容量を提供します。推奨される8.0pFの負荷容量を持つクリスタルは図4-3.で示されるように外部コンデンサなしにできます。

8.0pFよりも高い負荷容量(CL)を指定するクリスタルは図4-4.で記述されるように適合した外部コンデンサが必要です。

32.768kHzクリスタルに適合する負荷容量を見つけるには、クリスタルのデータシートを調べてください。

表4-3. 32.768kHzクリスタル最大推奨ESR

クリスタル負荷容量 (pF)	最大ESR (kΩ) (注)
9.0	65
12.5	30

**注:** 最大ESRは特性付けに基づく代表値です。

図4-3. バイアス コンデンサなし  
外部実時間発振器

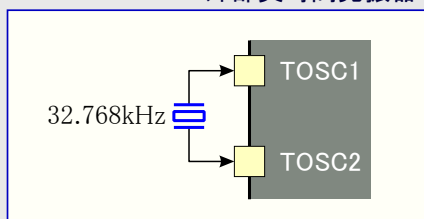


図4-4. バイアス コンデンサあり  
外部実時間発振器

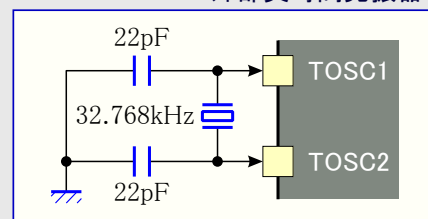


表4-4. 外部実時間発振器検査表

信号名	推奨ピン接続	説明
TOSC1	バイアス コンデンサ: 22pF(注1,2)	計時器用発振器ピン1
TOSC2	バイアス コンデンサ: 22pF(注1,2)	計時器用発振器ピン2

**注1:** これらの値は代表的な例としてだけで与えられています。使用するクリスタル用のコンデンサ値を決めるにはクリスタルのデータシートを参照するか、または「AVR1003:XMEGA クロックシステムの使い方」応用記述を参照してください。

**注2:** デカップ(雑音分離)コンデンサは信号群内の各供給ピンに対してデバイス真直に配置されるべきです。

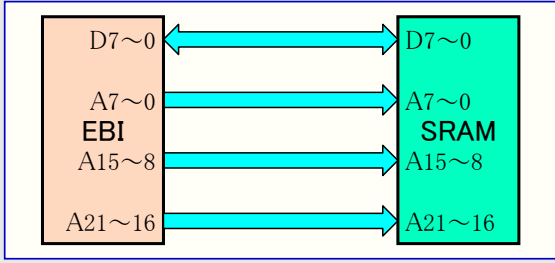
## 5. 外部バス インターフェース

外部バス インターフェース(EBI)はデータ メモリ空間を通してそれらをアクセスするために外部の周辺装置やメモリを接続するインターフェースです。EBIは外部のSRAM、SDRAMや、LCD表示器とその他のメモリ割り当てデバイスのような周辺装置をインターフェースすることができます。

### 5.1. SRAM形態

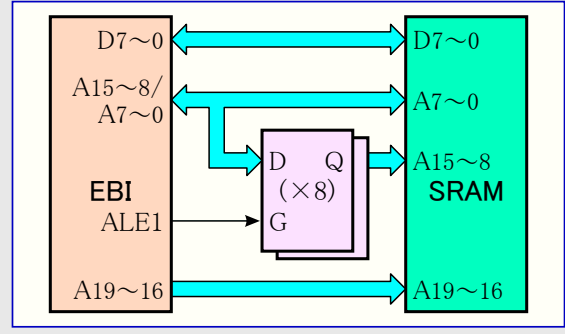
#### 5.1.1. 多重化なし8ビットSRAM

図5-1. 多重化なし8ビットSRAM接続



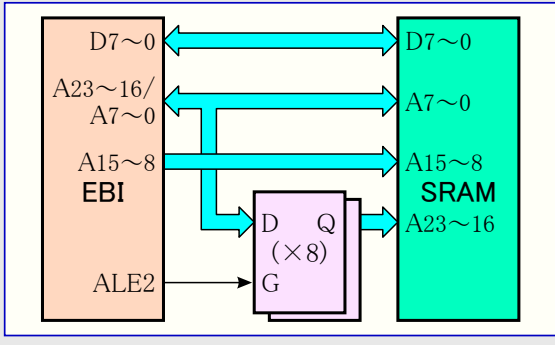
#### 5.1.2. アドレス バイト0と1の多重化8ビットSRAM

図5-2. アドレス バイト0と1の多重化8ビットSRAM接続



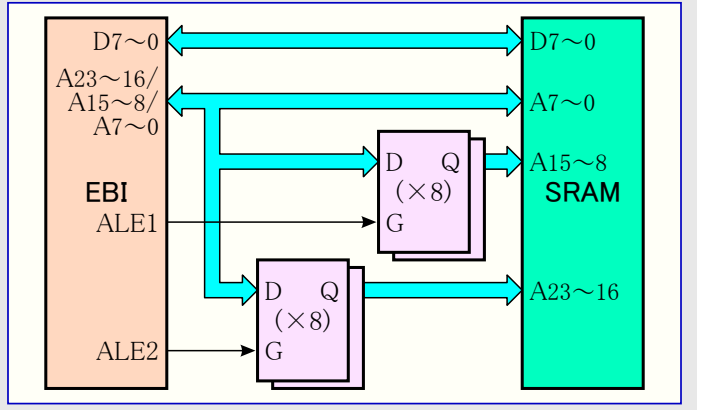
#### 5.1.3. アドレス バイト0と2の多重化8ビットSRAM

図5-3. アドレス バイト0と2の多重化SRAM接続



#### 5.1.4. アドレス バイト0,1,2の多重化8ビットSRAM

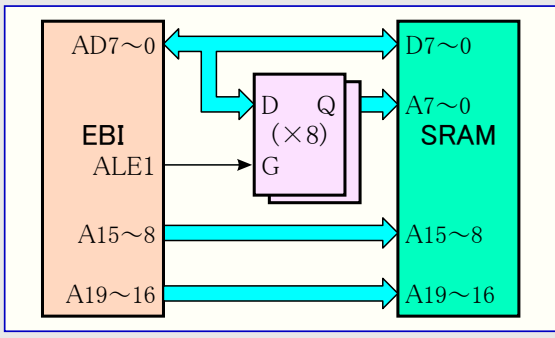
図5-4. アドレス バイト0,1,2の多重化SRAM接続



### 5.2. SRAM少ピン数(LPC:Low Pin Count)形態

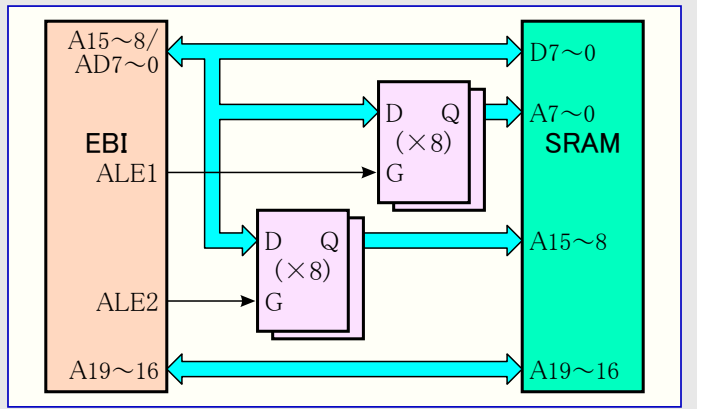
#### 5.2.1. アドレス バイト0とデータの多重化8ビットSRAM

図5-5. アドレス バイト0とデータの多重化SRAM接続



#### 5.2.2. アドレス バイト0,1とデータの多重化8ビットSRAM

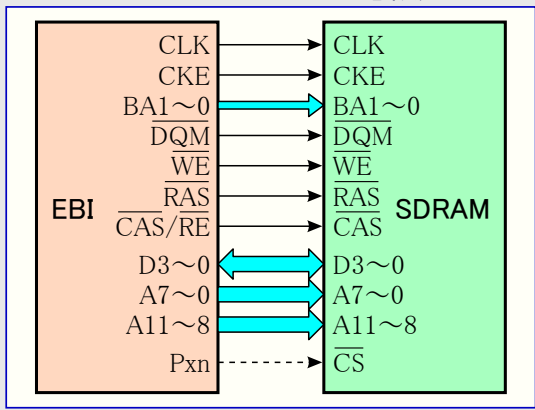
図5-6. アドレス バイト0,1とデータの多重化SRAM接続



5.3. SDRAM形態

5.3.1. 3ポートEBI 4ビットSDRAM

図5-7. 3ポートEBI4ビットSDRAM形態設定



6. JTAGとPDIのポート

6.1. JTAGポート インターフェース

図6-1. JTAGポート インターフェース例回路図

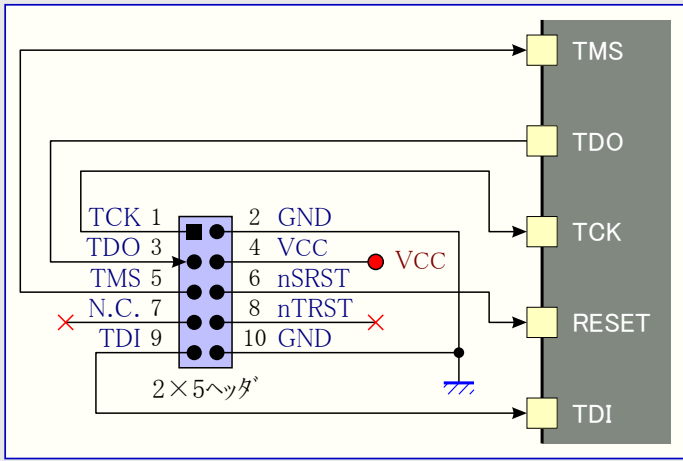


表6-1. JTAGポート インターフェース検査表

信号名	説明
TMS	検査形態選択(TCK上昇で採取)
TDO	検査データ出力(TCK下降で駆動)
TCK	検査クロック(システム クロックと完全に非同期)
RESET	デバイス外部リセット線
TDI	検査データ入力(TCK上昇で採取)

6.2. PDIポート インターフェース

図6-2. PDIポート インターフェース例回路図

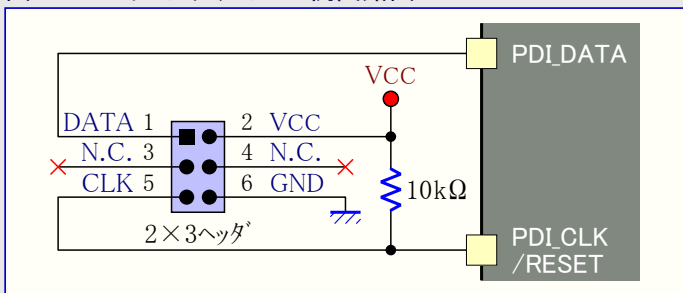


表6-2. PDIポート インターフェース検査表

信号名	推奨ピン接続	説明
PDI_CLK	このプルアップ抵抗はリセットが予期せずLowにならないことを保証します。PDIのプログラミングとデバッグが使用される時にリセット線がクロックとして使用されます。リセットのプルアップは10kΩまたはより弱い(高抵抗値のもの、または完全に取り去られるべきです。PDIのプログラミングとデバッグが使用される場合に、どのリセット コンデンサも取り去られるべきです。他の外部リセット元は切断されるべきです。	PDIクロック入力/リセットピン
PDI_DATA		PDI_DATA:PDIデータ入出力

## 7. 推奨する読み物

### 7.1. デバイスのデータシート

デバイスのデータシートはデバイスに関する周辺機能の構成図とファームウェア実装についての詳細を含みます。データシートは<http://www.atmel.com/avr>のデータシート部で入手できます。

### 7.2. 評価キット回路図

ATAVRXplain評価キットはそれが参照基準設計として使用できる、基板に関する完全な回路図を含みます。回路図は<http://www.atmel.com/avr>のツールとソフトウェア部で入手できます。



## 本社

### *Atmel Corporation*

2325 Orchard Parkway  
San Jose, CA 95131  
USA  
TEL 1(408) 441-0311  
FAX 1(408) 487-2600

## 国外営業拠点

### *Atmel Asia*

Unit 1-5 & 16, 19/F  
BEA Tower, Millennium City 5  
418 Kwun Tong Road  
Kwun Tong, Kowloon  
Hong Kong  
TEL (852) 2245-6100  
FAX (852) 2722-1369

### *Atmel Europe*

Le Krebs  
8, Rue Jean-Pierre Timbaud  
BP 309  
78054 Saint-Quentin-en-  
Yvelines Cedex  
France  
TEL (33) 1-30-60-70-00  
FAX (33) 1-30-60-71-11

### *Atmel Japan*

104-0033 東京都中央区  
新川1-24-8  
東熱新川ビル 9F  
アトメル ジャパン株式会社  
TEL (81) 03-3523-3551  
FAX (81) 03-3523-7581

## 製品窓口

### ウェブサイト

[www.atmel.com](http://www.atmel.com)

### 技術支援

[avr@atmel.com](mailto:avr@atmel.com)

### 販売窓口

[www.atmel.com/contacts](http://www.atmel.com/contacts)

### 文献請求

[www.atmel.com/literature](http://www.atmel.com/literature)

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに位置する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2010. 全権利予約済 ATMEL®、ロゴとそれらの組み合わせ、AVR®とその他はATMEL Corporationの登録商標、XMEGA®とその他は商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

### © HERO 2014.

本応用記述はATMELのAVR1012応用記述(doc8278.pdf Rev.8278B-03/10)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。