

AVR1018 : XMEGA B回路図検査表

要点

- 電源
- リセット回路
- クロックとクリスタル用発振器
- JTAGとPDI
- USB
- LCD

1. 序説

良いハードウェア設計は正しい回路図から生まれます。ATMEL® AVR® XMEGA® Bデバイスにはかなりのピン数と機能を持ち、それらのデバイス用の回路図は大きくとも複雑になり得ます。

この応用記述はATMEL XMEGA B設計に関する回路図の開始及び再調査時に使用されるべき一般的な検査表を記述します。

2. 電源

2.1. 電源接続

デバイスの全ての電源ピンはマイクロコントローラの供給に接続されなければなりません。

VCCとAVCCの両方は同じマイクロコントローラの+供給点に接続されなければならない。従ってそれらの両方が同じ供給属性を共有することを保証します。同様に両GNDピンは同じマイクロコントローラのGND基準供給点に接続されなければなりません。

図2-1. 電源回路図

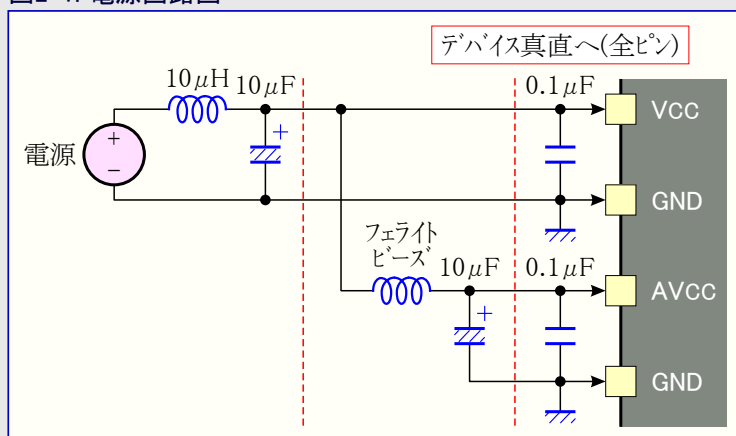


表2-1. 電源検査表

信号名	推奨ピン接続	説明
VCC	1.6~3.6V デカップ/濾波コンデンサ: 0.1μF(注1,2)と10μF(注1) デカップ/濾波インダクタ: 10μF(注1,3)	デジタル供給電圧
AVCC	1.6~3.6V デカップ/濾波コンデンサ: 0.1μF(注1,2)と10μF(注1) フェライトビーズ(注4)はAVCCを妨害するVCC雑音を防ぎます。	アナログ供給電圧
GND		GND

注1: これらの値は代表的な例としてだけで与えられています。

注2: デカップ(雑音分離)コンデンサは、信号群内の各供給ピン対に対してデバイス真直に配置され、良好なデカップのために低ESR(等価直列抵抗)コンデンサが使用されるべきです。

注3: 巻き線インダクタは電力濾波のために外部電源とVCCの間に追加されるべきです。

注4: フェライトビーズは高い周波数で一般的なインダクタよりも良好な濾波性能を持ちます。これはアナログ電力に入ってくることからデジタル雑音を防ぐためにVCCとAVCCの間に追加することができます。デジタル電力をアナログ電力と分けるために、フェライトビーズは十分なインピーダンス(例えば、20mHzで50Ω、100MHzで220Ω)を提供すべきです。

8ビット ATMEL
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8414A-07/11, 8414AJ1-03/14

2.2. 外部アナログ基準電圧接続

以下の回路検査表は設計が外部アナログ基準電圧を使用する場合に推奨されるだけです。内部基準電圧が使用されるなら、回路は必要ありません。

図2-2. 2つの基準電圧を持つ外部アナログ基準電圧回路図

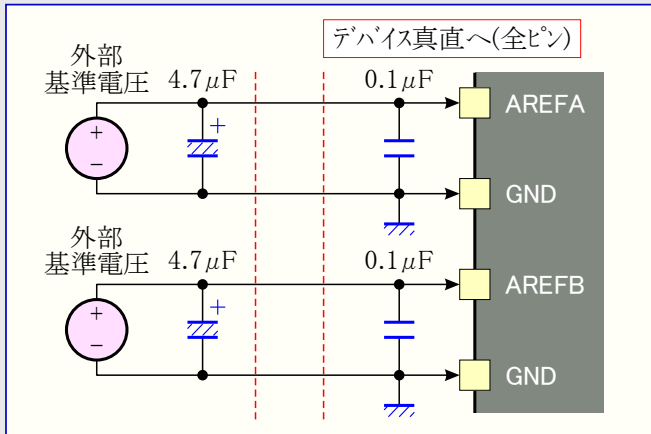


図2-3. 1つの基準電圧を持つ外部アナログ基準電圧回路図

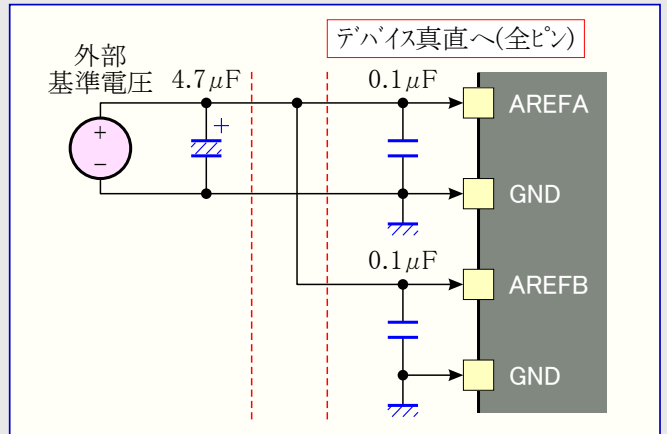


表2-2. 外部アナログ基準電圧検査表

信号名	推奨ピン接続	説明
AREFA	A/D変換器用は1.0~AVCC-0.6V デカップ/濾波コンデンサ: 0.1μF(注1,2)と4.7μF(注1)	ポートAのAREFピンからの外部基準
AREFB	A/D変換器用は1.0~AVCC-0.6V デカップ/濾波コンデンサ: 0.1μF(注1,2)と4.7μF(注1)	ポートBのAREFピンからの外部基準
GND		GND

注1: これらの値は代表的な例としてだけで与えられています。

注2: デカップ(雑音分離)コンデンサは各AREFピンに対してデバイス真直に配置されるべきで、良好なデカップのために低ESR(等価直列抵抗)コンデンサが使用されるべきです。

3. 外部リセット回路

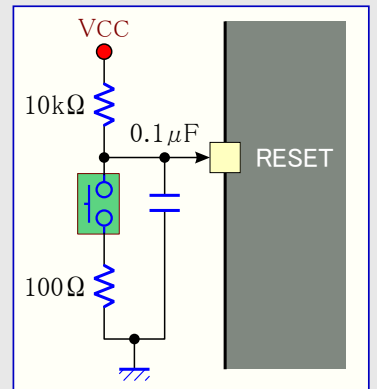
外部リセット回路は外部リセット機能が使用される時にRESETピンへ接続されます。内部リセットが使用される場合、回路は必要ありません。リセットスイッチは手動リセットが必要ない場合に取り去ることもできます。

表3-1. リセット回路検査表

信号名	推奨ピン接続	説明
RESET	リセットLowレベル閾値電圧 VCC=2.7~3.6V: 0.45×VCC以下 VCC=1.6~2.7V: 0.42×VCC以下	リセットピン

- 注:
- ・プルアップ抵抗はリセットが予期せずLowにならないことを保証します。PDIのプログラミングとデバッグが使用される時にリセット線がクロックとして使用されます。リセットのプルアップは10kΩまたはより弱い(高抵抗値のもの)にされる、または完全に取り去られるべきです。
 - ・プルダウン抵抗はスイッチ押下時にRESETピン上の過電圧を防ぎます。
 - ・PDIのプログラミングとデバッグが使用される場合に、どのリセットコンデンサも取り去られるべきです。他の外部リセット元は切断されるべきです。

図3-1. 外部リセット回路例回路図



4. クロックとクリスタル用発振器

4.1. 外部クロック元

図4-1. 外部クロック元例回路図

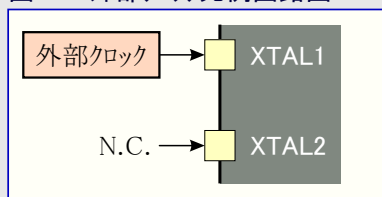


表4-1. 外部クロック元検査表

信号名	推奨ピン接続	説明
XTAL1	XTAL1は外部クロック信号用の入力として使用されます。	反転発振器ピン1用入力
XTAL2	未接続のまま、または汎用入出力として使用できます。	

4.2. クリスタル用発振器

図4-2. クリスタル用発振器例回路図

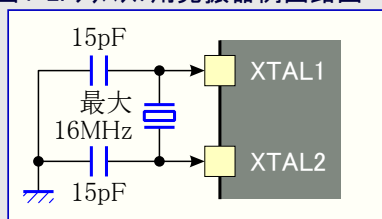


表4-2. クリスタル用発振器検査表

信号名	推奨ピン接続	説明
XTAL1	バイアス コンデンサ：15pF(注1,2)	0.4～16MHz間の外部クリスタル
XTAL2	バイアス コンデンサ：15pF(注1,2)	

注1: これらの値は代表的な例としてだけで与えられています。使用するクリスタル用のコンデンサ値を決めるにはクリスタルのデータシートを参照するか、または「AVR1003:XMEGA クロックシステムの使い方」を参照してください。

注2: デカップ(雑音分離)コンデンサは信号群内の各供給ピンに対してデバイス真直に配置されるべきです。

4.3. 外部実時間発振器

低周波数クリスタル用発振器は時計用32.768kHzクリスタルとでの使用に最適化されています。クリスタルを選ぶ時に、クリスタルの負荷容量と等価直列抵抗(ESR)が考慮されなければなりません。両方の値はクリスタル販売業者によって指定されます。

ATMEL XMEGA Bの発振器は非常に低い電力消費に最適化されており、従ってクリスタルを選ぶ時には9pFと12.5pF(負荷容量の)クリスタルでの最大推奨ESRに関する表4-3をご覧ください。

低周波数クリスタル用発振器は典型的に3.0pFの内部負荷容量を提供します。推奨される3.0pFの負荷容量を持つクリスタルは図4-3.で示されるように外部コンデンサなしにできます。

3.0pFよりも高い負荷容量(CL)を指定するクリスタルは図4-4.で記述されるように適合した外部コンデンサが必要です。

32.768kHzクリスタルに適合する負荷容量を見つけるには、クリスタルのデータシートを調べてください。

表4-3. 32.768kHzクリスタル最大推奨ESR

クリスタル負荷容量 (pF)	最大ESR (kΩ) (注)
9.0	65
12.5	30

注: 最大ESRは特性付けに基づく代表値です。

図4-3. バイアス コンデンサなし
外部実時間発振器

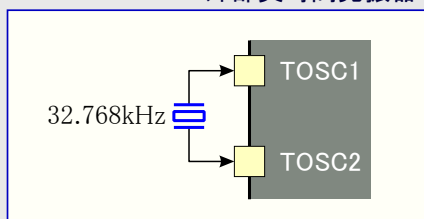


図4-4. バイアス コンデンサあり
外部実時間発振器

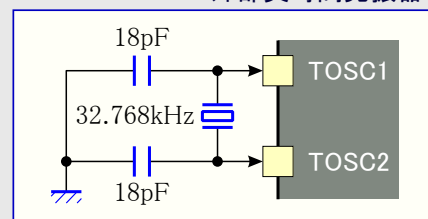


表4-4. 外部実時間発振器検査表

信号名	推奨ピン接続	説明
TOSC1	バイアス コンデンサ：18pF(注1,2)	LCD/計時器用発振器ピン1
TOSC2	バイアス コンデンサ：18pF(注1,2)	LCD/計時器用発振器ピン2

注1: これらの値は代表的な例としてだけで与えられています。使用するクリスタル用のコンデンサ値を決めるにはクリスタルのデータシートを参照するか、または「AVR1003:XMEGA クロックシステムの使い方」と「AVR4100:ATMEL AVRマイクロコントローラに関する32kHzクリスタル用発振器の選択と検査」応用記述を参照してください。

注2: デカップ(雑音分離)コンデンサはクリスタル、GND、デバイスの発振器ピン真直に配置されるべきです。

5. JTAGとPDIのポート

5.1. JTAGポート インターフェース

図5-1. JTAGポート インターフェース例回路図

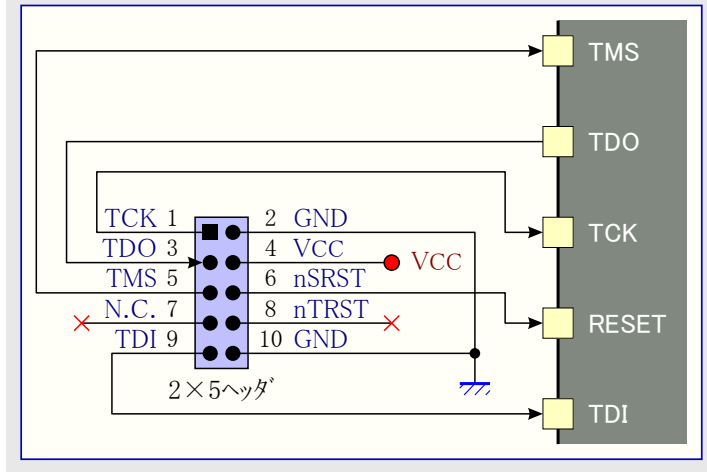


表5-1の回路は標準的なATMELツールJTAGヘッダ(例えばATMEL JTAGICE3,AVRONE!,~)に対応します。

表5-1. JTAGポート インターフェース検査表

信号名	説明
TDOTMS	検査データ出力(TCK下降で駆動)
TCK	検査クロック(システムクロックと完全に非同期)
TDI	検査データ入力(TCK上昇で採取)
TMS	検査形態選択(TCK上昇で採取)
RESET	デバイス外部リセット線

5.2. PDIポート インターフェース

図5-2. PDIポート インターフェース例回路図

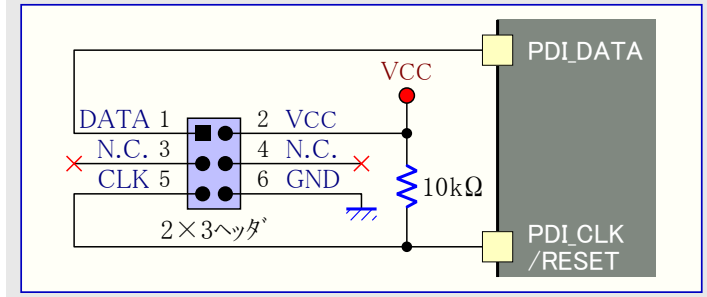


表5-2の回路は標準的なATMELツールPDIヘッダ(例えばATMEL JTAGICE3,AVRONE!,~)に対応します。

表5-2. PDIポート インターフェース検査表

信号名	推奨ピン接続	説明
PDI_CLK	このプルアップ抵抗はリセットが予期せずLowにならないことを保証します。PDIのプログラミングとデバッグが使用される時にリセット線がクロックとして使用されます。リセットのプルアップは10kΩまたはより弱い(高抵抗値のもの、または完全に取り去られるべきです。PDIのプログラミングとデバッグが使用される場合に、どのリセットコンデンサも取り去られるべきです。他の外部リセット元は切断されるべきです。	PDIクロック入力/リセットピン
PDI_DATA		PDI_DATA:PDIデータ入出力

6. USBインターフェース

USB差動データ線対のインピーダンスは互いに対して90Ω、GNDに対して45Ωです。線の終端は直列抵抗としてATMEL XMEGA Bデバイス内に含まれます。正しい信号完全性を保証するため、2つのD+/D-信号はPCB上で近くに配置されなければなりません(「AVR1017:XMEGA USBハードウェア推奨設計」応用記述を参照してください)。

図6-1. 安価USBインターフェース例回路図

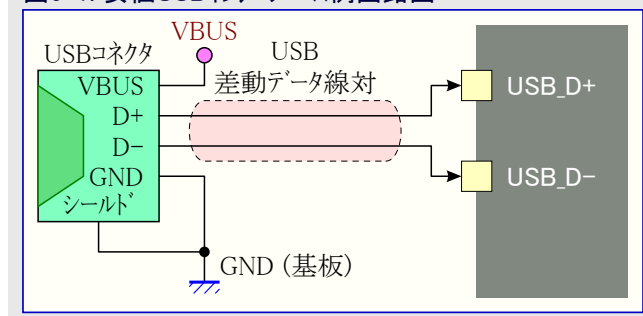


図6-2. 保護されたUSBインターフェース例回路図

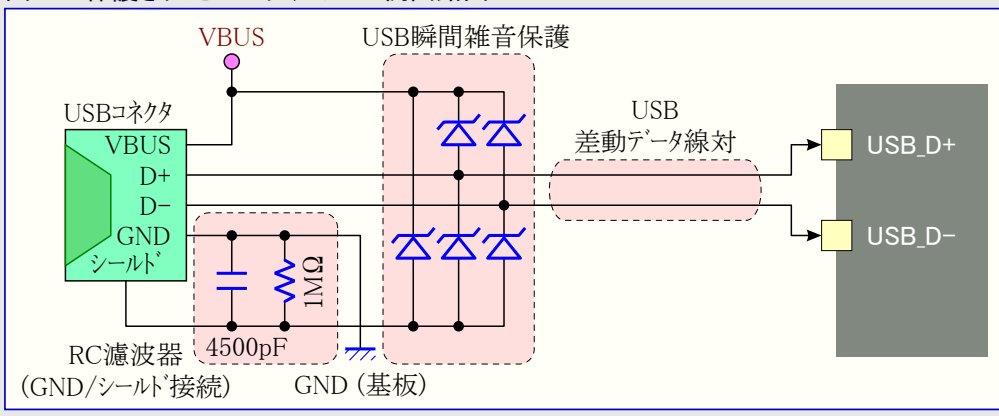


表6-1. USBインターフェース検査表

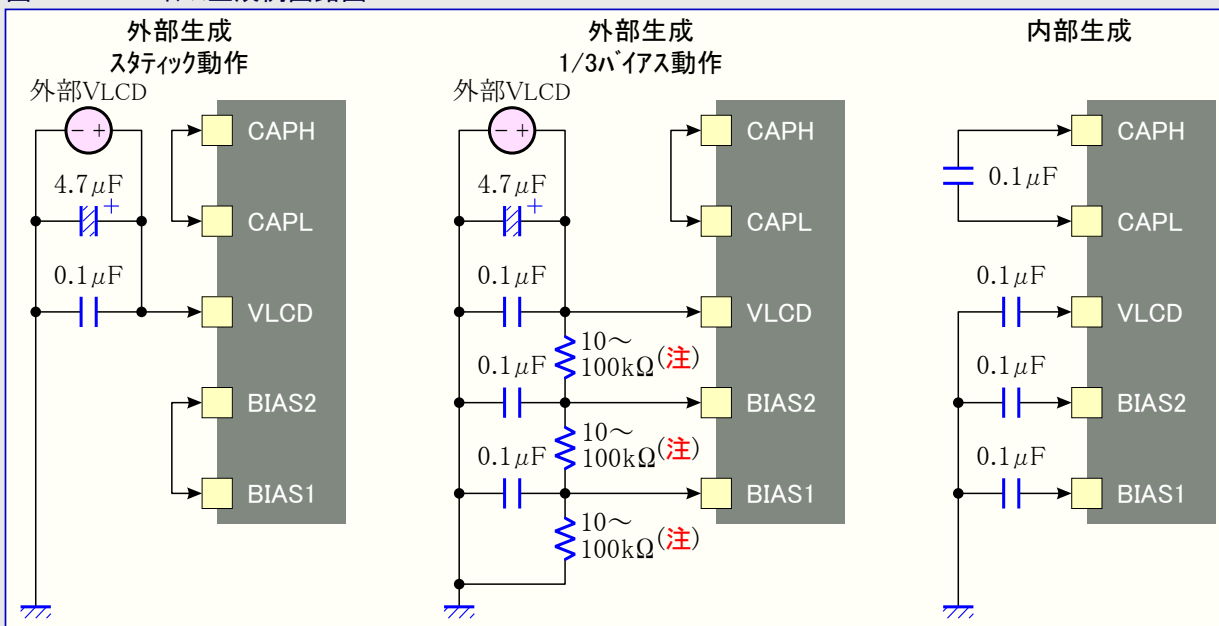
信号名	推奨ピン接続	説明
D+	<ul style="list-style-type: none"> 最小反射のために対のインピーダンスはPCBで合わせられるべきです。 USB差動布線(トラック)は同じ特性(長さ、幅、ビア数など)で配線されるべきです。 信号は最小の角数とビア数で、可能な限り平行に配線されるべきです。 	USB全速(Full)/低速(Low)正データ上方向流れピン
D-		USB全速(Full)/低速(Low)負データ上方向流れピン

7. LCDインターフェース

7.1. バイアス生成

チップ上LCD緩衝部用電圧はデバイスそれ自身または外部によって生成することができます。

図7-1. LCDバイアス生成例回路図



注: バイアス生成は分圧抵抗による以外の他の電圧源によって生成することができます。

表7-1. LCDバイアス インターフェース検査表

信号名	推奨ピン接続	説明
CAPH	<ul style="list-style-type: none"> 内部バイアス生成: デバイス近くでCAPHとCAPL間に0.1μF 外部バイアス生成: CAPH/CAPLを共に接続 	浮動コンデンサの+端
CAPL		浮動コンデンサの-端
VLCD	内部バイアス生成: デバイス近くでGNDに対して0.1μF	LCD電圧倍増出力
	外部バイアス生成: デバイス近くでテック(雑音分離)用に0.1μF	LCD電圧入力
BIAS2	内部バイアス生成: デバイス近くでGNDに対して0.1μF	LCD中間電圧2出力(VLCD×2/3)
BIAS1	外部1/3バイアス生成: デバイス近くでテック(雑音分離)用に0.1μF	LCD中間電圧1出力(VLCD×1/3)
	外部スタティック生成: BIAS1/BIAS2を共に接続	

7.2. 電極信号

セグメント電極と共通電極のバス上に外部部品は全く必要とされません。基板の配線を助けるために、セグメント電極または/と共通電極のバス交換を許可することができます(LCD制御レジスタ(LCD.CTRLA)内のセグメント交換(SEGSWP)と共通交換(COMSWP)のビットを参照)。

表7-2. LCD電極インターフェース検査表

信号名	推奨ピン接続	説明
COMn	アナログ信号のバスとして配線	LCD共通電極出力
SEGN		LCDセグメント電極出力

8. 推奨する読み物

8.1. データシートと手引書

データシートと手引書はデバイスに関する周辺機能の構成図とファームウェア実装についての詳細を含みます。データシートと手引書は<http://www.atmel.com/avr>のデータシートと手引書部で入手できます。

8.2. 評価キット回路図

ATMEL XMEGA-B1 Xplain評価キットはそれが参照基準設計として使用できる、基板に関する完全な回路図を含みます。回路図は<http://www.atmel.com/avr>のツールとソフトウェア部で入手できます。

9. 目次

要点	1
1. 序説	1
2. 電源	1
2.1. 電源接続	1
2.2. 外部アナログ基準電圧接続	2
3. 外部リセット回路	2
4. クロックとクリスタル用発振器	3
4.1. 外部クロック元	3
4.2. クリスタル用発振器	3
4.3. 外部実時間発振器	3
5. JTAGとPDIのポート	4
5.1. JTAGポート インターフェース	4
5.2. PDIポート インターフェース	4
6. USBインターフェース	4
7. LCDインターフェース	5
7.1. バイアス生成	5
7.2. 電極信号	6
8. 推奨する読み物	6
8.1. データシートと手引書	6
8.2. 評価キット回路図	6
9. 目次	6



Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2011 Atmel Corporation. 全権利予約済

ATMEL®、ATMELロゴとそれらの組み合わせ、それとAVR®、XMEGA®その他はATMEL Corporationの登録商標または商標またはその付随物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに表示する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2014.

本応用記述はATMELのAVR1018応用記述(doc8414.pdf Rev.8414A-07/11)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。