

AVR1020 : ATxmega64A3/128A3/192A3/256A3から ATxmega64A3U/128A3U/192A3U/256A3Uへの移植

要点

- 強化と追加された機能
- メリ
- システム クロックとクロック選択
- リセット元
- 入出力ポート
- DAC - D/A変換器
- AC - アナログ比較器

1. 序説

この応用記述は設計をATMEL ATxmega64A3U/128A3U/192A3U/256A3Uに変換するATxmega64A3/128A3/192A3/256A3使用者を援助するための手引きです。完全なデバイス詳細については常にATxmega64A3U/128A3U/192A3U/256A3UデータシートとATMEL® AVR® XMEGA AU手引書の最新版を参照してください。ATxmega64A3/128A3/192A3/256A3とATxmega64A3U/128A3U/192A3U/256A3U間の不具合の違いはこの資料ではなく、デバイスのデータシートでだけ一覧にされます。

この資料で記述される違いに加え、他の代表特性が異なり得ます。詳細については最終版データシートを調べてください。

ATxmega64A3U/128A3U/192A3U/256A3Uは新しい形態設定と機能も含みます。これらは既存形態設定変更や新機能の許可なしにそれらデバイス用の既存コードを新しいデバイスで動かすように、可能な限り既存のATxmega64A3/128A3/192A3/256A3の機能の上位機能として実装されます。新しい遷移選択と機能は純粋な移植に加えて新機能の使用の考慮のために概要を見ようとするお客様のためにも、この応用記述で一覧にされます。

2. 強化と追加された機能

この章ではATMEL ATxmega64A3/128A3/192A3/256A3と比べてATMEL ATxmega64A3U/128A3U/192A3U/256A3Uで強化または追加された機能を要約します。純粋な移植に関してはこの章を飛ばして次の章から始めることができます。

2.1. USB

- ・ 1つのUSB 2.0全速(Full-speed、12Mbps)と低速(Low-speed、1.5Mbps)装置適合インターフェースが追加されます。

2.2. クロック体系

- ・ 出力周波数を10MHzへ落とすのを許すPLL出力用2分周任意選択
- ・ 安全性と強化の改善のため、任意の遮蔽不可割り込み(NMI:Non-Maskable Interrupt)とのPLL固定化失敗検出
- ・ 前置分周なし実時間計数器クロック元: TOSC1からの外部クロック、TOSCからの32.768kHz、内部32.768kHz発振器からの32.768kHz
- ・ より高い負荷でクリスタルを支援する外部クリスタル用発振器のためのより高い駆動の任意選択
- ・ 内部32MHz発振器は30MHz~55MHz間のどの周波数でも動くように調整できます。

2.3. 2線インターフェース

- ・ SMBUS適合のためにSDA保持時間を増して形態設定することができます。

2.4. 入出力ポート

- ・ タイマ/カウンタ0比較チャネル、USART0、SPI用の代替ピン位置
- ・ 周辺クロックと事象出力機能用の代替ピン位置
- ・ 実時間計数器クロックはポートピンに出力することができます。
- ・ どの事象チャネルもポートピンに出力することができます。



8ビット ATMEL
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8416A-07/11, 8416AJ1-03/14

2.5. A/D変換器

- ・自動入力チャネル走査
- ・VCC/2基準電圧任意選択
- ・×1/2(2分圧)利得段設定
- ・(利得付き)差動形態で負入力として内部GNDを使用可能

2.6. アナログ比較器

- ・アナログ比較器1はポートピンで出力することができます。
- ・定電流源

2.7. CRC16/CRC32生成器

- ・CRC16(CRC-CCITT)とCRC32(IEEE 802.3)を支援するCRC16/CRC32生成部署

2.8. 16ビット タイマ/カウンタ

- ・各々が4つのPWMチャネルを持つ2つの8ビット タイマ/カウンタを許す分割形態

2.9. 高分解能拡張

- ・×8(3ビット)に増加されるPWM分解能を許すHi-Res+任意選択

2.10. 電力管理

- ・始動電流を減らすためにA/D変換器とアナログ比較器のアナログ部署に対して使用される部分の順次開始を許すことが可能

3. メモリ

3.1. NVM制御器

ATMEL ATxmega64A3U/128A3U/192A3U/256A3Uについてはチップ消去時間が約40msです。ATMEL ATxmega64A3U/128A3U/192A3U/256A3Uのチップ消去時間はより長くなります。

ATxmega64A3U/128A3U/192A3U/256A3Uデバイスの代表的なチップ消去時間は右表で一覧にされます。

フラッシュチップ消去が正しく終了されるのを保証するため、チップ消去時間中にフラッシュのアクセスは全く行われるべきではありません。

使用者コードに於いて、チップ消去が終了された時を知るために不揮発性メモリ状態レジスタ(STATUS)のフラッシュ多忙(FBUSY)フラグを調べることが常に必要とされます。

表3-1. ATxmega64A3U/128A3U/192A3U/256A3Uチップ消去時間

製品名	フラッシュとブートコードの容量	チップ消去時間
ATxmega64A3U	64Kバイト+4Kバイト	55ms
ATxmega128A3U	128Kバイト+8Kバイト	75ms
ATxmega192A3U	192Kバイト+8Kバイト	90ms
ATxmega256A3U	256Kバイト+8Kバイト	105ms

3.2. ヒューズと施錠ビット

ATxmega64A3U/128A3U/192A3U/256A3Uで低電圧検出(BOD)レベルが異なります。違いについては「[5.1. 低電圧検出\(BOD\)](#)」項をご覧ください。

4. システム クロックとクロック選択

4.1. DFLL 2MHzとDFLL 32MHz

発振器比較レジスタの最下位バイト(COMP0)はATMEL ATxmega64A3U/128A3U/192A3U/256A3Uの2MHzと32MHzの内部発振器用の両DFLLから存在しません。より多くの詳細についてはデバイスのデータシートを参照してください。

5. リセット元

5.1. 低電圧検出(BOD)

設定可能なBODLEVEL設定はATMEL ATxmega64A3U/128A3U/192A3U/256A3Uで異なります。詳細については右の表5-1をご覧ください。低電圧検出レベルについての公差に関してはデバイスのデータシートを参照してください。

表5-1. 低電圧検出レベル

BODLEVEL	XMEGA AUのVBOT	XMEGA AのVBOT
1 1 1	1.6V	1.6V
1 1 0	1.8V	1.9V
1 0 1	2.0V	2.1V
1 0 0	2.2V	2.4V
0 1 1	2.4V	2.6V
0 1 0	2.6V	2.9V
0 0 1	2.8V	3.2V
0 0 0	3.0V	3.4V

6. 入出力ポート

入出力ポートピンはATMEL ATxmega64A3U/128A3U/192A3U/256A3Uデバイスに関してLVTTTLとLVCMOS適合です。最小「入力High電圧」はVCC>2.7Vに対して決して2.0Vよりも高くなりません。

ATMEL ATxmega64A3U/128A3U/192A3U/256A3Uでは最小「入力High電圧」が $0.7 \times VCC$ で、VCC>2.86Vに対して2.0Vよりも高くなり得ます。

7. DAC – D/A変換器

ATMEL ATxmega64A3U/128A3U/192A3U/256A3UのDACはATMEL ATxmega64A3U/128A3U/192A3U/256A3Uデバイスのような採取/保持回路ではなく、2つの継続出力チャネルを持ちます。これは各チャネルに対して継続時間出力とより高い採取速度を与えます。ATxmega64A3U/128A3U/192A3U/256A3Uの各DACチャネルに対して独立した校正(変位(オフセット)/利得)があります。

(製品識票列内の)DACA0OFFCALがDACA内のCH0OFFSETCALに書かれると、CH1OFFSETCALもこの値で書かれます。この動作の詳細が以下で示されます。

最初の段階、

- 製品識票列からDACA0OFFCALを読みます。
- DACA0OFFCALをDACA.CH0OFFSETCALに書きます。

これは以下に帰着します。

- DACA.CH0OFFSETCAL=DACA0OFFCAL
- DACA.CH1OFFSETCAL=DACA0OFFCAL

第2段階、

- 製品識票列からDACA1OFFCALを読みます。
- DACA1OFFCALをDACA.CH1OFFSETCALに書きます。

これは以下に帰着します。

- DACA.CH1OFFSETCAL=DACA1OFFCAL

その後、DACA.CH0OFFSETCALへの更なるどんな書き込みも、次のリセットまでDACA.CH1OFFSETCALを変更しません。同じものがDACAとDACBでOFFSETとGAINの両方の校正レジスタに実装されます。これはATxmega64A3U/128A3U/192A3U/256A3UのDACを使用するお客様が同じ校正手順を継続して使用し、両チャネルを未だ校正することができることを保証します。

DAC操作での時間制限がないので、ATxmega64A3U/128A3U/192A3U/256A3UにTIMCTRLレジスタは存在しません。

8. AC – アナログ比較器

ATMEL ATxmega64A3U/128A3U/192A3U/256A3Uでは新しいMUX設定書き込みからそれが効果を表すまで2周期の遅延があります。

9. レジスタ

9.1. 取り去られたレジスタとビット

右表はATMEL ATxmega64A3/128A3/192A3/256A3に存在してATMEL ATxmega64A3U/128A3U/192A3U/256A3Uに存在しないレジスタビットを一覧にします。

表9-1. ATxmega64A3U/128A3U/192A3U/256A3Uに存在しないレジスタビットと機能

レジスタ名	ビット名	機能
TIMCTRL	CONINTVAL2~0	DAC変換間隔
	REFRESH3~0	DACチャンネル再活性時間制御
CMP0	COMP7~0	発振器比較レジスタ0

10. 目次

要点	1
1. 序説	1
2. 強化と追加された機能	1
2.1. USB	1
2.2. クロック体系	1
2.3. 2線インターフェース	1
2.4. 入出力ポート	1
2.5. A/D変換器	2
2.6. アナログ比較器	2
2.7. CRC16/CRC32生成器	2
2.8. 16ビット タイマ/カウンタ	2
2.9. 高分解能拡張	2
2.10. 電力管理	2
3. メモリ	2
3.1. NVM制御器	2
3.2. ヒューズと施錠ビット	2
4. システム クロックとクロック選択	2
4.1. DFLL 2MHzとDFLL 32MHz	2
5. リセット元	3
5.1. 低電圧検出(BOD)	3
6. 入出力ポート	3
7. DAC - D/A変換器	3
8. AC - アナログ比較器	3
9. レジスタ	4
9.1. 取り去られたレジスタとビット	4
10. 目次	4



Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2011 Atmel Corporation. 全権利予約済

ATMEL®、ATMELロゴとそれらの組み合わせ、それとAVR®、XMEGA®その他はATMEL Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに表示する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2014.

本応用記述はATMELのAVR1020応用記述(doc8416.pdf Rev.8416A-07/11)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。