

AVR124 : AT90PWMのA/D増幅器の使用法

要点

- Atmel® AVR® AT90PWMデバイスのA/D変換器の特徴:
 - ・ 差動入力での増幅された10ビットA/D変換
 - ・ 設定可能な利得
 - ・ 内部基準電圧

1. 序説

AT90PWMデバイスは10ビット逐次比較A/D変換器が特徴です。このA/D変換器は以下を提供するアナログ比較器に接続されています。

- ・ 0V(GND)を参照する8つまたは11点のシングルエンド入力
- ・ 差動入力(AMPx)での1つまたは2つの増幅されたA/D変換チャンネル

表1-1.は製品に対するA/D変換器形態を提供します。

表1-1. AT90PWMデバイスに対するA/D変換器機能

入力種別	AT90 PWM1	AT90 PWM2B	AT90 PWM3B	AT90 PWM216	AT90 PWM316	AT90 PWM81/161
シングルエンド入力数	8	8	11	8	11	8/11
差動チャンネル数	1	1	2	1	2	1

差動入力で増幅されたA/D変換チャンネルの恩恵は次のとおりです。

- ・ 調整可能な利得：×5、×10、×20、×40
- ・ 外部クロックでの同期
- ・ GNDを参照しない浮き入力

この応用記述はA/D変換器でこの増幅されたチャンネルを構成設定して使う方法を提供します。



8ビット Atmel
マイクロコントローラ

応用記述

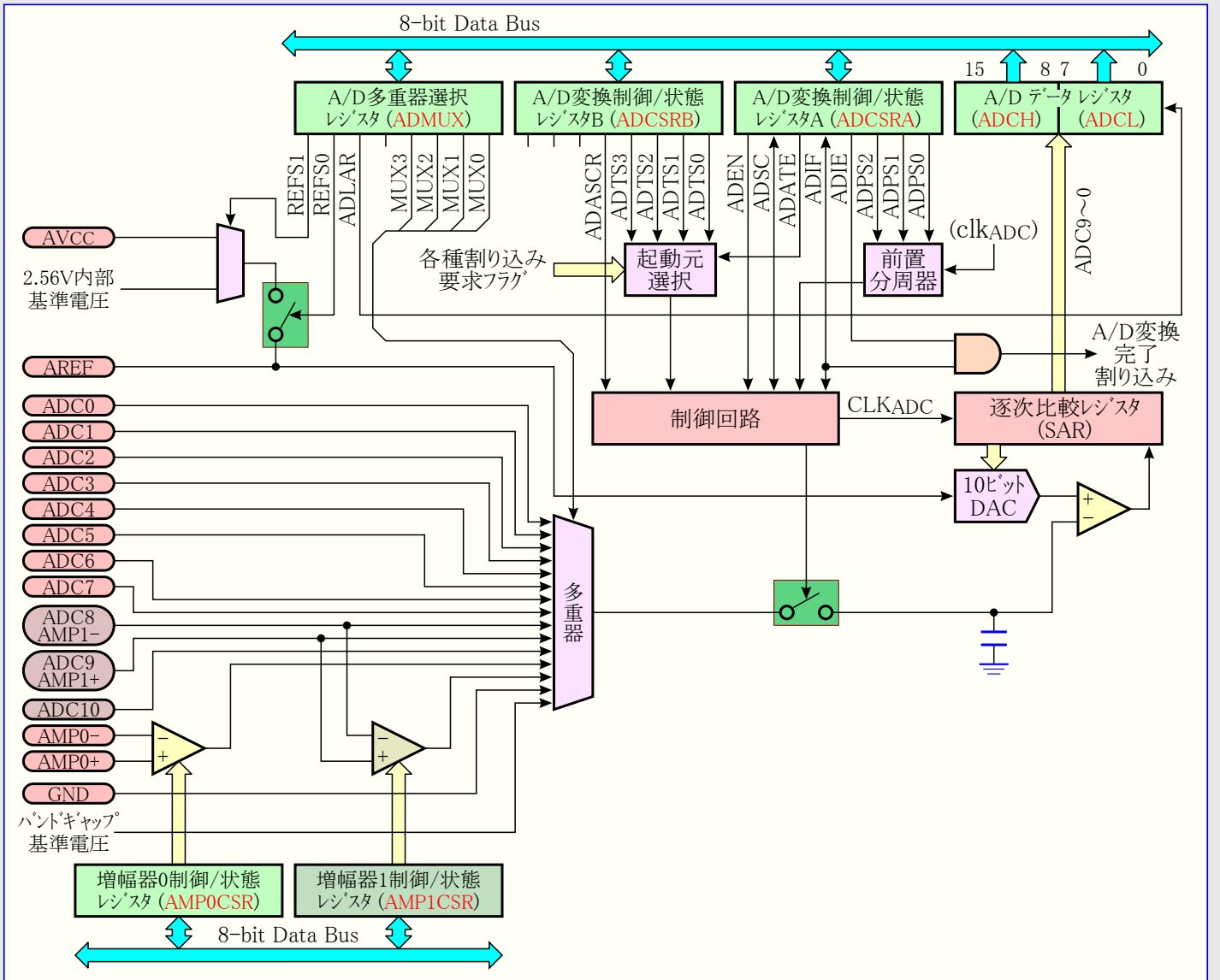
本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8288B-01/12, 8288BJ2-01/21

2. 構成図

8つのシングルエンドチャンネルと2つの完全な差動/増幅チャンネルを持つA/D変換器の構成図は次(図2-1.)のとおりです。

図2-1. A/D変換器部構成図 (Atmel AT90PWM2B/3Bデータシートより抜粋)



A/D増幅器は入力多重器の前に置かれ、実時間の制限に関して改善された性能を提供します。

3. 動作の理屈 - 増幅器

3.1. 利得制御

差動入力電圧はA/D変換の前で、14dB(×5)、20dB(×10)、26dB(×20)または32dB(×40)の増幅段を提供する、設定可能な利得段に接続されます。

3.2. クロック制御

増幅器はスイッチ キャパシタ増幅器で、次の3つの段階を持ちます。

- ・ 採取
- ・ 増幅
- ・ 保持

純粋に直線的なアナログ増幅器と異なり、出力は継続して入力に比例しませんが、最後に採取した信号の正確な値を提供します。増幅器は動作のためにクロック信号が必要です。このクロック事象は“同期クロック”と呼ばれます。

毎回の“同期クロック”事象に対し、入力は増幅器の出力での採取/増幅/保持です。この値は増幅器の出力で次の同期クロック事象まで利用可能です。

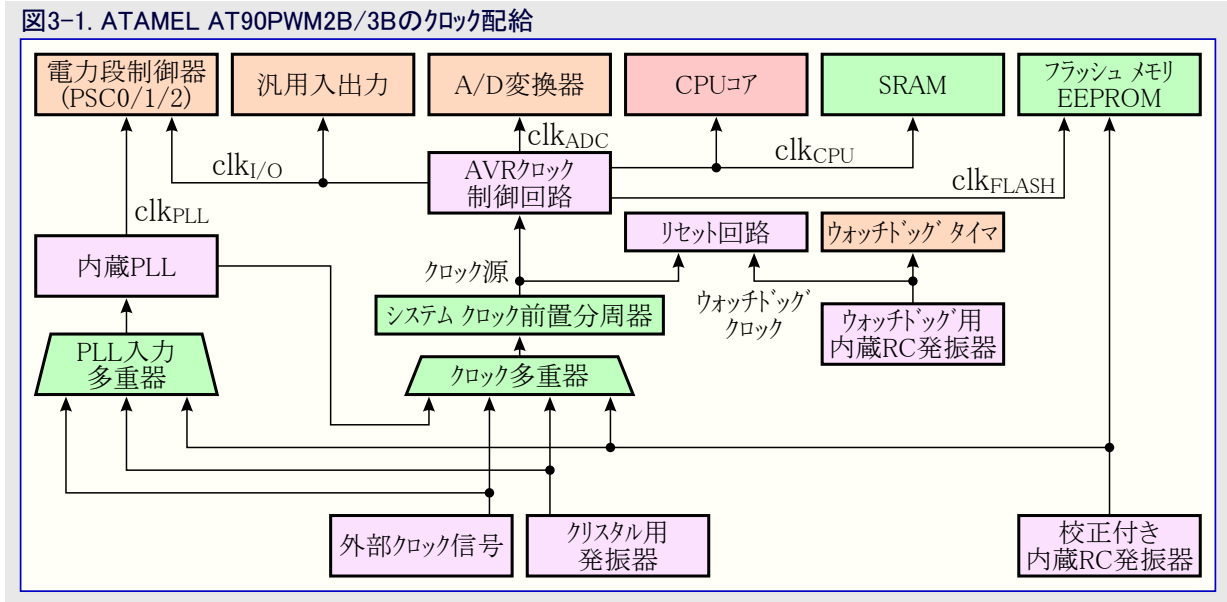
3.2.1. 採取

増幅器に対する最大クロックは250kHzです。増幅した変換は2つのクロック事象のどれにも同期することができます。

- 電力段制御器(PSC)事象。PSC事象は増幅器に対する同期クロックとして用いることができます。PSCの動作形態に依存して、PSCn同期/出力構成(PSCnSOC)レジスタが適切に構成設定されなければなりません。

注: PSC事象はPSC部署に対するクロック元に関連し、従ってPSCクロックにPLLが使われる場合、同期クロック(PSC事象)はClkI/Oとの関連を持ちません(図3-2. A/Dタイミングをご覧ください)。

- A/D変換クロック周波数の1/8に等しいCKADC内部クロック。A/D変換器の最大周波数が2MHzなので、最大CKADCもまた250kHzに構成設定することができます(図3-1.をご覧ください)。

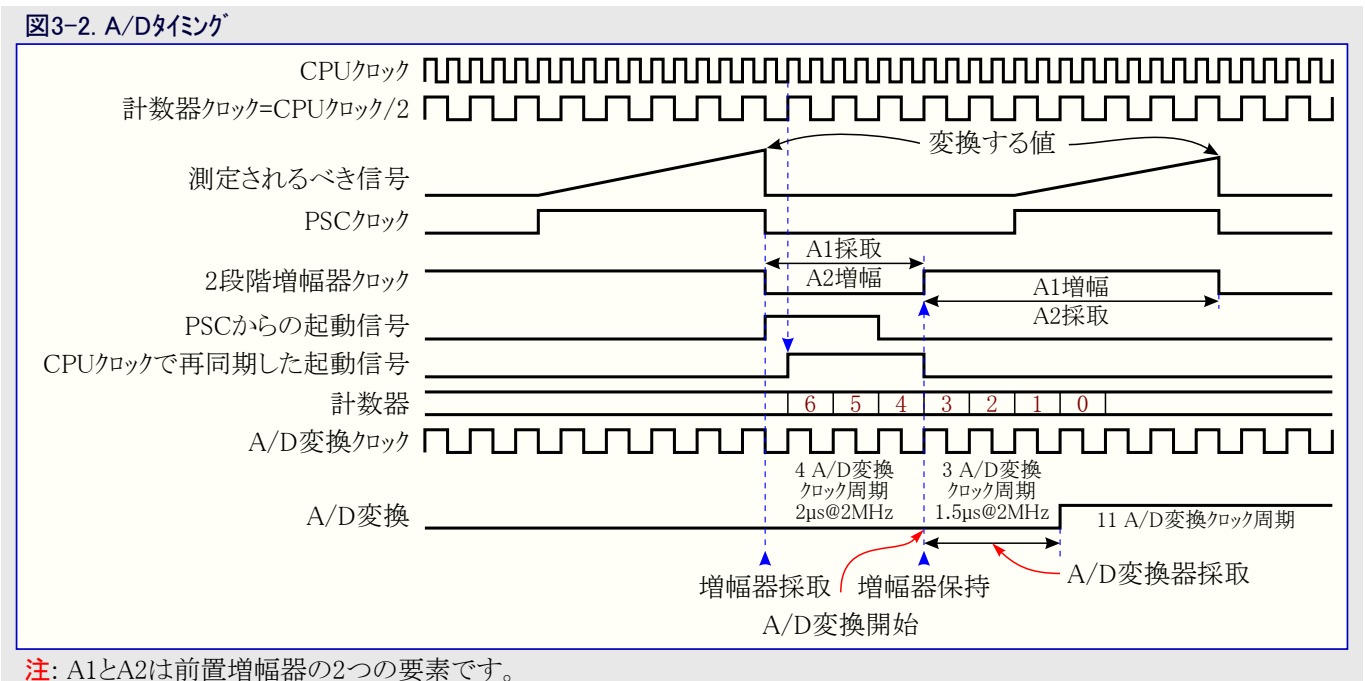


3.2.2. 増幅

入力信号は利得制御(×5, ×10, ×20, ×40)に対して増幅されます。

3.2.3. 保持

増幅器出力の保持はA/D変換クロックで同期化されます。図3-2. A/Dタイミングをご覧ください。これはA/D変換器の採取時間が違反されないことを保証します。



注: A1とA2は前置増幅器の2つの要素です。

そして増幅器の出力で結果が保持され、新規の“同期”事象を待ちます。この最中にA/D変換を処理することができ、その結果は“同期”事象で存在した最後の値に対応します。

4. 動作の理屈 – A/D変換

変換はどの瞬間でも開始することができ、結果が最後の“同期”事象に対応することをマイクロコントローラ内側の内部論理回路が保証します。

増幅は約2μsかかります。それはA/D変換器がA/D変換開始(ADSC)ビット経由で要求される時を意味し、それには3つの可能性があります。

- 増幅器の出力はA/D変換の全ての採取段階中に安定で、シングルエンド変換のように高速に行われ、その結果は最後の増幅器クロック事象での値の変換に対応します。
- A/D変換が開始されると、増幅器の出力は安定ではありません。この場合の変換は増幅器の出力が安定になるまで開始されず、その結果は最後の増幅器クロック事象での値の変換に対応します。
- A/D変換の採取段階中にクロック事象が表れます(変換が開始され、変換の採取段階中にクロック事象が出現したことを意味します)。この場合、例えA/D変換器の採取段階が開始されていても、増幅器の事象クロック出現のために、A/D変換器の採取が中止され、増幅器の出力が再び安定になると直ぐに再び開始されます。その後のA/D変換の結果は最後の増幅器クロック事象に於いて存在した入力値に対応します。

図3-2. A/Dタイミングに従い、例え増幅が電力段階制御器(PSC)事象で同期化されても、A/D変換の結果はこの事象と完全に(そして度々)非同期にすることができます。

これは例えその範囲で同期されないように思っても、採取したデータが応用に関して最新で信頼に足ることを同期機構が内部的に保証する理由です。

5. 増幅器の使用

増幅器を使う方法は次のとおりです。

- 増幅器n制御/状態レジスタ(AMPnCSR)内の増幅器n起動元選択(AMPnTS1,0)ビット経由で同期クロックを選びます(AMP0に対する例は表5-2)。
- 増幅器n許可(AMPnEN)ビット経由で増幅器をONに切り換えます(AMP0に対する例は表5-1)。

そして、増幅は各同時事象で成し遂げられます。増幅はA/D変換と無関係に行われます。

表5-1. 増幅器0制御/状態レジスタ (Amplifier 0 Control and Status register) AMP0CSR

ビット	7	6	5	4	3	2	1	0	
	AMP0EN	AMP0IS	AMP0G1	AMP0G0	-	-	AMP0TS1	AMP0TS0	AMP0CSR
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – AMP0EN : 増幅器0許可 (Amplifier 0 Enable Bit)

増幅器を許可するにはこのビットを設定(1)してください。

増幅器を禁止するにはこのビットを解除(0)してください。

変換走行中のこのビットの解除(0)は変換の最後で実施します。

警告: AMP0EN解除(0)時、常にAMP0TS1,0を解除(=0)します。

■ ビット1,0 – AMP0TS1,0 : 増幅器0起動元選択 (Amplifier 0 Trigger Source Selection Bits)

表5-2に従ってこれらの2ビットは増幅器0に対する起動生成事象を選びます。この起動元は増幅チャネルでの変換を始めるのに必要です。

表5-2. 増幅器0起動元選択

AMP0TS1	AMP0TS0	同期方法
0	0	A/D変換クロック/8で自動同期
0	1	電力制御器0(PSC0)のアナログ同期信号(PSC0ASY)で同期化起動
1	0	電力制御器1(PSC1)のアナログ同期信号(PSC1ASY)で同期化起動
1	1	電力制御器2(PSC2)のアナログ同期信号(PSC2ASY)で同期化起動

5.1. 同期クロック

電力段制御器(PSC)での同期の場合、増幅器はPSCの同期構成経路で設定された時間で採取/増幅を行います。この構成設定ビットはA/D変換器用同期出力選択(PSYNCn1とPSYNCn0)です(PSC0については表5-3をご覧ください)。

その結果は増幅器の出力で保持され、新しい事象を持ちます。この間にA/D変換を処理することができ、その結果は最後の同期事象の値に対応します。

表5-3. PSC0同期・出力構成レジスタ (PSC 0 Synchro and Output Configuration) PSOC0

ビット	7	6	5	4	3	2	1	0	
	-	-	PSYNC01	PSYNC00	-	POEN0B	-	POEN0A	PSOC0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット5,4 – PSYNCn1,0 : A/D変換器用同期出力選択 (Synchronization Out for ADC Selection)

同期化用にA/D変換器へ送る信号を生成する信号元と極性を選択します。

表5-4. 1,2,4傾斜動作での同期元

PSYNCn1	PSYNCn0	説明
0	0	PSCOUTn0の先行端(OCRnSAとの比較一致)で信号送出。
0	1	PSCOUTn0の後行端(OCRnRAとの比較一致またはA部での誤り/再起動)で信号送出。
1	0	PSCOUTn1の先行端(OCRnSBとの比較一致)で信号送出。
1	1	PSCOUTn1の後行端(OCRnRBとの比較一致またはB部での誤り/再起動)で信号送出。

表5-5. 中央整列動作での同期元

PSYNCn1	PSYNCn0	説明
0	0	(PSC下降計数中の)OCRnRAとの比較一致で信号送出。OCRnRAの最小値は1でなければなりません。
0	1	(PSC上昇計数中の)OCRnRAとの比較一致で信号送出。OCRnRAの最小値は1でなければなりません。
1	0	同期化信号なし。
1	1	

5.2. 増幅チャネルでの変換

AMPxチャネルでA/D変換を開始するには以下の手順に従わなければなりません。

- A/D変換器を構成設定して許可してください。
- A/D変換多重器(ADMUX)でAMPチャネルを選んでください。
- $ADCSRA |= (1 \ll ADSC)$ で変換を開始してください。

その後、マイクロコントローラ内部論理回路は結果がPSYNC0x構成設定に従った最後の事象に対応することを保証します。

増幅器動作時、起動が増幅器n制御/状態レジスタ(AMPnCSR)で構成設定されるため、A/D変換器の自動起動形態は使われません(表5-1)。

故にA/D変換自動起動許可ビット(A/D変換制御/状態レジスタA(ADCSRA)のADATE)、起動選択ビット、それと連続変換動作に使われるA/D変換制御/状態レジスタB(ADCSRB)のADTSは増幅A/D変換中に使うことができません。

増幅チャネルで自動起動(連続変換)は不可能です。増幅チャネルでの繰り返し変換を達成する唯一の方法はソフトウェア経路で変換を開始するための変換開始(ADSC)ビットを書くことです。

6. 応用例

Atmel AT90PWM製品の代表的な応用は電動機制御です。これらの応用はPWM機能を持つタイマ/カウンタや高速A/D変換器のような組み込み機能を使います。

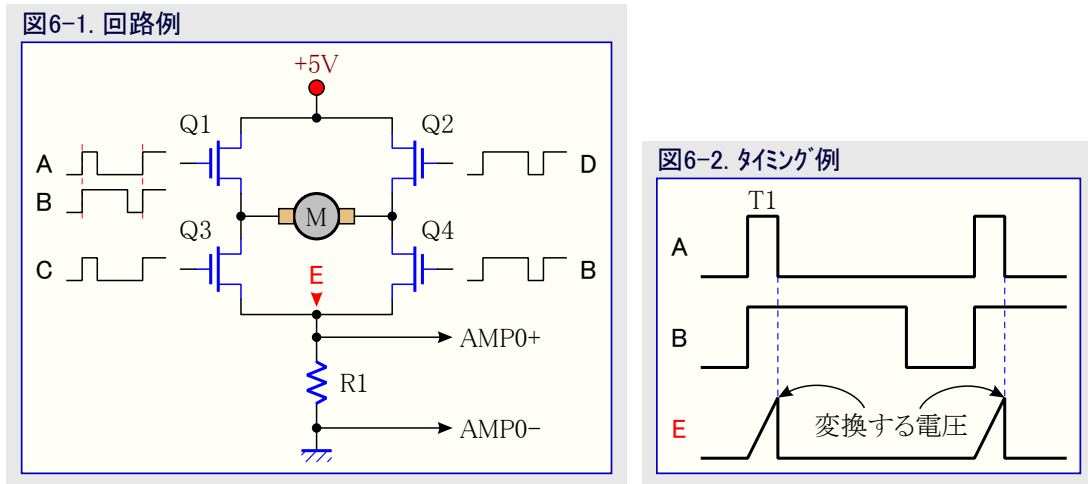
この応用記述は電動機応用を引用します。Hブリッジを用いた1つの回路例が図6-1.で示されます。

MOS-FETは4象限切り替え構成に従ってマイクロコントローラによって駆動されます。FETの指令信号は電動機制御に使われるのが主な特徴の電力段制御器(PSC)のPWM出力で制御されます。電動機制御に関する応用記述例はAtmelのウェブサイトからダウンロードすることができます。

ADCチャンネルは電動機電流と、電動機温度のような他のパラメータも測定することができます。

この応用記述は電流監視の例を提供します。これはR1を渡る電圧測定で達成されます(検査点は図6-1.の回路図のEです)

制限事項はT1の最後で正確なA/D変換採取値を得ることです(図6-2.の波形をご覧ください。)



6.1. ソフトウェア実装

測定のようなことを行うための最良の解決策は増幅器を用いることです。これは分圧値を低めることを許し、信号値の正確な採取も提供します。例のプログラムはこの応用記述に付随するソフトウェア一式で提供されます。この例では以下の構成設定が使われます。

- AMP0構成設定
電力段制御器(PSC)0での起動で構成設定し、AMP0増幅器を許可するには、表6-1.に従って、AMP0CSR=10000001=\$81にしてください。
- PSC0構成設定
PSC0ASY信号を生成するようにPSC0RA時期を構成設定するには、PSOC0レジスタでPSYNC01=0とPSYNC00=1にしてください。表5-3.に従い、PSOC0=\$25にしてください。
- 利得制御
次のようにAMP0増幅器で利得5が構成設定されます。AMP0G1,0=\$00(表6-1.)

表6-1. 増幅器0制御/状態レジスタ (Amplifier 0 Control and Status register) AMP0CSR

ビット	7	6	5	4	3	2	1	0	
	AMP0EN	AMP0IS	AMP0G1	AMP0G0	-	-	AMP0TS1	AMP0TS0	AMP0CSR
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット5,4 - AMP0G1,0 : 増幅器0利得選択 (Amplifier 0 Gain Selection Bits)

これら2ビットは増幅器0の利得を決めます。

各種設定は表6-2. 増幅器0利得選択で示されます。

正確な結果を保証するために利得値が変更されてしまった後、最低4増幅器同期クロック周期間、増幅器入力に静定入力値である必要があります。

表6-2. 増幅器0利得選択

AMP0G1	AMP0G0	利得
0	0	利得5 (×5)
0	1	利得10 (×10)
1	0	利得20 (×20)
1	1	利得40 (×40)

・ A/D変換クロック

A/D変換クロック構成設定はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換クロック選択(ADPS2~0)経由で達成されます(表6-3)。A/D変換器は2MHzの高さの速度で動作することができます。この周波数での動作を推奨します。

表6-3. A/D変換 制御/状態レジスタA (ADC Control and Status Register A) ADCSRA

ビット	7	6	5	4	3	2	1	0	ADCSRA
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これら3ビットはシステム クロック周波数とA/D変換器の入力クロック間の分周係数を決めます。各種設定は表6-4. A/D変換前置分周器選択で示されます。

表6-4. A/D変換前置分周器選択

ADPS2~0	000	001	010	011	100	101	110	111
分周数	2	2	4	8	16	32	64	128

6.2. ハードウェア構成設定

この例に従った構成設定は次のとおりです。

■ デバイス側:

- ・ 8MHzで\$F9,\$DF,\$4Eのヒューズ構成設定を持つAtmel AT90PWM3B
- ・ Atmel STK[®]500 + Atmel STK520使用
- ・ またはAtmel STK600 + Atmel STK600-RCPWM-19 + Atmel STK600-SOIC

■ PC側:

端末構成設定 : 2400bps、8ビット データ、1停止ビット、パリティなし
 端末はAMP0入力電圧の16進値を表示します。

6.3. 結び

この例に於いて、A/D増幅器は、この信号を増幅して最後にそれをデジタル値に変化するために、特定の時間に於ける浮き電圧を採取する能力を提供します。

7. 目次

要点	1
1. 序説	1
2. 構成図	2
3. 動作の理屈 – 増幅器	2
3.1. 利得制御	2
3.2. クロック制御	2
3.2.1. 採取	3
3.2.2. 増幅	3
3.2.3. 保持	3
4. 動作の理屈 – A/D変換	4
5. 増幅器の使用	4
5.1. 同期クロック	5
5.2. 増幅チャネルでの変換	5
6. 応用例	6
6.1. ソフトウェア実装	6
6.2. ハードウェア構成設定	7
6.3. 結び	7
7. 目次	7



Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2012 Atmel Corporation. 不許複製

Atmel®、Atmelロゴとそれらの組み合わせ、それとAVR®,STK®,その他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2021.

本応用記述はAtmelのAVR124応用記述(doc8288.pdf Rev.8288B-01/12)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。