

序説

この応用記述はA/D変換器(ADC)の基本概念とADCの性能を決めるパラメータを説明します。これらのADCパラメータはADCから利用可能な出力の精度を決めます。

ADC用語の紹介の後にADCの様々な性能パラメータの記述が続きます。利得誤差、変位(オフセット)誤差、全尺(フルスケール)誤差、直線性誤差のような静的性能パラメータは詳細に説明されます。信号対雑音比(SNR:Signal to Noise Ratio)、総高調波歪(THD:Total Harmonic Distortion)、信号対雑音/歪(SINAD:Signal to Noise and Distortion)、実効ビット数(ENOB:Effective Number Of Bits)のような動的性能パラメータも説明されます。

特徴

- A/D変換器(ADC)の概念の導入
- 様々なADCパラメータの理解
- ADCの性能に於けるADCパラメータの影響の理解

目次

序説	1
特徴	1
1. 略語	3
2. ADC – 基本	3
2.1. 基準電圧	3
2.2. アナログ入力電圧	3
2.3. 分解能	4
2.4. 量子化	4
2.5. 理想ADC	4
2.6. 完璧なADC	5
3. A/D変換誤差	6
3.1. 変位(オフセット)誤差	6
3.2. 利得誤差	7
3.3. フルスケール誤差	7
3.4. 非直線性	7
3.4.1. 微分非直線性(DNL)	8
3.4.2. 積分非直線性(INL)	8
3.4.3. 符号紛失	8
3.5. 総未調整誤差(TUE)	9
4. 雑音パラメータ	9
4.1. 信号対雑音比(SNR)	9
4.2. 総高調波歪(THD)	9
4.3. 信号対雑音/歪(SINAD)	9
4.4. 実効ビット数(ENOB)	9
5. 過採取	10
6. ADCタイミング	10
6.1. 始動時間	10
6.2. 採取/保持(S/H)時間	10
6.3. 安定時間	10
6.4. 変換時間	10
6.5. 採取速度、帯域幅、処理速度	10
7. ADCのインピーダンスと容量(キャパシタンス)	11
8. 改訂履歴	11

1. 略語

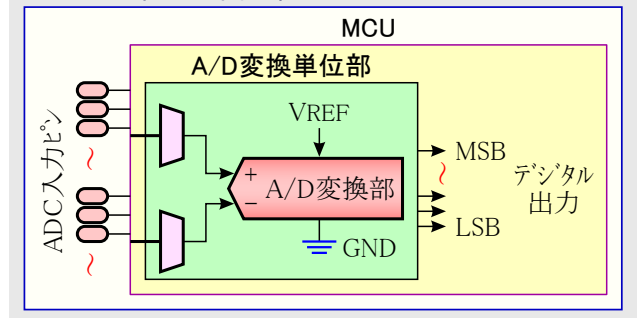
ADC	アナログ⇒デジタル変換器、A/D変換器 (Analog to Digital Converter)
CPU	中央処理部 (Central Processing Unit)
dB	デシベル (Decibel)
DNL	微分非直線性 (Differential Non-Linearity)
ENOB	実効ビット数 (Effective Number of Bits)
GND	接地 (Ground)
INL	積分非直線性 (Integral Non-linearity)
kHz	キロヘルツ (kilo Hertz)
LSB	最下位ビット (Least Significant Bit)
MHz	メガヘルツ (Mega Hertz)
MSB	最上位ビット (Most Significant Bit)
mV	ミリボルト (milli Volt)
RMS	実効値 (Root Mean Square)
SINAD	信号対雑音/歪 (Signal Noise and Distortion)
SNR	信号対雑音比 (Signal to Noise Ratio)
THD	総高調波歪 (Total Harmonic Distortion)
TUE	総未調整誤差 (Total Unadjusted Error)

2. ADC - 基本

ADCはアナログ入力(VIN)、基準電圧入力(VREF)、デジタル出力を持つ電子システムまたは単位部です。ADCはアナログ入力信号を基準電圧と比較したアナログ入力の大さを表すデジタル出力値に変換します。これは入力アナログ電圧を採取して測定した各採取に対して出力デジタル符号を生成します。入力と出力の信号を持つADCの基本シンボルが右図で示されます。

ADCの動作原理の理解を試みる前にADCで使用される基本的な少しの用語と概念を理解しましょう。

図2-1. 基本ADC単位部



2.1. 基準電圧

基準電圧(VREF)は測定されなければならないアナログ入力電圧と比較する標準電圧です。VREFは外部ピンを通して提供される入力電圧にすることができます。いくつかのADCはADC単位部のためにMCUデバイスのアナログVCCからVREFを生成する能力があります。VREFの範囲は各種デバイス間で変わり、正確な値を知るには各々のデータシートを参照しなければなりません。代表的には、対応するレジスタのビット領域を形態設定することによってVREFを選ぶことができます。

2.2. アナログ入力電圧

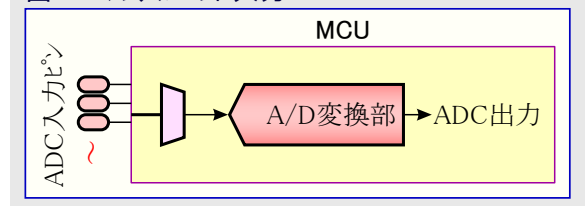
アナログ入力電圧(AIN)は測定されてデジタル値に変換されるべき電圧です。ADCの飽和を避けるために、入力電圧は常にVREFよりも小さくあるべきです。入力電圧範囲は変換範囲とも呼ばれます。

ADC単位部は次のように使用されるアナログ入力数に基づいて分類することができます。

1. シングルエンド入力
2. 差動入力

シングルエンド入力(注1)ではADCの採取と変換が1つのアナログ入力信号だけで実行されます。シングルエンド入力の基本的な構成図が右で示されます。

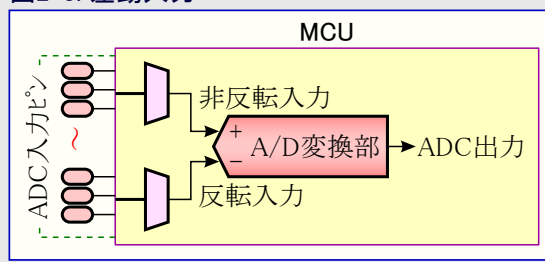
図2-2. シングルエンド入力



差動入力ではADC単位部に2つのアナログ入力の電圧差が印加されます。これは直接、または適応された利得段を使用していくつかの増幅を実行することのどちらかを行うことができます。差動変換は通常、出力符号のMSBが符号ビットとして働く符号動作で操作されます。差動動作使用時、同じピンでの非反転と反転の入力を構成設定することによって変位(オフセット)誤差は容易に測定することができ、この変位はADCが基準として接地(GND)レベルを必要としないので直接的に測定することができます。

例えば、AIN1=1.5VとAIN2=0.5Vの2つのアナログ入力提供される時に、差動出力(AIN1-AIN2=1V)のデジタル値が予想されます。

図2-3. 差動入力



殆どのADCは正入力電圧だけを使用して動作することができます。正範囲($0 < AIN < VREF$)にあるAINを持つADCは単極(ユニポーラ)ADCと呼ばれます。正と負の両方の入力電圧を受け入れる能力があるADCは両極(バイポーラ)ADC(注2)と呼ばれます。例えば、単極ADCで $VREF=2V$ なら、予想される出力を得るには常に $0 < AIN < 2V$ が維持されるべきです。

注1: デバイスによって支援される入力形式、極性、入力範囲を知るには各々のデバイスのデータシートを参照してください。

注2: Atmel® AVR® XMEGA®デバイスの符号付き/符号なし変換動作についての詳細に関しては「AVR1300:Atmel AVR XMEGA A/D変換器(ADC)の使い方」を参照してください。

2.3. 分解能

入力電圧範囲全体($0V \sim VREF$)は段階と呼ばれる下位範囲の数に分割されます。各段階は単一の出力デジタル符号を割り当てられます。段階はLSB(最小ビット)とも呼ばれ、このような段階の数は通常2のべき乗(2^n)です。ここでのnはADCの分解能と呼ばれ、 2^n は段階数を提供します。特定の $VREF$ に対し、段階の大きさは分解能($VREF/2^n$)によって決められます。

例えば、分解能=3ビットで $VREF=2V$ を持つADCの総段階数は8で、段階の大きさは250mVです。

2.4. 量子化

量子化は採取したアナログ入力電圧が離散値の有限集合から近似で置換される処理です。これは丸めとも呼ばれます。LSBは入力したアナログ電圧が入力電圧範囲の最低段階で成立するかどうかを決めます。

例えば、 $VREF=2V$ 、分解能=3ビットの時に、範囲全体は8段階に分割されます。0V~250mVのアナログ入力電圧は同じデジタル符号000に割り当てられ、251mV~500mVは001を割り当てられます。この処理が量子化と呼ばれます。

2.5. 理想ADC

特定のADCの分解能が無限大の時に、それは理想ADCと呼ばれます。別の言葉では、理想ADCの分解能はその実効ビット数(ENOB)と等価です。理想ADCでは、可能な全てのアナログ入力値は指定された変換範囲内でADCから固有のデジタル出力を提供します。これは実現化できない原理的概念として考察されます。理想ADCは以下のグラフ図で示されるように、直線伝達関数を使用して算術的に記述することができます。

図2-4. シングルエンド理想ADC

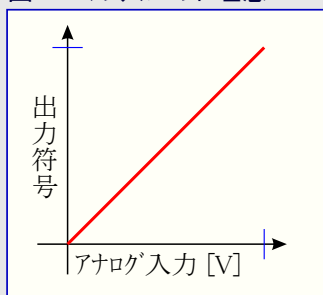
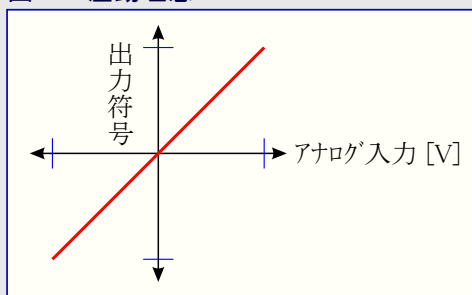


図2-5. 差動理想ADC



2.6. 完璧なADC

ADCがデジタル出力を生成するため、継続する出力値を提供することは不可能です。完璧なADCは変換中に量子化処理を実行します。これは各段階が1LSBを表す階段状の伝達関数に帰着します。

$V_{REF}=2V$ と分解能=3ビットで段階の大きさが250mV(1LSB)を持つ例を考察してください。0~250mVの入力アナログ電圧範囲はデジタル出力符号000に割り当てられ、251~500mVの入力アナログ電圧範囲はデジタル符号001に割り当てられ、以下同様です。これはシングルエンド動作形態で動く完璧な3ビットADCの伝達関数を示す図2-6.で描かれます。図2-7.は差動動作形態で動く完璧な3ビットADCの伝達関数を示します。

注: 図2-7.の例で、差動アナログ入力電圧は-1~+1Vで変わり得て、MSBは符号ビットとして働きます。

図2-6. シングルエンド動作形態での完璧なADC(量子化未補正)

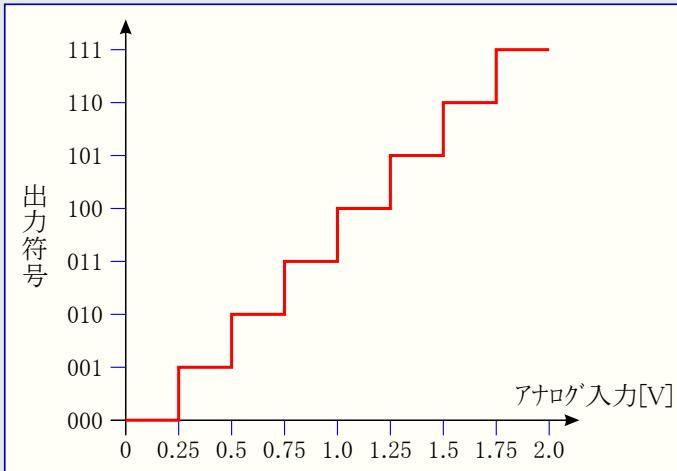


図2-7. 差動動作形態での完璧なADC(量子化未補正)

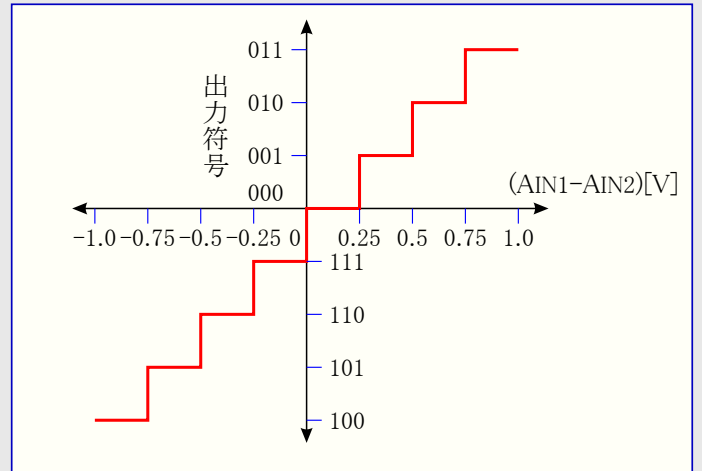


図2-6.から、0Vの入力電圧が出力符号000を生成することが明らかです。同時に、250mVの入力電圧も同じ出力符号000を生成します。これは量子化処理のための量子化誤差を説明します。入力電圧が0Vから上昇する時に、量子化誤差も0から上昇して250mVで1LSBの最大量子化誤差に達します。また、量子化誤差は入力が250mVから500mVに上昇する時に0LSBから1LSBに増加します。この1LSBの最大量子化誤差は伝達関数を0.5LSB左に向かって移動することによって $\pm 0.5LSB$ に減らすことができます。

図2-8.は量子化補正した完璧な伝達関数を理想伝達関数と共に描きます。この図で見られるように、完璧なADCは全ての段階の正確な中間点で理想ADCと等しくなります。これは完璧なADCが本質的に入力値を最も近い出力段階値に丸めることを意味します。同様に図2-9.は差動ADC用です。

図2-8. シングルエンド動作形態での完璧なADC(量子化補正)

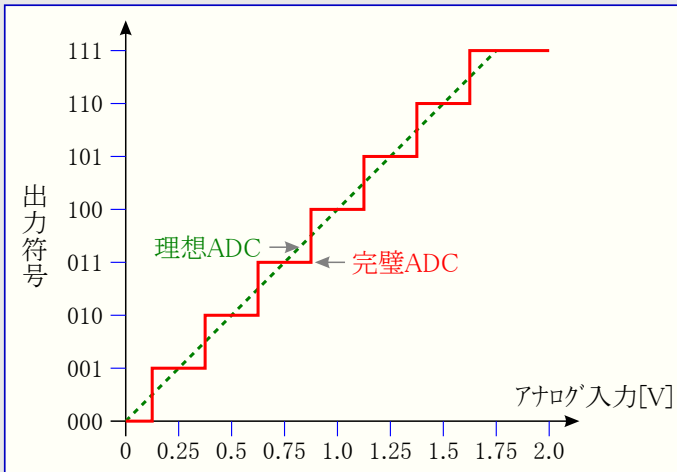
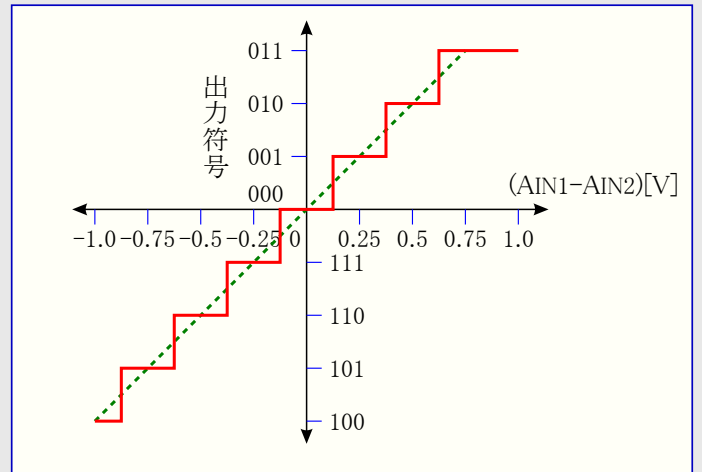


図2-9. 差動動作形態での完璧なADC(量子化補正)



量子化誤差は完璧なADCのようなモードでだけ考察されます。けれども、現実には実際のADCは量子化誤差の他に他の様々な誤差を持ちます。これらの誤差はやがて来る項で説明されます。

3. A/D変換誤差

ADCの性能を理解するにはA/D変換出力に影響を及ぼす様々な誤差を理解することが重要です。ADCの性能に影響を及ぼす静的な誤差が以下の話題で説明されます。

3.1. 変位(オフセット)誤差

変位(オフセット)誤差は0点で完璧なADCの伝達関数からLSBで測定された遷移への実際のADCの伝達関数の偏差として定義されます。

出力値0から1への遷移が0.5LSBの入力値で起こらない時に、変位誤差があると言います。正の変位誤差で、入力電圧が下から0.5LSBよりも小さい時に出力値が0よりも大きくなります。負の変位誤差で、最初の出力遷移が起こる時に入力値は0.5LSBよりも大きくなります。他の言葉では、実際の伝達関数が理想線の下に位置する場合、負の変位があり、その逆もです。理想、完璧、実際のADCに対する正と負の変位の伝達関数は以下の画像で示されます。

図3-1. 正の変位誤差

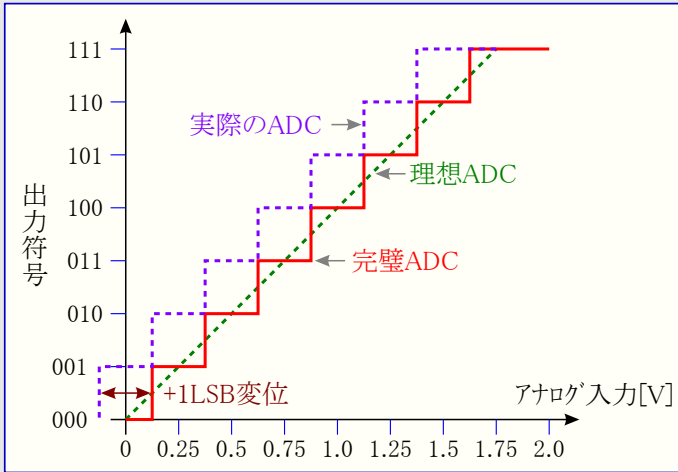


図3-2. 負の変位誤差

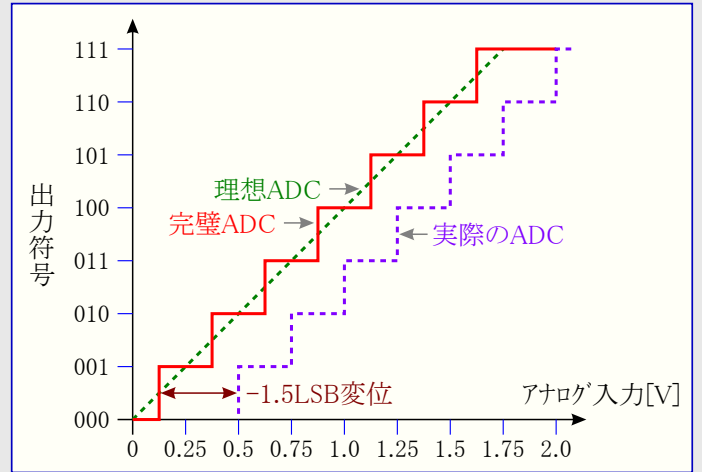


図3-1.で、最初の遷移は0.5LSBで起こり、その遷移は1(001)から2(010)です。しかし、1から2への遷移は完璧な場合に1.5LSBで起こるべきです。故にその差(完璧-実際=1.5LSB-0.5LSB=+1LSB)が変位誤差です。

図3-2.で、最初の遷移は2LSBで起こり、その遷移は0(000)から1(001)です。しかし、0から1への遷移は完璧な場合に0.5LSBで起こるべきです。故にその差(完璧-実際=0.5LSB-2LSB=-1.5LSB)が変位誤差です。

注: 変位誤差がADCに対して利用可能な範囲を制限します。大きな正の変位誤差は入力電圧が最大に達する前に出力値を最大で飽和させます。大きな負の変位誤差は最も小さな入力電圧に対して出力値を0(000)として与えます。

3.2. 利得誤差

利得誤差は変位(オフセット)誤差補償後、理想ADCの最後の段階の中間点から実際のADCの最後の段階の中間点の偏差として定義されます。変位誤差補償後、0Vの入力電圧印加は常に0(000)の出力値を与えます。けれども、利得誤差は実際の伝達関数の傾斜を理想傾斜からの偏差にさせます。この利得誤差は測定してから出力値を尺度調整することによって補償することができます。3ビットADCに対する正と負の利得誤差の伝達関数が以下のように示されます。

実際のADCの伝達関数が理想直線の上にされるなら、それは正の利得誤差を生じ、その逆もです。利得誤差は実際の伝達曲線と理想直線の最後の段階の中間点間に描かれた垂直の直線からのLSBとして計算されます。

図3-3.に於いて、出力値は入力電圧がその最大に達する前に飽和します。(茶色の)垂直矢印は最後の出力段階の中間点を示します。

図3-4.に於いて、出力値は入力電圧がその最大である時に6(011)にしか届きません。これは実際の伝達関数に関して負の偏差に帰着します。

図3-3. 正の利得誤差

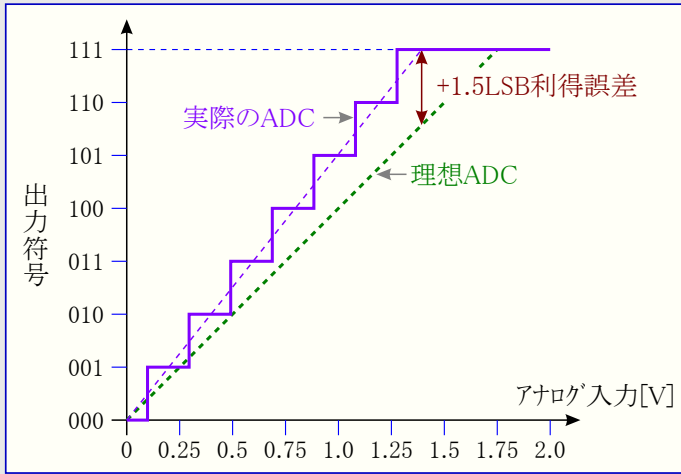
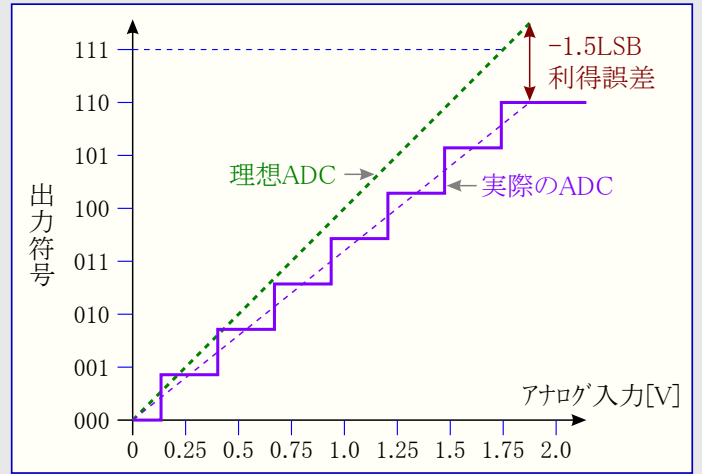


図3-4. 負の利得誤差

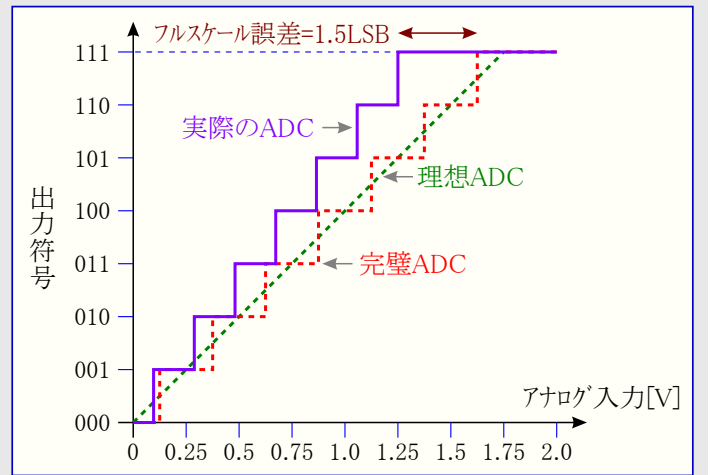


3.3. フルスケール誤差

フルスケール誤差は完璧なADCの最後の遷移から実際のADCの最後の遷移(フルスケール遷移)の偏差で、LSBまたはVで測定されます。フルスケール誤差は利得と変位(オフセット)の両方の誤差のためです。

ADCの利得と変位の誤差は測定して構成手順を用いて補償することができます。「AVR120:AVRのA/D変換器の特性付けと校正」を参照してください。

図3-5. フルスケール誤差



3.4. 非直線性

変位と利得の誤差が補償されると、実際の伝達関数は今や完璧なADCの伝達関数と等しくあるべきです。けれども、例え実際の曲線と完璧な曲線が0V周辺と利得誤差が補償された点で等しくても、ADCの非直線性は実際の曲線を完璧な曲線から僅かに外れさせるかもしれません。

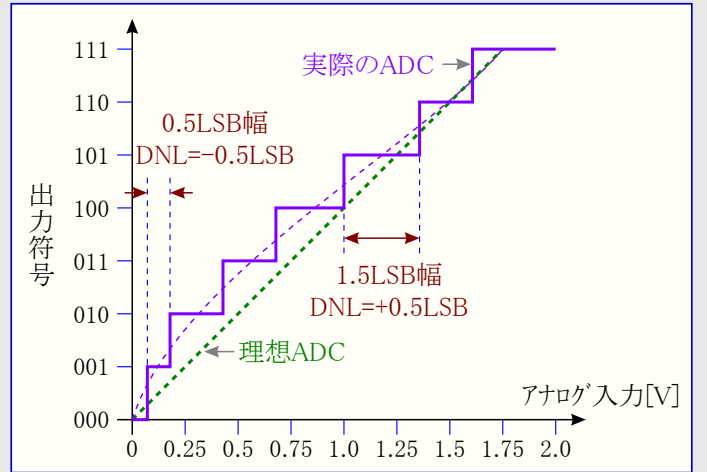
ADCの性能を落とす2つの主な非直線性の形式があります。これらは微分非直線性(DNL:Differential Non-Linearity)と積分非直線性(INL:Integral Non-Linearity)です。

3.4.1. 微分非直線性(DNL)

微分非直線性(DNL)は実際の伝達関数と完璧な伝達関数間での段階幅に於ける最大と最小の差として定義されます。非直線性は幅を変える量子化段階を生じます。

完璧なADCの場合には段階幅が1LSBでなければなりません。しかし、DNLを持つADCは正確でない段階幅を示します。図3-6.に於いて、最大の場合、出力値101を持つ段階の幅は1.5LSBで、それは1LSBであるべきです。この場合のDNLは+0.5LSBです。一方最小の場合、出力値001を持つ段階の幅は期待される幅よりも0.5LSB少ない0.5LSBだけです。それでDNLは±0.5LSBでしょう。

図3-6. 微分非直線性(DNL)

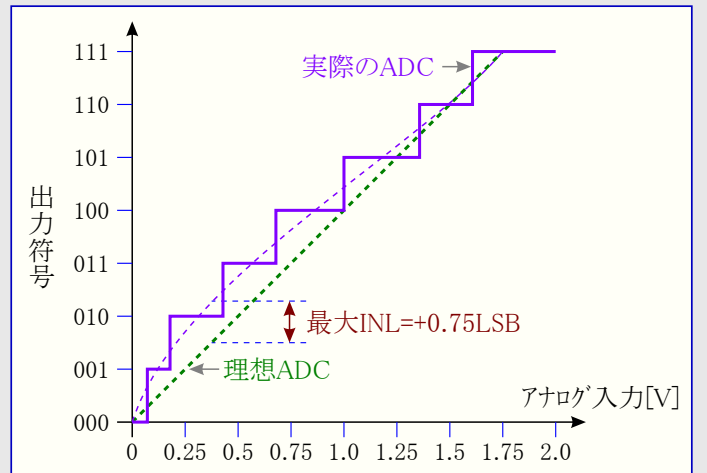


3.4.2. 積分非直線性(INL)

積分非直線性(INL)は実際と理想の曲線間の最大垂直差として定義されます。それは理想伝達曲線からの実際の曲線の偏差の量を示します。INLはDNLの合計として解釈することができます。例えば、多数の連続する負のDNLは図3-7.で示されるように実際の曲線を理想曲線の上に引き揚げ、この場合のINLは正です。負のINLは実際の極性が理想曲線の下であることを示します。これはDNLの分配がADCの積分直線性を決めることを意味します。

INLは実際のADCの全ての出力段階の中間点を接続して、LSBの点から理想曲線からの最大偏差を探すことによって測定することができます。示された例では、INLが+0.75LSBなことに気付くことができます。

図3-7. 積分非直線性(INL)

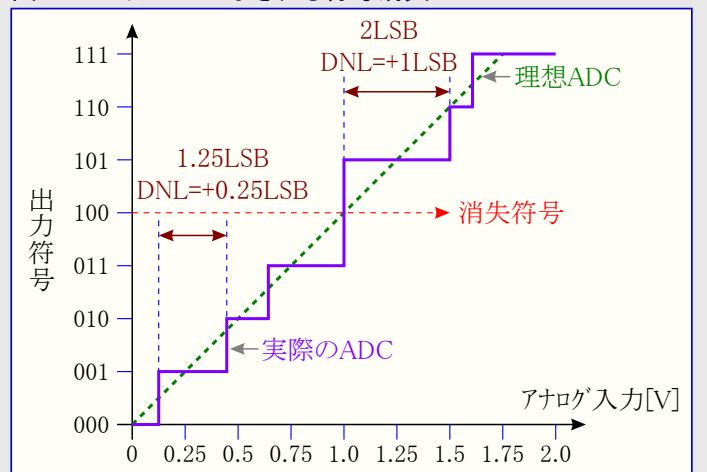


3.4.3. 符号紛失

ADCの実際の伝達関数が右のグラフで見られるような或る特別な場合があります。

右の例に於いて、(000から001への)最初の符号遷移は入力の値が250mV変化する時に引き起こされます。これは予想する通りに正確です。001から010への2つ目の遷移は1.25LSBの入力変化を持ちます。故に0.25LSB大きすぎます。3つ目の遷移に対する入力での変化は正確で正しい大きさです。入力電圧が1000mVから1500mVに変化する時にデジタル出力は一定に留まり、符号100は出力で決して現れ得ません。これは消失です。より高いADCの分解能は符号消失の重大性を減らします。±1LSBよりも少ないDNL誤差を持つADCは消失符号なしを保証します。

図3-8. 3ビットADCで示される符号消失



3.5. 総未調整誤差(TUE)

総未調整誤差または絶対誤差は量子化誤差、変位(オフセット)誤差、利得誤差、非直線性誤差を含む総未補償誤差です。換言すると、それは各入力電圧に対して予期される理想値とADCから得られた実際の値間の最大偏差です。完璧な場合では、TUEが量子化誤差のために0.5LSBです。利得と変位の誤差は絶対誤差に対してもっと重要な寄与項目です。

前の項で見られるように、変位と利得の誤差はADCの実効範囲を減らします。総未調整誤差はADC範囲の縮小を表します。TUEの影響を避けるため、より高いTUEの傾向がある応用は最小と最大の入力値に対してある程度の余裕を持つべきです。

4. 絶対誤差

絶対誤差または絶対精度は総不補償誤差で、量子化誤差、変位(オフセット)誤差、利得誤差と非直線性を含みます。故に完璧な場合で、絶対誤差は量子化誤差のために0.5LSBです。利得と変位の誤差は絶対誤差のもっと重要な寄与項目です。

絶対誤差はADC範囲の縮小を意味します。従って使用者は絶対誤差の影響を避けるために、最大と最小の入力値に対して余裕を考慮すべきです。

4.1. 信号対雑音比(SNR)

SNRは出力雑音レベルに対する出力信号レベルの比として定義されます。それは通常、デシベル(dB)で表され、次式を使用して計算されます。

$$SNR(dB) = 20 \log \left(\frac{VRMS(\text{信号})}{VRMS(\text{雑音})} \right)$$

例えば出力信号の振幅が1V(RMS)で出力雑音の振幅が1mV(RMS)の場合、SNR値は60dBになります。上の式はSNRに対する一般定義です。

理想ADCのSNR値は次式を用いて計算されます。

$$SNR(dB) = 6.02N + 1.76(dB)$$

ここでNはADCの分解能(ビット数)です。例えば理想10ビットADCは概ね62dBのSNRを持ちます。

注: 実践的な応用では、より良い性能を達成するためにADCのSNR値はより高くあるべきです。

4.2. 総高調波歪(THD)

特定の周波数の入力信号が非直線デバイスを通して渡される時は必ず、付加内容が元の周波数の高調波で追加されます。例えば、周波数を持つ入力信号を仮定します。そして高調波周波数は2f, 3f, 4f, ~です。故に変換器に於ける非直線性は元の信号に存在しない高調波を生じます。これらの高調波周波数は通常、系の性能を落とす出力を歪めます。この影響は総高調波歪(THD)と呼ばれる用語を用いて測定することができます。

THDは基本/元の周波数成分の電力に対する高調波周波数の成分の電力の合成の比として定義されます。RMS電圧の式でTHDは以下によって与えられます。

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_1}$$

THD値は周波数の増加と共に増えます。THDは歪なしのために最小値であるべきです。入力信号の振幅が増す時に歪も増加します。

注: 実践的な応用では、より良い性能を達成するためにADCのTHD値はより低くあるべきです。

4.3. 信号対雑音/歪(SINAD)

信号対雑音/歪(SINAD)はSNRとTHDパラメータの組み合わせです。これは信号を除き、高調波を含む他の全ての分析成分のRMS値に対する信号振幅のRMS値の比ですが、DC成分を除きます。ADCの全体動的性能を表現することに関して、それが雑音と歪の両成分を含むため、SINADは良い選択です。

SINADは以下によってSNRとTHDで計算することができます。

注: 実践的な応用では、より良い性能を達成するためにADCのSINAD値はより高くあるべきです。

$$SINAD = 10 \log (10^{-SNR/10} + 10^{-THD/10})$$

4.4. 実効ビット数(ENOB)

実効ビット数(ENOB)は完璧なADCのように動くADCでのビット数です。これは信号対雑音/歪(SINAD)を表現する別の方法で、次式から得られます。

$$ENOB = \frac{SINAD - 1.76}{6.02}$$

注: 実践的な応用では、より良い性能を達成するためにADCのENOB値は可能な限りADCの分解能に近くあるべきです。

5. 過採取

過採取はナイキストの標本化速度よりも著しく高い採取速度でアナログ入力信号を採取する処理です。過採取の主な利点は以下です。

1. ナイキストの標本化速度に比べてより高い採取速度のため、折り返し雑音の問題を回避します。
2. ADCの分解能を増す方法を提供します。例えば、14ビットの変換器を実装するのに、目標採取速度の256倍で走行することができる10ビット変換器を持つことで充分です。連続する256個の10ビット採取群の平均は平均の分解能に4ビットを追加し、14ビット分解能での単一採取を生成します。
3. 追加のnビットを得るのに必要とされる採取数は $=2^{2n}$ です。
4. ADCのSNRを改善します。

分解能を増すのにより多くの試料が測定され、それはADC単位部の単位処理量減少を引き起こします。例えば、1k採取/s能力を持つ10ビット変換器は4採取/sの単位処理量を持つ14ビット変換器として使用することができます。

6. ADCタイミング

根本的に、ADCは始動、採取、保持と変換のために幾許かの時間が必要です。始動時間はより高い周波数で動作する複合マイクロコントローラで利用可能なADCでより大きくなります。

6.1. 始動時間

始動時間はADCが最初の時または特定の休止動作形態から起き上がった後のどちらかで許可された後で最良の変換値を保証するために必要とされる(クロック周期での)最小時間を含みます。

6.2. 採取/保持(S/H)時間

変換を開始するためにADCを起動した後、正確な変換結果を得るため、内部コンデンサを安定な値に充電するのに(クロック周期で)或る時間がかかります。この時間は**採取時間**と呼ばれます。変換の間に複数チャネルが使用される時に、この採取時間は注意深く考慮されなければなりません。2つのADCチャネル切り替え間で正しい変換の値を保証するために(クロック周期での)最小時間が必要とされます。内部採取コンデンサを渡る充電または電圧を対応するデジタル符号へ変換するのに必要とされるクロック周期数は**保持時間**と呼ばれます。

6.3. 安定時間

複数チャネル使用時、それらは各チャネルが異なる利得と変位(オフセット)の形態設定を持つかもしれない場合があります。これらのチャネル間の切り換えは、正確な結果を持つために、採取/保持段階を始めるのに先立って特定量の時間が必要です。特に差動チャネル間を切り換える時に注意が払われるべきです。差動チャネル選択時、ADCは新しい値に安定するために、いくつかのアナログ回路(例えば自動変位(オフセット)打ち消し回路)のために或る時間の間待たなければなりません。この持続期間は**安定時間**と呼ばれます。安定時間の前にA/D変換が開始された場合、誤った出力を生じるでしょう。

ADC基準電圧変換後の最初の差動変換について安定時間が遵守されなければなりません。

6.4. 変換時間

採取時間と保持時間の組み合わせが変換時間と呼ばれます。これは通常、クロック周期数で表されます。変換時間はADCの速度を決める主なパラメータです。

始動時間、採取/保持時間、安定時間はいくつかの最上位マイクロコントローラに於いて全てソフトウェア形態設定可能です。

6.5. 採取速度、帯域幅、処理速度

採取速度は1秒で取得する試料数として定義されます。帯域幅はADCに提供することができる入力アナログ信号の最大周波数を表します。採取速度と帯域幅はナイキストの標本化定理に従います。この定理に従い、採取速度は入力信号の帯域幅の最低2倍でなければなりません。

1つの変換が13ADCクロック周期かかるシングルエンド変換の場合を考察してください。ADCクロック周波数を1MHzと仮定し、そして1秒で概ね77k採取が変換されます。それは採取速度が77kであることを意味します。ナイキストの定理に従って、アナログ入力信号の最大周波数はシングルエンド動作形態でのADCの帯域幅を表す38.5kHzに制限されます。

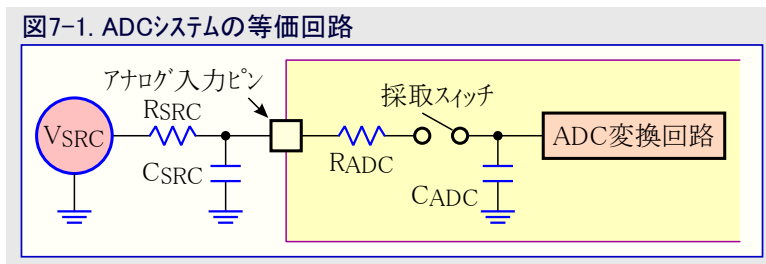
同様に、1採取を変換するのに最低13ADCクロック周期かかるADCに印加することができる最大クロック周波数が1MHzの場合、77k採取/秒がADCの最大処理速度です。

差動動作形態使用中、帯域幅は内部差動増幅器の周波数に関しても制限されます。どんな非直線性も避けるため、ADCにアナログ入力を提供する前に、指定された帯域幅を超えるどの周波数成分も外部濾波器を用いて濾波されなければなりません。

7. ADCのインピーダンスと容量(キャパシタンス)

ADC内側で、ADCの採取/保持回路は低域通過濾波器配列で抵抗(RADC)と容量(CADC)の対を含みます。CADCは採取コンデンサとも呼ばれます。ADC開始変更信号が発行される時は必ず、アナログ入力電圧が抵抗(RADC)を通して採取コンデンサを充電するように、RADCとCADCの対間の採取スイッチが閉じられます。

次図はADCシステムの等価回路を描きます。



ADC内側で、ADCの採取/保持回路は低域通過濾波器配列で抵抗(RADC)と容量(CADC)の対を含みます。CADCは採取コンデンサとも呼ばれます。ADC開始変更信号が発行される時は必ず、アナログ入力電圧が抵抗(RADC)を通して採取コンデンサを充電するように、RADCとCADCの対間の採取スイッチが閉じられます。

ADCの入力インピーダンスはRADCとこのコンデンサの組み合わせです。採取コンデンサが入力電圧へ充電されるためにRADCを通る電流は減り、採取コンデンサを渡る電圧が入力電圧と等しい時に最小値で終わります。故にADCの最小入力インピーダンスはRADCと等価です。

供給側では、理想供給元電圧が供給部に存在する供給側抵抗(RSRC)と呼ばれる或る抵抗と供給側容量(CSRC)と呼ばれる或る容量に従属します。RSRCの存在のため、採取/保持回路に入る電流は減ります。故にこの電流での減少は採取コンデンサの充電時間を増加し、それによってADCの速度を減らします。また、CSRCの存在は採取コンデンサを充電するのに先立って、先にそれを完全に供給元に充電させます。これは採取コンデンサが完全に充電されないかもしれないため、ADCの精度を落とします。

注: 1. RADCとCADCはADC仕様の一部です。より多くの情報についてはデバイスのデータシートを参照してください。

2. RSRCとCSRCはADC単位部の動作速度と精度に直接的に影響を及ぼします。実際に於いて、入力信号のRSRCとCSRCはADCパラメータを選択する間に考慮されなければなりません。

8. 改訂履歴

資料改訂	日付	注釈
8456A	2011年11月	初版
8456B	2013年7月	記述に関する全般的な改善
8456C	2013年10月	「過採取」項の一覧第3項で誤植を更新:2 ²ⁿ を2 ²ⁿ に修正
8456D	2016年5月	記述の全般的な改善

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®, AVR®, XMEGA®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2016.

本応用記述はAtmelのAVR127応用記述(Rev.8456D-05/2016)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。