

AVR1300 : Atmel AVR XMEGA A/D変換器(ADC)の使い方

8ビット Atmel マイクロ コントローラ

暫定

要点

- 最大12ビット分解能
- 秒毎最大2M採取
- 符号付と符号なしの動作種別
- 選択可能な利得
- パイプライン構造
- 4つまでの仮想チャンネル
- 結果比較器
- 自動校正
- D/A変換器への内部接続
- ドライバのソースコード内包

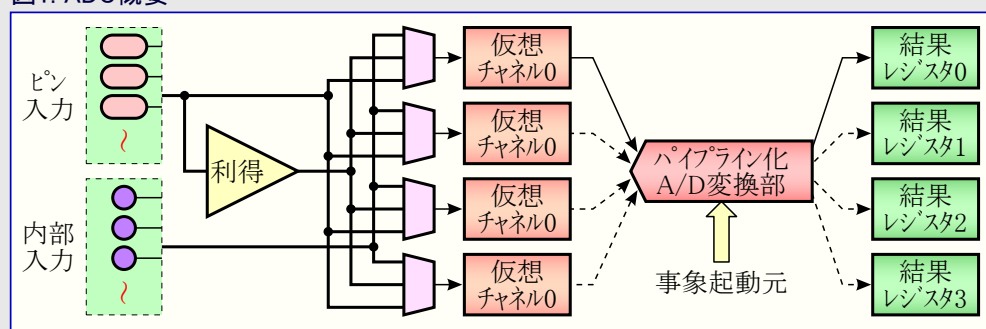
序説

Atmel® AVR® XMEGA®のA/D変換器(ADC)部署は12ビット分解能で秒毎に最大200万採取(Msps)変換速度の能力の高性能A/D変換器です。利得段と4つの仮想入力チャンネルを統合した広範囲の多重器(MUX)設定は、これをデータ収集、組み込み制御、一般信号処理のような広範囲の応用に適合する柔軟な部署にします。

本応用記述は素早い準備と行動のための例と共にXMEGAのADCの基本的な機能を記述します。例はAtmel AVR XMEGAとAtmel AVR UC3 マイクロ コントローラで利用可能なAtmelソフトウェア枠組み(ASF 2.0)で実装されます。

直接メモリ入出力(DMA)やXMEGAの事象システムのような高度な使い方は本応用記述の範囲外です。デバイスのデータシートと、「AVR1304:XMEGA DMA制御器の使い方」と「AVR1001:XMEGA 事象システムでの着手に際して」のような関連する他の応用記述を参照してください。

図1. ADC概要



1. 部署概要	3
1.1. ハイライン構造と仮想チャネル	3
1.2. 利得段	3
1.3. 変換動作形態	4
1.4. 多重器設定	4
1.4.1. 利得なし差動入力	5
1.4.2. 利得段付き差動入力	5
1.4.3. シングルエンド入力	5
1.4.4. 内部入力	6
1.4.5. 温度感知器	6
1.5. 変換結果	6
1.5.1. 符号付き動作	6
1.5.2. 符号なし動作	6
1.6. 結果表現	7
1.7. 基準電圧	7
1.8. 変換速度	7
1.9. 連続変換動作	8
1.10. 割り込み	8
1.11. 結果比較器割り込み	8
1.12. 校正	9
1.12.1. 変位(オフセット)誤差	9
1.12.2. 変位(オフセット)誤差 - シングルエンドチャネル	9
1.12.3. 変位(オフセット)誤差 - 差動チャネル	10
1.12.4. 利得誤差	10
1.12.5. 非直線性	10
1.12.6. 微分非直線性	11
1.12.7. 積分非直線性	11
1.12.8. 測定と補償	11
1.12.9. テカップ(雑音分離)	11
1.12.10. 供給元インピーダンス	11
1.13. 精度改善のための助言	12
2. 始める前に	13
2.1. 単独変換	13
2.2. 複数チャネル	13
2.3. 連続変換動作	13
3. 高度な機能	14
3.1. DMA制御器	14
3.2. 事象システム	14
4. ドライバ実装	14
4.1. ファイル	14
4.2. Doxygen資料化	14
5. 改訂履歴	14

1. 部署概要

本章はADCの基本的な機能と形態任意選択の概要を提供します。2.章は基本的な構成設定とレジスタレベルでのADCの使い方を簡単に片付けます。

1.1. パイプライン構造と仮想チャネル

A/D変換部は並列で多数の信号を採取する能力の12段パイプライン構造を持ちます。個別の形態設定を持つ4つの入力選択多重器(MUX)があります。この4つのMUXに対する独立した形態設定は全てが同じA/D変換部を共用し、各々が1組の結果レジスタを持つ仮想チャネルとして見ることができます。1頁の図1を参照してください。

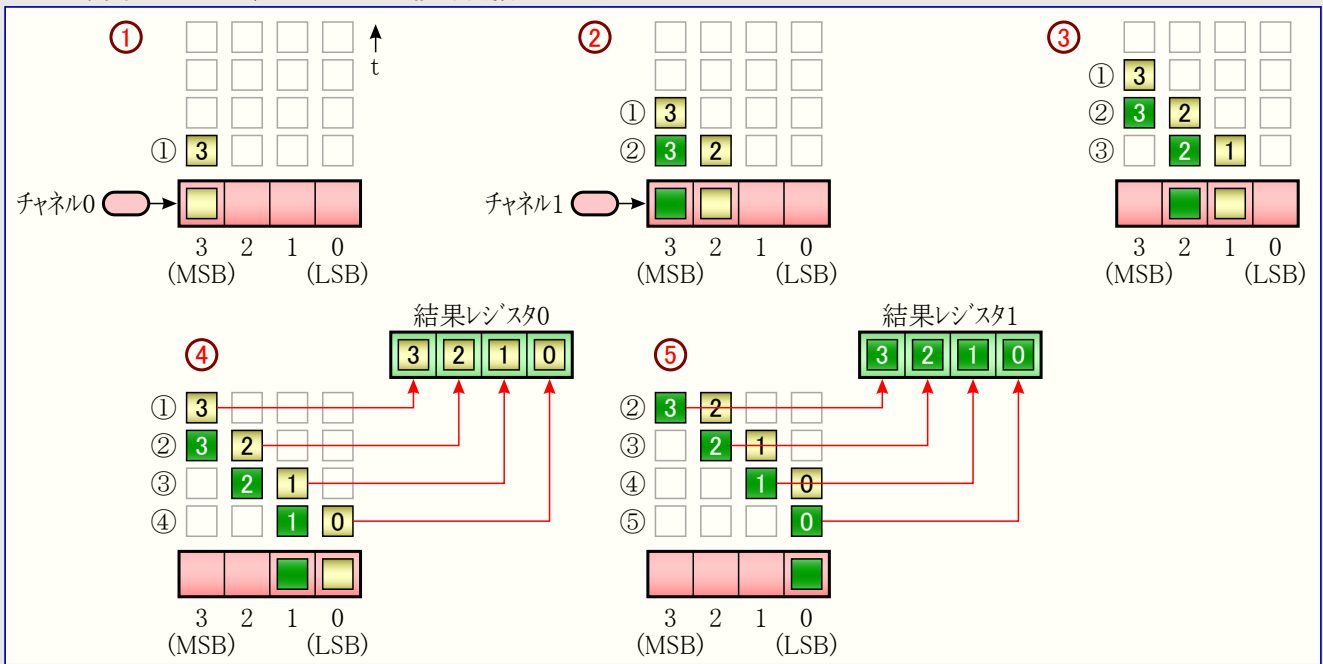
Atmel AVR XMEGA A系列の多重器出力はADCクロック周期毎に採取できます。XMEGA D系列では直前の変換が一旦終わると新しい変換が採取できます。各信号は各段で1ビットが変換されるパイプラインを通して伝達します。例えば結果レジスタに結果が用意される前に各信号がパイプライン内の全段を伝達しなくても、XMEGA Aに於けるこの方法でのADCはADCクロック周期毎に1つの信号を採取する能力があります。パイプラインを通る1信号の変換に対する伝播時間は12ビット変換に対して7ADCクロック周期、8ビット変換に対して5ADCクロック周期です。利得が使用された場合、伝播時間は1周期増します。完全利用でのXMEGA AのADCは毎ADCクロック周期に1つの結果を配給し、一方XMEGA DのADCは動作形態に依存して5~8ADCクロック周期毎に1つの採取を配給します。XMEGAの周辺クロックとADCクロック間の関係は1.8.項で記述されます。

(訳補) パイプラインでの1段(1ビット変換)は1/2ADCクロック周期で実行されます。従って12段自体の通過時間は $12 \times 0.5 = 6$ ですが、初段での開始周期がADCクロックの後半周期から始まるので、規定のADCクロックに対しては前後の各々0.5を含めて7になります。

図1-1.は2つの信号変換中の単純化した4段のパイプラインを示します。この図は一旦信号がパイプライン内に採取されてしまうと、初段が最初の信号の最上位ビット(MSB)を変換することを示します。次に、2段目が信号の次ビットを変換すると同時に、初段が2つ目の信号のMSBを変換します。

注:XMEGA D3/D4系列がパイプラインADCと4つの仮想チャネルを持たないことに注意してください。

図1-1. 簡略ADCパイプラインでの2つの信号伝播



4つ全ての仮想チャネルは共用レジスタで配給される多くの制御ビットに加えて、各々1つのADCチャネルn多重器制御(CHn.MUXCTRL)レジスタ、1つのADCチャネルn制御(CHn.CTRL)レジスタ、1対のADCチャネルn結果(CHn.RESH/CHn.RESL)レジスタを持ちます。

1.2. 利得段

ADCは差動形態でより小さな電圧の測定を可能とするために電圧を増幅する形態設定にできる内蔵利得段を持ちます。

これは全てのチャネルによって使用することができる共用利得段です。チャネルが利得使用に形態設定されると、利得段がチャネル入力選択多重器(MUX)と変換部間に挿入されます。利用可能な利得設定は1倍、2倍、4倍、8倍、16倍、32倍、64倍です。Atmel AVR XMEGA D系列は1/2倍(2分割)利得もできます。DADCチャネルn制御(CHn.CTRL)レジスタの利得選択(GAIN)ビット領域がチャネルに対して利得係数を設定します。全ての仮想チャネルに対して異なる利得設定を持つことが可能です。

利得段使用時、XMEGA A系列ではADCを通るADC採取の伝播時間が均一に1ADCクロック周期増し、XMEGA D系列での伝播遅延は利得設定に依存します。

- 伝播遅延=1/2倍、1倍、2倍、4倍の利得設定に対して1
- 伝播遅延=8倍、16倍の利得設定に対して2
- 伝播遅延=32倍、64倍の利得設定に対して3

可能な最良のADC結果のためにアナログ信号経路を最小とするため、必要とされなければ利得を禁止することが推奨されます。

1.3. 変換動作形態

変換部は**符号なし**と**符号付き**の変換動作にすることができます。符号付き/符号なしとシングル エント/差動の動作間変更は既にパイプライン内のデータを不正にします。

符号付き動作は差動とシングル エントの両入力に対する入力形態として使用でき、一方符号なし動作はシングル エントまたは内部の入力に対してだけ利用可能です。

符号なし動作での変換範囲はGNDから基準電圧までです。0交差検出を持てるように ΔV が引かれます。 ΔV は概ね $0.05 \times V_{REF}$ で、故にGNDレベルは値の総範囲の概ね0.05(12ビット分解能で 0.05×4095)でしょう。これは $0.05 \times V_{REF}$ で最大入力電圧も制限し、故に最大入力電圧は $V_{REF} - \Delta V$ です。これは図1-2.で図解されます。

符号付き動作での範囲は負の基準電圧から正の基準電圧までですが、入力電圧はGND $\sim V_{REF}$ 内でなければなりません。図1-2.は変換範囲での違いを示します。

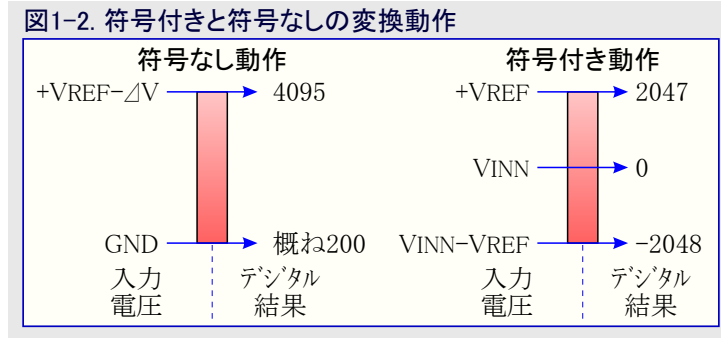


図1-2.は符号なし動作が符号付き動作よりも正の値でより高い分解能を与えるけれども、負の値を変換できないことを示します。符号付き動作は負の値を変換できますが、全域でのより低い分解能の犠牲を払ってです。

注: 負の値は入出力ピンで負の入力ではなく、正入力に対して負入力でのより高い電圧レベルです。例え結果の値が負で有り得ても、GND未満またはVCCを越える電圧がどの入力ポートにも決して印加されるべきではありません。

ADCを差動入力で使用する時は符号付き動作が使用されなければならない、一方他の動作種別は符号付きと符号なしの両方が使用できます。

注: 変換動作種別が各チャネルに対して個別にはなく、ADC全体に対して形態設定され、そしてそれは例えチャネルの1つだけが差動入力を使用する場合でも、ADCが符号付き動作にされなければなりません。

変換動作種別はADC制御レジスタB(CTRLB)の両極/単極変換選択(CONVMODE)ビットを用いて形態設定されます。

1.4. 多重器設定

多重器(MUX)は各チャネルに対する入力信号の選択に用いられます。ADCチャネルn制御(CHnCTRL)レジスタの入力動作種別(INPUTMODE)ビット領域を使用して選択することができる4つの異なる形態設定選択があります。

- 利得なし差動入力 (1.4.1.項をご覧ください。)
- 利得段付き差動入力 (1.4.2.項をご覧ください。)
- シングル エント入力 (1.4.3.項をご覧ください。)
- 内部入力 (1.4.4.項をご覧ください。)

正と負の入力はADCチャネルn多重器制御(MUXCTRL)レジスタの正入力選択(MUXPOS)と負入力選択(MUXNEG)のビット領域を用いて選択されます。内部入力測定時にヘッダ ファイル内で使用される正入力選択(MUXPOS)ビット領域に対する代替名は内部入力選択(MUXINT)です。

2つのADCを持つデバイスに於ける入力是对応するポートにだけ接続することができます。これはADC AがポートAだけに、ADC BがポートBだけに接続され得ることを意味します。正入力是对応ポートの8つの入力信号のどれか1つに接続することができます。負入力は利得なし差動に対して対応ポートの最初の4つの入力信号(ポートピン3~0)、利得付き差動に対して次の4つの入力信号(ポートピン7~4)の1つに接続することができます。

1つのADCだけで多数のアナログ ポートを持つデバイスに於ける正入力はポートAとポートBの両方の利用可能な入力信号のどれにも接続することができます。負入力は利得なし差動に対して対応ポートの最初の4つの入力信号(ポートピン3~0)、利得付き差動に対して次の4つの入力信号(ポートピン7~4)の1つに接続することができます。

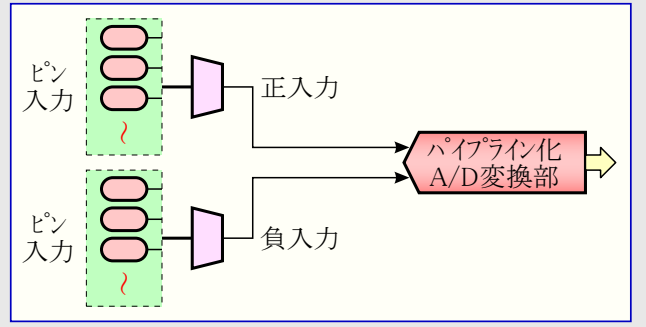
ADC数とデバイスのピン形態(配置)を判断するにはデータシートを参照してください。

注: 利得付き差動形態を除く全ての動作形態に対して各採取間で採取コンデンサが放出されます。利得付き差動形態では、採取コンデンサ上の充電が維持され、これは遅く変化する信号でより速い採取速度を得るのに使用することができます。これはシングル エントチャネルまたは(利得なし)差動チャネルの採取に比べて高インピーダンスの供給元に於いてより速い採取速度を得るのに使用することができます。けれどもこれは供給元インピーダンスに比べて採取速度が高すぎる場合に他のチャネルへ伝播します。

1.4.1. 利得なし差動入力

この設定での多重器(MUX)は2つの入力信号間の差を測定します。利得なし差動形態では全てのADC入力がADCの正入力に使用することができますが、下位側ピンだけが負入力として使用できます。差動形態使用時、同じピンで正と負の入力を構成設定することによって変位(オフセット)がかなり容易に測定することができ、ADCがGNDレベルのある処を知る必要がないので、変位は直接測定することができます。

図1-3. 利得なし差動入力



1.4.2. 利得段付き差動入力

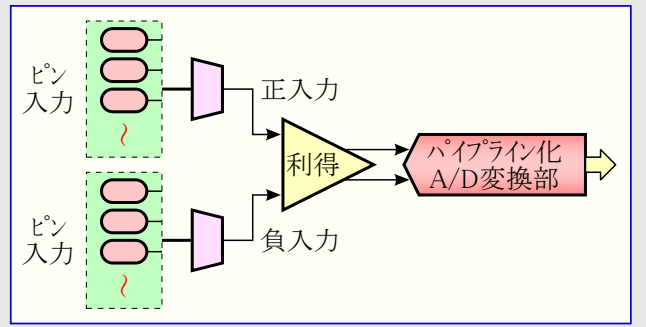
この設定は利得なし差動入力と殆ど同じです。この設定では、差動入力信号の64倍までの増幅を提供する利得段がこのチャンネルに対する信号経路に挿入されます。

利得段使用中の最大採取速度は1Mspsです。

注: 利得段が入力の負荷にならず、従って外部信号源は利得段を使用するチャンネルに対して非常に高い入力インピーダンスに見えます。これは弱い信号源の測定に有用です。より多くの詳細は特定デバイスのデータシートで得られます。

2つの入力のどちらの電圧もGNDとVREF間で有り得ますが、それらの間の差は、これがADCを飽和して変換された値がADCの最上値と等しくなるだけなので、VREF/利得よりも大きくてはいけません。

図1-4. 利得段付き差動入力



1.4.3. シングル エンド入力

この設定でのADCは1つの入力信号の値を測定します。この設定と差動測定間の違いは符号付きまたは符号なしの形態が使用されるかに依存して、負入力が常に内部的に接続されることです。符号付き形態に関しては負入力がGNDに結ばれ、一方符号なし形態ではそれがVREF/2-ΔVに接続されます。

ΔVは内部的に生成された概ね0.05×VREFの固定電圧です。この変位は正入力をGNDに接続することによる測定を必要とします。ΔVの有利な点はΔVがどの変位よりも大きいこと、ADC部内の負の変位の測定が可能なこと、ΔVは変位誤差に関してそれを知って補償することが重要な応用での使用をAtmel XMEGAのADCに許します。不利な点はVREF-ΔV以上のどの測定も最上値で飽和するため、上側範囲のいくらかを失うことです。

シングル エンド動作では負入力の接続に加え、ADCは符号なし自動的に結果へ2048を加えます。これは符号付き動作の-2048~2047に相対するものとしての0~4095の可能な出力範囲を与えます。

注: ADCが差動のため、符号なし形態は基準電圧を内部的に2分割することによって達成され、正のシングル エンド入力に関してVREFから0までの入力範囲に帰着します。変位(オフセット)は符号なし形態で0交差検出の測定と、デバイス内の内部GNDが外部GNDよりも高いどんな正の変位の校正をもADCに許します。

図1-5. 符号付きシングル エンド入力

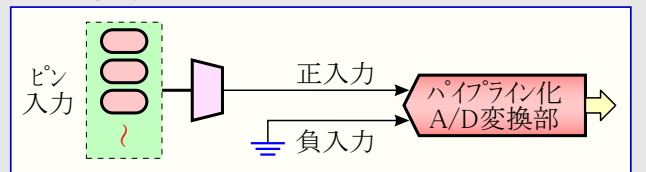
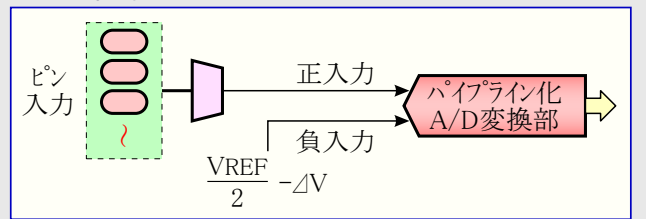


図1-6. 符号なしシングル エンド入力



1.4.4. 内部入力

この設定での多重器(MUX)は多数の内部信号の1つを測定します。負入力は常にGNDへ接続され、一方正入力は次の内部供給元、温度基準電圧、D/A変換器(DAC)内部出力、(供給電圧測定用)AVCC/10、バンドギャップ基準電圧の1つへ接続することができます。

注: 2つのチャンネルは異なる内部供給元へ接続できます。これらは共用される利得段設定と異なり、1つの共通設定に制限されません。

内部DAC入力はDACの校正に使用できます。D/A変換器(DAC)形態設定のより多くの情報に関してはデバイスのデータシートまたは「AVR1301:X MEGA D/A変換器(DAC)の使い方」応用記述を参照してください。

バンドギャップ基準電圧は電圧が未知の場合に電池電圧のような外部基準電圧を計算するのに使用することができます。既知の電圧(1.1Vバンドギャップ基準電圧)の測定との未知の基準電圧使用は、実際の外部基準電圧の計算を容易にします。

注: 他の部署がバンドギャップ基準電圧を全く使用しない場合、それはADC基準電圧制御(REFCTRL)レジスタのバンドギャップ許可(BANDG AP)ビットを使用してONにしなければなりません。

同じことは温度基準電圧に対してもあり、これは他のどの部署とも共用されません。温度基準電圧は温度基準電圧許可(TEMPREF)ビットを使用してONにされます。バンドギャップと温度の両方の基準電圧に対して或る設定時間があり、従ってそれらは何れかの変換を開始する前の相当時間に許可されるべきであることにも注意してください。

注: 内部入力の最大採取速度は125kspsです。

1.4.5. 温度感知器

内部の温度感知器は直線状で、(PT100感知器置換ではなく)周辺温度の大まかな概算を与えることを意図されます。0°Kでの目標値はアナログ感知器からの0mVで、ADCからの“0”(+シングルエンド測定からの ΔV 、この値についてはデバイスの手引書/データシートを参照してください。)に帰着します。概ね直線状の線は0°K点から識票列内の製品校正値までを作ることができます。この値は識票列に格納され、代表精度 $\pm 15^{\circ}\text{C}$ での85°K(358°K)で行われた温度測定に対応します。不正確さは温度測定時での或る変位(オフセット)に帰着します。

識票列に格納された測定(結果)は内部1V基準電圧で12ビット分解能の符号なしで行われます。VCCは3.2VでADCクロックは62.5kHzです。この値が応用で校正に使用されるようになるなら、ADC構成設定は同じでなければなりません。

もっと正確な結果を得る最良の方法は直線の傾斜を得るために2点校正を行うことです。2点校正を行うには、温度が既知で且つ正確に測定を行うことができる2つの温度を選んでください。欲するADCの構成(動作形態、最大125kHzでの採取速度/周波数、分解能)で両方の温度で測定を行ってください。これらの値を持つと、傾斜に対する係数を計算することができ、応用でそれを使用することができます。下の式はビットに対する温度変化を計算するのに使用することができます。

1点校正に関して同じ式を使用しますが、“低い方の温度”と“低い方の値”は0°Kと“0”ADCからの結果(+ ΔV)で置き換えてください。

$$\text{温度/ビット} = \frac{\text{高い方の温度} - \text{低い方の温度}}{\text{高い方の値} - \text{低い方の値}}$$

1.5. 変換結果

1.5.1. 符号付き動作

符号付き動作に於けるADCからの結果は次の通りです。

$$\text{結果} = \frac{VINP - VINN}{VREF} \times GAIN \times TOP$$

$VINP$ はADCへの正入力、 $VINN$ は負入力です。 $GAIN$ は使用された利得設定に対応します。利得が使用されない場合の $GAIN$ は1です。 TOP は分解能形態設定によって与えられた頂上値で、12ビット動作に対して2048、8ビット動作に対して128です。

符号付き動作での結果は最上位ビットが符号ビットを表す2の補数形式で表現された符号付き数値として返されます。12ビット右揃え動作では、符号付き16ビット数値を直接作成するためにビット15~12が符号ビット(ビット11)で穴埋めされます。8ビット動作では上位8ビット全体が符号ビット(ビット7)で穴埋めされます。

12ビット分解能での $-VREF \sim +VREF$ の範囲は $-2048 \sim +2047$ (\$F800 ~ \$07FF)です。

1.5.2. 符号なし動作

符号なし動作に於けるADCからの結果は次の通りです。

$$\text{結果} = \frac{VINP + \Delta V}{VREF} \times TOP$$

$VINP$ はADCへの正入力、 $\Delta V = 0.05 \times VREF$ です。 TOP は分解能形態設定によって与えられた頂上値で12ビット動作に対して4096、8ビット動作に対して256です。

図1-7. 符号付き内部入力

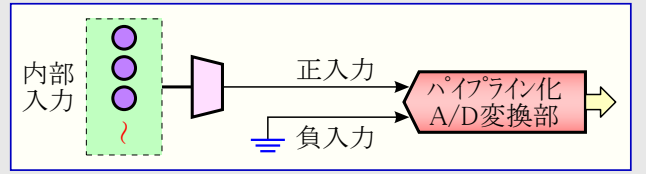
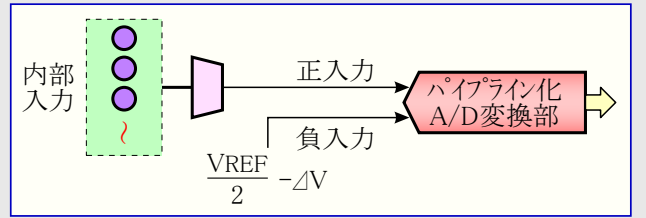


図1-8. 符号なしシングルエンド入力



ΔV で与えられる正の変位は代表的に $0.05 \times V_{REF}$ です。この代表値は入力ピンがGNDに接続された時に概ね200の測定結果に対応します。この変位を正確に測定するため、ADCは応用で使用される(換言すると、電圧、速度、他の設定)ように形態設定され、そして入力ピンは外部的にGNDに接続されるべきです。

この変位は自動的に補償されず、ソフトウェア変換結果から測定された変位を減算することが必要です。

12ビット分解能でのGND~VREF- ΔV の範囲は概ね200~4095(\$00C8~\$0FFF)です。

1.6. 結果表現

ADCは以下の形式で変換結果を表現するように形態設定することができます。

- 右揃え12ビット
- 右揃え8ビット
- 左揃え12ビット

注: より低い分解能は信号採取に関して通って伝達するためのパイプライン段数がより少ないので、より速い変換を与えます。従って、結果表現選択は分解能と変換速度との相反関係です。

ADCの分解能はADC制御レジスタB(CTRLB)のADC分解能/整列選択(RESOLUTION)ビット領域を使用して形態設定されます。

結果は各チャネルの結果レジスタに格納されます。チャネルは新規変換が準備可の時を示すために独立したフラグを持ちます。新規変換が行われる前に結果が読まなかった場合、現在の値は失われます。

DMAは新規変換が準備可の時に結果を結果レジスタからSRAM内に転送するように構成設定することができます。これは掃引を行う時に全チャネルに対して行うことができ、1回の集中(転送)で全チャネルを格納します。

1.7. 基準電圧

応用は変換結果に関して以下の基準電圧(VREF)を選択することができます。

- INT1V - 1.0V内部基準電圧
- INTVCC - VCC/1.6の内部基準電圧
- AREFA - ポートA(PORTA)の外部基準電圧ピン
- AREFB - ポートB(PORTB)の外部基準電圧ピン
- AVCC/2 - Atmel XMEGA Dデバイスに対するAVCC/2の内部基準電圧

内部INT1V基準電圧はデバイスのバンドギャップからの1.00V基準電圧です。バンドギャップ電圧は1.10Vで、(INT1V)基準電圧はバンドギャップ電圧の10/11で1.00V基準電圧を与えます。基準電圧の精度はバンドギャップに依存します。バンドギャップの精度はデバイスのデータシートで述べられます。

INTVCCは1.6で割られたVCCに基く基準電圧です。精度はアナログ供給電圧(AVCC)の精度と安定性に依存し、AVCCがデジタルVCCに接続される場合に濾波(器)が使用されるべきです。

注: 外部基準電圧(AREFA/B)ピンはD/A変換器(DAC)部署と共用されます。基準電圧はADC基準電圧制御(REFCTRL)レジスタの基準電圧選択(REFSEL)ビット領域を使用して形態設定されます。外部基準電圧はポートA(PORTA)とポートB(PORTB)の0番ピン(AREFAとAREFB)に配置されます。

注: 外部基準電圧(AREFA/B)に対して使用されるべき最大電圧はVCC-0.6Vで、最小電圧は1Vです。外部基準電圧の精度は外部回路に依存し、これはADC測定に必要とされる精度を満足するように設計されなければなりません。

1.8. 変換速度

ADCクロックはAtmel AVR XMEGA周辺クロックの分周版から配給され、利用可能な係数は1/4,1/8,1/16,1/32,1/64,1/128,1/256,1/512です。ADC部署は正しい動作を保証するための最小と最大の推奨速度内に設定されなければなりません。ADCクロックはADCクロック前置分周(PRESCALER)レジスタを用いて形態設定されます。

高速なADCクロックを持つことは各採取に対して短い伝播時間を与えますが、もっと遅い速度で信号を採取できないことを意味しません。例えば応用はADCクロックが2MHzであっても10kHzの速度で採取可能です。けれども、最大ADCクロックが周辺クロックの1/4なので、システムクロック速度の1/4よりも速い速度で採取することは不可能です。Atmel XMEGA AデバイスについてはADCクロックが2MHzよりも高く設定されるべきではなく、Atmel XMEGA Dデバイスについては上限周波数は1.4MHzです。XMEGA AとXMEGA Dの両方に関する最低ADCクロック周波数は100kHzです。より多くの情報についてはデバイスのデータシートをご覧ください。

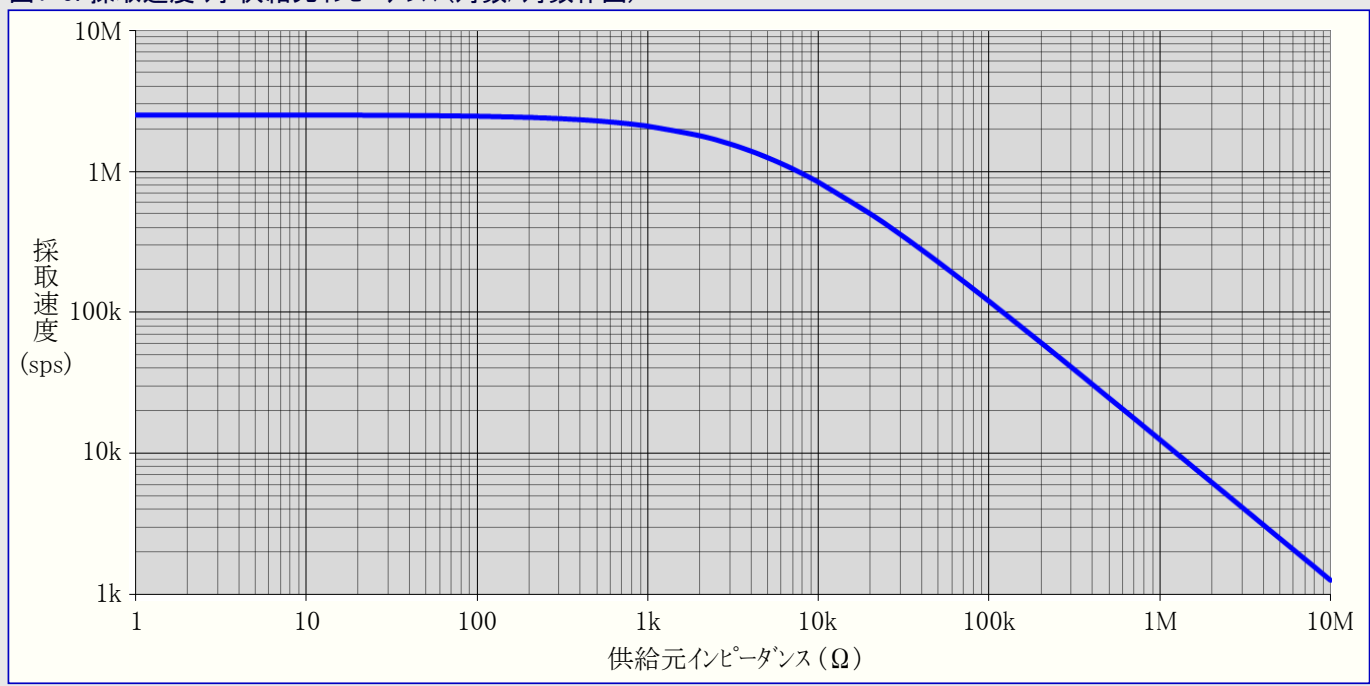
変換速度は与えられた供給元インピーダンスに対する必要条件を満足しなければなりません。供給元インピーダンスに比べて採取速度が速すぎる場合、結果は正確でないでしょう。追い続けるための信号の傾斜速度よりも速く採取しないことが重要です。最大採取得速度は次式によって定義されます。

$$f_{ADC} \leq \frac{1}{2 \times (R_{source} + R_{channel}) \times C_{sample} \times \ln(2^{n-1})}$$

C_{sample} と $R_{channel}$ ($R_{channel} = R_{channel} + R_{switch}$)に関する値はデバイス用のデータシートで得られます。 n は変換のビット数を表し、8または12で有り得ます。 R_{source} は回路から計算され得る、または統合された感知器を使用する場合にデバイスのデータシートから見つかる、アナログ信号源のインピーダンスです。

これが採取速度にどう影響を及ぼすのかを図解するために、 $R_{channel}$ 、 R_{source} と C_{sample} に対する最悪値を用います。これは $R_{channel} + R_{switch}$ に対して $4.5k\Omega$ 、そして C_{sample} に対して $5pF$ です。これは図1-9.で示されるように供給元インピーダンスと最大採取速度間の関連を与えます。

図1-9. 採取速度 対 供給元インピーダンス (対数/対数作図)



1.9. 連続変換動作

ADC制御レジスタ(CTRLA)のACCチャネル n 単独変換開始(CHnSTART)ビットの1つ以上の設定(1)、または仮想チャネルへの事象割り当てによる手動変換開始に代わり、ADCは連続変換動作にすることができます。これはこの動作が活性(有効)である限り、多数のチャネルが次々と繰り返し変換されることを意味します。

ADC事象制御(EVCTRL)レジスタのADCチャネル掃引選択(SWEEP)ビット領域は連続変換動作にどのチャネルを含めるかを選びます。チャンネル0だけ、チャンネル0と1、チャンネル0～2、全4チャネルから選ぶことができます。

注: 同じビットが事象起動変換掃引に含めるチャネルを選択するのに使用されますが、それはこの応用記述の範囲外です。

連続変換動作時に多重器(MUX)設定を伴うどんな変更も、これが不正な変換結果となるため、行われるべきでないことに注意してください。

1.10. 割り込み

変換完了の時間を調べるためにレジスタのポーリングを行わなければならないのを避けるため、ADCは変換完了で割り込み要求を発行するように形態設定することができます。これは割り込み処理コードを使用して結果の処理を行うと同時に殆どの時間、CPUを他の作業に対して準備可のままとするのに使用することができます。

より多くの情報についてはデバイスのデータシートまたは「AVR1305:XMEGAの割り込みと設定可能な多段割り込み制御器」応用記述を参照してください。

1.11. 結果比較器割り込み

入力値を単に変換するだけに代わり、ADCは結果を与えられた値と比較して、結果がその値の以上または以下の時に割り込みまたは事象を発行するだけに形態設定することができます。比較一致(以上/以下)での割り込みは各チャネルに対して個別に形態設定できますが、4つ全ての仮想チャネルで共用されます。

この機能の代表的な使用は1つ以上のADCチャネルを連続変換動作のままにし、入力信号の1つが或る閾値に達した時に割り込みを発行するようにADCを形態設定することです。

1.12. 校正

ADC部署はデバイス製造中に校正されています。この校正値はデバイスの製品識票列に格納されます。校正値はADCの個別段間の不一致を補償し、ADCの直線性を改善します。

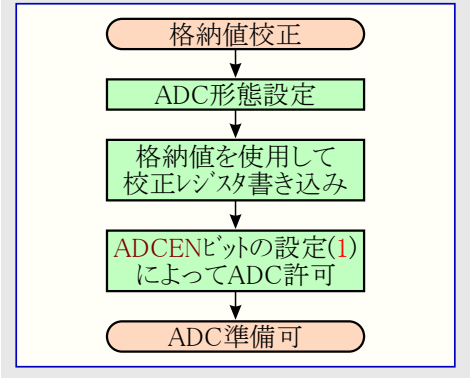
校正値は自動的に設定されず、常にADCが許可される前に製品識票列(ADCxCAL0/1)から取得して対応するADC校正(CALH/CALL)レジスタに書かれるべきです。

格納された校正設定の取得設定に関する流れ図が図1-10.で示されます。

校正値は高精度装置でデータシートの精度に工場校正され、使用者校正用に意図されていません。

「AVR120:AVRのA/D変換器の特性付けと校正」応用記述はADCの特性と利得と変位の誤差に対する補償方法のより多くの情報を含みます。

図1-10. 格納された校正設定の使い方

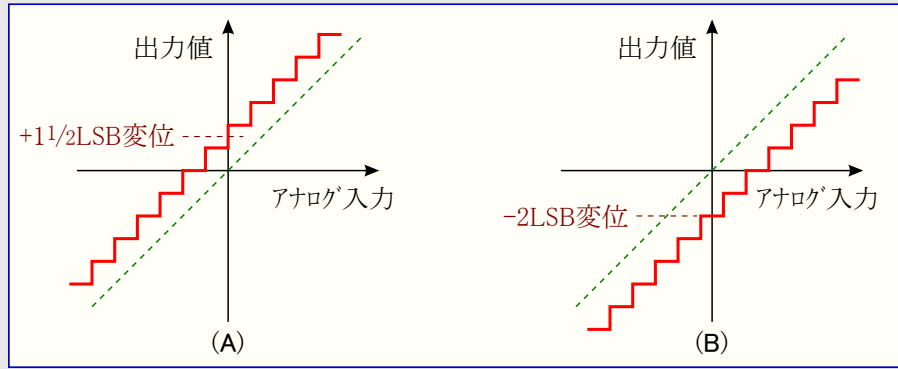


1.12.1. 変位(オフセット)誤差

変位誤差は0入力電圧での理想直線から実際のADCの伝達関数の偏差として定義されます。

出力値0から1への遷移が $1/2$ LSBの入力値で起こらない時にそれを変位(オフセット)誤差があると言います。正の変位誤差では入力電圧が下から $1/2$ LSBに接近する時に出力値が0よりも大きくなります。負の変位誤差は最初に出力値遷移が起こる時に入力値が $1/2$ LSBよりも大きくなります。別の言葉では、実際の伝達関数が理想線以下に置かれている場合が負の変位でその逆も同様です。正と負の変位が図1-11.で示されます。

図1-11. 正(A)と負(B)の変位誤差の例



シングルエンド変換が正の結果だけを与えるため、変位測定手順はシングルエンドと差動のチャネルが使用される時に異なります。

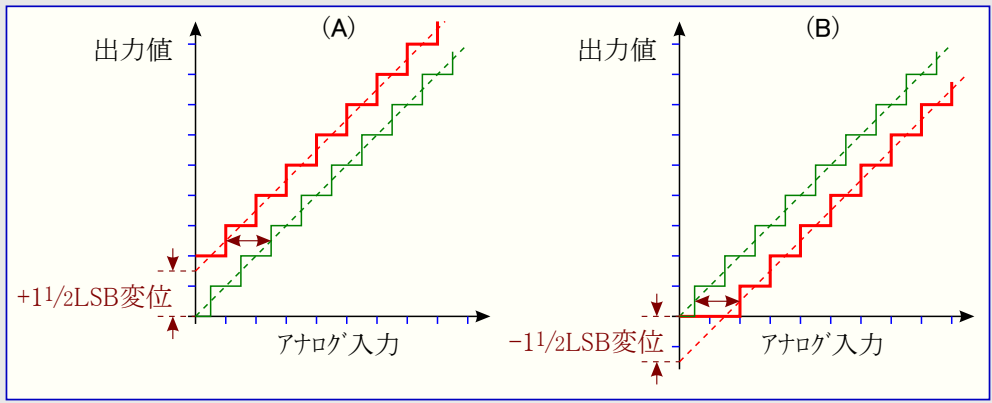
1.12.2. 変位(オフセット)誤差 - シングルエンドチャネル

変位誤差を測定するには、出力値で最初の遷移が起きるまでGNDから入力電圧を増してください。実際の遷移に対応する入力電圧と同じ遷移を示す理想的なADCに対する入力電圧間の差を計算してください。LSBに変換されたこの差が変位誤差と等価です。

図1-12.の(A)では最初の遷移が1LSBで起きます。遷移は2から3で、これは理想的なADCに対して $2 1/2$ LSBの入力電圧と等価です。差は $+1 1/2$ LSBで、これが変位誤差と等価です。両端矢印が差を示します。

同じ手続きを図1-12.の(B)に適用します。最初の遷移は2LSBで起きます。遷移は0から1で、これは理想的なADCに対して $1/2$ LSBの入力電圧と等価です。差は $-1 1/2$ LSBで、これが変位誤差と等価です。

図1-12. シングルエンド形態での正(A)と負(B)の変位誤差



シングルエンドチャンネル使用時に変位誤差を補償するには毎回の測定値から変位誤差を減算してください。変位誤差がADCに対して利用可能な範囲を制限することに注意してください。大きな正の変位誤差は入力電圧が最大に達する前に最大で飽和させます。大きな負の変位誤差は最小入力電圧に対して出力値0を生じます。

1.12.3. 変位(オフセット)誤差 - 差動チャンネル

差動チャンネルでの変位測定は外部入力電圧が必要とされないのもっと簡単に実行することができます。2つの差動入力が内部的に或る電圧に接続され、そしてその後の結果の出力値が変位誤差です。この方法が最初の遷移が起こる場所での正確な情報でないため、これは1/2から(最悪)1LSBの誤差を生じます。

差動チャンネル使用時に変位誤差を補償するには、毎回の測定値から変位誤差を減算してください。

符号付き形態で温度、VCCまたは基準電圧の変動によって引き起こされる変位誤差に対する補償は2つのチャンネルを使用して簡単に行うことができます。例えば、正入力選択(MUXPOS)をADCピン0、負入力選択(MUXNEG)をADCピン1にADCチャンネル0を設定してください。チャンネル1で逆を行い、MUXPOSをADCピン1、MUXNEGをADCピン0に設定してください。チャンネル0は正の値をそしてチャンネル1は負の値を与えるでしょう。これらの値からこの式 $(CH0+CH1 \times -1) \div 2$ を加えることによって実時間で変位補償された結果を得るでしょう。

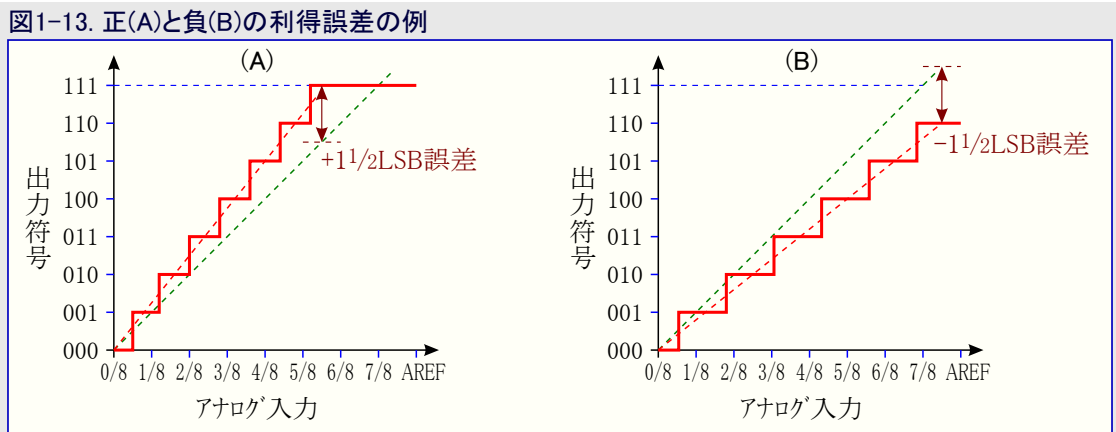
1.12.4. 利得誤差

利得誤差は変位(オフセット)誤差補償後で、理想直線から最後の出力段階中点の偏差として定義されます。

変位誤差補償後、0の入力電圧印加は常に0の出力を生じます。けれども、利得誤差は実際の伝達関数を理想傾斜から外れさせます。この利得誤差は出力値を尺度調整することによって補償して測定することができます。

走行時補償は浮動小数点計算が実行に長くかかりすぎるため、度々整数演算が用いられます。従って、可能な最良の精度を得るため、傾斜偏差は可能な限り0から遠くで測定されるべきです。より大きな値がより良い精度を得ます。これはこの資料の後の方で詳細に記述されます。

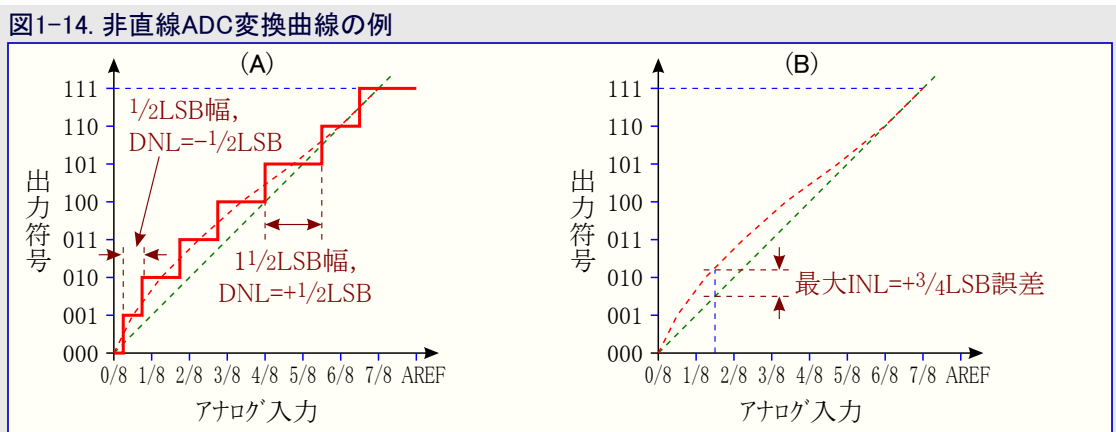
利得誤差を持つ3ビットADC伝達関数の例が図1-13.で示されます。以下の説明はシングルエンドと差動の両方に適用できます。



利得誤差を測定するには、0から最後の出力段階に達するまで入力値が増加されます。利得補償用の尺度係数は最終段階の中点に対する理想出力値をその段階の実際の値で除算したものと等価です。

1.12.5. 非直線性

変位(オフセット)と利得が補償されると、実際の伝達関数は理想的なADCの伝達関数と等しくあるべきです。けれども、例え2つの曲線(訳補:厳密には非直線性を持つ実際の曲線と理想直線)が0周辺と利得誤差が測定された点で等しくても、ADCに於ける非直線性が実際の曲線を理想的な直線から僅かに離れさせます。非直線性を測定するには2つの方法があり、両方とも下で記述されます。図1-14.は両測定の方法を示します。



1.12.6. 微分非直線性

微分非直線性(DNL)はどれかの出力段階の理想的な幅(1LSB)と段階幅間の最大と最小の差として定義されます。

非直線性は変化する幅での量子化段階を生成します。全ての幅が1LSB幅であるべきですが、いくつかがより広くまたはより狭くなります。

DNLを測定するには、傾斜入力電圧が印加され、全ての出力値遷移が記録されます。段階長は遷移間の距離から見つかると、1LSBから最も正及び負の偏差が最大と最小のDNLを報告するのに使用されます。

1.12.7. 積分非直線性

積分非直線性(INL)は実際の曲線と理想的な直線間の最大垂直差として定義されます。

INLはDNLの総和として解釈することができます。例えば、多数の連続する負のDNLは図1-14.で示されるように理想的な直線以上に実際の曲線を引き上げます。負のINLは実際の曲線が理想的な直線以下であることを示します。

最大と最小のINLはDNL測定と同じ傾斜入力電圧を用いて測定されます。各変換段階中点での偏差を記録し、最も正と負の偏差を最大と最小のINLとし報告します。

1.12.8. 測定と補償

変位(オフセット)と利得の誤差補償後にDNLとINLの値が測定されることが重要です。そうでなければ、結果は変位と利得の誤差によって影響され、従って真のDNLとINLを示しません。

非直線性は簡単な計算で補償することができません。この目的に対しては多項式近似または参照表を使用することができます。けれども、代表的なDNLとINLの値はXMEGAの12ビットADCに対して±2LSB未満で、現実の応用で滅多に何らかの重要性になりません。

1.12.9. デカップ(雑音分離)

安定的な結果を得るためにデカップが必要です。これはアナログ信号測定と使用される基準電圧の両方に対して必要とされます。

時を経過して測定される全ての信号に対して共通の基準電圧を持てるには、電圧基準が正確に同じでなければなりません。これを達成するには、基準電圧が大きなコンデンサでデカップされなければなりません。内部基準電圧に対してこれは直接的に可能ではありませんが、AVCCとVCCを十分にデカップしなければなりません。AVCCと外部基準電圧の両方に対しては、デカップと濾波が行われなければなりません。濾波器インダクタと大きなコンデンサの使用は基準電圧の安定性維持を助けます。より大きなコンデンサはより良い安定性が達成されます。1μFまたはより大きなコンデンサが推奨されます。ADC使用時、測定が行われ得る前に、コンデンサが完全充電されて安定するまで待たなければなりません。安定までの時間はコンデンサのLC(またはRC)接続の上昇時間から計算されなければなりません。

アナログ信号に対して、デカップも行われるべきです。シングルエンド信号が有る時にデカップは信号とGND間で行われるべきで、差動信号については正と負の入力間でデカップが行われなければなりません。信号のデカップは基準電圧のデカップよりもっと複雑で、これは信号に注意しなければなりません。信号が高速で切り換わる場合、デカップコンデンサはより小さくなければなりません。デカップコンデンサは信号の上昇と下降の時間を変えないこと、可能な限り高く(大きく)あるべきです。従ってデカップ用の正確な値を与えることは難しく、これはLRC回路として計算されなければなりません。

1.12.10. 供給元インピーダンス

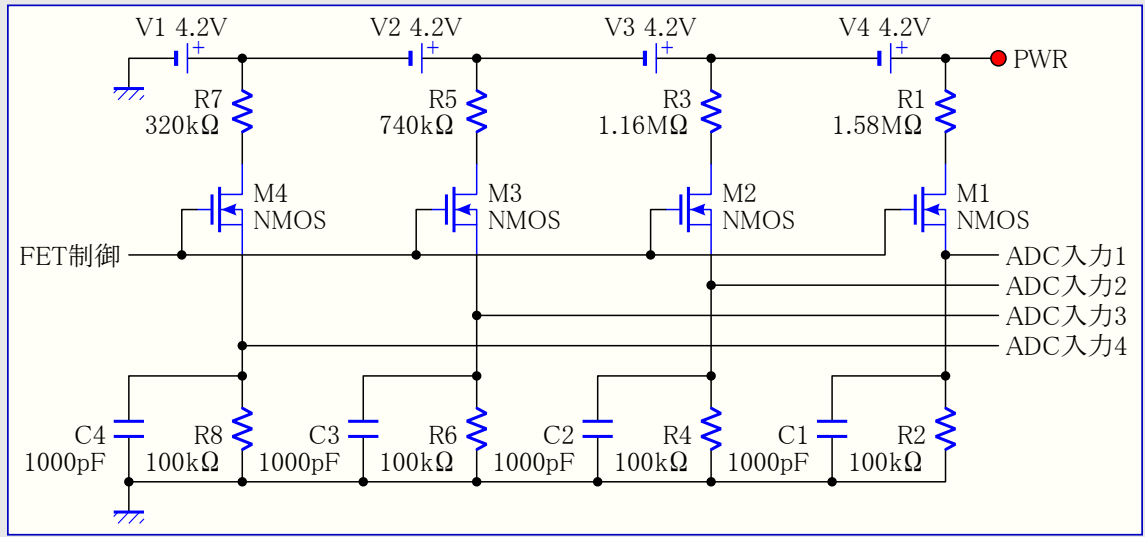
これはADC設計を行う時の非常に一般的な問題です。供給元インピーダンスは充分早く内部採取コンデンサを充電する供給能力です。内部コンデンサがアナログ信号と同じ水準に充電されなければ、結果は不正になるでしょう。

感知器ICからの直接接続使用時、通常、インピーダンスはデバイスのデータシートで述べられ、与えられたインピーダンスに対して速度を調整することは容易です。

回路が受動部品によって作成されていると、実際の供給インピーダンスを見つけるために計算が行われなければなりません。例えば、高電圧をマイクロコントローラによって扱える電圧に分圧する梯子型抵抗は十分な電圧低下を得るために大きな抵抗が使用されるので、非常に高いインピーダンスを持ち得ます。その解決策は正しく信号を測定できるより低い採取速度か、またはより低い抵抗値のどちらかです。抵抗を低めることはより多くの漏れ電流を引き起こし、これは更にアナログ供給元を許可/禁止するために切り換えFETを追加することによって解決することができます。この例は図1-15.で見ることができます。

このような応用で他に注意すべきことは、アナログ源許可後にデカップを正しい水準へ充電するのに幾許かの時間がかかるための供給元が安定になるための時間です。

図1-15. 梯子型抵抗分割とFET切り替えの例



1.13. 精度改善のための助言

Atmel AVR XMEGA ADCの精度は入力信号と電源の質に依存します。可能な最良のADC測定精度のために次の項目が考慮されるべきです。

- ADC、その特徴とそれらが使用をどう意図されているかを理解してください。
- 応用の必要条件を理解してください。
- 供給元インピーダンスが使用される採取速度に比べて高すぎないことを確実にしてください。供給元インピーダンスが高すぎる場合、内部採取コンデンサが正しいレベルに充電されず、結果が正確でなくなるでしょう。
- アナログ基準電圧(VREF)とアナログ電源(AVCC)のようなアナログ信号経路の設計時に最大の注意を払うことが重要です。アナログ電源がデジタル電源に接続される場合、濾波(器)が使用されるべきです。
- 高速切り替え雑音を持つデジタル信号経路(換言すると、通信線、クロック信号)に近いアナログ信号経路を避けてください。
- アナログ信号のデカップ(雑損分離)を考慮してください。シングルエンド入力に対する信号とGND間のデカップと差動測定用の差動信号対間のデカップ。
- 電源と内部的な切り替え雑音を避けるため、ADC変換中に可能な限りピンの切り替えを少なくすることを試みてください。ADCはアナログ電源によって給電されるI/Oピン(PORTA/PORTB)の切り替えに最も敏感です。
- 未使用周辺機能からの雑音無くすため、電力削減レジスタ(PRxx)を設定することによって未使用周辺機能をOFFにしてください。
- CPUからの雑音を低減するため、ADC開始直後にXMEGAを“アイドル”休止形態に置いてください。
- 識票列から校正值をADCの校正レジス内に設定してください。
- 外部雑音の増幅を避けるために可能な最低利得を使用してください。
- いくつかの供給元(例えば、バンドキャップ)はそれらが許可された後で安定になる時間が必要なので、採取前にADC、基準電圧や供給元が安定にされるまで待ってください。
- 測定に対して変位(オフセット)と利得の校正を適用してください。
- 分解能を増して乱雑音を無くすため、過採取を用いてください。
- JTAGデバッグ インターフェースは少しの雑音を生成し、ADC応用をデバッグする間、使用されるべきではありません。
- Atmel STK600スタータキットでのデカップ(雑音分離)コンデンサは実際の部分から遠くにあります。

乱分散雑音に関して過採取の使用はどんな雑音をも低減して精度を改善します。8倍過採取の使用は分解能を2ビット増やし、パイプライン設計のADCのために8つの追加ADCクロック周期しかかかりません。

過採取のより多くの情報については「[AVR121:過採取によるA/D変換分解能増強](#)」応用記述をご覧ください。

2. 始める前に

本項は簡単な変換と多重器(MUX)設定での実験とでの準備と実行に対する基本段階を簡単に片付けます。必要なレジスタが関連ビット設定と共に記述されます。

本項が状態ビットのポーリングだけを網羅することに注意してください。割り込み制御は網羅されませんが、「AVR1305:XMEGAの割り込みと設定可能な多段割り込み制御器」応用記述を学んだ後の容易な段階です。

2.1. 単独変換

課題: 仮想チャンネル2を使用するADC入力1の1つのシングルエンド変換

- シングルエンド入力を選択するために、ADCチャンネル2制御(CH2CTRL)レジスタの入力動作種別(INPUTMODE)ビット領域を1に等しくしてください。
- ADC入力1を選択するために、ADCチャンネル2多重器制御(CH2MUXCTRL)レジスタの正入力選択(MUXPOS)ビット領域を1に等しくしてください。
- 校正なしでADC部署を許可するために、ADC制御レジスタA(CTRLA)のADC許可(ENABLE)ビットを設定(1)してください。ADC始動時間(代表的に最大24ADCクロック)待ってください。
- 単独変換を開始するために、ADC制御レジスタA(CTRLA)のチャンネル2単独変換開始(CH2START)ビットを設定(1)してください。
- 変換終了を示すADC割り込み要求フラグ(INTFLAGS)レジスタのチャンネル2割り込み要求フラグ(CH2IF)ビットが設定(1)されるまで待機してください。
- 2バイト値として12ビットの変換結果を得るために、ADCチャンネル2結果(CH2RESL/CH2RESH)レジスタ対を読んでください。

2.2. 複数チャンネル

課題: 仮想チャンネル1と3を使用するADC入力3と6の1つのシングルエンド変換

- 両チャンネルでシングルエンド入力を選択するために、ADCチャンネル1制御(CH1CTRL)レジスタとADCチャンネル3制御(CH3CTRL)レジスタの入力動作種別(INPUTMODE)ビット領域を1に等しくしてください。
- ADCチャンネル1と3の多重器制御(CH1MUXCTRLとCH3MUXCTRL)レジスタの正入力選択(MUXPOS)ビット領域を各々3と6に等しくしてください。
- 校正なしでADC部署を許可するために、ADC制御レジスタA(CTRLA)のADC許可(ENABLE)ビットを設定(1)してください。ADC始動時間(代表的に最大24ADCクロック)待ってください。
- 2つの変換を開始するために、ADC制御レジスタA(CTRLA)のチャンネル1と3の単独変換開始(CH1STARTとCH3START)ビットを設定(1)してください。
- 変換終了を示すADC割り込み要求フラグ(INTFLAGS)レジスタのチャンネル1と3の割り込み要求フラグ(CH1IFとCH3IF)ビットが設定(1)されるまで待機してください。
- 2バイト値として12ビットの変換結果を得るために、ADCチャンネル1と3の結果(CH1RESL/CH1RESHとCH3RESL/CH3RESH)レジスタ対を読んでください。

2.3. 連続変換動作

課題: 正及び負の入力としてADC0とADC3を使用するチャンネル0での連続差動変換

- ADCチャンネル0の多重器制御(CH0MUXCTRL)レジスタの正入力と負入力の選択(MUXPOSとMUXNEG)ビット領域を各々0と3に等しくしてください。
- 利得なし差動入力を選択するために、ADCチャンネル0制御(CH0CTRL)レジスタの入力動作種別(INPUTMODE)ビット領域を2に等しくしてください。
- 符号付き動作を選択するために、ADC制御レジスタB(CTRLB)の両極/単極選択(CONVMODE)ビットを設定(1)してください。
- 連続変換動作を許可するために、ADC制御レジスタB(CTRLB)の連続動作(FREERUN)ビットを設定(1)してください。
- 校正なしでADC部署を許可するために、ADC制御レジスタA(CTRLA)のADC許可(ENABLE)ビットを設定(1)してください。ADC始動時間(代表的に最大24ADCクロック)待ってください。
- 変換終了を示すADC割り込み要求フラグ(INTFLAGS)レジスタのチャンネル0の割り込み要求フラグ(CH0IF)ビットが設定(1)されるまで任意で待機してください。後での使用を行えるように1書き込みによってこのフラグを解除してください。
- 2バイト値として最後の12ビットの変換結果を取得するために、ADCチャンネル0結果(CH0RESL/CH0RESH)レジスタ対を読んでください。

注: 連続変換動作使用時、割り込み要求フラグに対する待機が厳密には必要とされません。けれども、新しい変換を確認するためにこのフラグを待ち、結果読み込み後に解除(0)すべきです。CPUでの余計な作業を押し付けるためにDMAデータ転送と共に連続変換動作を使用するのが推奨されることにも注意してください。

3. 高度な機能

本章はADCでの可能性と高機能な機能を導入します。詳細な取り扱いとは本応用記述の範囲外で、使用者はデバイスのデータシートと関連する応用記述を学ぶことを勧められます。

3.1. DMA制御器

結果レジスタを読んで処理するのに割り込み処理を使用する代わりに、1つ以上の結果レジスタからメモリ緩衝部または他の周辺機能部署へデータを移動するのにAtmel AVR XMEGAのDMA制御器を使用することが可能です。このデータ移動はCPUの介在なしに行われ、割り込み処理の実行を持たなくても他の作業に対してCPUを準備可のままにします。

より多くの情報に関してはデバイスのデータシートまたは「[AVR1304:XMEGA DMA制御器の使い方](#)」応用記述を参照してください。

3.2. 事象システム

変換タイミングを改善して更にCPUでの余計な作業を押し付けるために、ADCはAtmel XMEGAの事象システムに接続されます。これは単独変換または多チャンネルに渡る変換掃引を起動するために到着事象の使用を可能にします。ADC変換完了状態は事象システムに接続された他の周辺機能部署に対して利用可能な事象元としても扱います。

より多くの情報に関しては、デバイスのデータシートまたは「[AVR1001:XMEGAの事象システムでの着手に際して](#)」応用記述を参照してください。

4. ドライバ実装

本応用記述はASF 2.0(応用ソフトウェア枠組み)に基づく一括ソースコードを含みます。ソースコードはAtmel AVR Studio®に適合します。

注: このADCドライバは高性能コードでの使用に対して意図されていません。それはADCでの始めを得るためのライブラリとして設計されています。タイミングとコード量が重要な応用開発については、ADCレジスタに直接アクセスすべきです。より多くの詳細についてはドライバのソースコードとデバイスのデータシートを参照してください。

4.1. ファイル

利用可能なドライバ インターフェース関数とそれらの使用の完全な概要についてはソースコードの資料を参照してください。

4.2. Doxygen資料化

全てのソースファイルはDoxygenを使用する自動資料生成用に準備されています。Doxygenは特別なキーワードを使用してソースコードを分析することによって、ソースコードから資料を作成するツールです。Doxygenについてのより多くの詳細に関しては<http://www.doxygen.org>を訪ねてください。予めコンパイルされたDoxygen資料は本応用記述に伴うソースコードと共に供給され、ソースコードフォルダの[readme.html](#)ファイルから利用可能です。

5. 改訂履歴

資料改訂	日付	注釈
8032A	2008年10月	初版資料公開
8032B	2009年8月	多数の変更と更新
8032C	2009年9月	図更新
8032D	2010年2月	些細な誤植修正
8032E	2010年10月	多数の修正と1.12.3.での新項目を追加
8032F	2010年11月	些細な誤植修正
8032G	2010年12月	誤植修正
8032H	2010年12月	Doxygen更新
8032I	2013年5月	1.4.5.項更新。また他の多数の些細な変更が行われました。新雛形適用



Enabling Unlimited Possibilities®

Atmel Corporation

1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 全権利予約済 / 改訂:8149I-AVR-05/2013

Atmel®, Atmelロゴとそれらの組み合わせ、AVR®, AVR Studio®, Enabling Unlimited Possibilities®, STK®, XMEGA®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイト位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2014.

本応用記述はAtmelのAVR1300応用記述(doc8149.pdf Rev.8149I-05/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。