

AVR1301 : XMEGA D/A変換器(DAC)の使い方

要点

- 12ビット分解能
- 1秒当たり1Mまでの変換
- 連続駆動または採取/保持(S/H)出力
- 組み込みの変位と利得の校正
- 高い駆動能力
- ドライバのソースコード内包

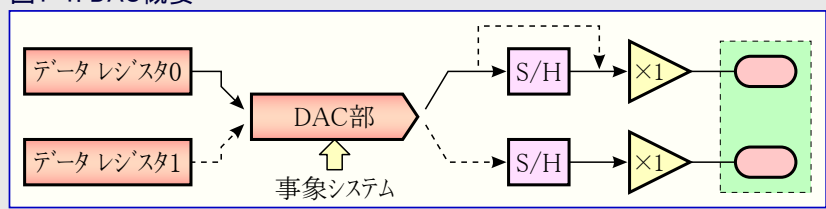
1. 序説

XMEGATMのDAC部署は12ビット分解能での秒当たり1M変換までの変換速度能力の高性能D/A変換器です。高い出力駆動能力、2つの採取/保持(S/H)出力、チップ内のアナログ比較器またはA/D変換器(ADC)への任意選択DAC出力配線はこれを、ステレオ音出力、高速信号発生、校正と信号補償のような広大な範囲の応用に適合する柔軟な部署にします。

本応用記述は素早い準備と行動のための例と共にXMEGAのDACの基本的な機能を記述します。その上、Cで書かれたドライバインターフェースが含まれています。

直接メモリ入出力(DMAC)やXMEGAの事象システムのような高度な使い方は本応用記述の範囲外です。詳細についてはデバイスのデータシートと関連する他の応用記述を参照してください。

図1-1. DAC概要



2. 部署概要

本項はDACの基本的な機能と形成任意選択の概要を提供します。そして3項がレジスタ内容と形成詳細とで準備と実行のための基本段階を簡単に片付けます。

2.1. 変換の起動

DAC変換は(1)データレジスタへの書き込みによって、または(2)XMEGAの事象システムからの到着事象からのどちらかで起動することができます。

データ書き込み操作によって起動されるとき、変換は上位バイトレジスタが更新される時に始まります。

事象システムが使用されると、変換はデータレジスタが更新される時ではなく、事象が到着する時に始まります。これはデータレジスタが如何なる変換も起動せずに多数回更新できることを意味します。事象到着時、データレジスタの現在値が変換に使用されます。

例えソフトウェアがかなり良いタイミングでデータレジスタへの手動書き込みが達成できるとしても、正確なタイミングを必要とする応用に対して事象とDMA転送と共にタイマ基準を使用することが推奨されます。けれども、厳しいタイミング必要条件でない、または静的な出力値を使用する応用については、これらの高度な機能の利用は必要ありません。

起動種別は制御レジスタB(CTRLB)の起動種別(CHnTRIG)ビットで形態設定します。起動種別が2つのチャンネルに対して個別に形態設定できることに注目してください。例えば、チャンネル0がデータ書き込みでの起動に、一方チャンネル1が事象使用にできます。



8ビット **AVR**[®]
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8033B-04/08, 8033BJ4-03/14

2.2. 単独と2重のチャネル動作

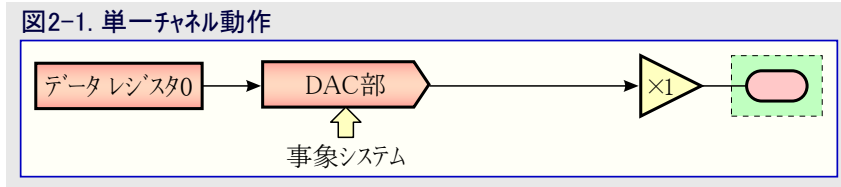
DAC部署は対応するデータレジスタとで2つのデータチャネルを含みますが、1つの変換部だけです。使用者は連続駆動出力としてチャネル0、または2つの採取/保持出力として両チャネル使用かを選ぶことができます。

チャネル動作種別は制御レジスタB(CTRLB)のチャネル選択(CHSEL)ビット領域で形成設定されます。

2.2.1. 単一チャネル動作

単一チャネル動作ではDAC変換部が常にチャネル0の出力駆動段とデータレジスタに接続されます。従って“連続駆動出力”の概念です。

図2-1は単一チャネル動作でのDACを示します。採取/保持段が迂回されていることに注意してください。

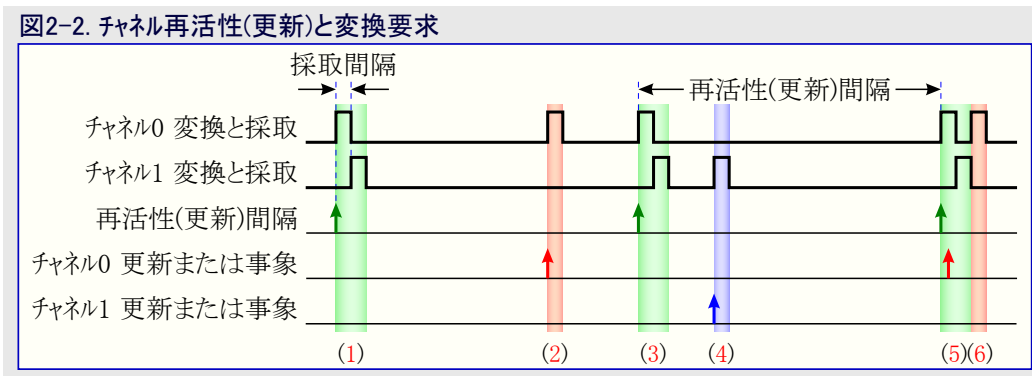


2.2.2. 2重チャネル動作

2重チャネル動作ではDAC変換部がチャネル0と1に対する変換値を切り換えて使用します。採取/保持部は変換間の出力値を保持するのに使用されます。2つの出力での安定な出力値を維持し得るために、チャネルは規則的な再活性(更新)が必要です。最小再活性速度の詳細に関してはデータシートの「電気的特性」項を調べてください。より高い再活性速度がより高い電力消費を引き起こすことに注意してください。電力消費対変換速度の詳細もデータシートで得られます。

事象システムが必要な再活性速度を維持するのに使用することができますが、殆どの場合では事象システムが代わりに採取速度の生成に使用されます。採取速度が再活性速度より遅いなら、DAC部署は内部再活性間隔生成器も持っています。自動再活性(更新)間隔はタイミング制御レジスタ(TIMCTRL)の再活性(更新)タイミング制御(REFRESH)ビット領域で形成設定されます。

手動変換または事象起動が再活性(更新)間隔に影響を及ぼさないことに注意してください。これは例えばデータレジスタの手動更新によって引き起こされる、追加の変換が再活性間隔間で例え起こったとしても、チャネルは一定の間隔で再活性されることを意味します。下の図2-2は例を示します。採取間隔は2.2.3項で網羅されます。



- (1) 再活性間隔が始まり、チャンネル0の変換と採取が後続します。1つの採取間隔後にチャンネル1が変換と採取を行われます。
- (2) チャンネル0に対する(レジスタ更新または事象)の変換要求は、例えそれが或る再活性(更新)間隔の中間であったとしても、チャンネル0だけの変換と採取を起動します。
- (3) 別の再活性(更新)間隔が始まり、(1)と同様です。
- (4) チャンネル1に対する(レジスタ更新または事象)の変換要求は、例え両チャネルが正しく再活性(更新)されていても、チャンネル1だけの変換と採取を起動します。
- (5) 別の再活性(更新)間隔が始まり、(1)と同様です。チャンネル0に対する変換要求が(6)まで遅らされることに注意してください。
- (6) (5)で遅らされた変換要求が(再活性での)チャンネル1終了後直ちにチャンネル0の変換と採取を起動します。

変換要求の到着速度が再活性(更新)速度に接近する場合、通常の再活性が変換要求到着時に進行中で有り得るので、変換タイミングが不正確になるかもしれません。再活性の最中に到着する要求は両チャネルが再活性されるまで遅らされます。最初の1つが取り扱われる前にチャネルに対して複数の要求が到着する場合、追加の要求は無視されます。

これが当該応用に関して問題なら、解決方法は自動再活性(更新)間隔を禁止して、代わりに充分速い速度で到着するデータを保証することです。1つのチャネルだけに対する自動再活性(更新)の切り換えが不可能なことに注意してください。

2.2.3. 採取間隔

2重チャネル動作使用時、チャンネル0の変換開始からチャンネル1が開始し得るまでに或る最低遅延時間が必要です。これはDAC変換部出力の有限設定時間のためです。この遅延は最低1μsで、これは最高1MHzの採取速度の制限です。

採取間隔はタイミング制御レジスタ(TIMCTRL)のチャネル変換間隔(CONINTVAL)ビット領域で形成設定されます。

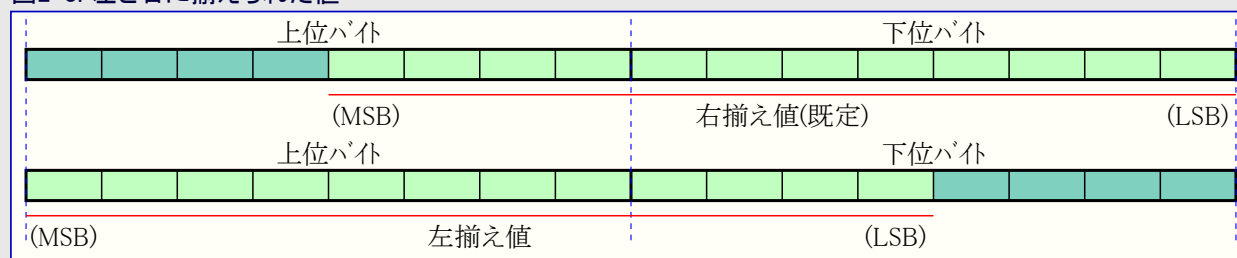
2.3. 左若しくは右に揃えられた値

DACへの12ビット入力値は2つの8ビットレジスタに含まれ、上位と下位のレジスタとして参照されます。既定ではこの12ビット値が下位レジスタの8LSBと上位レジスタの4MSBに分配されます。この分配は応用が16ビット整数、例えば、`unsigned short int`として12ビットDAC値を格納する時に便利です。

けれども、いくつかの応用は左揃えされたデータ、例えば、4LSBが小数部として扱われる16ビット値での作業に有用とされます。他の代わりは応用が8ビット変数、例えば、`unsigned char`でDAC値を格納し、従って12ビットDAC値の4LSBを0に等しく置くことです。

XMEGAのDAC部署は制御レジスタC(**CTRLC**)の左揃え(**LEFTADJ**)ビットの設定(1)によって左揃えされたデータを受け入れるように形態設定することができます。図2-3はDAC値レジスタの右と左に揃えられた値間の違いを示します。

図2-3. 左と右に揃えられた値



2.4. 基準電圧

応用は変換に対して次の基準電圧を選ぶことができます。

- ・バンドギャップ基準電圧(1.1V)
- ・アナログ供給電圧(AVCC)
- ・外部基準電圧(VREF)

VREF外部基準電圧ピンがA/D変換器(ADC)部署と共用されていることに注意してください。基準電圧は制御レジスタC(**CTRLC**)の基準電圧選択(**REFSEL**)ビット領域で選びます。

2.5. 駆動能力

動作種別に拘らず、DAC出力は外部の1kΩ抵抗性負荷または100pF容量性負荷を駆動する能力です。詳細な特性に関しては部署のデータシートを参照してください。

2.6. 校正

DAC出力に対して最適な精度を達成するため、組み込み校正能力が変位と利得の誤差に関連する処理の微調整を可能にします。利得校正レジスタ(**GAINCAL**)と変位校正レジスタ(**OFFSETCAL**)の2つのレジスタがこの目的に使用されます。両校正レジスタは7ビットを使用し、ここでのMSB(ビット6)は校正の方向を決め、6LSB(ビット5~0)が校正の大きさを決めます。

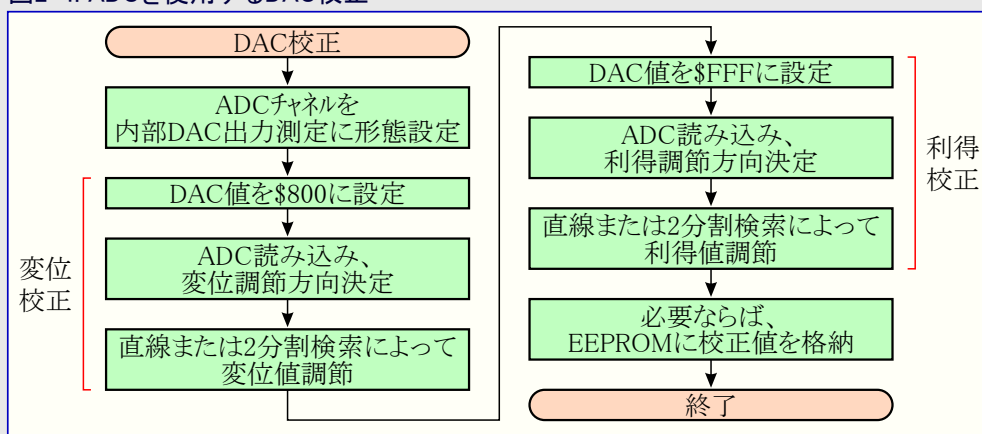
DAC校正時、とにかく出力を測定する必要があります。この目的に関して、DACは(正しく校正されたADCでの)ADCチャネルの1つへ内部的に、または或る外部装置に接続することができます。XMEGAのADC部署使用は完全な自動DAC校正を可能にし、一方外部装置の使用は必要ならばより一層高い精度を与えられるかもしれません。ADC部署のより多くの情報に関してはデバイスのデータシートまたは「AVR13xx:XMEGA A/D変換器(ADC)の使い方」応用記述を参照してください。

校正時、最初に値\$800が正確に基準電圧の半分を生じるまで変位値を調節してください。その後値\$FFFが正確に完全な基準電圧を生じるまで利得値を調節してください。変換部が0Vまで下がって達することができないので、\$000を使用する利得値調節が不可能なことに注意してください。

単一または2重のチャネル動作種別の両動作に対して同じDAC部が使用されるので、校正は両動作によって影響を及ぼされません。

校正処理用の流れ図が図2-4.で示されます。

図2-4. ADCを使用するDAC校正



3. 開始に際して

本項は簡単な変換と各種動作種別での実験とでの準備と実行に対する基本段階を簡単に片付けます。必要なレジスタが関連ビット設定と共に記述されます。

3.1. 単一チャネル動作

課題: 変換基準電圧としてアナログ供給電圧を使用して単一チャネル動作でDACチャネル0に静的な値を設定してください。

- ・単一チャネル動作を選択するために制御レジスタB(CTRLB)のチャネル選択(CHSEL)ビット領域を\$00と等しく設定してください。
- ・到着事象での起動に代えてデータ書き込み時に変換を起動するために、制御レジスタB(CTRLB)でチャネル0に対する事象起動許可(CH0TRIG)ビットを解除(0)してください。
- ・変換基準電圧としてアナログ供給電圧を使用するために、制御レジスタC(CTRLC)の基準電圧選択(REFSEL)を\$01に等しく設定してください。
- ・DAC出力0を許可するために制御レジスタA(CTRLA)のチャネル0許可(CH0EN)ビットを設定(1)してください。
- ・DAC部署自体を許可するために制御レジスタA(CTRLA)の許可(ENABLE)ビットを設定(1)してください。
- ・変換を起動するためにチャネル0データレジスタ(CH0DATA)に右揃え12ビット値を書いてください。下位バイトが先に書かれなければならないことに注意してください。

データレジスタが既定で右揃えにされていることに注意してください。

3.2. 2重チャネル動作

課題: 変換基準電圧としてアナログ供給電圧を使用して2重チャネル動作で両DACチャネルに静的な値を設定してください。

- ・2重チャネル動作を選択するために制御レジスタB(CTRLB)のチャネル選択(CHSEL)ビット領域を\$02と等しく設定してください。
- ・到着事象での起動に代えてデータ書き込み時に変換を起動するために、制御レジスタB(CTRLB)でチャネル0と1に対する事象起動許可(CH0TRIGとCH1TRIG)ビットを解除(0)してください。
- ・変換基準電圧としてアナログ供給電圧を使用するために、制御レジスタC(CTRLC)の基準電圧選択(REFSEL)を\$01に等しく設定してください。
- ・両DAC出力を許可するのに制御レジスタA(CTRLA)のチャネル0許可(CH0EN)ビットとチャネル1許可(CH1EN)ビットを設定(1)してください。
- ・採取間隔に対して16クロック周期(これは8MHzの周辺クロックで2 μ sを意味します)を使用するために、タイミング制御レジスタ(TIMCTRL)の変換間隔(CONINTVAL)ビット領域を\$04に等しく設定してください。
- ・再活性(更新)間隔に対して128クロック周期(これは8MHzの周辺クロックで16 μ sを意味します)を使用するために、タイミング制御レジスタ(TIMCTRL)の再活性(更新)間隔(REFRESH)ビット領域を\$06と等しく設定してください。
- ・DAC部署自体を許可するために制御レジスタA(CTRLA)の許可(ENABLE)ビットを設定(1)してください。
- ・変換を起動するために両方のチャネルデータレジスタ(CH0DATAとCH1DATA)に右揃え12ビット値を書いてください。データがデータレジスタに書かれず、出力は16 μ s毎に再活性(更新)されるでしょう。

4. 高度な機能

本項はDACでの可能性と高機能な機能を導入します。詳細な取り扱いは本応用記述の範囲外で、使用者はデバイスのデータシートと関連する応用記述を学ぶことを勧められます。

DAC部署が割り込みを使用しないことに注意してください。

4.1. DMA制御器

データを書いて変換を開始するためのポーリングまたは時間を使用するコードに代わり、メモリバッファまたは他の周辺機能部署から変換レジスタにデータを移動するのにXMEGAのDMA制御器が使用可能です。このデータ移動はCPUの介在なしに行われ、CPUに別の作業準備を許します。正確な変換タイミングを成し遂げるため、DMA使用時に変換起動元として事象システムの使用が推奨されることに注意してください。

より多くの情報に関しては、デバイスのデータシートまたは「AVR1304:XMEGA DMA制御器の使い方」応用記述を参照してください。

4.2. 事象システム

変換タイミングを改善して更にCPUからの余計な作業を押し付けるために、DACはXMEGAの事象システムに接続されています。これはデータ変換を起動するために到着事象の使用を可能にします。

より多くの情報に関しては、デバイスのデータシートまたは「AVR1001:XMEGAの事象システムでの着手に際して」応用記述を参照してください。

5. ドライバ実装

本応用記述はCで実装された基本DACドライバの一括ソースコードを含みます。それはIAR Embedded Workbench[®] コンパイラで書かれています。AVR-GCCとも互換です。

DACドライバが高性能コードでの使用に対して意図されていないことに注意してください。それはDACでの始めを得るためのライブラリとして設計されています。タイミングとコード量が重要な応用開発については、DACレジスタに直接アクセスすべきです。より多くの詳細についてはドライバのソースコードとデバイスのデータシートを参照してください。

5.1. ファイル

一括ソースコードは次の3つのファイルから成ります。

- DAC_driver.c : DACドライバ ソース ファイル
- DAC_driver.h : DACドライバ ヘッダ ファイル
- main.c : ドライバを使用するコード例

ドライバとコード例がDMAデータ転送やXMEGAの事象システムの支援を含まないことに注意してください。

利用可能なドライバ インターフェース関数とそれらの使用の完全な概要についてはソースコードの資料を参照してください。

5.2. Doxygen資料化

全てのソースファイルはDoxygenを使用する自動資料生成用に準備されています。Doxygenは特別なキーワードを使用してソースコードを分析することによって、ソースコードから資料を作成するツールです。Doxygenについてのより多くの詳細に関しては<http://www.doxygen.org>を訪ねてください。予めコンパイルされたDoxygen資料は本応用記述に伴うソースコードと共に供給され、ソースコードフォルダの[readme.html](#)ファイルから利用可能です。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに位置する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2008. 全権利予約済 ATMEL[®]、ロゴとそれらの組み合わせ、AVR[®]とその他はATMEL Corporationの登録商標、XMEGA[®]とその他は商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2014.

本応用記述はATMELのAVR1301応用記述(doc8033.pdf Rev.8033B-04/08)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。