

AVR1304 : XMEGA DMA制御器の使い方

Atmel 8ビット マイクロコントローラ

要点

- 4つの独立したDMAチャンネル
- 柔軟なチャンネル優先権選択
- 3つのアドレス指定動作種別: 静止、増加、減少
- 転送元及び転送先アドレスの再設定能力
- 単発または繰り返し塊転送
- 継続転送に対する2重緩衝(連結緩衝部)
- 緩衝部空または異常での割り込み
- 大きな塊容量
- ドライバのソースコード内包

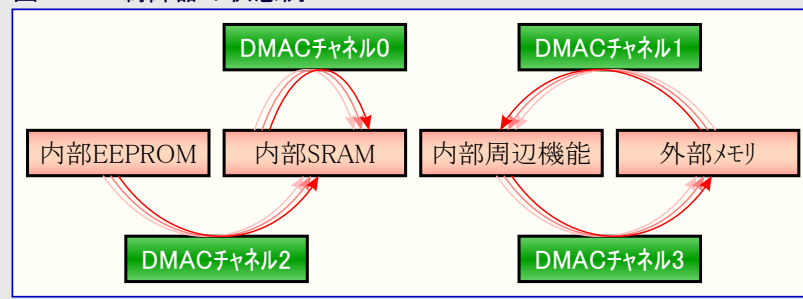
序説

XMEGA®の直接メモリ入出力制御器(DMAC)は最小のCPU介在でメモリと周辺機能間のデータ転送を行う、高い柔軟性の4チャンネルのDMA制御器能力です。CPUが低電力休止形態で時を過ごしている、または別の作業を実行している一方で、XMEGAのDMACは1つの領域から別の領域へのデータの複写を単に処理することによってCPUを楽にします。

柔軟なチャンネル優先権選択、多数のアドレス指定動作種別、2重緩衝能力、大きな塊容量はXMEGAのDMACを、信号処理や工業制御のようなデータ志向応用の全てに対する強力な部署にします。

本応用記述は素早い準備と行動のための例と共にXMEGAのDMACの基本的な機能を記述します。その上、Cで書かれたドライバインターフェースが含まれています。

図1. DMA制御器の状態例



目次

1. 部署概要	3
1.1. DMAチャネル	3
1.2. データ転送	3
1.3. 塊転送と繰り返し動作	3
1.4. DMA単位処理 (DMA Transaction)	3
1.5. アドレス指定動作種別	4
1.6. アドレス再設定	4
1.7. 転送起動と単発動作	4
1.8. 割り込み処理	4
1.9. 複数バイトのDMACレジスタのアクセス	5
2. 開始に際して	5
2.1. メモリ塊複写	5
2.2. SRAM配列から周辺機能への単一バイトデータ複写	5
2.3. 周辺機能からの4バイトの結果をSRAM配列に複写	6
3. 高度な機能	6
3.1. 2重緩衝	6
3.2. チャネル優先権	6
4. ドライバ実装	7
4.1. ファイル	7
4.2. Doxygen資料化	7
5. 改訂履歴	7

1. 部署概要

本項はDMACの基本的な機能と形成任意選択の概要を提供します。そして2.章がレジスタ内容と形成詳細とで準備と実行のための基本段階を簡単に片付けます。

1.1. DMAチャネル

共通レジスタに加え、DMACは制御と状態のレジスタの独立した組を持つ4つの独立したチャネルを持っています。各チャネルは転送元と転送先のアドレス、バイト数と状態での1つのDMA(転送)処理に対する必要な制御と状態の情報を保持しています。処理終了時、チャネルは未使用のままか、または別の処理用に再形成設定されるか、または直前の処理を繰り返すように起動されるかのどれかにできます。

DMA処理は以降の1.4.項でもっと詳細に網羅されます。

1.2. データ転送

動作を参照する関係に於ける「データ転送」の概念はDMACのチャネルが**集中転送**で転送元から転送先アドレスへ1,2,4,または8つのバイトを複写することです。

チャネルが一度に2,4,または8バイトに形成設定されているとき、一旦DMACがバスを獲得すると、制御器は各々2,4,または8バイト転送の期間中、バスを保持します。

複数バイト集中(転送)は、複数バイト一時レジスタ内のデータ不正を引き起こし得る、CPUまたは別のDMAチャネルの複数バイトレジスタアクセスの危険なしの、例えばADCからの複数バイトレジスタデータ転送に有用です。

転送動作種別は各チャネルの制御レジスタA(CTRLA)でのチャネル転送種別(BURSTLEN)ビット領域の集中転送長設定で形成設定されます。

1.4.項の図1-1.はデータ転送と集中動作を図解します。

1.3. 塊転送と繰り返し動作

この文脈での「塊転送」の概念は塊容量によって与えられたバイト数を転送することを必要とする、全てのデータ転送を実行する動作を参照します。塊容量はチャネルの16ビット塊転送数レジスタ(TRFCNT)で形成設定され、そしてそれは64Kバイトまでの塊容量を許します。値0は64Kバイトを意味します。

バイト容量は集中動作バイト数の倍数である必要はなく、データ転送は塊の全バイトが終了された時に停止します。例えば、10バイトの塊容量での4バイト集中動作使用は2つの完全な(集中)データ転送と1つの最終2バイトデータ転送の結果になります。

64Kを越える転送バイト数に拡張するのに、繰り返し回数が塊転送実行回数に使用できます。転送される総バイト数は塊転送の繰り返し回数に等しくなります。繰り返し動作はチャネルの制御レジスタA(CTRLA)の繰り返し動作(REPEAT)ビットで許可されます。繰り返し数それ自身はチャネルの繰り返し数レジスタ(REPCNT)に配置されます。この8ビット繰り返し計数器とで、DMACはCPUのどんな介入もなしに16Mバイトの転送能力になります。

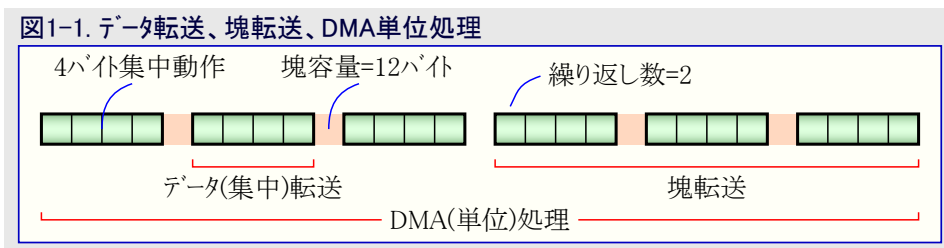
繰り返し動作を許可して繰り返し数を0に設定することによって無制限の繰り返し数を達成できることに注目してください。

1.4.項の図1-1.はデータ転送とDMA処理に関連する塊転送を図解します。

1.4. DMA単位処理 (DMA Transaction)

この文脈での「DMA(単位)処理」の概念はデータ転送と繰り返し塊転送の全ての動作全体を参照します。DMA処理はチャネル準備後の最初のDMA要求で始まり、全ての塊転送が終了されて繰り返し計数器が0の時に終わります。

図1-1.はデータ転送、塊転送、DMA(単位)処理間の関連を示します。



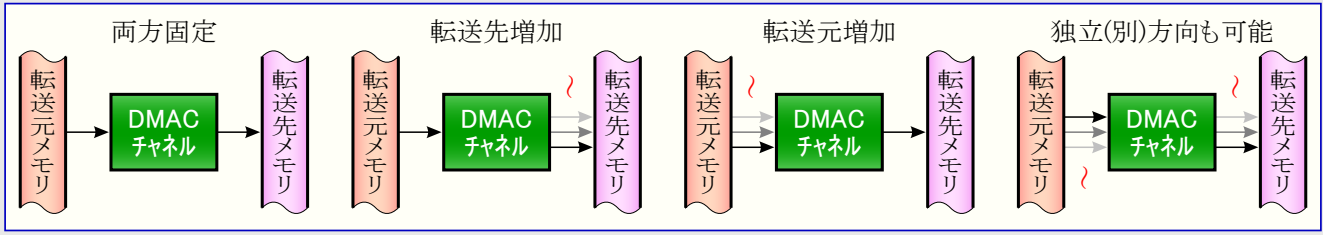
1.5. アドレス指定動作種別

既定での転送元と転送先のアドレスは全ての転送間で固定化されていて、それはチャンネルに対する各データ転送が同じメモリ位置でデータを複写することを意味します。これは例えば1つの周辺機能から別の周辺機能へのデータ配管化に有用です。集中(転送)長が各データ転送間で複写するバイト数を決めますが、転送元と転送先のアドレスが各アクセスに対して未だ固定化されています。例えば、4バイト集中動作は各データ転送の間に同じバイトを4回複写するでしょう。

データが配列内に格納されるべき応用については、各バイトアクセス後に転送先アドレスを増加(+1)または減少(-1)にDMACを形成設定できます。同様に、データを配列から取って来るべきとき、各バイトアクセス後に転送元アドレスを増加(+1)または減少(-1)にDMACを形成設定できます。最後に、1つの配列から別の配列にデータを複写するのに対して、転送元と転送先のアドレスは各バイトアクセス後に増加(+1)または減少(-1)にできます。

アドレス指定動作種別は各チャンネルのアドレス制御レジスタ(ADDRCTRL)の転送元及び転送先のアドレス動作種別(SRCDIRとDESTDIR)ビット領域で形成設定されます。

図1-2. アドレス指定動作種別の例



1.6. アドレス再設定

アドレスの増加若しくは減少が使用されるとき、既定の動きは各アクセス後にアドレスを更新することです。けれども、多くの応用は或る点で配列を始めるために転送元または転送先のポインタをリセットするでしょう。DMA処理の間、元の転送元と転送先のアドレスがDMACによって格納され、そのアドレスは次の時点で再設定するように独立して形成設定することができます。

- 各データ(集中)転送の最後
- 各塊転送の最後
- (単位)処理の最後
- 再設定なし

例えば、データ転送後の再設定はXMEGAのADCの4つ結果全てを読んで配列内に書く繰り返して8バイト集中動作と共に使用することができます。8バイト集中動作は4つ全てのADCの結果がその間のCPUアクセスなしで読み、そしてデータ(集中)転送後に転送元アドレスの再設定位置が転送元ポインタをADC結果レジスタの先頭に戻すことを保証します。

集中転送後の再設定使用で且つ総バイト数が集中(バイト)量の倍数でないとき、総バイト数に達した時に最後の集中転送が停止して再設定が起きます。例えば、17バイトの塊での4バイト集中(転送)使用は第4,8,16,と17バイト後に再設定が起きます。

アドレス再設定は各チャンネルのアドレス制御レジスタ(ADDRCTRL)の転送元と転送先のアドレス再設定(SRCRELOADとRESTRELOAD)ビット領域で形成設定されます。

1.7. 転送起動と単発動作

利用可能な起動元はデバイス間で変わり、使用者はDMA転送起動元の完全な一覧に関して、各デバイスのデータシートを調べるべきです。

外部転送起動に加えて、チャンネルの制御レジスタA(CTRLA)の転送要求(TRFREQ)ビットを設定(1)することによって、チャンネルに対する転送の手動起動が可能です。

既定での転送起動は塊転送動作を開始します。転送処理は1つの塊が転送されるまで継続します。塊が転送されると、チャンネルは次の起動の到着を待ちます。

いくつかの応用に関して、毎回の起動に対して1つの完全な塊転送の終了が望まれないかもしれません。チャンネルの制御レジスタA(CTRLA)の単発(SINGLE)ビットの設定(1)によって、各起動は塊転送に代わって1つのデータ(集中)転送を完了します。チャンネルの設定と動作種別の残り部分は単発動作の許可によって影響を及ぼされません。

単発動作はアドレスが各データ(集中)転送後に再設定される、複数バイト周辺機能レジスタのアクセスと共に度々使用されます。2.3項の例をご覧ください。

1.8. 割り込み処理

各DMAチャンネルは次の事象後に割り込みを要求する形成設定にできます。

- 転送完了
- 転送異常

既定での転送完了割り込みは各塊転送後に要求されます。繰り返し動作が許可されていると、割り込みは全ての塊転送が完了されて繰り返し計数器が0に達するまで要求されません。無制限繰り返しの特殊な場合については、毎回の塊転送後に割り込みが要求されます。

転送異常割り込みはいくつかの理由に関して転送操作が中止された場合に要求されます。これは例えば転送処理が未だ進行中の間にチャンネルまたはDMAC部署全体が禁止された場合に起きます。EEPROM空間への書き込みの試みや、CPUが何れかの休止形態の場合のEEPROM空間への読み込みの試みによっても転送が中止されます。

注: この2つの割り込みが1つの共通の割り込みベクタ(DMAチャンネル当たり1つのベクタ)を共有します。従って、割り込み処理はフラグを調べて適切な動作を行い、そして手動でフラグを解除(0)しなければなりません。

1.9. 複数バイトのDMACレジスタのアクセス

DMAC部署内の多数のレジスタが2または3バイトのレジスタです。複数バイトレジスタの全バイトが同時に読み書きされるのを保証するため、常に最下位バイトレジスタを最初に読み書きしてください。

読み込み操作の間、最初のバイトが読まれる時にレジスタ全体がラッチされ、次となる1または2バイトはそれらが読まれるまで一時位置に格納されます。

書き込み操作の間、先の1または2バイトは最後のバイトが書かれるまで一時位置に格納され、最後のバイトがレジスタ全体に対する書き込み操作を起動します。

一時記憶レジスタがDMAC部署内の全ての複数バイトレジスタに対して共有されることに注意することが重要です。従って他の複数バイトレジスタのアクセス前にそのようなレジスタに対する読み書き操作を完了しなければならず、さもなければデータが不正になるでしょう。マルチタスクの応用または割り込み処理からDMACをアクセスする応用について、使用者はDMAC部署の複数バイトレジスタへの相互排他アクセスを保証するソフトウェア構造を実装しなければなりません。

問題のレジスタは以下です。

- 塊転送数
- 転送元アドレス
- 転送先アドレス

2. 開始に際して

本項は簡単な転送と各種動作種別での実験とでの準備と実行に対する基本段階を簡単に片付けます。必要なレジスタが関連ビット設定と共に記述されます。

2.1. メモリ塊複写

課題: 8バイト集中動作と手動転送起動でDMAチャンネル0を使用して転送元配列から転送先配列へ1Kバイト複写してください。

- 優先権に関して既定設定でDMACを許可するためにDMA制御レジスタ(CTRL)の許可(ENABLE)ビットを設定(1)してください。
- 8バイト集中動作を選択するために、チャンネル0制御レジスタA(CTRLA)の転送動作種別(BURSTLEN)ビット領域を\$03に等しく設定してください。
- 各バイトアクセス後に転送元アドレスを増加するためにチャンネル0アドレス制御レジスタ(ADDRCTRL)の転送元アドレス動作(SRCDIR)ビット領域を\$01に等しく設定してください。
- 各バイトアクセス後に転送先アドレスを増加するためにチャンネル0アドレス制御レジスタ(ADDRCTRL)の転送先アドレス動作(DESTDIR)ビット領域を\$01に等しく設定してください。
- 手動起動元を選択するためにチャネル0起動元レジスタ(TRIGSRC)を\$00に等しく設定してください。
- 塊容量を1Kバイトに設定するためにチャンネル0塊転送数レジスタ(TRFCNT)を\$0400に等しく設定してください。
- 転送元配列の始めを指示するようにチャンネル0転送元アドレスレジスタ(SRCADDR)を設定してください。
- 転送先配列の始めを指示するようにチャンネル0転送先アドレスレジスタ(DESTADDR)を設定してください。
- DMAチャンネル0を許可するためにチャンネル0制御レジスタA(CTRLA)のチャンネル許可(CHEN)ビットを設定(1)してください。
- 転送処理を開始するためにチャンネル0制御レジスタA(CTRLA)の転送要求(TRFREQ)ビットを設定(1)してください。
- 処理完了を示す、転送割り込み状態レジスタ(INTFLAGS)でチャンネル0に対する転送完了割り込み要求フラグ(CH0TRNFIF)の設定(1)を待ってください。その後の論理1書き込みによって、このフラグを解除(0)してください。

2.2. SRAM配列から周辺機能への単一バイトデータ複写

課題: サイクルスチール(1バイト集中)動作で毎回のバイトに対する手動転送起動でDMAチャンネル2を使用して配列から周辺機能I/Oレジスタへ2Kバイトを複写してください。

- 優先権に関して既定設定でDMACを許可するためにDMA制御レジスタ(CTRL)の許可(ENABLE)ビットを設定(1)してください。
- 単発動作を選択するためにチャンネル2制御レジスタA(CTRLA)の単発(SINGLE)ビットを設定(1)してください。
- サイクルスチール(1バイト集中)動作を選択するためにチャンネル2制御レジスタA(CTRLA)の転送動作種別(BURSTLEN)ビット領域を\$00に等しく設定してください。
- 各バイトアクセス後に転送元アドレスを増加するためにチャンネル2アドレス制御レジスタ(ADDRCTRL)の転送元アドレス動作(SRCDIR)ビット領域を\$01に等しく設定してください。
- 各バイトアクセス間で転送先アドレスをそのままにするためにチャンネル2アドレス制御レジスタ(ADDRCTRL)の転送先アドレス動作(DESTDIR)ビット領域を\$00に等しく設定してください。

- 手動起動元を選択するためにチャンネル2の起動元レジスタ (TRIGSRC)を\$00に等しく設定してください。
- 塊容量を2Kバイトに設定するためにチャンネル2の塊転送数レジスタ(TRFCNT)を\$0800に等しく設定してください。
- 転送元配列の始めを指示するようにチャンネル2転送元アドレスレジスタ(SRCADDR)を設定してください。
- 周辺機能のI/Oレジスタを指示するようにチャンネル2転送先アドレスレジスタ(DESTADDR)を設定してください。
- DMAチャンネル2を許可するためにチャンネル2制御レジスタA(CTRLA)のチャンネル許可(CHEN)ビットを設定(1)してください。
- 配列から周辺機能へ1バイトを転送するためにチャンネル2制御レジスタA(CTRLA)の転送要求(TRFREQ)ビットを設定(1)してください。処理完了を示す、転送割り込み状態レジスタ(INTFLAGS)でチャンネル2に対する転送完了割り込み要求フラグ(CH2TRNFIF)が設定(1)されるまで繰り返ししてください。その後の論理1書き込みによって、このフラグを解除(0)してください。

2.3. 周辺機能からの4バイトの結果をSRAM配列に複写

課題: 4バイト集中動作で周辺機能による転送起動でDMAチャンネル1を使用して周辺機能の4バイト結果レジスタから配列へ4Kバイトを複写してください。

- 優先権に関して既定設定でDMACを許可するためにDMA制御レジスタ(CTRL)の許可(ENABLE)ビットを設定(1)してください。
- 単発動作を選択するためにチャンネル1制御レジスタA(CTRLA)の単発(SINGLE)ビットを設定(1)してください。
- 4バイト集中動作を選択するためにチャンネル1制御レジスタA(CTRLA)の転送動作種別(BURSTLEN)ビット領域を\$02に等しく設定してください。
- 各4バイトデータ転送後に転送元アドレスを再設定するためにチャンネル1アドレス制御レジスタ(ADDRCTRL)の転送元アドレス再設定(SRCRELOAD)ビット領域を\$02に等しく設定してください。
- 各バイトアクセス後に転送元アドレスを増加するためにチャンネル1アドレス制御レジスタ(ADDRCTRL)の転送元アドレス動作(SRCDIR)ビット領域を\$01に等しく設定してください。
- 各バイトアクセス後に転送先アドレスを増加するためにチャンネル1アドレス制御レジスタ(ADDRCTRL)の転送先アドレス動作(DESTDIR)ビット領域を\$01に等しく設定してください。
- 周辺機能からの起動元に適合するようにチャンネル1起動元レジスタ(TRIGSRC)を設定してください。
- 塊容量を4Kバイトに設定するためにチャンネル1塊転送数レジスタ(TRFCNT)を\$1000に等しく設定してください。
- 周辺機能の結果レジスタの先頭を指示するようにチャンネル1転送元アドレスレジスタ(SRCADDR)を設定してください。
- 転送先配列の始めを指示するようにチャンネル1転送先アドレスレジスタ(DESTADDR)を設定してください。
- DMAチャンネル1を許可するためにチャンネル1制御レジスタA(CTRLA)のチャンネル許可(CHEN)ビットを設定(1)してください。
- 処理完了を示す、転送割り込み状態レジスタ(INTFLAGS)でチャンネル1に対する転送完了割り込み要求フラグ(CH1TRNFIF)の設定(1)を待ってください。その後の論理1書き込みによって、このフラグを解除(0)してください。

3. 高度な機能

本項はDMACでの可能性とものと高度な機能を導入します。

3.1. 2重緩衝

継続的な転送を許すため、1つ目(のチャンネル)が完了する時に2つ目(のチャンネル)が転送を開始するように、2つのチャンネルを内部結合することができます。これは2つ目のチャンネルが働いている間に1つ目のチャンネルによって転送されたデータを処理して、新鮮なデータ緩衝部を用意して再びチャンネルレジスタを設定するための時間を応用に許します。これは「2重緩衝」または「連結転送」として参照されます。

チャンネル対に対して2重緩衝が許可される時、2つのチャンネルが同じ繰り返し数で形成設定されることが重要です。塊容量が等しい必要はありませんが、殆どの応用に関してはチャンネルの操作動作設定の残りと共にそれらが(同じで)あるべきです。

2重緩衝されるチャンネル対が1つ目の対としてチャンネル0と1、2つ目の対としてチャンネル2と3に制限されることに注意してください。けれども、1つの対が2重緩衝動作で、一方その他が未使用または独立して動作することは可能です。

3.2. チャンネル優先権

DMACがバスを獲得する時に複数のチャンネルが保留中の転送処理を持っている場合、正しい動作を保証するために或る種の優先権の仕組みが使用されなければなりません。

XMEGAのDMACは次の優先権の仕組みを提供します。

- 全てのチャンネルに対するラウンドロビン計画
- チャンネル0最高と残りに対するラウンドロビン
- チャンネル0最高、次にチャンネル1、最後に残りに対するラウンドロビン
- チャンネル0が最高優先権を持つ全チャンネル優先権付け

ラウンドロビン計画を持つチャンネルに対しては、DMACがデータバスを獲得する時毎にチャンネルがそれらのデータ転送(の優先順)を交換します。固定優先権のチャンネルは常にラウンドロビン計画のチャンネルの前に保留中のデータ転送を完了するようになります。けれども、一旦別のチャンネルが開始されるとデータ転送が割り込むことはできません。DMACがバスを獲得する時毎に何れかのチャンネルに対する1つのデータ転送だけが許され、これは各チャンネルに対して1つのデータ転送ではありません。

DMACを激しく使用するタイミングに敏感な応用については、十分なタイミング精度を達成するためにチャネル割り当てと優先権の仕組みの予定を注意深く計画することが重要です。

4. ドライバ実装

本応用記述はCで実装された基本DMACドライバの一括ソースコードを含みます。それはIAR Embedded Workbench®コンパイラで書かれています。

DMACドライバが高性能コードでの使用に対して意図されていないことに注意してください。それはDMACでの始めを得るためのライブラリとして設計されています。タイミングとコード量が重要な応用開発については、DMACレジスタに直接アクセスすべきです。より多くの詳細についてはドライバのソースコードとデバイスのデータシートを参照してください。

4.1. ファイル

一括ソースコードは次の3つのファイルから成ります。

- `dma_driver.c` : DMACドライバ ソース ファイル
- `dma_driver.h` : DMACドライバ ヘッダ ファイル
- `main.c` : ドライバを使用するコード例

利用可能なドライバ インターフェース関数とそれらの使用の完全な概要についてはソースコードの資料を参照してください。

4.2. Doxygen資料化

全てのソースファイルはDoxygenを使用する自動資料生成用に準備されています。Doxygenは特別なキーワードを使用してソースコードを分析することによって、ソースコードから資料を作成するツールです。Doxygenについてのより多くの詳細に関しては<http://www.doxygen.org>を訪ねてください。予めコンパイルされたDoxygen資料は本応用記述に伴うソースコードと共に供給され、ソースコードフォルダの`readme.html`ファイルから利用可能です。

5. 改訂履歴

資料改訂	日付	注釈
8046A	2008年2月	初版資料公開
8046B	2009年7月	各種誤り修正
8046C	2012年10月	新雛形
8046D	2013年5月	資料表題修正と改訂履歴追加



Enabling Unlimited Possibilities®

Atmel Corporation

1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 全権利予約済 / 改訂:8046D-AVR-05/2013

Atmel®, Atmelロゴとそれらの組み合わせ、AVR®, Enabling Unlimited Possibilities®, XMEGA®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2013.

本応用記述はAtmelのAVR1304応用記述(doc8046.pdf Rev.8046D-05/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。