

# AVR1306 : XMEGA タイマ/カウンタの使い方

## 要点

- 真の16ビット動作
- 2重緩衝されたタイマ定期設定
- タイマ当たり4(2)つの比較または捕獲の対
  - ・ 各タイマ0での4チャンネル
  - ・ 各タイマ1での2チャンネル
  - ・ 2重緩衝
- 直列タイマによる32ビット入力捕獲付き32ビット動作
- タイマ上昇溢れと異常の割り込み(と事象)
- 入力捕獲割り込み(と事象)

## 1. 序説

XMEGA<sup>®</sup>のタイマ/カウンタ部署は入力捕獲とパルス幅変調(PWM)機能を持つ真の16ビット タイマ/カウンタです。

本応用記述はタイミング、入力捕獲、PWMに対するXMEGAのタイマ/カウンタ部署の使用法の導入を与えます。

## 2. 定義

表2-1.で一覧にされた定義は本資料を通して使用されます。

表2-1. 本資料で使用される定義

用語	意味
BOTTOM	タイマ/カウンタが底(BOTTOM)に到達し、それが0になる時。
MAX	タイマ/カウンタが最大(MAXimum)に到達し、それが\$FFFFになる時。
TOP	タイマ/カウンタが頂上(TOP)に到達し、それが計数の流れ内での最高値と等しくなった時。TOP値は選択した波形生成動作種別(WGM)に依存して、定期(PERH/L)レジスタまたは比較/捕獲(A/CAH/L)レジスタの設定に等しくできます。
UPDATE	選択した波形生成動作種別(WGM)に依存して、タイマ/カウンタがBOTTOMまたはTOPに到達する時にタイマ/カウンタが更新(UPDATE)を合図します。

## 3. 部署概要

XMEGAのタイマ/カウンタ(T/C)部署は入力捕獲と任意選択のI/Oピンへの出力付きの比較一致を持つ16ビット タイマ/カウンタです。代表的な次の応用を含みます。

- ・ タイミング
- ・ 周期的な割り込み/事象生成
- ・ パルス幅変調
- ・ 事象時刻印
- ・ 事象計数
- ・ 信号のパラメータ測定(周期、デューティ サイクルなど)

### 3.1. タイマ/カウンタの相違

XMEGAのT/C部署は出力比較部で制御できるI/Oピンを通してI/Oポートに関連しています。T/C部署の命名は接続されたI/Oポートとそのタイマ/カウンタに対して利用可能な機能を反映します。各T/C部署はTCxn形式の名前を持ちます。TCはタイマ/カウンタの短縮、xはそれが接続されるポートを示し、そしてnはPORTx内のT/C番号です。例として、TCD0はポートDに接続されたタイマ/カウンタ0です。

タイマはデバイスで利用可能なら、PORTC, PORTD, PORTE, PORTFで利用可能です。

各ポートのタイマ0は4つの比較または捕獲のチャンネルを持ち、一方タイマ1は2つの比較または捕獲のチャンネルを持ちます。図3-1.は出力比較チャンネルが関連するI/Oポートに、どう接続されるかを示します。タイマ0はポート内のピン0~3に接続された出力を持ち、一方タイマ1はピン4と5に割り当てられています。



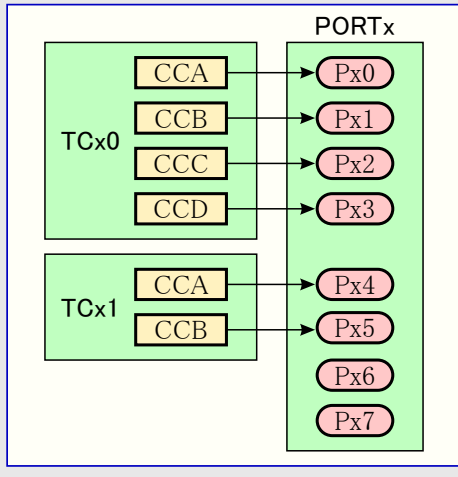
8ビット AVR<sup>®</sup>  
マイクロコントローラ

## 応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8045A-02/08, 8045AJ4-03/14

図3-1. 出力比較のI/Oポートピン割り当て



### 3.2. クロック元

XMEGAのT/C部署に対して利用可能なクロック元選択が表3-1.で一覧にされます。

表3-1. XMEGA タイマ/カウンタ クロック元

シンボル	クロック選択
TC_CSEL_OFF_gc	T/C OFF (クロック選択なし)
TC_CSEL_DIV1_gc	fCLK.SYS
TC_CSEL_DIV2_gc	fCLK.SYS/2
TC_CSEL_DIV4_gc	fCLK.SYS/4
TC_CSEL_DIV8_gc	fCLK.SYS/8
TC_CSEL_DIV64_gc	fCLK.SYS/64
TC_CSEL_DIV256_gc	fCLK.SYS/256
TC_CSEL_DIV1024_gc	fCLK.SYS/1024
TC_CSEL_EV0_gc	事象チャンネル0
TC_CSEL_EV1_gc	事象チャンネル1
TC_CSEL_EV2_gc	事象チャンネル2
TC_CSEL_EV3_gc	事象チャンネル3
TC_CSEL_EV4_gc	事象チャンネル4
TC_CSEL_EV5_gc	事象チャンネル5
TC_CSEL_EV6_gc	事象チャンネル6
TC_CSEL_EV7_gc	事象チャンネル7

### 3.3. 割り込み

割り込みは次の場合に生成することができます。

- ・ タイマ上昇溢れ
- ・ タイマ異常 (入力捕獲緩衝部満杯のための入力ほかくデータ損失)
- ・ 比較または捕獲。各チャンネルに対して独立した割り込み。

### 3.4. 周期設定

各T/C部署は(周波数生成動作を除いて)計数器のTOP値を制御する定期レジスタ(PERH/L)を持っています。

PERH/LレジスタはPERBUFH/Lレジスタを通して2重緩衝にされています。2重緩衝されたレジスタは3.7.項で網羅されます。

PERH/Lレジスタはリセット後、自動的に\$FFFFへ初期化されます。

### 3.5. 捕獲または比較のチャネル

各T/C部署は2つまたは4つの捕獲または比較のチャネルを持っています。チャネルは入力捕獲または比較一致のどちらかに設定できません。入力捕獲と比較一致の両方に対して同時に同じT/C部署を使用することはできません。入力捕獲は周波数やデューティサイクルのような波形パラメータ測定、時刻印事象に使用することができます。比較一致機能は或る時点での割り込みまたは事象生成、またはPWM波形生成に使用することができます。

比較または捕獲のチャネルはCCxH/Lと名付けられた16ビットレジスタの組から成り、ここでのxはチャネルを示します。タイマ0は4チャネルのCCAH/L, CCBH/L, CCCH/L, CCDH/Lを持ち、一方タイマ1はCCAH/LとCCBH/Lを持っています。加えて、各CCxH/Lレジスタは関連する緩衝レジスタCCxBUFH/Lを持ちます。2重緩衝されたレジスタは3.7項で網羅されます。

入力捕獲に使用されるとき、PERレジスタの値は入力捕獲値がどう解釈されるかを決めます。PERのビット15が1に設定された場合、16ビットの計数値全体が捕獲緩衝部に格納されます。PERのビット15が0の場合、事象極性が捕獲緩衝部のビット15に格納されます。これは1つの入力ピンと1つの捕獲チャネルだけを使用して、デューティサイクルのような周波数パラメータを測定するのに用いることができます。

### 3.6. 事象入力選択

T/C入力捕獲システムは入力捕獲を起動するためにXMEGAの事象システムを使用します。XMEGAの事象システムについてのより多くの情報に関してはAVR1001応用記述を参照してください。

T/Cが入力捕獲に使用されると、許可された全ての入力捕獲チャネルは事象チャネルと連携しなければなりません。CTRLDレジスタのEVSEL3~0ビットが入力捕獲チャネルと連携する事象チャネルを選択します。EVSEL3は事象元を選択するために1でなければなりません。EVSEL2~0が8つの事象チャネルを選びます。

事象チャネルを異なるチャネルと連携する個別選択はできません。表3-2はEVSEL3=1, EVSEL2~0=N時の全事象チャネルと入力捕獲間の割り当てを示します。事象チャネルの組がT/Cに対して選択されている時、事象チャネルがT/Cによって排他的に使用されることを意味しないことに注意してください。T/Cは単に選択したチャネルに対して“聴取”し、これらの事象チャネルでの事象を受け取ることができます。

表3-2. 入力捕獲チャネルに対する事象チャネル割り当て

入力捕獲チャネル	事象チャネル
A	N
B	(N+1) % 8
C (利用可能なら)	(N+2) % 8
D (利用可能なら)	(N+3) % 8

例1:

EVSEL3=1, EVSEL2~0=0は入力捕獲チャネルA,B,C,Dが各々事象チャネル0,1,2,3によって起動されることを意味します。

例1:

EVSEL3=1, EVSEL2~0=6は入力捕獲チャネルA,B,C,Dが各々事象チャネル6,7,0,1によって起動されることを意味します。

事象元が雑音(例えば外部スイッチの跳躍によって起こる)を受けやすい場合、事象チャネルのデジタル濾波を許可することが可能です。事象システムとそのデジタル濾波能力のより多くの情報に関してはAVR1001応用記述をご覧ください。

### 3.7. 2重緩衝レジスタ

T/C部署のPERH/LとCCxH/Lレジスタは2重緩衝されています。これらはPERBUFH/LとCCxBUFH/Lと名付けられた専用の緩衝部を持ちます。

例としてPERH/Lレジスタを使用します。PERH/Lへの直接書き込み時、その値は直ちに更新されます。代わりにその値がPERBUFH/Lに書かれると、PERH/Lの値は即座に更新されませんが、代わりに次のUPDATE条件でPERBUFH/Lから転送されます。各緩衝レジスタはCTRLDレジスタ内に、関連する“緩衝有効”フラグを持っています。緩衝有効フラグは対応する緩衝レジスタに新しい値が書かれた時に設定(1)されます。このフラグは緩衝レジスタがその転送先に複写される時に解除(0)されます。これは新しい値だけが複写されることを保証します。

緩衝レジスタからの自動更新を施錠することも可能です。これは1つの更新条件で多数のレジスタの同時更新を可能にします。CTRLDレジスタのタイマ更新施錠(LUPD)ビットの設定(1)が更新施錠を許可します。

T/C部署がPWMに使用されると、デューティサイクルがPWM周期の中間で変えられず、全てのPWMチャネルに対して同期が変わることを保証するために、代表的に緩衝部が使用されます。新しい比較/TOP値は代表的に、CCxレジスタへの直接的な書き込みに代えて、緩衝レジスタに書かれます。この方法では全てのPWMチャネルが(UPDATE事象で)同時に更新することができます。

入力捕獲動作では、入力捕獲値が2重緩衝されます。新しい入力捕獲値は最初にCCxBUFH/Lレジスタに置かれます。CCxBUFH/Lに格納された値はCCIFxフラグが設定(1)されていない場合にCCxH/Lへ転送されます。CCIFxフラグはCCxH/Lが読まれる時、自動的に解除(0)されます。実際問題として、これは使用者がCCxH/Lを読むことだけを必要とし、同時に残りは自動的に扱われることを意味します。

### 3.8. 動作種別

T/Cは6つの異なる動作種別を持ちます。

- 標準動作
- 周波数生成動作
- 単一傾斜PWM
- 2傾斜PWM、TOPでの上昇溢れ
- 2傾斜PWM、TOPとBOTTOMでの上昇溢れ
- 2傾斜PWM、BOTTOMでの上昇溢れ

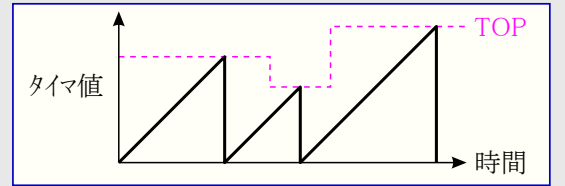
#### 3.8.1. 標準動作

標準動作では計数器がPERH/Lによって設定されたTOPまたはBOTTOM(=\$0000)に達するまで、各クロックに対してCTRLFのDIRビットによって設定された方向で計数します。上昇計数でのTOP到達時、計数器は次のクロックが与えられた時に0へ設定されます。T/Cが下降計数の場合、その値はBOTTOM到達後にPERH/Lの値に丸められます。

図3-2.で示されるように、計数器が動作中の計数器値変更は許されます。書き込みアクセスは、計数、解除、再設定より高い優先権を持ち、直ちに行われます。けれども、書かれた値がBOTTOMからTOP境界の外側の場合、タイマが周期時間で再び安定するのに、計数器はTOPまで下降計数するか、または(MAXを通過して)丸められるまで上昇計数するかのどちらかを必要とします。

この動作種別は入力捕獲に対してタイマ/カウンタを使用する時に用いられなければなりません。

図3-2. 定期設定での標準動作



#### 3.8.2. 周波数生成動作

周波数波形生成(FRQ)動作と標準動作間には少しの違いがあります。FRQに対する周期(T)は、この場合で使用されないPERH/Lに代わってCCAHLレジスタによって制御されます。加えて波形生成(WG)出力が図3-3.で示されるようにCNTH/LとCCAHL/L間の比較一致毎に起動されます。

生成される波形はCCAHL/Lが0(\$0000)に設定された時にfclk/2の最大周波数を持ちます。波形周波数は式3-1.によって定義されます。

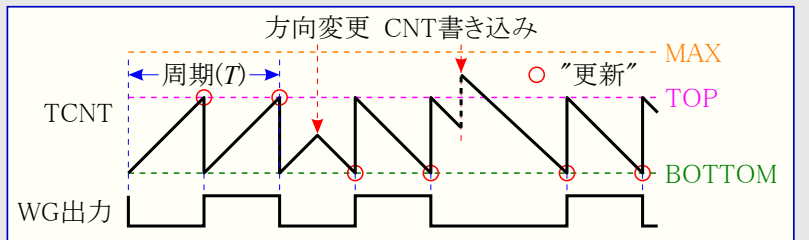
式3-1. 周波数計算、周波数生成動作

$$f_{FRQ} = \frac{f_{CLK}}{2N(CCA+1)}$$

ここでのNはT/Cクロック前置分周器を表します。

上昇溢れ状態フラグ(OVFIF)または比較Aフラグ(CCAIF)が割り込みを生成するのに使用することができます。許可なら、割り込み処理ルーチンは出力周波数を変更するためのCCAHL/L更新に使用することができます。

図3-3. 周波数生成動作



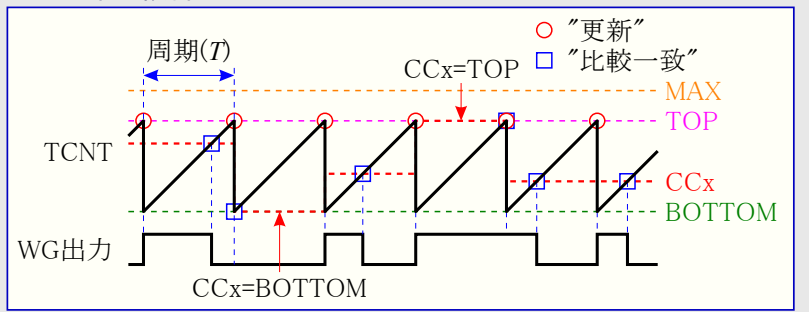
#### 3.8.3. 単一傾斜PWM動作

図3-4.で示されるように、この動作種別での計数器はBOTTOMからTOPへ計数し、そしてBOTTOMから再開します。波形生成出力は計数器と比較レジスタ間の比較一致で設定(1)され、TOPで解除(0)されます。

単一傾斜パルス幅変調(PWM)は2傾斜PWMに比べて2倍のPWM周波数を提供します。高い周波数はこの動作種別を電力供給、整流、DAC应用到によく適合させます。高い周波数は物理的に小さな大きさの外部濾波部品を許し、これは総システム費用を低減します。

定期レジスタ(PERH/L)はPWM分解能を定義します。この部署に対して許される最低分解能は2ビット(PERH/L=\$0003)で、最大分解能は16ビット(PERH/L=MAX)です。式3-2.が単一傾斜PWMに対して正確なビット分解能を計算するのに使用することができます。

図3-4. 単一傾斜PWM



式3-2. PWM分解能、単一傾斜PWM動作

$$RPWM_{SS} = \log_2(PER+1)$$

PWM基本周波数は周期設定(PERH/L)、システムクロック周波数、クロック前置分周器に依存します。PWM基本周波数は式3-3を使用して計算することができます。

### 式3-3. 周波数計算、単一傾斜PWM動作

$$f_{\text{PWM\_SS}} = \frac{f_{\text{CLK}}}{N(\text{PER}+1)}$$

ここでのMはT/Cクロック前置分周器を表します。

上昇溢れ状態フラグ(OVFIF)または比較Aフラグ(CCAIF)が割り込みを生成するのに使用することができます。許可なら、割り込み処理ルーチンは定期と比較の緩衝部値を更新するのに使用することができます。

### 3.8.4. 2傾斜PWM動作

2傾斜動作での計数器の動きは図3-5.で示されます。計数器はBOTTOMからTOPへ、そしてBOTTOMへを繰り返し計数します。計数器がBOTTOMまたはTOPに当たると、計数器は直ちに方向を変更し、1つのT/Cクロック周期の間だけ、BOTTOMまたはTOPの値を保ちます。現在の計数方向はCTRLのDIRフラグを調査することによって決めることができます。

波形生成(WG)出力はBOTTOMで設定(1)され、上昇計数の比較一致で解除(0)され、下降計数の比較一致で設定(1)されます。出力デューティサイクルは従って比較値に比例します。

2傾斜PWMは単一傾斜PWM動作と比べて、同じ分解能でより低い動作周波数の結果になります。

定期レジスタ(PERH/L)がPWM分解能を定義します。この部署に対して許される最低分解能は2ビット(PERH/L=\$0003)で、最大分解能は16ビット(PERH/L=\$FFFF)です。

式3-4.が2傾斜PWMに対する正解な分解能を計算するのに使用することができます。

### 式3-4. PWM分解能、2傾斜PWM動作

$$R_{\text{PWM\_DS}} = \log_2(\text{PER}+1)$$

PWM基本周波数は周期設定(PERH/L)、システムクロック周波数、クロック前置分周器に依存し、式3-5.を使用して計算ができます。

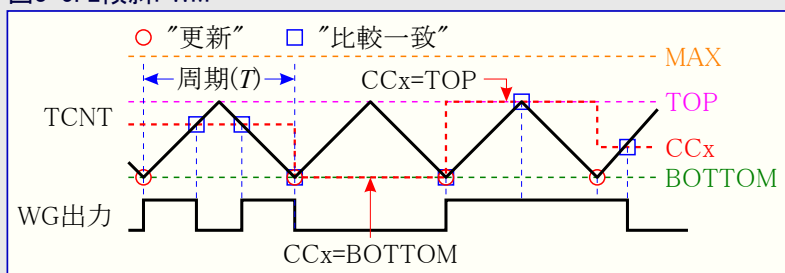
### 式3-5. 周波数計算、2傾斜PWM動作

$$f_{\text{PWM\_SS}} = \frac{f_{\text{CLK}}}{2N(\text{PER}+1)}$$

ここでのMはT/Cクロック前置分周器を表します。

上昇溢れ状態フラグ(OVFIF)または比較Aフラグ(CCAIF)が割り込みを生成するのに使用することができます。許可なら、割り込み処理ルーチンは定期と比較の緩衝部値を更新するのに使用することができます。

図3-5. 2傾斜PWM



## 3.9. タイマ/カウンタ指令

CTRLFSETのCMD1,0ビットはT/Cへ特殊指令を発行するために使用されます。これらは以下で記述されます。

### 3.9.1. 強制更新

“強制更新”指令はUPDATE条件を強制するのに使用されます。緩衝レジスタはUPDATE条件に出会う時にそれらの転送先に複写されます。本指令の発行は計数器の値に拘らず、UPDATE条件を強制します。これは厳密且つ同時に定期と比較の両レジスタを更新するのに使用することができます。入力捕獲動作での“強制更新”指令はPERBUF/PERレジスタにだけ影響します。2重緩衝されたレジスタについてのより多くの情報に関しては3.7.項をご覧ください。

### 3.9.2. 強制再始動

“強制再始動”指令はCNTH/Lレジスタと方向ビットをそれらのリセット値に解除します。

### 3.9.3. 強制ハードリセット

“強制ハードリセット”指令はT/C実物内の全レジスタをそれらのリセット状態に戻し置きます。安全性の理由に関し、何らかの影響があるため、T/Cクロック選択が本指令に対してOFFに設定されなければなりません。

## 4. 16ビットレジスタのアクセス

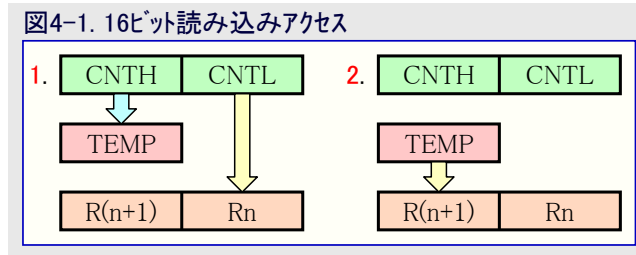
XMEGAが8ビットのバス幅を持つため、16ビットレジスタは2つの8ビットレジスタとしてアクセスされます。16ビットレジスタの全アクセスは上位及び下位バイトのレジスタの同時更新を保証するために、ハードウェアで制御された8ビット一時レジスタを使用して実行されます。各タイマ/カウンタはこの目的に使用される1つの専用一時レジスタ(TEMP)を持っています。TEMPレジスタはそのT/C部署内の全16ビットアクセスに関して共用されます。TEMPレジスタの使用は、正しいバイトアクセス順が使用される時に自動的に取り扱われますが、それにはレジスタの不正を避けるための機構を理解することが重要です。

XMEGAでの複数バイトアクセスに対するバイト順は常に最下位バイトから最上位バイトへであることに注意してください。

## 4.1. 16ビット読み込み

図4-1はCNTの16ビット読み込みがどう実行され、そして内部的に何が起こるかを図解します。

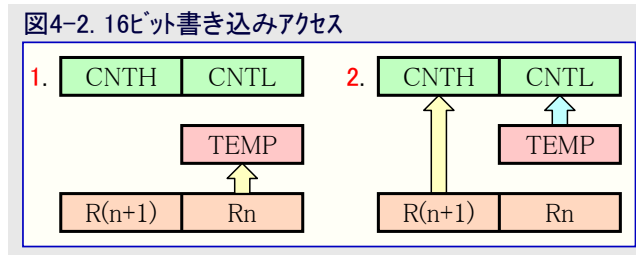
1. **CNTL**を読んでください。これは同じクロック周期で**CNTH**の内容を**TEMP**へ転送させます。
  2. **CNTH**を読んでください。これは現在の**CNTH**の値の代わりに**TEMP**の内容を自動的に読ませます。
- その結果は**CNTL**が読まれた時での16ビット**CNTH/L**の瞬間値です。



## 4.2. 16ビット書き込み

図4-2はCNTの16ビット書き込みがどう実行され、そして内部的に何が起こるかを図解します。

1. **CNTL**に書いてください。これは**TEMP**レジスタに**CNTL**に対する新しい値での更新をさせます。
  2. **CNTH**に書いてください。これは**CNTH**が更新されるのと同じ時に**TEMP**レジスタの内容での更新を**CNTL**にさせます。
- その結果は16ビット**CNTH/L**が同じクロック周期で更新されることです。



## 4.3. 共有TEMPレジスタを持つことの含み

1つの**TEMP**レジスタがT/C部署内の全16ビットレジスタに対して共用されるため、必要な処置が取られなければ、レジスタ不正の可能性がります。

次の筋書きを考察してください。表側での繰り返しで走行するプログラムの一部が**CNTH/L**への書き込みを実行するために動いています。表側タスクが丁度**CNTL**への書き込みを完了し、**TEMP**レジスタの結果は下位バイトを一時的に保持しています。表側繰り返しは**CNTH**へ書き得る前に割り込みが起動されます。この割り込み処理ルーチン(ISR)は16ビット**PERH/L**レジスタへの書き込みを実行します。ISRが復帰するとき、**TEMP**の内容が不正にされます。表側タスクは**CNTH**への書き込みによって書き込み操作を完了し、**TEMP**から**CNTL**へ転送されるべき下位バイトを不正にします。

この問題に対して2つの可能な解決策があります。

1. 全ての16ビットアクセスがそのアクセス中に割り込みを禁止することによって非分断操作として実行されることを保証してください。XMEGA Aが多段割り込み制御器を装備しているので、これは表側コードだけでなく、低と中のレベルの割り込みにも適用されます。
2. ISRが同じT/C部署内の別の16ビットアクセスに割り込み得るなら、その16ビットアクセスが実行される前に**TEMP**レジスタの内容を保存し、ISRを抜け出す前に再び**TEMP**レジスタを回復しなければなりません。

## 4.4. 内蔵デバッグ停止動作での16ビットアクセス

XMEGAが内蔵デバッグ(OCD)停止動作(AVR Studioでの「中断(Break)」)のとき、**TEMP**レジスタは迂回されます。従って16ビットレジスタの上位と下位の両バイトの直接アクセスが可能で、**TEMP**レジスタへのデータの自動転送はありません。デバッグ目的に関しては**TEMP**レジスタそれ自体をOCD停止動作中に読み書きすることもできます。

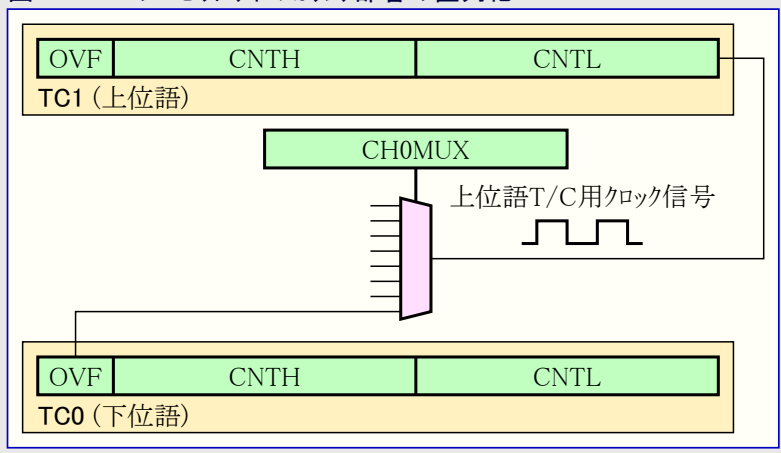
## 5. 1つの32ビット タイマ/カウンタとしての2つの16ビット タイマ/カウンタの使い方

事象システムを使用して2つの16ビット タイマ/カウンタ部署の直列で32ビット入力捕獲機能付きの1つの32ビット タイマ/カウンタにすることが可能です。

### 5.1. 2つの16ビット タイマ/カウンタ部署の直列化

全てのタイマ/カウンタ部署は事象チャネルの1つによってクロック駆動される任意選択を持っています。2つの16ビットT/C部署の直列、従って32ビットT/Cを得るには、下位語T/Cからの上昇溢れ事象が事象システムを通して経路付けされ、上位語T/Cに対するクロックとして使用されなければなりません。図5-1は事象チャネル0を通して下位語としてのTCC0と上位語としてTCC1の使用をこれがどう行うかを示します。事象チャネル0は事象元としてTCC0上昇溢れ事象を使用するために、**EVSYS.CH0MUX**レジスタを通して形成生成されます。**TCC1.CTRLA**の**CLKSEL**ビットはクロック元として事象チャネル0使用に形成設定されます。その結果は毎回のTCC0上昇溢れでTCC1が1つ増加することです。現実的に、これが32ビットT/Cを作成します。どの2つのT/C部署でもこの方法で直列にできることに注目してください。

図5-1. 2つの16ビット タイマ/カウンタ部署の直列化



### 5.2. 32ビット値のアクセス

直列にしたT/Cの読み込み時、32ビット値は2つの16ビット部分から手動で組み立てられなければなりません。けれども、32ビットに対する一時レジスタがないので、上位と下位の語は同じクロック周期で読めません。下位語T/Cはそれが読まれた直後に上昇溢れするかもしれません。これは下位語の上昇溢れが上位語の1増加を引き起こすので、読まれつつある不正値を引き起こします。これを避ける1つの方法は32ビット計数値を読む間、下位T/Cを停止することです。T/Cの停止が受け入れられないなら、最良の解決策は32ビット入力捕獲を使用することです。

同じ問題は新しい値が直列にされたT/Cに書かれる時にも起き得ます。最高に安全な方法はT/Cを停止して新しい32ビット値を書くことで、値を書いた後からT/Cを再び開始してください。

### 5.3. 32ビット入力捕獲の使い方

32ビットタイマ/カウンタは32ビット入力捕獲実行に設定することができます。最初に、32ビットタイマ/カウンタは5.1項で記述されるように初期設定されなければなりません。両T/Cは捕獲元として同じ事象チャネルで入力捕獲に形成設定されます。けれども、下位語T/Cから上位語T/Cへの上昇溢れビットの伝播で1クロック周期の遅延があります。これは正しい入力捕獲値を保証するために上位語T/Cへの事象を遅らせる必要があることを意味します。事象を遅らせるために、**CTRLD**レジスタの**EVDLY**ビットが設定(1)されなければなりません。

利用可能な事象チャネルのどれかでの事象を手動起動するのに、事象システム内の**EVSYS.STROBE**レジスタの使用が可能です。これはソフトウェアから直接T/Cを読む代替として使用できます。

## 6. 開始に際して

本項は異なる形成設定のタイマ/カウンタでの準備と実行に対する基本段階を記述します。ここで一覧にされた各例は、それに伴うソースコード例で実装されます。

### 6.1. 基本的なタイマ/カウンタ操作

課題: 通常のタイマとして使用するためにタイマ/カウンタを初期設定してください。

1. T/Cの周期/TOP値を制御するために**PERH/L**レジスタを設定してください。これはT/Cが0に丸められT/Cの上昇溢れ割り込み/事象が起こる場所の位置を設定します。
2. クロック元(**CTRLA**の**CLKSEL**)を選択することによってT/Cを始動してください。

この形成設定では、現在のタイマ値を**CNTH/L**レジスタから直接読むことができます。T/C上昇溢れフラグは上昇溢れが起きたかどうかを示します。このフラグは固定間隔での割り込みを生成するのに使用することができます。

## 6.2. 入力捕獲機能の使い方

課題: 入力捕獲チャンネルA許可でTCC0を形成設定してください。入力捕獲はPC0の下降端によって起動されます。

1. PC0を下降端で起動される入力に形成設定してください。
2. 事象チャンネル0に対する多重器入力としてPC0を選択してください。
3. 事象元と事象活動をCTRLDで“入力捕獲”に設定することによって、TCC0を入力捕獲に形成設定してください。
4. CTRLBのCCAENビットを設定(1)することによって入力捕獲チャンネルAを許可してください。
5. クロック元(CTRLAのCLKSEL)を選択することによってT/Cを始動してください。
6. INTFLAGSで入力捕獲割り込み要求フラグAが設定(1)されるのを待ってください。
7. CCAH/Lレジスタから入力捕獲値を読んでください。
8. 第6.段階へ

## 6.3. 信号の周波数とデューティサイクルを計算するための入力捕獲の使い方

課題: PC0に印加される信号の周波数とデューティサイクルを測定するようにタイマ/カウンタC0を形成設定してください。

1. 事象元を選択してください。この詳細については3.6.項をご覧ください。
2. 事象活動=入力捕獲を選択してください。
3. 入力捕獲チャンネル(CCxEN)を許可してください。
4. PERH/Lを\$7FFF(MSBは解除(0)されなければなりません)に設定してください。
5. クロック元を選択することによってT/Cを始動してください。
6. INTFLAGSで入力捕獲割り込み要求フラグAが設定(1)されるのを待ってください。
7. CCAH/Lレジスタから入力捕獲値を‘thisCapture’内に読んでください。
8. ‘thisCapture’のビット15を調べてください。
9. ‘thisCapture’のビット15が1なら、
  - ・ ‘thisCapture’を‘lastRising’に保存してください。
  - ・ そうでなければ、総周期を計算してください。

## 6.4. PWM生成用のタイマ/カウンタの使い方

課題: チャンネルAでのデューティサイクル変化でパルス幅変調用にTCC0を形成設定してください。

1. PORTC.DIRでビット0を設定(1)することによってPC0を出力に形成設定してください。
2. PERH/Lレジスタを設定することによってタイマ周期を選択してください。
3. CTRLBのWGMode2~0ビットを設定することによって波形生成動作を選択してください。
4. CTRLBのCCAENを設定(1)することによって比較チャンネルAを許可してください。
5. クロック元(CTRLAのCLKSEL3~0)を選択することによってT/Cを始動してください。
6. 望む比較値を計算してください。
7. 新しい比較値をCCAH/Lレジスタに書いてください。
8. T/Cの上昇溢れフラグ(INTFLAGSのOVFIF)が設定(1)されるのを待ってください。
9. T/Cの上昇溢れフラグを解除(0)してください。
10. 第6.段階へ

この手順を使用すると、比較値がPWM周期毎に一度更新されます。

## 6.5. 事象の数え方

課題: 事象チャンネル0を使用して、PC0でのスイッチ押下数を計数するようにTCC0を形成設定してください。5回のキー押下後にPC1を切り換える割り込みを生成してください。

1. PC0を下降端感知の入力として形成設定してください。
2. PC1を出力として形成設定してください。
3. 事象チャンネル0に対する多重器入力としてPC0を選択してください。
4. 事象チャンネル0での濾波を許可してください。
5. (5回のスイッチ押下後に上昇溢れ割り込みを生成するために)TCC0の定期を4に設定してください。
6. TCC0上昇溢れ割り込みを低レベルで許可してください。
7. T/Cに対するクロック元として事象チャンネル0を選択してください。

TCC0上昇溢れ割り込み処理ルーチンでPC1を切り換えてください。



この形成設定では、CNTH/LレジスタがPC0に接続されたスイッチの押下回数を含んでいます。5回の押下後、上昇溢れ割り込み処理ルーチンが起動され、CNTH/Lが0に丸められる間中、PC1を切り換えます。

## 6.6. 入力捕獲付き32ビット タイマ/カウンタの初期設定

課題: PC0での下降端によって起動される入力捕獲チャンネルAでの32ビットT/CとしてTCC0とTCC1を形成設定して下さい。事象チャンネル0が上昇溢れ伝播に使用され、一方PC0からの入力捕獲信号は事象チャンネル1を通して経路付けされます。

1. PC0を下降端で起動される入力に形成設定してください。
2. 事象チャンネル1に対する多重器入力としてPC0を選択してください。
3. 事象チャンネル0に対する多重器入力としてTCC0上昇溢れを選択してください。
4. TCC0とTCC1を起動としての事象チャンネル1での入力捕獲に形成設定してください。
5. TCC1で事象遅延を許可してください(これは入力捕獲が起きる前にTCC0からの上昇溢れがTCC1に伝播するのを可能にするために入力捕獲事象を1クロック周期遅らせます)。
6. TCC0とTCC1で入力捕獲チャンネルAを許可してください。
7. TCC1に対するクロック元として事象チャンネル0を選択してください(CTRLAのCLKSEL)。
8. クロック元としてシステム クロックを選択することによってTC0を始動してください(CTRLAのCLKSEL)。
9. TCC0(またはTCC1)のINTFLAGSで入力捕獲割り込み要求フラグが設定(1)されるのを待ってください。
10. TCC0.CCAH/Lレジスタから下位語入力捕獲値を読んでください。
11. TCC1.CCAH/Lレジスタから上位語入力捕獲値を読んでください。
12. 下位語と上位語を32ビット入力捕獲値に組み合わせてください。
13. 第9.段階へ

## 7. 高度な機能

本応用記述ではタイマ/カウンタ部署が自立型部署として使用されています。必要なコード量の低減と応用の自動化部分のために、部署間の“接着剤”として使用することができるXMEGAのいくつかの高度な機能があります。

### 7.1. DMA制御器

入力捕獲値を読むためのポーリングまたは割り込み処理を使用する代わりに、1つまたはより多いレジスタからメモリ緩衝部または他の周辺機能部署へデータを移動するのにXMEGAのDMA制御器が使用可能です。このデータ移動はCPUの介在なしに行われ、割り込み処理の実行なしでCPUに別の作業準備を許します。

より多くの情報に関してはデバイスのデータシートまたはAVR1304応用記述を参照してください。

### 7.2. 事象システム

事象システムは起動とクロック元として本応用記述で使用されています。XMEGAのT/Cはシステムの他の部分に対する事象元としても使用することができます。T/C部署は次の事象を生成できます。

- ・ タイマ上昇溢れ
- ・ タイマ異常 (入力捕獲緩衝部が満杯のための入力捕獲データ損失)
- ・ 全チャンネルでの比較または捕獲に対する独立した事象

これはどんなコードの走行とも無関係に、システムの異なる部分間の複雑な相互作用を可能にします。事象システムはAVR1001応用記述でもっと詳細に網羅されます。

### 7.3. タイマ/カウンタ拡張部署

タイマ/カウンタ機能は新波形生成拡張(AWeX)と高分解能拡張(Hi-Res)のようなタイマ/カウンタ拡張部署を通して拡張することができます。拡張部署は本資料で網羅されません。より多くの情報に関してはAVR1311応用記述を参照してください。

## 8. ドライバ実装

内包されたドライバは(波形生成を含む)タイマ/カウンタ部署の主な機能の全てを制御する関数を持ちます。全ての関数は最初の引数としてタイマ/カウンタ部署に対するポインタを取り、故に1つのXMEGAの全タイマ/カウンタ部署に対して同じ関数を再使用することができます。このドライバはANSI® Cで書かれていて、XMEGA支援を持つ全てのコンパイラでコンパイルできるでしょう。

このドライバが高性能の考えで書かれていないことに注意してください。それはXMEGAのタイマ/カウンタでの始めと素早い試作に対する容易な使用の雛形を得るためのライブラリとして設計されています。時間とコード量が重要な応用開発については、マクロまたはレジスタへの直接アクセスでの関数呼び出しへの置換を考慮してください。

## 8.1. ファイル

ソースコード一括は次のファイルから成ります。

- `tc_driver.c` : タイマ/カウンタドライバ ソース ファイル
- `tc_driver.h` : タイマ/カウンタドライバ ヘッダ ファイル
- `tc_example.c` : タイマ/カウンタドライバ使用例

## 8.2. Doxygen資料化

全てのソースファイルはDoxygenを使用する自動資料生成用に準備されています。Doxygenは特別なキーワードを使用してソースコードを分析することによって、ソースコードから資料を作成するツールです。Doxygenについてのより多くの詳細に関しては<http://www.doxygen.org>を訪ねてください。予めコンパイルされたDoxygen資料は本応用記述に伴うソースコードと共に供給され、ソースコードフォルダの[readme.html](#)ファイルから利用可能です。



## 本社

### *Atmel Corporation*

2325 Orchard Parkway  
San Jose, CA 95131  
USA

TEL 1(408) 441-0311  
FAX 1(408) 487-2600

## 国外営業拠点

### *Atmel Asia*

Unit 1-5 & 16, 19/F  
BEA Tower, Millennium City 5  
418 Kwun Tong Road  
Kwun Tong, Kowloon  
Hong Kong  
TEL (852) 2245-6100  
FAX (852) 2722-1369

### *Atmel Europe*

Le Krebs  
8, Rue Jean-Pierre Timbaud  
BP 309  
78054 Saint-Quentin-en-  
Yvelines Cedex  
France  
TEL (33) 1-30-60-70-00  
FAX (33) 1-30-60-71-11

### *Atmel Japan*

104-0033 東京都中央区  
新川1-24-8  
東熱新川ビル 9F  
アトメル ジャパン株式会社  
TEL (81) 03-3523-3551  
FAX (81) 03-3523-7581

## 製品窓口

### ウェブサイト

[www.atmel.com](http://www.atmel.com)

### 技術支援

[avr@atmel.com](mailto:avr@atmel.com)

### 販売窓口

[www.atmel.com/contacts](http://www.atmel.com/contacts)

### 文献請求

[www.atmel.com/literature](http://www.atmel.com/literature)

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに位置する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2008. 全権利予約済 ATMEL<sup>®</sup>、ロゴとそれらの組み合わせ、AVR<sup>®</sup>とその他はATMEL Corporationの登録商標、XMEGA<sup>®</sup>とその他は商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

### © HERO 2014.

本応用記述はATMELのAVR1306応用記述(doc8045.pdf Rev.8045A-02/08)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。