AVR1308 :XMEGA TWIの使い方

要点

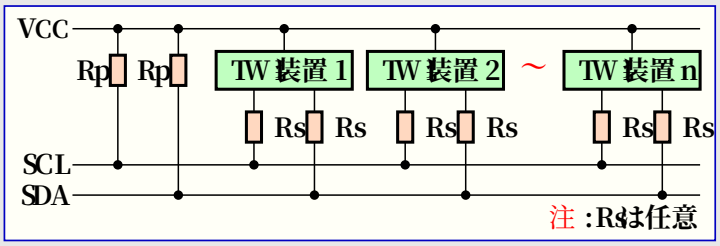
- TWIとXMEGA™のTW部署の序説
- XMEGA TW部署の初期設定と使用
- 部署ドライバの実装
  - ・主装置
  - ・従装置
- 主装置と従装置に対するコード例

1.序説

本応用記述はXMEGAのTW部署の初期設定と使用の方法を記述します。主装置と従装置の両応用に対してCコードのドライバと例が含まれます。

TWI(2線インターフェース)はPhilips®のInter-ICまたはI2Cバスと互換です。TWIはマイクロコントローラのような制御装置とLCD駆動部、I/O拡張部、メモリやその他多々のような周辺装置間の通信で使用されます。

図 1-1.TWIバス形態



2.TWIバス

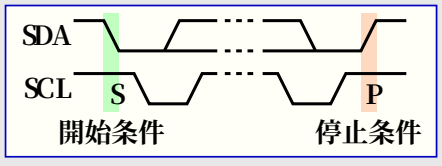
TWIバスはGNDに加えて、SDA(SerialDAta)とSCL(SerialCLck)の2つの活線から成ります。2つの活線はプルアップ抵抗を持つ双方向オープンコレクタ線です。

バスに接続される装置は唯一のアドレスを持ち、動作に依存して送信器または受信器にになり得ます。DTMF音発生器は受信器のみの例で有り得、一方メモリ装置は明らかに送受信器両方で有り得ます。

2.1.開始条件と停止条件

アイドルのバスでのSDAとSCLはHighです。装置は先にSDAを次にSCLをLowに引くことによって処理を始めることができます。これは**開始条件**(S)と呼ばれます。処理は先にSCLを次にSDAを開放することによって完了されます。これは**停止条件**(P)と呼ばれます。SDAはSCLがLowの間で他へ切り換えることが許されるだけなので、**開始条件**と**停止条件**は独特で、処理の開始と終了を示すための安全な方法です。**開始条件**によって処理を開始する装置が主装置になり、この時点で接続された他の全ての装置が**停止条件**が発行されるまで従装置と見なされます。処理終了の**停止条件**送出の代わりに、主装置は新しい**開始条件**を送出することができます。これは**再送開始条件**と呼ばれ、他の主装置が**停止条件**後に行い得るように処理を開始するために他の主装置に関する可能性をなくします。

図 2-1.開始条件と停止条件



2.2.アドレス

開始条件後、読み/書き(R/$\overline{W}$)ビットが後続する7ビットアドレス(A)が送出されます。主装置はアクセスする装置の従装置アドレスを送信します。R/$\overline{W}$ビットは最終ビットとして送信され、処理方向を指定します。そのアドレスを認証する従装置は次のSCLクロックでSDA線をLowに引くことによって応答(**確認応答**)し、一方他の全ての従装置はTW線の開放を維持して次の**開始条件**とアドレスを待つべきです。

8ビットAVR®
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりの**はじめに**での内容にご注意ください。

Rev.8054A-02/08,8054AJ2-07/10

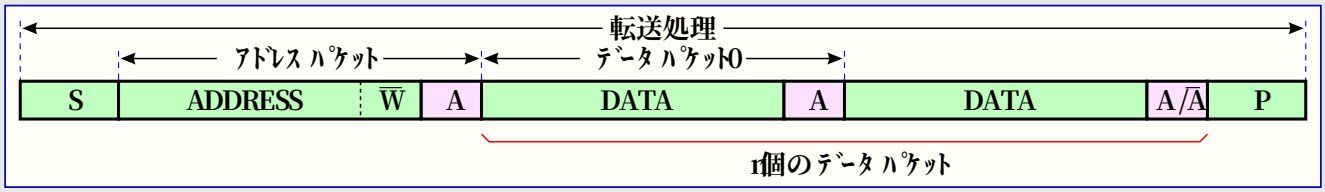
2.3. データ転送

R/$\overline{W}$ビットがLowなら、主装置書き込み処理を示し、主装置は従装置がそのアドレスに応答した後でそのデータを送信します。図 2-2は代表的な主装置書き込み処理を示します。処理内で任意のDATAパケット数にできることに注意してください。

表 2-1 以降の規約構成図で使用される表示法

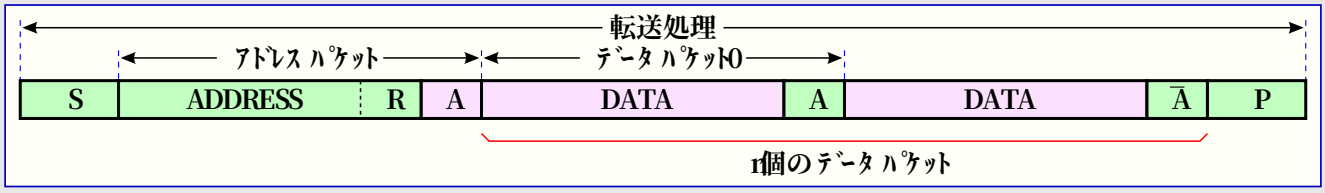
表記	意味
S	開始条件
Sr	再送開始条件
R	主装置読み込み処理を指示するR/$\overline{W}$ビット=High
$\overline{W}$	主装置書き込み処理を指示するR/$\overline{W}$ビット=Low
A	確認応答 (ACK)
$\overline{A}$	否認応答 (NACK)
P	停止条件
	主装置⇒従装置へのデータ方向を示す
	従装置⇒主装置へのデータ方向を示す
	最後のR/$\overline{W}$ビットによるデータ方向設定を示す

図 2-2.主装置書き込み転送処理



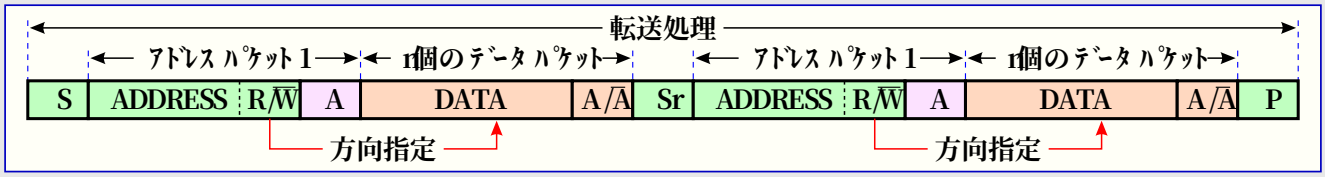
R/$\overline{W}$ビット=Highは主装置読み込み処理を示します。主装置はクロックの生成を継続し、一方従装置は一度に1ビットでデータをSDAに出力します。主装置読み込みに対してビットが利用可能な時に従装置がSCLを開放し、故に主装置はクロック信号を供給することができます。図 2-3は代表的な主装置読み込み処理を示します。

図 2-3.主装置読み込み転送処理



処理は図 2-4で図解されるように組み合わせることもできます。処理の先頭部分の最後に**停止条件**を送出する代わりに、主装置は**再送開始条件**とR/$\overline{W}$ビットを含むアドレスを送出します。これは処理の方向変更を主装置に許します。

図 2-4 組み合わせ転送処理



2.4. クロック伸長

クロックは常に主装置によって制御されますが、バス上のどの装置によって何時でもLowに保持することができます。この方法では従装置が、例えばデータ処理にもっと時間が必要な場合に、処理を引き止めることができます。バス形態のため、SCLがLowに保持される場合に主装置はクロック処理を継続することができません。主装置が開放した後に従装置がSCL線をLowに引くことを "クロック伸長 "実行と言います。

2.5.調停

TWIﾊﾞｽが複数主装置ﾊﾞｽなので、2つの装置が正しく同時に転送を開始することが可能です。調停は処理の次の段階を通して実行され、最初の装置が論理 '1送信を試みる一方で別の装置の '0送信は協調を失います。これはﾊﾞｽの物理的な特性のために容易に検出することができます。1つの装置が線をLowに引いた場合、他はHighを送信することができません。装置は協調を失った時に送信を停止して、再びﾊﾞｽの制御を取るのを試みる前に次の停止条件まで待たなければなりません。

3.XMEGA TW部署

XMEGAのTW部署は主装置部と従装置部に分けられていて、2つの部署は独立して許可することができます。

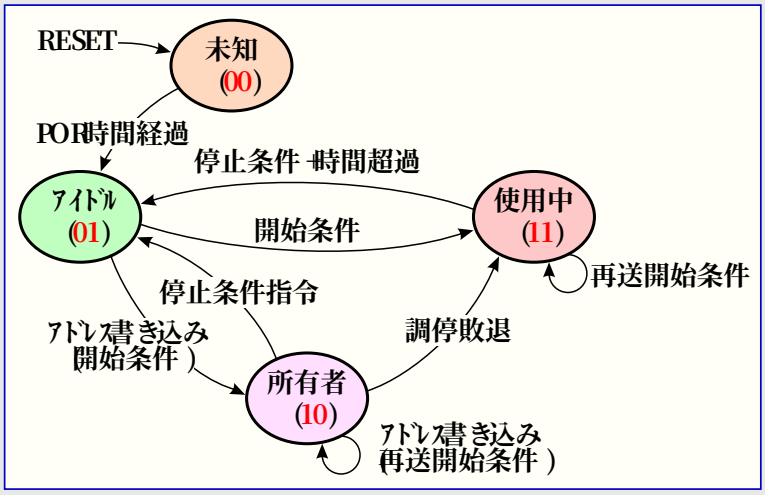
主装置と従装置は1つの共通形成ﾚｼﾞｽﾀを持っています。TW制御ﾚｼﾞｽﾀ(TWI_CTRL)は2または4線動作の外部駆動部ｲﾝﾀｰﾌｪｰｽを選択する1ﾋﾞｯﾄを保持しています。これ以外の制御と状態のﾋﾞｯﾄ全ては2つの部署に対する分離されたﾚｼﾞｽﾀで得られます。

3.1.ﾊﾞｽ状態論理

主装置部と従装置部に加えて、ﾊﾞｽ上の動きを監視するﾊﾞｽ状態論理回路があります。この論理回路からの情報は開始条件 /再送開始条件 (S/Sr)と停止条件 (P)を検出し、ﾊﾞｽ衝突を検出し、ﾊﾞｽ異常を識別して、ﾊﾞｽ状態 ("未知 ", "ｱｲﾄﾞﾙ ",'所有者 ",'使用中 "を決めるためにﾊｰﾄﾞｳｪｱによって使用されます。ﾊﾞｽ状態論理回路はﾊﾟﾜｰﾀﾞｳﾝ動作を含む全ての休止で動作するように設計されています。

ﾊﾞｽ状態機構は主装置動作が許可されている時に活動します。TWIﾊﾞｽの初期状態がどう設定されるかを考慮することが重要です。ﾘｾｯﾄまたはTW部署の許可後、状態は未知ですが、停止条件または定義された時間経過周期後にｱｲﾄﾞﾙへ変更されます。(SMBus™と違い)I2Cが時間経過周期を指定しないため、応用は状態をｱｲﾄﾞﾙに強制することができます。複数主装置のｼｽﾃﾑでは注意が祓われなければなりません。けれども、例えば処理実行中での妨害後に、異常検出能力が既知の状態にTWIを持ってきます。

図 3-1.ﾊﾞｽ状態、状態遷移図



3.2.主装置

TW主装置部は表 3-1で一覧にされるﾚｼﾞｽﾀ支援を持つﾎﾞｰﾚｰ発生器、状態と制御の論理回路から成ります。

表 3-1.主装置部ﾚｼﾞｽﾀ

ﾚｼﾞｽﾀ名	ｼﾝﾎﾞﾙ名
TW主装置制御ﾚｼﾞｽﾀA	TWI_MASTER_CTRLA
TW主装置制御ﾚｼﾞｽﾀB	TWI_MASTER_CTRLB
TW主装置制御ﾚｼﾞｽﾀC	TWI_MASTER_CTRLC
TW主装置状態ﾚｼﾞｽﾀ	TWI_MASTER_STATUS
TW主装置ﾎﾞｰﾚｰﾄﾚｼﾞｽﾀ	TWI_MASTER_BAUD
TW主装置送信ｱﾄﾞﾚｽﾚｼﾞｽﾀ	TWI_MASTER_ADDR
TW主装置ﾃﾞｰﾀﾚｼﾞｽﾀ	TWI_MASTER_DATA

3.2.1.割り込み

割り込み制御されたｿﾌﾄｳｪｱがTWIｼｽﾃﾑに対して推奨されますが、緩やかなﾀｲﾐﾝｸﾞの必要条件の単一主装置ｼｽﾃﾑではﾎﾟｰﾘﾝｸﾞを受け入れることができます。本応用記述に含まれるTW主装置ﾄﾞﾗｲﾊは割り込みに基いています。

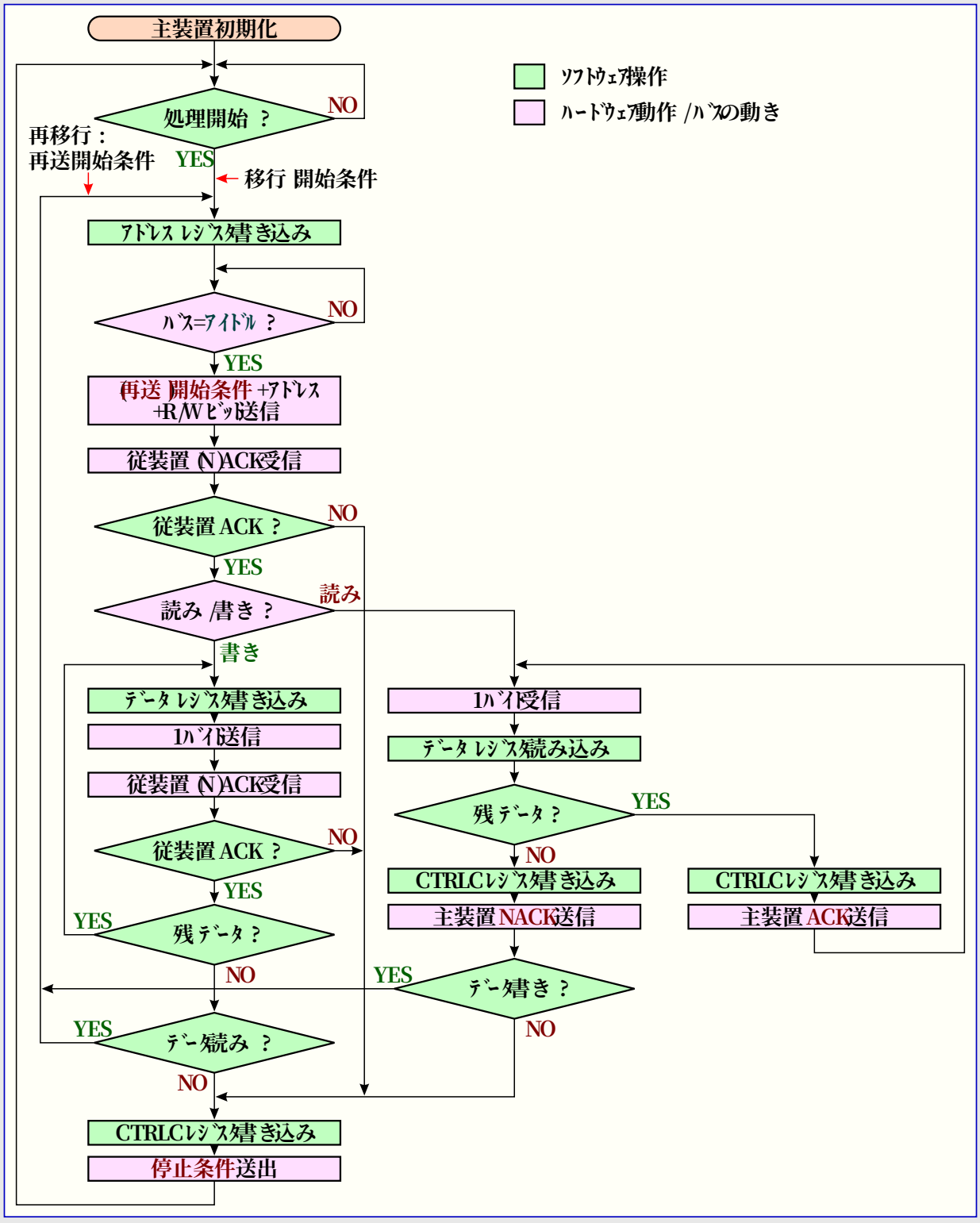
TW主装置割り込みは主装置読み込みと主装置書き込みの主な2つの出来事に分けられます。読み割り込み要求ﾌﾗｸﾞは、主装置読み込み割り込みの起動が許可の場合に、ﾊﾞｽ異常が検出されず、協調を失わずに主装置読み込み操作が成功裏に完了された時に必ず設定 (1)されます。書き割り込み要求ﾌﾗｸﾞは主装置書き込み操作の完了で設定 (1)されます。調停敗退またはﾊﾞｽ異常のﾌﾗｸﾞに加えて、主装置読み込み操作間も、それらの異常を合図するために設定 (1)されます。許可ならば、主装置書き割り込みが起動されます。

主装置読みと主装置書きの割り込みが個別に許可されるとしても、それらが同じ割り込みﾍﾞｸﾀを共用することに注意してください。

3.2.2.主装置操作

主装置の概要が図 3-2で図解されます。これは主装置書き込み /読み込み処理の流れを示します。更なる詳細に関しては本応用記述に含まれるｺｰﾄﾞを参照してください。

図 3-2.主装置操作



3.3.従装置

TW 従装置部は表 3-2で一覧にされるﾚｼﾞｽﾀ支援を持つ状態と制御の論理回路から成ります。主装置だけがｸﾛｯｸ信号を生成できるため、従装置はﾎﾞｰﾚｰ発生器を含みません。

表 3-2.従装置部 ﾚｼﾞｽﾀ

ﾚｼﾞｽﾀ名	ｼﾝﾎﾞﾙ名
TW 従装置制御 ﾚｼﾞｽﾀA	TWI.SLAVE.CTRLA
TW 従装置制御 ﾚｼﾞｽﾀB	TWI.SLAVE.CTRLB
TW 従装置状態 ﾚｼﾞｽﾀ	TWI.SLAVE.STATUS
TW 従装置 ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ	TWI.SLAVE.ADDR
TW 従装置 ﾃﾞｰﾀ ﾚｼﾞｽﾀ	TWI.SLAVE.DATA

3.3.1.割り込み

主装置のように、従装置部に対しても割り込み制御されたｿﾌﾄｳｪｱが推奨されます。割り込みに関して、従装置 ｱﾄﾞﾚｽ認証と従装置 ﾃﾞｰﾀ送受信の 2つの主な供給元があります。

従装置 ｱﾄﾞﾚｽまたは停止割り込みはｱﾄﾞﾚｽ認証論理回路が有効なｱﾄﾞﾚｽを検出した時に起動されます。加えて、この割り込みは送信衝突または**停止条件**でも起動されます。**停止条件**の起動は独立した制御ﾋﾞｯﾄを通して個別に許可されます。従装置 ﾃﾞｰﾀ割り込みは従装置のﾊﾞｲﾄ送受信がどのﾊﾞｽ異常または送信衝突もなしで成功裏に完了される時に起動されます。

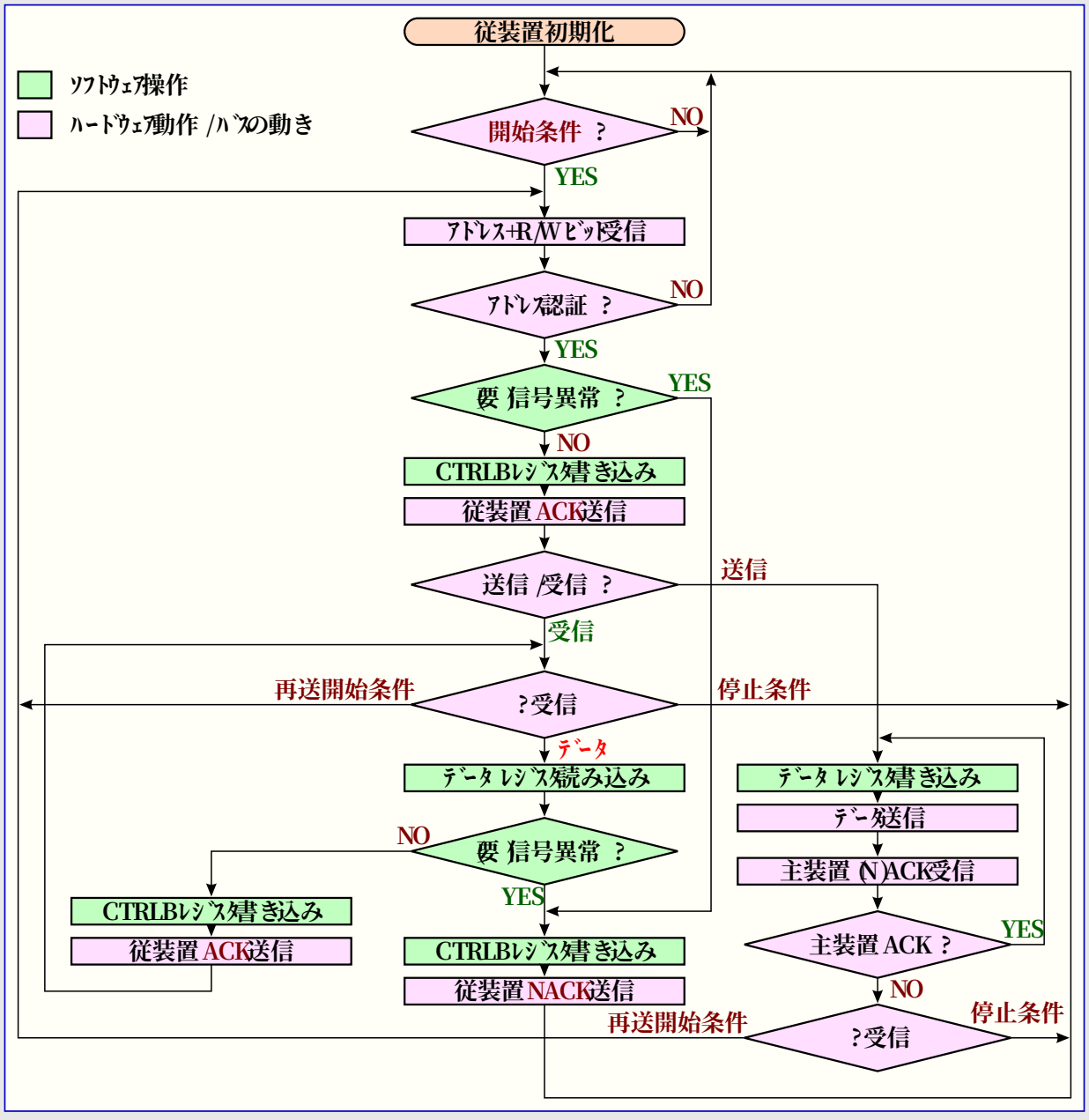
ﾊﾞｽ異常を検出する論理回路は主装置と従装置で共用され、検出は主装置が許可されていることと、周辺ｸﾛｯｸが少なくても SCL周波数の 4倍であることに依存します。ﾊﾞｽ異常検出を除いて、従装置はどの周辺ｸﾛｯｸ周波数でも動作することができます。

例え従装置 ｱﾄﾞﾚｽとﾃﾞｰﾀの割り込みが個別に許可されるとしても、それらが同じ割り込みﾍﾞｸﾀを共用することに注意してください。

3.3.2. 従装置操作

従装置の概要が図 3-3で図解されます。これは従装置書き込み /読み込み処理での流れを示します。更なる詳細に関しては本応用記述に含まれるコードを参照してください。

図 3-3. 従装置操作



4.ドライバ実装

本応用記述はCで実装されたTWI主装置と従装置用の基本的な割り込み駆動ドライバの一括ソースコードを含みます。ドライバを使用する従装置と通信するためのTWI主装置部を使用する例が含まれています。それはIAR Embedded Workbench® コンパイラで書かれています。

TWIドライバが高性能コードでの使用に対して意図されていないことに注意してください。それはTWIでの始めを得るためのライブラリとして設計されています。タイミングとコード量が重要な応用開発については、TWIレジスタに直接アクセスすべきです。より多くの詳細についてはドライバのソースコードとデバイスのデータシートを参照してください。

4.1.ファイル

一括ソースコードは次のファイルから成ります。

- twi_example.c : TWIドライバを使用するコード例
- twi_master_driver.c :主装置ドライバソースファイル
- twi_master_driver.h :主装置ドライバヘッダファイル
- twi_slave_driver.c :従装置ドライバソースファイル
- twi_slave_driver.h :従装置ドライバヘッダファイル

利用可能なドライバインターフェース関数とそれらの使用の完全な概要についてはソースコードの資料を参照してください。

4.2.Doxygen資料化

全てのソースファイルはDoxygenを使用する自動資料生成用に準備されています。Doxygenは特別なキーワードを使用してソースコードを分析することによって、ソースコードから資料を作成するツールです。Doxygenについてのより多くの詳細に関しては http://www.doxygen.org を訪ねてください。予めコンパイルされたDoxygen資料は本応用記述に伴うソースコードと共に供給され、ソースコードフォルダの readme.html ファイルから利用可能です。

本社

Atmel Corporation
2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia
Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe
Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan
104-0033東京都中央区
新川 1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ウェブサイト
www.atmel.com

技術支援
avr@atmel.com

販売窓口
www.atmel.com/contacts

文献請求
www.atmel.com/literature

お断り：**本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。**ATMELのウェブサイトに位置する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する（情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み）直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。**ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。**

© Atmel Corporation 2008. 全権利予約済 **ATMEL®、ロゴとそれらの組み合わせ、AVR®とその他はATMEL Corporationの登録商標、XMEGA™とその他は商標またはその付属物です。他の用語と製品名は一般的に他の商標です。**

© *HERO* 2010.

本応用記述はATMELのAVR1308応用記述（doc8054.pdfRev.8054A-02/08）の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には（）内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。