

AVR1312 : XMEGA 外部バス インターフェースの使い方

要点

- SRAM,SDRAMとアドレス指定可能な周辺機能
- 16Mバイトまでのアドレス空間
- 4つの独立したチップ選択線
- SDRAM機能:
 - ・ 自動再活性(リフレッシュ)
 - ・ 4または8ビット データ
- ドライバ ソースコード内包

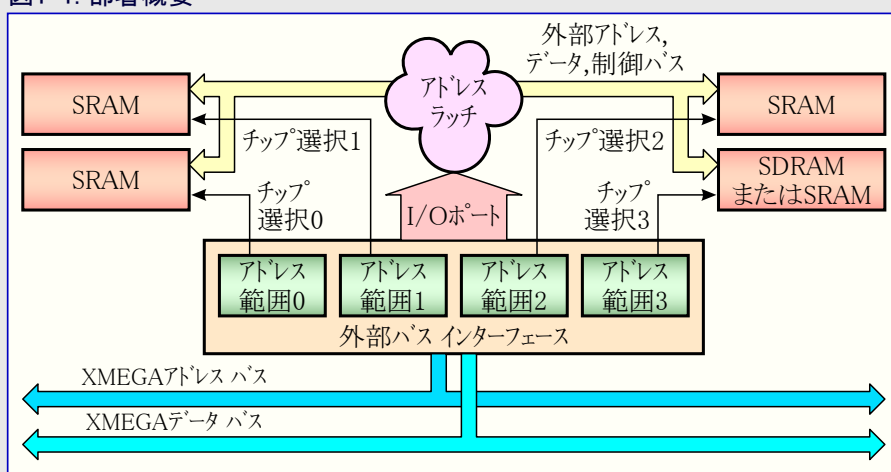
1. 序説

XMEGA®の外部バス インターフェース(EBI)は外部メモリとLCD制御器や進化した通信制御器のようなメモリ アドレス指定可能な周辺機能のインターフェースに関する高い柔軟性の部署です。EBI部署は個別のアドレス範囲と待ち状態制御を持つ4つの独立したチップ選択部を持ちます。追加のチップ選択線は外部的に復号することができます。

アドレス多重器と外部ラッチに対する柔軟な設定、4つのチップ選択部に対する独立した設定、自動再活性でのSDRAMに対する透過的な支援は、外部メモリとアドレス指定可能な周辺機能を使用する全ての応用に対してこの部署を完全に適合させます。

本応用記述は素早い準備と行動のための例と共にXMEGAのEBIの基本的な機能を記述します。その上、Cで書かれたドライバ インターフェースが含まれています。

図1-1. 部署概要



2. 部署概要

本項はEBIの基本的な形態設定任意選択と機能の概要を提供します。そして3項がレジスタ説明と形成設定詳細とで準備と実行の基本段階を通して流します。

2.1. メモリと周辺の接続

EBI部署は外部のメモリと周辺機能をインターフェースするために2,3,または4つのI/Oポートの使用に形態設定することができます。使用されるポートは下の表2-1.で示されます。後続項は各種動作種別に対するポートへの接続方法を記述します。

表2-1. EBIポート動作種別

動作種別	EBI部署の使用ポート
2ポート動作	ポートH,J
3ポート動作	ポートH,J,K
4ポート動作	ポートH,J,K,L



8ビット **AVR**[®]
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8058A-02/08, 8058AJ5-03/14

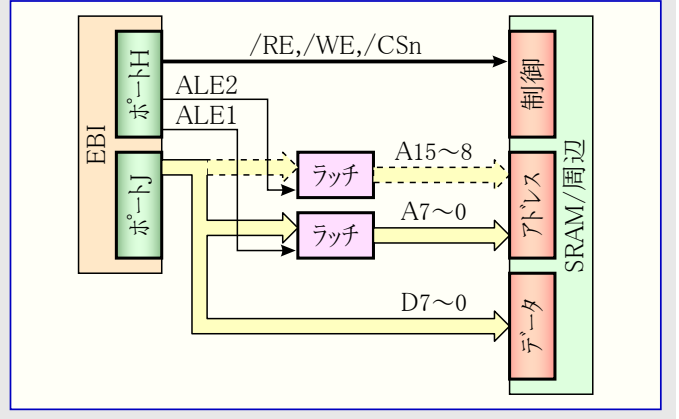
2.1.1. 2ポート インターフェース

2ポートインターフェースはSRAM LPC(低ピン数)動作だけを許します。SRAM LPCは通常、内部ラッチ付きのSRAMデバイスを意味します。けれども、一般的にSRAMデバイスは外部のラッチと共に使用することができます。

SRAM LPCで、ポートJはアドレスとデータに使用され、一方ポートHは制御信号に使用されます。この接続は右の図2-1.で示されます。

EBI制御レジスタ(CTRL)のLPC動作(LPCMODE)ビット領域はALE2が使用されるべきか否かのどちらかを選択します。ALE2許可は16ビットアドレスが使用されることを意味します。

図2-1. 2ポートSRAM LPC動作での8及び16ビット アドレス バス



2.1.2. 3ポート インターフェース

3ポート動作はSRAM LPCに加えて一般的なSRAMとSDRAMの接続を許します。SRAMとSRAM LPCは共に使用できますが、SDRAMは3ポート動作で単独でだけ使用することができます。SDRAMを他のメモリ形式と共に使用するには、EBI部署が4ポート動作でなければなりません。

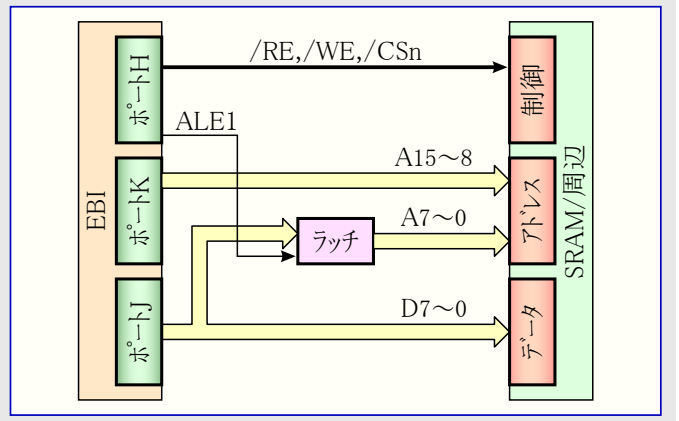
2.1.2.1. 3ポート SRAM LPC

SRAM LPCに対する接続はアドレスのビット15~8に使用されるポートKが加わった2ポート動作と同様です。3ポートSRAM LPCに関する接続は右の図2-2.で示されます。

LPC動作(LPCMODE)ビット領域でALE2線が許可されている場合、ポートKは使用されず、その接続は上の図2-1.で示されるような2ポートSRAM LPCに等しくなります。

ALE1だけが許可された3ポートSRAM LPCがmegaAVR®系の多くのデバイスで利用可能なXRAMインターフェースと同様であることに気付いてください。

図2-2. 3ポートSRAM LPC動作での16ビット アドレス バス

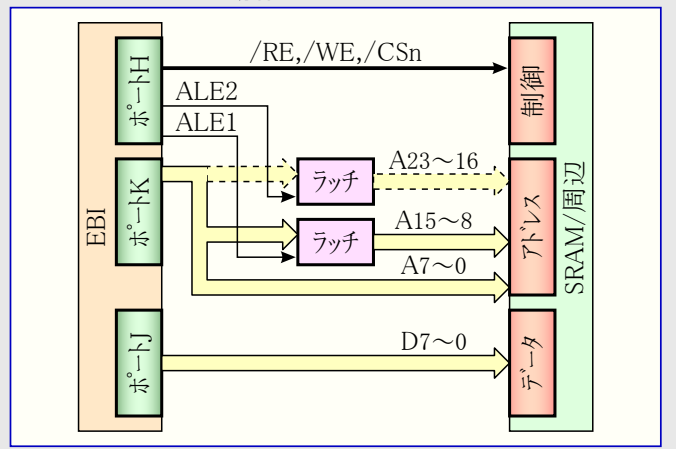


2.1.2.2. 3ポート SRAM

SRAM LPC動作でのように1つのI/Oポートでアドレスとデータを多重化する代わりに、一般的なSRAM動作はデータ線に対する1つの専用ポートと多重化したアドレス線に対する1つ以上のポートを使用します。3ポートSRAM動作に対して、ポートHは通常のように制御信号に使用され、ポートJはデータだけに使用され、ポートKは多重化したアドレス線に使用されます。

EBI制御レジスタ(CTRL)のSRAM動作(SRMODE)ビット領域はALE2が使用されるべきか否かのどちらかを選択します。ALE2許可は24ビットアドレスが使用されることを意味します。

図2-3. 3ポートSRAM動作での16及び24ビット アドレス バス



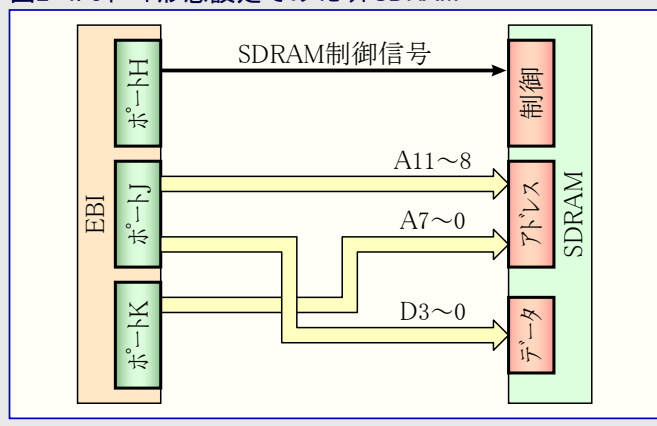
2.1.2.3. 3ポート SDRAM

3ポート動作でSDRAMが許可されると、SRAMとSRAM LPCのどちらも支援されません。EBIポートでのチップ選択制御信号用の予備ピンはありません。

EBI制御レジスタ(CTRL)のSDRAMデータ幅(SDDATAW)ビット領域は4ビットと8ビットのSDRAMデータ幅を選択しますが、4ビットSDRAMデータ幅だけが3ポート動作で支援されます。

3ポート動作でのSDRAM用接続は右の図2-4.で示されます。

図2-4. 3ポート形態設定での4ビットSDRAM



2.1.3. 4ポート インターフェース

4ポート動作は8ビットSDRAM動作とSRAM及びSRAM LPCと共のSDRAMを許します。勿論、SDRAMなしのSRAMとSRAM LPC動作も4ポート動作で支援されます。

SDRAMが許可された場合にSRAMとSRAM LPC用の接続が僅かに異なることに注意してください。

2.1.3.1. 4ポート SRAM LPC

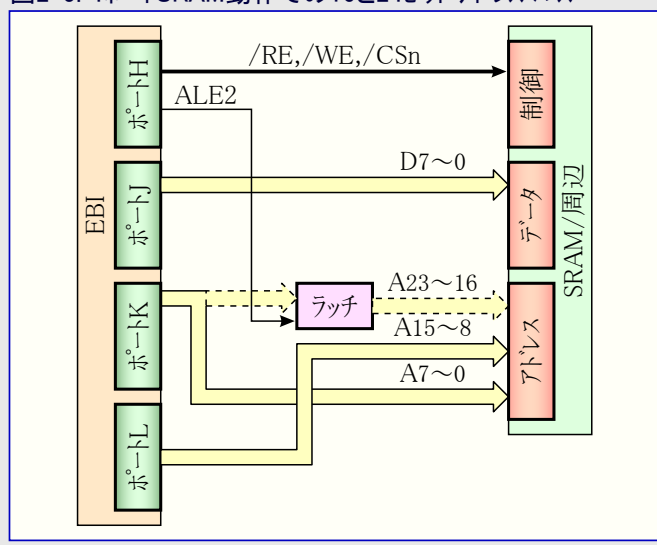
SRAM LPC用の接続は3ポート動作と同様です。SRAM LPCは第4のポートを使用しません。

2.1.3.2. 4ポート SRAM

3ポートSRAM動作と比較して、4ポートSRAMはALE1線の必要を無くします。代わりに、アドレスの第2バイトが第4のポート、ポートLに移動されます。16ビット アドレスだけが使用されるなら、アドレス ラッチは必要ありません。けれども、ALE2線は3ポート動作と同様にポートKで第3アドレス バイトを多重化するのに使用することができます。

ALE2の任意選択使用での接続は右の図2-5.で示されます。この図で示されていないのは、ALE2線が使用されない場合にアドレス線A16とA17がポートHから利用可能なことです。これはラッチ使用なしでの18ビット アドレス指定を可能にします。

図2-5. 4ポートSRAM動作での16と24ビット アドレス バス



2.1.3.3. 4ポート SDRAM

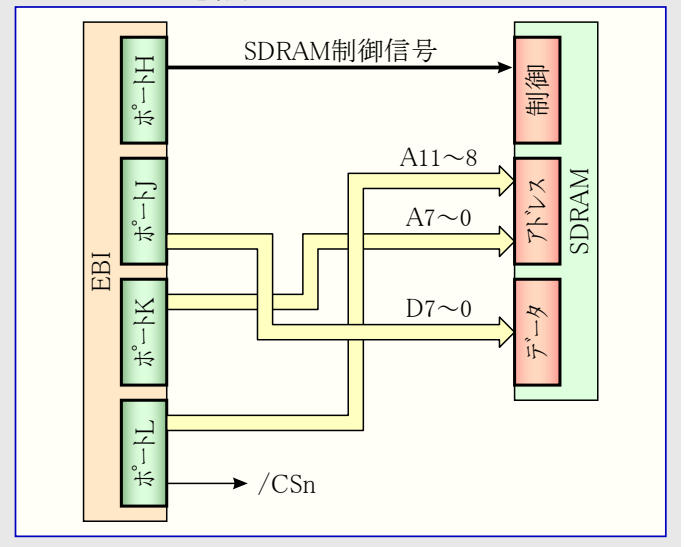
3ポートSDRAM動作と比較して、4ポートSDRAMはSRAMとSRAM LPCの同時動作を支援します。4ポートSDRAM動作に形態設定されると、EBIインターフェースはポートLの上位4ビットにチップ選択線を配置します。

8ビットSDRAM用の接続は右の図2-6.で示されます。4ビットSDRAMに比べて、今やポートJがデータの全8ビットを保持し、同時に上位4つのアドレスビットがチップ選択線と共にポートLに移動されています。

SRAMとSRAM LPCがSDRAMと共に使用される場合、アドレス線のA16～A19がポートLの下位4ビットに移動されているのを考慮してください。これはアドレス線A16～A19をチップ選択線と共用する全てのSRAMとSRAM LPC形態設定に適用します。詳細については以降の4.1.項を参照してください。

SDRAMが使用される時に4ポートSRAMが支援されないことに注意してください。

図2-6. 4ポート形態設定での8ビットSDRAM



2.2. チップ選択部

EBI部署は独立したアドレス範囲と連携することができる4つのチップ選択線(CS0～CS3)を持っています。各チップ選択線と連携する機能と制御レジスタはチップ選択部に論理的に群化されています。4つのチップ選択部は1頁の図1-1.で示されます。

EBIに接続されるメモリ形式に依存して、チップ選択部はSRAM LPC(低ピン数)、一般的なSRAM、またはSDRAMに形態設定することができます。この部は独立して形態設定できますが、CS3部だけがSDRAMを支援します。

各チップ選択部と連携する基準アドレスは4Kバイト境界でなければならず、接続したメモリをアクセスできるデータ空間内の位置を決めます。各チップ選択部の基準アドレスレジスタ(BASEADDR)はこのアドレスを保持します。

各チップ選択部に対するメモリ空間の容量は制御レジスタA(CTRLA)のアドレス空間(ASPACE)ビット領域によって選択されます。容量は256バイトから16Mバイトまでにできます。

アドレス空間が4Kバイトよりも大きなどれかに設定された場合に基準アドレスがそのアドレス空間(容量)と等しい境界でなければならないことに注意してください。例えば、チップ選択部に対する1Mバイトアドレス空間(容量)では、基準アドレスが1Mバイト境界でなければなりません。

アドレス空間が重なる場合、内部メモリ空間が優先権を持ち、続いてCS0,CS1,CS2そして最低優先権のCS3です。

2.3. I/Oポート形態設定

EBI部署は許可時にI/Oポートの方向を無効にしません。使用者はデータバスに対して使用されるピンを除いて、全てのインターフェースピンを出力として形態設定しなければなりません。

制御信号はLow活性(有効)で、ピン出力値は論理1に設定されるべきで、一方High活性(有効)の信号は対応するピン出力値が論理0に設定されるべきです。アドレス線は出力値が1か0のどちらかの注意はありません。

チップ選択線は始動の間にそれらがHighを保つのを保証するためにプルアップ抵抗を持つべきです。これは始動間の浮いた制御信号が外部部署によって無視されることを保証します。チップ選択線がEBI部署によって制御されない(例えば3ポートSDRAM)動作では、必要とされる時にチップ選択線をLowに設定するのに汎用I/Oピンを使用すべきです。

より多くの情報に関してはデバイスのデータシートまたは「AVR1313:XMEGA I/Oピンと外部割り込みの使い方」応用記述を参照してください。

2.4. 外部ラッチの選択

EBI部署は74AHC系のアドレスラッチに合うように設計されています。タイミングの必要条件に対する詳細に関してはデータシートを参照してください。

2.5. SDRAM再活性(リフレッシュ)の考慮

EBIはSDRAM部品の再活性に注意を促します。SDRAMをインターフェースする能力のチップ選択部だけが最低優先権を持つため、それが新しいSDRAM再活性の時間の時に他のメモリがアクセスされつつあることが起き得ます。この場合ではEBIが失った再活性を記憶して他のメモリ入出力が終了した時にSDRAMを再活性します。

休止形態でEBI部署へのクロックが停止されているとき、SDRAM部品に対する自己再活性動作への移行が可能です。自己再活性を許可するにはチップ選択部3用の制御レジスタB(CTRLB)のSDRAM自己再活性許可(SDSREN)ビットを設定(1)してください。自己再活性動作の時にSDRAMのアクセスが不可能なことに注意してください。

3. 開始に際して

本項はXMEGAのEBIでの準備と実行に対する基本段階を簡単に片付けます。必要なレジスタが関連ビット設定と共に記述されます。SRAMとSDRAMの動作のEBI設定は簡単な課題で、読者は詳細に関してコード例を学ぶことを勧められます。とは言え、SDRAM設定は或る程度もっと必要で、簡単な片付けは以下で提供されます。

3.1. SDRAM設定と初期化

課題: SDRAM動作にEBIを設定してSDRAM制御器を初期化してください。

- EBI制御レジスタ(CTRL)のインターフェース種別(IFMODE)ビット領域で3ポートまたは4ポートのインターフェースを選択してください。
- 前記の2.3項に従ってI/Oポートの方向と値を形態設定してください。
- 4ビットまたは8ビットのデータを選択するために、EBI制御レジスタ(CTRL)のSDRAMデータ幅(SDDTAW)ビット領域を使用してください。
- 2周期(論理0)または3周期(論理1)のCAS遅れを選択するために、SDRAM制御レジスタA(SDRAMCTRLA)のSDRAM CAS遅れ(SDCAS)ビットを使用してください。
- 11ビット(論理0)または12ビット(論理1)の行アドレス指定を選択するために、SDRAM制御レジスタA(SDRAMCTRLA)のSDRAM行ビット数(SDROW)ビットを使用してください。
- 8,9,10,または11ビットの列アドレス指定を選択するために、SDRAM制御レジスタA(SDRAMCTRLA)のSDRAM列ビット数(SDCOL)ビット領域を使用してください。
- 周辺クロック周期で与えられる様々なSDRAMインターフェース遅延を形態設定するために、SDRAM制御レジスタB(SDRAMCTRLB)のMRDLY,ROWCYCDLY,RPDLYビット領域とSDRAM制御レジスタC(SDRAMCTRLC)のWRDLY,ESRDLY,ROWCOLDLYビット領域を使用してください。
- SDRAM再活性周期を周辺クロック周期で選択するために、SDRAM再活性周期レジスタ(REFRESH)を使用してください。
- SDRAM初期化遅延を周辺クロック周期で選択するために、SDRAM初期化遅延レジスタ(INITDLY)を使用してください。
- チップ選択部3用の基準アドレスレジスタ(BASEADDR)に望むSDRAM基準アドレスを設定してください。
- チップ選択部3用の制御レジスタA(CTRLA)のアドレス空間(ASPACE)ビット領域を使用して望むアドレス空間(容量)を設定してください。
- チップ選択部3用の制御レジスタA(CTRLA)のメモリ種別(MODE)ビット領域をSDRAMに設定することによってSDRAMを許可して初期化手順を開始してください。

SDRAM初期化時、SDRAM動作でチップ選択部を許可する前に全てのパラメータを形態設定することが重要です。パラメータの設定順それ自体は重要ではありません。

4. 高度な機能

本項はEBIでの可能性ともっと高度な機能を導入します。詳細な取り扱いは本応用記述の範囲外で、使用者はデバイスのデータシートと関連する応用記述を学ぶことを勧められます。

4.1. アドレス線としてのチップ選択線

或る形態設定では、チップ選択線がアドレス線の代わりとして使用することができます。チップ選択部2と3だけが使用される場合、チップ選択線CS0とCS1はアドレス線A16とA17の代わりとして使用されます。下の図4-1.は可能な形態設定を示します。

この機能はアドレス線A19～A16が他のポートで既に多重化されていない形態設定にだけ適用します。

図4-1. チップ選択線とアドレス線の可能な組み合わせ

CS3	CS3	CS3	A19
CS2	CS2	CS2	A18
CS1	CS1	A17	A17
CS0	A16	A16	A16

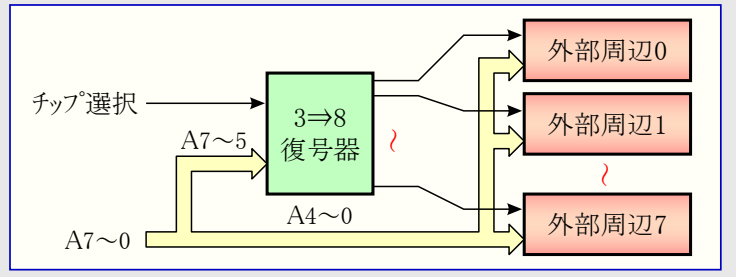
この図はCS3だけが許可された場合に4つ全てのCS線がアドレス線として使用されることを示します。

4.2. チップ選択線追加

4つのチップ選択線が応用に対して充分でないなら、更にアドレスの復号を外部的に行うことができます。

全てが内部に32またはより少ないレジスタを持つ8つの小さな外部周辺デバイスをアクセスしたいと言うなら、望むチップ選択部を256バイトアドレス空間での使用に形態設定してください。その結果の8ビットアドレスは、8つの外部周辺の1つを選択する上位3ビットと同時に32の内部レジスタの内から1つをアドレス指定する下位5ビットの2つの部分に分けられます。右の図4-2はそのような実装に対する例を示します。

図4-2. 3つのアドレスビットを8つの外部チップ選択線へ復号する例



5. ドライバ実装

本応用記述はCで実装された基本的なEBIドライバの一括ソースコードを含みます。それはIAR Embedded Workbench®コンパイラで書かれています。

このEBIドライバが高性能コードでの使用に対して意図されていないことに注意してください。それはEBIでの始めを得るためのライブラリとして設計されています。タイミングとコード量が重要な応用開発については、EBIレジスタに直接アクセスすべきです。より多くの詳細についてはドライバのソースコードとデバイスのデータシートを参照してください。

5.1. ファイル

一括ソースコードは次のファイルから成ります。

- `ebi_driver.c` : EBIドライバ ソース ファイル
- `ebi_driver.h` : EBIドライバ ヘッダ ファイル
- `ebi_sram_example.c` : SRAMでのドライバを使用するコード例
- `ebi_sdram_example.c` : SDRAMでのドライバを使用するコード例

利用可能なドライバ インターフェース関数とそれらの使用の完全な概要についてはソースコードの資料を参照してください。

5.2. Doxygen資料化

全てのソースファイルはDoxygenを使用する自動資料生成用に準備されています。Doxygenは特別なキーワードを使用してソースコードを分析することによって、ソースコードから資料を作成するツールです。Doxygenについてのより多くの詳細に関しては<http://www.doxygen.org>を訪ねてください。予めコンパイルされたDoxygen資料は本応用記述に伴うソースコードと共に供給され、ソースコードフォルダの[readme.html](#)ファイルから利用可能です。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに位置する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2008. 全権利予約済 ATMEL®、ロゴとそれらの組み合わせ、AVR®とその他はATMEL Corporationの登録商標、XMEGA®とその他は商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2014.

本応用記述はATMELのAVR1312応用記述(doc8058.pdf Rev.8058A-02/08)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。