

AVR1320 : TWI従装置の真の400kHz動作

要点

- AVR[®] XMEGA[®]システムデバイス
- TWI従装置用コードドライバ
- Philips[®] I²C[™]規約互換
- ハードウェアTWI部署使用
- 割り込み駆動送信
- クロック伸長なし、真の400kHz動作

1. 序説

2線直列インターフェース(TWI)はPhilipsのI²C規約互換です。このバスは電子部品の集積回路間の簡単で強力かつ費用効率的な通信を許すために開発されました。

TWIバスの能力は同じバス上での128までのアドレス指定と調停の能力と、バス上に複数の主装置を持つことの可能性を含みます。

ハードウェアTWI部署はAVR XMEGAデバイスに含まれ、主装置と従装置の両方の機能を実装します。この部署はI²CとSMBusに適合します。

クロック速度の低下または待ち状態の挿入が必要とされるなら、AVR XMEGAデバイスはI²C規約に従って、クロックのLow区間を引き伸ばすことを許します。この場合、主装置は従装置が準備可になるまで待ち状態を強制されます。規格がそれを許すにも関わらず、いくつかのシステムではクロック伸長が許されません。

この応用記述はクロックが引き伸ばされないことを保証する、AVR XMEGA用のTWI従装置ドライバ実装を記述します。

2. TWIの理屈

本章は全般的なTWIインターフェースとAVR XMEGAのTWI部署の短い説明を与えます。より多くの詳細な情報についてはデータシートを参照してください。



8ビット **AVR**[®]
マイクロコントローラ

応用記述

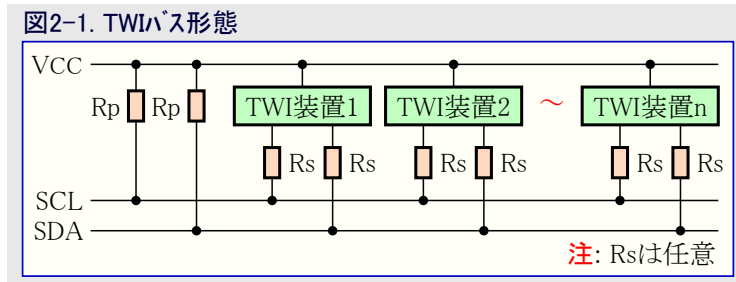
本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8281A-04/10, 8281AJ1-03/14

2.1. 2線直列インターフェース

TWIは代表的なマイクロコントローラ応用に対して理想的に詭られます。TWI規約は2つの双方向バス線、クロック(SCL)用の1つとデータ(SDA)用の1つだけを使用して個別にアドレス指定可能な128までの装置の相互連結をシステム設計者に許します。

バスを実装するのに必要とされる外部ハードウェアはTWIバス線の各々に対する単一のプルアップ抵抗器だけです。バスに接続された全ての装置は個別のアドレスを持ち、バス衝突を解決するための仕組みはTWI規約固有です。



TWIバスは1つまたはより多くの装置がバスの制御を取り、接続することができる複数主装置バスです。主装置だけがSCLとSDAの両線を駆動することができ、一方従装置はSDA線上にデータを発行することだけが許されます。

データ転送は常に主装置によって始められます。SCLがHighの間のSDA線上でのHighからLowへの遷移が**開始条件**または**再送開始条件**として定義されます。

開始条件は常に(固有の)7ビット従装置アドレスとその次のデータ方向ビットが後続します。アドレス指定された従装置は1クロック周期間SDAをLowに保持することによって主装置に応答を送ります。主装置が何れの応答も受信しない場合、その転送は終了されます。

データ方向ビットに依存して、主装置か従装置はSDA線上に8ビットのデータを送信します。そして受信する装置はデータに応答します。主装置によって**再送開始条件**または**停止条件**が発行される前に単方向で複数バイトを転送することができます。

転送は主装置が**停止条件**を発行した時に終了されます。**停止条件**はSCLがHighの間のSDA線上のLowからHighへの遷移によって定義されます。

TWIバス上に送信される全てのデータパケットは1つのデータバイトと応答ビットから成る9ビット長です。

データ転送中、主装置はクロック、**開始条件**、**停止条件**を生成し、一方受信部は受信に応答する責任があります。**確認応答(ACK)**は第9 SCL周期間、SDA線をLowに引くことで受信装置によって合図されます。受信装置がSDA線をHighのままにする場合、**否認応答(NACK)**が送られます。

2.2. TWIクロック引き伸ばし

I²C規格に従い、バスに接続された全ての装置はクロック周波数全体を低下するため、またはデータ処理中に待ち状態を挿入するため、クロックのLow区間を引き伸ばすことが許されます。クロックを引き伸ばす必要がある装置はSCL線上のLowレベル検出後、SCL線をLowに保持/強制することによってこれを行うことができます(線がオープンドレインによってLowに駆動され、そしてプルアップ抵抗を持つために可能です)。

デバイスが休止形態で**開始条件**が検出された場合、デバイス起き上がり期間の間中、クロックが引き伸ばされます。休止の使用に関するクロック伸長を避けるため、十分に速い起き上がり時間を持つ休止形態だけが使用されるべきです。これは例えば、アイドル、スタンバイ、拡張スタンバイ動作で有り得ます。

3. AVR XMEGA従装置形態 – 伸長なし動作

お客様の応用がクロック伸長を支援しないなら、AVR1320はAVR XMEGA TWI従装置に関して真の400kHz TWI動作を提案します。

TWIハードウェア部署はAVR XMEGAに対して共通です。AVR1320ソフトウェア試験はATxmega128A1で実行されましたが、このドライバはどのAVR XMEGAとも共通です。

3.1. TWI従装置動作

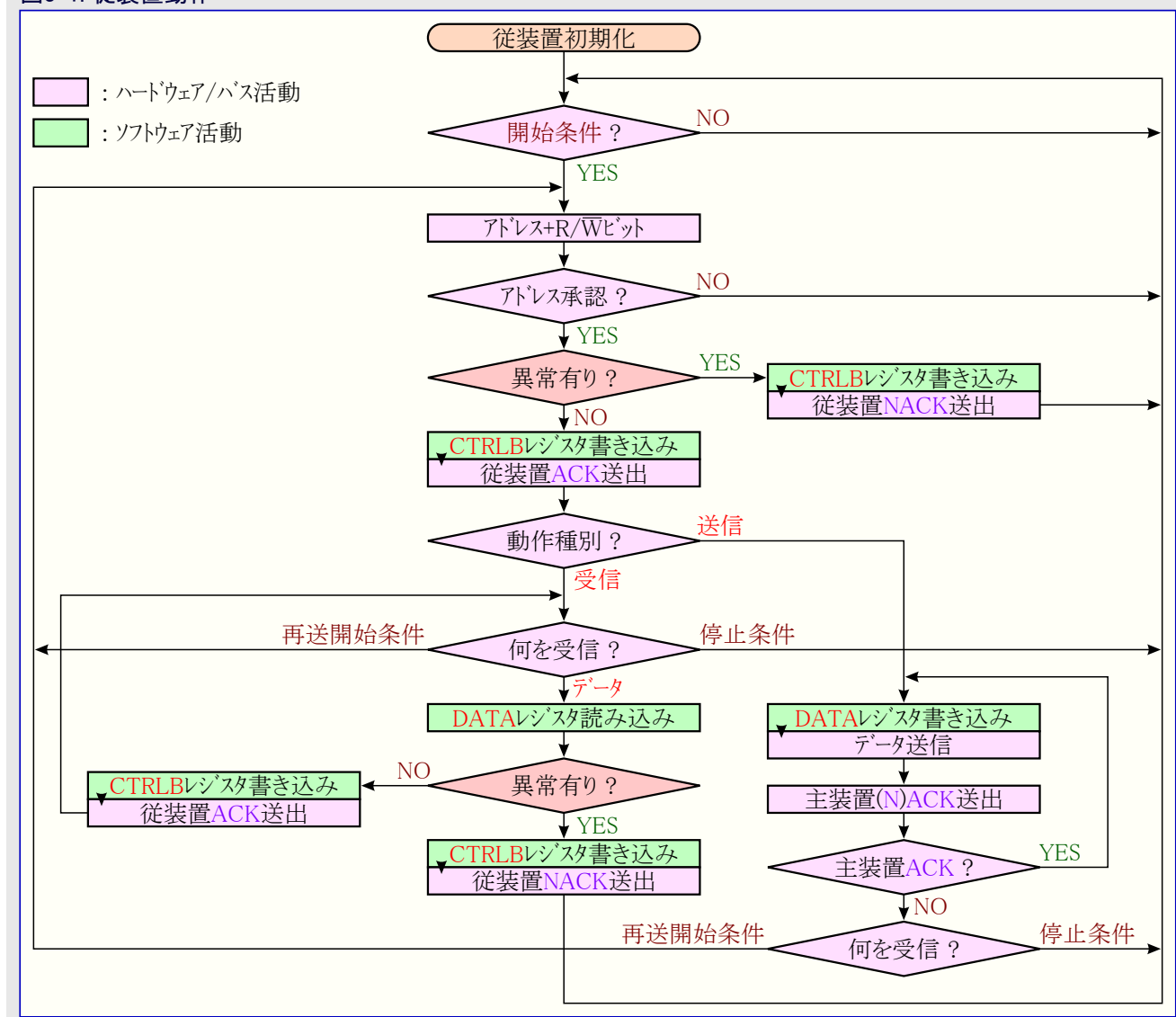
TWI従装置は各バイト後の任意割り込みでのバイト志向です。独立した従装置データ割り込みとアドレス/停止割り込みがあります。割り込み要求フラグはポーリング操作にも使用することができます。**ACK/NACK**受信、クロック保持、衝突、バス異常、読み/書き方向を示すための専用の状態フラグがあります。

割り込み要求フラグが設定(1)されると、SCL線がLowを強制されます。これは応用やどのデータも処理するための時間を従装置に与え、殆どの場合でソフトウェアの反応が必要です。

割り込み処理ルーチン(ISR)の手順は次の3つの主な状態の管理が必要です。

- ・ 従装置アドレス割り込み (3.2項をご覧ください。)
- ・ 書き込み形態でのデータバイト割り込み (3.4項をご覧ください。)
- ・ 読み込み形態でのデータバイト割り込み (3.3項をご覧ください。)

図3-1. 従装置動作



3.2. 最初のバイト(アドレス)の受信

従装置ではAVR XMEGAがアドレスとR/W(データ方向)ビットを持つ最初のバイトを受信します。そして第9ビットはACKまたはNACKのビット専用に使われます。

第8ビット後に割り込みが起きます。割り込み処理ルーチン(ISR)の実行中、AVR XMEGAはSCL線をLowに保ちます。SCLはアドレス/停止割り込み要求フラグ(APIF)の解除または指令(CMD)ビットの書き込みによってTWI従装置状態(STATUS)レジスタのAPIFが解除(0)される時に開放されます。

TWI主装置がクロック伸長を支援しない場合、8つの先行ビットと第9ビット中のSCL線周波数は同じでなければならず、従ってSCL線はTWI主装置が立ち往生しないように相応の時間で従装置によって開放されなければなりません。この場合、割り込みタイミングがTWIインターフェースによって許される最大周波数を決めます。

3.3. 書き込み操作 - 従装置データ受信

アドレスバイトのR/Wビットが0に等しいなら、主装置によって書き込み操作が実行されます。アドレスバイトの第8ビット後に割り込みが起き、そしてプログラムは割り込み処理ルーチン(ISR)へ飛びます。主装置からの最初のデータバイトは次の割り込みが起きる時にTWI従装置データ(DATA)レジスタで利用可能です。TWI書き込み指令後、主装置からのデータは次のバイトが受信される前に取得されなければなりません。

3.4. 読み込み操作 - 従装置データ送信

アドレスバイトのR/Wビットが1に等しいなら、主装置によって読み込み操作が実行されます。アドレスバイトの第8ビット後、割り込みが起き、そしてプログラムは割り込み処理ルーチン(ISR)へ飛びます。最初のデータバイトはクロックを引き伸ばすことなく、ISR中にTWI従装置データ(DATA)レジスタに格納されることが必要です。

3.5. SCL説明

TWI周波数の制限は割り込み処理ルーチン(ISR)関数でSCLを開放する時に依存します。アドレス/停止割り込み要求フラグ(APIF)またはデータ割り込み要求フラグ(DIF)が設定(1)されると(TWI従装置状態(STATUS)レジスタをご覧ください)、従装置はSCL線をLowに強制します。この割り込み要求フラグの解除(0)がSCL線を開放します。

DIFやAPIFは以下の時で自動的に解除(0)されます。

- 対応するビット位置での1書き込み
- TWI従装置データ(DATA)レジスタ書き込み
- TWI従装置データ(DATA)レジスタ読み込み
- TWI従装置制御レジスタB(CTRLB)の指令(CMD)ビットへの有効な指令書き込み

4. ハードウェア説明

4.1. CPUクロック

TWI従装置のCPUクロックが増される場合、SCLが開放されなければならない前により多くのCPU周期が利用可能で、従ってクロック引き伸ばしを避けるために速いクロック元でTWI従装置を動かすことが有利です。AVR XMEGAは32MHz内部発振器を提供します。クロック元を選択するのにシステムクロック制御(CTRL)レジスタが用いられます。

4.2. SDAピンとSCLピンのプルアップ値

SCLとSDAのハットはオープンドレインでプルアップ抵抗が必要です。

TWIバスでの400kHzの周波数に対して正しいエッジを持つために2kΩの抵抗値が推奨されます。

5. ソフトウェア説明

5.1. ファイル一覧

ソースコード一式は以下のファイル(と対応するヘッダファイル)から成ります。

- `twi_example.c`
- `twi_slave_driver.c`
- `twi_it.asm`
- `clksys_driver.c`

利用可能なドライバインターフェース関数とそれらの使用の完全な概要についてはソースコード資料を参照してください([readme.html](#)をご覧ください)。

5.2. ソフトウェア算法

TWI処理は次のように2つの部分に分けられます。

- TWI割り込み処理ルーチン(ISR)関数
- TWIポート割り込み0(INT0)処理ルーチン(ISR)関数

TWIハードウェア部によってバイトが送受信されて処理の準備が整うと、TWI ISRはINT0 ISRを許可します。TWI ISRは上位(HIGH)割り込みを使用し、INT0 ISRは中位(MEDIUM)割り込みを使用します。

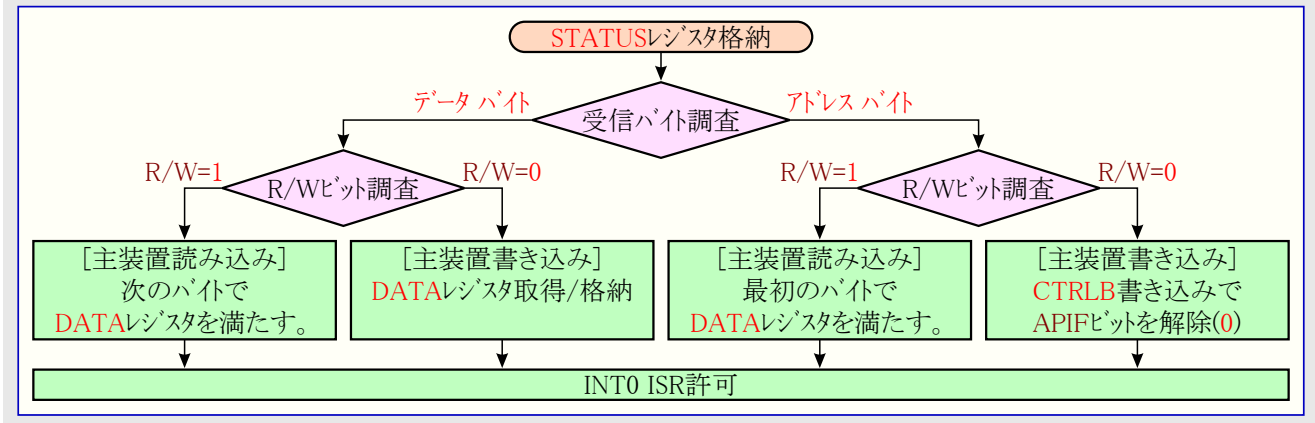
SCLピンはINT0 ISRに接続されます。SCLでの次の上昇端がINT0処理関数を開始します。

TWI ISRは素早いSCL開放を保証するために短く、そしてアセンブリ言語で実装されます。従ってINT0 ISRがTWIデータを処理します。長い割り込み実行時間がTWIドライバのタイミングに違反せず、そしてクロック引き伸ばしを引き起こさないことを保証するため、ISRの分割が用いられます。

TWI ISR関数はTWI_process()関数用のTWI従装置状態(STATUS)レジスタとTWI従装置データ(DATA)レジスタの値を格納します。

SCLはDATAレジスタが読み書きされる時に開放されます。アドレスバイトがR/W=0で受信されると、SCLはTWI従装置制御レジスタB(CTRLB)書き込み操作後に開放されます。

図5-1. ISR関数



5.3. TWI試験計測

TWI主装置は繰り返して読み/書き指令を送ります。試験詳細は次の通りです。

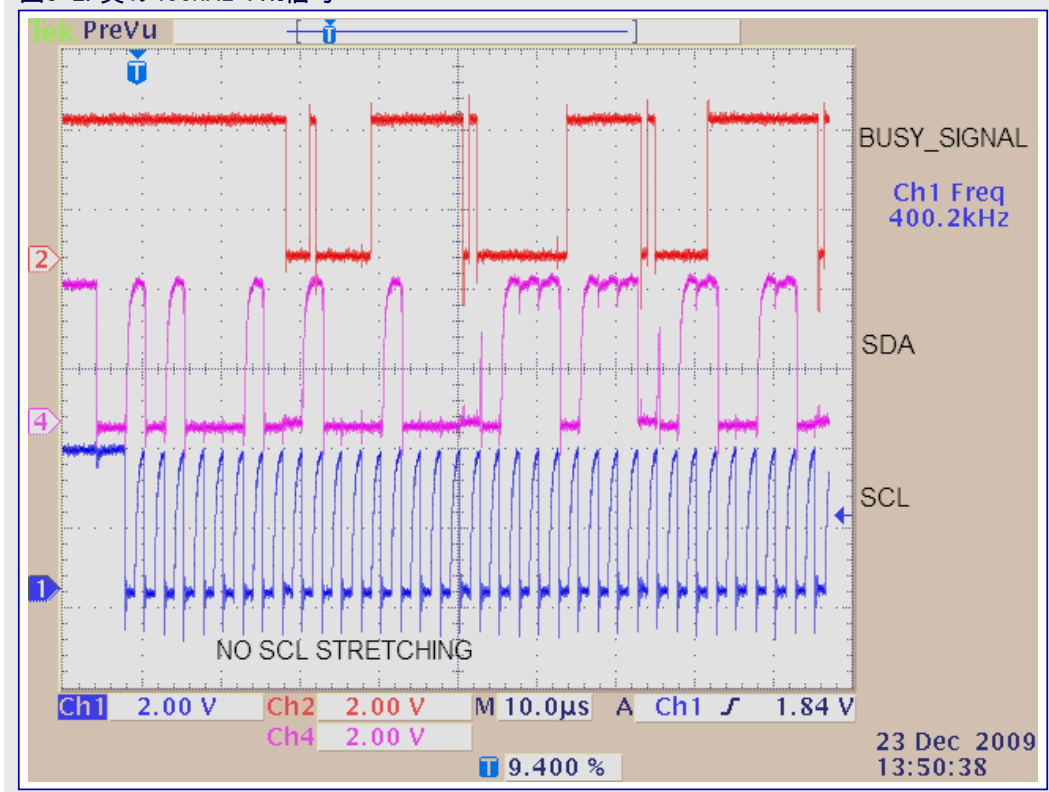
- TWIクロック=400kHz
- 8バイトの書き込み指令
- 8バイトの読み込み指令

オシロスコープで引き伸ばしを監視します。例のコードについてはクロック引き伸ばしが全く表れません。

割り込み処理ルーチン(ISR)関数とTWI_processで費やされる時間を制御することで、オシロスコープ上に信号(BUSY_SIGNAL)が追加されます。(最初のISRと(直後の)TWI_process中、BUSY_SIGNALは0です。

継続する400kHz転送中にTWIソフトウェアはCPU帯域の約半分を使用します。

図5-2. 真の400kHz TWI信号



5.4. 制限

- 通信の速度と処理の性質のため、データが計算されて実時間でTWI部署に提供されるべきなら、使用者処理ルーチンはデータアンダーラン(間に合わない状態)が起こる前のパケット間で16 μ sを越えてはなりません。これは32MHzで大まかに500 CPU周期と等価です。
- 不整合なしの引き伸ばしなし動作を保証するために、上位(HIGH)と中位(MEDIUM)の割り込みレベルがTWI機能に対して排他的に予約されるべきです。TWI割り込み処理ルーチン(ISR)でそのように行う時間がないため、TWI_process()関数を動かすために生成される第2の(ピン変化)割り込みによって中位(MEDIUM)が使用されます。TWIドライバの引き伸ばしなし動作を保証するために、使用者によって追加される全ての割り込みは低位(LOW)優先権を持つべきです。
- 主装置読み込みに応答する時に、ドライバはTWI従装置制御レジスタB(CTRLB)の応答動作(ACKACT)で定義された活動を自動的に主装置へ送ります。使用者がNACKの送出を望むなら、これは先にACKACTビットを設定することによって予め準備されなければなりません。

5.5. 結び

AVR XMEGAは真の400kHz TWI通信を支援します。この応用記述で提供されるソフトウェア例はこのTWIインターフェースを従装置形態で処理する方法を説明します。IAR™のプログラムはAVR1320応用記述で入手可能です。このドライバはGCCコンパイラでコンパイルすることはできません。

このコードのメモリ割り当ては次の通りです。

表5-1. メモリ割り当て

コードメモリ	データメモリ
1552バイト	109バイト

5.6. Doxygen資料化

全てのソースファイルはDoxygenを使用する自動資料生成用に準備されています。Doxygenは特別なキーワードを使用してソースコードを分析することによって、ソースコードから資料を作成するツールです。Doxygenについてのより多くの詳細に関しては<http://www.doxygen.org>を訪ねてください。予めコンパイルされたDoxygen資料は本応用記述に伴うソースコードと共に供給され、ソースコードフォルダのreadme.htmlファイルから利用可能です。

6. 始める前に

使用者応用をmain関数に追加することができます。

TWI主装置書き込み命令後、twiSlave.receiveData[]緩衝部はデータを含みます。

TWI主装置読み込み命令後、twiSlave.sendData[]緩衝部が準備されなければなりません。

各バイト受信後にTWIC_SlaveProcessData()が呼び出され、送信/受信の緩衝部の処理を許します。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに位置する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2010. 全権利予約済 ATMEL®、ロゴとそれらの組み合わせ、AVR®とその他はATMEL Corporationの登録商標、XMEGA®とその他は商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2014.

本応用記述はATMELのAVR1320応用記述(doc8281.pdf Rev.8281A-04/10)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。