

AVR1324 : XMEGA A/D変換器(ADC)選択の手引き

要点

ATMEL® AVR® XMEGA® A系統

- パイプライン構造
- 最大2M採取/秒
- 最大12ビット分解能
- 符号付きと符号なしの動作形態
- 選択可能な利得
- 2MHzの最大ADC周波数
- 2.5 μ sの最小単一結果遅延(8ビット分解能)
- 3.5 μ sの最小単一結果遅延(12ビット分解能)
- 4つまでの仮想チャネル
- 結果比較器
- 自動校正
- D/A変換器(DAC)への内部接続
- 任意選択の変換結果DMA転送

ATMEL AVR XMEGA B及びD系統

- 循環構造
- 最大0.2M採取/秒
- 最大12ビット分解能
- 符号付きと符号なしの動作形態
- 選択可能な利得
- 1.4MHzの最大ADC周波数
- 3.57 μ sの最小単一結果遅延(8ビット分解能)
- 5.0 μ sの最小単一結果遅延(12ビット分解能)
- (DMAを持つデバイスに関して)任意選択の変換結果DMA転送

1. 序説

ATMEL AVR XMEGAデバイスは、比較できる機能を提供する様々な系統に群化されます。例えば、全てのA系統XMEGAデバイス上のA/D変換器(ADC)は同等です。

選択した系統に依存して、AVR XMEGAデバイスは2つのADC形式を提供します。両方ともデータ取得、組み込み制御、一般的な信号処理のような、広範囲の応用に対して適合する柔軟な部署です。

この応用記述はこれら2つのADC形式を記述し、それらの応用に対して最も適合するADCを選択するように使用者を手助けします。



8ビット ATMEL
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8378A-10/11, 8378AJ1-03/14

2. AVR XMEGA ADC要約

ATMEL AVR XMEGAのADC間の主な違いが表2-1.で記述されます。この表はADC機能の要約を提供します。より多くの詳細については個別製品のデータシートと手引書を参照してください。

表2-1. ADC特徴

項目	AVR XMEGA A	AVR XMEGA B	AVR XMEGA D
ADCA	○	○	○
ADCB	○	○	-
チャンネル0	○	○	○
チャンネル1	○	-	-
チャンネル2	○	-	-
チャンネル3	○	-	-
基本構造	パイプライン	循環	循環
最大ADC周波数	2MHz	1.4MHz	1.4MHz
単一伝播ADC周期数(12ビット)	7	7	7
単一伝播ADC周期数(8ビット)	5	5	5
最大採取/秒(12ビット)	2Msps	200ksps	200ksps
ADC結果をDMAへ	○	○	-
掃引動作(チャンネル掃引)	○	-	-
内部入力数	4	3	3
内部入力	温度 VCC/10 ハントギャップ DAC	温度 VCC/10 ハントギャップ	温度 VCC/10 ハントギャップ
×1/2利得	-	○	-
INTVCC/2内部基準電圧	-	○	-

□ : AVR XMEGA A特有 □ : AVR XMEGA B特有

3. ADC選択の手引き

以下の問いの一覧は適切なATMEL AVR XMEGAのADC検索での案内提供の手助けが意図されています。

表3-1. ADC選択の手引き

問い	説明	XMEGA
必要なADCチャンネル数は?	全てのAVR XMEGA ADCは16 ADCチャンネルを提供します。	A,B,D
必要な外部基準は1または2?	例え1つだけのADCが利用可能でも、全てのAVR XMEGA ADCは2つの外部基準を提供します。	A,B,D
必要な伝播遅延は?	伝播遅延 > 200kspsなら、AVR XMEGA Aが2Msps ADCを提供します。	A
	伝播遅延 ≤ 200kspsなら、AVR XMEGA BとDが200ksps ADCを提供します。	B,D
必要なADCは1または2?	差動チャンネルで同時変換が必要とされるなら、2つのADCが必要とされます。AVR XMEGA AとBは2つのADCを提供します。	A,B
	差動チャンネルでの変換が連続的なら、1つのADCだけが必要とされます。AVR XMEGA Dは1つのADCを提供します。	D
内部入力としてDAC出力が必要?	AVR XMEGA Aの機能だけがDACとADCのこの接続を持ちます。	A
電源幅一杯の変換が必要?	電源幅一杯の変換は±基準電圧付近での正確な測定が必要です。AVR XMEGA Bは電源幅一杯の変換を最適化する0.5倍利得を提供します。	B
掃引動作が必要?	掃引動作は事象制御器を起動するのに使用されるチャンネル数の選択を許します。AVR XMEGA Aだけが掃引動作を提供します。	A

4. ADC構造概要

ATMEL AVR XMEGA A系統は12ビット分解能で最大2Mspsの変換速度の高性能ADC能力を提供します。

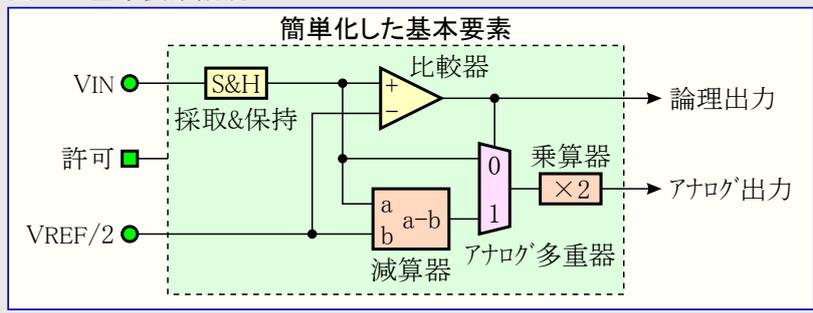
ATMEL AVR XMEGA BとDの系統は12ビット分解能で最大200kspsの変換速度の高性能ADC能力を提供します。

本章はADCの機能の概要と基本的な形態設定任意選択を提供します。

4.1. 基本要素

基本要素は演算増幅器と組み合わせたスイッチ キャパシタ技術を用います。スイッチ キャパシタ技術は(抵抗に基づく技術に比べて、)消費電力を減らすために選ばれました。

図4-1. 基本要素説明



入力電圧(VIN)は2分割された基準電圧(VREF/2)と比較されます。

VINがVREF/2よりも小さければ、この電圧は次の繰り返しに対して保持されます。

論理出力は0です。

これは最上位ビット(MSB)の値です。

VINがVREF/2よりも大きければ、VINからVREF/2が減算されます。

論理出力は1です。

これはMSBの値です。

その結果は2倍され、変換を続けるための別の基本要素の入力になります。

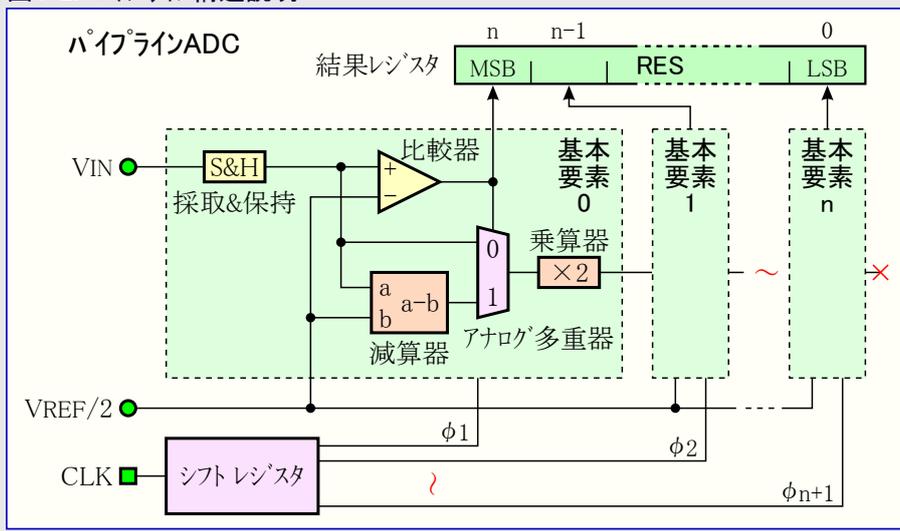
4.2. パイプライン構造

ATMEL AVR XMEGA A系統は12個の同じ基本要素を持つパイプライン化されたADCを使用します。最初の要素は変換のMSBを提供し、最後の要素はLSBを提供します。一連の基本要素はパイプライン化された変換の生成を許します。

要素が変換のその部分を完了してしまうと、その後には別の変換チャネルに対するCLK速度で再使用され得ます。

最大チャネル数は使用される基本要素数に対応します。AVR XMEGA A系統はADC内に4レベル(4つの"仮想チャネル")を提供し、4つの結果レジスタを提供します。

図4-2. パイプライン構造説明

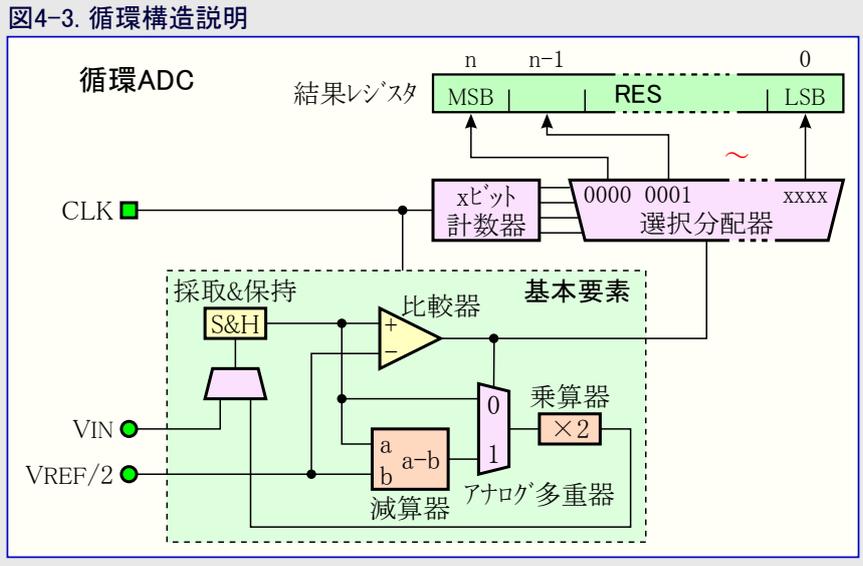


偶数(0,2,~)基本要素はADCクロックのHighレベルの間に許可され、奇数(1,3,~)基本要素はADCクロックのLowレベルの間に許可されます。これはADCクロック周波数に対して変換時間を(2倍に)高速化します。

より多くの詳細については、ATMELの「AVR1300:Atmel AVR XMEGA A/D変換器(ADC)の使い方」応用記述がAVR XMEGA Aの完全な説明を与えます。

4.3. 循環構造

ATMEL AVR XMEGA BとDの系統は、12個の別個の基本要素を使用する代わりに単一の基本要素がMSBからLSBへ連続して12回使用される循環ADCを提供します。



循環ADCでは、基本要素が僅かに変更されています。それは独自の演算増幅と連携する2つのスイッチ キャパシタの組を作ります。最初の組はADCクロックのHighレベルで許可され、2つ目の組はADCクロックのLowレベルで許可されます。

4.4. 循環構造とパイプライン構造間の違い

4.4.1. 循環伝播遅延

循環構造では最小伝播遅延は利得なし(利得=1)での変換に対応します。

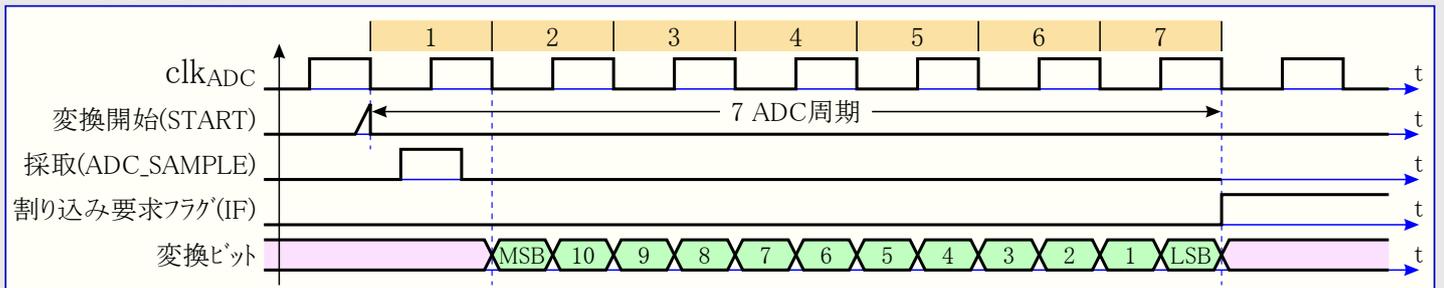
利得値に依存して、様々な付加ADCクロックが伝播遅延に追加されます。

新しい変換は先の変換終了後に開始されます。

例は以下での変換を示します。

- 1つの変換チャネル : CH0
- CH0での利得なしでの変換
- 変換動作形態 : シングル エント

図4-4. 循環伝播遅延



4.4.2. パイプライン伝播遅延

パイプライン構造では同時に4つの基本要素が使用されます。この数は仮想チャネル数(ATMEL AVR XMEGA Aについては4つの仮想チャネル)に対応します。

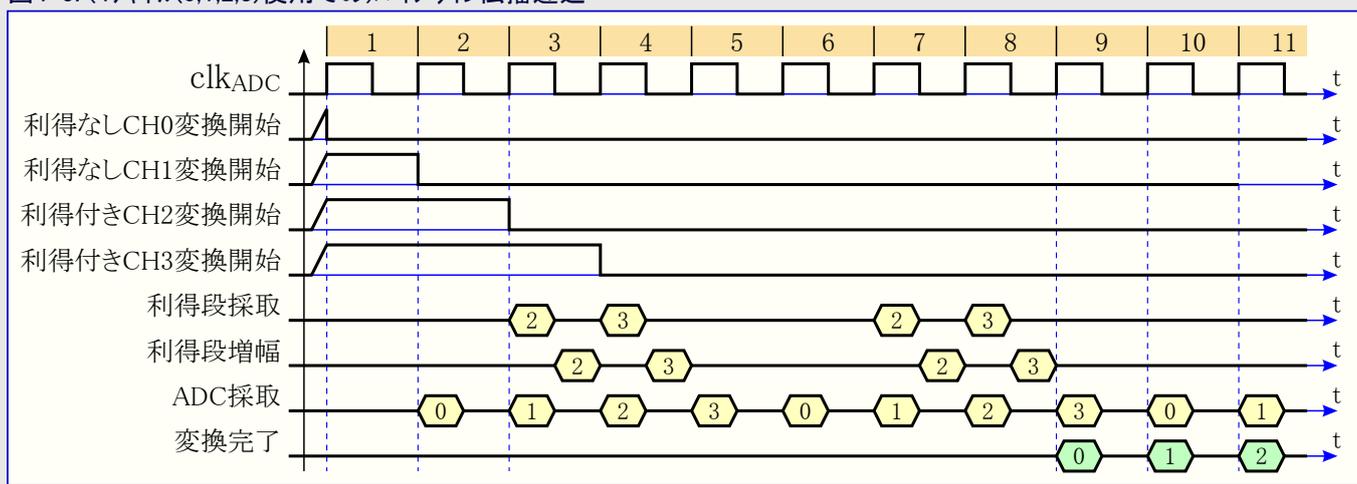
結果は4つの基本要素が同じADC周期中に活性であることです。先の変換終了後、各ADC周期で新しい変換の終了が現れます。

パイプライン構造は多数のチャネルが同時に変換する場合に有用です。

例(図4-5)は以下での変換を示します。

- 4つの変換チャネル : CH0, CH1, CH2, CH3
- 利得なしでの2つの変換チャネル : CH0, CH1
- 利得付きでの2つの変換チャネル : CH2, CH3
- 変換動作形態 : 連続変換(自由走行)

図4-5. (4チャネル(0,1,2,3)使用での)パイプライン伝播遅延



5. ソフトウェア インターフェース

5.1. ソフトウェア説明

ATMEL AVR XMEGAのA/D変換器(ADC)は共通構造上での共通性で開発されています。レジスタとビットは同じ規則に従います。

ATMEL AVR XMEGA AのADCはAVR XMEGA BとDのADCよりも多くの機能を持ちます。ATMEL AVR XMEGA BとDのADC用に開発されたファームウェアはどんな制限もなしにAVR XMEGA Aで動かすことができます。AVR XMEGA AのADC用に開発されたファームウェアはAVR XMEGA BとDのADCでもっと制限された機能だけの使用なら、AVR XMEGA BとDで動かすことができます。

AVR XMEGAのADCドライバはATMEL AVRソフトウェア枠組み(ASF)で利用可能です。このドライバはAVR XMEGAの全てのADCに対して共通です。この枠組みに含まれる2つの例があり、それらはGCCとIAR™の両方のツールチェーンを支援します。

- ・ 内部温度感知器の使い方
- ・ ADCの変位(オフセット)と利得の校正

ADCドライバは予約ビットと予約レジスタを管理します。AVR XMEGA BとDを目的対象として開発されたファームウェアはAVR XMEGA Aの目的対象での走行に変更を必要とされません。

コンパイル時に利用可能なレジスタだけを認定するためにASF内でフラグが定義されます。

5.2. チャネル レジスタ

チャンネル専用の全てのレジスタが表5-1.で一覧にされます。ADCが4チャネルを持つ(AVR XMEGA A)場合、対応するアドレスで4つのチャンネルレジスタが利用可能です。

- ・ チャンネル0 : CTRL=\$20, MUXCTRL=\$21, ~
- ・ チャンネル1 : CTRL=\$28, MUXCTRL=\$29, ~
- ・ チャンネル2 : CTRL=\$30, MUXCTRL=\$31, ~
- ・ チャンネル3 : CTRL=\$38, MUXCTRL=\$39, ~

表5-1. チャネル レジスタ

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
\$00	CTRL	START	-	-	GAIN2~0			INPUTMODE1,0	
\$01	MUXCTRL	-	-	MUXPOS3~0			MUXNEG1,0		
\$02	INTCTRL	-	-	-	-	INTMODE1,0		INTLVL1,0	
\$03	INTFLAG	-	-	-	-	-	-	-	IF
\$04	RESL				RES7~0				
\$05	RELH				RES15~8				
チャンネル0のみ									
\$06	SCAN	INPUTOFFSET3~0				INPUTSCAN3~0			

5.3. ADC共通レジスタ

この項はレジスタの違いを記述し、ADC間のソフトウェア共通性を調べる使用者を手助けします。

表5-2. ADCLレジスタ

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
\$00	CTRLA	DMASEL1,0		CH3START	CH2START	CH1START	CH0START	FLUSH	ENABLE
\$01	CTRLB	-	-	-	CONVMODE	FREERUN	RESOLUTION1,0		-
\$02	REFCTRL	-	REFSEL2	REFSEL1	REFSEL0	-	-	BANDGAP	TEMPREF
\$03	EVCTRL	SWEEP1,0		EVSEL2~0		EVACT2~0			
\$04	PRESCALER	-	-	-	-	-	PRESCALER2~0		
\$06	INTFLAGS	-	-	-	-	CH3IF	CH2IF	CH1IF	CH0IF
\$07	TEMP	TEMP7~0							
\$0C	CALL	CAL7~0							
\$0D	CALH	-	-	-	-	CAL11~8			
\$10	CH0RESL				CH0RES7~0				
\$11	CH0RESH				CH0RES15~8				
\$12	CH1RESL				CH1RES7~0				
\$13	CH1RESH				CH1RES15~8				
\$14	CH2RESL				CH2RES7~0				
\$15	CH2RESH				CH2RES15~8				
\$16	CH3RESL				CH3RES7~0				
\$17	CH3RESH				CH3RES15~8				
\$18	CMPL				CMP7~0				
\$19	CMPH				CMP15~8				
\$20	CH0変位(オフセット)	チャンネル0専用レジスタ先頭は\$20です。							
\$28	CH1変位(オフセット)	チャンネル1専用レジスタ先頭は\$28です。							
\$30	CH2変位(オフセット)	チャンネル2専用レジスタ先頭は\$30です。							
\$38	CH3変位(オフセット)	チャンネル3専用レジスタ先頭は\$38です。							

: AVR XMEGA A特有 : AVR XMEGA B特有

6. 変換動作選択

6.1. 初めに

ATMEL AVR XMEGA A,B,DのADCは以下の4つの動作形態を提供します。

- ・ 内部 : 入力元は内部アナログ信号(温度、ハンドギャップなど)に接続されます。
- ・ シングル エンド : 負入力はGNDに接続されます。入力元は正入力に接続されます。
- ・ 利得なし差動 : 入力信号は正と負の入力間に接続されます。
- ・ 利得付き差動 : 選択可能な利得がADC変換前に入力信号レベルを変更します。

6.2. 要約

2ビット領域、各々CTRLとCTRLBのレジスタの入力動作種別(INPUTMODE1,0)と両極/単極変換(CONVMODE)の変換動作形態選択に接続されます。

符号なし動作は差動形態が選択されない場合にだけ利用可能です。

表6-1. 変換動作形態

INPUTMODE1,0	変換動作形態	CONVMODE=1 (符号付き動作)	CONVMODE=0 (符号なし動作)
0 0	内部	○	○
0 1	シングル エンド	○	○
1 0	利得なし差動	○	-
1 1	利得付き差動	○	-

AVR XMEGA A,B,Dは同じ4つの変換動作形態を提供します。違いは利用可能な入力/出力(DAC、DMAなど)でだけ現れます。

6.3. 正入力ピン

ADCの正入力ピンはアナログ入力ピンまたは内部アナログピンに接続されます。正入力選択(MUXPOS3~0)領域(多重器制御(MUXCTRL)レジスタをご覧ください)で設定された値が入力ピンを選びます。

利用可能な入力ピンの一覧はATMEL AVR XMEGA系統に依存します。

表6-2. 正入力ピン選択

MUXPOS3~0	内部		シングル エント、利得付き/なし差動	
	AVR XMEGA A	AVR XMEGA B,D	AVR XMEGA A	AVR XMEGA B,D
0 0 0 0	温度基準	温度基準	ADC0	ADC0
0 0 0 1	バンドギャップ電圧	バンドギャップ電圧	ADC1	ADC1
0 0 1 0	VCC/10	VCC/10	ADC2	ADC2
0 0 1 1	DAC出力	-	ADC3	ADC3
0 1 0 0	-	-	ADC4	ADC4
0 1 0 1	-	-	ADC5	ADC5
0 1 1 0	-	-	ADC6	ADC6
0 1 1 1	-	-	ADC7	ADC7
1 0 0 0	-	-	-	ADC8
1 0 0 1	-	-	-	ADC9
1 0 1 0	-	-	-	ADC10
1 0 1 1	-	-	-	ADC11
1 1 0 0	-	-	-	ADC12
1 1 0 1	-	-	-	ADC13
1 1 1 0	-	-	-	ADC14
1 1 1 1	-	-	-	ADC15

□: AVR XMEGA A特有 □: AVR XMEGA B特有

6.4. 負入力ピン

利得なしまたは利得付きの差動動作形態では、ADCの負入力と同じアナログ入力ピンに接続されません。

シングル エント動作形態では、ADCの負入力ピンは常にGNDに接続されます。

内部動作形態またはシングル エント動作形態が選択された場合、負入力選択(MUXNEG1,0)領域は使用されません。

表6-3. 負入力ピン選択

MUXNEG1,0	利得なし差動	利得付き差動	シングル エント	内部
0 0	ADC0	ADC4	-	-
0 1	ADC1	ADC5	-	-
1 0	ADC2	ADC6	-	-
1 1	ADC3	ADC7	-	-

7. 変換動作形態説明

ATMEL AVR XMEGA A,B,DのADCは同じ変換動作形態を提供します。

7.1. 符号なしシングル エント動作

符号なし動作形態では、変換範囲がGNDから基準電圧までです。

分解能は12ビットです。原理的な測定段階はVREF/4096です。GND測定周辺で負の変位(オフセット)が現れます。

GNDに対応する概ねの値は200です。この値は $\Delta V(0.05 \times 4096)$ のデジタルの結果に対応します。

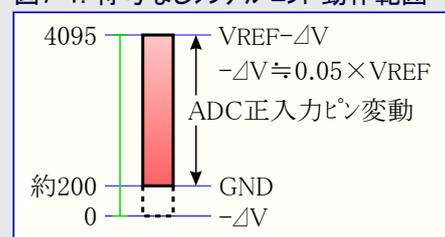
ΔV は0交差検出を許すために存在します。

利点: この動作形態は完全な12ビット分解能と0交差検出を提供します。

欠点: (VREF- ΔV だけで)VREFに達しません。

範囲: この動作形態はATMEL QMatrix検出へのデバイス使用を許します。限定された変動と最大精度を持つ応用(温度感知器、電池監視器、マルチメータ)が目的対象です。

図7-1. 符号なしシングル エント動作範囲



7.2. 符号付きシングル エント動作

符号付き動作形態では、変換範囲がVREF~-VREFです。

分解能は11ビットです。原理的な測定段階は $(2 \times VREF)/4096$ です。

ADCの負入力はこの動作形態でGNDに接続されます。正入力電圧値はパッドのLow入力電圧(V_{ILmin})によって制限されます。

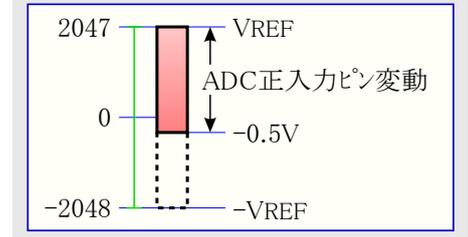
この動作形態では、(変換値の)全範囲に達しません。

利点：この動作形態はGNDからVREFまでの完全な範囲を提供します。

欠点：この動作の分解能は11(+符号)ビットです。負電圧はマイクロ コントローラのパッドによって制限されます。

範囲：全範囲と0検出(例えば、電動機制御)を必要とする応用。

図7-2. 符号付きシングル エント動作範囲



7.3. 符号付き差動入力(2,4,8,16,32,64倍利得付き/利得なし)

入力電圧は正と負のADC入力間に接続されます。分解能は11(+符号)ビットです。

利得段が使用されると、入力信号はそれがADCに達するのに先立って増幅されます。

差動動作形態が選択されると、正と負の入力での入力変動は図7-4.で記述されるようになります。

利点：11(+符号)ビット分解能での小振幅信号の測定を許します。差動入力はGND基準から雑音を取り去ります。

欠点：差動動作形態でのみ利用可能。

範囲：小振幅差動信号を持つ感知器。

図7-3. 符号付き差動動作範囲

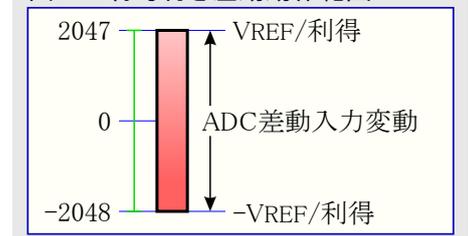
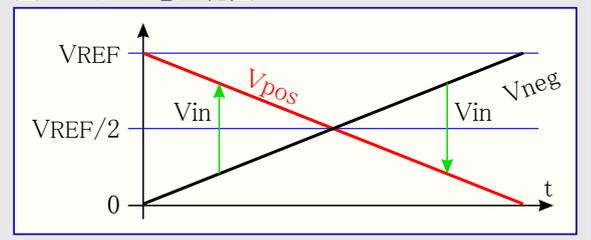


図7-4. 入力電圧範囲



8. 変換速度

ATMEL XMEGA AとATMEL XMEGA B,D間の主な違いは次のような変換速度です。

- AVR XMEGA A(パイプラインADC)に対して2Msps
- AVR XMEGA BとD(循環ADC)に対して200ksps

8.1. 循環ADC

この値は変換完了に対するADC周期数によって割られた最大ADC周波数に対応します。

FADCmax = 1.4MHz
12ビット変換に対する伝播遅延 = 7 ADC周期 ≒ 200ksps

8.2. パイプラインADC

単一変換に対する伝播遅延は循環ADCに対するそれと同じです。主な違いは4チャンネルが12個の基本要素を共有できることです。最大変換速度はADC周期毎の変換完了です。

FADCmax = 2MHz = 伝播遅延 = 2Msps
12ビット変換に対する伝播遅延 = 1 ADC周期 = 2Msps

9. 基準電圧

基準電圧は全てのATMEL AVR XMEGAデバイスで同じです。

バンドギャップは固定で正確な電圧です。この電圧はVCCの監視を許します。

ATMEL AVR XMEGA BはVCC/2の追加の基準電圧を提供します。この基準電圧は0.5倍利得と組み合わせてVCCから-VCCまでの電源幅一杯の変動を提供します(図10-1をご覧ください)。

表9-1. 基準電圧

AVR XMEGA A REFSEL2~0	AVR XMEGA B,D REFSEL1,0	選択	説明
0 0	0 0 0	INT1V	内部1V (バンドギャップ)
0 1	0 0 1	INTVCC	内部VCC/1.6
1 0	0 1 0	AREFA	ポートAのAREFピンでの外部基準電圧
1 1	0 1 1	AREFB	ポートBのAREFピンでの外部基準電圧
-	1 0 0	INTVCC/2	内部VCC/2

10. 追加機能

10.1. ソフトウェア選択可能な利得

利得は差動動作形態でだけ利用可能です。

利得が使用された場合、伝播遅延が増えます。

これは例えば単一事象によって起動される完全なチャネル掃引、または変換に対して非常に正確なタイミングを達成するために変換に再同期される事象です。

表10-1. 伝播遅延

利得	0.5倍	1倍	2倍	4倍	8倍	16倍	32倍	64倍
利得付き差動	+0.5	0	+0.5	+1	+1.5	+2	+2.5	+3
備考	AVR XMEGA B特有							

10.2. 0.5倍 (AVR XMEGA Bのみ)

この利得は差動動作形態に於ける電源幅一杯での測定に有用です。

0.5倍利得は最大値から最小値までの完全な信号変換を許します。

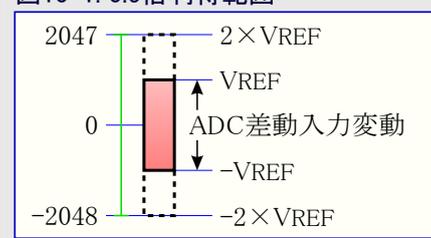
この機能は信号変動全体での正確さが必要な測定にとって重要です。

利点: VREFと-VREF周辺での歪なしでの電源幅一杯の測定を許します。

欠点: AVR XMEGA Bでだけ利用可能。

範囲: 正弦状信号、電動機制御。

図10-1. 0.5倍利得範囲



10.3. DMA転送

変換終了時にADCの結果を直接メモリまたは周辺機能へ移動するのにDMAの使用が可能です。起動元を選ぶ、起動元(TRIGSRC)レジスタの起動元選択(TRIGSRC7~0)ビットがDMAチャネルで転送を起動するのに使用されます。

ATMEL AVR XMEGA Aに関して、ADCAまたはADCBがDMA入力として意図されます。各ADCチャネルに対するDMA転送要求の提供に加えて、ADCは全チャネルに対して組み合わせた要求を提供するように構成設定することができます。組み合わせた要求はDMA要求選択(DMASEL1,0)値に従って決められます(制御レジスタA(CTRLA)をご覧ください)。

10.4. 走査動作形態

AVR XMEGA A,B,DのADCは走査動作形態を提供します。この機能はチャンネル0(CH0)でだけ利用可能です。走査動作形態は入力チャンネル走査(SCAN)レジスタによって制御されます。

表10-2. SCANレジスタ

SCAN	OFFSET3~0	COUNT3~0
------	-----------	----------

COUNTが0以外の値に設定されると、走査される入力数は(COUNT+1)です。次の変換は(OFFSET+MUXPOS)入力で行われ、各変換後にOFFSETが増加されます。

CH0に対する変換速度はCOUNT設定に拘らず同じです。

例えば、初期値がOFFSET=0、COUNT=5、MUXPOS=2の場合、その後の入力2~7を通した巡回のためにチャンネル変換開始(START)を用いて5回の変換が必要とされるでしょう。

10.5. ADC校正

製品識票列はADC校正用の多数のバイトを提供します。ADCは製造検査中に校正され、その校正値は識票列からADCレジスタ(校正値(CAL)レジスタ)に格納されなければなりません。

校正はスイッチ キャパシタ技術のコンデンサ不一致を修正します。

AVR XMEGA Aについて、校正レジスタは校正値に使用される12ビットを持つ2つの8ビットレジスタで構成されます。この12ビット値は各々4ビットの3つの群から成ります。各群はパイプライン構造の基本要素に対応します。パイプラインADCの最初の3つの基本要素だけが再校正されます。校正値は識票列からCALHとCALLのADCレジスタに格納されなければなりません。

ATMEL AVR XMEGA BとDについて、校正レジスタは1つの8ビットレジスタで構成されます。この8ビット値は各々4ビットの2つの群から成ります。各群は循環構造のスイッチに対応します。校正値は識票列からCAL ADCレジスタに格納されなければなりません。

AVRソフトウェア枠組み(ASF)で利用可能なADCドライバは校正レジスタの管理を含む初期化関数を持ちます。

これは利得誤差と変位(オフセット)誤差に対する校正ではありません。

表10-3. 製品識票列でのADC校正

校正値	AVR XMEGA A	AVR XMEGA B	AVR XMEGA D
ADCACAL0	○	○	○
ADCACAL1	○	-	-
ADBCAL0	○	○	-
ADBCAL1	○	-	-

10.6. 温度感知器校正

識票列は製造検査で行われた温度測定からの12ビットADCA値を含みます。この測定は85°Cに対応します。この測定は温度感知器校正に使用することができます。

表10-4. 製品識票列での温度感知器校正

校正値	AVR XMEGA A	AVR XMEGA B	AVR XMEGA D
TEMPSENSE0	○	○	○
TEMPSENSE1	○	○	○

11. 結び

以下の表は応用に依存するADCの選択を手助けします。応用の検討は変換動作形態選択(表11-1.)後に使用するADC形式(表11-2.)を与えます。

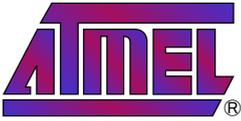
表11-1. 変換動作形態選択

項目	符号なしシングル エント	符号付きシングル エント	利得なし符号付き差動	利得付き符号付き差動
分解能	12ビット	符号+11ビット	符号+11ビット	符号+11ビット
利点	0交差	ΔV なし	外部尺度調整系なし	外部尺度調整系なし、0.5倍利得で電源幅一杯変換
欠点	VREFが変動外 ΔV が調整されない	負電圧がハット [®] によって 制限される	-	-
応用	QMatrix	正信号	VREF~-VREF間の変動を 持つ信号	必要な尺度調整を持つ 信号

XMEGA[®] Aの主な興味は並列で多数の変換を管理するためのパイプライン構造から生じます。

表11-2. ADC形式選択

項目	AVR XMEGA A	AVR XMEGA B	AVR XMEGA D
各チャネルでの最大伝播?	4チャネル同時で2Msps	200ksps/チャネル数	200ksps/チャネル数
DMAでのADC結果転送	○	-	-
掃引動作	自動掃引	手動掃引	手動掃引
ADC内部入力へのDAC出力	○	-	-
0.5倍利得	-	○	-



Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2011 Atmel Corporation. 全権利予約済

ATMEL[®]、ロゴとそれらの組み合わせ、それとAVR[®]、AVR[®]ロゴとその他はATMEL Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに表示する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2014.

本応用記述はATMELのAVR1324応用記述(doc8378.pdf Rev.8378A-10/11)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。