

AVR1327 : ATMEL AVR XMEGA用

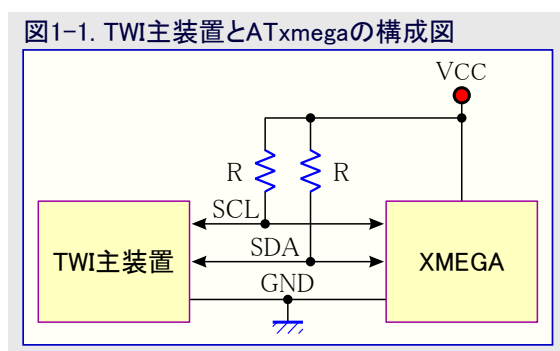
2線インターフェース(TWI)従装置ブートローダ

要点

- ATMEL® AVR® XMEGA®系デバイス
- 2線インターフェース上のどのATxmega用のブートローダ規約
- 容易なドライバ開発のため、ホストがフラッシュ ページ容量とページ数のようなパラメータを読み込み可能
- ホストは新しいXMEGAコードをXMEGAのフラッシュ メモリとEEPROMに書き込み可能

1. 序説

この資料はATxmegaデバイス内に最初に書かれる汎用ATxmegaブートローダを検討します。次に、ATxmegaブートローダのコードは図1-1.で示されるように2線インターフェース経由でTWI主装置と通信する動作形態に設定されます。ホスト コンピュータはATxmegaにTWI指令を発行してATxmegaのフラッシュ プログラム メモリに書くことができます。最後に、ATxmegaはそれのフラッシュ メモリからこの新しく書かれたコードを実行します。



Rの抵抗値は選んだTWIバス速度に依存して1~10kΩです。

2. 前提必要条件

この資料で検討されるブートローダ応用は基本的に以下の熟知が必要です。

- ・ 組み込み系用Cプログラミング言語
- ・ この応用記述に含まれるソフトウェア プロジェクトに関してIATMのAVR用C/C++コンパイラ 5.51でのCプロジェクトのコンパイル
- ・ 組み込み系の関連としてのブートローダとマイクロ コントローラの全般的な熟知
- ・ ATMELのJTAICEmk IIまたはJTAGICE3のようなもので、コンパイルした応用の試験とデバッグや、目的対象ATxmegaデバイスへのHEXファイル書き込み(プログラミング)の方法
- ・ TWI規約と電氣的接続必要条件の全般的な熟知

3. 制限

- ・ 安全性の理由のため、特に認証されない複写からIPコードを保護するため、ブートローダのコードはATxmegaのメモリのどのプログラムまたは他の形式をも読むための方法を実装しません。ブートローダはそれらのメモリに書くことができます。けれども、メモリ読み込みを実行するようにコードを拡張または変更することができます。
- ・ CRC指令はATxmegaの応用フラッシュ メモリに書き込み(プログラミング)後に応用コードでの誤り検出を許すために実装されています。
- ・ この応用記述でのソフトウェア解決策はIAR Cコンパイラでコンパイルされました。



8ビット ATMEL
マイクロ コントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8435A-09/11, 8435AJ1-03/14

4. メモリ保護

ブートローダのコードがATxmegaのメモリを読む機構を持たない一方、ATxmegaのメモリと連携するIPは未だATMELのツールや第三者の書き込み器によって読むことができます。これが起きないことを保証するため、ATxmegaはブートローダコード保護に関連する、施錠なし、書き込み施錠、読み込み施錠、読み書き施錠の4つのレベルを持ちます。この保護はヒューズまたは不揮発性メモリ施錠ビットレジスタ経由で設定されます。より多くの情報についてはATxmegaデータシートの「ブートローダ領域に対するブート施錠ビット」を参照してください。

加えて、応用に割り当てられたフラッシュプログラムメモリは施錠なし、書き込み施錠、読み込み施錠、読み書き施錠の同様の保護レベルを持ちます。この保護もヒューズまたは不揮発性メモリ施錠ビットレジスタ経由で設定されます。応用領域に関連する保護のより多くの情報についてはATxmegaデータシートの「応用領域に対するブート施錠ビット」を参照してください。

5. 数値系

ブートローダはリトルエンディアンバイト順を使用します。例えば\$1234はTWI上で\$34,\$12として送られます。

6. 略語

- ・ <SLA+W>: 従装置アドレスと以降の転送単位処理がTWI書き込み操作であることを示すのに使用

```
#define TWI_ADDRESS (0x30) // 使用者は違うアドレスを選べます。
```
- ・ <SLA+R>: 従装置アドレスと以降の転送単位処理がTWI読み込み操作であることを示すのに使用
- ・ <s>: 停止条件
- ・ <rs>: 再送開始条件、使い方は任意選択でここでは省略され得ます。
- ・ N: 以下で定義される17フラッシュページ内のバイト数

7. ATxmega目的対象デバイスの資源必要条件

表7-1と表7-2は代表的な周辺機能必要条件とメモリの必要条件を記述します。

ATxmegaの他の版では利用可能な周辺機能の変化があります。例は2つのTWI部署、TWICとTWIEを持つATxmega32A4です。

表7-1. 周辺機能必要条件

周辺機能	ピン	形態設定可/不可?
ATxmegaのTWI部署	この例(TWIC)では、ポートCのピン0と1	TWICまたはTWIE、 <code>conf-twi.h</code> ファイルでの <code>#define TWI_BASE (TWIC.SLAVE)</code>
割り込みなし、追加周辺機能なし		<code>conf-twi.h</code> ファイルで、 <code>#define TWI_ADDRESS (0x30)</code> // 使用者は違う従装置アドレスを選べます。

表7-2. メモリ必要条件 (注1)

メモリ	代表的な量	最大量
プログラムメモリ	量最適化の場合に1382バイト	最適化なしで1746バイト
データメモリ	352バイト	352バイト
内部EEPROM	EEPROM位置\$00のみ	(注2)をご覧ください。

注1: 正確なメモリ必要条件はコンパイラの版、最適化レベル、そして形態設定可能な機能の追加や削除のような要素の変化に依存します。

注2: 単一のEEPROMが次のように使用されます。この位置に\$AAが書かれたなら、ブートローダコードはリセット後に実行を始めます。ブートローダは再移行を防ぐためにこの位置へ\$00を書き、それによって応用コードの実行を許します。`main.c`で、

```
#define BOOTLOADER_WILDCARD (0xAA)
#define WILDCARD_ADDRESS (0x00)
```

8. ソフトウェアの構築と走行の方法

1. PCで新しいフォルダを作成してください。www.atmel.comのウェブサイトからこのウェブページからこの応用記述、AVR1327を位置付けてPCの局所フォルダにソフトウェアをダウンロードしてください。
2. 新しいフォルダにファイルを解凍してください。
3. IARのEWAVR Cコンパイラをダウンロードしてインストールしてください。このCコンパイラの位置付けはこの資料の「14. 参照」章を参照してください。
4. この新しいフォルダで`avr1327-bootloader-xmega.eww`ファイル(作業空間ファイル)上をダブルクリックしてください。作業空間が開き、プロジェクトのファイルを考察することができます。

9. TWI従装置ブートローダの他のATxmegaデバイス用への変更

9.1. ブートローダ開始アドレス確定法

1. **非常に重要:** これがブートローダ応用のため、ATxmegaのフラッシュメモリのブートローダ領域で走行するようにコンパイルされ、そしてリンクされなければなりません。

例:

ATxmega16A1または16D4デバイス : ブートローダはアドレス\$2000で始まります。

ATxmega32A1または32D4デバイス : ブートローダはアドレス\$4000で始まります。

フラッシュメモリアドレスのより多くの情報についてはATxmega AまたはATxmega Dの使用者の手引きを調べ、フラッシュプログラムメモリを探してください。

違うATxmegaは異なるアドレスでそれらのブートローダメモリ空間を持ちます。コンパイラは以下の.xclファイルからブートローダの開始アドレスを決めます。

注: 以下は割り込みベクタ表後の低フラッシュメモリ空間で開始するようにコードをリンクする、IARコンパイラで生成された既定.xclファイルです。

`$TOOLKIT_DIR$¥src¥template¥cfgxm32d4.xcl`

図9-1. コンパイラが供給する.xclファイル

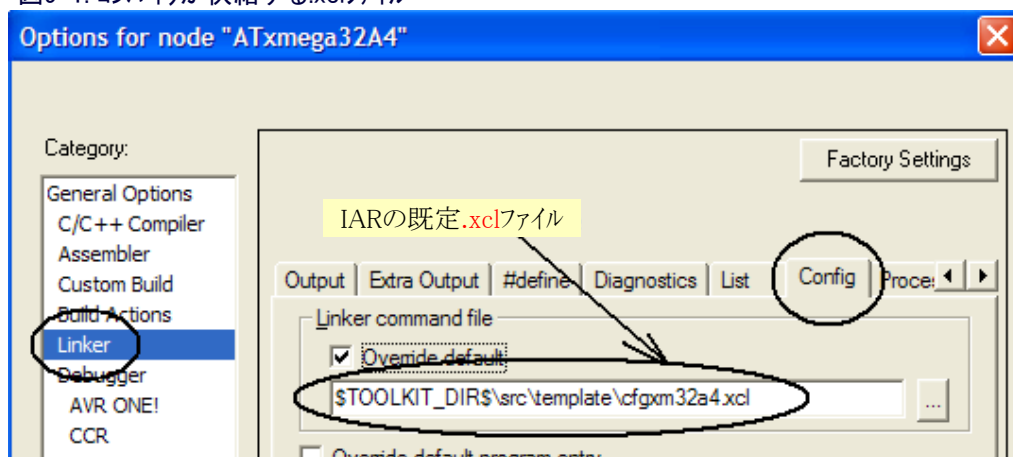
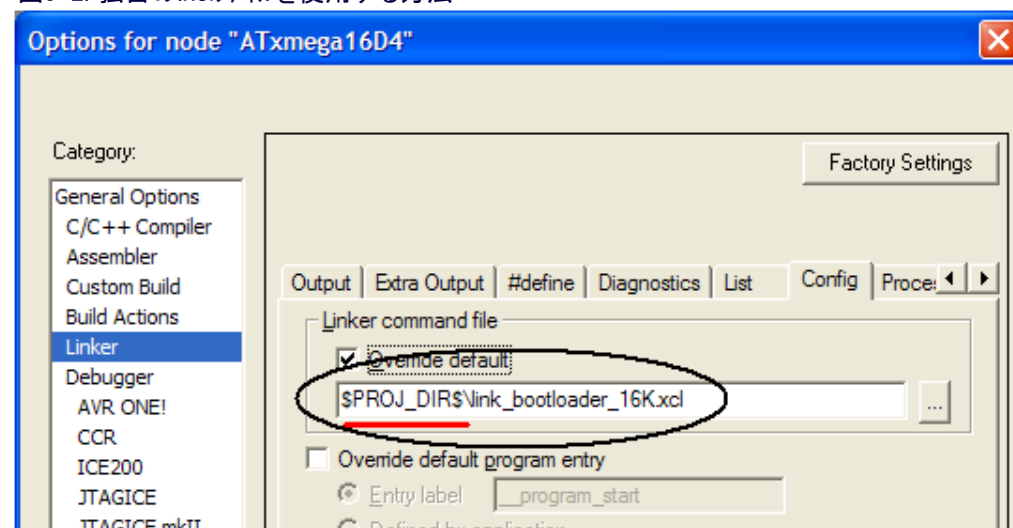


図9-2. 独自の.xclファイルを使用する方法



2. 図9-1.はプロジェクトが構築される時にIARのリンクによって生成される.xclファイルを示します。図9-2.は独自の.xclファイルを使用するための形式を示します。.xclファイル名の前に\$PROJ_DIR\$¥を付けることに注意してください。
3. 作業空間フォルダに於いて、独自のlink_bootloader32K.xclが含められ、異なる応用開始アドレスで変更することができます。必要ならば、以下の文章を探して変更してください。

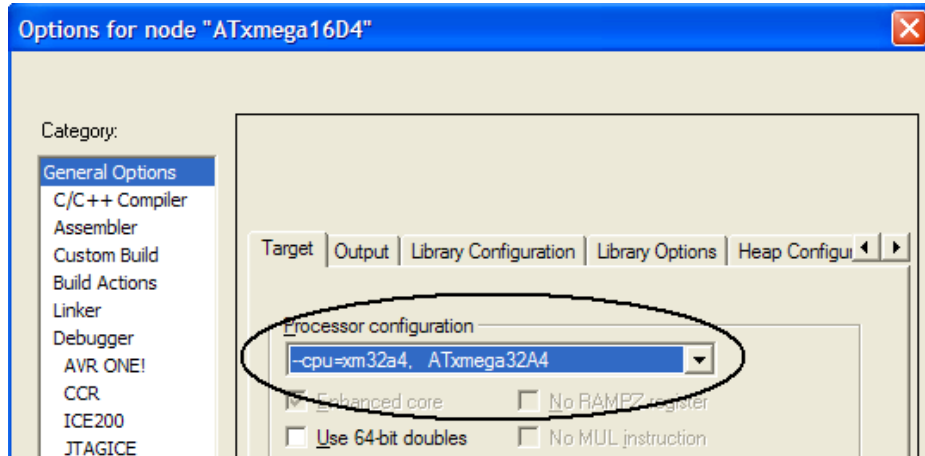
`-D_..X_APPLICATION_SECTION_START= 2000 // 語アドレス`

4. ATxmega選択に基づき、ファイル内に於いて上で2000が示されている上の命令位置で2000または4000の数値を置いてください。
5. プロジェクトをコンパイルしてください。

9.2. 異なるATxmegaの選択

1. 望むなら、違うATxmegaに変更することができます。IARプロジェクトのGeneral Options下で、(望む)ATxmegaを選択してください(図9-3.参照)。

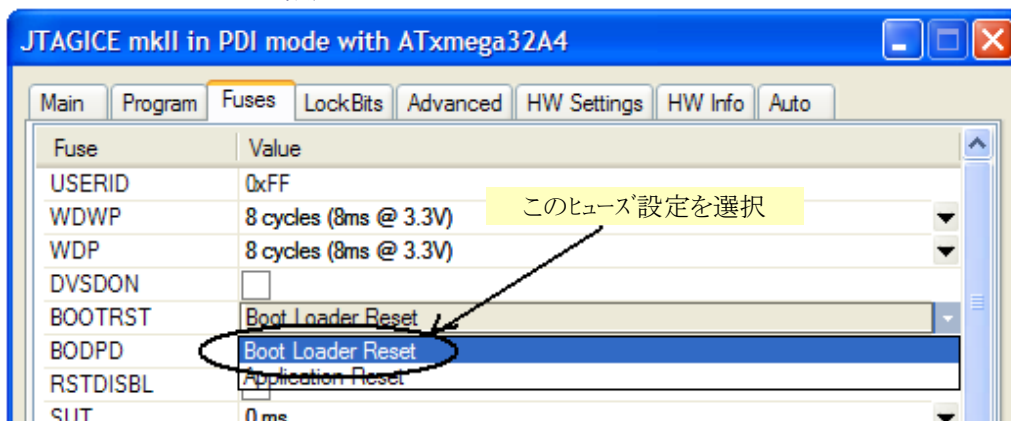
図9-3. ATxmegaデバイス選択用任意選択



9.3. ブートローダ動作に必要なATxmegaヒューズ設定

ATxmegaはAVRがブートローダコードの始めで実行を開始するように、許可されなければならない、ブートローダへ飛ぶヒューズを持ちます。先に記述されたように、これは\$2000または\$4000(語アドレス)です。ATxmegaのBOOTRSTヒューズはブートローダリセット(Boot Loader Reset)に設定されるべきです。

図9-4. BOOTRSTヒューズ設定



9.4. コード実行開始時のブートローダコード移行の2つの方法

例えブートローダが正しくコンパイルされてATxmega内にプログラムされ(書き込まれ)ても、ブートローダのコードは以下の条件の1つまたは両方に出会う場合にだけ実行されます。

1. リセット開放に後続して使用者定義されたI/Oポート入力ピンでLowを表明することによります。この例ではこれがポートBの3番ピンです。このピンは次のようにmain.cで定義されます。

```
#define BOOT_PORT (PORTB)
```

2. 定義されたEEPROMアドレスに選択番号を書くことによります。この例ではEEPROMアドレスが\$00で、選択番号は\$AAです。このEEPROM位置が\$AAを含む場合、ATxmegaはブートローダコードの、そうでなければ応用コードの実行を始めます。

重要: Lowレベルが上の1.で表明される場合、そのLowレベルは取り去られなければならない、またはブートローダが毎回のATxmegaリセット後に再移行されます。

9.5. コードのデバッグ

あなたはIARまたはATMELのAVR Studio® 4か5を用いてこのプロジェクトをデバッグする任意選択を持ちます。

1. この応用記述の前部で記述されたように、あなたのコードアドレスが概ね\$2000または\$4000の語アドレスで始まることを検証してください。

10. ブートローダへの主装置指令

10.1. ブートローダレジスタとメモリ配置

ブートローダとの送られるべきデータを許して制御するレジスタは以下のメモリ配置で位置を示されます。Nバイト長のページ緩衝部に後続してレジスタがどう連続するか注目してください。後続するNバイト長ページ緩衝部は指令レジスタです。

図10-1.は256で分けられたページに対するバイト数を描きます。

表10-1.はNを定義します。

図10-1. ブートローダメモリ配置

アドレス	メモリ/レジスタ機能
指令レジスタ アドレス+\$0C	CRC MSB読み書き
	}
指令レジスタ アドレス+2	応用実行
指令レジスタ アドレス+1	リセット動作
\$0A+N×256=\$10A	指令レジスタ
(注) (\$0A+N×256)-1=\$109	}
	データ緩衝部 N×256バイト長 (Nは256または512バイト のようなフラッシュ ページ容量)
\$0A	}
\$09	読み書き長MSB
\$08	読み書き長LSB
	}
\$01	フラッシュ ページ容量MSB
\$00	フラッシュ ページ容量LSB

注: N=1に対して(\$0A+N×256)-1=265=\$109

表10-1. フラッシュ ページ数とN

ATxmegaデバイス	ページ当たりのバイト数	ページ数	N
ATxmega64～	256	256	1
ATxmega128～	512	256	2
ATxmega256～	512	512	2

$N = (\text{ページ当たりのバイト数}) \div 256$

11. 操作

TWIブートローダの制御とデータのレジスタはページ容量読み込み、フラッシュ消去などのような活動の実行をTWI主装置に許します。TWI従装置ブートローダで活動を実行するために、TWI主装置は特定のレジスタにTWI書き込み周回を実行しなければなりません。レジスタのアドレスに依存してTWI主装置は追加の値の書き込みが必要かもしれません。この情報の受信に於いて、TWI従装置内ブートローダは対応する活動を実行します。TWI主装置はTWI読み込みを実行することによって操作の結果を読むことができます。

11.1. ブートローダ指令

この項は主装置とATxmega従装置との指令とデータの流れを記述します。

ブートローダの制御とデータのレジスタのアドレスは表11-1.で記述されます。これらのレジスタは次のような形式を持ちます。

- **SLA+R**, TWI主装置は2つの8ビット アドレスが後続する**SLA+R**でブートローダレジスタを読みます。第4の操作はデータを読むことです。
- レジスタは連続しています。主装置は別の読み込み指令、各々**SLA+R**または**SLA+W**で次のレジスタを読みまたは書きを行うことができます。
- **SLA+W**, TWI主装置は2つの8ビット アドレスが後続する**SLA+W**でブートローダレジスタに書きます。いくつかのレジスタが読み込み専用なことに注意してください。

11.2. ATxmega従装置アドレスの自動増加

主装置から従装置へ<SLA+W>または<SLA+R>操作が送られた後の次の操作は転送先のレジスタまたは緩衝部アドレスを定義します。(<SLA+W>または<SLA+R>以外の)付加操作は従装置のレジスタまたは緩衝部のアドレスの**自動増加**でしょう。以降の表題「**フラッシュ書き込み(\$04)**」項をご覧ください。

表11-1. ブートローダ制御レジスタ

8ビットレジスタ名	TWI操作番号 (各操作に対する従装置応答)					注釈
	1	2	3	4	5	
	16ビットアドレス					
		下位	上位			
ページ容量下位	SLA+R	\$00	\$00	フラッシュ ページ容量 ビット7~0		
ページ容量上位	SLA+R	\$01	\$00	フラッシュ ページ容量 ビット15~8		
ページ数下位	SLA+R	\$02	\$00	フラッシュ ページ数 ビット7~0		
ページ数上位	SLA+R	\$03	\$00	フラッシュ ページ数 ビット15~8		128超えの場合に使用
ID0とID1	SLA+W	\$04	\$00	ID0書き込み	ID1書き込み	連続レジスタ書き込み
	SLA+R	\$04	\$00	ID0読み込み	ID1読み込み	連続レジスタ読み込み
ID0	SLA+W	\$04	\$00	ID0書き込み		単一レジスタ書き込み
	SLA+R	\$04	\$00	ID0読み込み		単一レジスタ読み込み
ID1	SLA+W	\$05	\$00	ID1書き込み		単一レジスタ書き込み
	SLA+R	\$05	\$00	ID1読み込み		単一レジスタ読み込み
アドレス下位	SLA+W	\$06	\$00	アドレスビット7~0		
	SLA+R	\$06	\$00	アドレスビット7~0		
アドレス上位	SLA+W	\$07	\$00	アドレスビット15~8		
	SLA+R	\$07	\$00	アドレスビット15~8		
長さ下位	SLA+W	\$08	\$00	長さビット7~0		
	SLA+R	\$08	\$00	長さビット7~0		
長さ上位	SLA+W	\$09	\$00	長さビット15~8		
	SLA+R	\$09	\$00	長さビット15~8		
Nバイトデータ緩衝部	SLA+W	\$0A	\$00	\$00	メモリへのTWI書き込み 継続(N×256回)	
リセット	SLA+W	\$0A	\$01 (注)	\$01		リセット指令
ブートローダ脱出 /応用実行開始	SLA+W	\$0A	\$01 (注)	\$02		ブートローダを抜け出して応用を走行
フラッシュ消去	SLA+W	\$0A	\$01 (注)	\$03		フラッシュメモリ消去
フラッシュ書き込み	SLA+W	\$0A	\$01 (注)	\$04		フラッシュメモリ書き込み
EEPROM書き込み	SLA+W	\$0A	\$01 (注)	\$05		EEPROM書き込み
フラッシュCRC計算	SLA+W	\$0A	\$01 (注)	\$06		フラッシュCRC計算TWI書き込みに続 いてTWI読み込み
フラッシュCRC読み込み	SLA+R	CRC7~0	CRC15~8			
EEPROM CRC計算	SLA+W	\$0A	\$01 (注)	\$07		EEPROM CRC計算TWI書き込みに続 いてTWI読み込み
EEPROM CRC読み込み	SLA+R	CRC7~0	CRC15~8			
EEPROM長下位	SLA+W	\$0A	\$01 (注)	\$08	EEPROM長ビット7~0	
	SLA+R	\$0A	\$01 (注)	\$08	EEPROM長ビット7~0	
EEPROM長上位	SLA+W	\$0A	\$01 (注)	\$09	EEPROM長ビット15~8	
	SLA+R	\$0A	\$01 (注)	\$09	EEPROM長ビット15~8	
CRC下位	SLA+W	\$0A	\$01 (注)	\$0B	CRCビット7~0	
	SLA+R	\$0A	\$01 (注)	\$0B	CRCビット7~0	
CRC上位	SLA+W	\$0A	\$01 (注)	\$0C	CRCビット15~8	
	SLA+R	\$0A	\$01 (注)	\$0C	CRCビット15~8	

注: N=1に対して\$01、N=2に対して\$02を意味します。

11.3. 指令レジスタ

上の表11-1.で指令レジスタに注目してください。このレジスタはATxmegaのSRAM配置内に置かれ、直後に(代表的に長さ256または512バイトの)データ緩衝部が後続します。

この指令レジスタのアドレスは\$09+256×Nで、Nは表10-1.で定義されます。\$09はこれがメモリ配置の始めでのレジスタ数のために必要です。

これについて、上表の表11-1.に関してはN=1でN×256=256=\$100です。故に指令レジスタのアドレスは\$0A+\$100=\$010Aとして形成されます。

- アドレスの下位8ビットは\$0Aです。
- アドレスの上位8ビットは\$01です。

11.3.1. ブートローダ識別(ブートローダが目的対象ATxmega内かを検査)

主装置はこの特定ATxmegaがブートローダ機能を含むことの確認を望むかもしれません。指令指標を4に設定し、その後に2つの乱数バイトを書き、続いてアドレスポインタを4に設定して2バイトを読むことにより、ブートローダは主装置によって識別されます。書かれた2バイトは逆順で読み戻されるべきです。この操作は主装置がTWI従装置ブートローダと本当に通信することを確認します。

```
<SLA+W>$04 $00 $AA $55<s>
<SLA+R>$04 $00<rs>$55 $AA<s>
```

11.3.2. リセット (\$01)

リセット動作を実行するには指令レジスタに\$01を書いてください。下の例でアドレスはN=1で $N \times 256 = 256 = \$0100$ として形成されます。故に指令レジスタのアドレスは $\$09 + \$100 + 1 = \$010A$ として形成されます。

- アドレスの下位8ビットは\$0Aです。
- アドレスの上位8ビットは\$01です。

```
<SLA+W>$0A $01 $01<s>
```

リセット動作はリセットを直ちに実行し、移行条件が9.4項で記述されたように出会う場合に、ブートローダの始めからのコード実行が後続します。

11.3.3. 応用実行 (\$02)

9.4項で記述された入力ピンがGNDに短絡されないなら、この指令は以下を行います。

1. ブートローダへの再移行を防ぐ\$00をEEPROM位置\$00に書きます。
2. 応用コードの始めに飛びます。

```
<SLA+W>$0A $01 $02<s>
```

\$01が実際のNの値でそれはページ当たりのバイト数が変わる場合に変わることにご注意してください。

11.3.4. フラッシュ消去 (\$03)

この指令はブートローダを除くフラッシュメモリ全体を消去します。この例は上の例で記述されたように再びN=1を使用します。

```
<SLA+W>$0A $01 $03<s>
```

11.3.5. フラッシュ書き込み (\$04)

以下の例に於いて、自動増加機能が利用されていることに注目し、これは連続的なアクセスを従装置レジスタに許します。

この指令は直前にデータ緩衝部内に格納されたフラッシュページをアドレスレジスタで指定されたATxmegaの応用メモリ内に書き込みます。下の例でATxmegaのフラッシュアドレスは\$0001です。

指令は以下のTWI操作から成ります。

1. <SLA+W>\$06 \$00 TWI主装置がアドレス指令を送ります。
2. \$01 \$00 LSB,MSBの順でフラッシュの16ビットアドレスをTWI書き込み
3. \$01 \$00 LSB,MSBの順でフラッシュ書き込み長をTWI書き込み
4. <SLA+W>\$0A \$01 \$04<s> フラッシュ書き込み指令をTWI送信

TWIの流れは次の通りです。

```
<SLA+W>$06 $00 [変位] $01 $00 [アドレス] $01 $00 [長さ] <SLA+W> $0A $01 $04 [フラッシュ書き込み指令]<s>
```

TWI主装置は上の操作を個別に送ることもできます。

1. <SLA+W>\$06 \$00<s> TWI主装置がアドレス指令を送ります。
2. <SLA+W>\$01 \$00<s> LSB,MSBの順でフラッシュの16ビットアドレスをTWI書き込み
3. <SLA+W>\$01 \$00<s> LSB,MSBの順でフラッシュ書き込み長をTWI書き込み
4. <SLA+W>\$0A \$01 \$04<s> フラッシュ書き込み指令をTWI送信

11.3.6. EEPROM書き込み (\$05)

この指令は上のフラッシュ書き込み指令とほぼ同じです。EEPROM書き込みは直前にデータ緩衝部内に格納されたEEPROMデータページをアドレスレジスタで与えられた位置と長さレジスタで与えられたバイト数でATxmegaのEEPROM内に書き込みます。

以下の例ではEEPROMのアドレス\$0005に3バイトが書き込まれます。

指令は以下のTWI操作から成ります。

1. <SLA+W>\$06 \$00 TWI主装置がアドレス指令を送ります。
2. \$05 \$00 LSB,MSBの順でEEPROMの16ビットアドレスをTWI書き込み
3. \$03 \$00 LSB,MSBの順でEEPROM書き込み長をTWI書き込み
4. <SLA+W>\$0 \$01 \$05<s> EEPROM書き込み指令をTWI送信

TWIの流れは次の通りです。

```
<SLA+W>$06 $00 [変位] $05 $00 [アドレス] $03 $00 [長さ] <SLA+W> $0A $01 $05 [EEPROM書き込み指令]<s>
```

TWI主装置は上の操作を個別に送ることもできます。

1. <SLA+W>\$06 \$00<s> TWI主装置がアドレス指令を送ります。
2. <SLA+W>\$05 \$00<s> LSB,MSBの順でEEPROMの16ビットアドレスをTWI書き込み
3. <SLA+W>\$03 \$00<s> LSB,MSBの順でEEPROM書き込み長をTWI書き込み
4. <SLA+W>\$0A \$01 \$05<s> EEPROM書き込み指令をTWI送信

11.3.7. フラッシュ用CRC計算 (\$06)

この指令は最後に書かれたページを含めてそれまでのフラッシュに対して計算されるべき巡回冗長検査をさせます。

下の例ではフラッシュ ページが256バイトと仮定されます。

```
<SLA+W>$0A $01 $06<s>
<SLA+R>[2バイト読み込み]<s>
```

下はCRC計算用のCで実装されるルーチンです。

```
static uint16_t crc_ccitt_update(uint16_t crc, uint8_t data)
{
    data ^= crc & 0xFF;
    data ^= data << 4;
    return (((uint16_t)data << 8) | ((crc & 0xFF00) >> 8)) ^ ¥
        (uint8_t)(data >> 4) ^ ¥
        ((uint16_t)data << 3));
}
```

11.3.8. EEPROM用CRC計算 (\$07)

この指令はアドレスレジスタ内のアドレスから次のNバイト(Nは長さレジスタ内に設定)に渡ってEEPROMに対して計算されるべき巡回冗長検査をさせます。(訳注:原書本位置の不適切な1行を削除)

```
<SLA+W>$0A $01 $07<s>
<SLA+R>[2バイト読み込み]<s>
```

CRC計算用のルーチンはフラッシュ メモリ用に概説されたものと同じです。

12. ATxmegaフラッシュ書き込みのための推奨主⇒従単位転送

表12-1はATxmegaの従装置応用コード空間へページのバイトを書くための完全な流れを発行する主装置に関する手順を記述します。手順12.でこの指令がEEPROM内の\$00を書くことに注目してください。ATxmegaがリセットされる時に実行は、\$2000,\$4000または他の値になり得るブートローダ開始アドレスではなく、\$0000のリセット ベクタから始まります。

表12-1. フラッシュ ページ書き込み用主⇒従単位転送

段階番号	単位転送	内容	注釈
1	ブートローダ存在判断	<SLA+W>\$04 \$00 \$AA \$55<s> <SLA+R>\$04 \$00<rs>\$55 \$AA<s>	バイト読み込みはバイト書き込みの逆順です。
2a	ページ容量決定	<SLA+R>\$00 \$00<s>	ページ容量取得指令
2b1		<SLA+R>[2バイト読み込み]<s>	16ビット値、代表的に256または512
3a	ページ数決定	<SLA+R>\$02 \$00<s>	ページ数取得指令
3b		<SLA+R>[2バイト読み込み]<s>	16ビット値
4	応用フラッシュ消去	<SLA+W>\$0A n \$03<s>	第nページ消去、1 ≤ n ≤ N
5a	XMEGAフラッシュでの 転送先アドレス送信	<SLA+W>\$06 \$00	アドレス設定指令
5b		[ビット7~0],[ビット15~8]	従装置へ2バイト送信
6	XMEGAフラッシュでの 書き込み長送信	<SLA+W>\$08 \$00	長さ書き込み指令
		[ビット7~0],[ビット15~8]	従装置へ2バイト送信
7	応用コードでページ緩衝部を 満たす。	<SLA+W>\$00 \$00 自動増加で[0~255]ページ緩衝部書き込み	256バイトまで連続書き込み
8	フラッシュ書き込み指令実行	<SLA+W>\$0A N \$04<s>	XMEGAフラッシュに256バイト書き込み
9	フラッシュ全ページ書き込みまで 上の手順4~8を繰り返す	上の指令をご覧ください。	書き込む前に各ページを消去
10	フラッシュCRC計算指令実行	<SLA+W>\$0A N \$06<s>	XMEGA従装置フラッシュCRC計算
11	フラッシュCRC読み込み指令 実行と値読み込み	<SLA+R>\$0A N \$06<s> [CRC7~0],[CRC15~8]	CRC読み込み指令 ホストによって使用される2バイト
12	応用へ飛ぶ	<SLA+W>\$0A N \$02<s>	EEPROM位置\$00に\$00を書き、 応用コードの実行を開始

注: Nは表10-1.からです。

13. 結び

ATMELのAVR XMEGA系デバイスには4Kバイトまたは8Kバイトのどちらかのブートローダ領域を含みます。この応用記述はIARのCに基づくATxmegaブートローダプロジェクトを参照します。このコードは使用者によって変更されたもの、またはコンパイルされたそのものとして、ATMELまたは第三者の書き込み器経由でATxmegaデバイス内に書き込むことができます。

TWI主装置の下でブートローダはそれのフラッシュメモリを消去して書き込むことができます。EEPROMも消去して書き込むことができます。IP保護機能のため、フラッシュメモリやEEPROMの内容を読み出す方法はこのコードに全く含まれていません。

14. 参照

1. IAR EVAVR Cコンパイラ 5.51版、4Kまたは評価版



Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2011 Atmel Corporation. 全権利予約済

ATMEL®、ATMELロゴとそれらの組み合わせ、それとAVR®、AVR®ロゴ、AVR Studio®、XMEGA®とその他はATMEL Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに表示する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2014.

本応用記述はATMELのAVR1327応用記述(doc8435.pdf Rev.8435A-09/11)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。