

序説

この応用記述はAtmel[®] AVR[®]マイクロ コントローラのチップ[°]上の直列周辺インターフェース(SPI:Serial Peripheral Interface)の初期設定と使用の方法を記述します。殆どのAVRデバイス[°]は基板上のSPIと共に手に入り、この資料に従って形態設定することができます。この資料は理論的な背景とSPIを主装置動作と従装置動作の両方に形態設定する方法を含みます。

特徴

- ・ SPIピン機能
- ・ 複数従装置システム
- ・ SPIタイミング[°]
- ・ SPI送信衝突(上書き)
- ・ SPIのエミュレート
- ・ ホールディング操作用コード[°]例
- ・ 割り込み制御操作用コード[°]例

(訳注) 原書に於けるSPI動作種別番号(0~3)記述の一部に誤りがあるため、それらの部分は修正されています。

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

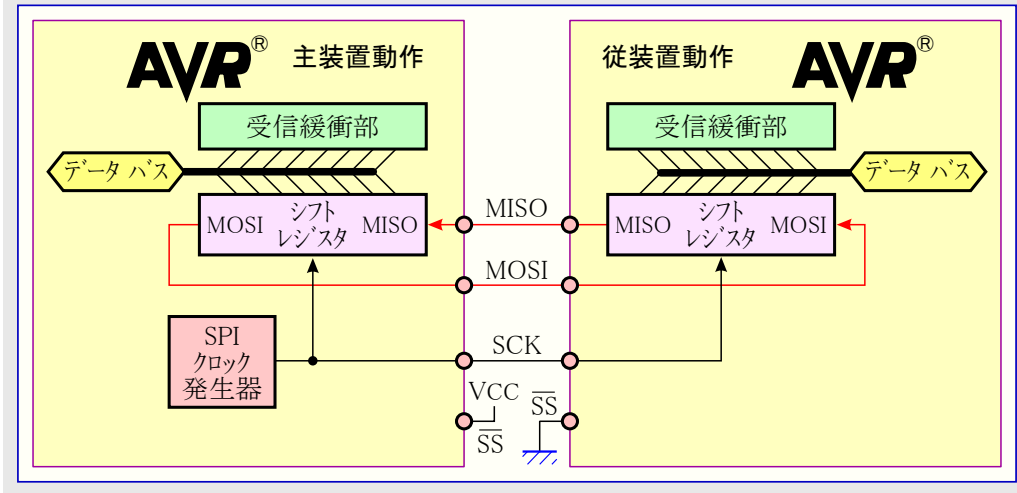
目次

序説	1
特徴	1
1. SPIの全般説明	3
1.1. 主装置と従装置間のデータ伝送	3
1.2. SPIのピン	3
1.3. 複数従装置システム - \overline{SS} ピンの機能	4
1.4. SPIタイミング	5
1.5. 高速転送に関する考慮	6
1.6. SPI送信衝突	7
2. SPI構成設定	7
3. 例1 : ホールディング制御SPI通信	8
3.1. 主装置側	8
3.2. 従装置側	8
4. 例2 : 割り込み制御SPI通信	9
4.1. 主装置側	9
4.2. 従装置側	9
5. 結び	10
6. 改訂履歴	10

1. SPIの全般説明

SPIはAVRと周辺装置間または多数のAVRデバイス間の高速同期データ転送を可能にします。殆どのデバイスに於いてSPIは実装書き込み(ISP)に使用される第2の目的を持ちます。詳細についてはAVR910応用記述を参照してください。

図1-1. 主装置と従装置のインターフェース



2つの装置間の相互連結は常に主装置と従装置間で起きます。従装置だけで動くことができる感知器のようないくつかの周辺装置と比べ、AVRのSPIは主装置と従装置の両方に形態設定することができます。AVRの動作種別はSPI制御レジスタ(SPCR)内の主装置(MSTR)ビットの設定による指定で動きます。SSピンについての特別な考慮に注意しなければなりません。これは次ページの「複数従装置システム - SSピンの機能」で記述されます。

主装置がこのシステムに於ける能動の部分で、直列データ転送に基いてクロック信号を供給しなければなりません。従装置はクロック信号を生成する能力がなく、従って自ら能動になることはできません。けれども主装置はデータを送出する間だけクロック信号を生成します。これは主装置が従装置からのデータを読むために従装置へデータを送らなければならないことを意味します。

1.1. 主装置と従装置間のデータ伝送

主装置と従装置のAVR間の相互作用は上の「図1-1. 主装置と従装置のインターフェース」で示されます。2つの同じSPI部が描かれています。左部分は主装置として形態設定され、一方右部分は従装置として形態設定されます。MISO, MOSI, SCK線は他のデバイスの対応する線と接続されます。デバイスが動いている動作種別はそれらが入力または出力の信号線かを決めます。1クロック周期でビットが主装置から従装置へと従装置から主装置へ同時にシフトされるので、両方の8ビットシフトレジスタは1つの16ビット循環シフトレジスタと見なすことができます。これは8つのSCKクロックパルス後に主装置と従装置間のデータが交換されることを意味します。

システムは送信方向で単一、受信方向で2重に緩衝されます。これは以下の点に於いてデータの取り扱いに影響します。

1. 送るべき新規バイトはシフト周期全体が完了される前にデータレジスタ(SPDR)に書くことができません。
2. 受信したバイトは伝送完了後直ちに受信緩衝部に書かれます。
3. 受信緩衝部は次の伝送が完了する、またはデータが失われる前に読まなければなりません。
4. SPDR読み込みは受信緩衝部のデータを返します。

転送完了後、SPI状態レジスタ(SPSR)内でSPI割り込み要求フラグ(SPIF)が設定(1)されます。この割り込みと全体割り込みが許可されていれば、これは実行されるべき対応する割り込みを引き起こします。SPCR内のSPI割り込み許可(SPIE)ビットの設定(1)がSPIの割り込みを許可し、一方SREG内のビットが全体割り込みを許可します。

1.2. SPIのピン

SPIは4つの異なる信号線から成ります。これらの線はシフトクロック(SCK)、主装置出力従装置入力線(MOSI)、主装置入力従装置出力線(MISO)、従装置選択線(SS)です。SPIが許可されると、MOSI, MISO, SCK, SSピンのデータ方向は以下の表に従って無効化されます。

表1-1. SPIピン無効化

ピン名	主装置動作での方向	従装置での方向
MOSI	使用者定義	入力
MISO	入力	使用者定義
SCK	使用者定義	入力
SS	使用者定義	入力

この表は入力ピンが自動的に形態設定されることを示します。出力ピンはソフトウェアによって手動で初期化されなければなりません。この理由は駆動部競合による損傷を避けるためです。

1.3. 複数従装置システム – \overline{SS} ピンの機能

従装置選択(\overline{SS})ピンはSPI形態設定に於ける中心的な役割を演じます。動作種別に依存してデバイスはこのピンの形態設定で動き、それは装置の活性化または非活性化に使用することができます。 \overline{SS} ピンはいくつかの追加の特徴を持つチップ選択ピンと比較することができます。

主装置動作では、このピンが入力として形態設定された場合に主装置SPI動作を保証するために \overline{SS} ピンがHighに保持されなければなりません。LowレベルはSPIを従装置動作へ切り替え、SPIのハードウェアは以下の動作を実行します。

1. SPI制御レジスタ(SPCR)内の主装置(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。ピンの方向は3頁の「表1-1. SPIピン無効化」に従って切り換えられます。
2. SPI状態レジスタ(SPSR)内のSPI割り込み要求フラグ(SPIF)が設定(1)されます。SPI割り込みと全体割り込みが許可されていれば、割り込み処理ルーチンが実行されます。

これは複数の主装置を持つシステムに於いて2つの主装置が同時にSPIバスをアクセスするのを避けるのに有用であり得ます。 \overline{SS} ピンが出力ピンとして形態設定される場合、SPIシステムに影響を及ぼさない汎用出力ピンとして使用することができます。

注: AVRが主装置動作に形態設定され、2つの伝送間で \overline{SS} ピンがHighに留まることを保証できない場合、新しいバイトが書かれる前にMSTRビットの状態が調べられなければなりません。 \overline{SS} 線上のLowレベルによってMSTRビットが解除(0)されてしまった後、SPI主装置動作を再許可するには応用によって設定(1)されなければなりません。

従装置動作では \overline{SS} ピンが常に入力です。 \overline{SS} がLowに保持されると、SPIが活性化され、MISOは使用者によってそのように形態設定されていれば出力になります。他の全てのピンは入力です。 \overline{SS} がHighに駆動されると、全てのピンが入力で、SPIは到着データを受信しないことを意味する能動です。次表は \overline{SS} ピン機能の概要を示します。

表1-2. \overline{SS} ピン機能の概要

動作種別	SS形態設定	SSピン値	説明
従装置	常に入力	High	従装置非活性 (非選択)
		Low	従装置活性 (選択)
主装置	入力	High	主装置活性 (選択)
		Low	主装置非活性、従装置動作へ切り替え
	出力	High	主装置活性 (選択)
		Low	

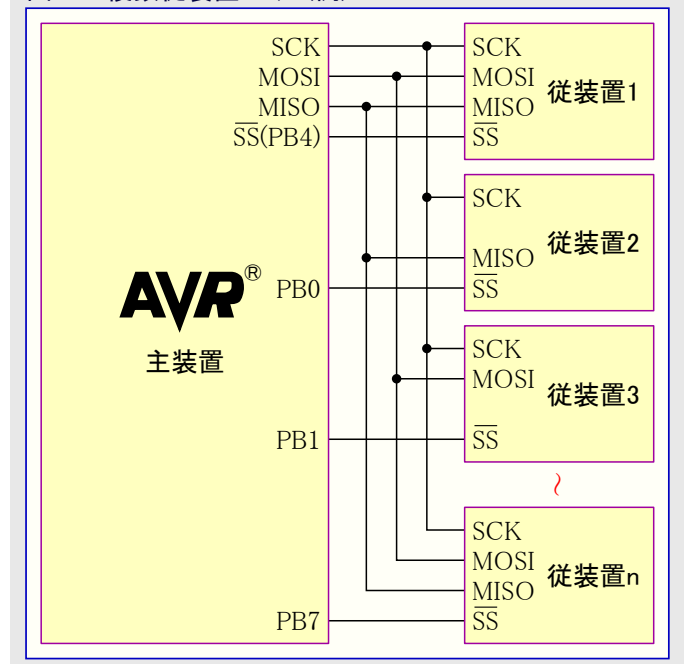
注: 従装置動作では \overline{SS} ピンが一旦Highに持って来られると、SPI論理回路がリセットします。伝送中に \overline{SS} ピンがHighに持って来られる場合、SPIは直ちに送受信を停止し、そして送受信両方のデータは失われたと見なされなければなりません。

前の表で示されるように、従装置動作での \overline{SS} ピンは常に入力ピンです。LowレベルがデバイスのSPIを活性化し、一方Highレベルはそれを非活性にさせます。出力ピンとして形態設定された \overline{SS} と主装置動作に形態設定されたAVRを持つ単一主装置複数従装置のシステムが次図で示されます。このAVRへ接続することができる従装置数は従装置選択信号を生成するための入出力ピン数によってのみ制限されます。

同じSPIバスに多数の装置を接続することができることは、同時に1つの主装置と1つの従装置だけが活性であることに基きます。他の全ての従装置のMISO, MOSI, SCK線は(プルアップ抵抗が許可されない高インピーダンスの入力ピンとして形態設定される)Hi-Zにされます。誤った実装(例えば、2つの従装置が同時に活性化される)はCMOSのラッチアップ状態を引き起こし得る駆動部競合を起し得、これは避けられなければなりません。システムをラッチアップから防ぐために、SPIのピンと直列に1~10kΩの抵抗を用いることができます。けれどもこれはSPIピンでの負荷容量に依存し、使用可能な最大データ速度に影響を及ぼします。

単方向SPI装置はデータ線の1つとクロック線だけがが必要です。装置はその目的に依存してMISO線またはMOSI線を使用することができます。

図1-2. 複数従装置システム(例)



1.4. SPIタイミング

SPIは0～3の4つの動作種別を持ちます。これらの動作種別は本質的にデータがSPI装置の内または外へクロック駆動される方法を制御します。この形態設定はSPI制御レジスタ(SPCR)内の2つのビットによって行われます。クロック極性はHigh活性またはLow活性のクロックを選択するCPOL制御ビットによって指定されます。クロック位相(CPHA)制御ビットは根本的に異なる2つの転送形式の1つを選びます。主装置と従装置間の正しい通信を保証するため、両装置は同じ動作種別で動かなければなりません。これは各種周辺従装置の必要条件に合わせるために主装置の再形態設定を必要とし得ます。

CPOLとCPHAの設定が次表で示される各種SPI動作種別を特定します。

表1-3. SPI動作種別形態設定

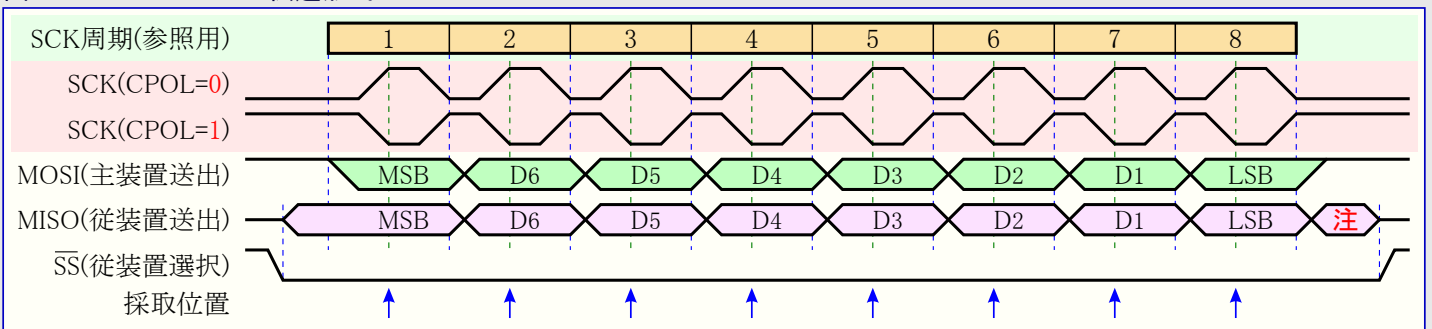
SPI動作種別	CPOL	CPHA	出力移動用SCK端	入力捕獲用SCK端
0	0	0	下降端	上昇端
1	0	1	上昇端	下降端
2	1	0	上昇端	下降端
3	1	1	下降端	上昇端

クロック極性は転送形式に於いて重要な影響を持つ訳ではありません。このビットの切り換えはクロック信号を反転させます(High活性はLow活性になり、LowアイドルはHighアイドルになります)。けれども、クロック位相の設定は2つの異なる伝送タイミングの1つを選びます。主装置と従装置のMOSIとMISOの線が互いに直接接続されるため、図は主装置と従装置の両方のタイミングを示します。SS線は従装置の従装置選択入力です。主装置のSSピンは図で示されません。それは出力ピンとして形態設定するか、または(入力ピンとして形態設定される場合に)このピン上のHighレベルによって非活性にされなければなりません。

1.4.1. (A) CPHA=0,CPOL=0(動作種別0)とCPHA=0,CPOL=1(動作種別2)

CPHAが0の場合のSPI伝送のタイミングが次図で示されます。SCK信号に対して2つの波形が示され、1つはCPOL=0に対して、他方はCPOL=1に対してです。

図1-3. CPHA=0でのSPI伝送形式



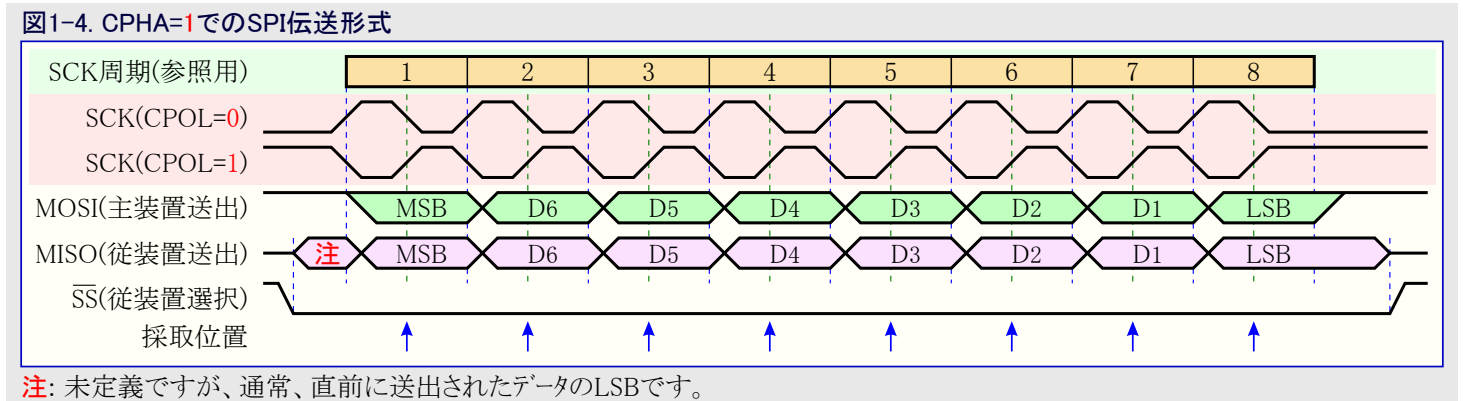
注: 未定義ですが、通常、受信されたデータのMSBです。

SPIが従装置として形態設定されると、転送はSS線の下降端で始まります。これは従装置のSPIを活動にして、データレジスタ(SPDR)内に格納されたバイトのMSBがMISO線に出力されます。実際の伝送はソフトウェアが主装置のSPDRに書くことによって開始されます。これがクロック信号を生成させます。CPHA=0の場合、SCK信号は最初のSCK周期の前半分に対して(CPOL=0の場合)0に留まります。これは主装置と従装置の両方の入力線でデータが安定することを保証します。入力線上のデータはSCK線が非活性から活性状態になるエッジ(CPOL=0ならば上昇端、CPOL=1ならば下降端)で読まれます。SCK線が活性から非活性状態になるエッジ(CPOL=0ならば下降端、CPOL=1ならば上昇端)がデータを1ビットシフトさせ、また故に次のビットがMOSI線とMISO線に出力されます。

8クロックパルス後に転送が完了されます。主装置と従装置の両方に於いて、SPI割り込み要求フラグ(SPIF)が設定(1)され、受信したバイトが受信緩衝部へ転送されます。

1.4.2. (B) CPHA=1,CPOL=0(動作種別1)とCPHA=1,CPOL=1(動作種別3)

CPHAが1の場合のSPI伝送のタイミングが次図で示されます。SCK信号に対して2つの波形が示され、1つはCPOL=0に対して、他方はCPOL=1に対してです。



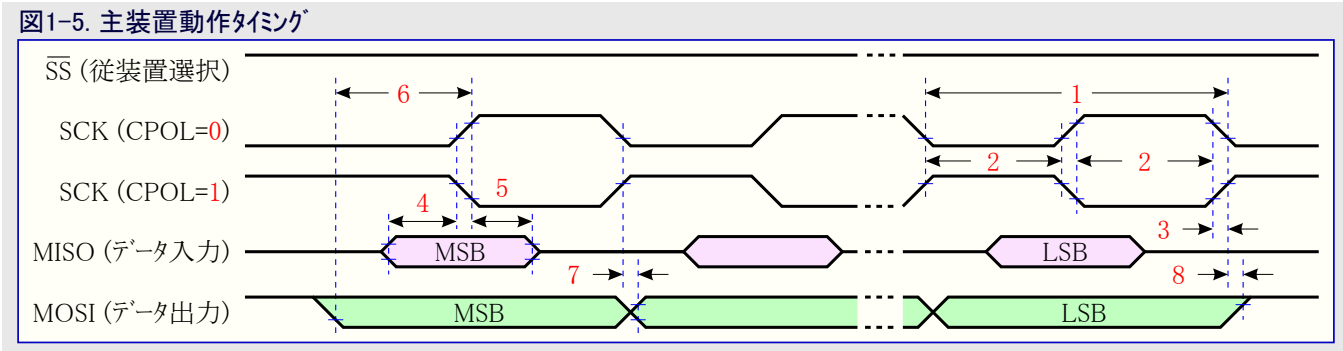
直前の状況でのようにSS信号の下降端が従装置を選択して活動にします。CPHA=0の直前の状況と比較し、この段階で転送は開始されず、従装置によってMSBが出力されません。

実際の伝送はクロック信号を生成させる主装置のSPDRへのソフトウェア書き込みによって開始されます。SCK線が非活性から活性状態になる最初のエッジ(CPOL=0ならば上昇端、CPOL=1ならば下降端)が主装置と従装置の両方にSPDR内のバイトのMSBを出力させます。上図で示されるように、動作種別0と2のようなSCK周期の半分の遅延はありません。SCK線は最初のSCK周期の始めで直ちにそのレベルを変えます。入力線上のデータはSCK線が活性から非活性状態になるエッジ(CPOL=0ならば下降端、CPOL=1ならば上昇端)で読まれます。

8クロックパルス後に転送が完了され、主装置と従装置の両方に於いて、SPI割り込み要求フラグ(SPIF)が設定(1)され、受信したバイトが受信緩衝部へ転送されます。

1.5. 高速転送に関する考慮

より高いシステムクロック周波数とシステムクロックの半分までの速度の程度で走行するSPI部能力で動くデバイスは送信部と受信部の両方の要求に合わせるために更に特定のタイミングを必要とします。後続する2つの図はSPI動作種別0と2に対する主装置動作と従装置動作でのAVRのタイミングを示します。示された時間の正確な値は各種デバイス間で変わり、本応用記述では論じません。けれども全てのデバイスの機能は原則的に同じで、故に後続する考慮は全デバイスに適用されます。



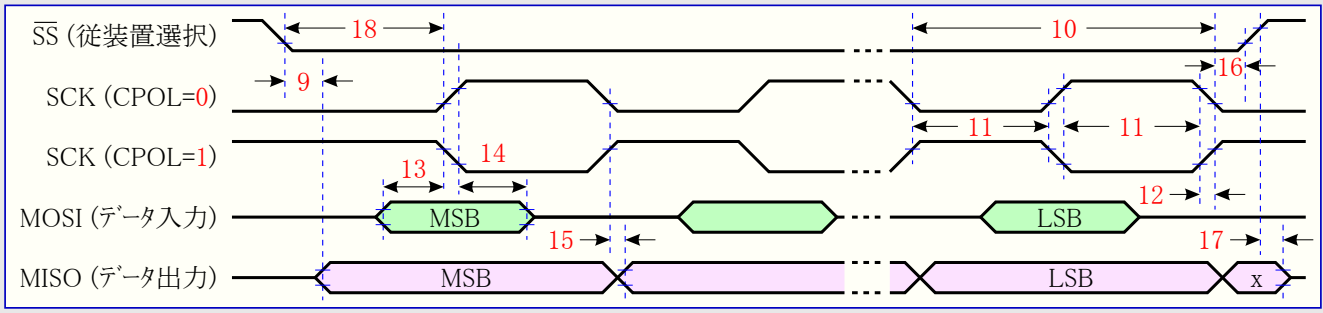
クロック信号の最小タイミングは"1"と"2"の時間によって与えられます。値"1"はSCK周期を指定し、一方値"2"はクロック信号のHigh/Low時間を指定します。SCK信号の上昇と下降の最大時間は時間"3"によって指定されます。これらが従装置の必要条件に合うかがAVRの最初のタイミング調査です。

設定時間"4"と保持時間"5"はこれらが従装置のインターフェース上で持つAVRの必要条件を指定するので重要な時間です。これらの時間はクロック端以前に従装置がどれぐらい長く有効な出力データを用意されていないかと、クロック端以降にそのデータがどれぐらい長く有効でなければならないかを決めます。

時間"6"(出力からSCKまで)はクロック端発生前にAVRが有効な出力データの準備を整える最小時間を指定します。この時間は従装置の設定時間"4"と比較することができます。

時間"7"(SCKから出力まで)は、SCKががアイドル状態に戻された後で、AVRが次のデータビットを続ける最大時間を指定し、一方時間"8"(SCKからHigh出力まで)最小時間は最後のデータビットがMOSI線で有効な時間を指定します。

図1-6. 従装置動作タイミング



原則としてタイミングは主装置動作で直前に記述されるように従装置に於いても同じです。主装置と従装置の間の役割交換のため、タイミングの必要条件は(主装置での説明に)加えて逆にされます。主装置動作の最小時間は今や最大時間でその逆も同様です。

1.6. SPI送信衝突

伝送が進行中の間にSPDRが書かれる場合に書き込み衝突(上書き)が起きます。このレジスタが送信方向に於いてただ単一に緩衝されるので、SPDR書き込みはデータをSPIシフトレジスタ内に直接書かせます。この書き込み操作が現在の伝送データを不正にするので、SPSRでWCOLビットを設定(1)することによって書き込み衝突(上書き発生)異常が生成されます。この場合にその書き込み操作は実行されず、伝送は邪魔されずに続きます。

主装置が伝送を始める時に関する制御を従装置が持たないため、書き込み衝突は一般的に従装置異常です。けれども、主装置は伝送が進行中であることが分かります。従って例えばSPI論理回路が従装置だけでなく主装置に於いてこれらの異常を検出し得ても、主装置は書き込み衝突異常を生成しないでしょ。(**訳補**:進行中に無理に書けば主装置動作でも当然これは起きます。)

2. SPI構成設定

主装置動作でのSPIの形態設定が2つの異なる方法で示されます。最初の例は割り込み要求フラグをポーリングすることによって制御されるSPI通信の実装方法を示します。2つ目の例は割り込み制御通信の実装方法を示します。

2つのAVR間通信は主装置として形態設定されたデバイスから従装置として形態設定された別のデバイスへ文字列を送ることによって示されます。受信された文字は予測されるもの(送信された文字)と比較され、この通信試験の結果が従装置のポートDに出力されます。これらの例はSTK[®]600のような2つの開発基板を使用することによる実装に上手く適合されています。

ここで示される全ての例に於いて、SPIはMSBが最初に送信される動作種別0で動くように形態設定されます。これはSPCRレジスタでCPOL,CPHA,DORDのビットを0に設定することによって行われます。同じレジスタに於いて、SPEを設定(1)することによってSPIが許可され、同時に最初の例でSCK周波数がCK/4に指定されます。これは2つ目の例でCK/16に設定されます。

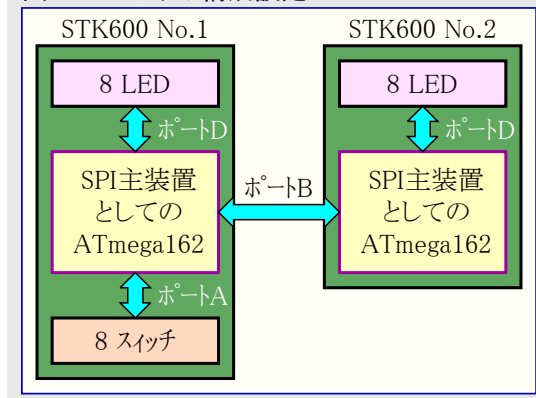
各種例でのSPIの形態設定に比べ、主装置/従装置選択(MSTR)ビットとSPI割り込み許可(SPIE)ビットの設定(1)に注意を注がなければなりません。

- 注:**
1. 両例が単一主装置と単一従装置間の転送を示すため、主装置が新しい送信を始める前にMSTRビットが未だ設定(1)されているかを調べる必要はありません。このコードは複数主装置応用で追加されなければなりません。
 2. 例え従装置動作でクロック速度選択ビットの設定が無効でも、従装置のシステムクロック(CK)がSPIクロック(SCK)よりも最低4倍高いことを保証しなければなりません。
 3. 保留中のSPI割り込みはSPSRとSPDRへの擬似アクセスによって解除(0)されます。

Atmel Studio 7で開発された主装置と従装置の両プロジェクトがこの応用記述と共に利用可能です。

コードを動かすには次図で示されるように2つのSTK600開発基板を構成設定してください。主装置と従装置の両方のMISO,MOSI,SCKの線は共に接続されます、従装置のSSはGNDに接続されるべきです。両方のSTK600基板が共通GNDに接続されることを確実にしてください。コードはATmega162用に書かれていますが、ハードウェアSPIとポートA、ポートB、ポートDを持つどのデバイスに対してもコンパイルすることができます。この応用記述では、主装置に接続されたスイッチのどれか1つが押された時にSPI送信が開始されます。

図1-7. ハードウェア構成設定

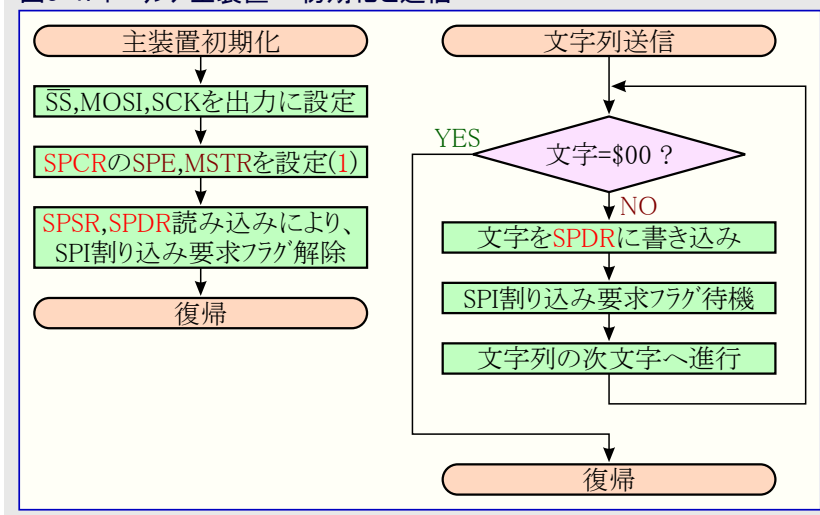


3. 例1：ポーリング制御SPI通信

3.1. 主装置側

割り込みが全く使用されないのなら、形態設定されるべきSPI部とそのピンがあるだけです。この例で重要なのは出力ピンとして \overline{SS} ピンを設定することです。これはSPIが主装置動作で許可される前に行われなければなりません。 \overline{SS} ピンが未だ入力ピンとして形態設定されている間のSPI許可は、このピンにLowレベルが印加された場合、直ちにSPIを従装置動作へ切り換えさせます。このピンは従装置動作に於いて常に入力として形態設定されます。ポーリングの使用は最高速の通信を提供します。これはポーリングが主装置動作で最も一般的に用いられる理由です。

図3-1. ポーリング主装置 - 初期化と送信

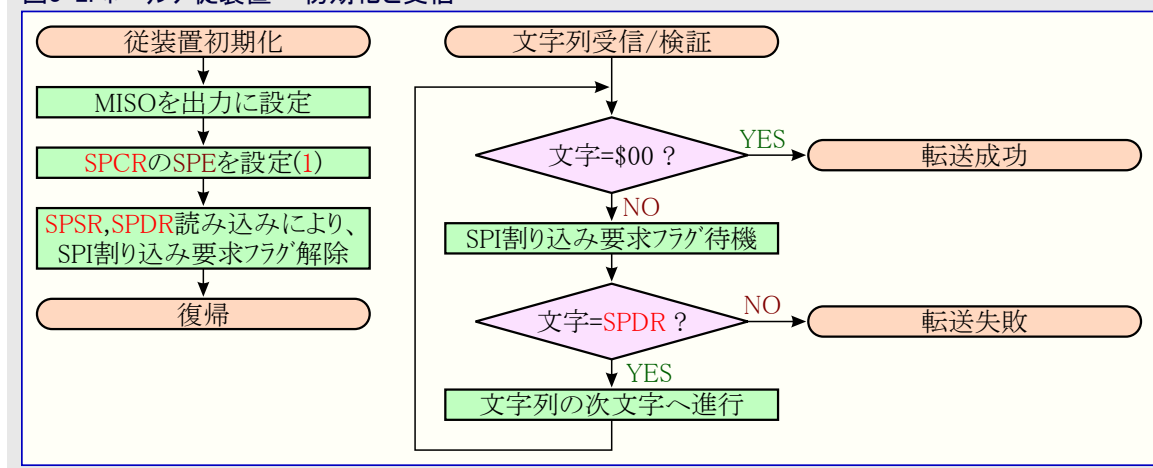


3.2. 従装置側

従装置動作で動くようにAVRを形態設定するのに初期化されなければならないレジスタに順序は全くありません。MISOピンは出力ピンとして定義されなければならない、一方他の全てのピンはSPIが許可された場合に入力として自動的に形態設定されます。従装置動作で動くようにAVRを形態設定するにはMSTRビットが0に設定されなければなりません。この場合、同期転送なのでクロック速度選択(SPR1, SPR0)ビットは気にする必要はありません。

SPI制御レジスタ(SPCR)の他の全ての設定は主装置動作と同じでなければなりません。これは2つの装置間の通信成功にとって重要です。

図3-2. ポーリング従装置 - 初期化と受信



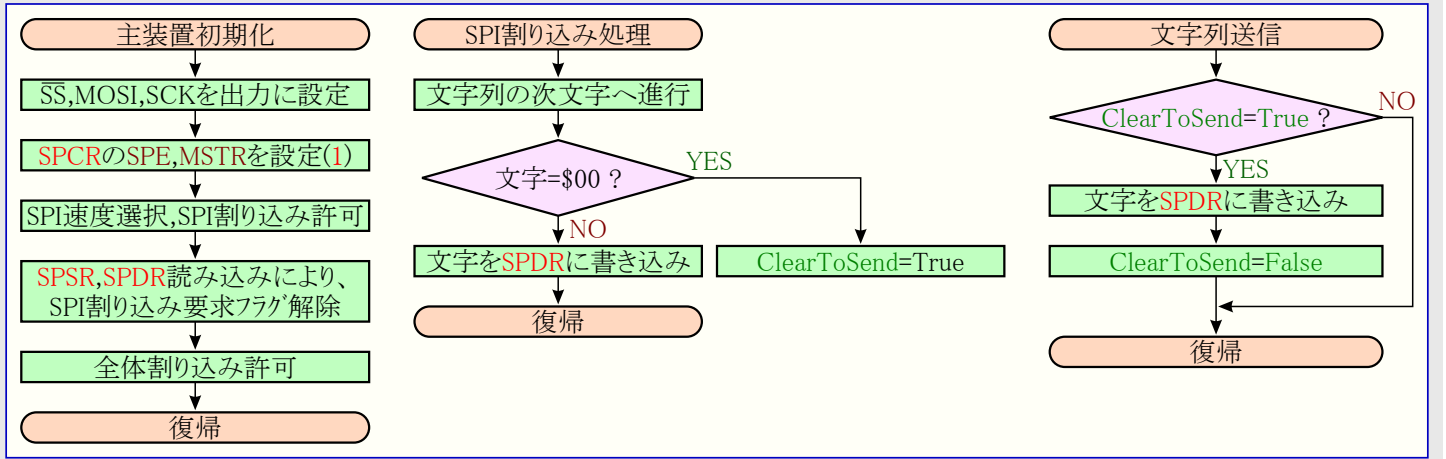
4. 例2：割り込み制御SPI通信

主装置動作に於ける割り込み制御通信はSCKクロックが(64や128のような)大きな分周係数でシステムクロックを分周することによって生成される場合で主に意味を成します。この場合に於いてプロセッサは次のバイトを送受信するためただ待つ代わりに他の処理を実行することができます。デバイスが通信開始時を分からない従装置動作に於いて、割り込み制御実装はデバイスが丁度良い時に反応することを保証でき、故に書き込み衝突が避けられます。

4.1. 主装置側

SPIの初期化はたまたま前の例と同様になります。SSピンは最初に出力として設定されなければならない、そしてその後にSPIを許可することができます。SPI割り込みはSPCR内のSPIEビットを設定(1)することによって許可されます。

図4-1. 割り込み制御主装置 - 初期化と送信

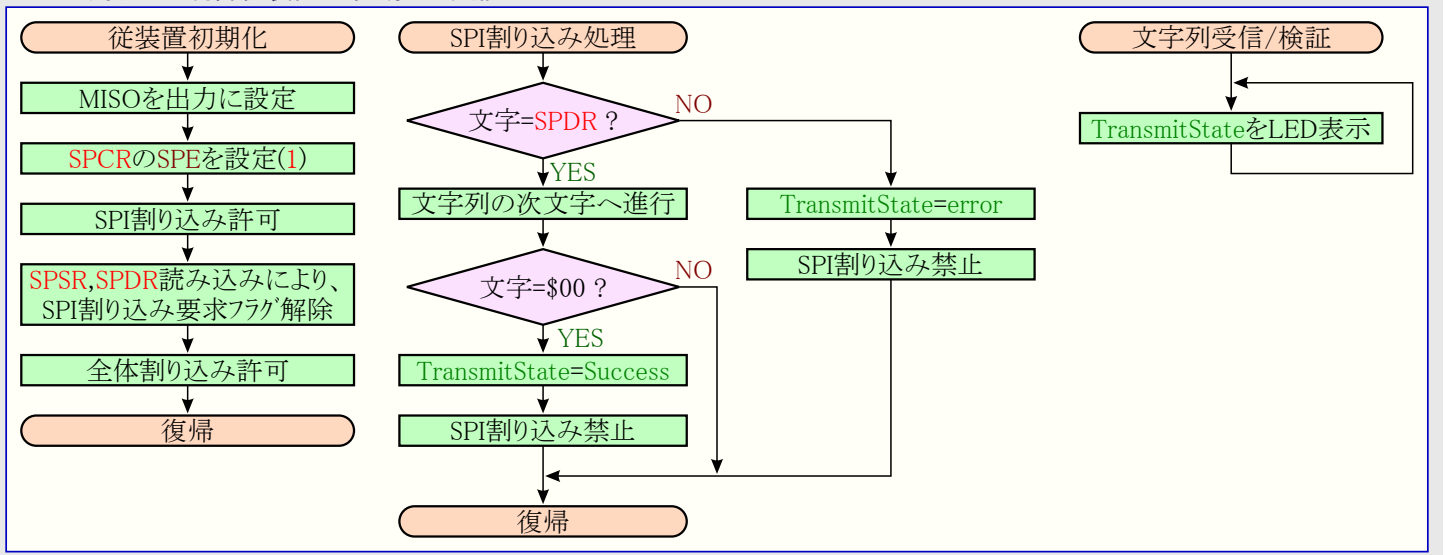


4.2. 従装置側

従装置は主装置が新しい通信を始めるだろう時が決して分かりません。割り込みはこのような不確定の事象に反応するための完璧な機能です。故にこれは従装置動作でSPIを実装するために一般的な方法です。

この例に於ける主プログラムは転送異常と転送の完了について通知されなければなりません。

図4-2. 割り込み制御従装置 - 初期化と受信



5. 結び

この応用記述は説明された基本的なSPI通信を持ちます。SPI送信が成功、即ち従装置で受信したデータがSPIバス経由で主装置によって送信された実際のデータと一致した時に、'\$AA'の値がポートDレジスタに書かれます。SPI送信失敗時、ポートDレジスタに'\$F0'の値が書かれます。これは基板上のLEDの手助けを持つSTK600で視覚的に確認することができます。

6. 改訂履歴

資料改訂	日付	注釈
2582A	2006年	初版資料公開
2582B	2006年	-
2582C	2008年7月	-
2582D	2016年2月	ファームウェアをAtmel Studioの最終版(Atmel Studio 7)に更新と資料内での小さな変更

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®, AVR®, STK®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2016.

本応用記述はAtmelのAVR151応用記述(Rev.2585D-02/2016)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。