

序説

2線直列インターフェース(TWI)はPhilipsのI²C規約と互換です。このバスは電子機器に於ける集積回路間の簡単、強力且つ費用効率的な通信を許します。TWIの能力は同じバス上での128装置までのアドレス指定能力、調停、バスに多数の主装置を持つことの可能性です。

ハードウェアTWI部署はAtmel[®] AVR[®]デバイスの多くに内蔵されています。

この応用記述は完璧なドライバの形式でTWI従装置実装を記述し、このドライバの使用例を含みます。ドライバは標準動作(<100kbps)と高速動作(<400kbps)の両方に基づいて転送を処理します。

特徴

- TWI主装置用Cコード
- PhilipsのI²C規約に適合
- ハードウェアTWI部署使用
- 割り込み駆動転送
- 標準と高速の両動作を支援

目次

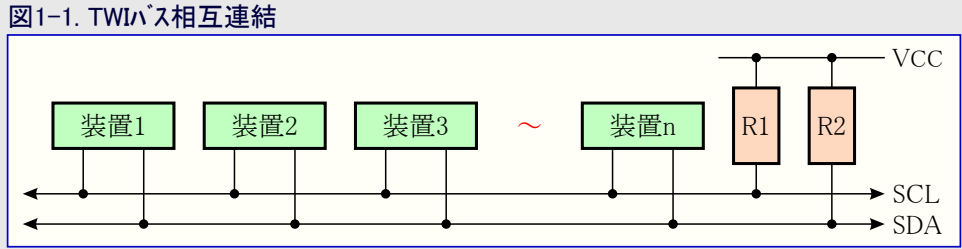
序説	1
特徴	1
1. 概要	3
1.1. 2線直列インターフェース	3
1.2. AVR TWI単位部	4
2. 実装	6
2.1. 関数	6
3. 要約	8
4. 改訂履歴	8

1. 概要

本章は一般的なTWIインターフェースとAtmel megaAVR[®] 8ビット マイクロ コントローラシステムでのTWI単位部の短い説明を提供します。より多くの情報については特定デバイスのデータシートを参照してください。

1.1. 2線直列インターフェース

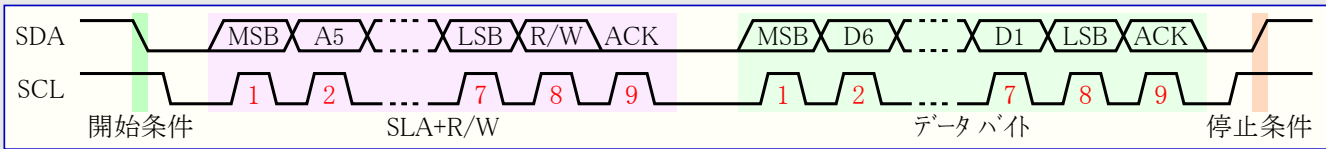
2線直列インターフェース(TWI)はマイクロ コントローラ応用に対して理想的に適合します。TWI規約はクロック(SCL)用の1つとデータ(SDA)用の1つの2つの双方向バス線だけを使用して最大128の個別アドレス指定可能な装置の相互連絡をシステム設計者に許します。バスを実装するのに必要な外部ハードウェアはTWIバス線の各々に対する単一プルアップ抵抗だけです。バスに接続された全ての装置は個別のアドレスを持ち、バス衝突を解決する仕組みはTWI規約に内在しています。



TWIバスはバスを制御を行う能力のある1つ以上の装置を接続することができる複数主装置バスです。主装置だけがSCLとSDAの両線を駆動することができ、従装置はSDA線にデータを出すことだけを許されます。

データ転送は常にバス主装置によって始められます。SCLがHighの間のSDA線上のHighからLowへの遷移が**開始条件**(または**再送開始条件**)に定義されます。

図1-2. TWIのアドレスとデータの packets 形式



開始条件は常に(固有の)7ビット従装置アドレスとその後のデータ方向ビットが後続します。アドレス指定された従装置は1クロック周期の間、SDAをLowに保持することによって直ぐに応答します。主装置がどんな(肯定)応答も受信しなかった場合、その転送は終了されます。データ方向ビットに依存して、主装置または従装置は直ぐにSDA線へ8ビットのデータを送信します。そして受信する装置はデータに対して応答します。主装置によって**再送開始条件**や**停止条件**が発行される前に単一方向で複数バイトを転送することができます。転送は主装置が**停止条件**を発行する時に終了されます。**停止条件**はSCLがHighの間のSDAでのLowからHighへの遷移によって定義されます。

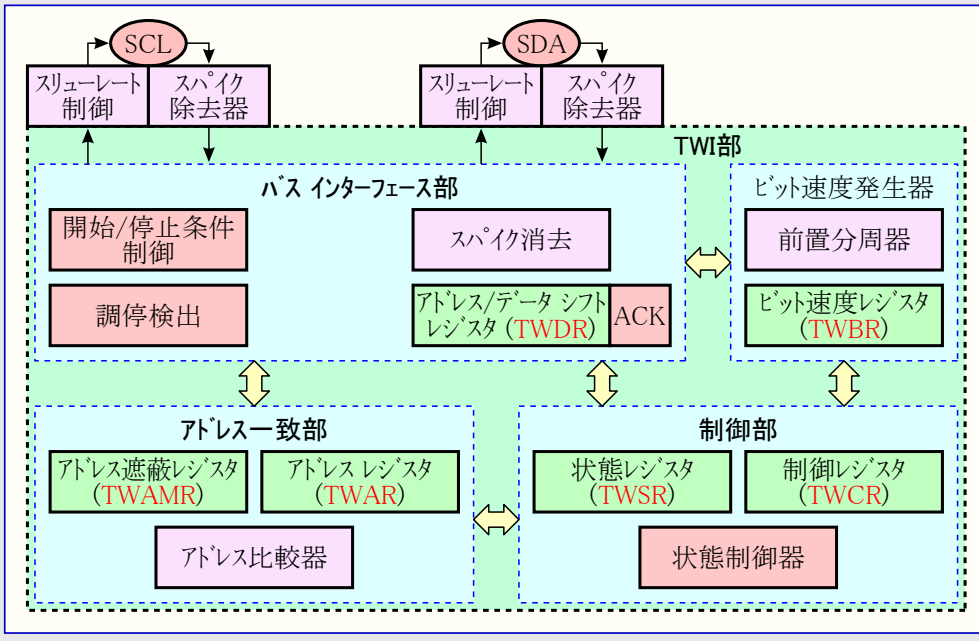
いくつかの他の機能が実行されてしまうまで、従装置がやって来るデータを処理することができない場合、主装置に待ち状態を強制するためにSCLをLowに保持することができます。

TWIバス上に送信される全てのデータ packets は1バイトのデータと応答ビットから成る9ビットです。データ転送の間、主装置がクロックと**開始条件**、**停止条件**を生成し、一方受信部は受信に応答する責任があります。**肯定応答(ACK)**は第9SCL周期中に受信部がSDA線をLowに引っ張ることによって合図されます。受信部がSDA線をHighのままにするなら、**否定応答(NACK)**が合図されます。

1.2. AVR TWI単位部

TWI単位部は下図で示されるように多数の補助単位部から成ります。赤文字のレジスタ名の(訳注:原書は「太線で描かれた」)全てのレジスタがAVRのデータバスを通して入出力可能です。

図1-3. AVRデバイス内のTWI単位部の概要



(訳注) 図は代表的な構成に置き換えています。初期のTWI部署にはアドレス遮蔽レジスタ(TWAMR)が存在しません。一部のデバイスには関連する付加機能とそれらに対する付加レジスタが存在します。

1.2.1. 制御部

AVRのTWI部署は主装置と従装置の両方の動作で動くことができます。動作種別はTWI制御レジスタ(TWCR)の或るビットの使用とTWI状態レジスタ(TWSR)のTWI状態符号によって区別されます。

予め定義されている状態符号の組がTWI事象発生時にTWIがなり得る様々な状態を網羅します。状態符号は主装置と従装置の符号、更に送信と受信に関連する符号に分けられます。バスの異常とアイドルに対する状態符号も存在します。

TWI部署は状態遷移機構として動き、それは事象駆動です。TWIアドレスが後続する開始条件が従装置のTWIアドレスレジスタ(TWAR)内のアドレスと一致した場合、TWI割り込み要求(TWINT)フラグが設定(1)されます。これは(全体割り込みとTWI割り込みが許可されていれば)対応する割り込みの実行に帰着します。従装置のファームウェアはTWSRの状態符号を読むことによって反応し、そしてそれに応じて返答します。全てのTWI事象がTWINTフラグを設定(1)し、そしてファームウェアはTWSR内の状態符号に基いて応答しなければなりません。

TWINTフラグが設定(1)されている限り、SCL線はLowに保持されます。これはTWI転送の継続を許す前にその作業の完了を応用ソフトウェアに許します。

TWINTフラグは以下で設定(1)されます。

- TWIが開始条件/再送開始条件を送出した後
- TWIがSLA+R/Wを送信した後
- TWIがアドレスバイトを送信した後
- TWIが調停を失った(に敗れた)後
- TWIが一斉呼び出しましたは自身アドレスによってアドレス指定された後
- TWIがデータバイトを受信した後
- 従装置として未だアドレス指定されている間に停止状態または再送開始条件が受信された後
- 不法な開始条件または停止条件のためにバス異常が起きた時

1.2.2. ビット速度発生器

ビット速度発生器部は主装置動作で動いている時にSCLの周期を制御します。SCL周期はTWIビット速度レジスタ(TWBR)とTWI状態レジスタ(TWSR)内の前置分周器選択(TWPS1,0)ビットでの設定によって制御されます。従装置動作はビット速度と前置分周器の設定に依存しませんが、従装置のCPUクロック周波数はSCL周波数よりも最低16倍高くなければなりません。従装置がSCLのLow区間を延長するかも知れず、それによって平均TWIバスクロック周波数を下げることに注意してください。SCL周波数は次式に従って生成されます。

$$\text{SCL周波数} = \frac{\text{CPUクロック周波数}}{16 + 2 \times (\text{TWBR}) \times \text{前置分周係数}}$$

TWBR : TWIビット速度レジスタ値
前置分周係数 : TWSR内のTWPSビットでの分周係数

TWPSはTWI状態ビットと同じレジスタのTWSRに配置されています。従ってTWI状態ビットの処理を簡単にするため、TWPSは常に0に設定されるべきです。SCLで必要とされる速度を達成するにはTWBRを使用してください。右表はCPUとSCL周波数に基づいて予め計算されたTWBR値の選択を示します。

表1-1. ビット速度レジスタ設定に対するCPUとSCLの周波数

CPUクロック周波数(MHz)	TWBR	TWPS	SCL周波数(kHz)
16	12	0	400
16	72	0	100
14.4	10	0	400
14.4	64	0	100
12	7	0	400
12	52	0	100
8	2	0	400
8	32	0	100
4	12	0	100
3.6	10	0	100
2	2	0	100
2	12	0	50
1	2	0	50

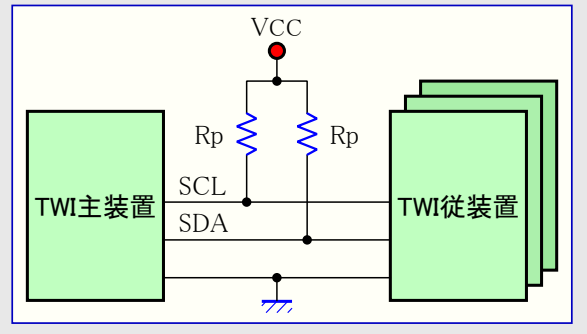
1.2.3. SCLピンとSDAピン

両TWI線(SDAとSCL)は双方向で、従ってTWIバスに接続する出力はオープンドレインまたはオープンコレクタでなければなりません。各線はプルアップ抵抗経路で供給電圧に接続されなければなりません。そして線を駆動する接続された装置が何も無い時に線は論理1(High)で、1つ以上が線をLowに駆動する場合に論理0(Low)です。

出力駆動部はスローレイトリミタを含みます。入力段は50nsよりも短い尖頭(雑音)を除去する尖頭除去部を含みます。データシートの「入出力ポート」章で記述されるように、SCLとSDAのピンに対応するPORTビットを設定(1)することによって、AVRのポート内の内部プルアップを許可することができることに注目してください。いくつかのシステムに於いて、内部プルアップは外部抵抗の必要をなくすことができます。

右図はTWI部をTWIバスに接続する方法を示します。Rpの値はVCCとバス容量に依存し、代表的には4.7kΩです。

図1-4. TWI接続



1.2.4. アドレス一致部

アドレス一致部は従装置動作でだけ使用され、受信したアドレスバイトがTWIアドレスレジスタ(TWAR)内の7ビットアドレスに一致するかを調べます。アドレス一致で、制御部はそれを知らされ、取られるべき正しい動きを可能にします。TWIはTWI制御レジスタ(TWCR)の設定に依存して、そのアドレスに応答するかもしれないし、しないかもしれません。

TWIアドレス遮蔽レジスタ(TWAMR)を持つデバイスでは遮蔽されたアドレスの1群に応じることができます(訳注:共通性から本行追加)。

例え全ての休止形態に於いてTWIへのクロックシステムがOFFにされても、インターフェースはクロック元としてTWIバスクロックを使用することにより、一斉呼び出しアドレスまたは自身の従装置アドレスに未だ応答することができます。そしてデバイスは休止形態から起き、TWIは起動復帰中とTWI割り込み要求(TWINT)フラグが解除(0)されるまでSCLクロックをLowに保持します。

1.2.5. バス インターフェース部

この部署はデータとアドレスのシフトレジスタ(TWDR)、開始条件/停止条件制御器、調停検出ハードウェアを含みます。TWDRは送信されるべきアドレスまたはデータのバイト、または受信したアドレスまたはデータのバイトを含みます。加えて、送信するまたは受信した(N)ACKビットを含む(内部)レジスタも含みます。

開始条件/停止条件制御器は開始条件、再送開始条件、停止条件の生成と検出に関する責任があります。例えAVR MCUが休止形態の1つの時でも、開始条件/停止条件制御器は開始条件と停止条件を検知することができ、主装置によってアドレス指定されている場合にMCUを起すことを許します。TWIが主装置として転送を始めた場合、調停が進行中かの判断を試みる転送を調停検出ハードウェアが継続的に監視します。TWIが調停を失った(敗れた)場合、制御部はそれを通知されます。そして正しい動きを取ることができ、適切な状態符号が生成されます。

2. 実装

この応用記述で実装するコードは純粋な主装置ドライバです。TWI単位部は従装置動作も支援します。従装置ドライバの試供品については「AVR311: I²C従装置としてのTWI部の使い方」応用記述をご覧ください。主装置と従装置のドライバは主装置と従装置のドライバを結合して1つに合成できますが、それはこの応用記述の範囲ではありません。

主装置ドライバのCコードは3つのファイルから成ります。

- TWI.Master.c
- TWI.Master.h
- main.c

main.c内にドライバ使用法の例があります。TWI.Master.hファイルが主応用内にインクルードされなければならず、これは全ての関数宣言、ビット速度(TWBR)レジスタの定義、全てのTWI状態符号に関する定義を含みます。TWBRはこの応用記述での前の記述に従って設定されなければなりません。TWI状態符号定義は異常メッセージの評価と適切な動きを取るのに使用することができます。TWI.Master.cファイルは全てのドライバ関数を含みます。

2.1. 関数

ドライバはTWI割り込み処理ルーチンと6つの関数から成ります。全ての関数はドライバファイルの範囲外での使用が可能です。けれども、それらのいくつかはドライバそれ自身によって内部的にも使用されます。ドライバ内の全ての関数が次表で一覧にされます。

表2-1. TWI主装置ドライバに於ける関数の説明

関数名	説明
void TWI_Master_Initialize(void)	TWI主装置をその初期待機状態に設定するにはこの関数を呼んでください。TWI初期化後に主応用で割り込みを許可することを忘れないでください。
void TWI_Start_Transceiver_With_Data(unsigned char *msg, unsigned char msgSize)	予め用意されたメッセージを送るにはこの関数を呼んでください。先頭バイトは従装置アドレスと読み/書き(R/W)ビットを含まなければなりません。引き続くバイトは送るべきデータ、または従装置から読むべきデータに対する空の位置を含みます。また、アドレスバイトを含めて何バイトが送受されるべきかも含みます。関数はTWI割り込み処理ルーチンが直前操作を完了し、そして次の操作を初期化して戻るまで実行を差し控えます(内部待機)。
void TWI_Start_Transceiver(void)	最終メッセージを再送するにはこの関数を呼んでください。ドライバは直前に送受信緩衝部に置かれたデータを再使用します。関数はTWI割り込み処理ルーチンが直前操作を完了し、そして次の操作を初期化して戻るまで実行を差し控えます(内部待機)。
unsigned char TWI_Transceiver_Busy(void)	TWI割り込み処理ルーチンが転送多忙かを調べるにはこの関数を呼んでください。
unsigned char TWI_Get_State_Info(void)	直前操作の状態情報を取得するにはこの関数を呼んでください。関数はTWI割り込み処理ルーチンが直前操作を完了するまで実行を差し控えます(内部待機)。異常がある場合、関数はTWI状態符号を返します。
uchar TWI_Get_Data_From_Transceiver(unsigned char *msg, unsigned char msgSize)	TWI送受信部緩衝部から要求したデータを読み出すにはこの関数を呼んでください。換言すると、データ要求を従装置へ送るため、先にTWI_Start_Transceiver_With_Data関数を呼んでください。そしてそれらが到着した時のデータを取得するためにこの関数を走らせてください。データを置く場所へのポインタと(アドレス領域を含めて)要求したバイト数を関数呼び出しに含めてください。関数はデータを読み出して戻る前に、TWI割り込み処理ルーチンが直前操作を完了するまで実行を差し控えます(内部待機)。異常がある場合、関数はTWI状態符号を返します。
ISR(TWI_vect) (GCC用)/ _interrupt void TWI_ISR(void) (IAR用)	この関数は割り込み処理ルーチン(ISR)で、TWI事象が起きた時に必ず起動されるTWI割り込み時に自動的に呼ばれます。この関数は主応用から直接呼ばれるべきではありません。

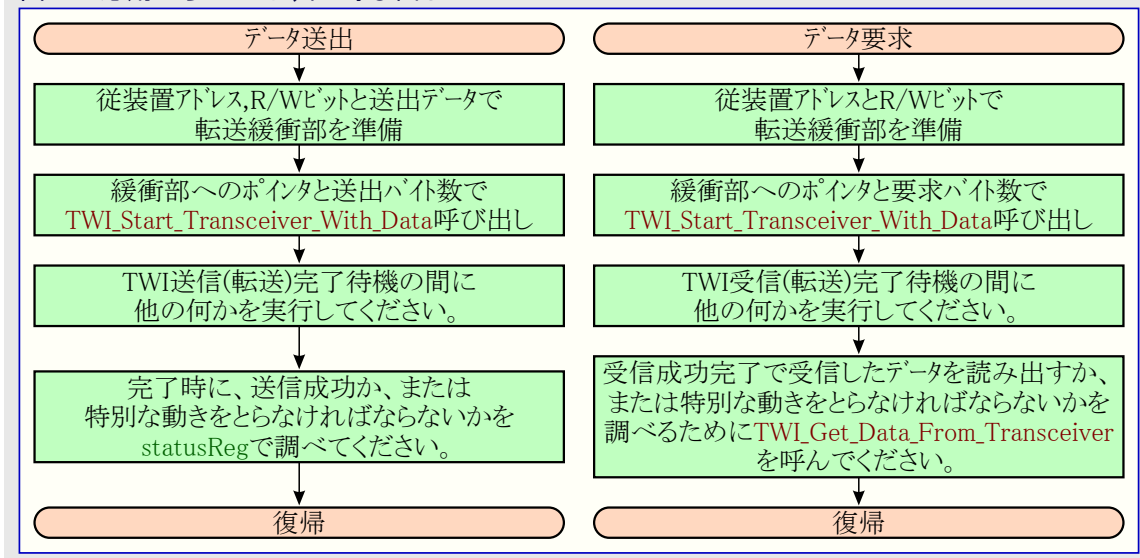
次表は最後の送受信部動作からの状態情報を含むドライバレジスタバイトの説明になります。バイト内のビット領域として利用可能です。

表2-2. ドライバ状態レジスタバイトの説明

TWI_statusReg	説明
TWI_statusReg.lastTransOK	操作が成功裏に完了したとき、1に設定されます。

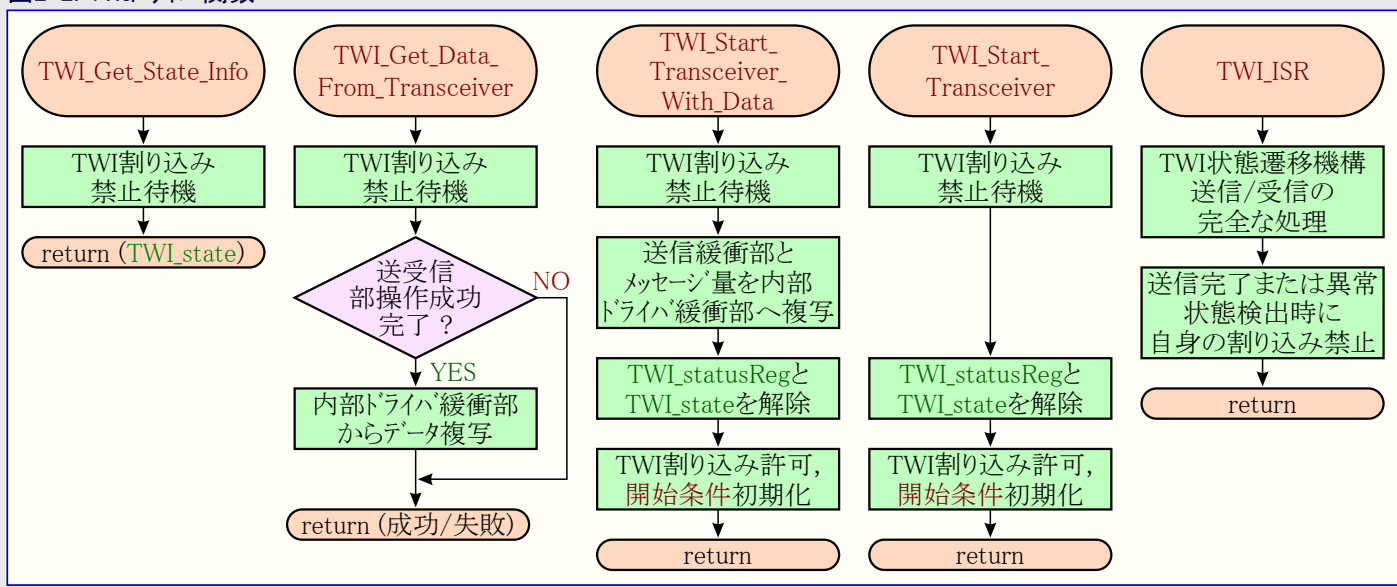
次図はドライバを通るTWIインターフェースに対するデータの受信と送信の処理の流れ図を示します。データは引数を通して関数に渡され、一方動作状況は状態全域変数を通して利用可能です。

図2-1. 応用からのTWIドライバ呼び出し



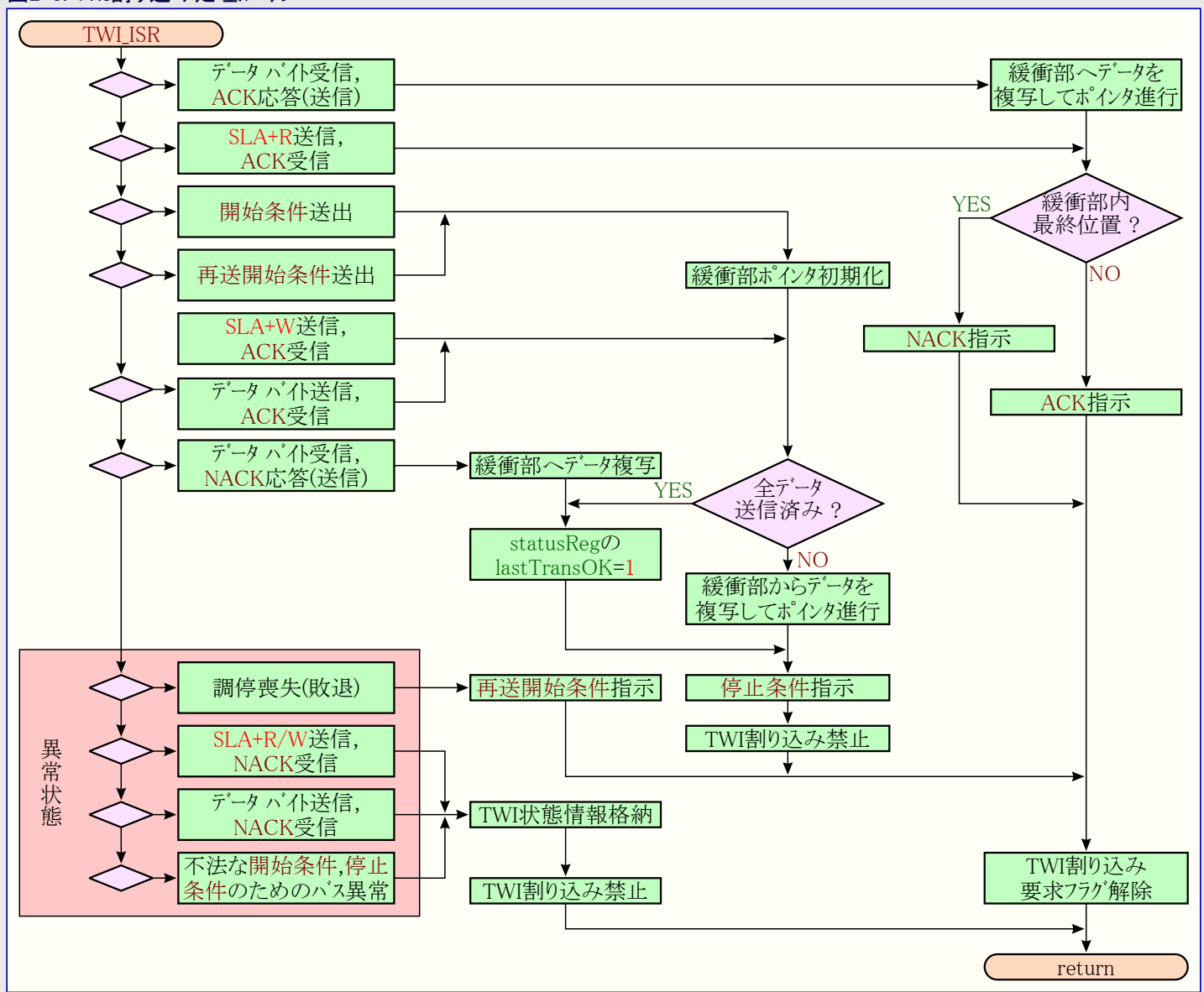
次図はTWIドライバそれ自身に関する流れ図を含みます。TWI_Start_Transceiver_With_Data関数はメッセージ全体を転送緩衝部内に複製します。そして送信を開始するためにTWI割り込みを許可します。その後、割り込みは転送を完全に処理し、転送完了時または異常状態発生の場合に自身を禁止します。このようにドライバは転送完了を調べるのに割り込み許可ビットをポーリングすることができます。主応用はTWI送受信部が多忙でない間にだけ、送受信部全体変数のアクセスを許されます。割り込みは結果としての異常状態を関数呼び出しを通して主応用で利用可能な変数に格納します。

図2-2. TWIドライバ関数



以下の流れ図ではTWI割り込み処理ルーチンに於ける各事象/状況に対する動きのもとと詳細な説明を示します。左側の列は割り込み移行時にTWI状態遷移機構がなり得る各種の状況/事象を含みます。状態切り換え部は割り込み呼び出しの原因に依存する各種動作を実行します。

図2-3. TWI割り込み処理ルーチン



3. 要約

この応用記述は主装置としてTWI単位部を形態設定する方法を説明し、単位部を実装するためのドライバソフトウェア例を提供します。主装置ドライバ用ファームウェアはこの応用記述と一緒にダウンロードとして入手可能です。

4. 改訂履歴

資料改訂	日付	注釈
2564A	2006年4月	初版資料公開
2564B	2007年9月	TWBRが10よりも高いことが必要なことについての文章を削除
2564C	2010年1月	ビット速度に対する表を更新
2564D	2016年3月	ファームウェアをAtmel Studio 7へ移植

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®, AVR®, megaAVR®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2016.

本応用記述はAtmelのAVR315応用記述(Rev.2564D-03/2016)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。