

AVR325 : EPP並列ポート ホストに対する高速インターフェース

要点

- INTEL® PCホストとの1点間双方向高速データ転送
- 12ピン以上の入出力を持つ全てのAVR®デバイスを支援するコード
- 割り込み駆動
- 追加ハードウェア不要
- 4MHz動作で60Kバイト/sの転送
- 100語未満のコード空間、専用SRAM空間なし
- EPP使用実演用Cホストプログラム内包

序説

この応用記述はAVRマイクロコントローラと直ぐに使えるIBM® PC互換デスクトップコンピュータ間の双方向高速データ転送用の方法を記述します。このインターフェースは4MHzで動作するAVRプロセッサとで最大60Kバイト/sのデータ転送を許す8ビット並列データ経路を提供します。これは標準的なRS-232接続よりも速く、同時に(USBやSCSIのような)複雑な外部インターフェースハードウェアを必要としない重要な方式です。

この応用記述はホストの並列ポートに対してAVRをインターフェースするのに必要とされる、ホストとAVRの両方のコードを提供します。必要とされるケーブル接続の詳細構成とホスト構成情報も含まれます。

背景

基となる1918年のIBMパーソナルコンピュータの導入からINTELのx86デスクトップコンピュータは普及して殆ど標準化と資料化が成されています。これらは高速、安価な大容量データ記憶、洗練された使用者インターフェース、洗練された様式化、そしてソフトウェア開発ツールを提供します。けれども、これらのシステムに外部装置を接続する殆どの方法は相対的に遅いか、または複雑なソフトウェアと特別な外部ハードウェアを必要とするかのどちらかです。

INTEL x86 PCの並列I/Oポートは高速接続達成と低価格との妥協物です。このポートは元来プリンタを駆動するための単方向限定使用インターフェースとして設計されました。けれども、現在の並列ポート用チップセットはディスクとテープのインターフェースとしてのこのポートの拡張された役割を反映するために複数の動作形態を支援します。

これらの強化された動作形態の1つ、EPPとして知られるEnhanced Parallel Portは1Mバイト/sを越える速度で双方向8ビットのデータ転送を提供することができます。現在のAVRはEPP転送速度の完全な優位性の利用をそれらに許す速度で動きませんが、4MHzのAVRでさえ、この規約を用いて60Kバイト/sの転送速度を達成することができます。これは高速周辺機能の実行をAVRに許すことや、AVRの使用者インターフェースと高速データ記録用の記憶部としての使用をホストPCに許すには十分な速さです。

EPP規約要約

IBM PC互換基本設計はi86プロセッサのINとOUTの命令によって8ビットの“レジスタ”として入出力される番地の範囲としてプリンタポートを実装します。基のプリンタポート、SPPはデータ、状態、制御の3つのレジスタとして実装され、EPP動作はこれを5つ、或る場合には8つに拡張します。

特定の並列ポートが多数のアドレスの1つに存在するかもしれないので、レジスタは一般的に共通の“基準”I/Oアドレスからの変位、例えば状態レジスタに対する“基準+1”、によって参照されます。SPP定義は3つの基準アドレスを提供しますが、EPPはこれらの内の2つ、0378Hと0278Hだけを支援します。

EPP規約は単一8ビットデータバス上でアドレスとデータとして参照される2つの異なる形式の読み書きを支援します。各形式の読み書きは単一制御信号(nWrite)と、2つの制御信号(nDataStrobeとnAddressStrobe)によるアドレスとデータの転送によって区別されます。この応用記述で提供されるコードはデータ形式転送だけを実装しますが、アドレス形式転送の追加が簡単であるべきです。

ホストPCに於いて、制御ビットはEPP制御レジスタ(基準+2)で設定でき、そしてEPP状態レジスタ(基準+1)で状態ビットが返されます。制御レジスタは単位転送中の制御信号操作に使用されませんが、これらの制御線はEEP下にあるハードウェアによって駆動されます。

ホストPCはアドレスレジスタ(基準+3)を読み書きすることによってアドレス情報を、そしてデータレジスタ(基準+4)を読み書きすることによってデータを読み書きします。



8ビット AVR®
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 2506A-02/02, 2506AJ1-12/13

EPPは常にホストがバス上の読み書きの開始者であることに於いて、基本的に主/従規約です。けれどもホストからの処理を要求するために、割り込み信号(**nInterrupt**)または“予備”信号線の1つを使用することができます。提供されたコードはこの目的に**nInterrupt**(**nINTR**)を使用します。

4手順で進める各操作

1. ホストは読み/書き(**nWrite**)線と8つのデータ線を設定し、そしてデータ ストローブ(**nDataStrobe**)を(活性)設定します。
2. 周辺部は8つのデータ線を捕獲(ホスト書き込み)または設定(ホスト読み込み)し、そして待機(**nWait**)線を(活性)設定します。
3. ホストは8つのデータ線を捕獲し、そしてデータ ストローブ(**nDataStrobe**)を(不活性)解除します。
4. 周辺部は待機(**nWait**)線を(不活性)解除します。

一旦手順4.が完了すると、次の操作はEPP 1.9に関して第1段階から進めることができ、EPP 1.7に関しては手順3.完了後に次の操作を始められます。

手順1.の開始から手順2.の完了までの操作に10 μ sの制限時間が適用されます。

このISO第1層規約の上に利用可能な多くの第2層規約のどれをも実装することができます。

EPPのより多くの情報についてはこの応用記述の最後で一覧にされた参考書を調べてください。

実装

hostepp.cコードは参考書章で提供されたURLからダウンロードできるTurbo コンパイラの複製である、BorlandのDOS®に基くTurbo C 2.01版コンパイラ用に書かれました。**avrepp.asm**はATMELのAVRASMアセンブラを使用して符号化されました。

AVREPPはデータの読み書きを支援します。これは12本の入出力線(8本のデータ+1つの外部割り込み(INT0)を含む4本の制御)と7つのレジスタ(6つの上位側と1つの下位側)を消費します。SRAMの使用は呼び出しスタックの使用に制限されます。

この1式は初期化ルーチン(**ppinit**)と2つのバイト転送関数(**ppgetc**,**ppputc**)を含む簡単なライブラリと割り込み処理ルーチン(ISR)から成ります。これらは他の応用内への全体挿入向き自立型に書かれています(レジスタ定義とポート割り当ては、これを含む応用との適合性を調べられるべきです)。

avrepp.asmは単にホストから送られたデータを、復帰符号(CR)が見つかった時に改行符号(LF)を追加して、ホスト送り返す主繰り返しを含みます。

緩衝

各方向(読み/書き)に対して1つの要素の待ち行列が提供されます。ホストがEPP書き込みを実行すると、そのデータはAVRの応用が**ppgetc**でそれを取得するまで待ち行列内に格納されます。応用は**ppputc**を呼ぶことによってホストに対してデータを利用可能にします。この関数は待ち行列内にバイトを格納し、そして割り込み線(**nINTR**)を(活性)に設定して、データが利用可能なことをホストへ通知します。ホストがこれに応じて読み込みを実行する時に待ち行列にされたデータ バイトが供給されます。

ホストが頼まれもしない読み込みを発行した場合(例えば、**nINTR**が設定されていなかった)、読み込み緩衝部内にデータが全くなく、その要求は無視されます(訳補:この応用記述では緩衝部名に関する読み込みと書き込みがホスト基準なので、前記の読み込み緩衝部はホストが読む方向で、故にAVRから書き込む方向の緩衝部を意味します)。これはホストに於いて読み込み時間超過として見えます。

書き込み待ち行列が一杯の時にホストが書き込みを発行した場合に超過が起きます。EPPは超過を避けることをホストに許す流れ制御構造を現実的に提供せず、これは応用ソフトウェアに於いてISO第2層規約での処理が必要です。**avrepp**で供給されるコードは単に新しいバイトを受け入れ、目に待ち行列にされたバイトを上書きしてこの出来事を記録し、そして**ppgetc**はデータ列に於いて喪失バイトが現れた位置で“!”文字を返します。

割り込み

avreppの割り込み処理ルーチンはAVRのINT0外部割り込みピンに接続された、EPPデータ ストローブ信号(**nDATASTR**)によって起動されます。1つのEPP単位転送(読み込みまたは書き込み)はホストEPPハードウェアの実装に依存して1つまたは2つのAVR割り込みのどちらかに帰着し得る、2つの段階で処理されます。

最初の段階は**nDATASTR**の(活性)設定(Low)によって起動されます。これはINT0に対する下降端割り込みを起動します。この状況に応じて、割り込み処理ルーチンは最初にINT0の感知を下降端に反転し、そしてデータを取得/設定して**nWAIT**を(活性)設定する**手順2.の操作**を実行します。

第2段階はINT0に対する上昇端割り込みを起動する**nDATASTR**の(不活性)設定によって起動されます。この状況に応じて、割り込み処理ルーチンは次の単位転送のためにINT0の感知を反転して下降端に戻し、そして**nWAIT**を解除(不活性)する**手順4.**を実行します。

nDATASTRを(不活性)設定することに対してEPP規約がホストに1秒丸ごと許すため、この2段階操作が必要とされます。この可能性を許すために**avrepp**の割り込み処理ルーチンは割り込みから戻って、そして後で**nDATASTR**が最後に解除(不活性)された時に再移行されます。

avreppの割り込み処理ルーチンはホストが既に**手順3.**を完了したかを見るために最初の段階の最後で調べる形式での発展性を持ち、そうならば、割り込みルーチンは割り込みルーチンから戻ることなく直接第2段階へ飛び、そして1つのAVR割り込みだけで単位転送が完了します。

これは周辺部が**nWAIT**を(活性)設定後、非常に素早く**nDATASTR**が解除(不活性)された時にも正しく機能することを割り込み処理ルーチンに許します。

ホスト構成

EPP規約を使用するためにはホストブート時間に於いてホストBIOS Setupソフトウェアを使用してI/Oチップセットが正しく形態設定されなければなりません。ホストの並列ポート形態設定方法は使用するBIOSとチップセットに依存しますが、それは代表的に“Peripheral”または“Peripheral Setup”と記されたBISO構成部で見つかるでしょう。いくつかのシステムに関して、これは頭とする“Advanced”下の補助部分かもしれません。SMCFDC37C666IR I/OチップセットとAMI BIOSを装備したシステムでの以下の任意選択は代表的に次の通りです。

- Setup
 - On Board Parallel Port 0378 (ポートアドレス)
 - Parallel Port Mode EPP
 - Parallel Port IRQ 7

hostpp.cに於けるPPORTの定義がParallel Portに関して指定されたポートアドレスと一致しなければならないことに注意してください。

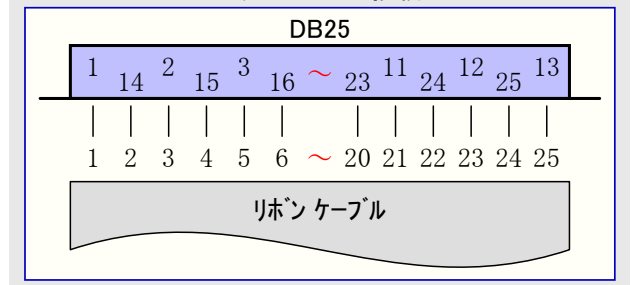
ケーブルピン配置/STK200接続

IBM互換PCの並列ポート接続は一般的にDB25Sコネクタを通して引き出されます。ポートがEPP形態での動作に形態設定されると、DB25Sコネクタのピンは表1.で示されるように使用されます。

DB25ピン番号	AVREPP使用ピン	AVREPP記号	EPP信号
1	PD4	nWRITE	nWrite
2~9	PC0~7	-	各々、Data0~7 (Data0が下位側)
10	PD5	nINTR	nInterrupt
11	PD6	nWAIT	nWait
12,13	-	-	(予備)
14	PD2	nDATASTR	nDataStrobe
15	-	-	(予備)
16	-	(未使用)	nReset
17	-	(未使用)	nAddressStrobe
18~25	GND	-	Gnd

リボンケーブル使用時、殆どのリボンケーブルDB25コネクタがDB25ピンに対して図1.で示される順番で接続されていることに留意してください。

図1. 並列ポートへのリボンケーブル接続



EPP 1.7対1.9

原型のEPP実装EPP v1.7はnWait信号を現在の実装(v1.9)と僅かに異なるように扱っていました。供給されるコードはEPP v1.9で書かれて検査されました。

両実装の詳細説明についてはSMC FDC37C665/666のPDFデータシートファイルの「EPP 1.7動作」と「EPP 1.9動作」項をご覧ください。

参考書

- Jan Axelson 著、「並列ポート大全(Parallel Port complete)」
[ISBN096508191-5] Lakeview Research
<http://www.lvr.com/>
本書はIntel x86 PC 並列ポートと現在支援されている動作種別の完全な説明を提供します。各動作種別に対するタイミング図、外部周辺機能に関する回路図、Visual Basicでのホスト試供コードを含みます。
- Standard Microsystems Corporation
<http://www.smsc.com/>
SMC FDC37C665/666と93Xのデータシートと応用記述
- National Semiconductor
<http://www.national.com/>
PC97338データシート
- VIA Technologies
<http://www.viatech.com/>
VT82C686Aデータシート
- EPP並列ポート
http://web.tiscalinet.it/nick/pinconpar_epp.htm
EPPピン配置とタイミング図での規約説明
- Turbo C
<http://community.borland.com/>
博物館(museum)部でBorlandのMS-DOS用Turbo Cコンパイラ 2.01版のダウンロード可能な複製が入手可能です(要登録)。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2002.

ATMEL製品は、ウェブサイト上にあるATMELの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。ATMEL製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はATMELの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2013.

本応用記述はATMELのAVR325応用記述(doc2506.pdf Rev.2506A-02/02)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。