

序説

この応用記述は汎用入出力または代替周辺機能としてAtmel® ATmega328PBの物理的な入出力ピンを形態設定する方法を記述します。[Atmel Start](#)からATmega328PB Xplained Miniキットに基づくコード例をダウンロードすることができます。

特徴

- 入出力ポート多重化
- 汎用入出力(GPIO)形態設定
- 外部割り込みピン形態設定
- 発振器/リセットピン形態設定
- タイマ/カウンタピン形態設定
- A/D変換器ピン形態設定
- アナログ比較器ピン形態設定
- PTC接触ピン形態設定
- TWIピン形態設定
- SPIピン形態設定
- USARTピン形態設定

目次

序説	1
特徴	1
1. 入出力ポート多重化	3
2. 汎用入出力(GPIO)形態設定	3
2.1. 概要	3
2.2. レジスタ説明	3
2.3. 形態設定コード例	4
3. 外部割り込みピン形態設定	4
3.1. 概要	4
3.2. 外部INT0,INT1ピン形態設定	4
3.3. 外部INT0形態設定コード例	5
3.4. ピン変化割り込み形態設定	5
4. 発振器/リセットピン形態設定	6
4.1. XTAL1,XTAL2ピン形態設定	6
4.2. TOSC1,TOSC2ピン形態設定	6
4.3. CLKOピン形態設定	6
4.4. リセットピン形態設定	6
5. タイマ/カウンタピン形態設定	6
5.1. 捕獲入力ピン-ICPn形態設定	6
5.2. 比較一致出力ピン-OCnA,OCnB形態設定	7
5.2.1. レジスタ説明	7
5.2.2. ピン形態設定例	8
5.3. 外部タイマ/カウンタクロック元-T0,T1,T3,T4ピン形態設定	9
6. A/D変換器ピン形態設定	9
7. アナログ比較器ピン形態設定	10
7.1. 比較器出力-AC0ピン形態設定	10
7.2. 非反転入力-AIN0ピン形態設定	10
7.3. 反転入力-AIN1ピン形態設定	10
8. PTC接触ピン形態設定	11
9. TWIピン形態設定	11
10. SPIピン形態設定	11
10.1. 概要	11
10.2. SPI形態設定例	11
11. USARTピン形態設定	12
11.1. TXD,RXDピン形態設定	12
11.2. XCKピン形態設定	12
12. 例プロジェクト	13
12.1. 事前必要条件	13
12.2. ATmega328PB Xplained Miniキット紹介	13
12.3. プロジェクト紹介	14
13. 参照	14
14. 改訂履歴	14

1. 入出力ポート多重化

ATmega328PBの各ピンは既定で汎用入出力として制御され、代わりに周辺機能の1つに割り当てることができます。下表はポート入出力ピンに対して多重化される周辺機能信号を記述します。

表1-1. ポート機能多重化

ピン番号	ポートパッド	EXTINT	PCINT	ADC・AC	PTC X	PTC Y	OSC	T/C #0	T/C #1	USART	TWI	SPI
1	PD3	INT1	PCINT19		X3	Y11		OC2B				
2	PD4		PCINT20		X4	Y12		T0		XCK0		
3	PE0		PCINT24	ACO	X8	Y16			ICP4		SDA1	
4	VCC											
5	GND											
6	PE1		PCINT25		X9	Y17			T4		SCL1	
7	PB6		PCINT6				XTAL1/TOSC1					
8	PB7		PCINT7				XTAL2/TOSC2					
9	PD5		PCINT21		X5	Y13		OC0B	T1			
10	PD6		PCINT22	AIN0	X6	Y14		OC0A				
11	PD7		PCINT23	AIN1	X7	Y15						
12	PB0		PCINT0		X10	Y18	CLKO	ICP1				
13	PB1		PCINT1		X11	Y19		OC1A				
14	PB2		PCINT2		X12	Y20		OC1B				SS0
15	PB3		PCINT3		X13	Y21		OC2A		TXD1		MOSI0
16	PB4		PCINT4		X14	Y22				RXD1		MISO0
17	PB5		PCINT5		X15	Y23				XCK1		SCK0
18	AVCC											
19	PE2		PCINT26	ADC6		Y6		ICP3				SS1
20	AREF											
21	GND											
22	PE3		PCINT27	ADC7		Y7		T3				MOSI1
23	PC0		PCINT8	ADC0		Y0						MISO1
24	PC1		PCINT9	ADC1		Y1						SCK1
25	PC2		PCINT10	ADC2		Y2						
26	PC3		PCINT11	ADC3		Y3						
27	PC4		PCINT12	ADC4		Y4					SDA0	
28	PC5		PCINT13	ADC5		Y5					SCL0	
29	PC6/RESET		PCINT14									
30	PD0		PCINT16		X0	Y8		OC3A		RXD0		
31	PD1		PCINT17		X1	Y9			OC4A	TXD0		
32	PD2	INT0	PCINT18		X2	Y10		OC3B	OC4B			

2. 汎用入出力(GPIO)形態設定

2.1. 概要

ATmega328PBのポートは標準デジタル入出力ポートとして使用される時に真の読み-変更-書き(リード/モディファイ/ライト)機能を持ちます。これは他のポートピンを意図せずに変更することなく、1つのポートピンの方向、出力駆動値、入力プルアップの許可/禁止を変更することができます。殆どのポートピンはデバイス上の周辺機能用の代替機能で多重化されます。ポートピンのいくつかの代替機能の許可は標準デジタル入出力としてポート内の他のピンの使用に影響を及ぼしません。

2.2. レジスタ説明

各ポートピンはDDxn、PORTxn、PINxnの3つのレジスタビットから成ります(xはポート文字、nはビット番号)。DDRxはポートピン入力/出力方向レジスタ、PORTxはポートピンデータ出力レジスタ、PINxはポートピン入力レジスタです。

DDRxレジスタ内のDDxnビットはそのピンの方向を選びます。DDxnが'1'を書かれた場合、Pxnは出力ピンとして形態設定されます。DDxnが'0'を書かれた場合、Pxnは入力ピンとして形態設定されます。

ピンが出力ピンとして形態設定される時に、PORTxnが'1'を書かれた場合、そのポートピンはHighに駆動され、PORTxnが'0'を書かれた場合、そのポートピンはLowに駆動されます。

下表はピン値に対する制御信号を要約します。

表2-1. ポートピン形態設定

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	注釈
0	0	X	入力	なし	ハイインピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力するとソース電流が流れます。
0	1	1	入力	なし	ハイインピーダンス (Hi-Z)
1	0	X	出力	なし	Low (シンク)出力
1	1	X	出力	なし	High (ソース)出力

2.3. 形態設定コード例

```

unsigned char i;
~
/* High出力設定 */
PORTB = (1<<PB7) | (1<<PB6) | (1<<PB1) | (1<<PB0);
/* ポートピンに対する方向定義 */
DDRB = (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0);
no_operation();
/* ポートピン読み込み */
i = PINB;
~

```

3. 外部割り込みピン形態設定

3.1. 概要

ATmega328PBについて、外部割り込みはINT,INT1またはPCINTピンのどれかによって起動することができます。INT0,INT1の割り込みは下降端、上昇端、Lowレベル、または何れかの論理変化によって起動することができ、一方PCINTピンは許可されたPCINTピンのレベル切り替わりによってのみ起動することができます。

3.2. 外部INT0,INT1ピン形態設定

外部INT0,INT1ピンの割り込み機能を許可するには、外部割り込み制御レジスタA(EICRA)が感知動作、下降端、上昇端、論理変化、またはLowレベルを選ぶように形態設定されるべきで、外部割り込み許可(EIMSK)レジスタのINT0,INT1割り込み要求ビットを許可してください。

図3-1. 外部割り込み制御レジスタA

名称 : EICRA								
変位 : \$69								
リセット : \$00								
特質 : -								
ビット	7	6	5	4	3	2	1	0
	-	-	-	-	ISC11,0		ISC01,0	
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット3,2 - ISC11,0 : 外部割り込み1条件制御	
値	説明
00	INT1ピンがLowレベルで発生。
01	INT1ピンの論理変化(両端)。
10	INT1ピンの下降端で発生。
11	INT1ピンの上昇端で発生。

ビット1,0 - ISC01,0 : 外部割り込み0条件制御	
値	説明
00	INT0ピンがLowレベルで発生。
01	INT0ピンの論理変化(両端)。
10	INT0ピンの下降端で発生。
11	INT0ピンの上昇端で発生。

図3-2. 外部割り込み許可レジスタ

名称 : EIMSK
 変位 : \$3D (\$1D)
 リセット : \$00
 特質 : I/O特定命令でI/Oレジスタとしてアクセスする時の変位アドレスは\$1Dです。

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	INT1	INT0
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット1 - INT1 : 外部割り込み1許可

ビット0 - INT0 : 外部割り込み0許可

3.3. 外部INT0形態設定コード例

```

/* CPU割り込み禁止 */
cli();
/* INT0の上昇端で割り込み起動 */
EICRA |= 0x03;
/* INT0割り込み許可 */
EIMSK |= 0x01;
~
/* CPU割り込み許可 */
sei();
    
```

3.4. ピン変化割り込み形態設定

PCINTピン変化割り込み機能を許可するには、最初にピンの方向が入力動作に形態設定されなければならない、次にピン変化割り込み許可(PCMSK)レジスタでPCINTnビットを”1”に設定することが必要で、最後にピン変化割り込み制御レジスタ(PCICR)で対応するPCIE0～3のビットを設定(1)することが必要です。

図3-2. ピン変化割り込み制御レジスタ

名称 : PCICR
 変位 : \$68
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PCIE3	PCIE2	PCIE1	PCIE0
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット3 - PCIE3 : ピン変化3群割り込み許可

PCIE3ビットが設定(1)されると、許可したPCINT24～27ピンの何れかのどの変化も割り込みを起こします。PCINT24～27ピンはピン変化割り込み3群許可レジスタ(PCMSK3)によって個別に許可されます。

ビット2 - PCIE2 : ピン変化2群割り込み許可 (Pin Change Interrupt Enable 2)

PCIE2ビットが設定(1)されると、許可したPCINT16～23ピンの何れかのどの変化も割り込みを起こします。PCINT16～23ピンはピン変化割り込み2群許可レジスタ(PCMSK2)によって個別に許可されます。

ビット1 - PCIE1 : ピン変化1群割り込み許可 (Pin Change Interrupt Enable 1)

PCIE1ビットが設定(1)されると、ピン変化1群割り込みが許可されます。許可したPCINT8～14ピンの何れかのどの変化も割り込みを起こします。PCINT8～14ピンはピン変化割り込み1群許可レジスタ(PCMSK1)によって個別に許可されます。

ビット0 - PCIE0 : ピン変化0群割り込み許可 (Pin Change Interrupt Enable 0)

PCIE0ビットが設定(1)されると、ピン変化0群割り込みが許可されます。許可したPCINT0～7ピンの何れかのどの変化も割り込みを起こします。PCINT0～7ピンはピン変化割り込み0群許可レジスタ(PCMSK0)によって個別に許可されます。

4. 発振器/リセットピン形態設定

4.1. XTAL1,XTAL2ピン形態設定

ATmega328PBデバイスについては、PB6,PB7が下表で示されるような水晶発振器に対するクロックヒューズ設定を持つ内部反転発振増幅器のXTAL1,XTAL2ピンに多重化され得ます。表が示すように、一旦CKSELヒューズが”外部クロック信号”任意選択に設定されると、外部クロックをXTAL1ピンからの入力にすることができます。

表4-1. デバイス クロック駆動任意選択

デバイス クロック任意選択	CKSEL3~0
外部水晶低電力発振器	1111~1000
(予約)	0111~0110
外部低周波数水晶発振器	0101~0100
128kHz内部(WDT)発振器	0011
校正付き内蔵RC発振器	0010
外部クロック信号	0000
(予約)	0001

4.2. TOSC1,TOSC2ピン形態設定

内部反転増幅発振器のXTAL1,XTAL2ピンの多重化を除き、PB6,PB7はタイマ/カウンタ2用発振器のTOSC1,TOSC2ピンとしても使用することができます。このタイマ/カウンタ発振器はシステムクロック元として校正付き内蔵RC発振器が選択されている時にだけ使用することができます。故にTOSC多重化機能を選ぶには、CKSELヒューズを”校正付き内蔵RC発振器”に、タイマ/カウンタ2の非同期クロック駆動を許可するためにタイマ/カウンタ2非同期状態レジスタ(ASSR)のタイマ/カウンタ2非同期動作許可(AS2)ビットを設定する必要があります。

タイマ/カウンタ2のクロックは外部的に入力することもできます。一旦ASSRで”外部クロック信号許可(EXCLK)”ビットが設定(1)されると、TOSC1ピンから外部クロック信号を入力することができます。

図4-1. タイマ/カウンタ2非同期状態レジスタ

名称 : ASSR
変位 : \$B6
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	-	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB
アクセス種別	R	R/W	R/W	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

ビット6 - EXCLK : 外部クロック信号許可 (Enable External Clock Input)

EXCLKが1を書かれ、非同期クロックが選択されると、外部クロック入力緩衝部が許可され、32kHz水晶の代わりに外部クロックをタイマ発振器1(TOSC1)ピンへ入力することができます。

ビット5 - AS2 : タイマ/カウンタ2非同期動作許可 (Asynchronous Timer/Counter2)

AS2が0を書かれると、タイマ/カウンタ2はI/Oクロック(clk_{I/O})からクロック駆動されます。AS2が1を書かれると、タイマ/カウンタ2はタイマ発振器(TOSC1,TOSC2)ピンに接続された水晶発振器からクロック駆動されます。

4.3. CLK0ピン形態設定

一旦CKOUTヒューズがプログラム(0)されると、PB0はシステムクロック出力ピンになります。

4.4. リセットピン形態設定

RSTDISBLヒューズがプログラム(0)された場合、PC6/RESETは入出力ピンとして使用され、RSTDISBLヒューズが非プログラム(1)にされた場合、PC6はリセットピンとして使用されます。

5. タイマ/カウンタピン形態設定

5.1. 捕獲入力ピン-ICPn形態設定

捕獲入力レジスタは捕獲入力(ICPn)ピンまたは代わりにアナログ比較器出力(ACO)のどちらかで論理レベルの変化(事象)が起こる時にタイマ/カウンタ値を捕獲することができます。ICPnピンを選ぶには、最初にアナログ比較器入力機能を禁止するためにアナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器捕獲起動許可(ACIC)を解除(0)すべきです。次に、使用者はタイマ/カウンタのTOP値として捕獲レジスタ(ICRn)を使用しないタイマ/カウンタ動作形態を選ぶように波形生成種別(WGM3~0)値を設定する必要があります。WGM3~0設定についてより多くの情報に関しては次表をご覧ください。

表5-1. 波形生成動作形態ビット説明

WGM3~0	タイマ/カウンタ動作種別	TOP値
0 0 0 0	標準動作	\$FFFF
0 0 0 1	8ビット位相基準PWM動作	\$00FF
0 0 1 0	9ビット位相基準PWM動作	\$01FF
0 0 1 1	10ビット位相基準PWM動作	\$03FF
0 1 0 0	比較一致タイマ/カウンタ解除(CTC)動作	OCRnA
0 1 0 1	8ビット高速PWM動作	\$00FF
0 1 1 0	9ビット高速PWM動作	\$01FF
0 1 1 1	10ビット高速PWM動作	\$03FF
1 0 0 0	位相/周波数基準PWM動作	ICRn
1 0 0 1	位相/周波数基準PWM動作	OCRnA
1 0 1 0	位相基準PWM動作	ICRn
1 0 1 1	位相基準PWM動作	OCRnA
1 1 0 0	比較一致タイマ/カウンタ解除(CTC)動作	ICRn
1 1 0 1	(予約)	-
1 1 1 0	高速PWM動作	ICRn
1 1 1 1	高速PWM動作	OCRnA

図5-1. アナログ比較器制御/状態レジスタ

名称 : ACSR
 変位 : \$50 (\$30)
 リセット : '00x00000'
 特質 : I/O特定命令でI/Oレジスタとしてアクセスする時の変位アドレスは\$30です。

ビット	7	6	5	4	3	2	1	0
	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1,0	
アクセス種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	不定	0	0	0	0	0

ビット2 - ACIC : アナログ比較器捕獲起動許可

論理1を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタ1の捕獲入力機能を許可します。論理0を書かれると、アナログ比較器と捕獲入力機能間の接続は存在しません。

5.2. 比較一致出力ピン-OCnA,OCnB形態設定

5.2.1. レジスタ説明

右図が示すように、OCnA,OCnBピンの動きはタイマ/カウンタ制御レジスタA(TCCRnA)での比較n出力選択(COMx1,0)ビットと、TC CRnAとタイマ/カウンタ制御レジスタB(TCCRnB)での波形生成種別(WGM3~0)ビットの両方に依存します。けれども、OCnxピンの方向(入力または出力)は未だデータ方向レジスタ(DDRx)によって制御されます。比較出力機能へ切り替えるには、DDR、OCnxが出力に設定されるべきです。

図5-2. 比較一致出力部回路図

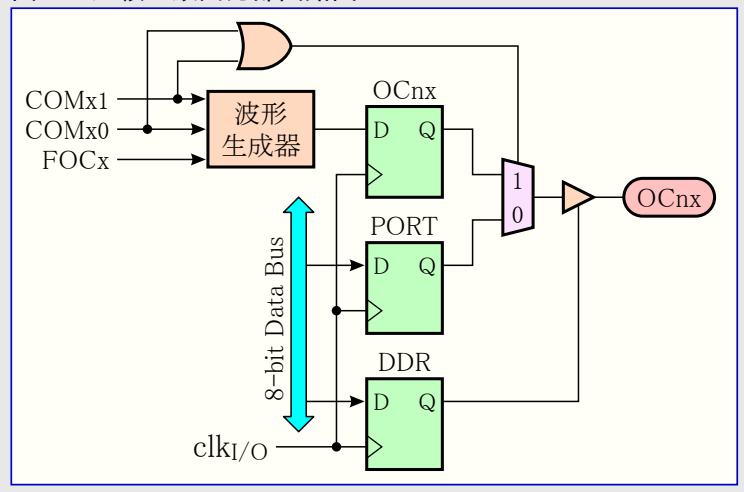


図5-3. タイマ/カウンタ制御レジスタA

名称 : TCCR1A : TCCR3A : TCCR4A
 変位 : \$80 : \$90 : \$A0
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	COMA1,0		COMB1,0		-	-	WGM1,0	
アクセス種別	R/W	R/W	R/W	R/W	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット7,6 - COMA1,0 : 比較A出力選択
 ビット5,4 - COMB1,0 : 比較B出力選択
 ビット1,0 - WGM1,0 : 波形生成種別

COMA1,0とCOMB1,0は(各々 OCnAとOCnB)の比較出力ピンの動きを制御します。COMA1,0ビットの1つまたは両方が1を書かれると、OCnA出力はそのI/Oピンの標準ポート機能を無効にし、そのI/Oピンに接続されます。COMB1,0ビットの1つまたは両方が1を書かれると、OCnB出力はそのI/Oピンの標準ポート機能を無効にし、そのI/Oピンに接続されます。

図5-4. タイマ/カウンタ制御レジスタB

名称 : TCCR1B : TCCR3B : TCCR4B
 変位 : \$81 : \$91 : \$A1
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	ICNC	ICES	-	WGM3,2		CS2~0		
アクセス種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット4,3 - WGM3,2 : 波形生成種別

タイマ/カウンタ制御レジスタA(TCCRnA)のビット1,0とタイマ/カウンタ制御レジスタB(TCCRNb)のビット3,2のWGM3~0ビットは計数器の計数順序(方向)、最大計数(TOP)値供給元、使用されるべき波形生成のどの形式かを制御します。下表はWGM3~0ビットが標準動作または比較一致タイマ/カウンタ解除(CTC)動作に設定される時のCOMx1,0ビットの機能を示します。より多くの詳細な記述についてはATmega328PBデータシートを参照してください。

表5-2. 非PWM動作での比較出力選択

COMx1	COMx0	説明
0	0	標準ポート動作 (OCnx切断)
0	1	比較一致でOCnxピントグル(交互)出力
1	0	比較一致でOCnxピン Lowレベル出力
1	1	比較一致でOCnxピン Highレベル出力

5.2.2. ピン形態設定例

この例はタイマ/カウンタ1標準動作で比較一致時にPB1/OC1Aピンの交互切り替えを形態設定します。

```

~
/* PB1/OC1Aピン出力方向設定 */
DDR1B |= 0x02;
/* TC1標準動作形態設定、比較一致時にOC1Aピン交互切り替え */
TCCR1A = 0x40;
TCCR1B = 0x01;
~
    
```


5.3. 外部タイマ/カウンタ クロック元-T0,T1,T3,T4ピン形態設定

TC1/3/4について、タイマ/カウンタ制御レジスタB(TCCRNb)のクロック選択(CS2~0)ビットを”111”または”110”に形態設定することによって外部クロック元をT0/1/3/4ピンに印加することができます。

図5-5. タイマ/カウンタ制御レジスタB

名称 : TCCR1B : TCCR3B : TCCR4B
 変位 : \$81 : \$91 : \$A1
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	ICNC	ICES	-	WGM3,2		CS2~0		
アクセス種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット2~0 - CS2~0 : クロック選択

表5-3. クロック選択ビット説明

CS2	CS1	CS0	説明
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk _{I/O} (前置分周なし)
0	1	0	clk _{I/O} /8 (8分周)
0	1	1	clk _{I/O} /64 (64分周)
1	0	0	clk _{I/O} /256 (256分周)
1	0	1	clk _{I/O} /1024 (1024分周)
1	1	0	Tnピンの下降端 (外部クロック)
1	1	1	Tnピンの上昇端 (外部クロック)

6. A/D変換器ピン形態設定

A/D制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビット設定(1)後、A/D多重器選択(ADMUX)レジスタのA/Dチャネル選択(MUX)ビットを形態設定することによってポートPC5~0, PE2, PE3をA/D変換入力(ADC7~0)ピンとして使用することができます。

図6-1. A/D制御/状態レジスタA

名称 : ADCSRA
 変位 : \$7A
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2~0		
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット7 - ADEN : A/D許可

図6-2. A/D多重器選択レジスタ

名称 : ADMUX
 変位 : \$7C
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	REFS1,0		ADLAR	-	MUX3~0			
アクセス種別	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット3~0 - MUX3~0 : A/Dチャネル選択

これらの(MUX3~0)ビットの値は次表のようにどのアナログ入力がA/D変換器に接続されるかを選びます。

表6-1. アナログ入力チャネル選択

MUX3~0	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001~1101	1110	1111
アナログ入力チャネル	ADC0	ADC1	ADC2	ADC3	ADC4	ADC5	ADC6	ADC7	ADC8	(予約)	1.1V	0V
備考	PC0	PC1	PC2	PC3	PC4	PC5	PE2	PE3	温度		V _{BG}	GND

7. アナログ比較器ピン形態設定

アナログ比較器は非反転(AIN0)ピンと反転(AIN1)ピンを比較し、比較結果をACOに出力します。

7.1. 比較器出力-ACOピン形態設定

アナログ比較器制御/状態レジスタB(ACSRB)のアナログ比較器出力許可(ACOE)ビットが設定(1)されると、ポートPE0ピンはアナログ比較器出力(ACO)ピンに変わります。

図7-1. アナログ比較器制御/状態レジスタB

名称 : ACSR
 変位 : \$4F (\$2F)
 リセット : \$00
 特質 : I/O特定命令でI/Oレジスタとしてアクセスする時の変位アドレスは\$2Fです。

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ACOE
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

ビット0 - ACOE : アナログ比較器出力許可

7.2. 非反転入力-AIN0ピン形態設定

アナログ比較器制御/状態レジスタ(ACSR)の基準電圧選択(ACBG)ビットが解除(0)されると、AIN0ピンはアナログ比較器の非反転入力に印加されます。

図7-2. アナログ比較器制御/状態レジスタ

名称 : ACSR
 変位 : \$50 (\$30)
 リセット : '00x0000'
 特質 : I/O特定命令でI/Oレジスタとしてアクセスする時の変位アドレスは\$30です。

ビット	7	6	5	4	3	2	1	0
	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1,0	
アクセス種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	不定	0	0	0	0	0

ビット7 - ACD : アナログ比較器禁止

このビットはアナログ比較器をOFFにするために何時でも設定(1)することができます。

ビット6 - ACBG : 基準電圧選択

このビットが解除(0)されると、AIN0がアナログ比較器の非反転入力に印加されます。このビットが設定(1)されると、内部基準電圧(公称1.1V)がアナログ比較器への非反転入力に置き換わります。

7.3. 反転入力-AIN1ピン形態設定

AIN1ピンがアナログ比較器の反転入力に直接接続されるのを除き、次表で示されるようにアナログ比較器への反転入力を置換するようにADC7~0ピンのどれをも印加することができます。A/D変換多重器はこの入力を選ぶのに使用され、この機能を利用可能にするためにA/D変換器はOFFにされなければなりません。A/D制御/状態レジスタB(ADCSR)のアナログ比較器多重器許可(ACME)が'1'で、A/D変換器がOFF(ADCSRA.ADEN)にされていれば、A/D多重器選択レジスタ(ADMUX)内のA/Dチャネル選択の最下位3(MUX2~0)ビットはアナログ比較器への反転入力を置換するための入力ピンを選び、ADCSR.ACME=0またはADCSRA.ADEN=1の時に、AIN1がアナログ比較器の反転入力に印加されます。

表7-1. アナログ比較器多重化反転入力

ACME	ADEN	MUX2~0	アナログ比較器反転入力	
0	x	x x x	AIN1	
	1	x x x		
			0 0 0	ADC0
			0 0 1	ADC1
			0 1 0	ADC2
1	0		0 1 1	ADC3
			1 0 0	ADC4
			1 0 1	ADC5
			1 1 0	ADC6
			1 1 1	ADC7

8. PTC接触ピン形態設定

PTC単位部は自己と相互の両方の容量性感知部を支援します。相互容量動作に対して、PTCは相互容量感知部のXパターン部に接続するための1つのXピンと相互容量感知部のYパターン部に接続するための1つのYピンが必要です。自己容量動作に対して、PTCは接触感知部に接続するのに1つのYピンだけが必要です。QTouch[®]ライブラリは接触感知部I/O形態設定とPTCをアクセスするための他の接触処理APIを含みます。PTC接触設計のより多くの情報についてはAtmel QTouchライブラリ周辺機能接触制御器使用者の手引きを参照してください。

9. TWIピン形態設定

ATmega328PBは2つのTWI単位部を持ち、各単位部はSDAとSCLの2つのピンを持ちます。2線直列インターフェースを許可するためにTWI制御レジスタ(TWCRn)でTWI動作許可(TWEN)ビットが設定(1)されると、このピンは入出力部から切断されて直列クロック(SCL)と直列データ(SDA)になります。この動作では、入力信号上で50nsよりも短い尖頭を消去するためにピンに尖頭濾波器があり、このピンは立ち上がり速度制限を持つオープンドレイン駆動部によって駆動されます。SCLとSDAのピンに対応するPORTxnビットを設定(1)することによってAVR[®]ハッド内の内蔵プルアップを許可することができ、いくつかのシステムで外部プルアップの必要を無くします。

図9-1. TWI制御レジスタ

名称	TWCR0 : TWCR1							
変位	\$BC		\$DC					
リセット	\$00							
特質	-							
ビット	7	6	5	4	3	2	1	0
	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
アクセス種別	R/W	R/W	R/W	R/W	R	R/W	R	R/W
リセット値	0	0	0	0	0	0	0	0

ビット2 - TWEN : TWI動作許可

10. SPIピン形態設定

10.1. 概要

ATmega328PBは2つのTWI周辺機能を持ちます。SPI制御レジスタ(SPICRn)のSPI許可(SPE)ビットが設定(1)されると、SPI多重化入出力ピンがSPI機能に切り替わり、MOSI, MISO, SCK, SSピンのデータ方向が右表で示されるように再定義されます。表内の”使用者定義”ピンについて、それを出力方向にするには使用者が形態設定することが必要で、ピンがSPI単位部によって入力に強制された場合、そのプルアップは未だポート(PORTx)レジスタによって制御することができます。

表10-1. SPIピン再定義

ピン名	主装置、方向	従装置、方向
MOSIn	使用者定義	入力
MISOn	入力	使用者定義
SCKn	使用者定義	入力
SSn	使用者定義	入力

10.2. SPI形態設定例

以降のコード例は主装置または従装置としてATmega328PBのSPIを初期化する方法を示します。DDR_SPIは実際のポート方向レジスタによって、DD_MISOとDD_SCKは実際のポート方向レジスタビットによって置き換えられる必要があります。例えば、MISO0/PB3ピンはMISOとして使用される場合、DDR_SPIをDDRBで、DD_MOSIをDDB3で置き換えてください。

SPI主装置形態設定コード例:

```
void SPI_MasterInit(void)
{
  /* SS,MOSI,SCKを出力、他の全てを入力に設定 */
  DDR_SPI = (1<<DD_SS) | (1<<DD_MOSI) | (1<<DD_SCK);
  /* SPI,主装置許可、クロック速度をfck/16に設定 */
  SPCR = (1<<SPE) | (1<<MSTR) | (1<<SPR0);
}
```

SPI従装置形態設定コード例:

```
void SPI_SlaveInit(void)
{
  /* MISOを出力、他の全てを入力に設定 */
  DDR_SPI = (1<<DD_MISO);
  /* SPI許可 */
  SPCR = (1<<SPE);
}
```

11. USARTピン形態設定

ATmega328PBのUSART周辺機能は非同期USART、同期USART、主装置SPI動作の3つの動作形態を支援します。USART通信は非同期動作でTXDとRXDのピンを使用し、同期動作や主装置SPI動作でTXD,RXD,XCKのピンを使用します。

11.1. TXD,RXDピン形態設定

USART制御/状態レジスタB(UCSRnB)の送信許可(TXEN)と受信許可(RXEN)のビットが設定(1)されると、TXD,RXDピンが選ばれます。USART受信部が許可されると、RXDピンはDDxnビットの値に関わらず入力として形態設定され、RXDピンのプルアップは未だPORTxnビットによって制御することができます。USART送信部が許可されると、TXDピンはDDxnビットの値に関わらず出力として形態設定されます。

図11-1. USART制御/状態レジスタB

名称 : UCSR0B : UCSR1B
変位 : \$C1 : \$C9
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
リセット値	0	0	0	0	0	0	0	0

ビット4 - RXEN : 受信許可

このビットへの1書き込みはUSART受信部を許可します。受信部は許可されるとRXDnピンの標準ポート動作を再定義します。

ビット3 - TXEN : 送信許可

このビットへの1書き込みはUSART送信部を許可します。送信部は許可されるとTXDnピンの標準ポート動作を再定義します。

11.2. XCKピン形態設定

次表で示されるように、USART動作選択(UMSEL1,0)ビットが”01”に設定されると、USARTは主装置または従装置の同期動作で動き、UMSEL1,0ビットが”11”に設定されると、USARTは主装置SPI動作で動きます。USARTが主装置同期またはSPIの動作で動く時に、使用者はXCKピンを出力方向に形態設定することが必要で、USARTが従装置同期動作で動く時に、使用者はXCKピンを入力方向に形態設定することが必要です。

図11-2. USART制御/状態レジスタC

名称 : UCSR0C : UCSR1C
 変位 : \$C2 : \$CA
 リセット : \$06
 特質 : -

ビット	7	6	5	4	3	2	1	0
	UMSEL1,0		UPM1,0		USBS	UCSZ1 UDORD	UCSZ0 UCPHA	UCPOL
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	1	1	0

ビット7,6 - UMSEL1,0 : USART動作選択 (下表で示されようなUSART動作選択)

表11-1. USART動作選択

UMSEL1,0	動作種別
0 0	非同期動作
0 1	同期動作
1 0	(予約)
1 1	主装置SPI (MSPIM)

12. 例プロジェクト

この応用記述はATmega328PBでの汎用入出力(GPIO)形態設定と入出力ピン変化割り込み許可を示すコード例を提供します。ソースコードはAtmel STARTからのダウンロードで入手可能です。ATmega328PBキットは例プロジェクトを実演するのに使用されます。

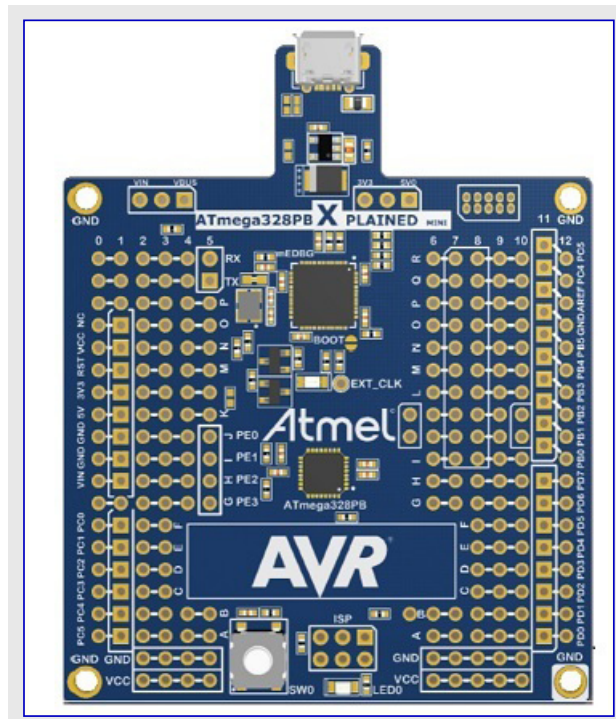
12.1. 事前必要条件

この資料で検討される例プロジェクトは以下が必要です。

- Atmel Studio 7.0またはそれ以降
- ATmega238PB Xplained Miniキット
- Atmel STARTからダウンロードした例ソースコード

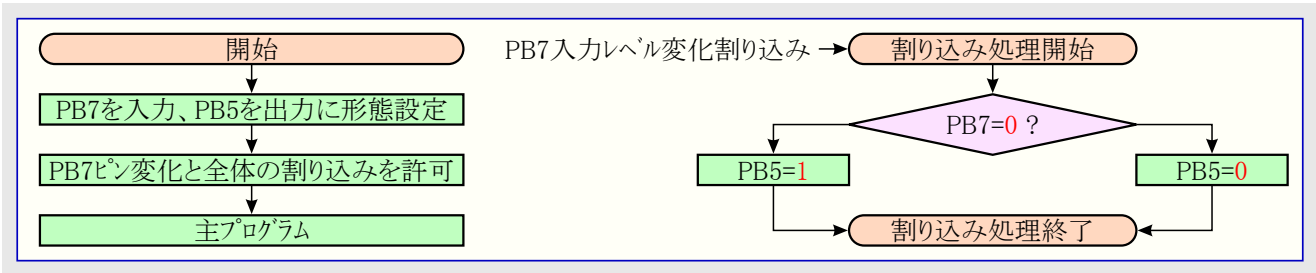
12.2. ATmega328PB Xplained Miniキット紹介

ATmega328PB Xplained Mini評価キットはATmega328PBマイクロコントローラを評価するためのハードウェア基盤です。この評価キットはATmega328PBチップのPB7に繋がる機械的な釘とPB5に繋がるLEDを統合します。このキットについてのより多くの詳細に関してはATmega328PB Xplained Miniキット使用者の手引きPDFを参照してください。



12.3. プロジェクト紹介

この例はPB7のレベル変化を監視するためにポートピン変化割り込み機能を使用します。全てのPB7レベル変化はPB7のレベル状態に従ってPB5出力を変更するための割り込みを起動します。以下は例応用ファームウェアの流れです。



13. 参照

- ATmega328PBデータシート (<http://www.atmel.com/devices/ATMEGA328PB.aspx>)
- ATmega238PB Xplained Miniキット (<http://www.atmel.com/tools/MEGA328PB-XMINI.aspx>)
- Atmel Studio (<http://www.atmel.com/tools/atmelstudio.aspx?tab=overview>)
- Atmel START (<http://start.atmel.com>)

14. 更新履歴

資料改訂	日付	注釈
42785A	2016年10月	初版資料公開

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®, AVR®, QTouch®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2016.

本応用記述はAtmelのAVR42785応用記述(Rev.42785A-10/2016)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。