

AVR500 : ATmega64とATmega645間の移植

要点

- 一般的な移植の考慮
- ピン配置
- タイマ/カウンタと前置分周器
- 電力管理
- TWIとUSI
- USART
- アナログ比較器
- A/D変換器
- 外部とピン変化の割り込み
- クロック制御設定
- 外部SRAM/メモリ インターフェース
- 汎用I/Oレジスタ
- 動作範囲
- プログラミング インターフェース

序説

この応用記述はATmega645への既存設計変換でのATmega64使用者と、その逆を援助するための手引きです。ATmega64とATmega645は共存するデバイスで、これらは各々相手に対する置換デバイスであるべく設計されていません。けれども、これらは少しのピン以外全てに対してピン互換で、非常に類似した機能の組を持ちます。

ATmega64に関する情報は2つのデバイスが機能的に等しく且つピン互換のため、ATmega128にも適用します。ATmega645に関する情報は3つのデバイスが機能的に等しく且つピン互換のため、ATmega165とATmega325にも適用します。全ての場合でメモリ容量の違いが考慮されるべきことに注意してください。

一般的にATmega64はより多くの周辺機能部と特徴を持ち、一方ATmega645はより少ない電力を使用します。I/Oレジスタ アクセスへの少しの修正で、ATmega64とATmega645は既存回路基板上で交換できます。機能変更に加えて、2つのデバイスの電気的特性が異なります。詳細情報についてはデータシートを調べてください。

一般的に、同一またはただ異なるアドレスと位置でそれらのI/Oレジスタとビットを持つ機能は、本資料の範囲で網羅されていません。

一般的な移植の考慮

可能な限り容易な移植処理を行うには、レジスタとビット使用を常に定義名で参照してください。絶対的なアドレスと値の使用を避けてください。多くの場合でレジスタとビット名はデバイスからデバイスへで変わりません。設計移植時、全てのアドレスとビット値を手動変更するより、新しいデバイス用の正しい定義ファイルをインクルードする方が大いに便利です。絶対値に代わる名前参照の使用は熟考された良いプログラミング習慣でもあります。例は以下で示されます。

```
TCCR1A |= (1<<COM1A1) | (1<<WGM11) | (0<<WGM10); //タイマ/カウンタ1初期化
```

追加した機能とレジスタ機能での衝突を避けるために、予約として記されたレジスタを決してアクセスしてはなりません。アクセスする場合、予約ビットは常に0が書かれるべきです。これは将来互換を保証し、追加機能は未使用時にそれらの既定状態に留まります。

ATmega64でのATmega103互換動作がATmega645で利用不能なことに注意してください。



8ビット **AVR**[®]
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 2576A-07/04, 2576AJ3-01/14

ピン配置

異なる特徴の組のため、標準I/Oピンの兼用機能はATmega64とATmega645で異なります。通常、これは未使用周辺機能部が許可されない限り、コード移植時にどんな問題も生じません。

以降の副節は設計者がATmega64とATmega645間での設計移植時に考慮すべきピン配置に関連する問題を検討します。

タイマ/カウンタ用発振器ピン

ATmega64はTOSC1とTOSC2のタイマ/カウンタ用発振器ピンを、PG3とPG4のI/Oピンと共用します。ATmega645ではタイマ/カウンタ用発振器ピンがXTAL1とXTAL2ピンと共用されます。これはタイマ/カウンタ用発振器を使用するATmega64設計は、タイマ/カウンタ用クリスタルがXTALピンに接続されるように修正されなければならないことを意味します。これはタイマ/カウンタ用発振器が使用される場合、ATmega645がシステムクロック元として校正付き内蔵RC発振器の使用に設定しなければならないことも意味します。

ISPプログラミングピン割り当て

ATmega64でのISPプログラミングインターフェースはSCK線を除いてチップ上のSPI部と同じピンに配置されていません。直列プログラミングに関するMOSIとMISO線はPE0とPE1で共用されているPDIとPDOピンに配置されています。ATmega645でのISPプログラミング線はチップ上のSPI部と共用されています。これは使用される場合、コード移植時にISP接続が修正されるべき必要があることを意味します。

その他の移動されたピン

他の少しの信号が異なるピンに配置されています。これらは以下の表1.で示されます。

表1. 異なるピンに配置された信号

信号名	ATmega64	ATmega645
INT (外部割り込み要求0)	25番ピン (PD0)	26番ピン (PD1)
IC1 (捕獲起動入力1) (注)	29番ピン (PD4)	25番ピン (PD0)
T1 (タイマ/カウンタ1外部クロック入力)	31番ピン (PD6)	18番ピン (PG3)

注: ATmega645での名前はICP1です。

タイマ/カウンタと前置分周器

タイマ/カウンタ3はATmega64でだけ利用可能です。設計によっては、ATmega645内の既存タイマ/カウンタの1つを使用することで、ATmega64でのこのタイマ/カウンタによって実行される動作を実装できる可能性があります。

タイマ/カウンタ1はATmega64で3つの比較出力チャネル(OC1A, OC1B, OC1C)、ATmega645では2つ(OC1A, OC1B)を持ちます。

ATmega64での比較出力変調器はATmega645で利用不能です。必要条件に応じて、ATmega645のタイマ/カウンタの1つとソフトウェアの組み合わせで変調を実装できる可能性があります。

ATmega64のタイマ/カウンタ0はATmega645のタイマ/カウンタ2と、その逆とは同じ機能と設定を持ちます。これは非同期クロック駆動(例えば実時間クロック)がATmega64のタイマ/カウンタ0、ATmega645のタイマ/カウンタ2に対して利用可能なことを意味します。ATmega645のタイマ/カウンタ2は32kHzクリスタル用発振器の代わりに外部クロック信号を使用してクロック駆動もできます。

比較一致設定許可の出力交互切り替えPWM動作でのタイマ/カウンタ1使用時、その機能は2つのデバイスで僅かに違います。詳細についてはデータシート内の比較出力動作の表を参照してください。

電力管理

ATmega64とATmega645はATmega64だけが持っている拡張スタンバイ休止形態を除いて、同じ休止形態を持ちます。

他方、ATmega645は周辺機能部の組、即ちタイマ/カウンタ1、SPI部、USART0、A/D変換器への電力をOFFにする可能性を持ちます。これらの部署に対する制御ビットは電力削減レジスタ(PRR)内に配置されます。A/D変換チャネルと共用されるI/Oピンに対するデジタル入力回路を禁止することも可能です。これはデバイスに対する全体での電力消費も低減します。

TWIとUSI

ATmega64での2線インターフェース(TWI)はATmega645で利用不能です。けれども多用途直列インターフェース(USI)が実装されています。USI部はTWIとSPIの両方の機能をエミュレートするために設計されています。

TWI部を使用する設計をATmega64からATmega645へ移植するには、USI部について書き直すために低位TWI駆動ソフトウェアが必要です。「AVR310: TWI主装置としてのUSI部使用」と「AVR312: TWI従装置としてのUSI部使用」の応用記述を参照してください。

第2SPI部としてUSI部を使用するATmega645設計は、SPIをエミュレートするのにATmega64のUSARTの同期動作を使用できるかもしれません。

USART

ATmega64は2つのUSARTを持ち、一方ATmega645は1つのUSARTを持ちます。ATmega64で両方のUSARTを使用する設計は、第2 USARTの代わりにATmega645でUSI部の使用に修正されるべきかもしれません。「AVR307: 多用途直列インターフェースを使用する半二重UART」応用記述を参照してください。全二重UART動作がUSI部で不可能なことに注意してください。

既存のATmega64設計がTWI部と両方のUSARTを使用する場合、解決方法はソフトウェアで第2UARTを実装することです。「AVR304: 半二重割り込み駆動ソフトウェアUART」または「AVR305: 簡潔な半二重ソフトウェアUART」応用記述を参照してください。

アナログ比較器

比較器への非反転入力として内部バンドギャップ基準電圧を使用する設計に関し、設計者はバンドギャップ電圧が2つのデバイスで異なることに注意すべきです。この特性は以下の表2.で示されます。

表2. バンドギャップ基準電圧

デバイス	Min	Typ	Max
ATmega64	1.15 V	1.23 V	1.40 V
ATmega645	1.0 V	1.1 V	1.2 V

A/D変換器

A/D変換器(ADC)で内部バンドギャップ基準電圧を使用する設計に関し、設計者はバンドギャップ電圧が2つのデバイスで異なることに注意すべきです。ATmega645は内部バンドギャップ基準電圧を直接使用し、一方ATmega64は内部バンドギャップ基準電圧の固定増幅で使用します。この特性は以下の表3.で示されます。

表3. A/D変換器内部基準電圧

デバイス	Min	Typ	Max
ATmega64	2.3 V	2.56 V	2.7 V
ATmega645	1.0 V	1.1 V	1.2 V

ATmega645のA/D変換器での差動測定使用時に利得増幅器は利用できません。

外部とピン変化の割り込み

ATmega64は8つの外部割り込み線を持ち、一方ATmega645は1つの外部割り込み線を持ちます。けれどもATmega645には外部割り込みと僅かに異なる、16のピン変化割り込みがあります。

ATmega64とATmega645間で外部とピン変化の割り込みを使用する設計の移植方法は必要条件に強く依存します。ATmega645の既存設計が8つの割り込み線より多くを使用する場合、ATmega64でそれらのいくつかは組み合わせられるか、またはソフトウェアでのポーリングとして実装される必要があります。

クロック制御設定

内部RC発振器は2つのデバイスで異なる設定と特性を持ちます。けれども同じCPU周波数が達成できます。クリスタル用発振器と起動時間設定(CKSELとSUTのヒューズ)も異なります。詳細についてはデータシートを参照してください。

ATmega645は外部RC発振器を使用できません。

外部SRAM/メモリ インターフェース

ATmega645は外部SRAM(メモリ)インターフェースを持ちません。従って外部SRAMを使用するATmega64設計をATmega645へ移植するのは不可能です。

汎用I/Oレジスタ

ATmega64はATmega645での汎用I/Oレジスタと等価なものを持ちません。代わりにSRAM変数を使用してください。

動作範囲

ATmega64とATmega645の両方は最低2.7Vの供給電圧で8MHzまで、最低4.5Vの供給電圧で16MHzまでの周波数で動作できます。より低い動作電圧が必要とされる場合、ATmega645は動作周波数最大4MHz制限で1.8Vに供給電圧を下げ動作できます。拡張された動作範囲のため、低電圧検出器(BOD:Brown-out Detector)は1.8Vでの第3の選択可能な検出値を持ちます。

プログラミング インターフェース

プログラミング インターフェースは2つのデバイスで違いますが、標準書き込みツールが使用される限り、問題ありません。設計者はISPプログラミング線が異なるピンに配置されているのに注意すべきです。詳細については前記の「ピン配置」章とデータシートを参照してください。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2004.

ATMEL製品は、ウェブサイト上にあるATMELの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。ATMEL製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はATMELの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2014.

本応用記述はATMELのAVR500応用記述(doc2576.pdf Rev.2576A-07/04)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。