

AVR504 : ATtiny26からATtiny261/461/861への移植

要点

- 一般的な移植の考慮
- メモリ
- システム クロックとクロック任意選択
- システム制御とリセット
- レジスタ
- 割り込み
- タイマ/カウンタ
- 多用途直列インターフェース (USI)
- A/D変換器
- I/Oポート
- メモリプログラミング
- 電気的特性

1. 序説

この応用記述はATtiny261への既存設計変換でのATtiny26使用者を援助するための手引きです。本資料はATtiny261と同じ系統の一員でより大きなメモリを提供するATtiny461とATtiny861へ移植するATtiny26使用者も援助します。

本資料で記述された違いに加えて、デバイスの電気的特性が異なります。これらの違いのいくつかは本資料で概説され、いくつかははされていません。詳細情報については最終データシートを調べてください。

ATtiny26と矛盾しないATtiny261での改良や追加機能は本資料で示されていません。

2. 一般的な移植の考慮

本資料で記述されるデバイス間で、いくつかのレジスタとレジスタのビットは変更された名前を持ちますが、これらが同じ機能を維持していることに注意してください。これらは本資料の後ろで全て一覧されます。

可能な限り容易な移植処理を行うには、レジスタとビット使用を常に定義名で参照してください。絶対的なアドレスと値の使用を避けてください。多くの場合でレジスタとビット名はデバイスからデバイスへで変わりません。設計移植時、全てのアドレスとビット値を手動変更するより、新しいデバイス用の正しい定義ファイルをインクルードする方が大いに便利です。絶対値に代わる名前参照の使用は熟考された良いプログラミング習慣でもあります。いくつかの例が以下で示されます。

```
PORTB |= (1<<PORTB3); //ポートBのビット3をHighに設定
DDRB &= ~(1<<PORTB3); //ポートBのビット3を入力設定
// USI初期化
USICR = (1<<USISIE) | (0<<USIOIE) | (1<<USIWM1) | (0<<USIWM0) |
        (1<<USICS1) | (0<<USICS0) | (0<<USICLK) | (0<<USITC);
```

追加した機能とレジスタ機能での衝突を避けるために、予約として記されたレジスタを決してアクセスしてはなりません。アクセスする場合、予約ビットは常に0が書かれるべきです。これは将来互換を保証し、追加機能は未使用時にそれらの既定状態に留まります。



8ビット **AVR**[®]
マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8026B-04/08, 8026BJ4-04/21

3. メモリ

ATtiny26とATtiny261は同じ量の不揮発性と揮発性のメモリを持ちます。ATtiny461とATtiny861はATtiny26より多いSRAM、フラッシュメモリ、EEPROMを持ちます。従ってメモリ容量に頼る応用はメモリ容量が増加されると不正動作になるかもしれません。例えば、これはEEPROMの指示子逆端巡回での場合かもしれません。

3.1. スタック

ATtiny26のスタックポインタはI/O空間での8ビットレジスタとして実装されます。ATtiny261でのスタックポインタも1つの8ビットレジスタとして実装されますが、ATtiny461とATtiny861でのデータメモリ量は8ビットアドレス範囲を超え、スタックポインタは2つの8ビットレジスタとして実装されています。下表をご覧ください。

表3-1. EEPROMプログラミング時間

デバイス	スタックポインタ下位	スタックポインタ上位
ATtiny26	SP	N/A
ATtiny261	SPL	
ATtiny461		SPH
ATtiny861		

スタックポインタのアクセス方法の情報についてはATtiny261/461/861データシートをご覧ください。

3.2. EEPROM

EEPROM書き込みアクセス時間は内部RC発振器の周波数に依存します。ATtiny261/461/861でのアクセス時間はATtiny26より短くなります。

ATtiny261は128~512バイト範囲のEEPROM容量のピンと機能が互換なAVR®副系統のデバイスです。これはメモリのアドレス指示に対して8ビットより多くのビットが必要なことを意味し、従ってEEPROMアドレスレジスタは1つの8ビットレジスタ(ATtiny26のEEAR)から2つの8ビットレジスタ(ATtiny261, ATtiny461, ATtiny861のEEARHとEEARL)に拡張されています。これらのレジスタの初期値が不定のため、例えEEPROMの下部だけをアクセスする時でも、常に両方のレジスタを書くことが重要です。

4. システムクロックとクロック任意選択

ATtiny261/461/861はATtiny26より多くの進化したクロックシステムを持ちます。ATtiny261/461/861でのそれらはシステムクロック前置分周器と2つの内部クロック元です。

4.1. クロック元

クロック元任意選択はATtiny261/461/861で違うように設定されます。下表をご覧ください。

表4-1. クロック元設定

クロック任意選択	ATtiny26		ATtiny261/461/861	
	PLLCK	CKSEL3~0	CKSEL3~0	CLKPS3~0
PLL	0	0 0 0 1	0 0 0 1	0 0 0 0
外部クロック信号	1	0 0 0 0	0 0 0 0	0 0 0 0
校正付き内蔵RC発振器, 1MHz	1	0 0 0 1	0 0 1 0	0 0 1 1
校正付き内蔵RC発振器, 2MHz	1	0 0 1 0		0 0 1 0
校正付き内蔵RC発振器, 4MHz	1	0 0 1 1		0 0 0 1
校正付き内蔵RC発振器, 8MHz	1	0 1 0 0		0 0 0 0
外部RC発振器, 0.1~0.9MHz	1	0 1 0 1	利用不能、代わりに校正付き内蔵RC発振器を使ってください。	
外部RC発振器, 0.9~3.0MHz	1	0 1 1 0		
外部RC発振器, 3.0~8.0MHz	1	0 1 1 1		
外部RC発振器, 8.0~12.0MHz	1	1 0 0 0		
外部低周波数クリスタル用発振器, 32.768kHz	1	1 0 0 1		
外部セラミック用発振器, 0.4~0.9MHz	1	1 0 1 0	1 0 0 0	0 0 0 0
	1	1 0 1 1	1 0 0 1	0 0 0 0
外部クリスタル/セラミック用発振器, 0.9~3.0MHz	1	1 1 0 0	1 0 1 0	0 0 0 0
	1	1 1 0 1	1 0 1 1	0 0 0 0
外部クリスタル/セラミック用発振器, 3.0~16.0MHz	1	1 1 1 0	1 1 0 0, 1 1 0 1	0 0 0 0
	1	1 1 1 1	1 1 1 0, 1 1 1 1	0 0 0 0

4.2. 校正付き内蔵RC発振器の校正

ATtiny261/461/861の校正付き内蔵RC発振器の周波数はATtiny26と同様にOSCCALレジスタを使って校正できます。違いはATtiny261/461/861での最上位ビット(CAL7)が動作範囲を決め、一方ATtiny26でのOSCCALレジスタの全8ビットが単一範囲内の周波数調整に使われることだけです。

4.3. 高周波数PLLクロック

クロック元としての内部PLL使用時、ATtiny261/461/861は電源ONリセットとパワーダウン起動後、ATtiny26よりも長い起動遅延を適用します。これは安定保証と不具合無視動作のためです。

5. システム制御とリセット

ATtiny261/461/861はATtiny26より多くのヒューズビットを持ちます。加えていくつかのヒューズビットは異なる機能を持ちます。

5.1. 低電圧検出 (BOD:Brown-Out Detection)

ATtiny26とATtiny261/461/861の両方は設定可能な低電圧検出値を持ちます。設定方法と値は完全にはありません。下表をご覧ください。

表5-1. 低電圧検出(BOD)特性

ATtiny26			ATtiny261/461/861	
BODEN	BODLEVEL	検出値 (VBOT)	BODLEVEL2~0	検出値 (VBOT)
1	x	禁止	1 1 1	禁止
0	0	4.0 V	1 0 0	4.3 V
	1	2.7 V	1 0 1	2.7 V

5.2. 起動時間

ATtiny26とATtiny261/461/861間が電氣的に異なるため、起動時間で微妙に相違するかもしれません。より多くの詳細情報についてはデバイスのデータシートをご覧ください。

5.3. 電源ONリセット

電源ONリセットの閾値はATtiny26とATtiny261/461/861について同じではありません。電源ON閾値電圧はATtiny261/461/861で僅かにより低くなります。

より多くの詳細情報についてはデバイスのデータシートをご覧ください。

5.4. ウォッチドッグ タイマ

ATtiny261/461/861はATtiny26で使ったウォッチドッグ タイマと比べて、強化されたウォッチドッグ タイマ(WDT)を含みます。動作電圧5VでのWDTはATtiny26とATtiny261/461/861で同じになります。より低い電圧でのウォッチドッグ計時完了時間は違うかもしれません。ウォッチドッグ発振器周波数の特性データについてはデータシートをご覧ください。

WDTが使われない場合、予期せぬWDT許可現象を無くすために応用コードの初めで禁止することが未だ推奨されます。

6. レジスタ

レジスタ名のいくつかは変更され、いくつかのレジスタは移動されています。

6.1. 改名されたレジスタ

下表は改名されているけれど未だ同じ物理アドレスに存在し、それらの機能が維持されているレジスタを一覧します。これは応用でレジスタ名を更新することが必要とされるだけです。

表6-1. レジスタ名への変更

アドレス (16進)	ATtiny26	ATtiny261/461/861
\$3D	SP	SPL
\$33	TCCR0	TCCR0B
\$32	TCNT0	TCNT0L
\$1F	-	EEARH
\$1E	EEAR	EEARL
\$08	ACSR	ACSRA
\$06	ADCSR	ADCSRA

6.2. 改名されたビット

下表は改名されているけれど未だ同じレジスタ内に存在し、且つ同じレジスタ位置のビットを一覧します。

表6-2. ビット名への変更

アドレス	レジスタ	ATtiny26でのビット名	ATtiny261/461/861でのビット名
\$1C	EECR	EEMWE	EEMPE
		EEWE	EEPE
\$0E	USISR	USISIF	USICIF
\$06	ADCSR	ADFR	ADATE

6.3. 削除されたビット

下表は削除され、且つ近似置換がないレジスタビットを一覧します。

表6-3. 削除されたATtiny26のレジスタビットと機能

レジスタ	ビット	機能
TCCR1B	CTC1	比較一致タイマ/カウンタ1解除

7. 割り込み

割り込み操作はATtiny261/461/861で改良されています。

7.1. 割り込みベクタ

ATtiny261/461/861はATtiny26より多くの割り込みベクタを持ちますが、ATtiny26の全てのベクタがATtiny261/461/861の同じ位置に存在します。ATtiny261/461/861固有割り込みが使われないなら、プログラムはATtiny261/461/861での開始アドレスとして、ATtiny26割り込みベクタ表の終わり(から)を未だ使えます。

7.2. ピン変化割り込み

ピン変化割り込みは与えられたピンに対して兼用機能が許可された場合、ATtiny26で自動的に禁止されます。ATtiny261/461/861では同じピンに対して同時に許可できる兼用機能とピン変化割り込みの状態がありません。ATtiny261/461/861で与えられたピンに対するピン変化割り込みはピン変化割り込み許可レジスタ0(PCMSK0)とピン変化割り込み許可レジスタ1(PCMSK1)の使用で遮蔽(禁止)と非遮蔽(許可)されます。

7.2.1. ピン変化割り込み元と遮蔽

ATtiny261/461/861は全てのI/Oピンを網羅するためにピン変化割り込みを拡張し、一方ATtiny26はPA3,PA7~6,PB7~0を含むのみです。また、ATtiny261/461/861はPCMSK0とPCMSK1のレジスタ経由でピン変化割り込み元の個別遮蔽を許しますが(この機能はATtiny26にはありません)、既定の設定はATtiny26とATtiny261/461/861の両方で共通する、それらの割り込み元(ピン)だけの許可です。

8. タイマ/カウンタ

タイマ/カウンタ1はTtiny261/461/861で改良されています。

8.1. タイマ/カウンタ1

ATtiny261/461/861での同期化レジスタはATtiny26でのように迂回されません。これは非同期と同期の両方の動作で1.5クロック周期の同期化遅延が存在することを意味します。

8.1.1. TCCR1BレジスタのCTC1ビット

TCCR1BレジスタのCTC1ビットはATtiny261/461/861でのPWM1xによって置換されています。これらのビットが異なる機能を持ち、これが移植中に考慮されなければならないことに注意してください。

8.1.2. OCR1Cレジスタ

今やOCR1Cレジスタは常にタイマ/カウンタに対する上限(TOP)値で、このレジスタはTOP値到達後、常にリセット(0に解除)されます。

許された最低TOP値は3です。OCR1Cレジスタが3より小さな値で設定されると、強制的に値3にします。リセット後にOCR1Cレジスタは既定TOP値が\$3FFであることを意味する、タイマ/カウンタのMAX値で設定されることにも注意してください。

8.1.3. PWM動作

ATtiny261/461/861のOCR1Cレジスタ書き込み時、そのデータは緩衝され、その(実)レジスタはOCR1CがTOP値に達した時にだけ更新されます。ATtiny26でのOCR1Cへの書き込みは即時です。

9. 多用途直列インターフェース (USI)

ATtiny261/461/861はATtiny26に比べ、多用途直列インターフェースの強化版を使います。

9.1. クロック元

USIクロックは3つの異なる供給元から選択でき、その内の2つはATtiny26とATtiny261/461/861に関して共通です。ATtiny26での第3のクロック元任意選択(USICS2~0=01x)はタイマ/カウンタ0溢れですが、ATtiny261/461/861でのそれはタイマ/カウンタ0比較一致で置換されています。類似の機能が達成できますが、それはタイマ/カウンタ0溢れフラグと割り込みを参照してファームウェアの何れかの部分を更新する必要があります。

10. A/D変換器

A/D変換器(ADC)は強化され、ATtiny261/461/861ではより多くの機能を含みます。ATtiny261/461/861は1.8Vデバイスで、従って既定内部基準電圧は1.1Vに設定されます。

10.1. 基準電圧選択

基準電圧源はA/D多重器選択レジスタ(ADMUX)とA/D変換制御/状態レジスタB(ADCSRB)に配置されたREFS2~0ビットを使って選ばれます。ATtiny26はREFS1,0ビットだけを含みます。下表は機能維持のための基準電圧選択法を示します。

ATtiny26	ATtiny261/461/861	基準電圧
REFS1,0	REFS2~0	
0 0	0 0 0	AVCC
0 1	0 0 1	AREF (内部基準電圧OFF)
1 0	1 1 0	内部2.56V基準電圧 (AREF切断)
1 1	1 1 1	内部2.56V基準電圧 (AREF接続)

11. I/Oポート

ポート駆動能力に関する検査限度はATtiny261/461/861でより低くなります。これはATtiny261/461/861のポートがATtiny26より低い電流に対して評価されていることを意味します。ポート駆動部特性は下表で概説されます。

表11-1. ポート駆動部特性

条件	ピン能力 (mA)		合計能力 (mA)	
	ATtiny26	ATtiny261/461/861	ATtiny26	ATtiny261/461/861
VCC=5V	20	10	400	60
VCC=3V	10	5		

12. メモリプログラミング

ヒューズと校正バイトのプログラミングに関係するいくつかの修正が考慮されなければなりません。また、校正バイトの機能も変更されています。

12.1. ヒューズビット

ATtiny261/461/861でヒューズビット数が増やされ、ヒューズビットは3バイトに分散されています。読み書き方法は正しいプログラミングに更新されなければなりません。

以下のヒューズビットの機能が変更されています。

- ATtiny26のBODLEVELヒューズビットはATtiny261/461/861で3つのヒューズビット(BODLEVEL2~0)に拡張されています。
- ATtiny26のBODENヒューズビットの機能はATtiny261/461/861でBODLEVEL2~0ヒューズビット内に統合されています。
- ATtiny26のPLLCKとCKOPTヒューズビットの機能はATtiny261/461/861でCKSEL3~0ヒューズビット内に統合されています。
- ATtiny26のCKSELヒューズのクロック前置分周器機能はATtiny261/461/861がソフトウェア設定可能なクロック前置分周器を持つため削除されています。

12.2. 識票バイト

独立したアドレス空間内にある識票バイトはデバイスに対して外部的に読めるだけです。従って、この記述は移植する実際のプログラムではなく、書き込み器及びその他だけに適用します。

識票バイトは下表で示されるように更新されています。

表12-1. 識票バイト一覧

バイト	ATtiny26	ATtiny261	ATtiny461	ATtiny861
\$0000	\$1E	\$1E	\$1E	\$1E
\$0001	\$91	\$91	\$92	\$93
\$0002	\$09	\$0C	\$08	\$0D

12.3. 校正バイト

ATtiny26は校正付き内蔵RC発振器の1MHz,2MHz,4MHz,8MHz動作に対して4つの校正バイトを持ちます。ATtiny261/461/861は校正付き内蔵RC発振器に対して1つの校正バイトだけを持ちます。

13. 電気的特性

ATtiny261/461/861はATtiny26と異なる製法を使って製造されており、従ってこれらのデバイス間で電気的特性が異なります。電気的特性の詳細についてはデータシートを調べてください。



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2008. 不許複製 Atmel[®]、ロコとそれらの組み合わせ、AVR[®]、AVR Studio[®]とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2014.

本応用記述はAtmelのAVR504応用記述(doc8026.pdf Rev.8026B-04/08)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。