

AVR539 : AT90PWM216/316から AT90PWM81/161への移植

要点

この応用記述は既存設計をAtmel®のAT90PWM81/161に変換する、現在のAtmel AT90PWM216/316使用者を手助けするための手引きです。

更に、AT90PWM81/161の電気的特性はAT90PWM216/316のそれらと異なります。

詳細な情報については両製品のデータシートを調べてください。

AT90PWM216/316の主な特徴はAT90PWM81/161に残されています。

AT90PWM81/161に於ける最も重要な進化はクロック周辺機能とアナログ比較器実装です。

温度感知器のようないくつかの機能も追加されています。

AT90PWM81/161は以下に於けるいくつかの改良もあります。

- ・ A/D変換器
- ・ アナログ増幅器
- ・ VREF
- ・ EEPROMアクセス
- ・ 電力段制御器(PSC)
- ・ RESETピン
- ・ いくつかの機能はAT90PWM81/161で減らされました。
 - PSC数
 - 計時器数

1. 序説

表1-1はAtmel AT90PWM216/316とAtmel AT90PWM81/161の特徴間の比較の要約です。

表1-1. AT90PWM81/161対AT90PWM216/316(製品間の違いは暗背景)

項目	AT90PWM216	AT90PWM316	AT90PWM81	AT90PWM161
コア	AVR®	AVR	AVR	AVR
ピン数	24	32	20/32	20/32
フラッシュ容量	16Kバイト	16Kバイト	8Kバイト	16Kバイト
SRAM容量	1Kバイト	1Kバイト	256バイト	1Kバイト
EEPROM容量	512バイト	512バイト	512バイト	512バイト
I/O数	19	27	16/20	16/20
10ビット A/D変換器	8入力	11入力	8/11入力	8/11入力
ADC用増幅器	1	2	1	1
温度感知器	-	-	1	1
アナログ比較器	2	3	3	3
10ビット D/A変換器	1	1	1	1
8ビット計時器	1	1	-	-
12ビット計時器 : PSC	2	3	1	1
12ビット計時器 : PSCR	-	-	1	1
16ビット計時器	1	1	1	1
12ビット PSC	2	3	2 (1 PSCR)	2 (1 PSCR)
SPI	○	○	○	○
DALI/UART	○	○	×	×



8ビット Atmel マイクロコントローラ

応用記述

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりのはじめにでの内容にご注意ください。

Rev. 8428B-01/12, 8428BJ2-04/21

特徴の違いは以下の項で詳述されます。

- リセット
- 割り込みベクタ
- クロック
- PLL
- バントギャップ
- VREF
- 温度感知器
- ポートC
- EEPROM
- INT3
- タイマ/カウンタ(タイマ/カウンタ0/タイマ/カウンタ1)
- SPI
- UART
- PSC0
- PSC1
- PSC2
- A/D変換器
- アナログ比較器
- D/A変換器
- I/Oレジスタ

2. リセット

Atmel AT90PWM81/161はAtmel AT90PWM216/316に存在しないRESETピンの追加構成設定を提供します。

リセットピンは機能使用にしておくことができます。これはMCU制御レジスタ(MCUCR)内のリセットピン禁止(RSTDIS)ビットによって達成することができます(図2-1をご覧ください)。

リセット機能を禁止し、PE0ピンを自由にしておくことができます。

- RSTDISビットが0を書かれると、リセット信号は活性です(既定構成設定)。
- RSTDISビットが1を書かれると、リセット信号は不活性で、PE0は目的の交換機能(OCD,INT2またはI/O)に使うことができます。

図2-1. MCUCR – MCU制御レジスタ

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	-	-	PUD	RSTDIS	CKRC81	IVSEL	IVCE	MCUCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

RSTDISBLヒューズビット(ヒューズ上位バイトのビット7)は始動でリセット禁止を強制するのに使うことができます。

- RSTDISBLヒューズがプログラム(0)された場合、PE0はI/Oピンとして使われます。PE0の電気的特性が他のピンのそれらと違うことに注意してください。RSTDISBLヒューズが非プログラム(1)にされた(既定ヒューズ構成設定の場合、PE0はリセット入力として使われます。最小パルス幅よりも長いこのピンのLowレベルは、例えクロックが動いていなくてもリセットを生成します。

既定構成設定はソフトウェア互換を提供します。

3. 割り込みベクタ

割り込みベクタのアドレスはAtmel AT90PWM216/316とAtmel AT90PWM161間で同じですが、AT90PWM81で異なります。AT90PWM81の割り込みアドレスは1語に等しい増加を持ち、一方AT90PWM161/216/316の割り込みアドレスは2語に等しい増加を持ちます(表3-1.をご覧ください)。

表3-1. リセットと割り込みのベクタ

ベクタ番号	AT90PWM81アドレス	AT90PWM161/216/316アドレス	発生元	割り込み定義
1	\$0000	\$0000	RESET	電源ON, WDT, BOD等の各種リセット
2	\$0001	\$0002	PSC2 CAPT	電力段制御器2 捕獲発生/同期異常
3	\$0002	\$0004	PSC2 EC	電力段制御器2 周期終了(比較一致)
4	\$0003	\$0006	PSC2 EEC	電力段制御器2 拡張周期終了(比較一致)
5	\$0004	\$0008	PSCr CAPT	縮小電力段制御器 捕獲発生/同期異常
6	\$0005	\$000A	PSCr EC	縮小電力段制御器 周期終了(比較一致)
7	\$0006	\$000C	PSCr EEC	縮小電力段制御器 拡張周期終了(比較一致)
8	\$0007	\$000E	ANACOMP 0	アナログ比較器0出力遷移
9	\$0008	\$0010	ANACOMP 1	アナログ比較器1出力遷移
10	\$0009	\$0012	ANACOMP 2	アナログ比較器2出力遷移
11	\$000A	\$0014	INT0	外部割り込み要求0
12	\$000B	\$0016	TIMER1 CAPT1	タイマ/カウンタ1捕獲発生
13	\$000C	\$0018	TIMER1 OVF1	タイマ/カウンタ1溢れ
14	\$000D	\$001A	ADC	A/D変換完了
15	\$000E	\$001C	INT1	外部割り込み要求1
16	\$000F	\$001E	SPI, STC	SPI 転送完了
17	\$0010	\$0020	INT2	外部割り込み要求2
18	\$0011	\$0022	WDT	ウォッチドッグ計時完了
19	\$0012	\$0024	EE READY	EEPROM 操作可
20	\$0013	\$0026	SPM READY	SPM命令操作可

(訳注) AT90PWM216/316とAT90PWM161のベクタアドレスは2語単位で同一ですが、割り当てられている割り込みは同一ではありません。従って表3-1.は割り込み元に関して正しくありません。これはAT90PWM81/161に対するもので、AT90PWM216/316が異なることに注意してください。正しい割り込み元についてはAT90PWM216/316のデータシートをご覧ください。

4. クロック

4.1. クロック元

Atmel AT90PWM81/161のクロック元は動的に切り替えることができます。それはRC、WD RC、PLL出力とクリスタル用発振器間の動的切り替えを許します。動的切り替えを制御するのに構成設定されなければならない新しいレジスタは図4-1.と図4-2.で記述されるクロック選択レジスタ(CLKSELR)とクロック制御/状態レジスタ(CLKCSR)です。クロック切り替えはAT90PWM81/161データシートの「動的クロック切り替え」項で提供される手順の使用が必要です。

4.1.1. CLKSELR - クロック選択レジスタ

図4-1. CLKSELR - クロック選択レジスタ

ビット (\$85)	7	6	5	4	3	2	1	0	
	—	COUT	CSUT1	CSUT0	CSEL3	CSEL2	CSEL1	CSEL0	CLKSELR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	CKOUTヒューズ	SUT1,0ヒューズ					CKSEL3~0ヒューズ	

■ ビット6 - COUT : クロック出力 (Clock Out)

COUTビットはCKOUTヒューズビットで初期化されます。

COUTビットは'CKOUT'命令の場合にだけ使われます。これを使う時はAT90PWM81/161データシートの「クロック出力緩衝部」項を参照してください。

'システムクロック元回復'命令の場合、COUTは影響を及ぼされません(この設定の回復なし)。

■ ビット5,4 – CSUT1,0 : クロック始動時間 (Clock Start-up Time)

CSUTビットはSUTヒューズビットの値で初期化されます。

'**クロック元許可/禁止**'命令の場合、CSUT領域はクロック始動時間の符号を提供します。クロック始動時間の符号についてはAT90PWM81/161データシートの「**クロック元**」項の一部分を参照してください。

'**システムクロック元回復**'命令の場合、CSUT領域は影響を及ぼされません(SUT符号の回復なし)。

■ ビット3~0 – CSEL3~0 : クロック元選択 (Clock Source Select)

CSELビットはCKSELヒューズビットの値で初期化されます。

'**クロック元許可/禁止**'、'**クロック有効性要求**'、または'**クロック元切り替え**'の命令の場合、CSEL領域はそのクロック元の符号を取り戻します。クロック元符号についてはAT90PWM81/161データシートの「**クロック元**」項を参照してください。

'**システムクロック元回復**'命令の場合、CSEL領域はクロック制御部を駆動するのに使われたクロック元の符号を受け取ります。

4.1.2. CLKCSR – クロック制御/状態レジスタ

図4-2. CLKCSR – クロック制御/状態レジスタ

ビット (\$84)	7	6	5	4	3	2	1	0	CLKCSR
	CLKCCE	-	-	CLKRDY	CLKC3	CLKC2	CLKC1	CLKC0	
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – CLKCCE : クロック制御変更許可 (Clock Control Change Enable)

CLKCSRのビットの変更を許可するにはCLKCCEビットが論理1を書かれなければなりません。CLKCCEビットはCLKCSRの他のビットが同時に0を書かれる時にだけ更新されます。CLKCCEはそれが書かれた4周期後、またはCLKCSRのビットが書かれた時にハードウェアによって解除(0)されます。この制限時間内のCLKCCEビットの再書き込みは制限時間の延長もCLKCCEビットの解除(0)もどちらも行いません。

■ ビット4 – CLKRDY : クロック準備可フラグ (Clock Ready Flag)

このフラグは'クロック有効性'論理回路の出力です。

このフラグは一度'**クロック有効性要求**'命令が入力されると、リセットされます。

'クロック有効性'論理回路が(選択した)クロックが動いて安定であることを通知する時にこれが設定(1)されます。要求からの遅延とフラグ設定は一定ではなく、クロック始動時間、クロック周波数、そして勿論クロックが生きているかに依存します。「クロック信号なし」と「クロック信号が未だ有効ではない」との違いは使用者が行わなければなりません。

■ ビット3~0 – CLKC3~0 : クロック制御 (Clock Control Bits 3~0)

これらのビットは'クロック切り替え'部へ提供する命令を定義します。CLKCビットを変更するには特別な書き込み手順に従わなければなりません。

1. クロック制御変更許可(CLKCCE)ビットに1を、そしてCLKCSRの他の全てのビットに0を書いてください。
2. 4周期内に、CLKCSRレジスタに望む値を書くと同時にCLKCCEビットを解除(0)してください。

この手順を邪魔しないために、CLKCSRレジスタ設定時に割り込みは禁止されるべきです。

表4-1. クロック命令一覧

CLKC3~0	クロック命令	CLKC3~0	クロック命令
0 0 0 0	(命令なし)	0 1 0 0	クロック元切り替え
0 0 0 1	クロック元禁止	0 1 0 1	システムクロック元回復
0 0 1 0	クロック元許可	0 1 1 1	CKOUT命令
0 0 1 1	クロック有効性要求	1 x x x	(命令なし)

4.2. RC発振器

Atmel AT90PWM81/161ではRC発振器の代表周波数値を変えることができます。2つの周波数は8または1MHzを選択することができます。

この機能はMCU制御レジスタ(MCUCR)の8/1MHz校正付きRC発振器周波数選択(CKRC81)ビットで達成されます(図4-3をご覧ください)。

図4-3. MCUCR – MCU制御レジスタ

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	–	–	–	PUD	RSTDIS	CKRC81	IVSEL	IVCE	MCUCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0/1	0	0	0	

■ ビット2 – CKRC81 : 8/1MHz校正付きRC発振器周波数選択 (Frequency Selection of the calibrated 8/1 MHz RC Oscillator)

- CKRC81ビットが0を書かれると、RC発振器は8MHzです。
- CKRC81ビットが1を書かれると、RC発振器は1MHzです。

既定構成設定はソフトウェア互換を提供する8MHzです。

注: RC発振器が許可されている時にだけ変更することができます。

注: RC発振器がPLL供給元として使われている時にCKRC81は1を書かれてはなりません。

注: RC発振器が禁止された場合、このビットはハードウェアによって解除(0)されます。

5. PLL

Atmel AT90PWM81/161のPLL周波数は64,56,48,40または32MHzに構成設定することができる一方でAtmel AT90PWM216/316は64または32MHzにだけ構成設定することができます。

PLLの倍率を選択するのにPLL周波数係数(PLLF)ビットが使われます。

PLLが使われる場合、AT90PWM216/316からAT90PWM81/161に移植される時にPLL制御/状態レジスタ(PLLCSR)構成設定はソフトウェアで変更されなければなりません。構成設定対製品は図5-1と図5-2で詳述されます。

5.1. AT90PWM216/316

AT90PWM216/316ではビット2(PLLF)がPLL係数を定義します。

図5-1. PLLCSR – PLL制御/状態レジスタ

ビット	7	6	5	4	3	2	1	0	
\$29 (\$49)	–	–	–	–	–	PLLF	PLLE	PLOCK	PLLCSR
Read/Write	R	R	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	0/1	0	

PLLFが設定(1)されるなら、PLL出力は64MHzです。

PLLFが解除(0)されると、PLL出力は32MHzです。

5.2. AT90PWM81/161

AT90PWM81/161ではビット5~2(PLLF3~0)がPLL係数を定義します。

図5-2. PLLCSR – PLL制御/状態レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$87)	–	–	PLLF3	PLLF2	PLLF1	PLLF0	PLLE	PLOCK	PLLCSR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	1	0	0	1/0	0	

■ ビット5~2 – PLLF3~0 : PLL周波数係数 (PLL Factor)

PLLFビットはPLLの通倍係数選択に使われます。

表5-1. PLL通倍係数表

PLLF3~0	0~1	2	3	4	5	6	7~15
n+2	–	4	5	6	7	8	–
PLL周波数 (MHz)	(予約)	32	40	48	56	64	(予約)

6. バンドギャップ

Atmel AT90PWM81/161ではバンドギャップ電流は図6-1.と図6-2.で記述される新しい電圧基準校正レジスタ(BGCCR)と電圧基準温度係数校正レジスタ(BGCRR)によって校正することができます。AT90PWM81/161データシートの「電圧基準と温度感知器」章もご覧ください。

6.1. BGCCR – 電圧基準校正レジスタ

図6-1. BGCCR – 基準電圧校正レジスタ

ビット (\$81)	7	6	5	4	3	2	1	0	
	–	–	–	–	BGCC3	BGCC2	BGCC1	BGCC0	BGCCR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	1	0	0	0	

■ ビット3~0 – BGCC3~0 : ハントギャップ基準電圧校正値 (BG Calibration of PTAT Current)

これらのビットはハントギャップ基準電圧の公称値調節に使われます。これらの値は2進値で、故にVBGの最小値はBGCC3~0が0000の時に達し、BGCC3~0が1111の時に最大値です。1段階は概ね5mVです。BGCCビットの更新は低電圧検出(BOD)レベルに影響を及ぼします。BODは新しい検出レベルに素早く反応します。

6.2. BGCRR – 電圧基準温度係数校正レジスタ

図6-2. BGCRR – 基準電圧温度係数校正レジスタ

ビット (\$80)	7	6	5	4	3	2	1	0	
	–	–	–	–	BGCR3	BGCR2	BGCR1	BGCR0	BGCRR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	1	0	0	0	

■ ビット3~0 – BGCR3~0 : 基準電圧温度係数校正値 (BG Calibration of Resistor ladder)

これらのビットはハントギャップ基準電圧の温度係数補正に使われます。

7. VREF

Atmel AT90PWM216/316は内部電圧基準(VREF)使用時にAREFピンへデカップ(雑音分離)コンデンサが接続されなければなりません。

Atmel AT90PWM81/161はポートとしてPE3ピンを自由にできるように構成設定することができます。この構成設定の場合、ピンは外部コンデンサを必要としません。

これらの構成設定はA/D変換多重器設定(ADMUX)レジスタの基準電圧選択(REFS1,0)ビットで達成されます。

注: 構成設定はソフトウェア互換ではありません。

図7-1. ADMUX – A/D変換多重器選択レジスタ

ビット	7	6	5	4	3	2	1	0	
	REFS1	REFS0	ADLAR	–	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,6 – REFS1,0 : 基準電圧選択 (ADC VREF Selection Bits)

これら2ビットはA/D変換器用と他のアナログ機能用の基準電圧を決めます。

AT90PWM216/316とAT90PWM81/161に従ったREFS1,0の表は7.1と7.2の項で詳述されます。

7.1. AT90PWM216/316

各種設定は表7-1.で示されます。

表7-1. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧	PE3/AREFピン
0	0	外部VREF (内部VREFはOFFされます。)	外部基準電圧
0	1	AVCC	
1	0	(予約)	
1	1	内部2.56V基準電圧	内部基準電圧のデカップ(雑音分離)用外部コンデンサ

これらのビットが変換中に変更される場合、その変更は変換が完了する(A/D変換制御/状態レジスタ(ADCSRA)のA/D変換完了割り込み要求フラグ(ADIF)が設定(1)される時を意味します。)まで実施しません。

7.2. AT90PWM81/161

各種設定は表7-2.で示され、追加された構成設定は暗背景です。

表7-2. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧	PE3/AREFピン
0	0	外部基準電圧(VREF)	外部基準電圧
0	1	AVCC	-
1	0	内部2.56V基準電圧	内部基準電圧のデカップ(雑音分離)用外部コンデンサ接続
1	1	内部2.56V基準電圧	PE3ピンは外部コンデンサの必要条件なしに入出力ピンとして開放

8. 温度感知器

温度感知器はAtmel AT90PWM216/316に存在しなかった新しい特徴です。AT90PWM216/316での記述を参照してください。

Atmel AT90PWM81/161は1つの増幅器(AMP0)だけを持ち、AT90PWM81/161でADC入力として温度感知器を選択するのにAT90PWM216/316でAMP1を選択する構成設定が使われます。

図8-1. ADMUX - A/D変換多重器選択レジスタ

ビット	7	6	5	4	3	2	1	0	
	REFS1	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

8.1. AT90PWM216/316

- ビット3~0 - MUX3~0 : A/Dチャネル選択 (Analog Channel Select Bits 3~0)

表8-1. アナログ入力チャネル選択

MUX3~0	A/D変換器入力	MUX3~0	A/D変換器入力
0 0 0 0	ADC0 (PE2)	1 0 0 0	ADC8 (PC4)
0 0 0 1	ADC1 (PD4)	1 0 0 1	ADC9 (PC5)
0 0 1 0	ADC2 (PD5)	1 0 1 0	ADC10 (PC6)
0 0 1 1	ADC3 (PD6)	1 0 1 1	AMP0 (-はPB3/AMP0-, +はPB4/AMP0+)
0 1 0 0	ADC4 (PB7)	1 1 0 0	AMP1 (-はPC4/ADC8, +はPC5/ADC9)
0 1 0 1	ADC5 (PB2)	1 1 0 1	(予約)
0 1 1 0	ADC6 (PB5)	1 1 1 0	バンドギャップ電圧(VBG)
0 1 1 1	ADC7 (PB6)	1 1 1 1	0V(GND)

(訳注) 暗背景の入力はSO24外圍器に存在しません。

AT90PWM216/316での1100はAMP1を選択します。

8.2. AT90PWM81/161

表8-2. アナログ入力チャネル選択

MUX3~0	A/D変換器入力	MUX3~0	A/D変換器入力
0 0 0 0	ADC0 (PD2)	1 0 0 0	ADC8 (PB6)
0 0 0 1	ADC1 (PD3)	1 0 0 1	ADC9 (PB7)
0 0 1 0	ADC2 (PB3)	1 0 1 0	ADC10 (PD7)
0 0 1 1	ADC3 (PB4)	1 0 1 1	AMP0 (-はPD5/AMP0-, +はPD6/AMP0+)
0 1 0 0	ADC4 (PD4)	1 1 0 0	温度感知器 (VTEMP)
0 1 0 1	ADC5 (PB5)	1 1 0 1	VCC/4
0 1 1 0	ADC6 (AREF)	1 1 1 0	バンドギャップ電圧(VBG)
0 1 1 1	ADC7 (PD5)	1 1 1 1	0V(GND)

AT90PWM81/161での1100は温度感知器(VTEMP)を選択します。

9. ポートC

Atmel AT90PWM81/161はポートCを提供せず、従ってPORTC, DDRC, PINCのレジスタはAT90PWM81/161にもはや存在しません。

10. EEPROM

最初に、Atmel AT90PWM81/161のEEPROMはバイトとページの単位でアクセスすることができ、一方Atmel AT90PWM216/316はバイト単位でだけアクセスすることができます。この機能は、例えば電力が落ちる流れの間でのより速い前後関係(の流れの)保存を許します。

この制御はEEPROM制御レジスタ(EECR)の新しいビット6(EEPAGE)で達成されます(図10-1をご覧ください)。

次に、AT90PWM81/161で不揮発性メモリ(フラッシュメモリ、EEPROM、施錠ビット)が多忙なことを示すのに状態ビットが追加されました。この制御はEEPROM制御レジスタ(EECR)の新しいビット7(NVMBSY)で達成されます(図10-1をご覧ください)。

図10-1. EECR – EEPROM制御レジスタ

ビット	7	6	5	4	3	2	1	0	EECR
\$1F (\$3F)	NVMBSY	EEPAGE	EEPm1	EEPm0	EERIE	EEMWE	EEWE	EERE	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	0	0	不定	0	

■ ビット7 – NVMBSY : 不揮発性メモリ多忙 (Non-volatile memory busy)

NVMBSYビットはNVMメモリ(フラッシュ、EEPROM、施錠ビット)がプログラミングで多忙なことを示す状態ビットです。一旦プログラミング操作が開始されると、このビットが設定(1)されて、プログラミング操作が完了されるまで設定(1)に留まります。

■ ビット6 – EEPAGE : EEPROMページアクセス(複数バイトアクセス形態) (EEPROM Page access (multiple bytes access mode))

EEPAGEの1書き込みは複数バイトアクセス形態を許可します。それは多数のバイトが同時にEEPROMへプログラミングできることを意味します。EEPAGEビットが1を書かれると、EEPAGEビットはEEPROMプログラミング操作が完了されるまで設定(1)に留まります。代わりにこのビットはソフトウェアでEEPROM一時緩衝部が破棄された時にも解除(0)されます(EEPmビット説明をご覧ください)。EEPROM書き込み許可(EEWE)が1の間のどんなEEPAGE書き込みも無視されます。EEPROM一時ページへのデータ設定方法とEEPAGEビットの使い方の詳細についてはAT90PWM81/161データシートの「EEPROM」項をご覧ください。

11. INT3

Atmel AT90PWM81/161はINT3入力を持たず、外部割り込み3は存在しません。

故にAtmel AT90PWM216/316からの移植時にソフトウェア互換性が調べられなければなりません。

AT90PWM81/161で以下のビットが宣言されていません。

- ビット3 – INT3 : 外部割り込み許可(EIMSK)レジスタの外部割り込み要求3許可
- ビット3 – INTF3 : 外部割り込み要求フラグレジスタ(EIFR)の外部割り込み要求3
- ビット7,6 – ISC31,0 : 外部割り込み制御レジスタA(EICRA)の外部割り込み3条件制御ビット

12. タイマ/カウンタ

Atmel AT90PWM81/161は1つのタイマ/カウンタ(タイマ/カウンタ1)だけと1つの捕獲入力(ICP1)だけを持ちます。故にAtmel AT90PWM216/316で使われていた一般タイマ/カウンタ制御レジスタ(GTCCR、図12-1をご覧ください)はAT90PWM81/161にもはや存在しません。

図12-1. GTCCR – 一般タイマ/カウンタ制御レジスタ

ビット	7	6	5	4	3	2	1	0	GTCCR
\$23 (\$43)	TSM	ICPSEL1	–	–	–	–	–	PSRSYNC	
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

AT90PWM216/316での機能:

■ ビット7 – TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットに1を書くことはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSRSYNCへ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できることを保証します。TSMビットが0を書かれると、PSRSYNCビットはハードウェアによって解除(0)され、同時にタイマ/カウンタが計数を始めます。

■ ビット6 – ICPSEL1 : タイマ/カウンタ1 捕獲起動ピン選択 (Timer/Counter1 Input Capture selection)

タイマ/カウンタ1の捕獲機能にはICP1A(PD4)とICP1B(PB7)の利用可能な2つの入力があります。選択は表で記述されるようにICPSEL1ビットで行なわれます。

表 12-1. タイマ/カウンタ1捕獲起動入力ピン選択

ICPSEL1	意味
0	捕獲起動入力ピンとしてICP1A選択
1	捕獲起動入力ピンとしてICP1B選択

■ ビット0 – PSRSYNC : 同期系タイマ/カウンタ前置分周器リセット (Prescaler Reset Timer/Counter 1,0)

このビットが1の時にタイマ/カウンタ0とタイマ/カウンタ1の前置分周器がリセットします。TSMビットが設定(1)されている場合を除き、通常、このビットはハードウェアによって直ちに解除(0)されます。

注: タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが両方のタイマ/カウンタに影響を及ぼします。

12.1. タイマ/カウンタ0

タイマ/カウンタ0はAT90PWM81/161の機能に含まれません。故に以下のレジスタは宣言されていません。

- ・タイマ/カウンタ0割り込み要求フラグ レジスタ (TIFR0)
- ・タイマ/カウンタ0 レジスタ (TCNT0)
- ・タイマ/カウンタ0制御レジスタB (TCCR0B)
- ・タイマ/カウンタ0制御レジスタA (TCCR0A)
- ・タイマ/カウンタ0比較Bレジスタ (OCR0B)
- ・タイマ/カウンタ0比較Aレジスタ (OCR0A)
- ・タイマ/カウンタ0割り込み許可レジスタ (TIMSK0)
- ・ビット3 – PRTIM0 : 電力削減レジスタ(PRR)のタイマ/カウンタ0電力削減ビット

12.2. タイマ/カウンタ1

Atmel AT90PWM81/161のタイマ/カウンタ1はTOP値の自動再設定付きの簡単化された16ビット タイマ/カウンタです。

タイマ/カウンタ1の比較機能もAT90PWM81/161で割り引かれています。

以下のレジスタとビットはAT90PWM81/161に存在しません。

- ・タイマ/カウンタ1制御レジスタC (TCCR1C)
- ・タイマ/カウンタ1制御レジスタA (TCCR1A)
- ・タイマ/カウンタ1比較Bレジスタ上位バイト (OCR1BH)
- ・タイマ/カウンタ1比較Bレジスタ下位バイト (OCR1BL)
- ・タイマ/カウンタ1比較Aレジスタ上位バイト (OCR1AH)
- ・タイマ/カウンタ1比較Aレジスタ下位バイト (OCR1AL)
- ・ビット6 – ICPSEL1 : 一般タイマ/カウンタ制御レジスタ(GTCCR)のタイマ/カウンタ1捕獲起動ピン選択
- ・ビット3 – WGM12 : タイマ/カウンタ1制御レジスタB(TCCR1B)の波形生成種別ビット2
- ・ビット2 – OCIE1B : タイマ/カウンタ1割り込み許可(TIMSK1)レジスタのタイマ/カウンタ1比較B一致割り込み許可
- ・ビット1 – OCIE1A : タイマ/カウンタ1割り込み許可(TIMSK1)レジスタのタイマ/カウンタ1比較A一致割り込み許可

13. SPI

Atmel AT90PWM81/161は交換SPI出力を持たず、一方でAtmel AT90PWM216/316はこの交換SPIを持っていました。

13.1. AT90PWM216/316

図13-1. MCUCR – MCU制御レジスタ

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SPIPS	-	-	PUD	-	-	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – SPIPS : SPIピン選択 (SPI Pin Select)

MCUCRのSPIPS(SPIピン選択)によってSPIピンは接続替えすることができます。

- 32ピン外圍器ではSPIPSが以下の動きを持ちます。
 - ・SPIPSビットが0を書かれると、SPI信号はMISO,MOSI,SCK,SSのピンに向けられます。

- ・ SPIPSビットが1を書かれると、SPI信号はMISO_A,MOSL_A,SCK_A,SS_Aの代替SPIピンに向けられます。
2. 24ピン外周器ではSPIPSが以下の動きを持ちます。
- ・ SPIPSビットが0を書かれると、SPI信号はMISO_A,MOSL_A,SCK_A,SS_Aの代替SPIピンに向けられます。
 - ・ SPIPSビットが1を書かれると、SPI信号はMISO,MOSI,SCK,SSのピンに向けられます。

注: プログラミングポートが常に代替SPIポートに配置されることに注意してください。

13.2. AT90PWM81/161

MCU制御レジスタ(MCUCR)のビット7 - SPIピン選択(SPIPS)はAT90PWM81/161で使われません。

図13-2. MCUCR - MCU制御レジスタ

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	-	-	PUD	RSTDIS	CKRC81	IVSEL	IVCE	MCUCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0/1	0	0	0	

14. USART

USART機能はAT90PWM81/161に存在しません。故に以下のレジスタ/ビットはどんな動きも提供しません。

- ・ EUSARTデータレジスタ (EUDR)
- ・ マンチェスタ受信部ボーレートレジスタ上位バイト (MUBRRH)
- ・ マンチェスタ受信部ボーレートレジスタ下位バイト (MUBRRL)
- ・ EUSART制御レジスタC (EUCSRC)
- ・ EUSART制御レジスタB (EUCSRB)
- ・ EUSART制御レジスタA (EUCSRA)
- ・ USARTデータレジスタ (UDR)
- ・ USARTボーレートレジスタ上位バイト (UBRRH)
- ・ USARTボーレートレジスタ下位バイト (UBRRL)
- ・ USART制御レジスタC (UCSRC)
- ・ USART制御レジスタB (UCSRB)
- ・ USART制御レジスタA (UCSRA)
- ・ ビット1 - PRUSART0 : 電力削減レジスタ(PRR)のUSART電力削減ビット

15. PSC0/PSCR

Atmel AT90PWM216/316のPSC0は12ビット精度を持つ低費用率改善(PFC)機能用に簡単化されました。それはPSCR部として改名されています。

2つのPSCR間の主な機能的な違いはPSC0同期異常割り込み許可がAtmel AT90PWM81/161で利用できないことです。

15.1. AT90PWM216/316

PSCR部でのこの制御ビットはPSC0割り込み許可(PIM0)レジスタのビット5 - PSC0同期異常割り込み許可(PSEIE0)でした。

図15-1. PIM0 - PSC0割り込み許可レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$A1)	-	-	PSEIE0	PEVE0B	PEVE0A	-	-	PEOPE0	PIM0
Read/Write	R	R	R/W	R/W	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット5 - PSEIE0 : PSC0 同期異常割り込み許可 (PSC0 Synchro Error Interrupt Enable)

このビットが設定(1)されると、同期異常割り込み要求(PSEI0)ビットが(設定(1)ならば)割り込みを生成します。

15.2. AT90PWM81/161

図15-2. PIM0 – PSC0割り込み許可レジスタ

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	–	–	–	PEVE0B	PEVE0A	–	PEOEPE0	PEOEPE0	PIM0
Read/Write	R	R	R	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

16. PSC1

ATMEL AT90PWM81/161はPSCRとPSC2の2つの電力段制御部(PSC)を持ちます。故にPSC1は存在せず、AT90PWM81/161に以下のレジスタとビットは存在しません。

- PSC1割り込み許可レジスタ (PIM1)
- PSC1割り込み要求フラグ レジスタ (PIFR1)
- PSC1制御レジスタ (PCTL1)
- PSC1構成レジスタ (PCNF1)
- PSC1同期/出力構成レジスタ (PSOC1)
- ビット6 – PRPSC1 : 電力削減レジスタ(PRR)のPSC1電力削減ビット

17. PSC2

17.1. アナログ同期

ATMEL AT90PWM81/161のPSC2はアナログ同期出力への遅延を構成設定して入力空白化を選択する方法を提供します。この機能はアナログ入力の捕獲をもっと正確に制御するのに有用です。

これは新しいPSC2拡張構成(PCNFE2)レジスタのビット7～5 – アナログ同期出力遅延/入力無効化選択(PASDLK22～0)で達成することができます。

図17-1. PCNFE2 – PSC2拡張構成レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$70)	PASDLK22	PASDLK21	PASDLK20	PBFM21	PELEV2A1	PELEV2A0	PESEL2A1	PESEL2B1	PCNFE2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～5 – PASDLK22～0 : アナログ同期出力遅延/入力無効化選択 (Analog Synchronization Output Delay or Input Blanking select)
アナログ信号同期遅延または入力無効化の形態を定義します。

表17-1. アナログ信号同期または入力無効化の形態選択

PASDLK22	PASDLK21	PASDLK20	説明
0	0	0	アナログ信号同期遅延なし、入力無効化なし
0	0	1	アナログ信号同期遅延なし、PSCクロックを用いてPSC周期の最後で始まる入力無効化
0	1	0	アナログ信号同期遅延なし、PSCクロックを用いてOCRnSA事象で始まる入力無効化
0	1	1	アナログ信号同期遅延なし、PSCクロックを用いてOCRnSB事象で始まる入力無効化
1	0	0	PSCクロックでのアナログ信号同期遅延、入力無効化なし
1	0	1	PSCクロック/2でのアナログ信号同期遅延、入力無効化なし
1	1	0	PSCクロック/4でのアナログ信号同期遅延、入力無効化なし
1	1	1	PSCクロック/8でのアナログ信号同期遅延、入力無効化なし

17.2. 平衡分数変調

AT90PWM81/161は調光応用のために付加的な平衡分数変調を提供します。これはPSC2拡張構成(PCNFE2)レジスタのビット4～0で達成されます(図17-2をご覧ください)。

図17-2. PCNFE2 – PSC2拡張構成レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$70)	PASDLK22	PASDLK21	PASDLK20	PBFM21	PELEV2A1	PELEV2A0	PESEL2A1	PESEL2B1	PCNFE2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット4 – PBFMn1 : PSCn平衡分数(端数)変調(小数分周器)動作種別ビット1 (PSC n Balance Flank Width Modulation bit 1)
PSC2制御(PCTL2)レジスタのPBFM20ビットと共に平衡分数変調を定義します。

表17-2. 分数変調動作形態選択

PBFM21	PBFM20	説明
0	0	RB(ON時間1のみ)で分数変調動作
0	1	RB+RA(ON時間0とON時間1)で分数変調動作
1	0	SB(沈黙時間1のみ)で分数変調動作
1	1	SB+SA(沈黙時間0と沈黙時間1)で分数変調動作

18. A/D変換器

18.1. ADC I/O

Atmel AT90PWM81/161では、AREF/ADC6交互交換機能を持つ汎用入出力のPE3がアナログ入力ピンとしてだけ使えます(訳補:本行修正。PE3記述は内部的なもので実際に標準I/Oとしては利用できません)。ADC6はデジタル入力機能を持たず、一方でAtmel AT90PWM216/316では(訳補:標準I/Oに割り当てられているために)デジタル入力機能を持ちます。

21.章で記述されるデジタル入力禁止レジスタ0(DIDR0)とデジタル入力禁止レジスタ1(DIDR1)間での違いをご覧ください。

18.2. 増幅器数

既に7.章で記述されたように、AT90PWM81/161は1つの増幅器(AMP0)だけを持ちます。

故にAtmel AT90PWM216/316の増幅器1制御/状態レジスタ(AMP1CSR)はAT90PWM81/161で何の動きも持ちません。

AT90PWM216/316では、A/D変換多重器選択(ADMUX)レジスタのビット3~0のADCチャネル選択(MUX3~0)ビットの1100構成設定がADC入力としてAMP1を選択しました。

AMP1を持たないAT90PWM81/161では、この構成設定が温度感知器を選択するのに再使用されています。

図18-1. ADMUX – A/D変換多重器選択レジスタ

ビット	7	6	5	4	3	2	1	0	
	REFS1	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット3~0 – MUX3~0 : A/Dチャネル選択 (Analog Channel Select Bits 3~0)

AT90PWM216/316 : 1100はAMP1を選択します。

AT90PWM81/161 : 1100は温度感知器(VTEMP)を選択します。

18.3. 増幅器構成設定

AT90PWM81/161の増幅器に改良が加えられました。

負入力のGNDへの内部接続を構成設定することができます。

行われたなら、AMP0-入力は開放で、PD5/AMP0-ピンは別の使用に関して自由です。同時に増幅器の負入力が内部的にGNDにされます。

この機能は増幅器0制御/状態レジスタ(AMP0CSR)のビット3 – 増幅器0 AMP0-のGND選択(AMP0GS)の制御で達成されます。

図18-2. AMP0CSR – 増幅器0制御/状態レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$79)	AMP0EN	AMP0IS	AMP0G1	AMP0G0	AMP0GS	-	AMP0TS1	AMP0TS0	AMP0CSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

19. アナログ比較器

19.1. アナログ比較器数とクロック分周器

・ Atmel AT90PWM81/161では、これらの比較器レジスタの名前が変更されています。

Atmel AT90PWM216/316ではアナログ比較器はAC2CON、AC1CON、AC0CONと名付けられ、一方AT90PWM81/161でそれらは各々AC3CON、AC2CON、AC1CONです。

変更はレジスタのアドレスだけです。

・ AT90PWM81/161のアナログ比較器は改良され、16MHzクロックに対してクロック分周器がもはや必須ではありません。

これら2つの変更の結果は19.1.1.と19.1.2.の項で詳述されます。

19.1.1. AT90PWM216/316

AT90PWM216/316では、ACCKDIVクロック分周ビットがACSRレジスタ内でした。AT90PWM81/161でそれはもう存在しません。

図19-1. ACSR - アナログ比較器状態レジスタ

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	ACCKDIV	AC2IF	AC1IF	AC0IF	-	AC2O	AC1O	AC0O	ACSR
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	不定	不定	不定	

■ ビット7 - ACCKDIV : アナログ比較器クロック分周器 (Analog Comparator Clock Divider)

アナログ比較器は最大8MHz/3Vと16MHz/5Vまでのクロックで動くことができます。

マイクロコントローラのクロック周波数が8MHzよりも高い場合、マイクロコントローラのクロックとアナログ比較器のクロック間に2分周を挿入するためにこのビットを設定(1)してください。

マイクロコントローラとアナログ比較器に対して同じクロック周波数を持つにはこのビットを解除(0)してください。

(訳注) 過去に於いてデータシートからこのACCKDIVビットが削除されています。

19.1.2. AT90PWM81/161

使用者はアナログ比較器割り込み要求フラグ(ACnIF)とアナログ比較器出力(ACnO)が1つ左に移動(そして改名)されていることに注意しなければなりません。

図19-2. ACSR - アナログ比較器状態レジスタ

ビット	7	6	5	4	3	2	1	0	
\$00 (\$20)	AC3IF	AC2IF	AC1IF	-	AC3O	AC2O	AC1O	-	ACSR
Read/Write	R/W	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7,6,5 : AC3IF,AC2IF,AC1IFはAT90PWM216/316のビット6,5,4のAC2IF,AC1IF,AC0IFです。

ビット3,2,1 : AC3O,AC2O,AC1OはAT90PWM216/316のビット2,1,0のAC2O,AC1O,AC0Oです。

ビット7 : AT90PWM216/316のACCKDIVはAT90PWM81/161に存在せず、AC3IFビットに置き換えられています。

19.2. アナログ比較器ヒステリシス

Atmel AT90PWM81/161のアナログ比較器はヒステリシスレベルの構成設定を提供するように改良されています。

新しいアナログ比較器n拡張制御(AC3ECON,AC2ECON,AC1ECON)レジスタのビット2~0のアナログ比較器ヒステリシス選択(ACnH2~0)ビットによって3つのヒステリシス値(0, ±10mV, ±25mV)を選択することができます。

図19-3. ACnECON - アナログ比較器n拡張制御レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$7A,\$7B,\$7C)	-	-	ACnOI	ACnOE	AC1ICE	ACnH2	ACnH1	ACnH0	ACnECON
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

19.3. アナログ比較器出力

AT90PWM81/161ではアナログ比較器を許可/禁止することができ、更に反転もでき、一方AT90PWM216/316でこれらの構成設定は変更することができません。

AT90PWM81/161ではアナログ比較器n拡張制御(ACnECON)レジスタが追加されています。

図19-4. ACnECON – アナログ比較器n拡張制御レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$7A,\$7B,\$7C)	–	–	ACnOI	ACnOE	ACIICE	ACnH2	ACnH1	ACnH0	ACnECON
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット5 – ACnOI : アナログ比較器n 出力反転 (Analog Comparator n Output Invert)

アナログ比較器nの出力を反転するには、このビットを設定(1)してください。

アナログ比較器nの出力を維持するには、このビットを解除(0)してください。

■ ビット4 – ACnOE : アナログ比較器n 出力許可 (Analog Comparator n Output Enable)

アナログ比較器nの出力ピンを許可するには、このビットを設定(1)してください。

アナログ比較器nの出力ピンを禁止するには、このビットを解除(0)してください。

19.4. アナログ比較器事象でのタイマ/カウンタ1捕獲

AT90PWM216/316ではアナログ比較器捕獲起動許可(ACIICE)ビットはアナログ比較器1制御(AC1CON)レジスタのビット3でした。

AT90PWM81/161ではアナログ比較器捕獲起動許可(ACIICE)ビットがアナログ比較器1拡張制御(AC1ECON)レジスタのビット3に移動されています(図19-5をご覧ください)。

図19-5. AC1ECON – アナログ比較器1拡張制御レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$7A)	–	–	AC1OI	AC1OE	ACIICE	AC1H2	AC1H1	AC1H0	AC1ECON
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

20. D/A変換器

Atmel AT90PWM81/161のD/A変換器(DAC)出力は許可/禁止することができません。故にAT90PWM81/161のDAC値は入出力ピンに出力することができず、一方でAtmel AT90PWM216/316に関しては可能です。

20.1. AT90PWM216/316

図20-1. DACON – D/A変換制御レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$AA)	DAATE	DATS2	DATS1	DATS0	–	DALA	DAOE	DAEN	DACON
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット1 – DAOE : D/A変換 出力許可 (Digital to Analog Output Enable)

D2Aピンに変換結果を出力するにはこのビットを設定(1)してください。(訳補: AT90PWM216にはD2Aピンがありません。)

D/A変換器を内部的に使うにはこれを解除(0)してください。

20.2. AT90PWM81/161

図20-2. DACON – D/A変換制御レジスタ

ビット	7	6	5	4	3	2	1	0	
(\$76)	DAATE	DATS2	DATS1	DATS0	–	DALA	–	DAEN	DACON
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

D/A変換制御(DACON)レジスタのビット1のD/A変換出力許可(DAOE)ビットはもはやAT90PWM81/161に存在しません。

21. I/Oレジスタ

21.1. DIDR0,DIDR1レジスタ

デジタル入力禁止レジスタ(DIDR0とDIDR1)は2つの製品間で変更されています。次の図をご覧ください。

図21-1. デジタル入力禁止レジスタ0/1(DIDR0/1)対AT90PWM216/316とAT90PWM81/161

DIDR0 – AT90PWM216/316									
ビット	7	6	5	4	3	2	1	0	
(\$7E)	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D ACMPMD	ADC2D ACMP2D	ADC1D	ADC0D	DIDR0
DIDR0 – AT90PWM81/161									
ビット	7	6	5	4	3	2	1	0	
(\$77)	ADC8D ACMP3D	ADC7D AMP0-D	ADC5D ACMP2D	ADC4D ACMP3MD	ADC3D ACMPMD	ADC2D ACMP2MD	ADC1D	ADC0D ACMP1D	DIDR0
DIDR1 – AT90PWM216/316									
ビット	7	6	5	4	3	2	1	0	
(\$7F)	-	-	ACMP0D	AMP0PD	AMP0ND	ADC10D ACMP1D	ADC9D AMP1PD	ADC8D AMP1ND	DIDR1
DIDR1 – AT90PWM81/161									
ビット	7	6	5	4	3	2	1	0	
(\$78)	-	-	-	-	ACMP1MD	AMP0+D	ADC10D	ADC9D	DIDR1

21.2. DIDR0,DIDR1ビットのアナログ入力機能

表21-1. アナログ入力構成設定対AT90PWM216/316とAT90PWM81/161

入力項目	ADC0	ADC1	ADC2	ADC3	ADC4	ADC5	ADC6	ADC7	ADC8	ADC9	ADC10
AT90PWM216/316	DIDR0.0	DIDR0.1	DIDR0.2	DIDR0.3	DIDR0.4	DIDR0.5	DIDR0.6	DIDR0.7	DIDR1.0	DIDR1.1	DIDR1.2
AT90PWM81/161	DIDR0.0	DIDR0.1	DIDR0.2	DIDR0.3	DIDR0.4	DIDR0.5	18.1項参照	DIDR0.6	DIDR0.7	DIDR1.0	DIDR1.1

21.3. DIDR0,DIDR1ビットのアナログ比較器入力機能

表21-2. アナログ比較器入力構成設定対AT90PWM216/316とAT90PWM81/161

単位部	入力項目	AT90PWM216/316	単位部	入力項目	AT90PWM81/161
アナログ比較器2	正入力	DIDR0.2	アナログ比較器3	正入力	DIDR0.7
	-	-		負入力	DIDR0.4
アナログ比較器1	正入力	DIDR1.2	アナログ比較器2	正入力	DIDR0.5
	-	-		負入力	DIDR0.2
アナログ比較器0	正入力	DIDR1.5	アナログ比較器1	正入力	DIDR0.0
	-	-		負入力	DIDR1.3
アナログ比較器共通	共通負入力	DIDR0.3	アナログ比較器共通	共通負入力	DIDR0.3

21.4. DIDR0,DIDR1ビットのアナログ増幅器入力機能

表21-3. アナログ増幅器入力構成設定対AT90PWM216/316とAT90PWM81/161

単位部	入力項目	AT90PWM216/316	単位部	入力項目	AT90PWM81/161
増幅器0(AMP0)	正入力	DIDR1.4	増幅器0(AMP0)	正入力	DIDR1.2
	負入力	DIDR1.3		負入力	DIDR0.6
増幅器1(AMP1)	正入力	DIDR1.1	増幅器1(AMP1)	正入力	(利用不可)
	負入力	DIDR1.0		負入力	(利用不可)

22. 目次

要点	1	21. I/Oレジスタ	14
1. 序説	1	21.1. DIDR0,DIDR1レジスタ	14
2. リセット	2	21.2. DIDR0,DIDR1ビットのアナログ入力機能	15
3. 割り込みベクタ	3	21.3. DIDR0,DIDR1ビットのアナログ比較器入力機能	15
4. クロック	3	21.4. DIDR0,DIDR1ビットのアナログ増幅器入力機能	15
4.1. クロック元	3	22. 目次	16
4.1.1. CLKSELR – クロック選択レジスタ	3		
4.1.2. CLKCSR – クロック制御/状態レジスタ	4		
4.2. RC発振器	4		
5. PLL	5		
5.1. AT90PWM216/316	5		
5.2. AT90PWM81/161	5		
6. バントキャップ	5		
6.1. BGCCR – 電圧基準校正レジスタ	6		
6.2. BGCRR – 電圧基準温度係数校正レジスタ	6		
7. VREF	6		
7.1. AT90PWM216/316	6		
7.2. AT90PWM81/161	6		
8. 温度感知器	7		
8.1. AT90PWM216/316	7		
8.2. AT90PWM81/161	7		
9. ホートC	7		
10. EEPROM	8		
11. INT3	8		
12. タイマ/カウンタ	8		
12.1. タイマ/カウンタ0	9		
12.2. タイマ/カウンタ1	9		
13. SPI	9		
13.1. AT90PWM216/316	9		
13.2. AT90PWM81/161	10		
14. USART	10		
15. PSC0/PSCR	10		
15.1. AT90PWM216/316	10		
15.2. AT90PWM81/161	11		
16. PSC1	11		
17. PSC2	11		
17.1. アナログ同期	11		
17.2. 平衡分数変調	11		
18. A/D変換器	12		
18.1. ADC I/O	12		
18.2. 増幅器数	12		
18.3. 増幅器構成設定	12		
19. アナログ比較器	13		
19.1. アナログ比較器数とクロック分周器	13		
19.1.1. AT90PWM216/316	13		
19.1.2. AT90PWM81/161	13		
19.2. アナログ比較器ヒステリシス	13		
19.3. アナログ比較器出力	13		
19.4. アナログ比較器事象でのタイマ/カウンタ1捕獲	14		
20. D/A変換器	14		
20.1. AT90PWM216/316	14		
20.2. AT90PWM81/161	14		



Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2012 Atmel Corporation. 不許複製

Atmel®、Atmelロゴとそれらの組み合わせ、それとAVR®その他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2021.

本応用記述はAtmelのAVR539応用記述(doc8428.pdf Rev.8428B-01/12)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。