

## AVRw00 : 実装書き込み(ISP)対応設計

### 序説

実装書き込みを行う場合、 $\overline{\text{RESET}}$ , SCK, MISO/PDO, MOSI/PDIの4信号が必要です。このインターフェースは直列周辺インターフェース(SPI)を基にしているため、SCK, MISO, MOSIの名称はこれに由来しており、既存製品の多くが(特にSPI実装デバイスに関しては)、この名称を用います。けれども、別の意味を重視する製品(特にSPIピン以外のピンをISPピンとするデバイス)に関して、MISOの代わりにPDOを、MOSIの代わりにPDIの名称が用いられます。

従って、これらの信号は多くのデバイスでSPIピンと共用され、ISPにSPIピンを使用しないデバイスであっても他の周辺機能ピンと共用されています。このため、これらの信号は通常使用時と実装書き込み時の両方に対して問題なく動作するような回路設計が求められます。SCK, MISO/PDO, MOSI/PDIについては、該当ピンを汎用入出力または周辺機能ピンとして使用せず、実装書き込み専用とすることで、特別な考慮の必要はなくなります。同様に $\overline{\text{RESET}}$ も外部リセット(または $\overline{\text{RESET}}$ が汎用入出力として使用可能なデバイスの場合は汎用入出力)として使用しなければ、特別な考慮の必要はありません。

### 信号線処理

#### RESET

通常時に外部リセットピンとして使用する場合、基本的に外部リセット回路として2種類が考えられます。1つは不活性素子のみで構成される場合で、具体的にはC, Rの積分器です(図1)。

この回路のC及びR値の範囲は基本的にこの信号を駆動する書き込み器出力インピーダンスに依存します。また、Cの容量値は書き込み器の書き込みタイミングも影響します。例として書き込み器の出力インピーダンスが1k $\Omega$ の場合を考えます。この場合の抵抗Rの値は最小値が問題になります。この最小値は $\overline{\text{RESET}}$ ピンの最大Lowレベル入力値から算出します。 $\overline{\text{RESET}}$ ピンの最大最大Lowレベル入力値を0.3VCCとすると、抵抗Rの最小値は以下です。

$$R_{\text{最小値}} = (1\text{k}\Omega \div 0.3) - 1\text{k}\Omega \approx 2.3\text{k}\Omega$$

デバイス内部のプルアップ抵抗値は本計算に於けるR値に比べて比較的大きな値なので無視しています。また、この値には信号線やコネクタの抵抗分及び誤差などを含みませんので、これら一般的な余裕を追加すると、最小値は概ね3k $\Omega$ 程度でしょう。最大値の方は基本的に $\infty$ です。これはデバイス内部で $\overline{\text{RESET}}$ ピンが30k $\Omega$ ~500k $\Omega$ でプルアップされているため、この抵抗値で良い場合は外部抵抗Rは省略できます。

Cの容量値は可能な限り小容量であるべきです。容量値が大きくなると、タイミング誤りを発生する可能性が増えます。一般的に0.001~0.1 $\mu\text{F}$ が妥当な範囲でしょう。勿論、最小値はデバイスの最小リセットLowパルス幅を満たす時定数となる値です。

もう1つの活性素子を中心に構成される場合は更に別の考慮も必要です。一般的に本用途にはリセットIC若しくは低電圧検出ICが使用されます。これらICの出力はオープンコレクタまたはオープンドレインでなければなりません。また、外部にプルアップ抵抗を追加する場合は上記同様の考慮が必要です。

更に、汎用入出力としても使用できるデバイスでそれを使用する場合は、MOSI/PDIやMISO/PDOと同様の考慮が必要です。



HERO and  
heavy friends

8ビット AVR<sup>®</sup>  
マイクロコントローラ

### 応用記述

図1. 不活性素子リセット回路例

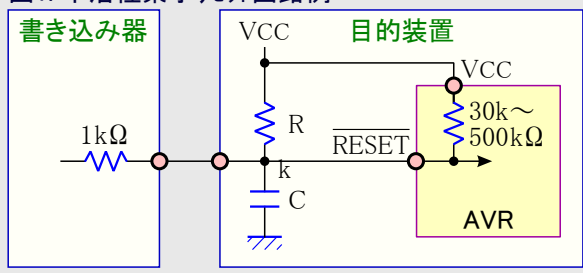
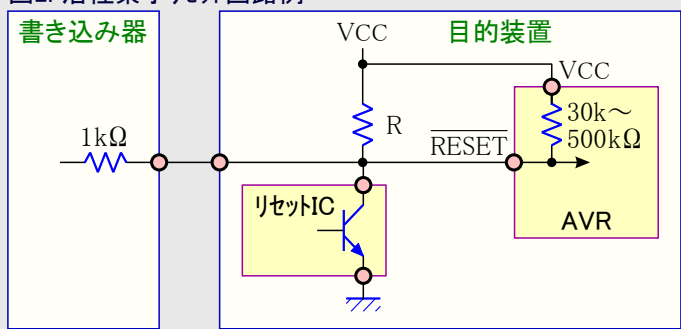


図2. 活性素子リセット回路例



Rev. AVRw00-12/13

**参考:**  $\overline{\text{RESET}}$ ピンに対するAVR内部のプルアップ抵抗値は30k $\sim$ 500k $\Omega$ です。外部リセットを使用しない場合、 $\overline{\text{RESET}}$ ピンは未接続で良い訳ですが、使用環境によっては問題が起き得ます。特に第1世代デバイスは内部プルアップ抵抗値がかなり大きいので、静電気や雑音によって誤動作(リセット)となる場合があります。このため、実装書き込みを行わない場合はRESETピンをVCCに接続することが推奨されています。実装書き込みを行う場合は10k $\Omega$ 程度での外部プルアップが適当でしょう。

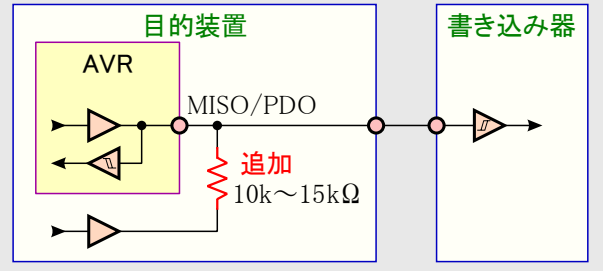
## MISO/PDO

MISO/PDOは実装書き込み時に出力です。通常使用時にこのピンを入力で使用するか、または出力で使用するかによって考慮点が異なります。

### 通常時入力

この場合、このピンを駆動している回路の出力とこのピン間に直列抵抗器を挿入します。この直列抵抗器の最小値も「RESET」項と同じ様に出力(この場合はAVR)の出力インピーダンスに依存しますが、その他にも対応外部回路の出力インピーダンスや出力電圧にも大きく影響されます。一般的にAVRの出力インピーダンスは十分に低いので、「RESET」項での例よりは小さな値になります。最大値は主に入力容量や浮遊容量と直列抵抗で形成される時定数による遅延時間に影響されます。遅延時間が問題となる場合は、あまり大きな抵抗値は使用できません。現実的には静電試験や雑音試験の問題から最大値は10k $\sim$ 15k $\Omega$ 程度でしょう。

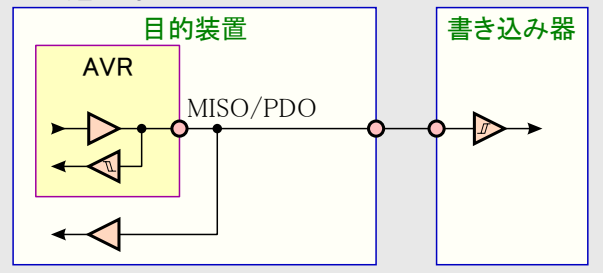
図3. 通常時入力のMISO/PDO処理



### 通常時出力

この場合は実装書き込み時に、このピンから接続されている回路がMISO/PDO出力で駆動されるので、それによる問題が起きないように配慮が必要です。一般的に、例えばMISO/PDO信号線が書き込み器によって制御されたとしても、MISO/PDOピンが駆動する外部回路は通常も何らかの制御をされているので、特に問題はないと考えがちです。然しながら、他の条件、例えばその外部回路が別のピンから複数の制御線も接続されており、それらが通常使用では有り得ない組み合わせとなることにより、MISO/PDO信号線の動きが問題を引き起こす場合も有り得ます。また、通常使用時に低速制御されるものが、実装書き込み時に高速信号が入力されることで異常動作となり、回路の短絡や素子の破壊を引き起こす場合なども考えられます。

図4. 通常時出力のMISO/PDO処理



## SCK, MOSI/PDI

SCK, MOSI/PDIは実装書き込み時に入力です。これらのピンもMISO/PDO同様、通常使用時入力を使用するか、または出力で使用するかによって考慮点が異なります。

### 通常時入力

基本的にMISO/PDOの通常入力時と同様(図3.参照)ですが、プルアップ抵抗を付加する場合、最小値を決める出力インピーダンスは、このピンに接続される(追加直列抵抗を含む)回路の出力になります。

### 通常時出力

この場合は実装書き込み時に、このピンから接続される外部回路が書き込み器のSCKまたはMOSI/PDO出力で駆動されるので、MISO/PDIの通常使用時出力と同様(図4.参照)にそれによる問題が起きないように考慮しなければなりません。

## その他のピン

上記のISP関係ピン以外についても特別な配慮が必要になるかもしれません。殆どの書き込み器は実際にCPU内メモリの読み書きを実行する時以外はISP信号を開放します。これは2つの点でISP用の考慮が必要なることを意味します。

- 実際の読み書き中はRESETがLowに保持されているので、ISP用以外のピンは入力(Hi-Z)です。読み書き時間が予定しているリセット時間(例えば電源ONリセット遅延時間)より短ければ特に考慮の必要はないでしょう。けれども、これがより長い場合は特に出力ピンから繋がる回路の入力が予想時間より長く開放され続けることになり、大きな問題を引き起こすかもしれません。確実な対策はこれらの入力をプルアップまたはプルダウんで開放時の入力値を固定化することです。
- 何らかの読み書き終了時にCPUはRESETが開放され0番地から実行を開始します。書き込み器及びその操作によってはリセット状態/走行状態が断続するかもしれません。このようなCPUの断続実行によって、例えば外部回路の積分器が想定外の動きになり、それが元で問題を引き起こすかもしれません。これはソフトウェアに関しても同様な考察が必要です。

## 特別な考慮

前の記述は基本的に静的な考察です。現実には動的な考察も必要で、本項では動的要素によって起こる問題の例を示します。例となる装置はSPIインターフェースを利用して外部並列/直列変換(74HC165)を接続し、74HC165に接続した(DIP)スイッチを読み取って起動時動作を決める仕様です。

図5.には記載されていませんが、74HC165の必要な制御ピンは常にP/S変換が可能のように接続されています。よって74HC165はCKの上昇端毎に各並列入力ピンの状態を順次QHに出力します。従って、実装書き込みに対して考慮を要する信号はSCKとMISO/PDOの2つだけです。

通常動作中のSCKは書き込み器(出力)、AVR(出力)、74HC165(入力)で、一見出力の衝突が起きそうですが、実装書き込み中はAVR側が入力なので特に問題はありません。MISO/PDOは書き込み器(入力)、AVR(入力)、74HC165(出力)で、一見問題なさそうですが、実装書き込み中はAVR側が出力なのでAVRと74HC165で出力の衝突が起きるため、間に直列抵抗器挿入することによってこの問題を回避しています。

これによって実装書き込み自体は問題なく行えます。しかし、書き込み器接続中の挙動がおかしい、書き込み後の挙動がおかしいなどの問題が起きる場合があります。

原因は書き込み用ケーブルが接続されることによる(特に)容量性負荷の増加です。書き込み器からの書き換え直後、書き込み器によってRESETが開放され、CPUは実行を開始します。そこで74HC165からのスイッチ入力を読む訳ですが、負荷増加による波形の歪みと遅延によって設計時のタイミングを満足しない可能性があります。

74HC165の応答速度が充分速いので、おそらくSPI転送速度は最速設定で使われるでしょう。書き込み器未接続時は何の問題もなく動作しますが、書き込み接続時(或いは接続ケーブル接続時)、AVRのMISO/PDOは容量性負荷が新たに接続されたのと当価になります。これは追加された抵抗器と共に積分器を形成し、74HC165のQH出力を鈍らせて遅らせます。これによってAVRでは74HC165上の実際のビットとは異なる位置のビット値を得る、または全くでたらめな値を得ることになり、それらの状態によっては予期せぬ動作をすることになるでしょう。

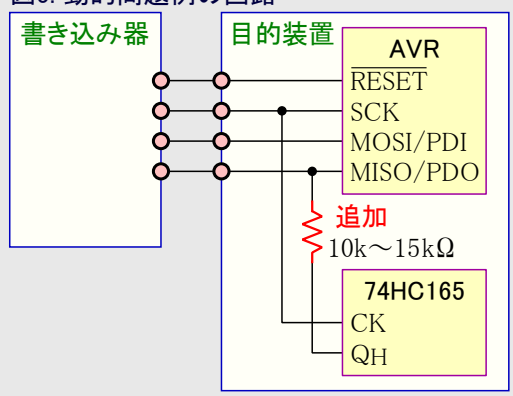
これは一過性の問題で、書き込み器(若しくは接続ケーブル)を取り外せば正常な動作に復帰するでしょう。けれども、この接続状態での異常動作が何らかのハードウェア的損傷を生じないことを確認しなければなりません。さもないければ、書き込み時に何らかの部品を破壊する結果になります。

更に、例えば起動時動作選択に内蔵EEPROMへの保存動作が含まれている場合、上記の問題でそれが選択されて実行されたとすると、次回以降の全ての動作が影響されるかもしれず、且つそれが予期せぬ値によって破滅的な動作になるかもしれません。

本例の場合の解決策は、その影響が問題にならない範囲となる接続ケーブルを使用することが簡単でしょうが、最短距離でも解決しない場合があります。確実なのはSPI転送速度を遅くすることですが、それによってプログラム変更が必要になるかもしれず、場合によっては遅くすること自体が不可能かもしれません。その場合の苦肉の策として、例えば目的装置のMISO/PDOにアナログスイッチを挿入し、RESETによってそのスイッチを読み書き中のみONでそれ以外はOFFになるように制御することにより、この問題を回避できるでしょう。

本例から言えることは、問題をより少なくするために、高速な動作を必要とする信号にSPI関連ピンを使用しないことです。

図5. 動的問題例の回路





---

© HERO 2008.

本書はAVRの応用に関する補助情報AVRw00の記録です。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。