



アナログ信号調整(OPAMP)での開始に際して

序説

著者: Radu Toma, Martin Mostad, Microchip Technology Inc.

アナログ信号調整(OPAMP)周辺機能は3つまでの内部演算増幅器(オペアンプ)が特徴です。これは電気設計で外部/個別の演算増幅器に対する必要を減らすまたは無くすのに役立つことができ、従って、潜在的に部品を減らします。演算増幅器の主な目的はマイクロコントローラでの採取(と更なるデジタル処理)の前にアナログ信号を調整すること、または制御応用で必要な出力駆動を提供することです。

この技術概説はAVR[®] DB MCUデバイスのアナログ信号調整部(OPAMP)がどう動くかを説明します。これはより複雑なものが構築されるところで最も簡単な構成設定によって始まります。対象の形態は次のとおりです。

・直接ピンに接続された演算増幅器:

外部の接続と部品とで最高度の柔軟性を提供する最も簡単で最も基本的な構成設定

・電圧フォロワまたは利得1緩衝部:

高インピーダンス入力を低インピーダンス出力へ変換するための一般的な構成設定

・設定可能な利得の非反転増幅器

内部帰還抵抗網経由で設定可能な利得での信号増幅

- ・2つの演算増幅器を使う差動増幅器: 同相電圧除去での差動入力電圧増幅
- ・3つの演算増幅器を使う計装増幅器:

高インピーダンス入力と低インピーダンス出力を持つ差動信号増幅

注: コート 例はAVR128DB48 Curiosity Nano評価キット(EV35L43A)用に設計され、GitHubで入手可能です。Atmel Stud io、MPLAB[®] X IDE用独立型コート 例だけでなく、Atmel STARTとMCCの例があります。独立型例に使われるコート だけがこの技術概説で詳述されますが、全ての例が同じ機能です。Atmel STARTとMCCでのOPAMP単位部の 紹介については各々、「3. Atmel START」と「4. MPLAB[®] X MCC」をご覧ください。



GitHubでコード例を見てください。 貯蔵庫を閲覧するにはクリックしてください。

ハート・ウェア構成

コート 例はAVR128DB48 Curiosity Nano評価キット(EV35L43A)用に開発されています。



本書は一般の方々の便宜のため有志により作成されたもので、Microchip社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

目次

序詞	说	• 1
N-	[、] ウェア構成 ·····	• 1
1.	概要 ••••••••••••••••••••••••••••••••••••	• 3
2.	関連デバイス・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	• 3
3.	Atmel START	• 4
4	MPLAB [®] X MCC	• 6
5	MPLAB [®] Mindi [™] P +Π p^{*} $ψ$ > ₂ μ- q	• 7
6	MPLAB [®] 于"一句可相哭	• 8
0. 7	》 2007 7970 # 演賞	10
7.	演异垣袖岙李平悄风改足 71 庙田重例	10
	7.1. 医用手例 7.2 MPLAB [®] Mindi [™] 描式	10
	7.2. Wind 会式 7.3 レジス2構成設定・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	11
8		15
0.	电/⊥//□/ 	15
	0.1. 医用量例 8.2 MPL ΔB [®] Mindi™での雷圧フォロワ ア+ログシミュレーシュン	15 15
		16
	8.4 MPLAB [®] データ可視器へのデータ流し、	18
q		19
υ.	91 使田事例·····	19
	9.2 MPLAB [®] Mindi™での非反転PGAアナログション・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	20
	9.3. レジスタ構成設定・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	20
	9.4. MPLAB [®] データ可視器へのデータ流し・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	$\frac{-2}{22}$
10	差動增幅器	23
	10.1. 使用事例	24
	10.2. MPLAB [®] Mindi [™] での差動増幅器アナログシミュレーション ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	24
	10.3. レジスタ構成設定・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	25
	10.4. MPLAB [®] テ ⁻ -タ可視器へのテ ⁻ -タ流し・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	27
11.	計装増幅器 ••••••••••••••••••••••••••••••••••••	28
	11.1. 使用事例 ••••••••••••••••••••••••••••••••••••	29
	11.2. MPLAB [®] Mindi™での計装増幅器アナログシミュレーション ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	30
	11.3. レジスタ構成設定・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	30
	11.4. MPLAB [®] データ可視器へのデータ流し・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	33
12.	参考文献 ••••••••••••••••••••••••••••••••••••	34
13.	改訂履歴 ••••••••••••••••••••••••••••••••••••	34
Mic	prochipካェブ ካłト	35
製品	品変更通知サービス・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	35
お	客楼支援 ·····	35
Mic	rochinf゙バイス コード保護機能・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	35
法的	約3000,	35
おせ	ロノAEE />FF 西	36
	本 資格理システル・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	26 26
		ა0 ე7
凹り	アドリンは敗冗⊂ソーヒ∧	31

1. 概要

アナログ信号調整(OPAMP)周辺機能はnが0、1、2で示されるOPnの1つ、2つ、または3つの演算増幅器(オペアンア)が特徴です。これらの演算増幅器はアナログ多重器と梯子型抵抗を使う柔軟な接続の仕組みと共に実装されます。これは多数のアナログ信号調整構成設定にその多くが外部部品の必要なしに達成されることを許します。各演算増幅器の非反転(+)入力での多重器は外部ピン、梯子型抵抗の摺動子位置、DAC出力、接地(GND)、VDD/2のどれかへの接続を許します。各演算増幅器の反転(-)入力での2つ目の多重器は外部ピン、梯子型抵抗の摺動子位置、演算増幅器の出力、DAC出力のどれかへの接続を許します。各梯子型抵抗に接続されるあと3つの多重器は柔軟な追加構成設定を提供します。これらの2つの多重器は梯子型抵抗への上下接続を選び、3つ目は摺動子位置を制御します。



表1-1. 信号説明

信号	形式	説明	
OPnINP	アナログ入力	OPn用非反転(+)入力ピン	
OPnINN	アナログ入力	JPn用反転(−)入力ピン	
OPnOUT	アナログ出力	OPnからの出力	

2. 関連デバイス

本章はこの文書に関連するデバイスを一覧にします。下図はピン数の変種とメモリ量を展開して各種系列デバイスを示します。

- ・これらのデバイスがピン互換で同じまたはより多くの機能を提供するため、垂直上方向移植はコード変更なしで可能です。
- ・左への水平方向移植はピン数、従って利用可能な機能を減らします。
- ・異なるフラッシュメモリ量を持つデバイスは一般的に異なるSRAMとEEPROMも持ちます。

図2−1. AVR [®] DB系概要							
フラッシュ	フラッシュ メモリ量						
128Kバイト	AVR128DB28	AVR128DB32	AVR128DB48	AVR128DB64			
GAKNYAL							
04r\/\/\	AVR04DD28	AVR04DD32	AVR04DD46	AVR04DD04			
32Kハイト	AVR32DB28	AVR32DB32	AVR32DB48		▶ピン数		
	28	32	48	64	- 7 30		

3. Atmel START

Atmel STARTはOPAMP単位部用のドライバを備え、この単位部の容易な構成設定を許します。Atmel START単位部は予め定義された9つの構成設定だけでなく独自動作形態も備えます。

GENERAL	COMPONENT	SETTINGS	COMPONE	NT SIGNALS	
User guide	Driver:	Drivers:OPAMP:Basic V	OP0INN:	PD3	
💉 Rename component	Select OPAMP Combination:	1-Single: OP0, OP1, OF 🗸	OP0INP:	PD1	
	CLOCKS		OP0OUT:	PD2	
Remove component			OP1INN:	PD7	
	OPAMP:	Main Clock (CLK_MAIN) (4 MHZ)	OP1INP:	PD4	
			OP1OUT:	PD5	
			OP2INN:	PE3	
			OP2INP:	PE1	
			OP2OUT:	PE2	
RIVERS:OPAMP:BASIC (1-SINGLE: OP(), OP1, OP2) CONFIGU	RATION ON OPAMP			C 6
NABLE AND DBGRUN CONFIGURATION		POWER-CONTROL CO	NFIGURATION		
nable: OPAMP Peripheral Enable: 🛛 🗸		Power Control: Input I	Range Select: 🔞 Ful	l Input Range	~
BGRUN: Run in Debug mode: 🛛 😮 🗌		OP-AMP1 CONFIGUR			Enable:

図3-1.で見られるようにこの単位部の先頭では単位部許可、デバッグ動作で単位部許可、入力範囲選択のような単位部に対して設定 することができるいくつかの全般的な任意選択があります。"Component Signals(構成部分信号)"下で入力と出力のピンを選ぶことが できます。ピンの選択はそのピンに対するデジタル入力緩衝部をOFFにします。"Select OPAMP Combination(OPAMP組み合わせ選 択)"任意選択はどの演算増幅器が独立して構成設定されるかと、複数演算増幅器を作成するのにどの演算増幅器が組み合される かを選ぶのに使われますが、複数演算増幅器構成設定のいくつかは特定の演算増幅器を使ってだけ利用可能です。可能な組み 合わせの概要については**表3-1.**をご覧ください。

表3−1. 複数演算増幅器構成設定				
演算増幅器組み合わせ	可能な構成設定			
OP1-OP2	差動增幅器、2縦列非反転PGA、2縦列反転PGA			
OP2-OP1	差動增幅器、2縦列非反転PGA、2縦列反転PGA			
OP2-OP0	差動増幅器、2縦列反転PGA			
OP0-OP1-OP2	計装增幅器、3縦列非反転PGA、3縦列反転PGA			
OP1-OP2-OP0	計装增幅器、3縦列反転PGA			
OP2-OP0-OP1	計装增幅器、3縦列反転PGA			

OPAMP単位部の全般的な任意選択選択後、個別演算増幅器用設定を設定することができます。最初の任意選択はどの構成設定 が望まれるかを選ぶことです。各構成に対して、構成がどのように見えるかを示す付帯図があります。OPAMPn設定は構成に応じて 灰色除外された異なる領域を持ちます。灰色除外された領域はそれが構成を壊すため変更することができませんが、それらは演算 増幅器がどう構成されたかを示すために見ることができます。他の領域は通常様に変更することができ、一般的に入力または構成の 利得を変更します。

図3−2. Atmel START演算増幅器構成設定				
SELECT OP0 APPLICATIONS				
Single OPAMP Application (OP0) : Voltage Follower 🗸				
	ОРО			
OPAMP0 SETTINGS				
MUXPOS: Multiplexer for Positive input:	Positive input pin for OPn	~		
MUXNEG: Multiplexer for Negative input:	OPn output (unity gain)	~		
MUXTOP: Multiplexer for Top:	Ø Multiplexer off	\sim		
MUXBOT: Multiplexer for Bottom:	Ø Multiplexer off	~		
MUXWIP: Multiplexer for Wiper Multiplexer:	R1 = 15R, R2 = 1R, R2/R1 = 0.07	~		
Gain:	1			
HARDWARE SETTINGS				
ALWAYSON: Always ON:	0			
EVENTEN: Event Enable:	0			
OUTMODE: Output Mode:	Output Driver in Normal Mode	~		
RUNSTDBY: Run is standby mode:	0			
Settle Time:	⊘ 0x7f	hex v		

最後の任意選択("HARDWARE SETTINGS(ハート・ウェア設定)")は各演算増幅器に対してハート・ウェア特有です。既定で、それらは常に ON(ALWAYSON: Always ON:がチェック)、標準で出力動作(OUTMODE: Output Mode:がOutput Driver in Normal Mode)として構成 設定されます。このように演算増幅器は初期化されると直ぐに動きます。安定時間(Settle Time:)はこれが未知の負荷に対する推奨 値のため、最大(0x7F)に設定されます。

4. MPLAB[®] X MCC

MPLAB[®] X MCCはOPAMP単位部用のドライバを備え、この単位部の容易な構成設定を許します。Atmel START単位部は予め定義 された9つの構成設定だけでなく独自動作形態も備えます。

』4−1. MCC 全般とハードウェアの設定						
OPAMP SYSTEM OP0 OP1 OP2	OPAMP SYSTEM OP0 OP1 OP2					
API Prefix:	OPAMP					
 Global Settings 						
③ Enable OPAMP System:	\checkmark					
😮 Run in Debug Mode:						
Input Range:	Full Input Range 					
(2) Time Base (cycles):	1 ≤ 23 ≤ 127					
 Hardware Settings 						
Select Mode:	Single OPAMPs 👻					
Enable OP0:						
OP0 Configuration:	Voltage Follower					
Enable OP1:	\checkmark					
OP1 Configuration:	Voltage Follower					
Enable OP2:						
OP2 Configuration:	Voltage Follower					

図4-1.で見られるように"OPAMP SYSTEM(演算増幅器系)"表目(タブ)下には、単位部許可、デバッグ動作で単位部許可、入力範囲 選択のような単位部に対して設定することができるいくつかの全般的な任意選択があります。"Hardware Settings(ハートウェア設定)"下 では、演算増幅器が独立して、または複数の演算増幅器構成に結合されるべきかを選ぶのにSelect Mode(動作形態選択)が使われ ます。全ての演算増幅器を単一演算増幅器構成のどれにも構成設定することができますが、複数演算増幅器構成のいくつかは特 定演算増幅器だけが利用可能です。可能な組み合わせの概要については表4-1.をご覧ください。

表4−1. 複数演算増幅器構成設定			
演算増幅器組み合わせ	可能な構成設定		
OP1-OP2	差動增幅器、2縦列非反転PGA、2縦列反転PGA		
OP2-OP1	差動增幅器、2縦列非反転PGA、2縦列反転PGA		
OP2-OP0	差動増幅器、2縦列反転PGA		
OP0-OP1-OP2	計装增幅器、3縦列非反転PGA、3縦列反転PGA		
OP1-OP2-OP0	計装增幅器、3縦列反転PGA		
OP2-OP0-OP1	計装增幅器、3縦列反転PGA		

Single OPAMPs任意選択が選ばれる場合、各演算増幅器は図4-1.で示されように独立して許可と構成設定をすることができます。 Dual and Single OPAMPsまたはTriple OPAMPsの任意選択が選ばれる場合、2個または3個での構成の構成設定を選ぶことができ ます。もしあれば単一演算増幅器の構成設定と、演算増幅器がどう接続されるべきかが図4-2.で示されます。

図4-2. Dual and Single OPAMPs構成設定

▼ Hardware Settings				
Select Mode:	Dual and Single OPAMPs	-		
Oual OPAMP Configuration:	Differential Amplifier	•		
Enable Single OPAMP:	\checkmark			
Single OPAMP Configuration:	Connected Directly to Pins	•		
OPAMP Setup:	Dual [OP0:OP1]; Single [OP2]	-		

全般任意選択とハードウェア設定の選択後、演算増幅器特有の任意選択を選ぶことができる許可された各演算増幅器に対して1つの 表目(タブ)があります。各構成に対して、構成がどのように見えるかを示す付帯図があります。"OPO Hardware Settings(OP0ハードウェア 設定)"は構成に応じて灰色除外された異なる領域を持ちます。灰色除外された領域はそれが構成を壊すため変更することができま せんが、それらは演算増幅器がどう構成されたかを示すために見ることができます。他の領域は通常様に変更することができ、一般 的に入力または構成の利得を変更します。

図4−3. OP0ハードウェア設定				
OPAMP SYSTEM OP0 OP1 OP2				
 OP0 Hardware Settings 				
Configuration:	Differential Amplifier	~		
Θ	$V_{DIFF} = OP1OUT-V2 = (V2-V1)R2/R1$ $V1 + OP1 OP1OUT = V2-(V1-V2)R2/R1$ $R1 R2 (OP1) (OP1)$			
0	Mindi® Schematic			
Positive Input MUX:	Positive input pin for OPn	-		
Wegative Input MUX:	OPn output (unity gain)	-		
⑦ Top Resistor MUX:	Multiplexer off	-		
Ø Bottom Resistor MUX:	Multiplexer off	-		
Resistor Ladder Pair Wiper MUX:	R1 = 15R, R2 = 1R, R2/R1 = 0.07			
Gain:	1			
System Gain:	0.0667			
▼ OP0 Advanced Hardware Settings				
Run in Standby Mode:				
Output Mode:	Output Driver in Normal Mode 🗸			
Software Enable:	Always On 🗸			

最後の任意設定は"OPn Advanced Hardware Settings(OPn高度なハートウェア設定)"です。既定で、これらは常時ON(Always On)と標 準出力動作(Output Driver in Normal Mode)として構成設定されます。このように演算増幅器は初期化されると直ぐに動きます。安定 時間(Settle Time (us):)はこれが未知の負荷に対する推奨値のため、最大(127)に設定されます。

5. MPLAB[®] Mindi[™] アナロク゛シミュレータ

電子回路をシミュレーションすることは設計の反復を減らすことによって開発時間と資源を節約することができます。費用的な設計の誤り を初期の段階で見つけて多くの努力なしに修正することができます。 シミュレーションは回路の動作を素早く特性付けして理解することが できる重要な学習面も持ちます。

MPLAB[®] Mindi™アナログ シミュレータはアナログ回路設計と分析のための包括的な道具です。この道具は考えられるシミュレーションの要求の 非常に広範囲な一式を網羅することができるSiMetrix/SIMPLISシミュレーション環境を使います。これは使い易いインターフェース、高速なシ ミュレーション時間、成長し続けている模式と応用回路のライブラリを持ちます。利用可能な模式ライブラリは、演算増幅器、能動濾波器回 路、MOSFETと電動機駆動部、電力単位部、LED駆動部、スイッチング レギュレータ、一般的な切替器、受動部品を含みます。

MPLAB[®] Mindi™は手元でインストールされて動きます。 一旦ダウンロートされると、インターネット接続は不要で、シミュレーション走行時は遠隔的に 置かれたサーバーに依存しません。 その結果が高速で正確なアナログ回路シミュレーションです。 MPLAB[®] Mindi™から大きな恩恵を受ける応 用は以下を含みます。

- ・能動及び受動の濾波器系に対するBODE応答の生成
- ・入力条件の広範囲な変化に対する瞬間的な応答の評価
- ・制御系に対する閉路安定性応答の生成
- ・電力駆動または信号調整チェーンを通すスリューレートと駆動力の検証
- ・信号調整または制御系での雑音の影響の模式化



MPLAB[®] Mindi™の最新版はMPLAB[®] Mindi™アナログ シミュレータ製品頁でのダウンロートで入手可能です。

記述される各形態はMindi™回路図とシミュレーションを備え、簡単な例を通して構成設定を示します。一旦ファームウェアが目的対象デバイス に書かれた後の機能的なハードウェア構成から何が意図されるかに関する前提も設定します。

6. MPLAB®データ可視器

MPLAB®データ可視器(Data Visualizer)は実時間で走行している組み込み目的対象から鍵となるデータ点を処理して可視化するのに 使われるプログラムです。このユーティリティはMPLAB® X IDEプラグインまたは独立型プログラムとしてアクセスすることができます。MPLAB®デー タ可視器の最新版はMPLAB®データ可視器製品頁でのダウンロートで入手可能です。

図6-1.は主な概念と以下のような利用可能な機能を概説します。

- ・仮想シリアル ポート(USB)またはデータ中継器インターフェース(DGI:Data Gateway Interface)経由で走行している組み込み目的対象から流されたデータを捕獲
- ・データ流れ規約形式を使って走行時にデータ領域を復号
- ・生または復号したデータを時系列として図表で可視化、またはデータを端末に表示
- ・同時にデータを流して目的対象コートをデバック



各構成はデータ可視器(Data Visualizer)データ流しとしてUSART上でデータを送るように設定されます。関心のある値は入力と出力の信号です。両信号はMPLAB®データ可視器の主図表(Graph)領域で表示されます。インターフェースと基礎となる設定はdata-visualizerと名付けられたフォルタで利用可能な保存された作業空間を通して構成設定されます。

作業空間を取得して走らせるには下の手順に従ってください。

- 注: 簡単なOPAMP(Simple OPAMP)プロジェクトで利用可能なMPLAB®データ可視器作業空間はありません。
- 1. GitHub貯蔵庫に誘導してGetting_Started_with_OPAMP.atslnを選ぶことによってGetting_Started_with_OPAMP Atmel Studio 7解 決策を開いてください。この解決策は現在の文書で詳述される各構成に対する独立したプロジェクトを含みます。
- 関心のあるプロジェクト上を右クリックして飛び出たメニューから Set as StartUp Project(始動プロジェクトとして設定)任意選 択を選ぶことによって始動プロジェクトとして望むプロジェクト を設定してください。
- Build(構築)⇒Build Solution(解決策を構築)を選ぶか、またはF7を押すことによって解決策を構築してください。
- 4. 上部メニュー ハーからDebug(デ・バック)⇒Start Without Debu gging(デ・バック なしで開始)を選ぶことによってAVR DBデ パイスに書いてください。
- 5. MPLAB®データ可視器を開いてください。
- 6. 作業空間を読み込んでください。Load Workspace(作業 空間読み込み)釦を押してGitHub貯蔵庫で利用可能な 構成に対応する作業空間ファイルを追加してください。図 表に2つの軸が現れるべきです。

図6-	-2. Atmel Studio - 始	動プロジェクト設定
		Solution Explorer Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constraint of the system Image: Constrainton Image:
	Build Rebuild Clean Copy Full Path Collapse Scope to This New Solution Explorer View Build Dependencies Add Add Library	itage_Follower
Ф	Set as StartUp Project	
	Add Arduino Library ASF Wizard Board Wizard View Example Project Help	•
X	Cut	Ctrl+X
њ Х	Remove	Del
x	Rename	F2
	Unload Project	
۶	Properties	

7. 正しいシリアル ポート設定を設定してください。図6-3.で見られる左手側の計器 盤でCOMポートを選んでください。Baud Rate(ボーレート)が115200であることを 確実にしてApply(適用)釦を押して(流しを開始して)ください。



- 8. COMポートが変数流し部(Variable Streamer)復号部(Decoder)に対する供給元とし て選ばれることを確実にしてください。
- 9. 成功なら、入力と出力の信号を表している2つの図表が画面に描かれます。Y軸 がmVで信号の大きさを表すと同時にX軸が経過時間を表します。
- 注: MPLAB[®]データ可視器(Data Visualizer)に関連するより多くの情報については関連 する文書資料を調べてください。



7. 演算增幅器基本構成設定

図7-1.は直接デバイスのピンに接続された演算増幅器を示します。演算増幅器の入 力と出力は内部帰還抵抗網に接続されません。



7.1. 使用事例

この構成設定は使用者が全てを外部的に他の部品への接続にするのを望む場合に有用です。アナログ比較機能が望まれる時の特 別な場合に対しては、そのような応用に対して特別の目的をもって構築された独立したアナログ比較器部を使ってください。

7.2. MPLAB[®] Mindi[™]模式

MPLAB® Mindi™で使われる演算増幅器は全てAVR DBデータシートで利用可能な電気的なDCとACの特性で見つかるパラメータを使っ て作成されています。

MPLAB[®] Mindi™に於いてGitHub貯蔵庫からのopamp.wxsch回路図を開いてください。



L Vout

7.3. レジスタ構成設定

アナログ信号調整(OPAMP)周辺機能用の時間基準(TIMEBASE)レジスタが最初に構成設定されなければなりません。使用者は1µsに等価なクロック周期数を書かなければならず、故にその内容はCPU動作クロック周波数依存です。

図7-3. OPAMP.TI	MEBASE	- 時間基準設定	È					
ビット	7	6	5	4	3	2	1	0
					TIMEBASE6~0)		
アクセス種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	1

● ビット6~0 - TIMEBASE6~0:時間基準(Timebase)

このビット領域は1µs以上の時間間隔を達成するためにCLK_PER周期を計数する計数器の最大値を制御します。1µs以上のCL K_PER周期数よりも1少ない数が書かれるべきです。これは始動と安定時間の内部タイングに使われます。

#define OPAMP_TIMEBASE_US (ceil(F_CPU /1e6)-1) OPAMP.TIMEBASE = OPAMP_TIMEBASE_US;

全振幅入力電圧範囲が必要とされない応用では、電力制御(PWRCTRL)レジスタの入力範囲選択(IRSEL)ビットに'1'を書くことによって 節電するようにOPAMP周辺機能を構成設定することができます。この技術概説の基本的な演算増幅器応用については節電任意選 択が使われません。

図7-4. OPAMP.PWRCTRL - 入力範囲設定

ビット	7	6	5	4	3	2	1	0
								IRSEL
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

• ビット0 - IRSEL : 入力範囲選択 (Input Range Select)

このビットは演算増幅器入力電圧範囲を選びます。

値	0	1
説明	演算増幅器入力電圧範囲は全振幅(全電源電圧 範囲)です。	演算増幅器入力電圧範囲と消費電力が減らされます。よ り多くの情報については「電気的特性」章をご覧ください。

OPAMP.PWRCTRL = OPAMP_PWRCTRL_IRSEL_FULL_gc;

基本演算増幅器動作に対して、演算増幅器は常時ONに構成設定されます。これはこの筋書きに於いて演算増幅器を許可/禁止するのにENABLE/DISABLE事象が使われないと仮定されます。同時に、標準出力動作を選ぶことによって出力駆動部が許可されます。けれども、違う応用では或る事象生成部(TCA、TCB、TCD、RTC、PORT、CCLなど)に基づいて演算増幅器を許可または禁止することができます。そのような機能が有用で有り得る1つの領域が節電で、その場合、回路に電力が印加された瞬間から演算増幅器をONにするよりもむしろ必要とされる時にだけ許可されます。

义7	到7-5. OPAMP.OPnCTRLA - 演算増幅器n制御A構成設定										
	ビット	7	6	5	4	3	2	1	0		
	RUNSTDBY OUTMODE1,0 EVENTEN ALWAYSON										
	アクセス種別	R/W	R	R	R	R/W	R/W	R/W	R/W		
	リセット値	0	0	0	0	0	0	0	0		
(・ビット7 - RUNSTDBY: スタンバイ時走行 (Run in Standby Mode) このビットはスタンバイ休止動作で演算増幅器が機能するか否かを制御します。										

值	0	1
説明	スタンハイ休止動作で、OPn禁止、出力駆動部禁止	スタンバイ休止動作で、構成設定されるように動作継続

●ビット3,2 - OUTMODE1,0 : 出力動作 (Output Mode)

このビッか領域は出力駆動部の出力動作を選びます。

次頁へ続く

図7-5 (続き). OPAMP.OPnCTRLA - 演算増幅器n制御A構成設定

値	0 0	01	1 x
名称	OFF	NORMAL	_
説明	OPnの出力駆動部は禁止されますが、 DRIVEn事象によって無効にすることができます。	OPnの出力駆動部は標準動作で許可	(予約)

● ビット1 - EVENTEN : 事象許可 (Event Enable)

このビットは事象の受け取りと生成を許可します。

値	0	1
説明	OPnに対して事象が許可されません。	OPnに対して全ての事象が許可されます。

● ビット0 - ALWAYSON : 常時ON (Always On)

このビットは演算増幅器が常にONが否かを制御します。

値	0	1
説明	OPnは常時ONではありませんが、ENABLEn事象によって許可、 DISABLEn事象によって禁止することができます。	OPnは常時ON

OPAMP.OPOCTRLA = OPAMP_OPOCTRLA_OUTMODE_NORMAL_gc | OPAMP_ALWAYSON_bm;

基本演算増幅器動作に対して、演算増幅器の 入力と出力は直接デバイスのピンに接続されま す。基本演算増幅器構成設定を達成するのに 必要とされる多重器設定は右のとおりです。

表7-1. ピン・	へ直接接続し	た演算増幅器			
OP番号	MUXPOS	MUXNEG	MUXBOT	MUXWIP	MUXTOP
OPn	INP	INN	OFF	WIP0	OFF

基本演算増幅器構成設定の場合、梯子型抵抗構成設定は\$00に留まります。

図7-6. OPAMP.OPnRESMUX - 演算增幅器n梯子型抵抗多重器構成設定

ビット	7	6	5	4	3	2	1	0
		MUXWIP2~0			MUXBOT2~0	į	MUXT	OP1,0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~5 - MUXWIP2~0: 摺動子用多重器 (Multiplexer for Wiper)

このビット領域は梯子型抵抗の摺動子(可変抵抗器)位置を選びます。

値	000	001	010	011	100	101	110	111
名称	WIP0	WIP1	WIP2	WIP3	WIP4	WIP5	WIP6	WIP7
説明	R1=15R,R2=1R	R1=14R,R2=2R	R1=12R,R2=4R	R1=8R,R2=8R	R1=6R,R2=10R	R1=4R,R2=12R	R1=2R,R2=14R	R1=1R,R2=15R

● ビット4~2 - MUXBOT2~0: 下側用多重器 (Multiplexer for Bottom)

このビット領域は梯子型抵抗の下側抵抗に接続されるアナログ信号を選びます。

名称OFFINPINNDACLINKOUTGND説明多重器OPnのOPnのDAC出力(DACとDAC出力緩衝部がOPn-1出力接地(日)	値	000	001	010	0 1 1	100	101	その他
ジョックション OPnの OPnの DAC出力(DACとDAC出力緩衝部が OPn-1出力 接地 (手)	名称	OFF	INP	INN	DAC	LINKOUT	GND	—
OFF 正人力ビン 負人力ビン 許可されなければなりません。) (注) (注) (C ()	説明	多重器 OFF	OPnの 正入力ピン	OPnの 負入力ピン	DAC出力(DACとDAC出力緩衝部が 許可されなければなりません。)	OPn-1出力 (<mark>注</mark>)	接地	(予約)

注: OP0に対してLINKOUTを選ぶと、MUXBOTはOP2の出力に接続されます。

● ビット1,0 - MUXTOP1,0 : 上側用多重器 (Multiplexer for Top)

このビット領域は梯子型抵抗の上側抵抗に接続されるアナログ信号を選びます。

値	0 0	01	10	11	
名称	OFF	OUT	VDD	-	
説明	多重器OFF	OPn出力	VDD	(予約)	

OPAMP.OPORESMUX = OPAMP_OPORESMUX_MUXBOT_OFF_gc | OPAMP_OPORESMUX_MUXWIP_WIPO_gc | OPAMP_OPORESMUX_MUXTOP_OFF_gc;

演算増幅器への負と正の入力はそのまま入出力ピンに接続されます。

図7-7. OPAMP.OPnINMUX - 演算增幅器n入力多重器構成設定

ヒット	7	6	5	4	3	2	1	0
			MUXNEG2~0			MUXPOS2~0		
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6~4 - MUXNEG2~0: 負入力用多重器 (Multiplexer for Negative Input)

このビット領域はOPnの反転(-)入力に接続されるアナログ信号を選びます。

値	0 0 0	001	010	0 1 1	その他
名称	INN	WIP	OUT	DAC	-
説明	OPn用 負入力ピン	梯子型抵抗の 摺動子	OPn出力 (利得1)	DAC出力(DACとDAC出力緩衝部が 許可されなければなりません。)	(予約)

• ビット2~0 - MUXPOS2~0:正入力用多重器 (Multiplexer for Positive Input)

このビット領域はOPnの非反転(+)入力に接続されるアナログ信号を選びます。

名称INPWIPDACGNDVDDDIV2LINKOUTLINKWIP-説明OPn用 正入力ビン梯子型抵抗 の摺動子DAC出力 (注1)接地VDD/2OPn-1出力 (注2)OP0の梯子型抵抗 の摺動子(注3)(予約)	値	000	001	010	011	100	101	110	111
説明 OPn用 正入力ピン 梯子型抵抗 の摺動子 DAC出力 (注1) 接地 VDD/2 OPn-1出力 (注2) OP0の梯子型抵抗 の摺動子(注3) (予約)	名称	INP	WIP	DAC	GND	VDDDIV2	LINKOUT	LINKWIP	_
	説明	OPn用 正入力ピン	梯子型抵抗 の摺動子	DAC出力 (<mark>注1</mark>)	接地	VDD/2	OPn-1出力 (<mark>注2</mark>)	OP0の梯子型抵抗 の摺動子 (<mark>注3</mark>)	(予約)

注1: DACとDAC出力緩衝部が許可されなければなりません。

<u>注2</u>: OP1とOP2に対してだけ利用可能な設定です。

注3: OP2に対してだけ利用可能な設定です。

OPAMP.OPOINMUX = OPAMP_OPOINMUX_MUXNEG_INN_gc | OPAMP_OPOINMUX_MUXPOS_INP_gc;

安定時間は設計と開発のもっと後の段階まで知ることができない演算増幅器の負荷を含む様々な要素に依存します。安定時間が未知の場合、安定計時器(SETTLE)ビット領域に'\$7F'(127µs)の最大値が書かれるべきです。

図7-8. OPAMP.OPnSETTLE - 演算増幅器n安定時間構成設定

ビット	7	6	5	4	3	2	1	0
マカトッチモロル	_							
ノクセム理別	R	R/W						

● ビット6~0 - SETTLE6~0 : 安定計時器 (Settle Timer)

このビット領域は演算増幅器出力が安定するまでに許されるµs数を指定します。この値は時間基準(TIMEBASE)レジスタと共に READYn事象を生成して演算増幅器n状態(OPnSTATUS)レジスタの安定(SETTLED)フラグを設定(1)する時を決める内部計時器 によって使われます。

演算増幅器単位部は制御A(OPAMP.CTRLA)レジスタの許可(ENABLE)ビットを設定(1)することによって許可されます。

	図7-9. OPAMP.CTRLA - OPAMP周辺機能許可											
ビット 7	6	5	4	3	2	1	0					
ENABLE												
アクセス種別 R	R	R	R	R	R	R	R/W					
リセット値 0	0	0	0	0	0	0	0					
 ビット0 - ENABLE : OPAMP周辺機能許可 (Enable OPAMP Peripheral) このビットはOPAMP周辺機能が許可されるか否かを制御します。 												

図7-9 (続き). OPAMP.CTRLA - OPAMP周辺機能許可

値	0	1
説明	OPAMP周辺機能は禁止	OPAMP周辺機能は許可

OPAMP.CTRLA = OPAMP_ENABLE_bm;

{

;

演算増幅器安定(SETTLED)ビットの'1'の値が安定時間経過を示します。

図7-	7-10. OPAMP.OPnSTATUS - 演算増幅器n状態										
	ヒット	7	6	5	4	3	2	1	0		
									SETTLED		
	アクセス種別	R	R	R	R	R	R	R	R		
	リセット値	0	0	0	0	0	0	0	0		

● ビット0 - SETTLED : 演算増幅器安定 (Op Amp has Settled)

このビットは演算増幅器が許可または構成設定変更に関連する安定待ちの時に解除(0)されます。このビットは許された安定時間が終了した時に設定(1)されます。

```
while (!(OPAMP.OPOSTATUS & OPAMP_SETTLED_bm))
```

```
void OPAMP0_init (void)
ł
  /* 時間基準構成設定 */
  OPAMP. TIMEBASE = OPAMP_TIMEBASE_US;
  /* 入力電圧範囲構成設定 */
  OPAMP. PWRCTRL = OPAMP_PWRCTRL_IRSEL_FULL_gc;
  /* 演算增幅器n制御A構成設定 */
  OPAMP. OPOCTRLA = OPAMP_OPOCTRLA_OUTMODE_NORMAL_gc | OPAMP_ALWAYSON_bm;
  /* 演算增幅器n入力多重器構成設定 */
  OPAMP.OPOINMUX = OPAMP_OPOINMUX_MUXNEG_INN_gc | OPAMP_OPOINMUX_MUXPOS_INP_gc;
  /* 演算增幅器n梯子型抵抗多重器構成設定 */
  OPAMP. OPORESMUX = OPAMP_OPORESMUX_MUXBOT_OFF_gc | OPAMP_OPORESMUX_MUXWIP_WIPO_gc |
                    OPAMP_OPORESMUX_MUXTOP_OFF_gc;
  /* 演算增幅器n安定時間構成設定 */
  OPAMP. OPOSETTLE = 0x7F;
  /* OPAMP周辺機能許可 */
  OPAMP. CTRLA = OPAMP_ENABLE_bm;
  /* 演算增幅器安定待機 */
  while (!(OPAMP.OPOSTATUS & OPAMP_SETTLED_bm))
   ł
```

この例に対するコートはこれらのGitHub貯蔵庫のsimple-opampフォルタで入手可能です。 注:この例はAtmel STARTやMPLAB[®] X MCCでは利用できません。



GitHubでコート、例を見てください。 貯蔵庫を閲覧するにはクリックしてください。

8. 電圧フォロワ

図8-1.は利得1緩衝器としても知られる電圧フォロワを示します。非反転(+)入力がピン に接続され、出力は反転(-)ピンに接続されます。

出力電圧は入力電圧に等しく、以下の伝達関数を与えます。

VOUT = VIN



構成設定はどの増幅も提供せず、従って電圧利得は1と等価です。

電圧フォロワは主に高い入力インピーダンスを低出力インピーダンスに変換するのに使われます。これは度々A/D変換器(ADC)への入力とし ての採取/保持回路や論理回路の緩衝器で見つけられます。

8.1. 使用事例

電池監視システム(BMS:Battery Monitoring Systems)ICは電池駆動電気製品で良くあるものです。非常に基本的な段階に於いて、こ れらの部品は電池電圧と負荷電流を継続的に測定します。装置が使用不能になる前にこの情報で電池の充電や交換が必要な時を 計算して使用者に通知することが可能です。

費用重視の装置に対しては分圧器と演算増幅器周りの解決策が答えになり得ます (図8-2.をご覧ください)。電圧緩衝部への入力は電池電圧の割合である一方で、電圧 緩衝部の出力は採取と更なる処理のためにADCへ内部的に配線することができま す。

$$T_{OUT} = \frac{R2}{R1 + R2} \times VBAT$$

電流引き出しを最小にするため、抵抗値は高く選ばれます。代表値については表 8-1.をご覧ください。このような設計の選択は通常、マイクロ コントローラのADCに対する課 題をもたらします。一般的にADC入力は緩衝されず、ADCへの入力電流は測定で誤 差を起こします。これは分圧器の出力の高インピーダンスをADC入力の低インピーダンスへ 適応することで電圧フォロワ/緩衝部が登場するところです。



この設計では電池電圧が(通常の場合である)演算増幅器の電源から独立した電圧を持ちます。 電池電圧はR1とR2の分圧器によっ て増幅器の同相入力電圧範囲内に持って来られます。2S1P Li-ion電池パックの場合について、安全動作電圧水準は5~8.4V間の 何処でもで有り得ます。けれども、MCUに対する供給電圧は3Vに調整されます。R2とR1に対する1:8.66の比率を持つ分圧器は0.5 ~0.87V間の監視範囲に持って来ます(上の電圧伝達関数をご覧ください)。ADCに対する参照基準電圧として内部1.024Vハント ギャップ参照基準を選ぶことができます。

重要な面は電流の引き出しを最小にして電池寿命での影響を減らすための分圧器用抵抗値の選択です。表8-1.の概要はマイクロコン トローラの動作電流のようなどんな潜在的な負荷も考慮に入れない分圧器抵抗値の影響を示します。電池寿命に対する結果値は 3.7V/セルの公称電圧と20%容量の自己放電のLi-ion電池で設計のほぼ理想環境動作と仮定します。

表8-1. 分圧器 - (8-1. 分上器 - 低電力消費用抵抗值選択									
分圧器	抵抗值	電流消費	与えられた電池容量	量に対する電池寿命						
R1	R2	(VBAT=7.4V)	1650mAh	2950mAh						
$8.66 \mathrm{k}\Omega$	$1\mathrm{k}\Omega$	0.76mA	約71日	約128日						
8.66MΩ	$1 M \Omega$	0.76µA	約198年	約351年						

8.2. MPLAB[®] Mindi™での電圧フォロワ アナログ シミュレーション

MPLAB[®] Mindi™に於いてGitHub貯蔵庫からのVoltage_Follower.wxsch回路図を開いてください。



GitHubでコート、例を見てください。 貯蔵庫を閲覧するにはクリックしてください。 図8-3.の左半分で示される回路はDC 256mVの変位(オフセット)を持つ50Hzで256mVppの正弦状信号源によって駆動されます。演算 増幅器は5V電池供給元によって給電されます。



Simulator(シミュレータ)⇒Run Schematic(回路図走行)を選ぶ、またはF9機能キーを押すことによってシミュレートしてください。結果のシミュレー ション出力図が図8-3.の右半分で示されます。出力信号が入力信号に密接に従うことに気付くことができます。これがまさに電圧フォロワ 応用から予期されるものです。

8.3. レジスタ構成設定

前項は電圧フォロワ回路のMPLAB[®] Mindi™シミュレーションを簡単に検討しました。本項では電圧フォロワ構成設定と動作を許可するために 関連するAVR DB OPAMPレジスタが構成設定されます。以下のような2つの任意選択が考慮されます。

- ・演算増幅器の正入力がデバイスの入力ピンに接続されます。
- ・演算増幅器の正入力が内部的にD/A変換器(DAC)の出力に接続されます。この構成が付随するコード例で使われます。

表8-2. デバイスのピンに接続された正入力を持つ電圧フォロワ									
OP番号	OP番号 MUXPOS MUXNEG MUXBOT MUXWIP MUXTOP								
OPn	INP	OUT	OFF	WIP0	OFF				

表8-3. 内部DACに接続された正入力を持つ電圧フォロワ

OP番号	MUXPOS	MUXNEG	MUXBOT	MUXWIP	MUXTOP						
OPn	DAC	OUT	OFF	WIP0	OFF						

電圧フォロワの場合、梯子型抵抗多重器(OPnRESMUX)レジスタは\$00に構成設定されたままです。

図8−4. OPAMP.OPnRESMUX - 演算增幅器n梯子型抵抗多重器構成設定

ビット	7	6	5	4	3	2	1	0
	MUXWIP2~0			MUXBOT2~0			MUXTOP1,0	
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~5 - MUXWIP2~0 : 摺動子用多重器 (Multiplexer for Wiper)

このビット領域は梯子型抵抗の摺動子(可変抵抗器)位置を選びます。

値	000	001	010	011	100	101	110	111
名称	WIP0	WIP1	WIP2	WIP3	WIP4	WIP5	WIP6	WIP7
説明	R1=15R,R2=1R	R1=14R,R2=2R	R1=12R,R2=4R	R1=8R,R2=8R	R1=6R,R2=10R	R1=4R,R2=12R	R1=2R,R2=14R	R1=1R,R2=15R

● ビット4~2 - MUXBOT2~0: 下側用多重器 (Multiplexer for Bottom)

このビット領域は梯子型抵抗の下側抵抗に接続されるアナログ信号を選びます。

1但	000	001	010	011	100	101	その他
名称	OFF	INP	INN	DAC	LINKOUT	GND	_
説明	多重器 OFF	OPnの 正入力ピン	OPnの 負入力ピン	DAC出力(DACとDAC出力緩衝部が 許可されなければなりません。)	OPn-1出力 (<mark>注</mark>)	接地	(予約)

注: OP0に対してLINKOUTを選ぶと、MUXBOTはOP2の出力に接続されます。

● ビット1,0 - MUXTOP1,0 : 上側用多重器 (Multiplexer for Top)

このビット領域は梯子型抵抗の上側抵抗に接続されるアナログ信号を選びます。

値	0 0	01	10	11
名称	OFF	OUT	VDD	-
説明	多重器OFF	OPn出力	VDD	(予約)

OPAMP.OPORESMUX = OPAMP_OPORESMUX_MUXBOT_OFF_gc | OPAMP_OPORESMUX_MUXWIP_WIPO_gc | OPAMP_OPORESMUX_MUXTOP_OFF_gc;

この文書に伴う電圧フォロワ コード例では演算増幅器の出力が負入力に接続されます。演算増幅器の正入力は内部的にDAC出力に 接続されます。

図8-5. OPAMP.OPnINMUX - 演算增幅器n入力多重器構成設定

ビット	7	6	5	4	3	2	1	0
			MUXNEG2~0				MUXPOS2~0	
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6~4 - MUXNEG2~0: 負入力用多重器 (Multiplexer for Negative Input)

このビット領域はOPnの反転(-)入力に接続されるアナログ信号を選びます。

値	0 0 0	001	010	0 1 1	その他
名称	INN	WIP	OUT	DAC	-
説明	OPn用 負入力ピン	梯子型抵抗の 摺動子	OPn出力 (利得1)	DAC出力(DACとDAC出力緩衝部が 許可されなければなりません。)	(予約)

• ビット2~0 - MUXPOS2~0:正入力用多重器 (Multiplexer for Positive Input)

このビット領域はOPnの非反転(+)入力に接続されるアナログ信号を選びます。

値	000	001	010	011	$1 \ 0 \ 0$	101	110	111
名称	INP	WIP	DAC	GND	VDDDIV2	LINKOUT	LINKWIP	-
説明	OPn用 正入力ピン	梯子型抵抗 の摺動子	DAC出力 (<mark>注1</mark>)	接地	VDD/2	OPn-1出力 (<mark>注2</mark>)	OP0の梯子型抵抗 の摺動子 (<mark>注3</mark>)	(予約)

次頁へ続く



この例に対するコードはこれらのGitHub貯蔵庫のvoltage-followerフォルダで入手可能です。



GitHubでコート、例を見てください。 貯蔵庫を閲覧するにはクリックしてください。

8.4. MPLAB[®]データ可視器へのデータ流し

本項ではCuriosity Nano上のAVR DBが内部演算増幅器の1つを使ってそのような動作を実演します。従って、マイクロ コントローラは以下のような応用で書かれます。

- ・電圧フォロワとしてOPAMP0を構成設定
- ・OPAMP0の正入力に供給される50Hzの正弦波を生成するのにチップ上のDACとTCB0を使用
- ・OPAMP0の出力を採取するためにチップ上のTCB1とADCを使用
- ・データはUSART経由でMPLABデータ可視器(Data Visualoizer)へADC結果とDAC試料を流します。

上で言及した全ての単位部と接続がAVR DBへの内部なのでこの応用にハードウェア必要条件はありません。

実演走行をするため、「6. MPLAB[®]データ可視器」で概説される手順に従ってください。読み込む作業空間ファイルはGitHub貯蔵庫で 入手可能なvoltage_follower.jsonです。 図8-6.は予測される結果の例です。



この図表は赤でDAC波形、同時に電圧フォロワとして構成設定したOPAMP0の採取した出力を緑で示します。シミュレーション段階から予 測されるように、2つの信号は大きさと時間で重複しています。DACが生成した波形とADC採取した波形間の信号の大きさの差は DAC、ADC、演算増幅器に関連して累積された誤差です(このような検討は本文書の範囲外です)。

9. 設定可能な利得の非反転増幅器

図9-1.は非反転増幅器構成での演算増幅器を示します。前の電圧フォロワ構成との 主な違いは負帰還閉路でのR2/R1分圧抵抗の存在です。この分圧抵抗は入力信 号の拡大を許します。この調整はR2/R1比を書くことよって行うことができ、従って 名前が設定可能な利得増幅器(PGA:Programmable Gain Amplifier)です。 出力電圧は次式によって与えられます。

$$VOUT = \left(1 + \frac{R2}{R1}\right) \times VIN$$

この構成の利得(増幅)は次式によって与えられます。

電圧フォロワの場合でのように、非反転の設定可能な利得増幅器は高入力インピーダンスを低出力インピーダンスと結合するのに適用できます。ADCへ結合される低電圧信号間の中間段として完璧に適します。

9.1. 使用事例

(前項で言及されるように)非反転増幅器は以下のようにできる利点を持ちます。

- ・高インピーダンス信号源を低インピーダンス信号引き込みへ結合
- ・入力信号を取ってそれを或る量(G(利得))で増幅。利得は帰還閉路に存在するR2/R1抵抗値比に直接比例します(図9-1.をご覧く ださい)。

これら2つの特性は以下のため、非反転増幅器をADCへの前置入力段として理想的な選択にします。

- ・ADCへの入力インピーダンスは低い値を持ち、従って非反転増幅器は緩衝部として働きます。
- ・採取分解能を改善する入力信号の動的範囲を増加

ADCへの入力インピーダンスがシステムの接地に対して参照された25mVである場合を考察してください。DACは10ビット分解能を持ち、電 圧参照基準は1.024Vとして選ばれています。これはデ゙ータシートによって1最下位ビット(LSb)の量子化誤差が1mVに変換され、これが入 力信号の4%を表すことを意味します。正確な測定が望まれる場合、これは高い誤差の元を示し得ます。けれども、ADC経由でそれを 採取する前に入力信号を増幅することによって改善することができます。16の利得で入力信号は採取前に400mVに増幅されます。こ れは入力信号の0.25%だけを意味する1mVの量子化誤差と言うことになり、これはかなりの改善です。



固定利得を持つ非反転増幅器を必要とする応用に対しては負帰還閉路の部分として外部抵抗経由で設定するのが一般的です。これらの応用は入力信号が予め定義された固定範囲内に合うと仮定します。けれども、外部(例えば、環境)または内部(例えば、経年変化)の要素のため、入力信号が大きな動的範囲を持つ、または変換器(感知器)が時間と共にそれらの出力信号で変化を示す場合、このような構成は制限します。このような場合、部品での変更なしで増幅器の利得を変更できることが有利です。上方向または下方向のどちらかの利得での変更は関心のある信号をもう一度指定した範囲内に持って来ます。これは帰還抵抗をいくつかの値間で調整することができる設定可能な利得増幅器(PGA)を通して行うことができます。おそらく、それらの応用は算法が制御と帰還の信号を絶えず監視している制御閉路を伴い、違う利得が必要とされる時に(利得を)決めることができます。PGAは音響と音声、データ採取、工業と医療の計装、照明、電動機制御、電力制御、試験装置のような広範囲の応用を持ちます。

9.2. MPLAB[®] Mindi™での非反転PGAアナロク シミュレーション

MPLAB[®] Mindi™に於いてGitHub貯蔵庫からのNon_Inverting_PGA(AVR_DB).wxsch回路図を開いてください。



図9-2.の左半分で示される回路はDC 128mVの変位(オフセット)を持つ50Hzで128mVppの正弦状信号源によって駆動されます。演算 増幅器は3.3V電池供給元によって給電されます。



Simulator(シミュレータ)⇒Run Schematic(回路図走行)を選ぶ、またはF9機能キーを押すことによってシミュレートしてください。結果のシミュレーション出力図が図9-2.の右半分で示されます。位相に於いて信号を保っているのと同時に(赤での)出力信号が(緑での)入力信号の2倍であることに気付くことができます。これがまさに利得増幅器構成から予期されるものです。

9.3. レジスタ構成設定

前項は非反転の設定可能な利得増幅器回路回路のMPLAB[®] Mindi™シミュレーションを簡単に検討しました。本項では次のような非反転 PGA構成設定と動作を許可するために関連するAVR DB OPAMPレシ、スタが構成設定されます。

- ・演算増幅器の正入力が内部D/A変換器(DAC)の出力に接続されます。
- ・演算増幅器の負入力が内部梯子型抵抗の摺動子位置に接続されます。
- ・梯子型抵抗の下部分は接地に接続されます。摺動子位置が利得を決め、梯子型抵抗の上部分は演算増幅器の出力に接続され ます。

表9-1.は非反転PGA構成での内部演算増幅器の1つを設定するのに必要な設定を要約します。

表9-1.は非反転PGA構成での内部演算増幅器 **表9-1**. 内部DACに接続された正入力を持つ非反転PGA の1つを設定するのに必要な設定を更約しま

OP番号	MUXPOS	MUXNEG	MUXBOT	MUXWIP	MUXTOP
OPn	DAC	WIP	GND	利得を決定	OUT

非反転PGAの場合、梯子型抵抗多重器(OPnRESMUX)レジスタは\$75に構成設定されます。

ビット	7	6	5	4	3	2	1	0)
	N	<u>MUXWIP2~0</u>		<u>N</u>	<u>AUXBOT2~0</u>		MUX'	<u>TOP1,0</u>	
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/	W
リビット但	0	0	0	0	0	0	0	t)
Ľット7~5 − M	UXWIP2~0 : {	摺動子用多重	器 (Multiplexe	er for Wiper)					
のビット領域は	梯子型抵抗の	の摺動子(可変	医抵抗器)位置る	を選びます。					
/+	0.0.0	0.0.1	0.1.0	0.1.1					
但								1	
名孙	WIP0	WIP1	WIP2	WIP3	WIP4	WIP5	WIP6	M	
記明	R1=15R,R2=1R	R1=14R,R2=2R	R1=12R,R2=4R	R1=8R,R2=8R	R1=6R,R2=10R	R1=4R,R2=12	2R R1=2R,R2=14	4R R1=1k	R,R2=1
ビット4~2 - M Dビット領域は	UXBOT2~0 : 梯子型抵抗0	下側用多重器 の下側抵抗に	器(Multiplexer 接続されるアナ	[、] for Bottom) ロゲ信号を選び	びます。				
ビット4~2 - M Dビット領域は	UXBOT2~0 : 梯子型抵抗0	下側用多重器 の下側抵抗に	署 (Multiplexer 接続されるアナ	・for Bottom) ロゲ信号を選び	びます。				
ビット4~2 - M Dビット領域は <u>値</u>	UXBOT2~0: 梯子型抵抗0 000	下側用多重 器 の下側抵抗に 001	器(Multiplexer 接続されるアナ 010	・for Bottom) ロゲ信号を選び	びます。 011		100	101	その
ビット4~2 - M Dビット領域は <u>値</u> 名称	UXBOT2~0 : 梯子型抵抗の 000 OFF	下側用多重器 の下側抵抗に 001 INP	器 (Multiplexer 接続されるアナ <u>010</u> INN	・for Bottom) ログ信号を選び	びます。 <mark>011</mark> DAC		100 LINKOUT	101 GND	<mark>その</mark>
ビット4~2 - M Dビット領域は <u>値 名称</u> ■2011	UXBOT2~0 : 梯子型抵抗の OFF 多重器	下側用多重 器 の下側抵抗に 001 INP OPnの	器 (Multiplexer 接続されるアナ 010 INN OPnの	・for Bottom) ロゲ信号を選て DAC出力(D	びます。 <mark>011</mark> DAC ACとDAC出力	緩衝部が	<mark>100</mark> LINKOUT OPn-1出力	101 GND 接地	<mark>その</mark> -
ビット4~2 - M DE [*] ット領域は <u>値</u> 名称 説明	UXBOT2~0: 梯子型抵抗の OFF 多重器 OFF	下側用多重 の下側抵抗に INP OPnの 正入力ピン	器 (Multiplexer 接続されるアナ 010 INN OPnの 負入力ピン	・for Bottom) ログ信号を選び DAC出力(D 許可され;	びます。 <mark>011</mark> DAC ACとDAC出力 なければなりま	緩衝部が せん。)	<mark>100</mark> LINKOUT OPn-1出力 (注)	101 GND 接地	<mark>その</mark> - (予約
<mark>ビット4~2 - M</mark> Dビット領域は <u>値 名称</u> 説明 E: OP0に対し	UXBOT2~0: 梯子型抵抗の OFF 多重器 OFF てLINKOUT	下側用多重器 の下側抵抗に の001 INP のPnの 正入力ピン	器 (Multiplexer 接続されるアナ 010 INN OPnの 負入力ピン UXBOTはOP2	・for Bottom) ログ信号を選び DAC出力(D 許可され; の出力に接続	びます。 <mark>011</mark> DAC ACとDAC出力 なければなりま されます。	緩衝部が せん。)	<mark>100</mark> LINKOUT OPn-1出力 (注)	101 GND 接地	<mark>その</mark> - (予糸
<mark>ビット4~2 - M</mark> Dビット領域は <u>値 名称</u> 説明 E: OP0に対し E [*] ット1,0 - MU	UXBOT2~0: 梯子型抵抗の OFF 多重器 OFF てLINKOUT XTOP1,0:上	下側用多重 の下側抵抗に 001 INP OPnの 正入力ピン を選ぶと、MU 側用多重器 (器 (Multiplexer 接続されるアナ 010 INN OPnの 負入力ピン UXBOTはOP2 (Multiplexer fo	・for Bottom) ロゲ信号を選て DAC出力(D 許可され) の出力に接続 or Top)	びます。 <mark>011</mark> DAC ACとDAC出力 なければなりま されます。	緩衝部が せん。)	<mark>100</mark> LINKOUT OPn-1出力 (注)	101 GND 接地	<mark>その</mark> - (予糸
ビット4~2 - M Dビット領域は <u>値</u> 名称 説明 È: OP0に対し ビット1,0 - MU Dビット領域は	UXBOT2~0: 梯子型抵抗の OFF 多重器 OFF てLINKOUT XTOP1,0:上 梯子型抵抗の	下側用多重 の下側抵抗に INP OPnの 正入力ピン を選ぶと、MU 側用多重器 (の上側抵抗に	器 (Multiplexer 接続されるアナ 010 INN OPnの 負入力ピン JXBOTはOP2 (Multiplexer fo 接続されるアナ	r for Bottom) ログ信号を選び DAC出力(D 許可され; の出力に接続 or Top) ログ信号を選び	びます。 011 DAC ACとDAC出力 なければなりま されます。 びます。	緩衝部が せん。)	<mark>100</mark> LINKOUT OPn-1出力 (注)	101 GND 接地	<mark>その</mark> - (予約
E'ット4~2 - M DE'ット領域は <u>値</u> 名称 説明 E: OP0に対し E'ット1,0 - MU DE'ット領域は 値	UXBOT2~0: 梯子型抵抗の OFF 多重器 OFF てLINKOUT XTOP1,0:上 梯子型抵抗の	下側用多重 の下側抵抗に 001 INP OPnの 正入力ピン を選ぶと、MU 側用多重器 (の上側抵抗に 3	器 (Multiplexer 接続されるアナ 010 INN OPnの 負入力ピン UXBOTはOP2 (Multiplexer fo 接続されるアナ	・for Bottom) ロゲ信号を選て DAC出力(D 許可され; の出力に接続 or Top) ロゲ信号を選て	びます。 011 DAC ACとDAC出力 なければなりま されます。 びます。	緩衝部が せん。)	100 LINKOUT OPn-1出力 (注)	101 GND 接地	<mark>その</mark> - (予彩
ビット4~2 - M Dビット領域は 値 名称 説明 E: OPOに対し ビット1,0 - MU Dビット領域は 値 名称	UXBOT2~0: 梯子型抵抗の OFF 多重器 OFF てLINKOUT XTOP1,0:上 梯子型抵抗の 0	下側用多重 の下側抵抗に 001 INP OPnの 正入力ピン を選ぶと、MU 側用多重器 (の上側抵抗に 5	器 (Multiplexer 接続されるアナ 010 INN OPnの 負入力ピン JXBOTはOP2 (Multiplexer fo 接続されるアナ 0	for Bottom) ログ信号を選び DAC出力(D 許可され; の出力に接続 or Top) ログ信号を選び 1	びます。 011 DAC ACとDAC出力 なければなりま されます。 びます。 1	緩衝部が せん。)	しいKOUT OPn-1出力 (注)	101 GND 接地 11	<mark>その</mark> - (予糸
E'ット4~2 - M DE'ット領域は 値 名称 説明 E: OP0に対し E'ット1,0 - MU DE'ット領域は 値 名称 説明	UXBOT2~0: 梯子型抵抗の OFF 多重器 OFF てLINKOUT XTOP1,0:上 梯子型抵抗の 0 0 の目	下側用多重 の下側抵抗に 001 INP のPnの 正入力ピン を選ぶと、MU 側用多重器 (の上側抵抗に FF WOEF	器 (Multiplexer 接続されるアナ 010 INN OPnの 負入力ピン IXBOTはOP2 (Multiplexer fo 接続されるアナ 0 OPn	for Bottom) ログ信号を選び DAC出力(D 許可され) の出力に接続 or Top) ログ信号を選び 1 UT 出力	びます。 011 DAC ACとDAC出力 なければなりま されます。 びます。 1 VD	緩衝部が せん。) D	100 LINKOUT OPn-1出力 (注)	101 GND 接地 11 - 予約)	<mark>その</mark> - (予糸
 ビット4~2 - M Dビット領域は 値 名称 説明 E: OP0に対し ビット1,0 - MU Dビット領域は 値 名称 説明 	UXBOT2~0: 梯子型抵抗の OFF 多重器 OFF てLINKOUT XTOP1,0:上 梯子型抵抗の 0 の 多重器	下側用多重 の下側抵抗に 001 INP OPnの 正入力ピン を選ぶと、MU 側用多重器 の上側抵抗に FF 器OFF	器 (Multiplexer 接続されるアナ 010 INN OPnの 負入力ピン UXBOTはOP2 (Multiplexer fo 接続されるアナ 0 OT	 for Bottom) ログ信号を選び DAC出力(D 許可され; の出力に接続 or Top) ログ信号を選び 1 UT 出力 	びます。 011 DAC ACとDAC出力 なければなりま されます。 びます。 10 VD VD	緩衝部が せん。) の D の D	100 LINKOUT ○Pn-1出力 (注)	101 GND 接地 11 - 予約)	<mark>その</mark> - (予糸

この文書に伴う非反転PGAコートが例では演算増幅器の出力は梯子型抵抗経由で負入力に接続されます。演算増幅器の正入力は内部的にDAC出力に接続されます。

図9-4. OPAMP.OPnINMUX - 演算增幅器n入力多重器構成設定

۲ [°] ット	7	6	5	4	3	2	1	0
			MUXNEG2~0				MUXPOS2~0	
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6~4 - MUXNEG2~0: 負入力用多重器 (Multiplexer for Negative Input)

このビット領域はOPnの反転(-)入力に接続されるアナログ信号を選びます。

値	0 0 0	001	010	0 1 1	その他
名称	INN	WIP	OUT	DAC	-
説明	OPn用 負入力ピン	梯子型抵抗の 摺動子	OPn出力 (利得1)	DAC出力(DACとDAC出力緩衝部が 許可されなければなりません。)	(予約)

● ビット2~0 - MUXPOS2~0:正入力用多重器 (Multiplexer for Positive Input)

このビット領域はOPnの非反転(+)入力に接続されるアナログ信号を選びます。

次頁へ続く

値 000 001 010 011 100 101 110 111 名称 INP WIP DAC GND VDDDIV2 LINKOUT LINKUIP - 説明 OPn用 柿子型紙抗 DACL1力 接地 VDD/2 OPn-1由力 OP0の様子型抵抗 (子約) 注: DACとDAC出力緩縮部が許可されなければなりません。 (注) OP0047 (注) OP0047 (注) の潜動子(注3) (子約) 注: DACとDAC出力緩縮部が許可されなければなりません。 (注2) OP101MUX_MUXPOS_DAC_go (子約) 注: OPLOP2に対してだけ利用可能な設定です。 (注3) (子約) 注: OPAMP_OPOINMUX = OPAMP_OPOINMUX_MUXNEG_WIP_gc OPAMP_OPOINMUX_MUXPOS_DAC_gc; 非成範疇成設定 */ OPAMP.OPOINT (void) (/ / (* 演算増幅器n制鋼A構成設定 */ OPAMP.OPOTRLA = OPAMP_OPOCTRLA_OUTMODE_NORMAL_gc OPAMP_ALWAYSON_bm; /* 演算増幅幅品の入力多重器構成設定 */ OPAMP_OPOTNUX_MUXNEG_WIP_gc OPAMP_OPORESMUX_MUXPOS_DAC_gc; /* 演算増幅幅品の	図9-4 (続き). (OPAMP.OPnINN	MUX - 演算増	幅器n入力多	重器構成	設定			
名称 INP WIP DAC GND VDDDIV2 LINKOUT LINKWIP - 説明 IIII IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII	值	000	001	010	011	100	101	110	111
説明 OPn用 正入力ピン 梅子型抵抗 の潜動子 DAC出力 (注) 接地 VDD/2 OPn-1出力 (注) OP0の梯子型抵抗 の潜動子(注3) (予約) 注:DACとDAC出力緩衝部が許可されなければなりません。 注:OAC出力 (注) (注) の潜動子(注3) (予約) 注:DACとDAC出力緩衝部が許可されなければなりません。 注:OACL力で、 (注) (注) (注) (予約) 注:DACとDAC出力緩衝部が許可されなければなりません。 [注:OACLDAC出力(注) (注) (予約) (注) (予約) 注:OACLDAC出力(注) (注) (注) (注) (注) (予約) [注:DACLDAC出力(注) (注) (注) (注) (注) (注) (注:DACLDAC出力(注) (注) (注) (注) (注) (注) (注:DACLDAC出力(注) (注) (注) (注) (注) (注) (注:DACLDAC出力(注) (注) (注) (注) (注) (注) (PAMP.OPOINMUX = OPAMP_OPOINMUX_MUXNEG_WIP_gc (PAMP_OPOINMUX_MUXPOS_DAC_gc: (注) (注) (PAMP.OPOCTRLA = OPAMP_OPOCTRLA_OUTMODE_NORMAL_gc (PAMP_ALWAYSON_bm; (注) (注) (* (注) (注) (注) (PAMP_OPOINMUX_MUXPOS_DAC_gc: (PAMP_OPORESMUX_MUXMUX_MUXMUX_MUXMUX_MUXPOS_DAC_gc: (* (注) (注) (PAMP_OPORESMUX_MUXMUX_MUXMUX_MUXMUX_MUXMUX_MUXMUX_MUXMUX_MUXMIP_WIP3_gc (PAMP_OPORESMUX_MUXMUX_MUXMUX_MUXMUX_MUXMIP_WIP3_gc (*	名称	INP	WIP	DAC	GND	VDDDIV2	LINKOUT	LINKWIP	-
<pre> Li: DACとDAC出力緩衝部が許可されなければなりません。 Li: DACとDAC出力緩衝部が許可されなければなりません。 Li: OP1とOP2に対してだけ利用可能な設定です。 Li: OP1とOP2に対してだけ利用可能な設定です。 POMP_OP0INMUX = OPAMP_OP0INMUX_MUXNEG_WIP_gc OPAMP_OP0INMUX_MUXPOS_DAC_gc; #E反転PGA初期化コードは次のように見えます。 void OPAMP0_init (void) { /* 時間基準構成設定 */ OPAMP_OP0INMESAUS; /* 時間基準構成設定 */ OPAMP_PWRCTRL = OPAMP_TIMEBASE_US; /* 入力電圧範囲構成設定 */ OPAMP.OPOTRLA_OUTMODE_NORMAL_gc OPAMP_ALWAYSON_bm; /* 演算増幅器n制御A構成設定 */ OPAMP.OPOTRLA_OUTMODE_NORMAL_gc OPAMP_ALWAYSON_bm; /* 演算増幅器n表力力多重器構成設定 */ OPAMP_OPOINMUX_MUXNEG_WIP_gc OPAMP_OPOINMUX_MUXPOS_DAC_gc; /* 演算増幅器n株子型抵抗多重器構成設定 */ /* WIP3⇒R1=8R,R2=8R、利得=1+R2/R1=2 */ OPAMP_OPORESMUX_MUXDOT_GND_gc OPAMP_OPORESMUX_MUXWIP_WIP3_gc </pre>	説明	OPn用 正入力ピン	梯子型抵抗 の摺動子	DAC出力 (<mark>注</mark> 1)	接地	VDD/2	OPn-1出力 (<mark>注2</mark>)	OP0の梯子型抵抗 の摺動子 (<mark>注3</mark>)	(予約)
<pre>OPAMP.OPOINMUX = OPAMP_OPOINMUX_MUXNEG_WIP_gc OPAMP_OPOINMUX_MUXPOS_DAC_gc; 非反転PGA初期化=-ト'は次のように見えます。 void OPAMP0_init (void) { /* 時間基準構成設定 */ OPAMP.TIMEBASE = OPAMP_TIMEBASE_US; /* 入力電圧範囲構成設定 */ OPAMP.PWRCTRL = OPAMP_PWRCTRL_IRSEL_FULL_gc; /* 演算増幅器n制御A構成設定 */ OPAMP.OPOCTRLA = OPAMP_OPOCTRLA_OUTMODE_NORMAL_gc OPAMP_ALWAYSON_bm; /* 演算増幅器n入力多重器構成設定 */ OPAMP.OPOTRLA = OPAMP_OPOTRLA_OUTMODE_NORMAL_gc OPAMP_ALWAYSON_bm; /* 演算増幅器n入力多重器構成設定 */ OPAMP.OPOINMUX = OPAMP_OPOINMUX_MUXNEG_WIP_gc OPAMP_OPOINMUX_MUXPOS_DAC_gc; /* 演算増幅器n梯子型抵抗多重器構成設定 */ OPAMP.OPORESMUX = OPAMP_OPORESMUX_MUXBOT_GND_gc OPAMP_OPORESMUX_MUXWIP_WIP3_gc </pre>	 注1: DACとDAC出力緩衝部が許可されなければなりません。 注2: OP1とOP2に対してだけ利用可能な設定です。 注3: OP2に対してだけ利用可能な設定です。 								
<pre>非反転PGA初期化コードは次のように見えます。 void OPAMP0_init (void) { /* 時間基準構成設定 */ OPAMP.TIMEBASE = OPAMP_TIMEBASE_US; /* 入力電圧範囲構成設定 */ OPAMP.PWRCTRL = OPAMP_PWRCTRL_IRSEL_FULL_gc; /* 演算増幅器n制御A構成設定 */ OPAMP.OPOCTRLA = OPAMP_OPOCTRLA_OUTMODE_NORMAL_gc OPAMP_ALWAYSON_bm; /* 演算増幅器n九力多重器構成設定 */ OPAMP.OPOINMUX = OPAMP_OPOINMUX_MUXNEG_WIP_gc OPAMP_OPOINMUX_MUXPOS_DAC_gc; /* 演算増幅器n格子型抵抗多重器構成設定 */ /* WIP3⇒R1=8R,R2=8R, 利得=1+R2/R1=2 */ OPAMP.OPORESMUX = OPAMP_OPORESMUX_MUXBOT_GND_gc OPAMP_OPORESMUX_MUXWIP_WIP3_gc </pre>	OPAMP. OPOINM	MUX = OPAMP_	OPOINMUX_MU	JXNEG_WIP_&	gc OPA	MP_OPOINMU	X_MUXPOS_DA	.C_gc;	
<pre>void OPAMP0_init (void) { /* 時間基準構成設定 */ OPAMP.TIMEBASE = OPAMP_TIMEBASE_US; /* 入力電圧範囲構成設定 */ OPAMP.PWRCTRL = OPAMP_PWRCTRL_IRSEL_FULL_gc; /* 演算増幅器n制御A構成設定 */ OPAMP.OPOCTRLA = OPAMP_OPOCTRLA_OUTMODE_NORMAL_gc OPAMP_ALWAYSON_bm; /* 演算増幅器n入力多重器構成設定 */ OPAMP.OPOINMUX = OPAMP_OPOINMUX_MUXNEG_WIP_gc OPAMP_OPOINMUX_MUXPOS_DAC_gc; /* 演算増幅器n梯子型抵抗多重器構成設定 */ /* WIP3⇒R1=8R,R2=8R、利得=1+R2/R1=2 */ OPAMP.OPORESMUX_MUXBOT_GND_gc OPAMP_OPORESMUX_MUXWIP_WIP3_gc </pre>	非反転PGA初期	朝化コードは次の。	ように見えます	0					
<pre>/* OPAMP周辺機能許可 */ OPAMP.CTRLA = OPAMP_ENABLE_bm; /* 演算増幅器安定待機 */ while (!(OPAMP.OPOSTATUS & OPAMP_SETTLED_bm)) { ; } }</pre>	<pre>void OPAMP0_init (void) { /* 時間基準構成設定 */ OPAMP.TIMEBASE = OPAMP_TIMEBASE_US; /* 入力電圧範囲構成設定 */ OPAMP.PWRCTRL = OPAMP_PWRCTRL_IRSEL_FULL_gc; /* 演算増幅器n制御A構成設定 */ OPAMP.OPOTRLA = OPAMP_OPOCTRLA_OUTMODE_NORMAL_gc OPAMP_ALWAYSON_bm; /* 演算増幅器n人力多重器構成設定 */ OPAMP.OPOTMUX = OPAMP_OPOTMUX_MUXNEG_WIP_gc OPAMP_OPOINMUX_MUXPOS_DAC_gc; /* 演算増幅器n樁子型抵抗多重器構成設定 */ OPAMP.OPOINMUX = OPAMP_OPOINMUX_MUXNEG_WIP_gc OPAMP_OPOIRSMUX_MUXWIP_WIP3_gc </pre>								

の例に対するコードはこれらのGitHub貯蔵庫のnon-inverting-pgaフォルダで人手可能です。



GitHubでコート、例を見てください。 貯蔵庫を閲覧するにはクリックしてください。

9.4. MPLAB[®]データ可視器へのデータ流し

本項ではCuriosity Nano上のAVR DBが内部演算増幅器の1つを使って非反転PGA動作を実演します。従って、マイクロコントローラは以 下のような応用で書かれます。

- ・非反転利得増幅器としてOPAMP0を構成設定
- ・OPAMP0の正入力に供給される50Hzの正弦波を生成するのにチップ上のDACとTCB0を使用
- ・ OPAMP0の出力を採取するためにチップ上のTCB1とADCを使用
- ・データはUSART経由でMPLABデータ可視器(Data Visualoizer)へADC結果とDAC試料を流します。

上で言及した全ての単位部と接続がAVR DBへの内部なのでこの応用にハードウェア必要条件はありません。 実演走行をするため、「6. MPLAB[®]データ可視器」で概説される手順に従ってください。読み込む作業空間ファイルはGitHub貯蔵庫で 入手可能なnon_inverting_PGA.jsonです。図9-5.は予測される結果の例です。





この図表は赤でDAC波形、同時に黄緑で非反転PGAとして構成設定したOPAMP0の採取した出力を示します。シミュレーション段階から 予測されるように、増幅器の出力信号は2倍の係数で増幅される一方で入力と出力の信号の位相を保っています。

10. 差動増幅器

図10-1.は差動増幅器構成で接続された2つの演算 増幅器を示します。図で見られるように差動増幅器 は2つの入力信号V1とV2と2つの出力信号OP1OUT とV2を持ちます。2つの出力信号間の差は入力信号 間の差に比例します。2つの差動信号間の比または 利得はR2とR1間の比率によって設定されます。この ように差動増幅器は差動信号を増幅することができ ます。

出力電圧(OP1OUT)は次式によって与えられます。

VOP10UT = $V2 - (V1 - V2) \frac{R2}{R1}$

差動信号は次式によって与えられます。

VDIFF = OP1OUT - V2 = $(V2 - V1) \frac{R2}{R1}$

利得は次のとおりです。

差動増幅器はそれが差動ADCによってデジタル信号に変換される前に小さな差動信号を増幅するのに適します。





10.1. 使用事例

回路の消費電流を測定するのに分流抵抗を使うのが差動ADCを持つマイクロコントローラに対する一般的な応用です。ADCは抵抗器上の電圧低下を測定してオームの法則を使い、測定した電圧と分流抵抗の既知の抵抗値から次のように電流を計算することができます。



回路への直列抵抗導入は以下の2つの副作用を持ちます。

・回路の消費電力増加

・追加した抵抗上での電圧降下

両影響は可能な限り小さな抵抗値を持つ抵抗器(Rs)を選ぶことによって軽減することができ、特に低電力応用を考慮する時に重要です。低抵抗選択の欠点は電流での変化が非常に小さな電圧での変化になるため、電圧降下を測定することがより難しくなることです。このような問題は電流感知抵抗上の電圧降下を増幅するのに差動増幅器を使い、従って測定の分機能を増すことによって緩和することができます。測定分解能と消費電力での抵抗の大きさの影響は**表10-1**.で知ることができます。

表10-1. 抵抗の大きさ、	消費電力、	分解能間の関係
----------------	-------	---------

抵抗 (Ω)	電圧降下 (mV)	消費電力 (mW)	増幅なし分解能 (mA/ビット)	7倍増幅分解能 (mA/ビット)
10	100	1000	50	7.14
1	10	100	500	71.4
0.1	1	10	5000	714

注:表は10mAの電流と1.024Vの参照基準電圧を持つ12ビット差動ADCと仮定します。

図10-2.は増幅した信号を測定するのに分流抵抗器とADC間に差動増幅器がどう配置されるかを示します。





10.2. MPLAB[®] Mindi™での差動増幅器アナログシミュレーション

MPLAB[®] Mindi™に於いてGitHub貯蔵庫からのDifferential_Amplifier.wxsch回路図を開いてください。



GitHubでコート、例を見てください。 貯蔵庫を閲覧するにはクリックしてください。

図10-3.の左半分で示される回路は2つ目の演算増幅器に対してDC 1.65Vの変位(オフセット)を持つ25Hzで256mVppの正弦状信号源 によって駆動されます。両演算増幅器は3.3V電源によって給電されます。



Simulator(シミュレータ)⇒Run Schematic(回路図走行)を選ぶ、またはF9機能キーを押すことによってシミュレートしてください。結果のシミュレー ション出力図が図10-3.の右半分で示されます。これは差動出力を表す下側信号の頂点が±384mVであるのを知ることができ、これは 入力正弦状信号の頂点がVDD/2に対して±128mVであることが予期されます。

10.3. レジスタ構成設定

前項は非反転の差動増幅器回路回路のMPLAB[®] Mindi™シミュレーションを簡単に検討しました。本項では差動増幅器構成設定と動作 を許可するために関連するAVR DB OPAMPレジスタが構成設定されます。2つの任意選択が考慮されます。

- ・演算増幅器の正入力がデバイスの入力ピンに接続されます。
- ・演算増幅器nの正入力は2分割されたVDDに接続され、演算増幅器n+1(注)はDACに接続されます。この構成が付随するコート、例で 使われます。

OP番号	MUXPOS	MUXNEG	MUXBOT	MUXWIP	MUXTOP
OPn	INP	OUT	OFF	WIP0	OFF
OPn+1(注)	INP	WIP	LINKOUT (OPnOUT)	利得を決定	OUT

表10-2. デバイスのピンに接続された正入力を持つ差動増幅器

表10-3. VDD/2と内部DACに接続された正入力を持つ差動増幅器

OP番号	MUXPOS	MUXNEG	MUXBOT	MUXWIP	MUXTOP
OPn	VDDDIV2	OUT	OFF	WIP0	OFF
OPn+1(注)	DAC	WIP	LINKOUT (OPnOUT)	利得を決定	OUT

<u>注</u>: n=2の場合、OPn+1はOP0です。

この差動増幅器の場合、梯子型抵抗多重器(OPnRESMUX)レジスタはOP0とOP1に対して各々、\$00と\$B1に構成設定されます。これは3の利得を与えます。

ヒット	7	6	5	4	3	2	1		0
	Ν	/UXWIP2~0	-	ļ	MUXBOT2~0		MUX	TOP1,0	-
 アクセス種別 リセット値	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/	/W 0
ノレノド旧	0	0	0	0	Ū	0	0		0
Ľット7~5 − M	UXWIP2~0:	習動子用多重	話器 (Multiple:	xer for Wiper)					
Dビット領域は	梯子型抵抗0)摺動子(可変	至抵抗器)位置	を選びます。		(n+1)			
値	000(n)	0.0.1	010	011	100	101	110	1	11
名称	WIP0	WIP1	WIP2	WIP3	WIP4	WIP5	WIP6	V	VIP7
説明	R1=15R,R2=1R	R1=14R,R2=2F	RR1=12R,R2=4	R R1=8R,R2=8F	RR1=6R,R2=10R	R1=4R,R2=1	2R R1=2R,R2=1	4R R1=11	R,R2=1
. .			- /	, ,					
ב`יצויעיעי 4∼2 – M	UXBOT2~0 :	下側用多重	器 (Multiplexe	er for Bottom)					
Dビット領域は	梯子型抵抗0	つ下側抵抗に	接続されるアプ	りの信号を選び	びます。		(n+1)		
値	000(n)	001	010		011		100	101	その
名称	OFF	INP	INN		DAC		LINKOUT	GND	-
====	多重器	OPnの	OPnの	DAC出力(D	ACとDAC出力	緩衝部が	OPn-1出力	<u>부각</u> 파면	(3.4)
說明	OFF	正入力ピン	負入力ピン	許可され	なければなりま	せん。)	(<u>注</u>)	按地	(丁尔)
: OP0に対し	てLINKOUT	を選ぶと、Ml	JXBOT/tOP2	2の出力に接続	売されます。				
ニ゙ット1,0 – ML	JXTOP1,0 : 上	側用多重器	(Multiplexer f	or Top)					
Dビット領域は	梯子型抵抗0	つ上側抵抗に	接続されるアナ	トログ信号を選び	びます。				
/+	0	0				0			
值	0	0 (n)	(0 1 (n+1)	1	0		11	
值 名称 	0 01 24年9	0 (n) FF		0 1 (n+1) 0UT	1 VD	0 DD		<u>11</u> - (柔纳)	
值 名称 説明	0 OI 多重器	0 (n) FF 器OFF	(C OP	01 (n+1) OUT n出力	1 VD VD	0 DD DD		<u>11</u> - (予約)	
值 名称 説明 IP. OPORESM	0 OF 多重器 UX = OPAMP	0 (n) FF ₿OFF _OPORESMUX	MUXBOT_OF	01 (n+1) DUT n出力 F_gc OPAM	1 VE VE	0 DD DD X_MUXWIP_	WIPO_gc	<u>11</u> - (予約)	
值 名称 説明 IP. OPORESM IP. OP1RESM	0 OF 多重器 UX = OPAMP OPAMP UX = OPAMP	0 (n) FF ₽OFF _OPORESMUX _OPORESMUX _OP1RESMUX	MUXBOT_OF _MUXTOP_OF _MUXBOT_LI	D 1 (n+1) DUT n出力 F_gc OPAM F_gc; NKOUT_gc	1 VE VE MP_OPORESMUX OPAMP_OP1RE	0 DD DD C_MUXWIP_ CSMUX_MUX	WIPO_gc WIP_WIP5_g	<u>11</u> - (予約)	
值 名称 説明 IP. OPORESM IP. OP1RESM	0 OH 多重器 UX = OPAMP OPAMP UX = OPAMP OPAMP	0 (n) FF ₿OFF OPORESMUX OPORESMUX OP1RESMUX OP1RESMUX	MUXBOT_OF MUXBOT_OF MUXTOP_OF MUXBOT_LI MUXTOP_OU	01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc;	I VE VE MP_OPORESMUX OPAMP_OP1RE	0 DD DD X_MUXWIP_ CSMUX_MUX	WIPO_gc WIP_WIP5_g	11 - (予約)	
値 名称 説明 IP. OPORESM IP. OP1RESM て書に伴う差	0 OH 多重器 UX = OPAMP OPAMP UX = OPAMP OPAMP OPAMP	0 (n) FF WOFF OPORESMUX OPORESMUX OP1RESMUX OP1RESMUX	(のPi MUXBOT_OF MUXTOP_OF MUXTOP_U MUXTOP_OU の正入力が2分	01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 分割したVDDに	1 VE VE MP_OPORESMUX OPAMP_OP1RE :接続され、OP1	0 DD DD C_MUXWIP_ CSMUX_MUX	WIPO_gc WIPO_gc WIP_WIP5_g はDACに接続	<u>11</u> (予約) cc	- 0
値 名称 説明 IP. OPORESM IP. OP1RESM に書に伴う差! D-5. OPAMP	0 OI 多重器 UX = OPAMP OPAMP UX = OPAMP OPAMP 動増幅器コート .OPnINMUX -	0 (n) FF BOFF _OPORESMUX _OPORESMUX _OP1RESMUX _OP1RESMUX	(のPr _MUXBOT_OF _MUXTOP_OF _MUXBOT_LI _MUXTOP_OU つ正入力が2分 n入力多重器	01 (n+1) DUT n出力 F_gc 0PAN F_gc; NKOUT_gc T_gc; 計したVDDに 構成設定	1 VE VE MP_OPORESMUX OPAMP_OP1RE 法続され、OP1	0 DD DD X_MUXWIP_ CSMUX_MUX	WIPO_gc (WIP_WIP5_g はDACに接続	<u>11</u> (予約) cc	- 0
値 名称 説明 IP. OPORESM IP. OP1RESM に書に伴う差!	0 OH 多重器 UX = OPAMP OPAMP UX = OPAMP OPAMP OPAMP OPAMP	0 (n) FF Weight Stress Stre	((((((((((((((01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 計したVDDに 構成設定	1 VE VE MP_OPORESMUX OPAMP_OP1RE 法接続され、OP1	0 DD DD C_MUXWIP_ CSMUX_MUX Lの正入力に	WIPO_gc (WIPO_gc) WIP_WIP5_g はDACに接続	<u>11</u> (予約) c	- 0
値 名称 説明 IP. OPORESM IP. OP1RESM IP. OP1RESM C書に伴う差! D-5. OPAMP ビット	0 OH 多重器 UX = OPAMP OPAMP UX = OPAMP OPAMP 動増幅器コート OPnINMUX - 7	0 (n) FF Weight Stress Stre	((((((((((((((01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 計したVDDに 構成設定 4	1 VE VE MP_OPORESMUX OPAMP_OP1RE :接続され、OP1 3	0 DD DD X_MUXWIP_ CSMUX_MUX Lの正入力に 2	WIP0_gc (WIP2WIP5_g はDACに接続 1 MUXPOS2~	11 (予約) c されます	- 0
値 名称 説明 IP. OPORESM IP. OP1RESM に書に伴う差! C=5. OPAMP ビット	0 OH 多重器 UX = OPAMP OPAMP UX = OPAMP OPAMP OPAMP OPAMP OPAMP	0 (n) FF Weight Stress Stre	(のPr MUXBOT_OF MUXTOP_OF MUXBOT_LI MUXTOP_OU つ正入力が2分 n入力多重器 5 MUXNEG2~0 R/W	01 (n+1) DUT n出力 F_gc 0PAN F_gc; NKOUT_gc T_gc; 計割したVDDに 構成設定 4	1 VE VE MP_OPORESMUX OPAMP_OP1RE 法接続され、OP1 3	0 DD DD C_MUXWIP_ CSMUX_MUX Lの正入力に 2 R/W	WIP0_gc (WIP0_gc) WIP_WIP5_g はDACに接続 1 <u>_MUXPOS2~</u> R/W	<u>11</u> (予約) で されます	- - 0 /W
値 名称 説明 P. OPORESM P. OP1RESM に書に伴う差:)-5. OPAMP ビット どット	0 OI 多重器 UX = OPAMP OPAMP UX = OPAMP OPAMP OPAMP OPAMP OPAMP OPAMP	0 (n) FF BOFF _OPORESMUX _OPORESMUX _OP1RESMUX _OP1RESMUX } のP1RESMUX } のP1RESMUX	((((((((((((((D1 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 計したVDDに 構成設定 4 R/W 0	1 VE VE MP_OPORESMUX OPAMP_OP1RE 送接続され、OP1 3 R 0	0 DD DD C_MUXWIP_ CSMUX_MUX Lの正入力に 2 R/W 0	WIPO_gc WIPO_gc WIP_WIP5_g はDACに接続 <u>1</u> <u>MUXPOS2~</u> R/W 0	11 (予約) で されます	
値 名称 説明 P. OPORESM P. OP1RESM で書に伴う差! つち. OPAMP ビット ビット	0 OI 多重器 UX = OPAMP OPAMP UX = OPAMP OPAMP 動増幅器⊐ト .OPnINMUX - 7 R 0	0 (n) FF BOFF -OPORESMUX _OPORESMUX _OP1RESMUX	((((((((((((((01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 計したVDDに 構成設定 4 R/W 0	1 VE VE MP_OPORESMUX OPAMP_OP1RE 接続され、OP1 3 R 0	0 DD DD C_MUXWIP_ CSMUX_MUX にの正入力に 2 R/W 0	WIP0_gc (WIP_WIP5_g はDACに接続 <u>1</u> <u>MUXPOS2~</u> R/W 0	11 - (予約) で されます	- - - - - - - - - - - - - -
値 名称 説明 IP. OPORESM IP. OPORESM IP. OP1RESM にすった。 マクロンス種別 リセット値	0 OI 多重器 UX = OPAMP OPAMP UX = OPAMP OPA	0 (n) デF Weight Stress Str	((((((((((((((01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 計割したVDDに 構成設定 4 R/W 0 exer for Negati	1 VE VE MP_OPORESMUX OPAMP_OP1RE 法接続され、OP1 3 R 0	0 DD DD C_MUXWIP_ CSMUX_MUX Lの正入力に 2 R/W 0	WIPO_gc WIP_WIP5_g はDACに接続 <u>1</u> <u>MUXPOS2~</u> R/W 0	11 - (予約) で されます の R	
値 名称 説明 印. OPORESM 印. OP1RESM に伴う差! つち. OPAMP ビット どット リセット値	0 OI 多重器 UX = OPAMP OPAMP UX = OPAMP OPA OPAMP OPAMP OPAMP OPAMP OPA OPA OPA OPA OPA OPA OPA OPA OPA OP	0 (n) FF BOFF -OPORESMUX _OPORESMUX _OPORESMUX _OPIRESMUX '例ではOPOの ·演算増幅器 6 R/W 0 負入力用多調 ·)入力に接続	((((((((((((((01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 計したVDDに 構成設定 4 R/W 0 exer for Negati 言号を選びます	1 VE VE MP_OPORESMUX OPAMP_OP1RE 接続され、OP1 3 R 0 ive Input) す。	0 DD DD C MUXWIP_ CSMUX_MUX にの正入力に 2 R/W 0	WIP0_gc WIP_WIP5_g はDACに接続 <u>1</u> <u>MUXPOS2~</u> R/W 0	11 (予約) で されます	 0 ∕₩ 0
値 名称 説明 IP. OPORESM IP. OPORESM IP. OP1RESM IP. OP1RESM IP. OP1RESM IP. OP1RESM IP. OP1RESM IP. OP1RESM IP. OP0RESM IP. OP1RESM IP. OP1R	0 OI 多重器 UX = OPAMP OPAMP UX = OPAMP OPAMP OPAMP 3 DPAMP OPA	0 (n) デF 場OFF -OPORESMUX OPORESMUX OP1RESMUX OP1RESMUX CのP1RESMUX CのP1RESMUX CのP1RESMUX CのP1RESMUX CのP1RESMUX CのP1RESMUX CO	(のPr _MUXBOT_OF _MUXTOP_OF _MUXBOT_LI _MUXTOP_OU つ正入力が2分 n入力多重器 5 MUXNEG2~0 R/W 0 重器 (Multiple されるアナログイ)1 (n+1)	01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 計割したVDDに 構成設定 4 R/W 0 exer for Negati 言号を選びます 010 (n)	1 VE VE MP_OPORESMUX OPAMP_OP1RE 法接続され、OP1 3 R 0 ive Input) す。	0 DD DD C_MUXWIP_ CSMUX_MUX にの正入力に 2 R/W 0	WIPO_gc WIP_WIP5_g はDACに接続 <u>1</u> MUXPOS2~ R/W 0	11 - (予約) c されます	-。 0 /W 0
値 名称 説明 (P. OPORESM (P. OPORESM (P. OPIRESM) (P. OPIRESM (P. OPIRESM (P. OPIRESM (P. OPORESM (P. OPORESM) (P. OPORESM (P. OPORESM) (P. OPORESM) (P	0 OI 多重器 UX = OPAMP OPAMP UX = OPAMP	0 (n) FF Weight Stress Str	(のPi のPi MUXBOT_OF MUXTOP_OF MUXTOP_OU の正入力が2分 n入力多重器 5 MUXNEG2~0 R/W 0 重器 (Multiple されるアナログイ)1 (n+1) IP	01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 計したVDDに 構成設定 4 R/W 0 exer for Negati 言号を選びます 010 (n) OUT	1 VE VE MP_OPORESMUX OPAMP_OP1RE :接続され、OP1 3 R 0 ive Input) テ。	0 DD DD C_MUXWIP_ CSMUX_MUX 1の正入力 1の正入力 0 て 10 て 1 0 て 0 1 1 DAC	WIPO_gc WIPO_gc WIP_WIP5_g はDACに接続 <u>1</u> <u>MUXPOS2~</u> R/W 0	11 (予約) で されます 0 RA	-。 の /W の
値 名称 説明 P. OPORESM P. OPORESM P. OPIRESM C書に伴う差! D-5. OPAMP ビット ビット ビット レビット したット値 ロビット領域は 値 名称 説明	0 OI 多重器 UX = OPAMP OPAMP UX = OPAMP	0 (n) FF Weight Stress (n) COPORESMUX OPORESMUX	MUXBOT_OF _MUXBOT_OF _MUXTOP_OF _MUXTOP_OU _MUXTOP_OU つ正入力が2分 n入力多重器 5 MUXNEG2~0 R/W 0 重器(Multiple されるアナログイ)1 (n+1) IP 抵抗の	01 (n+1) DUT n出力 F_gc OPAN F_gc; NKOUT_gc T_gc; 計したVDDに 構成設定 4 R/W 0 exer for Negati 言号を選びます 010 (n) OUT OPn出力	1 VE VE MP_OPORESMUX OPAMP_OP1RE 法接続され、OP1 3 R 0 ive Input) ナ。 DAC出力(D.	0 DD DD C_MUXWIP_ CSMUX_MUX にの正入力に 2 R/W 0 0 1 1 DAC ACとDACE	WIP0_gc WIP0_gc WIP_WIP5_g はDACに接続 1 <u>MUXPOS2~</u> R/W 0	11 (予約) で されます の R/ R/	- 。 の /W の で の 他 -

次頁へ続く

义	10-5 (続き). C	PAMP.OPnIN	IMUX - 演算增	曾幅器n入力多	5重器構成				
				(n+1)					
	值	000	001	010	011	1 0 0 (n)	101	110	111
	名称	INP	WIP	DAC	GND	VDDDIV2	LINKOUT	LINKWIP	-
	説明	OPn用 正入力ピン	梯子型抵抗 の摺動子	DAC出力 (<mark>注1</mark>)	接地	VDD/2	OPn-1出力 (<mark>注2</mark>)	OP0の梯子型抵抗 の摺動子 (<mark>注3</mark>)	(予約)
; ; ;	主1: DACとDA 主 <mark>2</mark> : OP1とOP 主3: OP2に対	AC出力緩衝部 2に対してだけ してだけ利用	『が許可されな け利用可能な記 可能な設定で	ければなりま 没定です。 す。	せん。				
OPA OPA	MP.OPOINMU MP.OPOINMU	$X = OPAMP_{X}$ $X = OPAMP_{X}$	OPOINMUX_MU OPOINMUX_MU	JXNEG_OUT_g JXNEG_WIP_g	gc OPA gc OPA	MP_OPOINMU MP_OPOINMU	X_MUXPOS_VD X_MUXPOS_DA	DDIV2_gc; AC_gc;	
差重	增幅器初期(ヒコードは次の。	ように見えます	0					
voj	d OPAMPO_i /* 時間基準 OPAMP.TIME /* 入力電圧 OPAMP.PWRC /* OPO構成 OPAMP.OPOC OPAMP.OPOS /* OP1構成 OPAMP.OPOS /* OP1構成 OPAMP.OP1C OPAMP.OP1E	nit (void) 構成設定 */ BASE = OPA 範囲構成設定 TRL = OPA 設定 */ TRLA = OPA ESMUX = O ETTLE = Ox 設定 */ TRLA = OPA NMUX = OPA ESMUX = OPA NMUX = OPA	/ MP_TIMEBASI	° E_US; IRSEL_FULL_ A_OUTMODE_N (_MUXNEG_OU SMUX_MUXBOT SMUX_MUXTOF A_OUTMODE_N (_MUXNEG_WI SMUX_MUXBOT	_gc; VORMAL_g JT_gc C_OFF_gc P_OFF_gc VORMAL_g IP_gc C_LINKOU	c OPAMP_ OPAMP_OPOI OPAMP_O ;; c OPAMP_ OPAMP_OP1I T_gc OPA	ALWAYSON_bn NMUX_MUXPOS PORESMUX_MU ALWAYSON_bn NMUX_MUXPOS MP_OP1RESMU	n; S_VDDDIV2_gc; JXWIP_WIP0_gc n; S_DAC_gc; JX_MUXWIP_WIP5_gc	
	OPAMP. OP1S	$\begin{array}{rcl} 0 \\ \text{ETTLE} &= & 0_{\mathrm{X}} \end{array}$	PAMP_OP1RES 7F;	SMUX_MUXTOF	_ P_OUT_go	;	_		
	/* OPAMP OPAMP. CTRL	周辺機能許可 A = OPAMP_	*/ ENABLE_bm;						
	/* 演算増幅 while (!(O { ; }	語安定待機 PAMP.OPOST	*/ Atus & Opan	IP. OP1STATU	JS & OPA	MP_SETTLED	_bm))		
}									
この	例に対するコー	・ドはこれらの(GitHub貯蔵庫	のdifferential-	-amplifier	フォルダで入手Ⴈ	可能です。		

GitHubでコード例を見てください。 貯蔵庫を閲覧するにはクリックしてください。

10.4. MPLAB[®]データ可視器へのデータ流し

本項ではCuriosity Nano上のAVR DBが2つの内部演算増幅器を使って差動増幅器動作を実演します。従って、マイクロコントローラは以下のような応用で書かれます。

- ・差動増幅器構成を作成するようにOPAMP0とOPAMP1を構成設定
- ・ OPAMP0の正入力はVDD/2に接続されます。
- ・OPAMP1の正入力に供給される25Hzの正弦波を生成するのにチップ上のDACとTCB0を使用
- ・DACとOPAMP1からの出力間の差動信号を採取するためにチップ上のTCB1とADCを使用

・データはUSART経由でMPLABデータ可視器(Data Visualoizer)へADC結果とVDD/2から減算されたDAC試料を流します。

上で言及した全ての単位部と接続がAVR DBへの内部なのでこの応用にハートウェア必要条件はありません。

実演走行をするため、「6. MPLAB®データ可視器」で概説される手順に従ってください。読み込む作業空間ファイルはGitHub貯蔵庫で 入手可能なdifferential_amplifier.jsonです。図10-6.は予測される結果の例です。



図10-6.の図表は赤でVDD/2に対するDAC波形、同時に黄緑はDAC出力に比例する採取されたOPAMP1出力を示します。シミュレー ション段階から予測されるように、黄緑波形は入力波形よりも概ね3倍大きい振幅を持ちます。黄緑波形の振幅が赤の波形と正確に3 倍大きくない理由はDAC、ADC、OPAMPに関連して累積された誤差のためです(このような検討はこの文書の範囲外です)。

11. 計装増幅器

図11-1.は計装増幅器構成を示します。これは2つの 入力信号V1とV2と1つの出力信号VOUTを持ちます。 出力信号は入力信号間の差に直接比例します。OP0 とOP1の演算増幅器は差動入力電圧のV2-V1に対す る緩衝部として働く一方で、OP2は反転と非反転の増 幅器を組み合わせた差動増幅器として働きます。出力 信号と差動入力信号間の比率として表される利得は R2とR1間の比率によって与えられます。

出力電圧(VOUT)は次式によって与えられます。

VOUT = (V2-V1)×利得

利得は表11-1.に従ってOPAMP0とOPAMP2に対する梯子型抵抗 素11-1 計装増幅器用利得選択 の摺動子位置によって与えられます。

観察されたように、3つの演算増幅器は入力として差動信号を取り、 シングルエンド出力信号を提供すると同時に高入力インピーダンスと低出 カインピーダンスを保証します。従って更なる処理と決断を許す差動出 力感知器とADC間の信号調整素子として適切で有り得ます。



2011		
利得	OPORESMUX.MUXWIP	OP2RESMUX.MUXWIP
1/15	111	0 0 0
1/7	110	001
1/3	101	010
1	011	011
3	010	101
7	001	110
15	000	111

11.1. 使用事例

多数の電気応用が温度、湿度、光、大気圧、等々のような物理的な量の測定と制御を必要とします。物理的な量は変換器の手助け で電気的な量に変換されます。変換器の出力は測定した変量を表す電気的な信号です。通常、変換器の出力信号水準は非常に 小さく、それらがデータ採取処理で採取される前に増幅されることが必要です。電気信号はそれらの変化に基づいて適切な活動を提 供するため、更に処理されて監視されます。簡単な測定と制御系の一般的な構成図については図11-2.をご覧ください。物理的な量 に関係する電気的な信号の増幅に使われる増幅器は一般的に使われる計装増幅器の用語の部類に入ります。従って計装増幅器 への入力は変換器からの出力信号です。



変換器は色々な方法で分類することができます。けれども、考慮すべき重要な要素はそれらの動作に電源が必要とされるか否かです。能動変換器はそれらの動作に外部電源を必要としません。これらは出力信号を自己生成し、エネルギー変換原理(即ち、光起電性、熱電、電磁、圧電など)下で動作します。他方、受動変換器はそれらの動作に外部のエネルギーが必要です。これらは抵抗、容量、 インダウタンスのような電気的要素での変化の形式で出力信号を生成します。

ホイートストン ブリッジ(または抵抗ブリッジ)回路は様々な抵抗性受動変換器を計装増幅器に接続するのに使うことができます(図11-3.)。



この回路に於いて、RA、RB、RCは既知で与えられています。RTはこの変換器の抵抗を表し、時間と共に変わる物理的な量に依存して変わります。抵抗に対する値はこのブリッジに平衡を許す特定の点に対して選ばれます。

平衡((RC/RB)=(RT/RA)=1)時、ホイートストン ブリッジの出力電圧(と計装増幅器への差動入力)は0で、従って増幅器の出力は0です。 測定されている物理的な量で変化があると、電圧(V2)がもはやV1と等しくなくなります。変換器装置の抵抗はRTからRT±/Rに変わります。これは計装増幅器に対する差動電圧入力を生成し、増幅器の出力はもはや0ではありません。

$$V1 = \frac{RB}{RB + RC} \times VDD \qquad V2 = \frac{RA}{RA + RT \pm \Delta R} \times VDD$$

抵抗が同じ値、即ち、RA=RB=RC=RT=Rと仮定すると、差動電圧入力は以下のようになります。

$$\sqrt{2} - V1 = \frac{R}{2R} \times VDD - \frac{R}{2R \pm \Box R} \times VDD = \frac{\pm \Box R}{2(2R \pm \Box R)} \times VDD$$

抵抗(△R)での変化が2Rよりもずっと小さい(△R<<2R)なら、この式を次のように簡単化することができます。

$$V2 - V1 = \frac{\pm \angle R}{4R} \times VDD$$

計装増幅器からの出力は次のように表すことができると言うことになります。

VOUT = 利得×
$$\frac{\pm \Delta R}{4R}$$
×VDD

即ち、計装増幅器の出力電圧は直接的に以下に依存します。

・変換器の抵抗(⊿R)での変化

・表11-1.によって与えられる増幅器の利得

考慮が必要な重要な面は差動電圧(V2-V1)が常に正でなければならないことです。これは負側に対する0Vと正側に対する+VDDの 演算増幅器電源の結果です。従ってホイートストンブリッジ構成設定で変換器を配置する時に注意が払われなければなりません。変換 器位置は励起時の抵抗の負または正の変化に依存します。 ホイートストン ブリッジと計装増幅器は以下のような幅広い感知応用に使うことができます。

- ・サーミスタに基づく温度感知器
- ・圧力感知抵抗器(FSR)に基づく圧力感知器
- ・歪計に基づく計量器

11.2. MPLAB[®] Mindi™での計装増幅器アナログシミュレーション

MPLAB[®] Mindi[™]に於いてGitHub貯蔵庫からのInstrumentation_Amplifier.wxsch回路図を開いてください。



GitHubでコード例を見てください。 貯蔵庫を閲覧するにはクリックしてください。

図11-4.の左半分で示される回路DC 825mVの変位(オフセット)を持つ25Hzで256mVppの正弦状信号源によって駆動されます。演算増幅器は3.3V電源によって給電されます。



Simulator(シミュレータ)⇒Run Schematic(回路図走行)を選ぶ、またはF9機能キーを押すことによってシミュレートしてください。結果のシミュレー ション出力図が図11-4.の右半分で示されます。これは(赤での)出力信号が(緑での)入力信号の3倍であると同時に位相に於いて信号 を維持しているのを知ることができます。

11.3. レジスタ構成設定

前項は非反転の差動増幅器回路回路のMPLAB[®] Mindi™シミュレーションを簡単に検討しました。本項では計装増幅器構成設定と動作 を許可するために関連するAVR DB OPAMPレジスタが次のように構成設定されます。

- ・OP0演算増幅器は正入力が内部的にVDD/2に接続される電圧フォロワとして構成されます。梯子型抵抗の上側は演算増幅器の出 カへ、下側は接地へ接続され、摺動子位置は表11-1.に従って選ばれます。
- ・OP1演算増幅器は正入力が内部的に基板上DACへ接続される電圧フォロワとして構築されます。梯子型抵抗は使われません。
- ・OP2演算増幅器は正入力がOP0梯子型抵抗からの摺動子接続で負入力が自身の梯子型抵抗の摺動子位置を持つように設定されます。梯子型抵抗の上側は演算増幅器の出力へ、下側はOP1演算増幅器へ接続され、摺動子位置は表11-1.に従って選ばれます。

表11-2.は計装増幅器構成で3つの内部演算増幅器を設定するのに必要な設定を要約します。

(0)

表11-2. 内部DACに接続された計装増幅器

	a servera server				
OP番号	MUXPOS	MUXNEG	MUXBOT	MUXWIP	MUXTOP
OP0	VDDDIV2	OUT	GND	図 11-1.参照	OUT
OP1	DAC	OUT	OFF	WIP0	OFF
OP2	LINKWIP (OP0WIP)	WIP	LINKOUT (OP1OUT)	図11-1.参照	OUT

計装増幅器の場合、梯子型抵抗多重器は各増幅器に対して独立して構成設定されます。

図11-5. OPAMP.OPnRESMUX - 演算增幅器n梯子型抵抗多重器構成設定

ビット	7	6	5	4	3	2	1	0
		MUXWIP2~0			MUXBOT2~0		MUXT	OP1,0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~5 - MUXWIP2~0: 摺動子用多重器 (Multiplexer for Wiper)

このビット領域は梯子型抵抗の摺動子(可変抵抗器)位置を選びます。

値	0 0 0 (1)	001	010(0)	011	100	101(2)	110	111
名称	WIP0	WIP1	WIP2	WIP3	WIP4	WIP5	WIP6	WIP7
説明	R1=15R,R2=1R	R1=14R,R2=2R	R1=12R,R2=4R	R1=8R,R2=8R	R1=6R,R2=10R	R1=4R,R2=12R	R1=2R,R2=14R	R1=1R,R2=15R

● ビット4~2 - MUXBOT2~0: 下側用多重器 (Multiplexer for Bottom)

このビット領域は梯子型抵抗の下側抵抗に接続されるアナログ信号を選びます。

					(2)	(0)	
値	0 0 0 (1)	001	010	0 1 1	100	101	その他
名称	OFF	INP	INN	DAC	LINKOUT	GND	-
説明	多重器 OFF	OPnの 正入力ピン	OPnの 負入力ピン	DAC出力(DACとDAC出力緩衝部が 許可されなければなりません。)	OPn-1出力 (<mark>注</mark>)	接地	(予約)
<u>注</u> : OP0に対してLINKOUTを選ぶと、MUXBOTはOP2の出力に接続されます。							

● ビット1,0 - MUXTOP1,0 : 上側用多重器 (Multiplexer for Top)

このビット領域は梯子型抵抗の上側抵抗に接続されるアナログ信号を選びます。

値	0 0 (1)	0 1 (0,2)	10	11
名称	OFF	OUT	VDD	-
説明	多重器OFF	OPn出力	VDD	(予約)

OPAMP.OPORESMUX = OPAMP_OPORESMUX_MUXBOT_GND_gc OPAMP_OPORESMUX_MUXWIP_WIP2_gc
OPAMP_OPORESMUX_MUXTOP_OUT_gc;
OPAMP.OP1RESMUX = OPAMP_OP1RESMUX_MUXBOT_OFF_gc OPAMP_OP1RESMUX_MUXWIP_WIP0_gc
OPAMP_OP1RESMUX_MUXTOP_OFF_gc;
OPAMP.OP2RESMUX = OPAMP_OP2RESMUX_MUXBOT_LINKOUT_gc OPAMP_OP2RESMUX_MUXWIP_WIP5_gc
OPAMP OP2RESMUX MUXTOP OUT gc;

各増幅器の正と負の入力についても同様です。これらは表11-2.で概説されるように独立して構成設定されます。

図11-6. OPAMP.OPnINMUX - 演算増幅器n入力多重器構成設定

ヒット	7	6	5	4	3	2	1	0
			MUXNEG2~0			MUXPOS2~0		
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6~4 - MUXNEG2~0 : 負入力用多重器 (Multiplexer for Negative Input)

このビット領域はOPnの反転(-)入力に接続されるアナログ信号を選びます。

次頁へ続く

図11-6 (続き). OPAMP.OPnINMUX - 演算増幅器n入力多重器構成設定

値	000	0 0 1 (2)	0 1 0 (0,1)	0 1 1	その他
名称	INN	WIP	OUT	DAC	-
説明	OPn用 負入力ピン	梯子型抵抗の 摺動子	OPn出力 (利得1)	DAC出力(DACとDAC出力緩衝部が 許可されなければなりません。)	(予約)

● ビット2~0 - MUXPOS2~0:正入力用多重器 (Multiplexer for Positive Input)

このビット領域はOPnの非反転(+)入力に接続されるアナロク信号を選びます。

値	0 0 0	001	0 1 0 (1)	011	100(0)	101	110	(2)	111
名称	INP	WIP	DAC	GND	VDDDIV2	LINKOUT	LINKWIP		—
説明	OPn用 正入力ピン	梯子型抵抗 の摺動子	DAC出力 (<mark>注1</mark>)	接地	VDD/2	OPn-1出力 (<mark>注2</mark>)	OP0の梯子型担 の摺動子 (<mark>注</mark>	氐抗 3)	(予約)
注1: DACとDAC出力緩衝部が許可されなければなりません。									
<u>注2</u> : OP1とOP2に対してだけ利用可能な設定です。									
注3: OP2に対してだけ利用可能な設定です。									
OPAMP.OPOINMUX = OPAMP OPOINMUX MUXNEG OUT gc OPAMP OPOINMUX MUXPOS VDDDIV2 gc;									
OPAMP. OP1INMUX = OPAMP_OP1INMUX_MUXNEG_OUT_gc OPAMP_OP1INMUX_MUXPOS_DAC_gc;									
OPAMP.OP2INMUX = OPAMP_OP2INMUX_MUXNEG_WIP_gc OPAMP_OP2INMUX_MUXPOS_LINKWIP_gc;									
ーーーーーーーーーーーーーーーーーーーーーーーーーーーーーーーーーーーー									
void OPAMP	0_init (void)								

```
/* 時間基準構成設定 */
OPAMP. TIMEBASE = OPAMP_TIMEBASE_US;
```

/* 入力電圧範囲構成設定 */ OPAMP. PWRCTRL = OPAMP_PWRCTRL_IRSEL_FULL_gc;

/* OP0構成設定 */

```
OPAMP. OPOCTRLA = OPAMP_OPOCTRLA_OUTMODE_NORMAL_gc | OPAMP_ALWAYSON_bm;
```

```
OPAMP.OPOINMUX = OPAMP_OPOINMUX_MUXNEG_OUT_gc | OPAMP_OPOINMUX_MUXPOS_VDDDIV2_gc;
OPAMP. OPORESMUX = OPAMP_OPORESMUX_MUXBOT_GND_gc | OPAMP_OPORESMUX_MUXWIP_WIP2_gc |
```

OPAMP OPORESMUX MUXTOP OUT gc;

OPAMP. OPOSETTLE = 0x7F;

/* OP1構成設定 */ OPAMP. OP1CTRLA = OPAMP_OP1CTRLA_OUTMODE_NORMAL_gc | OPAMP_ALWAYSON_bm;

```
OPAMP.OP1INMUX = OPAMP_OP1INMUX_MUXNEG_OUT_gc | OPAMP_OP1INMUX_MUXPOS_DAC_gc;
                   OPAMP_OP1RESMUX_MUXBOT_OFF_gc | OPAMP_OP1RESMUX_MUXWIP_WIP0_gc |
OPAMP. OP1RESMUX =
                   OPAMP_OP1RESMUX_MUXTOP_OFF_gc;
```

OPAMP. OP1SETTLE = 0x7F;

```
/* OP2構成設定 */
```

```
OPAMP. OP2CTRLA = OPAMP_OP2CTRLA_OUTMODE_NORMAL_gc | OPAMP_ALWAYSON_bm;
OPAMP. OP2INMUX = OPAMP OP2INMUX MUXNEG WIP gc | OPAMP OP2INMUX MUXPOS LINKWIP gc;
OPAMP. OP2RESMUX = OPAMP_OP2RESMUX_MUXBOT_LINKOUT_gc | OPAMP_OP2RESMUX_MUXWIP_WIP5_gc |
                   OPAMP_OP2RESMUX_MUXTOP_OUT_gc;
OPAMP. OP2SETTLE = 0x7F;
```

/* OPAMP周辺機能許可 */ OPAMP.CTRLA = OPAMP_ENABLE_bm;

```
/* 演算增幅器安定待機 */
while (! (OPAMP. OPOSTATUS & OPAMP. OP1STATUS & OPAMP. OP2STATUS & OPAMP_SETTLED_bm))
```



11.4. MPLAB[®]データ可視器へのデータ流し

本項ではCuriosity Nano上のAVR DBが3つの内部演算増幅器を使って計装増幅器動作を実演します。従って、マイクロコントローラは以下のような応用で書かれます。

- ・正端子に対してVDD/2入力を持つ電圧フォロワとしてOPAMP0を構成設定
- ・電圧フォロワとして構成されたOPAMP1の正入力に供給される25Hzの正弦波を生成するのにチップ上のDACとTCB0を使用
- ・OPAMP0とOPAMP1の電圧フォロワからの出力が入力の差動増幅器としてOPAMP2を構成設定
- ・ OPAMP2の出力を採取するためにチップ上のTCB1とADCを使用
- ・データはUSART経由でADC結果とDAC試料をMPLABデータ可視器(Data Visualizer)に流します。

上で言及した全ての単位部と接続がAVR DBへの内部なのでこの応用にハードウェア必要条件はありません。

実演走行をするため、「6. MPLAB[®]データ可視器」で概説される手順に従ってください。読み込む作業空間ファイルはGitHub貯蔵庫で 入手可能なinstrumentation_amplifier.jsonです。図11-7.は予測される結果の例です。

図表は赤でDAC波形、同時に黄緑で計装増幅器の出力と同じである採取されたOPAMP2出力を示します。シミュレーション段階から予 測されるように、増幅器の出力信号は約3倍に増幅される一方で入力と出力の信号の位相を維持しています。

12. 参考文献

アナログ信号調整部とこの動作形態を実演するのに使われた道具についてのより多くの情報は以下のリンクで見つけることができます。

- 1. AVR DB製品頁: www.microchip.com/wwwproducts/en/AVR128DB48
- 2. AVR DB Curiosity Nano : www.microchip.com/DevelopmentTools/ProductDetails/PartNO/EV35L43A
- 3. MPLAB[®] Mindi™アナロク^{*} シミュレータ製品頁:www.microchip.com/mplab/mplab-mindi
- 4. MPLAB[®] Mindi™アナログ シミュレータでの開始に際して: www.microchip.com/DS50002564
- 5. MPLAB[®]データ可視器(Data Visualizer)独立型(Windows): gallery.microchip.com/packages/MPLAB-Data-Visualizer-Standalon e(Windows)/

6. MPLAB®データ可視器(Data Visualizer)ソフトウェア使用者の手引き: www.microchip.com/DS50003001

13. 改訂履歴

改訂	日付	注釈					
А	2020年9月	初版文書公開					

Microchipウェフ゛サイト

Microchipはwww.microchip.com/で当社のウェブサイト経由でのオンライン支援を提供します。このウェブサイトはお客様がファイルや情報を容易に利用可能にするのに使われます。利用可能な情報のいくつかは以下を含みます。

- ・製品支援 データシートと障害情報、応用記述と試供プログラム、設計資源、使用者の手引きとハート・ウェア支援資料、最新ソフトウェア配布と保管されたソフトウェア
- ・全般的な技術支援 良くある質問(FAQ)、技術支援要求、オンライン検討グループ、Microchip設計協力課程会員一覧
- ・Microshipの事業 製品選択器と注文の手引き、最新Microchip報道発表、セミナーとイベントの一覧、Microchip営業所の一覧、代理 店と代表する工場

製品変更通知サービス

Microchipの製品変更通知サービスはMicrochip製品を最新に保つのに役立ちます。加入者は指定した製品系統や興味のある開発ツールに関連する変更、更新、改訂、障害情報がある場合に必ず電子メール通知を受け取ります。 登録するにはwww.microchip.com/pcnへ行って登録指示に従ってください。

お客様支援

Microchip製品の使用者は以下のいくつかのチャネルを通して支援を受け取ることができます。

- ・代理店または販売会社
- ・最寄りの営業所
- ・組み込み解決技術者(ESE:Embedded Solutions Engineer)
- ・技術支援

お客様は支援に関してこれらの代理店、販売会社、またはESEに連絡を取るべきです。最寄りの営業所もお客様の手助けに利用できます。営業所と位置の一覧はこの資料の後ろに含まれます。

技術支援はwww.microchip.com/supportでのウェブ サイトを通して利用できます。

Microchipデバイスコード保護機能

Microchipデバイスでの以下のコード保護機能の詳細に注意してください。

- ・Microchip製品はそれら特定のMicrochipデータシートに含まれる仕様に合致します。
- ・Microchipは意図した方法と通常条件下で使われる時に、その製品系統が安全であると考えます。
- ・Microchipデバイスのコート、保護機能を破ろうとする試みに使われる不正でおそらく違法な方法があります。当社はこれらの方法が Microchipのデータシートに含まれた動作仕様外の方法でMicrochip製品を使うことが必要とされると確信しています。これらのコート、保 護機能を破ろうとする試みは、おそらく、Microchipの知的財産権に違反することなく達成することはできません。
- ・Microchipはそれのコードの完全性について心配されている何れのお客様とも共に働きたいと思います。
- ・Microchipや他のどの半導体製造業者もそれのコートの安全を保証することはできません。コート保護は製品が"破ることができない" ことを当社が保証すると言うことを意味しません。コート保護は常に進化しています。Microchipは当社製品のコート保護機能を継続的 に改善することを約束します。Microchipのコート、保護機能を破る試みはデジタルシニアム著作権法に違反するかもしれません。そのよ うな行為があなたのソフトウェアや他の著作物に不正なアクセスを許す場合、その法律下の救済のために訴権を持つかもしれません。

法的通知

この刊行物に含まれる情報はMicrochip製品を使って設計する唯一の目的のために提供されます。デバイス応用などに関する情報は 皆さまの便宜のためにだけ提供され、更新によって取り換えられるかもしれません。皆さまの応用が皆さまの仕様に合致するのを保 証するのは皆さまの責任です。

この情報はMicrochipによって「現状そのまま」で提供されます。Microchipは非侵害、商品性、特定目的に対する適合性の何れの黙 示的保証やその条件、品質、性能に関する保証を含め、明示的にも黙示的にもその情報に関連して書面または表記された書面ま たは黙示の如何なる表明や保証もしません。

如何なる場合においても、Microchipは情報またはその使用に関連するあらゆる種類の間接的、特別的、懲罰的、偶発的または結果的な損失、損害、費用または経費に対して責任を負わないものとします。法律で認められている最大限の範囲で、情報またはその使用に関連する全ての請求に対するMicrochipの全責任は、もしあれば、情報のためにMicrochipへ直接支払った料金を超えないものとします。生命維持や安全応用でのMicrochipデバイスの使用は完全に購入者の危険性で、購入者はそのような使用に起因する全ての損害、請求、訴訟、費用からMicrochipを擁護し、補償し、免責にすることに同意します。他に言及されない限り、Microchipのどの知的財産権下でも暗黙的または違う方法で許認可は譲渡されません。

商標

Microchipの名前とロゴ、Mcicrochipロゴ、Adaptec、AnyRate、AVR、AVRロゴ、AVR Freaks、BesTime、BitCloud、chipKIT、chipKITロ ゴ、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、 maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemiロゴ、MOST、MOSTロゴ、MPLAB、OptoLyzer、PackeTime、PI C、picoPower、PICSTART、PIC32ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SSTロゴ、Super Flash、Symmetricom、SyncServer、Tachyon、TempTracker、TimeSource、tinyAVR、UNI/O、Vectron、XMEGAは米国と他の国に於 けるMicrochip Technology Incor poratedの登録商標です。

APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、FlashTec、Hyper Speed Control、HyperLight Load、 IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plusロゴ、Quiet-Wire、 SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、Vite、WinPath、ZLは米国に於けるMicrochip Technology Incorporatedの登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BlueSky、BodyCom、CodeGuard、 CryptoAuthentication、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、EC AN、EtherGREEN、In-Circuit Serial Programming、ICSP、INICnet、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNet¤ ゴ、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified¤ゴ、MPLAB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PowerSmart、PureSilicon、QMatrix、REALICE、Ripple Blocker、SAM-ICE、Se rial Quad I/O、SMART-I.S.、SQI、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、View Sens e、WiperLock、Wireless DNA、ZENAは米国と他の国に於けるMicrochip Technology Incorporatedの商標です。

SQTPは米国に於けるMicrochip Technology Incorporatedの役務標章です。

Adaptec^{ロゴ、}、Frequency on Demand、Silicon Storage Technology、Symmcomは他の国に於けるMicrochip Technology Inc.の登録商 標です。

GestICは他の国に於けるMicrochip Technology Inc.の子会社であるMicrochip Technology Germany II GmbH & Co. KGの登録商 標です。

ここで言及した以外の全ての商標はそれら各々の会社の所有物です。

© 2020年、Microchip Technology Incorporated、米国印刷、不許複製

品質管理システム

Microchipの品質管理システムに関する情報についてはwww.microchip.com/qualityを訪ねてください。

日本語© HERO 2020.

本技術概説はMicrochipのTB3286技術概説(DS90003286A-2020年9月)の翻訳日本語版です。日本語では不自然となる重複する形 容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加 筆されています。頁割の変更により、原本より頁数が少なくなっています。

必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。



米国

世界的な販売とサービス

本社 2355 West Chandler Blvd. Chandler, AZ 85224-6199 Tel: 480-792-7200 Fax: 480-792-7277 技術支援: www.microchip.com/support ウェブ アトレス: www.microchip.com アトランタ Duluth, GA Tel: 678-957-9614 Fax: 678-957-1455 **オースチン** TX Tel: 512-257-3370 ボストン Westborough, MA Tel: 774-760-0087 Fax: 774-760-0088 シカゴ Itasca, IL Tel: 630-285-0071 Fax: 630-285-0075 ダラス Addison, TX Tel: 972-818-7423 Fax: 972-818-2924 デトロイト Novi, MI Tel: 248-848-4000 ヒューストン TX Tel: 281-894-5983 インデアナポリス Noblesville, IN Tel: 317-773-8323 Fax: 317-773-5453 Tel: 317-536-2380 ロサンセルス Mission Viejo, CA Tel: 949-462-9523 Fax: 949-462-9608 Tel: 951-273-7800 D-J-NC Tel: 919-844-7510 ニュ**ーヨーク** NY Tel: 631-435-6000 サンホセ CA Tel: 408-735-9110 Tel: 408-436-4270 カナダ - トロント Tel: 905-695-1980 Fax: 905-695-2078

オーストラリア - シト・ニー Tel: 61-2-9868-6733 中国 - 北京 Tel: 86-10-8569-7000 中国 - 成都 Tel: 86-28-8665-5511 中国 - 重慶 Tel: 86-23-8980-9588 中国 - 東莞 Tel: 86-769-8702-9880 中国 – 広州 Tel: 86-20-8755-8029 中国 – 杭州 Tel: 86-571-8792-8115 中国 - 香港特別行政区 Tel: 852–2943–5100 中国 - 南京 Tel: 86-25-8473-2460 中国 - 青島 Tel: 86-532-8502-7355 中国 - 上海 Tel: 86-21-3326-8000 中国 - 瀋陽 Tel: 86-24-2334-2829 中国 - 深圳 Tel: 86-755-8864-2200 中国 – 蘇州 Tel: 86-186-6233-1526 中国 - 武漢 Tel: 86-27-5980-5300 中国 - 西安 Tel: 86-29-8833-7252 中国 - 廈門 Tel: 86-592-2388138 中国 - 珠海 Tel: 86-756-3210040

亜細亜/太平洋

亜細亜/太平洋 イント - ハンガロール Tel: 91-80-3090-4444 イント - ニューデリー Tel: 91-11-4160-8631 イント・フネー Tel: 91-20-4121-0141 日本 - 大阪 Tel: 81-6-6152-7160 日本 - 東京 Tel: 81-3-6880-3770 韓国 - 大邱 Tel: 82-53-744-4301 韓国 - ソウル Tel: 82-2-554-7200 マレーシア – クアラルンプール Tel: 60-3-7651-7906 マレーシア ー ヘ・ナン Tel: 60-4-227-8870 フィリピン – マニラ Tel: 63-2-634-9065 シンガポール Tel: 65-6334-8870 台湾 - 新竹 Tel: 886-3-577-8366 台湾 - 高雄 Tel: 886-7-213-7830 台湾 - 台北 Tel: 886-2-2508-8600 タイ ー バンコク Tel: 66-2-694-1351 ベトナム ー ホーチミン Tel: 84-28-5448-2100

欧州

オーストリア – ウェルス Tel: 43-7242-2244-39 Fax: 43-7242-2244-393 テンマーク - コヘンハーケン Tel: 45-4485-5910 Fax: 45-4485-2829 フィンラント – エスホー Tel: 358-9-4520-820 フランス – パリ Tel: 33-1-69-53-63-20 Fax: 33-1-69-30-90-79 トイツ – カルヒング Tel: 49-8931-9700 ドイツ – ハーン Tel: 49-2129-3766400 トイツ - ハイルブロン Tel: 49-7131-72400 ドイツ – カールスルーエ Tel: 49-721-625370 ドイツ - ミュンヘン Tel: 49-89-627-144-0 Fax: 49-89-627-144-44 ドイツ - ローセンハイム Tel: 49-8031-354-560 イスラエル - ラーナナ Tel: 972-9-744-7705 イタリア ー ミラノ Tel: 39-0331-742611 Fax: 39-0331-466781 イタリア ー パドバ Tel: 39-049-7625286 オランダーデルーネン Tel: 31-416-690399 Fax: 31-416-690340 ノルウェー - トロンハイム Tel: 47-72884388 ホ[°]ーラント[゛]ー ワルシャワ Tel: 48-22-3325737 ルーマニア – ブカレスト Tel: 40-21-407-87-50 スペイン - マドリート Tel: 34-91-708-08-90 Fax: 34-91-708-08-91 スウェーデン – イェーテホリ Tel: 46-31-704-60-40 スウェーデン – ストックホルム Tel: 46-8-5090-4654 イキ・リス - ウォーキンガム Tel: 44-118-921-5800 Fax: 44-118-921-5820