

特徴

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
 - 強力な131命令(多くは1周期で実行)
 - 32個の1バイト長汎用レジスタ
 - 完全なスタティック動作
 - 1MHz当たり、1MIPSに達する高速動作
 - 2周期実行の乗算命令
- データメモリと不揮発性プログラムメモリ
 - 実装書き換え可能な16Kバイト(8K語)フラッシュメモリ内蔵 (10,000回の書き換えが可能)
 - 個別施錠ビットを持つ任意のブートコード領域
 - ・ チップ内ブートプログラムによる自己書き換え
 - ・ 真の書き込み中の読み出し動作
 - 実装書き換え可能な512バイトのEEPROM (100,000回の書き換えが可能)
 - 1Kバイトの内蔵SRAM
 - ソフトウェア保護用の設定可能な施錠機能
- デバッグWIRE内蔵デバッグ機能
- 内蔵周辺機能
 - 4ビット分解能増強付き、2または3つの12ビット高速電力段制御器(PSC)
 - ・ 柔軟な沈黙時間付き非重複反転PWM出力ピン
 - ・ 可変PWMデューティ比と可変PWM周波数
 - ・ 全PWMレジスタの同期更新
 - ・ 事象駆動力率改善(PFC)実装用、自動停止機能
 - ・ 150kHzで25Hz未満幅の段階
 - ・ 4つの出力ピンと出力配列の電力段制御器2(PSC2)
 - 独立した前置分周器、比較機能付き、1つの汎用8ビットタイマ/カウンタ
 - 独立した前置分周器、比較、捕獲機能付き、1つの汎用16ビットタイマ/カウンタ
 - 設定可能な直列USART
 - ・ 標準UART動作
 - ・ DALI (Digital Addressable Lighting Interface) 通信用16/17ビット両位相(Biphase)動作
 - 主装置/従装置動作SPI直列インターフェース
 - 10ビット A/D変換器
 - ・ 8または11までのシングル エントリ入力チャネルと、1または2つの完全な差動チャネル対
 - ・ 設定可能な利得(差動チャネルでの×5, ×10, ×20, ×40)
 - ・ 内部基準電圧
 - 10ビット D/A変換器 (AT90PWM216は出力ピンなし)
 - 比較電圧調整用抵抗列付き、2/3つのアナログ比較器
 - 3または4つの外部割り込み
 - 設定可能な専用発振器付きウォッチドッグ タイマ
- 特殊マイクロ コントローラ機能
 - アイドル、A/D変換雑音低減、パワーダウン、スタンバイの4つの低消費動作
 - 電源ONリセット回路と設定可能な低電圧検出器(BOD)
 - ビット設定可能なI/O空間内のフラグ列 (4バイト)
 - SPIポート経由での実装書き込み
 - 校正可能な内蔵RC発振器 (8MHz)
 - 高速PWM(32MHz, 64MHz)とCPU(16MHz)用のチップ上PLL
- 動作電圧: 2.7~5.5V
- 拡張された温度範囲: -40~105°C

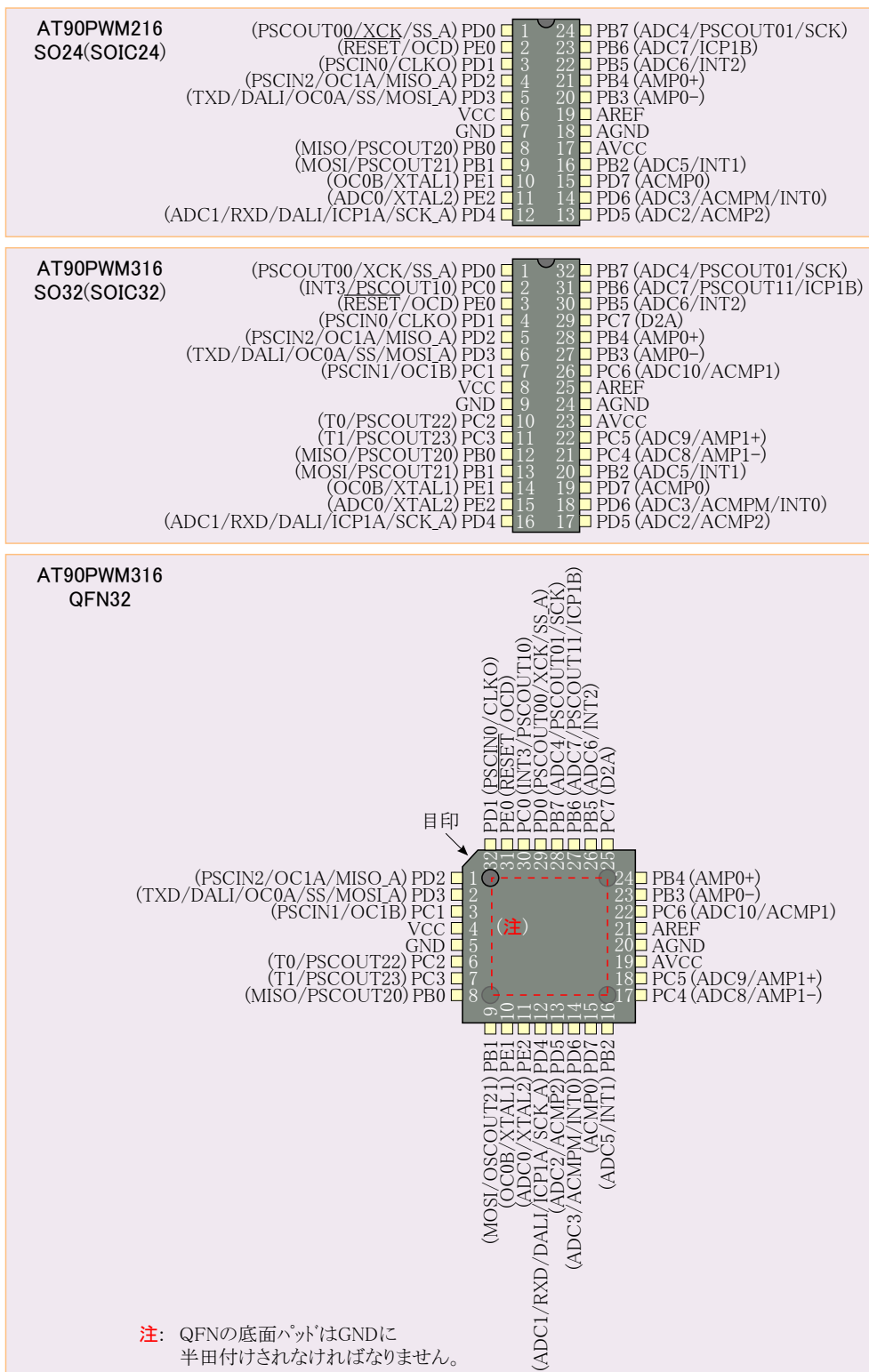
本書は一般の方々への便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

製品名	外囲器	沈黙時間付き 12ビット PWM数	A/D変換器		アナログ 比較器数	応用例
			入力数	差動増幅器数		
AT90PWM216	SOIC24	2×2	8	1	2	単一調光安定器
AT90PWM316	SOIC32, QFN32	3×2	11	2	3	HID安定器、調光安定器、電動機制御

1. お断り

本データシート内で示された代表値はシミュレーションと同じ製法技術で製造された他のAVRマイクロコントローラの特性を基にしています。最小と最大の値はデバイスの特性が記載された後に利用可能になります。

2. ピン配置



2.1. ピン概要

表2-1. ピン割り当て説明

ピン番号			ピン名	形式 分類	名称、機能、代替機能
SO24	SO32	QFN32			
7	9	5	GND	電源	接地: 0V基準
18	24	20	AGND	電源	アナログ接地: アナログ部用0V基準
6	8	4	VCC	電源	電力供給:
17	23	19	AVCC	電源	アナログ電力供給: これはアナログ部用の供給電力電圧です。
19	25	21	AREF	電源	アナログ基準電圧: これはA/D変換器用基準電圧です。 通常使用で本ピンは接続されなければなりません。
8	12	8	PB0	I/O	MISO (SPI 主側入力/従側出力) PSCOUT20 出力
9	13	9	PB1	I/O	MOSI (SPI 主側出力/従側入力) PSCOUT21 出力
16	20	16	PB2	I/O	ADC5 (アナログ入力チャネル5) INT1 (外部割り込み1入力)
20	27	23	PB3	I/O	AMP0- (アナログ差動増幅器0 反転入力チャネル)
21	28	24	PB4	I/O	AMP0+ (アナログ差動増幅器0 非反転入力チャネル)
22	30	26	PB5	I/O	ADC6 (アナログ入力チャネル6) INT2 (外部割り込み2入力)
23	31	27	PB6	I/O	ADC7 (アナログ入力チャネル7) ICP1B (タイマ/カウンタ1捕獲起動代替入力) PSCOUT11 出力(注1参照)
24	32	28	PB7	I/O	SCK (SPI クロック入出力) ADC4 (アナログ入力チャネル4) PSCOUT01 出力
利用 不可	2	30	PC0	I/O	INT3 (外部割り込み3入力) PSCOUT10 出力(注1参照)
	7	3	PC1	I/O	OC1B (タイマ/カウンタ1比較B出力) PSCIN1 (電力段制御器(PSC)1 デジタル入力)
	10	6	PC2	I/O	T0 (タイマ/カウンタ0外部クロック入力) PSCOUT22 出力
	11	7	PC3	I/O	T1 (タイマ/カウンタ1外部クロック入力) PSCOUT23 出力
	21	17	PC4	I/O	ADC8 (アナログ入力チャネル8) AMP1- (アナログ差動増幅器1 反転入力チャネル)
	22	18	PC5	I/O	ADC9 (アナログ入力チャネル9) AMP1+ (アナログ差動増幅器1 非反転入力チャネル)
	26	22	PC6	I/O	ADC10 (アナログ入力チャネル10) ACMP1 (アナログ比較器1 非反転入力)
	29	25	PC7	I/O	D2A (D/A変換器出力) (注2参照)
1	1	29	PD0	I/O	XCK (USART 転送クロック入出力) SS_A (代替SPI 従装置選択入力) PSCOUT00 出力
3	4	32	PD1	I/O	CLKO (システムクロック出力) PSCIN0 (電力段制御器(PSC)0 デジタル入力)
4	5	1	PD2	I/O	OC1A (タイマ/カウンタ1比較A出力) MISO_A (プログラミングと代替SPI 主側入力/従側出力) PSCIN2 (電力段制御器(PSC)2 デジタル入力)
5	6	2	PD3	I/O	TXD (USART/DALI 送信データ出力) OC0A (タイマ/カウンタ0比較A出力) SS (SPI 従装置選択入力) MOSI_A (プログラミングと代替SPI 主側出力/従側入力)
12	16	12	PD4	I/O	RXD (USART/DALI 受信データ入力) ICP1A (タイマ/カウンタ1捕獲起動入力) ADC1 (アナログ入力チャネル1) SCK_A (プログラミングと代替SPI クロック入出力)
13	17	13	PD5	I/O	ADC2 (アナログ入力チャネル2) ACMP2 (アナログ比較器2 非反転入力)
14	18	14	PD6	I/O	ADC3 (アナログ入力チャネル3) ACMPM (アナログ比較器基準反転入力) INT0 (外部割り込み0入力)
15	19	15	PD7	I/O	ACMP0 (アナログ比較器0 非反転入力)
2	3	31	PE0	I/O	RESET (外部リセット入力) OCD (内蔵デバッグWIRE機能入出力)
10	14	10	PE1	I/O	XTAL1 (発振増幅器入力) OC0B (タイマ/カウンタ0比較B出力)
11	15	11	PE2	I/O	XTAL2 (発振増幅器出力) ADC0 (アナログ入力チャネル0)

注1: PSCOUT10とPSCOUT11は24ピン外周器にはありません。

注2: D2A(D/A変換器出力)はAT90PWM216(24ピンSOIC)で利用できません。

3. 概要

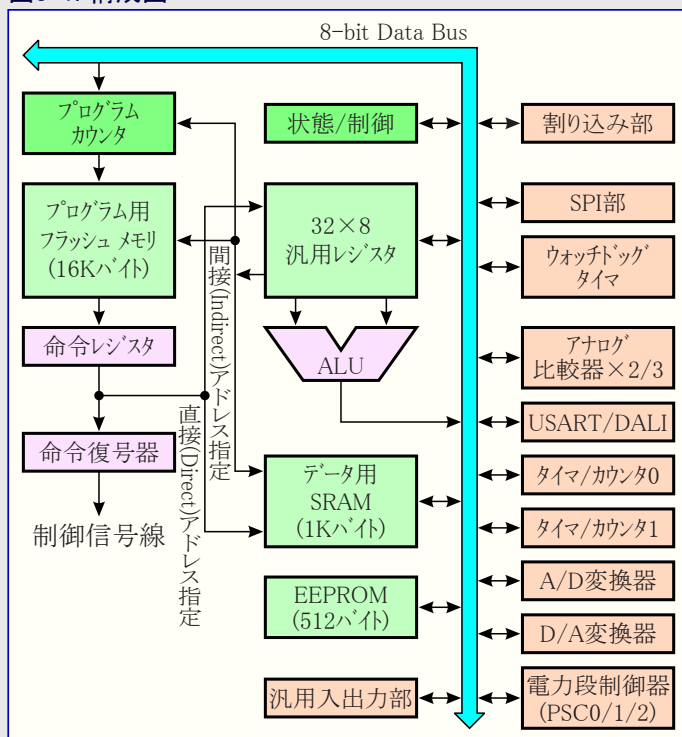
AT90PWM216/316はAVR強化RISC構造の低消費CMOS 8ビットマイクロコントローラです。1周期で実行する強力な命令はMHzあたり1 MIPSにも達し、実行速度対電力消費の最適化が容易に行えます。

3.1. 構成図

AVRコアは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロコントローラに対して10倍以上の単位処理量向上効果があります。

AT90PWM216/316は次の特徴、書き込み中読める能力を持つ16 Kバイトの実装書き換え可能なフラッシュメモリと512バイトのEEPROM、1KバイトのSRAM、19/27本の汎用入出力線、32個の汎用レジスタ、2/3つの電力段階制御器(PSC)、比較動作やPWMを含む柔軟性のある2つのタイマ/カウンタ、DALI動作付きの1つのUSART、設定可能な増幅器を持つ1/2つの差動入力段付きの任意選択差動入力付き8/11チャンネルの10ビットA/D変換器、10ビットD/A変換器、設定可能な内部発振器付きウォッチドッグタイマ、SPI直列ポート、内蔵デバッグシステム、ソフトウェアで選べる4つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPIポート、割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで他の全機能を禁止(無効に)します。A/D変換雑音低減動作ではA/D変換中の切り替え雑音を最小とするために、A/D変換器を除く全ての周辺機能とCPUが停止します。スタンバイ動作ではクリスタル発振子/セラミック振動子用発振器が動作し、一方デバイスのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。

図3-1. 構成図



本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なプログラム用フラッシュメモリは規定の不揮発性メモリ書き込み器、SPI直列インターフェース経由、AVRコア上ポートプログラムの実行によって再書き込みができます。ポートプログラムは応用領域フラッシュメモリ内の応用プログラムの読み込みでどのインターフェースでも使えます。ポート領域フラッシュメモリ内のプログラムは真の「書き込み中の読み出し可」動作により、応用領域フラッシュメモリ更新中も実行を継続します。モニタチップ上の実装書き換え可能なフラッシュメモリと、8ビットRISC型CPUの組み合わせによるAtmel AT90PWM216/316は多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

AT90PWM216/316 AVRはCコンパイラ、マクロアセンブラ、デバッガ、シミュレータ、インサーキットエミュレータ、評価キットを含む専用のプログラム及びシステム開発ツールで支援されます。

注: AT90PWM216デバイスは24ピンSOIC外囲器で利用可能ですが、I/OピンへのD2A(D/A変換器出力)出力を持ちません。

3.2. ピン説明

3.2.1. VCC

デジタル電源ピン。

3.2.2. GND

接地ピン。

3.2.3. PB7～PB0 (ポートB)

ポートBは(ビット毎に選ばれる)内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートB出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。リセット条件が有効になるとき、クロックが動作していなくても、ポートBピンはHi-Zになります。

ポートBは40頁で一覧されるAT90PWM216/316の様々な特殊機能も扱います。

3.2.4. PC7～PC0 (ポートC)

ポートCは(ビット毎に選ばれる)内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートC出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートCピンには吐き出し電流が流れます。リセット条件が有効になるとき、クロックが動作していなくても、ポートCピンはHi-Zになります。

ポートCは24ピン外圍器で利用できません。

ポートCは42頁で一覧されるAT90PWM316の様々な特殊機能も扱います。

3.2.5. PD7～PD0 (ポートD)

ポートDは(ビット毎に選ばれる)内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートD出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートDピンには吐き出し電流が流れます。リセット条件が有効になるとき、クロックが動作していなくても、ポートDピンはHi-Zになります。

ポートDは44頁で一覧されるAT90PWM216/316の様々な特殊機能も扱います。

3.2.6. PE2～PE0 (ポートE), RESET/XTAL1/XTAL2

ポートEは(ビット毎に選ばれる)内蔵プルアップ抵抗付きの3ビットの双方向入出力ポートです。ポートE出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートEピンには吐き出し電流が流れます。リセット条件が有効になるとき、クロックが動作していなくても、ポートEピンはHi-Zになります。

RSTDISBLヒューズがプログラム(0)されると、PE0はI/Oピンとして使われます。PE0の電気的特性がポートEの他のピンのそれらと異なることに注意してください。

RSTDISBLヒューズが非プログラム(1)の場合、PE0はリセット入力として使われます。クロックが動作していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は26頁の表8-1.で与えられます。より短いパルスはリセットの生成が保証されません。

クロック選択ヒューズ設定に依存して、PE1は発振器反転増幅器への入力と内部クロック操作回路への入力として使えます。

クロック選択ヒューズ設定に依存して、PE2は発振器反転増幅器からの出力として使えます。

ポートEの様々な特殊機能は46頁の「ポートEの交換機能」と16頁の「クロックシステムとその配給」で詳しく述べられます。

3.2.7. AVCC

AVCCはADC入力とA/D変換器用供給電圧(電源)ピンです。例えばA/D変換が使われなくても、外部的にVCCへ接続されるべきです。A/D変換が使われる場合、低域通過濾波器を通してVCCに接続されるべきです。

3.2.8. AREF

AREFはA/D変換器用アナログ基準(電圧)ピンです。

3.3. コード例について

この文書はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ってデバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

これらのコード例はアセンブルまたはコンパイルに先立ってデバイス定義ファイルがインクルードされることが前提です。拡張I/O領域に配置したI/Oレジスタに対し、IN, OUT, SBIS, SBIC, CBI, SBI命令は拡張I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的にはSBRS, SBRC, SBR, CBR命令と組み合わせたLDS, STS命令です。

4. AVR CPU コア

4.1. 序説

ここでは一般的なAVRコア構造について説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

4.2. 構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバート構造を使います。プログラムメモリ内の命令は、単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの32個の8ビット長汎用レジスタを含みます。これは1クロック周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用の3つの16ビット長間接アドレスポインタ用レジスタとして使われます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数表参照用アドレスポインタとしても使えます。これら16ビット長付加機能レジスタはX、Y、Zレジスタで、本章内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するために、ステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定できます。AVR命令の多くは16ビット語(ワード)形式です。全てのプログラムメモリのアドレスは(**訳注**:定数のみを除き)16または32ビット長命令を含みます。

プログラム用フラッシュメモリ空間はブートプログラム領域と応用プログラム領域の2つに分けられます。どちらの領域にも書き込み禁止や読み書き防止用の専用施錠ビットがあります。応用フラッシュメモリ領域内に書き込むSPM命令はブートプログラム領域内に属さ(存在し)なければなりません。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。全てのユーザープログラムはリセット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される5つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

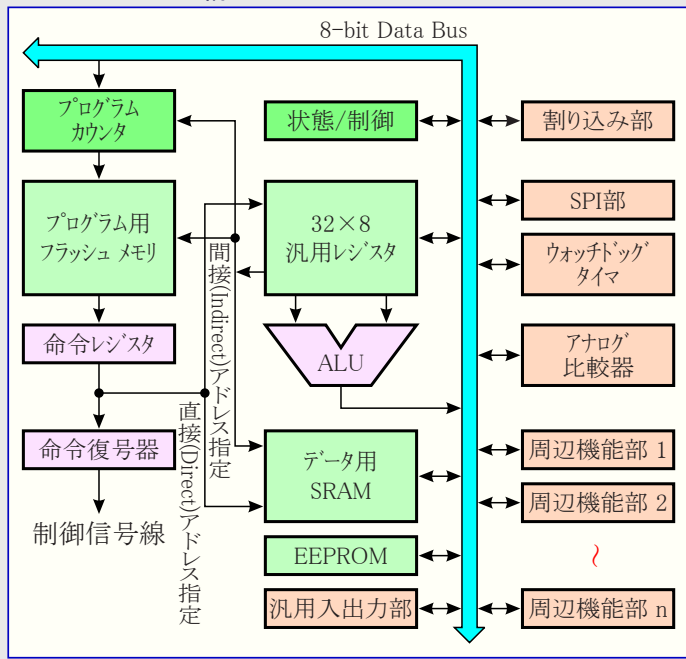
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(I)ビットがあります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタ、SPI、他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20～\$5Fとしてアクセスできます。加えてAT90PWM216/316にはST/STS/STDとLD/LDS/LDD命令だけ使えるSRAM内の\$60～\$FFに拡張I/O空間があります。

4.3. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタに直接接続され動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する、乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「**命令要約**」章をご覧ください。

図4-1. AVR MCU構造



4.4. SREG – ステータスレジスタ (Status Register)

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータスレジスタは「**命令一式手引書**」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはソフトウェアによって扱われなければなりません。

AVRのステータスレジスタ(SREG)は次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるために設定(1)されなければなりません。その時の個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するために、**RETI**命令によって設定(1)されます。Iビットは「**命令一式手引書**」で記述されるように**SEI**や**CLI**命令で応用(プログラム)によって設定(1)や解除(0)もできます。

• ビット6 – T: ビット変数 (Bit Copy Storage)

ビット複写命令、**BLD**(Bit LoaD)と**BST**(Bit STore)は操作したビットの転送元または転送先として、このTビットを使います。レジスタファイルのレジスタからのビットは**BST**命令によってTに複写でき、Tのビットは**BLD**命令によってレジスタファイルのレジスタ内のビットに複写できます。

• ビット5 – H: ハーフキャリー フラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「**命令要約**」記述をご覧ください。

• ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については「**命令要約**」記述をご覧ください。

• ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「**命令要約**」記述をご覧ください。

• ビット2 – N: 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「**命令要約**」記述をご覧ください。

• ビット1 – Z: ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「**命令要約**」記述をご覧ください。

• ビット0 – C: キャリーフラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(または borrow)を示します。詳細情報については「**命令要約**」記述をご覧ください。

4.5. 汎用レジスタ ファイル

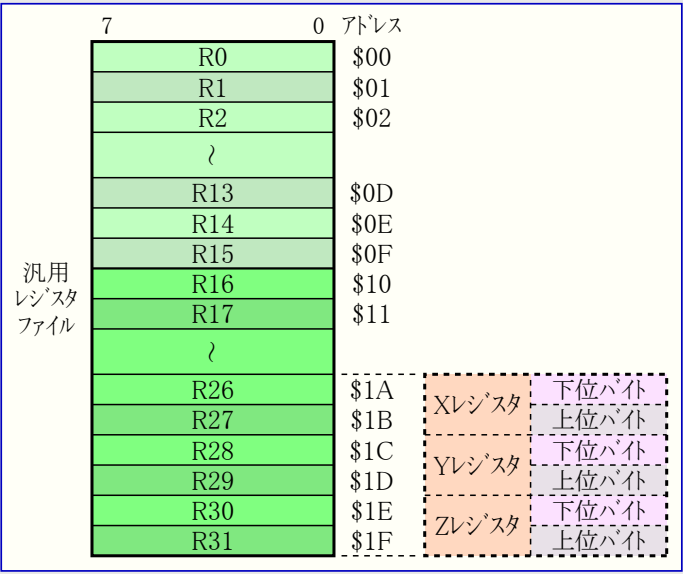
このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

図4-2.はCPU内の32個の汎用作業レジスタの構造を示します。レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一周期命令です。

図4-2.で示されるように各レジスタは使用者データ空間の最初の32位置へ直接的に配置することで、それらはデータ メモリ アドレスも割り当てられます。例えば物理的にSRAM位置として実装されていなくてもX,Y,Zレジスタ(ポインタ)がレジスタ ファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図4-2. AVR CPU 汎用レジスタ構成図



4.5.1. Xレジスタ, Yレジスタ, Zレジスタ

R26～R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビット アドレス ポインタです。3つのX,Y,Z間接アドレスレジスタは図4-3.で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「命令一式手引書」をご覧ください)。

図4-3. X,Y,Zレジスタ構成図

X レジスタ	15	XH (上位)		XL (下位)	0
	7	R27 (\$1B)	0	R26 (\$1A)	0
Y レジスタ	15	YH (上位)		YL (下位)	0
	7	R29 (\$1D)	0	R28 (\$1C)	0
Z レジスタ	15	ZH (上位)		ZL (下位)	0
	7	R31 (\$1F)	0	R30 (\$1E)	0

4.6. SPH,SPL (SP) – スタック ポインタ (Stack Pointer)

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使われます。スタック ポインタレジスタは常にこのスタックの先頭(訳注:次に使われるべき位置)を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへのPUSH命令はスタック ポインタを減少するという意味です。

スタック ポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立ってプログラムによって定義されなければなりません。スタック ポインタは\$100以上を指示するように設定されなければなりません。スタック ポインタはPUSH命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタック ポインタはPOP命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰(RET)命令や割り込みからの復帰(RETI)命令でアドレスがスタックから引き出されると+2されます。

AVRのスタック ポインタはI/O空間内の2つの8ビット レジスタとして実装されます。実際に使われるビット数は(そのデバイス)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(デバイス)のデータ空間もあることに注意してください。その場合、SPHレジスタは存在しません。

ビット	15	14	13	12	11	10	9	8	SPH
\$3E (\$5E)	–	–	–	–	–	SP10	SP9	SP8	
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	SPL
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

4.7. 命令実行タイミング

本項は命令実行の一般的なアクセス タイミング の概念を記述します。AVR CPUはチップ(デバイス)用に選んだクロック元から直接的に生成したCPUクロック(clkCPU)によって駆動されます。内部クロック分周は使われません。

図4-4.はハーバード構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1 MIPSを達成するための基本的なパイプラインの概念です。

図4-5.はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図4-4. 命令の取得と実行の並列動作

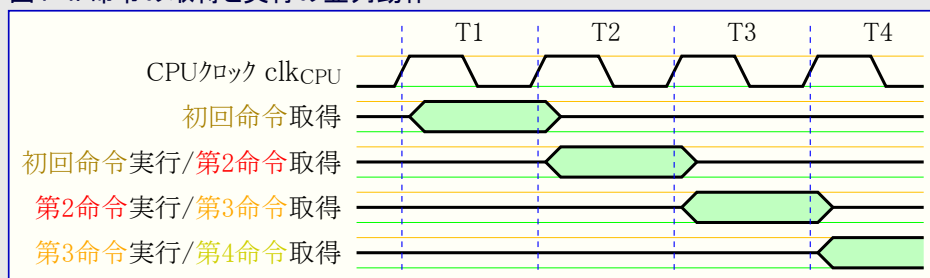
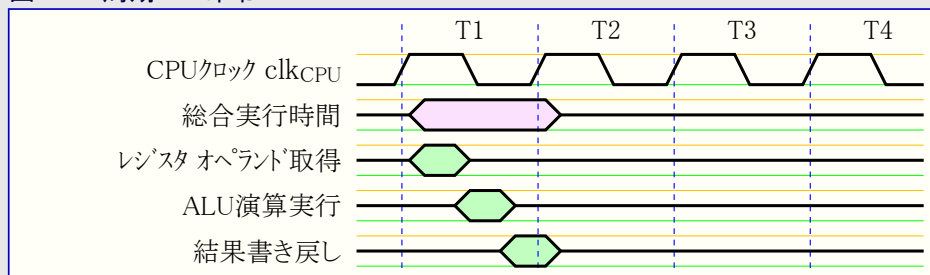


図4-5. 1周期ALU命令



4.8. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセット ベクタ各々はプログラム メモリ空間内に独立したプログラム ベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない。個別の許可ビットを割り当てられます。BLB02またはBLB12 ポート施錠ビットがプログラム(0)されると、プログラム カウンタ値によっては割り込みが自動的に禁止されるかもしれません。この特質はソフトウェア保護を改善します。詳細については168頁の「メモリ フログミング」章をご覧ください。

既定でのプログラム メモリ空間の最下位アドレスはリセットと割り込みベクタとして定義されます。ベクタの完全な一覧は32頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で次が電力段階制御器2捕獲発生(PSC2 CAPT)です。割り込みベクタはMCU制御レジスタ(MCUCR)の割り込みベクタ選択(IVSEL)ビットの設定(1)によってブートフラッシュ領域先頭へ移動できます。より多くの情報については32頁の「割り込み」を参照してください。リセット ベクタもBOOT RSTヒューズのプログラム(0)によってブートフラッシュ領域先頭へ移動できます。159頁の「ブート ロード支援 - 書き込み中読み出し可能な自己フログミング」をご覧ください。

4.8.1. 割り込みの動き

割り込みが起こると全割り込み許可(I)ビットが解除(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可(I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可(I)ビットは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラム カウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除(0)します。割り込み要求フラグは解除(0)されるべきフラグのビット位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ビットが解除(0)されている間に割り込み条件が起こると、割り込み要求フラグが設定(1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ビットが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定(1)されて全割り込み許可(I)ビットが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の回復も自動的に行われなことに注意してください。これはソフトウェアによって扱われなければなりません。

割り込みを禁止するために**CLI**命令を使うと、割り込みは直ちに禁止されます。**CLI**命令と同時に割り込みが起こっても、**CLI**命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使えるかを示します。

アセンブリ言語プログラム例

```
IN      R16, SREG          ;ステータスレジスタを保存
CLI     ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE        ;EEPROM主書き込み許可
SBI     EECR, EEPE         ;EEPROM書き込み開始
OUT     SREG, R16          ;ステータスレジスタを復帰
```

C言語プログラム例

```
char cSREG;                /* ステータスレジスタ保存変数定義 */
cSREG = SREG;              /* ステータスレジスタを保存 */
_cli();                    /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);       /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);        /* EEPROM書き込み開始 */
SREG = cSREG;              /* ステータスレジスタを復帰 */
```

割り込みを許可するために**SEI**命令を使うと、次例で示されるようにどの保留割り込みにも先立って**SEI**命令の次の命令が実行されます。

アセンブリ言語プログラム例

```
SEI     ;全割り込み許可
SLEEP   ;休止形態移行 (割り込み待ち)
```

C言語プログラム例

```
_sei();                    /* 全割り込み許可 */
_sleep();                  /* 休止形態移行 (割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

4.8.2. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対する**プログラム ベクタ アドレス**が実行されます。この4クロック周期時間中にプログラム カウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は3クロック周期要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。この増加は選んだ休止形態からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラム カウンタ(PC:2バイト)がスタックから取り戻され(ポップ)、スタック ポインタは増加され(+2)、**ステータス レジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されます。

5. メモリ

この項はAT90PWM216/316の各種メモリを記述します。AVR構造にはプログラムメモリ空間とデータメモリ空間の2つの主なメモリ空間があります。加えて、AT90PWM216/316はデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

5.1. 実装書き換え可能なプログラム用フラッシュメモリ

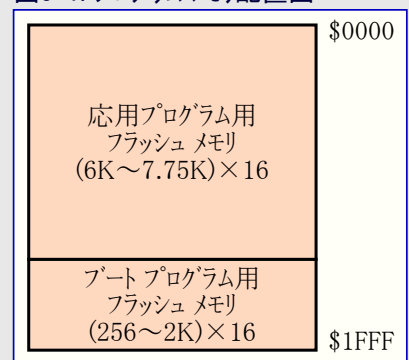
AT90PWM216/316はプログラム保存用に実装書き換え可能な16Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは8K×16ビットとして構成されます。ソフトウェア保護のため、フラッシュプログラムメモリ空間はブートプログラム領域と応用プログラム領域の2つに分けられます。

フラッシュメモリは最低10,000回の消去/書き込み回数の耐久性があります。AT90PWM216/316のプログラムカウンタ(PC)は13ビット幅、故に8Kプログラムメモリ位置のアドレス指定です。ブートプログラム領域の操作とソフトウェア保護用関連ブート施錠ビットは、159頁の「ブートローダ支援 - 書き込み中読み出し可能な自己プログラミング」の詳細で記述されます。168頁の「メモリプログラミング」はSPI(直列)または並列プログラミング動作でのフラッシュメモリプログラミングの詳細な記述を含みます。

定数表は全てのプログラムメモリアドレス空間に配置できます。(LPM命令記述参照)

命令の取得と実行のタイミング図は9頁の「命令実行タイミング」で示されます。

図5-1. プログラムメモリ配置図



5.2. データ用SRAMメモリ

図5-2は、AT90PWM216/316のSRAMメモリ構成方法を示します。

AT90PWM216/316はINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAM(データ空間)内\$60～\$FFの拡張I/O空間に対してLD/LDS/LDDとST/STS/STD命令だけが使えます。

下位768データメモリ位置はレジスタファイル、I/Oメモリ、拡張I/Oメモリ、データ用内蔵SRAMに充てます。先頭の32位置はレジスタファイル、次の64位置は標準I/Oメモリ、その次の160位置は拡張I/Oメモリ、そして次の1024位置はデータ用内蔵SRAMに充てます。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定種別でデータメモリ(空間)を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われる)X,Y,Zアドレスレジスタは減少(-1)または増加(+1)されます。

AT90PWM216/316の32個の汎用レジスタ、64個のI/Oレジスタ、160個の拡張I/Oレジスタ、1024バイトのデータ用内蔵SRAMはこれら全てのアドレス指定種別を通して全部アクセスできます。レジスタファイルは8頁の「汎用レジスタファイル」で記述されます。

図5-2. データメモリ配置図

		アドレス
レジスタファイル (32×8)	R0 ～ R31	\$0000 ～ \$001F
I/Oレジスタ (64×8)	\$00 ～ \$3F	\$0020 ～ \$005F
拡張I/Oレジスタ (160×8)	\$0060 ～ \$00FF	\$0060 ～ \$00FF
内蔵SRAM (1K×8)	\$0100 ～ \$04FF	\$0100 ～ \$04FF

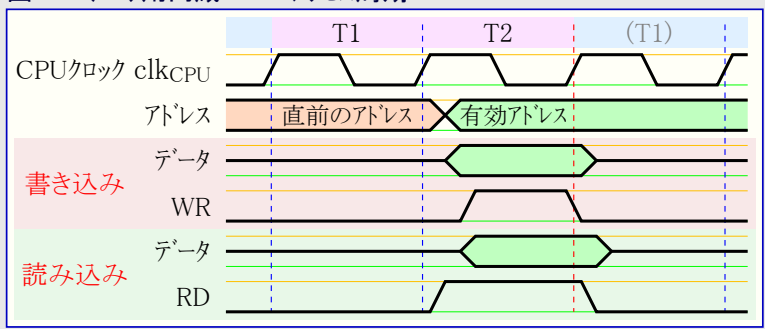
注: 赤字はI/Oアドレス

5.2.1. データ用SRAMメモリアクセスタイミング

この項は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図5-3で記載されるように2 clkCPU周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続すす(T1)は次の命令のT1です。

図5-3. データ用内蔵SRAMアクセス周期



5.3. データ用EEPROMメモリ

AT90PWM216/316は512バイトのデータEEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降のEEPROMアドレスレジスタ、EEPROMデータレジスタ、EEPROM制御レジスタで詳細に記述されます。

SPI(直列)と並列でのEEPROMプログラミングの詳細については179頁の「直列プログラミング」と171頁の「並列プログラミング」をご覧ください。

5.3.1. EEPROMアクセス

EEPROMアクセスレジスタはI/O空間でアクセス可能です。

EEPROMの書き込み(※注:原文はアクセス)時間は13頁の表5-1.で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは次バイトが書ける時を検知してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。嚴重に濾波した電源では電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については14頁の「EEPROMデータ化けの防止」をご覧ください。

予期せぬEEPROM書き込みを防止するため、特別な書き込み手順に従わなければなりません。この詳細については「EEPROM制御レジスタ」の記述を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

5.3.2. EEARH,EEARL (EEAR) – EEPROMアドレスレジスタ (EEPROM Address Register)

ビット	15	14	13	12	11	10	9	8	
\$22 (\$42)	–	–	–	–	–	–	–	EEAR8	EEARH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	不定	
ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

- ビット15~9 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット8~0 – EEAR8~0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEARHとEEARL)は512バイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータバイトは0~511間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれねばなりません。

5.3.3. EEDR – EEPROMデータレジスタ (EEPROM Data Register)

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 – EEDR7~0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

5.3.4. EECR – EEPROM制御レジスタ (EEPROM Control Register)

ビット	7	6	5	4	3	2	1	0	
\$1F (\$3F)	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

- ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

•ビット5,4 – EEPM1,0 : EEPROMプログラミング種別 (EEPROM Programing Mode Bits)

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可(EEPE)書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作(旧値消去と新値書き込み)、または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする(書く)ことが可能です。各動作に対するプログラミング時間は表5-1.で示されます。EEPEが設定(1)されている間はEEPMMnへのどの書き込みも無視されます。リセット中、EEPMMnビットはEEPROMがプログラミング作業中を除いて'00'にリセットされます。

表5-1. EEPROMプログラミング種別

EEPMM1	EEPMM0	プログラミング時間	動作
0	0	3.4ms	1操作での消去と書き込み(非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	–	将来使用に予約

•ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EERIEの1書き込みはステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性メモリ(フラッシュメモリとEEPROM)がプログラミングの準備可ならば継続する割り込みを発生します。

•ビット2 – EEMPE : EEPROM主プログラム許可 (EEPROM Master Program Enable)

EEMPEビットはEEPROMプログラム許可(EEPE)ビットの1書き込みが有効か無効かどうかを決めます。EEMPEが設定(1)されると、4クロック周期内のEEPE設定(1)は選んだアドレスのEEPROMをプログラムします。EEMPEが0なら、EEPE設定(1)は無効です。EEMPEがソフトウェアによって設定(1)されてしまうと、4クロック周期後にハードウェアがこのビットを0に解除します。EEPROM書き込み手順については次のEEPE記述をご覧ください。

•ビット1 – EEPE : EEPROMプログラム許可 (EEPROM Program Enable)

EEPROMプログラム(書き込み)許可信号(EEPE)はEEPROMへの書き込みスローブです。アドレスとデータが正しく事前設定されると、EEPROMへその値を書くためにEEPEビットは1を書かれなければなりません。論理1がEEPEへ書かれる前にEEPROM主プログラム許可(EEMPE)ビットは1を書かれなければならず、さもなければEEPROM書き込みは行われません。EEPROMを書くとき、次の手順に従うべきです(手順3.と4.の順番は重要ではありません)。

1. EEPROMプログラム許可(EEPE)ビットが0になるまで待ちます。
2. SPM制御/状態レジスタ(SPMCSR)のSPM操作許可(SPMEN)ビットが0になるまで待ちます。
3. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEAR)に書きます。(任意、省略可)
4. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
5. EEPROM制御レジスタ(EECR)のEEPROM主プログラム許可(EEMPE)ビットに1を、EEPROMプログラム許可(EEPE)ビットに0を同時に書きます。
6. EEMPEビット設定後4クロック周期内にEEPROMプログラム許可(EEPE)ビットへ論理1を書きます。

CPUがフラッシュメモリ書き込み中、EEPROMはプログラム(書き込み)ができません。ソフトウェアは新規EEPROM書き込みを始める前にフラッシュメモリのプログラミングが完了されていることを検査しなければなりません。2.はソフトウェアがフラッシュメモリをプログラム(書き込み)することをCPUに許すブートローダを含む場合だけ関係します。フラッシュメモリが決してCPUによって更新されないなら、2.は省略できます。ブートプログラミングについての詳細に関しては159頁の「ブートローダ支援 – 書き込み中読み出し可能な自己プログラミング」をご覧ください。

警告: 手順5.と6.間の割り込みはEEPROM主プログラム許可が時間超過するため、書き込み周期失敗になります。EEPROMをアクセスする割り込みルーチンが他のEEPROMアクセスを中断し、EEARかEEDRが変更されると、中断したEEPROMアクセスを失敗させます。これらの問題を避けるため、全ての手順中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み(プログラミング)アクセス時間が経過されると、EEPROMプログラム許可(EEPE)ビットはハードウェアによって解除(0)されます。使用者ソフトウェアは次バイトを書く前にこのビットをポーリングし、0を待つことができます。EEPEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

•ビット0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みスローブです。EEARに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは1を書かれなければなりません。EEPROM読み出しアクセスは(その)1命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。

使用者は読み込み操作を始める前にEEPEビットをポーリングすべきです。書き込み(プログラム)操作実行中の場合、EEPROMアドレスレジスタ(EEAR)の変更もEEPROM読み込みもできません。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使われます。表5-2.はCPUからのEEPROMアクセスに対する代表的な書き込み時間を示します。

表5-2. EEPROM書き込み時間

項目	校正付き内蔵RC発振器周期数	代表
EEPROM書き込み(CPU)	26,368	3.3ms

次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はソフトウェア内にフラッシュブートローダが無い前提でもあります。そのようなコードが存在する場合、EEPROM書き込み関数は何れかが実行するSPM命令の完了も待たねばなりません。(訳注:共通性から次例は補足修正しています。)

アセンブリ言語プログラム例

```
EEPROM_WR:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_WR              ;以前のEEPROMプログラミング完了まで待機
;
             LDI     R19, (0<<EEM1) | (0<<EEM0) ;プログラミング種別値取得(本例は非分離)
             OUT     EECR, R19              ;対応プログラミング種別設定
             OUT     EEARH, R18             ;EEPROMアドレス上位バイト設定
             OUT     EEARL, R17            ;EEPROMアドレス下位バイト設定
             OUT     EEDR, R16             ;EEPROM書き込み値を設定
             SBI     EECR, EEMPE           ;EEPROM主プログラム許可ビット設定
             SBI     EECR, EEPE           ;EEPROMプログラミング開始(プログラム許可ビット設定)
             RET                             ;呼び出し元へ復帰
```

C言語プログラム例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EEM1) | (0<<EEM0);            /* 対応プログラミング種別設定 */
    EEAR = uiAddress;                        /* EEPROMアドレス設定 */
    EEDR = ucData;                          /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                     /* EEPROM主プログラム許可 */
    EECR |= (1<<EEPE);                     /* EEPROMプログラミング開始 */
}
```

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_RD:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_RD              ;以前のEEPROMプログラミング完了まで待機
;
             OUT     EEARH, R18             ;EEPROMアドレス上位バイト設定
             OUT     EEARL, R17            ;EEPROMアドレス下位バイト設定
             SBI     EECR, EERE           ;EEPROM読み出し開始(読み込み許可ビット設定)
             IN      R16, EEDR             ;EEPROM読み出し値を取得
             RET                             ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EEAR = uiAddress;                        /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                     /* EEPROM読み出し開始 */
    return EEDR;                          /* EEPROM読み出し値を取得,復帰 */
}
```

5.3.5. EEPROMデータ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデータ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

EEPROMデータ化けは次の推奨設計によって容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリセット保護回路が使えます。書き込み動作実行中にリセットが起こると、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

5.4. I/O メモリ (レジスタ)

AT90PWM216/316のI/O空間定義は203頁の「レジスタ要約」で示されます。

AT90PWM216/316の全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲\$00～\$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビットアクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「命令要約」章を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。LD命令とST命令を使い、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに\$20が加算されなければなりません。AT90PWM216/316はINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAM(データ空間)内\$60～\$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリアドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は他の多くのAVRの様ではなく、指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに注意してください。CBIとSBI命令は(I/Oアドレス)\$00～\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

5.5. 汎用I/Oレジスタ

AT90PWM216/316は4つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使え、特に全体変数や状態フラグの格納に有用です。(I/O)アドレス範囲\$00～\$1Fの汎用I/OレジスタはSBI,CBI,SBIS,SBIC命令の使用で直接ビットアクセスが可能です。

5.5.1. GPIOR3 – 汎用I/Oレジスタ3 (General Purpose I/O Register 3)

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	(MSB)							(LSB)	GPIOR3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

5.5.2. GPIOR2 – 汎用I/Oレジスタ2 (General Purpose I/O Register 2)

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	(MSB)							(LSB)	GPIOR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

5.5.3. GPIOR1 – 汎用I/Oレジスタ1 (General Purpose I/O Register 1)

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	(MSB)							(LSB)	GPIOR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

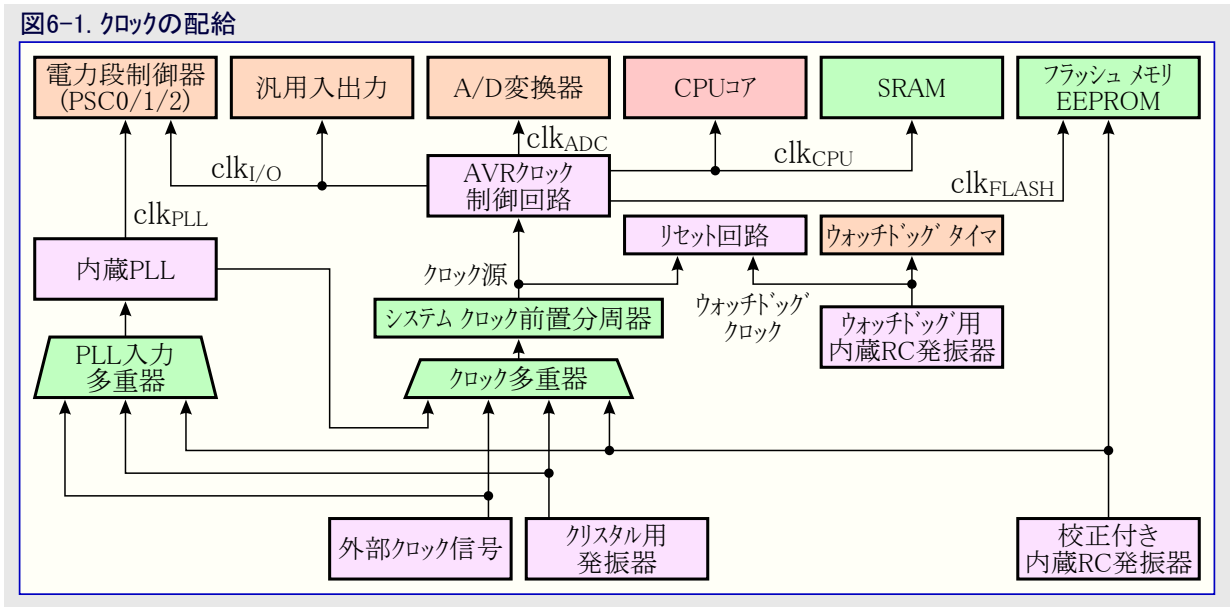
5.5.4. GPIOR0 – 汎用I/Oレジスタ0 (General Purpose I/O Register 0)

ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	(MSB)							(LSB)	GPIOR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6. システム クロック

6.1. クロック系統とその配給

図6-1はAVR内の主要なクロック系統とその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、22頁の「電力管理と休止形態」で記述される各種休止形態の使用により、使われていない部分のクロックを停止できます。クロック系統は以下で詳述されます。



6.1.1. CPU クロック – clkCPU

CPUクロックはAVRコアの動作と関係する系統部分に配給されます。このような部分の例は汎用レジスタファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

6.1.2. I/O クロック – clkI/O

I/Oクロックはタイマ/カウンタ、SPI、USARTのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えI/Oクロックが停止されても検出されることを、このような割り込みに許す非同期論理回路によって検出されることに注意してください。

6.1.3. フラッシュ クロック – clkFLASH

フラッシュクロックはフラッシュメモリインターフェースの動作を制御します。このフラッシュクロックは常にCPUクロックと同時に活動します。

6.1.4. PLLクロック – clkPLL

PLLクロックは64/32MHzから直接的にクロック駆動されるのを電力段階制御器(PSC)に許します。16MHzクロックもCPU用に分周されます。

6.1.5. A/D変換クロック – clkADC

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

6.2. クロック元

本デバイスには表6-1で示されるようにフラッシュヒューズビットによって選択可能な後続のクロック元選択があります。選んだクロック元からのクロックはAVRクロック発生器への入力で、適切な単位部へ配給されます。

各クロック選択に対する様々な選択は次項で得られます。CPUがパワーダウンから起動する時、選んだクロック元は命令実行開始前に安定な発振器動作を保証する起動時間に使われます。CPUがリセットから始まる時、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器はこの起動時間の実時間部のタイミングに使われます。各計時完了に使われるウォッチドッグ(WDT)発振器の周期数は表6-2で示されます。198頁の「ウォッチドッグ発振器周波数対電源電圧」で示されるようにウォッチドッグ発振器の周波数は電圧に依存します。

表6-1. クロック種別選択

システム クロック	PLL入力	CKSEL3~0
外部クリスタル/セラミック発振子	校正付き内蔵RC発振器	1111~1000
(予約)	(予約)	011x
4分周PLL出力	外部クリスタル/セラミック発振子	0101
外部クリスタル/セラミック発振子	外部クリスタル/セラミック発振子	0100
4分周PLL出力 (16MHz)	校正付き内蔵RC発振器	0011
校正付き内蔵RC発振器	校正付き内蔵RC発振器	0010
4分周PLL出力	外部クロック信号	0001
外部クロック信号	校正付き内蔵RC発振器	0000

注: 1=非プログラム、0=プログラム

表6-2. WDT発振器の代表計時完了値、周期数

VCC=3.0V	VCC=5.0V	周期数
4.3ms	4.1ms	512
69ms	65ms	8K (8192)

6.3. 既定のクロック元

本デバイスはCKSEL=0010, SUT=10, CKDIV8=プログラム(0)で出荷されます。既定のクロック元設定は最長起動時間の(8.0MHz)の校正付き内蔵RC発振器で、8分周の初期システムクロックです。この既定設定は全ての使用者が実装または並列書き込み器を使い、それらを希望したクロック元設定にできることを保証します。

6.4. クリスタル用低電力発振器

XTAL1とXTAL2は図6-2.で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使えます。

この発振器はXTAL2出力上の電圧振幅を減少した低電力発振器です。これは最低消費電力を与えますが、他のクロック入力を駆動する能力はありません。

C1とC2はクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使うクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁雑音に依存します。クリスタル発振子使用に対するコンデンサ選択について初期の指針のいくつかは表6-3.で与えられます。セラミック振動子については製造業者によって与えられたコンデンサ値が使われるべきです。

低電力発振器は示された周波数範囲で各々最適化された3つの異なる種別で動作できます。この動作種別は表6-3.で示されるようにCKSEL3~1ヒューズによって選ばれます。

CKSEL0ヒューズはSUT1,0ヒューズと共に表6-4.で示されるように起動時間を選びます。

図6-2. クリスタル発振子接続図

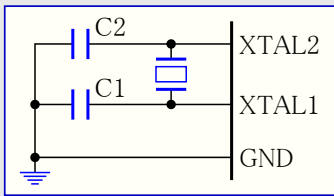


表6-3. クリスタル用低電力発振器動作種別

CKSEL3~1	周波数範囲	推奨C1,2容量
100 (注1)	0.4~0.9MHz	-
101	0.9~3.0MHz	12~22pF
110	3.0~8.0MHz	12~22pF
111	8.0~16MHz	12~22pF

注: 周波数範囲は暫定値で実際の値はTBDです。

注1: 本選択はクリスタル発振子ではなく、セラミック振動子でのみ使われるべきです。

表6-4. クリスタル発振子/セラミック振動子用低電力発振器起動遅延時間選択表

CKSEL0	SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0	0 0	258 × CK (注1)	14 × CK + 4.1ms	外部セラミック振動子、高速上昇電源
	0 1	258 × CK (注1)	14 × CK + 65ms	外部セラミック振動子、低速上昇電源
	1 0	1K × CK (注2)	14 × CK	外部セラミック振動子、低電圧検出(BOD)リセット許可
	1 1	1K × CK (注2)	14 × CK + 4.1ms	外部セラミック振動子、高速上昇電源
1	0 0	1K × CK (注2)	14 × CK + 65ms	外部セラミック振動子、低速上昇電源
	0 1	16K × CK	14 × CK	外部クリスタル発振子、低電圧検出(BOD)リセット許可
	1 0	16K × CK	14 × CK + 4.1ms	外部クリスタル発振子、高速上昇電源
	1 1	16K × CK	14 × CK + 65ms	外部クリスタル発振子、低速上昇電源

注1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。これらの選択はクリスタル発振子用ではありません。

注2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性を保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使えます。

6.5. 校正付き内蔵RC発振器

既定による校正された内蔵RC発振器は概ね8.0MHzのクロックを供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については182頁の表25-1.と198頁の「内部発振器周波数」をご覧ください。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。より多くの詳細については21頁の「システム クロック前置分周器」をご覧ください。

このクロックは表6-5.で示されるようにCKSELヒューズのプログラミングによってシステムクロックとして選べます。選んだなら、外部部品なしで動作します。リセット中、ハードウェアが発振校正(OSCCAL)レジスタに予めプログラムされた校正値バイトを設定し、これによってRC発振器を自動的に校正します。この校正の精度は表25-1.で工場校正として示されます。

ソフトウェアからOSCCALレジスタを変更することによって(発振校正レジスタ(OSCCAL)参照)、工場校正を使うよりも高い精度を得ることができます。この校正の精度は表25-1.で使用者校正として示されます。

この発振器がチップ(システム)クロックとして使われる時にウォッチドッグ発振器は未だウォッチドッグタイマとリセット付加遅延タイマに使われます。予め設定された校正値のより多くの情報については170頁の「校正バイト」項をご覧ください。

この発振器が選ばれると、起動時間は表6-6.で示されるようにSUTヒューズによって決定されます。PE1(XTAL1/OC0B)とPE2(XTAL2/ADC0)は標準I/Oピンまたは交換機能ピンのどちらかとして使えます(訳補:共通性から本行追加)。

表6-5. 校正付き内蔵RC発振器動作種別

CKSEL3~0	周波数範囲 (MHz)
0 0 1 0	7.3~8.1

注: デバイスはこの選択で出荷されます。

注: この8MHz周波数がデバイス仕様(VCCに依存)を越える場合、内部周波数を8分周するためにCKDIV8ヒューズをプログラム(0)にできます。

表6-6. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK (注2)	低電圧検出リセット(BOD)許可
0 1	6×CK	14×CK+4.1ms	高速上昇電源
1 0 (注1)	6×CK	14×CK+65ms	低速上昇電源
1 1			(予約)

注1: デバイスはこの選択で出荷されます。

注2: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は14×CK+4.1msに増やされます。

6.5.1. OSCCAL – 発振校正レジスタ (Oscillator Calibration Register)

ビット (\$66)	7	6	5	4	3	2	1	0	
	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

• ビット7~0 – CAL7~0: 発振校正値 (Oscillator Calibration Value) (訳注: 内容を新版対応に変更)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使われます。チップのリセット中、182頁の表25-1.で指定されるように工場で校正された周波数を与える、予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は表25-1.で指定される周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュメモリとEEPROMの書き込みアクセス時間に使われ、これらの書き込み時間はそれに応じて影響されることに注意してください。フラッシュメモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。

CAL7ビットは発振器に関する操作範囲を決めます。このビットの(0)設定は低周波数範囲になり、(1)設定は高周波数範囲になります。この2つの周波数範囲は重複し、別の言葉では、OSCCAL=\$7F設定はOSCCAL=\$80設定より高い周波数になります。

CAL6~0ビットは選んだ範囲内の周波数調整に使われます。\$00設定はその範囲の最低周波数になり、\$7F設定はその範囲の最高周波数になります。

6.6. PLL

高い精度と周波数のPWM波形を生成するために、電力段制御器(PSC)は高周波数クロック入力が必要です。このクロックはPLLによって生成されます。全てのPWM精度を維持するため、PLLの周波数係数はソフトウェアによって設定されなければなりません。8MHzのシステムクロックでのPLL出力は32MHzまたは64MHzです。

6.6.1. 電力段制御器(PSC)用内部PLL

AT90PWM216/316の内部PLLは公称1MHzから64倍されたクロック周波数を生成します。この1MHzのPLL入力クロック元は1MHzに分周された内蔵RC発振器の出力です。図6-3をご覧ください。

PLLはこのRC発振器に固定化し、発振校正レジスタ(OSCCAL)経由のRC発振器調整は同時に高速周辺機能クロックも調整します。けれども分周したRC発振器が1MHzより高い周波数にされるのが可能でも、高速周辺機能クロックは(最悪の場合)70MHzで飽和し、最高周波数での発振に留まります。この場合のPLLがRC発振器クロックのどれにも固定化されないことに注意されるべきです。

従ってPLLを正しい動作範囲に保持するため、1MHzより高い周波数にOSCCAL補正を行わないことが推奨されます。内部PLLはPLL制御/状態レジスタ(PLLCSR)のPLL許可(PLLE)ビットが設定(1)される時だけ許可されます。PLLCSRのPLL固定化(PLOCK)ビットはPLLが固定化されている時に設定(1)されます。

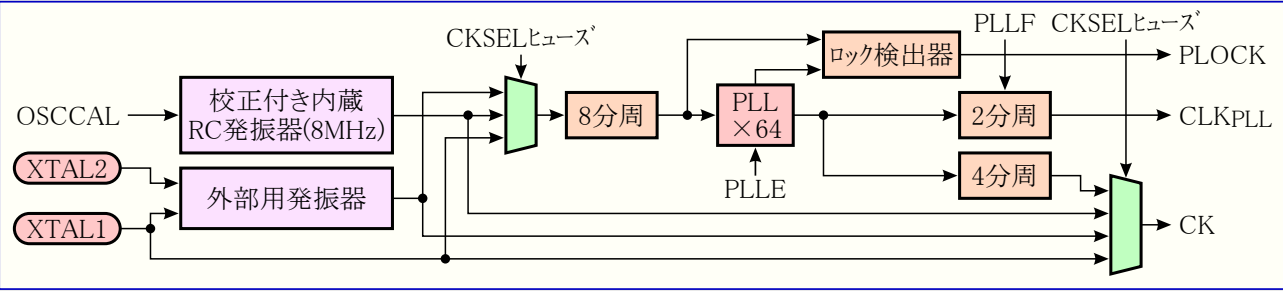
内部1MHz RC発振器とPLLはパワーダウンとスタンバイの休止形態でOFFへ切り替えられます。

表6-7. PLLシステム クロック用起動遅延時間選択表

CKSEL3~0	SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)
0 1 0 1 (外部クリスタル/セラミック発振器)	0 0	1K×CK	14×CK
	0 1	1K×CK	14×CK+4ms
	1 0	16K×CK	14×CK+4ms
	1 1	16K×CK	14×CK+64ms
0 0 1 1 (校正付き内蔵RC発振器)	0 0	1K×CK	14×CK
	0 1	1K×CK	14×CK+4ms
	1 0	1K×CK	14×CK+64ms
	1 1	16K×CK	14×CK
0 0 0 1 (外部クロック信号)	0 0	6×CK (注)	14×CK
	0 1	6×CK (注)	14×CK+4ms
	1 0	6×CK (注)	14×CK+64ms
	1 1	(予約)	

注: この値は正しい再起動を提供せず、このクロック機構でパワーダウン動作を使ってはいけません。

図6-3. 高速周辺機能クロック(CLKPLL)構成図



6.6.2. PLLCSR – PLL制御/状態レジスタ (PLL Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$29 (\$49)	–	–	–	–	–	PLL F	PLL E	PLL OCK	PLLCSR
Read/Write	R	R	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	0/1	0	

- **ビット7～3 – Res : 予約 (Reserved)**
これらのビットは予約されており、常に0として読みます。
- **ビット2 – PLL F : PLL周波数係数 (PLL Factor)**
PLL FビットはPLLの分周係数選択に使われます。PLL Fが設定(1)されると、PLL出力は64MHzです。PLL Fが解除(0)されると、PLL出力は32MHzです。
- **ビット1 – PLL E : PLL許可 (PLL Enable)**
PLLEが設定(1)されると、PLLが起動され、必要とされるなら、PLL基準クロックとして内蔵RC発振器が起動されます。システムクロック元としてPLLが選ばれると、このビットに対する値は常に1です。
- **ビット0 – PLL OCK : PLL固定化検出 (PLL Lock Detector)**
PLOCKビットが設定(1)されると、PLLが基準クロックに固定化され、電力段階制御器(PSC)に対するCLKPLLの許可は安全です。PLLが許可された後、PLLが固定化するのに約100μsかかります。

6.7. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを供給する低電力発振器です。この周波数は3V, 25℃での公称値です。このクロックはウォッチドッグ発振器によって使われます。

6.8. 外部クロック信号

外部クロック元からデバイスを駆動するには、XTAL1が図6-4.で示されるように駆動されるべきです。外部クロックでデバイスを走行するためには、CKSELヒューズが'0000'にプログラム(設定)されなければなりません。

このクロック元が選ばれると、起動時間は表6-9.で示されるようにSUTヒューズによって決定されます。

表6-8. 外部クロック信号動作種別

CKSEL3～0	周波数範囲
0 0 0 0	0～16MHz

図6-4. 外部クロック信号駆動接続図

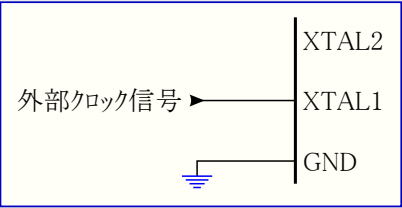


表6-9. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0 0	6 × CK	14 × CK	低電圧検出(BOD)リセット許可
0 1	6 × CK	14 × CK+4.1ms	高速上昇電源
1 0	6 × CK	14 × CK+65ms	低速上昇電源
1 1			(予約)

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック設定から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システムクロック前置分周器が安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使えることに注意してください。詳細については21頁の「システムクロック前置分周器」を参照してください。

6.9. クロック出力緩衝部 (外部クロック出力)

CKOUTヒューズがプログラム(0)されると、システムクロックがCLKOピンに出力されます。この動作はチップのクロックがシステム上の他の回路を駆動する時用です。このヒューズがプログラム(0)されると、I/Oピンの標準動作は無視され、このクロックはリセット中も出力されます。CLKOがクロック出力を扱うとき、校正付き内蔵RC発振器を含むどのクロック元も選べます。システムクロック前置分周器が使われると、CKOUTヒューズがプログラム(0)された時の出力は分周したシステムクロックです。

6.10. システム クロック前置分周器

AT90PWM216/316はシステム クロック前置分周器を持ち、システム クロックは**クロック前置分周レジスタ(CLKPR)**の設定によって分周できます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使えます。これは全クロック種別で使え、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clkCPU、clkFLASH、clkI/O、clkADCは**表6-10**で示された値によって分周されます。

前置分周器設定間を切り替えるとき、システム クロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロック系で不具合が起きないことを保証します。前置分周器として実行するリップル カウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。**CLKPS**値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2~T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

- 1. **クロック分周値変更許可(CLKPCE)ビット**に**1**、CLKPR内の他の全ビットに**0**を書きます。
- 2. (次からの)4設定以内にCLKPCEビットを**0**とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

6.10.1. CLKPR – クロック前置分周レジスタ (Clock Prescale Register)

ビット (\$61)	7	6	5	4	3	2	1	0	
	CLKPCE	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

• **ビット7 – CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)**

CLKPSビットの変更を許可するためにCLKPCEビットは論理**1**を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが**0**が書かれる時だけ更新されます。CLKPCEは書き込み後4クロック設定またはCLKPSビット書き込み時、ハードウェアによって解除(**0**)されます。この制限時間(4クロック設定)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(**0**)も行いません。

• **ビット3~0 – CLKPS3~0 : クロック分周値選択 (Clock Prescaler Select Bits 3~0)**

これらのビットは選んだクロック元と内部システム クロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使われると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は**表6-10**で与えられます。

CKDIV8ヒューズがCLKPSビットの初期値を決めます。CKDIV8が非プログラム(**1**)にされると、CLKPSビットは'**0000**'にリセットされます。CKDIV8がプログラム(**0**)されると、CLKPSビットは起動時に8分周を与える'**0011**'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、この機能が使われるべきです。CKDIV8ヒューズ設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、充分な分周値が選ばれることを保証しなければなりません。本デバイスはCKDIV8ヒューズがプログラム(**0**)で出荷されます。

表6-10. クロック前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1	2	4	8	16	32	64	128	256	(予約)						

7. 電力管理と休止形態

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

4つの休止形態の何れかへ移行するには**休止形態制御レジスタ(SMCR)**の**休止許可(SE)ビット**が論理1を書かれ、**SLEEP**命令が実行されなければなりません。SMCRの**休止種別選択(SM2~0)ビット**は**SLEEP**命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、パワーダウン、スタンバイ)のどれかを選びます。一覧については表7-1をご覧ください。MCUが休止形態中に許可した割り込みが起こると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そして**SLEEP**命令の次の命令から実行を再開します。デバイスが休止から起動するとき、レジスタファイルとSRAMの内容は変えられません。休止形態中にリセットが起こると、MCUは起動し、リセットベクタから実行します。

16ページの図6-1はAT90PWM216/316の各種クロック系統とその配給を示します。この図は適切な休止形態選択を手助けします。

7.0.1. SMCR – 休止形態制御レジスタ (Sleep Mode Control Register)

この休止形態制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	–	–	–	–	SM2	SM1	SM0	SE	SMCR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 – Res : 予約 (Reserved)
これらのビットは予約されており、常に0として読みます。
- ビット3~1 – SM2~0 : 休止種別選択 (Sleep Mode Select Bit 2, 1 and 0)
これらのビットは表7-1で示される利用可能な5つの休止形態の1つを選びます。
- ビット0 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ビットが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、**SLEEP**命令実行直前に休止許可(SE)ビットを設定(1)し、起動後直ちに解除(0)することが推奨されます。

表7-1. 休止形態種別選択

SM2	SM1	SM0	休止形態種別
0	0	0	アイドル動作
0	0	1	A/D変換雑音低減動作
0	1	0	パワーダウン動作
0	1	1	(予約)
1	0	0	(予約)
1	0	1	(予約)
1	1	0	スタンバイ動作 (注)
1	1	1	(予約)

注: スタンバイ動作は外部クリスタル発振子またはセラミック振動子でだけ利用できます。

7.1. アイドル動作

休止種別選択(SM2~0)ビットが'000'を書かれるとき、**SLEEP**命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、SPI、USART、アナログ比較器、A/D変換器、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れやUSARTの送信完了などの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

7.2. A/D変換雑音低減動作

SM2~0ビットが'001'を書かれるとき、**SLEEP**命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、(クロック元が外部(T0またはT1)ならば)タイマ/カウンタ、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的にclkI/O、clkCPU、clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、タイマ/カウンタの割り込み、電力段制御器(PSC)割り込み、SPM/EEPROM操作可割り込み、INT0~3の外部レベル割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

7.3. パワーダウン動作

休止種別選択(SM2～0)ビットが'010'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では外部発振器が停止される一方、外部割り込み、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、INT0～3の外部レベル割り込みだけがMCUを起動できます。この休止形態は基本的に生成した全てのクロックを停止して、非同期部の動作だけを許します。

レベルで起動した割り込みがパワーダウン動作からの復帰に使われる場合、MCUを起動するためには変更したレベルが一定時間保持されなければならないことに注意してください。詳細については49頁の「外部割り込み」を参照してください。

パワーダウン動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをクロックに許します。この起動(遅延)時間は16頁の「クロック元」で記述されるように、リセット付加遅延時間を定義するのと同じCKSELヒューズによって定義されます。

7.4. スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選ばれ、SM2～0ビットが'110'のとき、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は(外部クリスタル用)発振器が走行(動作)を保たれる例外を除いてパワーダウン動作と同じです。デバイスはスタンバイ動作から6クロック周期で起動します。

表7-2. 各休止形態に於ける動作クロック範囲と復帰起動要因

休止種別	動作クロック範囲					発振器	復帰起動要因 (割り込み・リセット)					
	clk CPU	clk FLASH	clk IO	clk ADC	clk PLL	主クロック供給元	INT 0～3	電力段制御器 (PSC)	SPM EEPROM 操作可	A/D 変換完了	ウォッチドッグ	その他 I/O
アイドル			○	○	○	○	○	○	○	○	○	○
A/D変換雑音低減				○	○	○	②	○	○	○	○	
パワーダウン							②	○			○	
スタンバイ(注1)						○	②				○	

注1: クロック元として外部クリスタル発振子またはセラミック振動子選ばれた場合です。

② INT0～3のレベル割り込みだけです。

7.5. 電力削減

電力削減レジスタ(PRR)は消費電力を削減するために個別周辺機能へのクロックを停止する方法を提供します。周辺機能は現状で固定化され、I/Oレジスタは読み込みも書き込みもできません。クロックを停止している時に周辺機能によって使われていた資源は占有されたままなので、その周辺機能は殆どの場合、クロックを停止する前に禁止されるべきです。周辺機能部の起動は電力削減レジスタ(PRR)のビットを解除(0)することによって行い、その周辺機能部を停止前と同じ状態にします。

クロック停止中や停止後、クロック開始中の周辺機能の予測可能な全動作は保証されません。故に電力削減レジスタ(PRR)でクロックを停止前に周辺機能を停止することが推奨されます。

周辺機能部の停止は全体に亘る重要な消費電力の削減のために活動動作とアイドル動作で使えます。その他の休止形態ではクロックが予め停止されます。

7.5.1. PRR – 電力削減レジスタ (Power Reduction Register)

ビット (\$64)	7	6	5	4	3	2	1	0	
	PRPSC2	PRPSC1	PRPSC0	PRTIM1	PRTIM0	PRSPI	PRUSART0	PRADC	PRR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – PRPSC2 : 電力段制御器(PSC)2電力削減 (Power Reduction PSC2)

このビットへの1書き込みはその部分へのクロック停止によって電力段制御器(PSC)2の消費を削減します。PSC2の再起動時、PSC2は正しい動作を保証するために再初期化されるべきです。

• ビット6 – PRPSC1 : 電力段制御器(PSC)1電力削減 (Power Reduction PSC1)

このビットへの1書き込みはその部分へのクロック停止によって電力段制御器(PSC)1の消費を削減します。PSC1の再起動時、PSC1は正しい動作を保証するために再初期化されるべきです。

• ビット5 – PRPSC0 : 電力段制御器(PSC)0電力削減 (Power Reduction PSC0)

このビットへの1書き込みはその部分へのクロック停止によって電力段制御器(PSC)0の消費を削減します。PSC0の再起動時、PSC0は正しい動作を保証するために再初期化されるべきです。

• ビット4 – PRTIM1 : タイマ/カウンタ1電力削減 (Power Reduction Timer/Counter1)

このビットへの1書き込みはタイマ/カウンタ1部の消費を削減します。タイマ/カウンタ1が許可されると、本ビット設定(=1)前のように動作は継続します。

• ビット3 – PRTIM0 : タイマ/カウンタ0電力削減 (Power Reduction Timer/Counter0)

このビットへの1書き込みはタイマ/カウンタ0部の消費を削減します。タイマ/カウンタ1が許可されると、本ビット設定(=1)前のように動作は継続します。

• ビット2 – PRSPI : 直列周辺インターフェース電力削減 (Power Reduction Serial Peripheral Interface)

このビットへの1書き込みはその部分へのクロック停止によって直列周辺インターフェース(SPI)の消費を削減します。SPIの再起動時、SPIは正しい動作を保証するために再初期化されるべきです。

• ビット1 – PRUSART0 : USART電力削減 (Power Reduction USART)

このビットへの1書き込みはその部分へのクロック停止によってUSARTの消費を削減します。USARTの再起動時、USARTは正しい動作を保証するために再初期化されるべきです。

• ビット0 – PRADC : A/D変換器電力削減 (Power Reduction ADC)

このビットへの1書き込みはその部分へのクロック停止によってA/D変換器(ADC)の消費を削減します。A/D変換器は本機能使用前に禁止されなければなりません。

7.6. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するデバイスの機能が可能な限り少なくなるように選ばれるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

7.6.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電するため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については142頁の「[A/D変換器](#)」を参照してください。

7.6.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使われないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他の休止形態でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。アナログ比較器設定法の詳細については138頁の「[アナログ比較器](#)」を参照してください。

7.6.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODLEVELヒューズによって許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については27頁の「[低電圧検出 \(BOD\)](#)」を参照してください。

7.6.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、アナログ比較器、A/D変換器によって必要とされる時に許可されます。これら単位部が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。起動時間の詳細については28頁の「[内部基準電圧](#)」を参照してください。

7.6.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については29頁の「[ウォッチドッグ タイマ](#)」を参照してください。

7.6.6. ポートピン

休止動作へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック(clk_{I/O})とA/D変換クロック(clk_{ADC})の両方が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については38頁の「[デジタル入力許可と休止形態](#)」を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は活動動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ(DIDR0とDIDR1)の書き込みによって禁止できます。詳細については141頁と151頁の「[DIDR0 – デジタル入力禁止レジスタ0](#)」、「[DIDR1 – デジタル入力禁止レジスタ1](#)」を参照してください。

7.6.7. 内蔵デバッグ機能 (dW)

内蔵デバッグ機能がDWENヒューズによって許可され、チップが休止形態へ移行すると、主クロック元は許可に留まり、従って常に電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。

8. システム制御とリセット

8.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きっとリセット処理ルーチンへのJMP(絶対分岐)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードを配置できます。これはリセットベクタが応用領域の一方、割り込みベクタがフート領域の場合やその逆も同様です。図9-1.の回路構成図はリセット論理回路を示します。表8-1.はリセット回路の電気的特性を定義します。

AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間はSUTヒューズとCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は16頁の「クロック元」で示されます。

8.2. リセット元

AT90PWM216/316には次の4つのリセット元があります。

- 電源ONリセット 供給電圧が電源ONリセット閾値電圧(V_{POT})以下でMCUがリセットされます。
- 外部リセット RESETピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- ウォッチドッグリセット ... ウォッチドッグシステムリセット動作が許可され、ウォッチドッグタイマが終了すると、MCUがリセットされます。
- 低電圧リセット 低電圧検出が許可され、供給電圧(V_{CC})が低電圧検出電圧(V_{BOT})以下でMCUがリセットされます。

図8-1. リセット回路構成

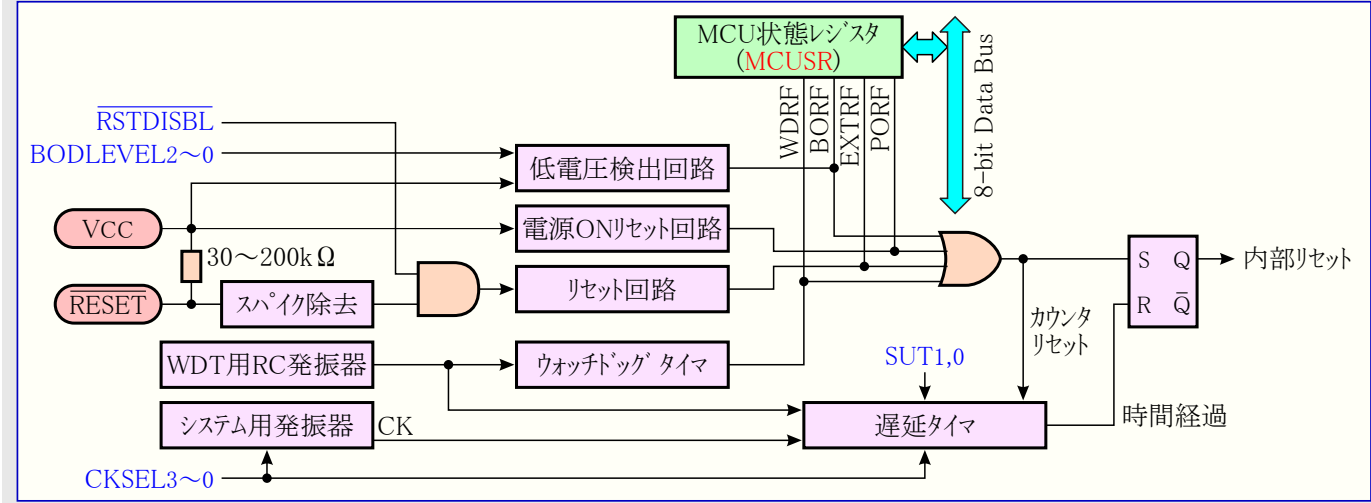


表8-1. リセット電気的特性

シンボル	項目	条件	最小	代表	最大	単位
V _{POT}	上昇時電源ONリセット閾値電圧		-	1.4	2.3	V
	下降時電源ONリセット閾値電圧 (注1)		-	1.3	2.3	
V _{RST}	RESETピン閾値電圧		0.2V _{CC}		0.85V _{CC}	
t _{RST}	RESETピンでの最小パルス幅		400			ns
V _{POR}	内部電源ONリセット信号を	V _{CC} 開始電圧	-0.05	GND	+0.05	V
V _{CCRR}	保証するための	V _{CC} 上昇速度	0.3			V/ms

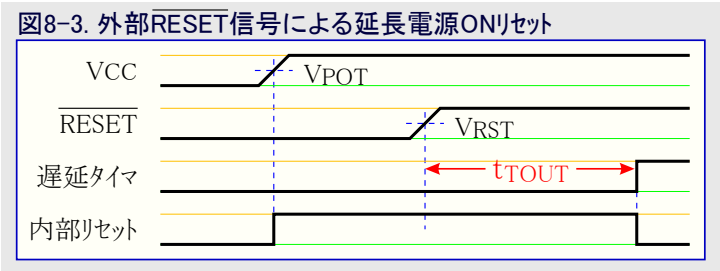
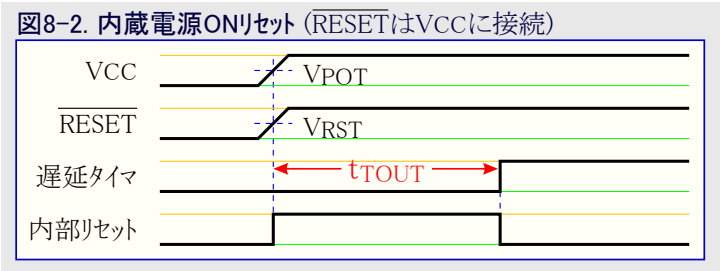
注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

注: 値は指針の意味だけです。

8.3. 電源ONリセット

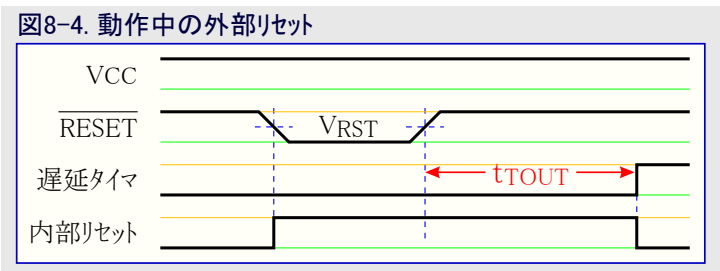
電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は表8-1.で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧(VPOT)への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。



8.4. 外部リセット

外部リセットはRESETピンのLowレベルによって生成されます。クロックが動いていなくても、最小パルス幅(表8-1.参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の上昇がリセット閾値電圧(VRST)に達すると(遅延タイマを起動し)、遅延タイマは遅延時間(tTOUT)経過後にMCUを始動します。



8.5. 低電圧(ブラウンアウト)検出リセット

本デバイスには固定化された起動(検出)電圧と比較することによって動作中のVCCを監視するチップ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELヒューズによって選べます。この起動電圧はスパイク対策BODを保証するため、ヒステリシスを持ちます。検出電圧のヒステリシスはVBOT+=VBOT +VHYST/2、VBOT-=VBOT-VHYST/2と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると(図8-5.のVBOT-)、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図8-5.のVBOT+)、(遅延タイマが起動され)遅延タイマは遅延時間(tTOUT)経過後にMCUを始動します。

BOD回路は電圧が表8-3.で与えられるtBOD時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

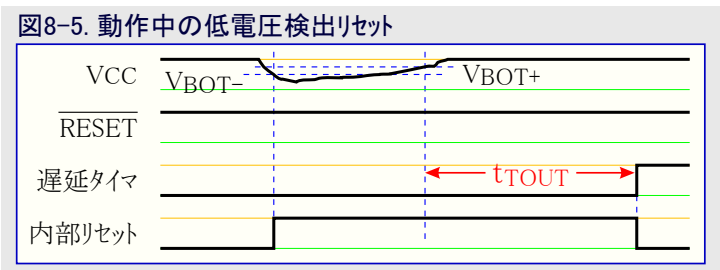


表8-3. 低電圧検出(BOD)特性

シンボル	項目	最小	代表	最大	単位
VHYST	低電圧検出ヒステリシス電圧		70		mV
tBOD	最小低電圧検出時間		2		μs

表8-2. BODLEVELヒューズ (VBOT) 設定 (注1)

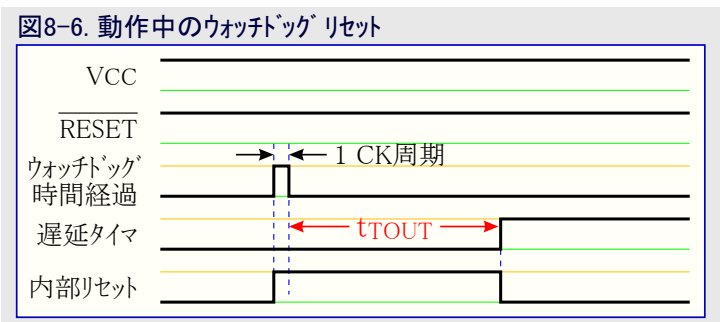
BODLEVEL2~0	000	001	010	011	100	101	110	111
最大			4.4			2.9		低電圧検出 (BOD) リセット禁止
代表	2.6	2.8	4.2	4.4	4.3	2.7	4.5	
最小			4.0			2.5		
単位	V							

注: 値は指針の意味だけです。

注1: いくつかのデバイスでVBOTが公称最低動作電圧以下の可能性があります。この状態のデバイスについては製造検査中、VCC=VBOTに落として検査されています。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。この検査は高動作電圧に対してBODLEVEL =010、低動作電圧に対してBODLEVEL=101を使って実行されます。

8.6. ウォッチドッグ リセット

ウォッチドッグ時間経過時、(内部的に)1CK周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(tTOUT)の計時を始めます。ウォッチドッグ タイマ操作の詳細については29頁を参照してください。



8.7. MCUSR – MCU状態レジスタ (MCU Status Register)

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	MCUSR
\$34 (\$54)	–	–	–	–	WDRF	BORF	EXTRF	PORF	
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

• ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

• ビット2 – BORF : 低電圧リセット フラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

• ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

• ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセット フラグを使うため、使用者はプログラム内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセット フラグを調べることによって得られます。

8.8. 内部基準電圧

AT90PWM216/316は内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われます。A/D変換器、D/A変換器、アナログ比較器への2.56V基準電圧はこのバンドギャップによって生成されます。内部Vrefを使うにはA/D変換多重器選択(ADMUX)レジスタの基準電圧選択(REFS1,0)ビットを設定し、必要とするアナログ機能を設定する必要があります。

8.8.1. 基準電圧許可信号と起動時間

基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は表8-4.で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出リセット許可時 (BODLEVELヒューズのプログラム(0)により)
2. A/D変換部動作許可時 (A/D変換制御/状態レジスタ(ADCSRA)のA/D動作許可(ADEN)=1)
3. D/A変換部動作許可時 (D/A変換制御(DACON)レジスタのD/A動作許可(DAEN)=1)

従って低電圧検出(BOD)が許可されていないと、A/D変換部許可(ADEN=1)またはD/A変換部許可(DAEN=1)後、使用者はアナログ比較器またはA/D変換器またはD/A変換器出力が使われる前に、基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

8.8.2. 内部基準電圧特性

表8-4. 内部基準電圧特性

シンボル	項目	条件	最小	代表	最大	単位
V _{BG}	基準電圧	–	–	1.1	–	V
t _{BG}	起動時間			40	–	μs
I _{BG}	消費電流			15		μA

注: これらの値は目安の意味だけです。

8.9. ウォッチドッグ タイマ

AT90PWM216/316には強化されたウォッチドッグ タイマ(WDT)があります。主な機能を次に示します。

- 独立した内蔵発振器からのクロック駆動
- 3つの動作種別
 - 割り込み
 - システム リセット
 - 割り込みとシステム リセット
- 選択可能な16ms～8sの計時完了時間
- 安全動作のウォッチドッグ 常時ONハートウェア ヒューズ

ウォッチドッグ タイマ(WDT)はチップ上の独立した128kHz発振器の間隔で計時するタイマです。WDTは計数器が与えられた計時完了値に達した時に割り込みまたはシステム リセットを与えます。通常動作では計時完了値へ達する前に計数器を再始動するために、システムがウォッチドッグ リセット (WDR) 命令を使う必要があります。システムが計数器を再始動しなければ、割り込みまたはシステム リセットが起こるでしょう。

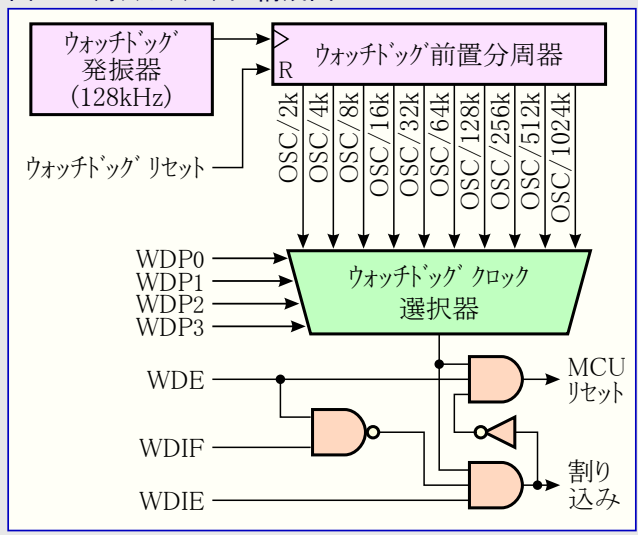
割り込み動作種別では、タイマ計時完了時にWDTが割り込みを生じます。この割り込みは休止形態からデバイスを起動するためや、一般的なシステム タイマとしても使えます。1つの例は或る動作に対して許された最大時間を制限することで、その動作が予測されたより長く走行する時に割り込みを生じます。システム リセット動作種別ではタイマ計時完了時にWDTがリセットを生じます。これは一般的にコード外走行の場合の中断を防止するのに使われます。3つ目の動作種別は先に割り込みを生じ、その後にシステム リセット動作種別に切り替えることで、他の2つの動作種別の組み合わせとなる、割り込み及びシステム リセット動作種別です。この動作種別は例えばシステム リセットに先立って重要なパラメータを保存することによって安全な停止を許します。

ウォッチドッグ 常時ON(WDTON)ヒューズのプログラム(0)はウォッチドッグ タイマをシステム リセット動作種別に強制します。このヒューズのプログラム(0)でシステム リセット動作(WDE)ビットと割り込み動作(WDIE)ビットは各々、'1'と'0'に固定されます。

更にプログラム保護を保証するためにウォッチドッグ 設定の変更は時間制限手順に従わなければなりません。システム リセット許可(WDE)の解除と計時完了時間設定の変更についての手順は次のとおりです。

1. 同じ操作(命令)でウォッチドッグ 変更許可(WDCE)とWDEに論理1を書きます。WDEビットの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4クロック周期内に同じ操作(命令)で欲したWDEとウォッチドッグ タイマ前置分周選択(WDP3～0)ビットを書きますが、WDCEビットは解除(0)されてです。これは1操作(命令)で行わなければなりません。

図8-7. ウォッチドッグ タイマ構成図



次のコード例はウォッチドッグ タイマをOFFに切り替えるアセンブリ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
WDT_OFF:    CLI                ;全割り込み禁止
            WDR                ;ウォッチドッグ タイマ リセット
            IN     R16, MCUSR   ;MCUSR値を取得
            ANDI   R16, ~(1<<WDRF) ;WDRF論理0値を取得
            OUT    MCUSR, R16   ;ウォッチドッグ リセット フラグ(WDRF)解除
            LDS    R16, WDTCSR  ;現WDTCSR値を取得(他ビット保護用)
            ORI    R16, (1<<WDCE) | (1<<WDE) ;WDCEとWDE論理1値を設定
            STS    WDTCSR, R16  ;WDCEとWDEに論理1書き込み
            LDI    R16, (0<<WDE) ;WDE論理0値を取得
            STS    WDTCSR, R16  ;ウォッチドッグ禁止
            SEI                ;全割り込み許可
            RET                ;呼び出し元へ復帰
```

C言語プログラム例

```
void WDT_off(void)
{
    __disable_interrupt(); /* 全割り込み禁止 */
    __watchdog_reset();    /* ウォッチドッグ タイマ リセット */
    MCUSR &= ~(1<<WDRF);    /* ウォッチドッグ リセット フラグ(WDRF)解除 */
    WDTCSR |= (1<<WDCE) | (1<<WDE); /* WDCEとWDEに論理1書き込み */
    WDTCSR = 0x00;          /* ウォッチドッグ禁止 */
    __enable_interrupt();   /* 全割り込み許可 */
}
```

注: 5頁の「コード例について」をご覧ください。

注: ウォッチドッグが偶然に許可されると(例えばポインタの逸脱や低電圧(ブラウンアウト)状態)、デバイスはリセットし、ウォッチドッグは許可に留まります。コードがウォッチドッグ操作の初期設定をしなければ、これは計時完了の無限繰り返しを引き起こすかもしれません。この状態を避けるため、応用ソフトウェアは例えウォッチドッグが使われなくても、初期化ルーチンでWDRFフラグとWDE制御ビットを常に解除(0)すべきです。

次のコード例はウォッチドッグ タイマの計時完了値変更用のアセンブリ言語とC言語の関数を示します。

アセンブリ言語プログラム例

```
WDT_PRS:    CLI                ;全割り込み禁止
            WDR                ;ウォッチドッグ タイマ リセット
            LDS    R16, WDTCSR  ;現WDTCSR値を取得(他ビット保護用)
            ORI    R16, (1<<WDCE) | (1<<WDE) ;WDCEとWDE論理1値を設定
            STS    WDTCSR, R16  ;WDCEとWDEに論理1書き込み
            LDI    R16, (1<<WDE) | (1<<WDP2) | (1<<WDPO) ;WDE=1,計時間隔=0.5s値を取得
            STS    WDTCSR, R16  ;0.5s監視間隔リセット動作開始
            SEI                ;全割り込み許可
            RET                ;呼び出し元へ復帰
```

C言語プログラム例

```
void WDT_off(void)
{
    __disable_interrupt(); /* 全割り込み禁止 */
    __watchdog_reset();    /* ウォッチドッグ タイマ リセット */
    WDTCSR |= (1<<WDCE) | (1<<WDE); /* WDCEとWDEに論理1書き込み */
    WDTCSR = (1<<WDE) | (1<<WDP2) | (1<<WDPO); /* 0.5s監視間隔リセット動作開始 */
    __enable_interrupt();   /* 全割り込み許可 */
}
```

注: 5頁の「コード例について」をご覧ください。

注: ウォッチドッグ タイマ前置分周選択(WDP3~0)ビットの変更がより短い計時完了周期に変わってしまう結果になり得るため、ウォッチドッグ タイマはWDPビットのどんな変更にも先立ってリセット(WDR命令)されるべきです。

8.9.1. WDTCSR – ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register)

ビット (\$60)	7	6	5	4	3	2	1	0	
	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

• ビット7 – WDIF : ウォッチドッグ割り込み要求フラグ (Watchdog Interrupt Flag)

ウォッチドッグ タイマが割り込みに設定され、ウォッチドッグ タイマで計時完了が起こると、本ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDIFはハードウェアによって解除(0)されます。代わりにWDIFはこのフラグへの論理1書き込みによっても解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとウォッチドッグ割り込み許可(WDIE)が設定(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

• ビット6 – WDIE : ウォッチドッグ割り込み許可 (Watchdog Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、ウォッチドッグ割り込みが許可されます。この設定(1)との組み合わせでウォッチドッグリセット許可(WDE)ビットが解除(0)されると、割り込み動作種別になり、ウォッチドッグ タイマで計時完了が起こると、対応する割り込みが実行されます。

WDEが設定(1)されると、ウォッチドッグ タイマは割り込み及びシステムリセット動作種別になります。ウォッチドッグ タイマでの最初の計時完了がウォッチドッグ割り込み要求(WDIF)フラグを設定(1)します。対応する割り込みベクタの実行はハードウェアによってWDIEとWDIFを自動的に解除(0)します。これは割り込みを使う間のウォッチドッグリセット保護を維持するのに有用です。割り込み及びシステムリセット動作種別に留まるには、各割り込み後にWDIEが設定(1)されなければなりません。然しながら、ウォッチドッグシステムリセット動作種別の安全機能に危険を及ぼすかもしれないため、これは割り込み処理ルーチン自身内で行われるべきではありません。次の計時完了に先立って割り込みが実行されない場合、システムリセットが適用(実行)されます。

表8-5. ウォッチドッグ タイマ設定

WDTON	WDE	WDIE	動作種別	計時完了での動作
1	0	0	停止	なし
1	0	1	割り込み	割り込み
1	1	0	システムリセット	リセット
1	1	1	割り込み及びシステムリセット	割り込み、その後システムリセット動作種別
0	x	x	システムリセット	リセット

注: WDTONヒューズは0=プログラム、1=非プログラムです。

(訳注)

左表のWDTONヒューズ値は願書と逆になっていますが、原書の値では本文中の説明と矛盾するため、本文説明に合せて統一修正しました。

• ビット4 – WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

このビットはウォッチドッグリセット許可(WDE)と前置分周器ビットの変更用の時間制限手順で使われます。WDEビットの解除(0)や前置分周器ビット変更のため、WDCEは設定(1)されなければなりません。

一旦1を書かれると、4クロック周期後にハードウェアがWDCEを解除(0)します。

• ビット3 – WDE : ウォッチドッグリセット許可 (Watchdog System Reset Enable)

WDEはMCU状態レジスタ(MCUSR)のウォッチドッグリセットフラグ(WDRF)により無効にされます。これはWDRFが設定(1)されると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するにはWDRFが先に解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

• ビット5,2~0 – WDP3~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3~0ビットはウォッチドッグ タイマが走行する時のウォッチドッグ タイマの前置分周を決めます。各種前置分周値と対応する計時完了周期は表8-6.で示されます。

表8-6. ウォッチドッグ前置分周選択

WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

9. 割り込み

この項はAT90PWM216/316によって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については9頁の「リセットと割り込みの扱い」を参照してください。

9.1. AT90PWM216/316の割り込みベクタ

表9-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス (注2)	発生元	備考
1	\$0000 (注1)	リセット	電源ON, WDT, BOD等の各種リセット
2	\$0002	電力段制御器2 PSC2_CAPT	電力段制御器2 捕獲発生/同期異常
3	\$0004	電力段制御器2 PSC2_EC	電力段制御器2 周期終了(比較一致)
4	\$0006 (注3)	電力段制御器1 PSC1_CAPT	電力段制御器1 捕獲発生/同期異常
5	\$0008 (注3)	電力段制御器1 PSC1_EC	電力段制御器1 周期終了(比較一致)
6	\$000A	電力段制御器0 PSC0_CAPT	電力段制御器0 捕獲発生/同期異常
7	\$000C	電力段制御器0 PSC0_EC	電力段制御器0 周期終了(比較一致)
8	\$000E	アナログ比較器0 ANA_COMP0	アナログ比較器0出力遷移
9	\$0010 (注3)	アナログ比較器1 ANA_COMP1	アナログ比較器1出力遷移
10	\$0012	アナログ比較器2 ANA_COMP2	アナログ比較器2出力遷移
11	\$0014	INT0	外部割り込み要求0
12	\$0016	タイマ/カウンタ1 CAPT1	タイマ/カウンタ1捕獲発生
13	\$0018	タイマ/カウンタ1 COMP1A	タイマ/カウンタ1比較A一致
14	\$001A	タイマ/カウンタ1 COMP1B	タイマ/カウンタ1比較B一致
15	\$001C	Reserve	(予約)
16	\$001E	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
17	\$0020	タイマ/カウンタ0 COMP0A	タイマ/カウンタ0比較A一致
18	\$0022	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
19	\$0024	A/D変換器 ADC	A/D変換完了
20	\$0026	INT1	外部割り込み要求1
21	\$0028	SPI STC	SPI 転送完了
22	\$002A	USART RX	USART 受信完了
23	\$002C	USART UDRE	USART 送信緩衝部空き
24	\$002E	USART TX	USART 送信完了
25	\$0030	INT2	外部割り込み要求2
26	\$0032	ウォッチドッグ WDT	ウォッチドッグ計時完了
27	\$0034	EEPROM EE_RDY	EEPROM 操作可
28	\$0036	タイマ/カウンタ0 COMP0B	タイマ/カウンタ0比較B一致
29	\$0038 (注3)	INT3	外部割り込み要求3
30	\$003A	Reserve	(予約)
31	\$003C	Reserve	(予約)
32	\$003E	SPM命令 SPM_RDY	SPM命令操作可

注1: BOOTRSTヒューズがプログラム(0)されると、デバイスはリセットでブートローダアドレスへ飛びます。159頁の「ブートローダ支援 - 書き込み中読み出し可能な自己プログラミング」をご覧ください。

注2: MCU制御レジスタ(MCUCR)の割り込みベクタ選択(IVSEL)ビットが設定(1)されると、割り込みベクタはブートフラッシュ領域先頭(部)へ移動されます。そして各割り込みベクタのアドレスは、この表のアドレスがブートフラッシュ領域の先頭アドレスに加算されます。

注3: AT90PWM216では利用できません。

表9-2はBOOTRST(ヒューズ)とIVSEL(割り込みベクタ選択ビット)の様々な組み合わせに対するリセットと割り込みベクタの配置を示します。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードが置けます。これはリセットベクタが応用領域の一方、割り込みベクタがブート領域、またはその逆の場合でも同様です。

表9-2. リセットと割り込みベクタの配置

BOOTRST	IVSEL	リセットベクタアドレス	割り込みベクタ先頭アドレス
非プログラム(1)	0	\$0000	\$0002
	1	\$0000	ブート領域先頭アドレス+\$0002
プログラム(0)	0	ブート領域先頭アドレス	\$0002
	1	ブート領域先頭アドレス	ブート領域先頭アドレス+\$0002

注: ブート領域先頭アドレスは167頁の表23-6.で示されます。

AT90PWM216/316での最も代表的且つ一般的なリセットと割り込みのベクタ アドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
\$0000		JMP RESET	;各種リセット
\$0002		JMP PSC2_CAPT	;電力段制御器2 捕獲発生/同期異常
\$0004		JMP PSC2_EC	;電力段制御器2 周期終了(比較一致)
\$0006		JMP PSC1_CAPT	;電力段制御器1 捕獲発生/同期異常
\$0008		JMP PSC1_EC	;電力段制御器1 周期終了(比較一致)
\$000A		JMP PSC0_CAPT	;電力段制御器0 捕獲発生/同期異常
\$000C		JMP PSC0_EC	;電力段制御器0 周期終了(比較一致)
\$000E		JMP ANA_COMP0	;アナログ比較器0出力遷移
\$0010		JMP ANA_COMP1	;アナログ比較器1出力遷移
\$0012		JMP ANA_COMP2	;アナログ比較器2出力遷移
\$0014		JMP EXT_INT0	;外部割り込み要求0
\$0016		JMP TIM1_CAPT	;タイマ/カウンタ1捕獲発生
\$0018		JMP TIM1_COMPA	;タイマ/カウンタ1比較A一致
\$001A		JMP TIM1_COMPB	;タイマ/カウンタ1比較B一致
\$001C		JMP RESET	;(予約)
\$001E		JMP TIM1_OVF	;タイマ/カウンタ1溢れ
\$0020		JMP TIM0_COMPA	;タイマ/カウンタ0比較A一致
\$0022		JMP TIM0_OVF	;タイマ/カウンタ0溢れ
\$0024		JMP ADC	;ADC変換完了
\$0026		JMP EXT_INT1	;外部割り込み要求1
\$0028		JMP SPI_STC	;SPI転送完了
\$002A		JMP USART_RXC	;USART 受信完了
\$002C		JMP USART_UDRE	;USART 送信緩衝部空
\$002E		JMP USART_TXC	;USART 送信完了
\$0030		JMP EXT_INT2	;外部割り込み要求2
\$0032		JMP WDT_OVF	;ウォッチドッグ計時完了
\$0034		JMP EE_RDY	;EEPROM操作可
\$0036		JMP TIM0_COMPB	;タイマ/カウンタ0比較B一致
\$0038		JMP EXT_INT3	;外部割り込み要求3
\$003A		JMP RESET	;(予約)
\$003C		JMP RESET	;(予約)
\$003E		JMP SPM_RDY	;SPM命令操作可
;			
\$0040	RESET:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得
\$0041		OUT SPH, R16	;スタック ポインタ上位を初期化
\$0042		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$0043		OUT SPL, R16	;スタック ポインタ下位を初期化
			;以下、I/O初期化など

AT90PWM216/316でBOOTRSTヒューズが非プログラム(1)、ブート領域容量が2Kバイトに設定され、どの割り込みが許可されるのにも先立ってMCU制御レジスタ(MCUCR)の割り込みベクタ選択(IVSEL)ビットが設定(1)される時の最も代表的且つ一般的なリセットと割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
\$0000	RESET:	LDI R16, HIGH (RAMEND)	;各種リセット (BOOTRSTヒューズ=1) ;RAM最終アドレス上位を取得 (応用プログラム開始)
\$0001		OUT SPH, R16	;スタックポインタ上位を初期化
\$0002		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$0003		OUT SPL, R16	;スタックポインタ下位を初期化
		}	;以下、I/O初期化など
		. ORG \$1C02	;ブートプログラム領域が2Kバイトの場合
\$1C02		JMP PSC2_CAPT	;電力段制御器2 捕獲発生/同期異常
\$1C04		JMP PSC2_EC	;電力段制御器2 周期終了(比較一致)
		}	
\$1C3E		JMP SPM_RDY	;SPM命令操作可

AT90PWM216/316でBOOTRSTヒューズがプログラム(0)、ブート領域容量が2Kバイトに設定される時の最も代表的且つ一般的なリセットと割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
		. ORG \$0002	;割り込みベクタ先頭
\$0002		JMP PSC2_CAPT	;電力段制御器2 捕獲発生/同期異常
\$0004		JMP PSC2_EC	;電力段制御器2 周期終了(比較一致)
		}	
\$003E		JMP SPM_RDY	;SPM命令操作可
		}	;以下、プログラムなど
		. ORG \$1C00	;ブートプログラム領域が2Kバイトの場合
			;各種リセット (BOOTRSTヒューズ=0)
\$1C00	RESET:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得 (プログラム開始)
\$1C01		OUT SPH, R16	;スタックポインタ上位を初期化
\$1C02		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$1C03		OUT SPL, R16	;スタックポインタ下位を初期化
		}	;以下、I/O初期化など

AT90PWM216/316でBOOTRSTヒューズがプログラム(0)、ブート領域容量が2Kバイトに設定され、どの割り込みが許可されるのにも先立ってMCU制御レジスタ(MCUCR)の割り込みベクタ選択(IVSEL)ビットが設定(1)される時の最も代表的且つ一般的なリセットと割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
		. ORG \$1C00	;ブートプログラム領域が2Kバイトの場合
\$1C00		JMP RESET	;各種リセット (BOOTRSTヒューズ=0)
\$1C02		JMP PSC2_CAPT	;電力段制御器2 捕獲発生/同期異常
\$1C04		JMP PSC2_EC	;電力段制御器2 周期終了(比較一致)
		}	
\$1C3E		JMP SPM_RDY	;SPM命令操作可
;			
\$1C40	RESET:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得 (プログラム開始)
\$1C41		OUT SPH, R16	;スタックポインタ上位を初期化
\$1C42		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$1C43		OUT SPL, R16	;スタックポインタ下位を初期化
		}	;以下、I/O初期化など

9.1.1. 応用領域とブート領域間の割り込みベクタ移動

MCU制御レジスタ(MCUCR)は割り込みベクタ表の配置を制御します。

9.1.2. MCUCR – MCU制御レジスタ (MCU Control Register)

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SPIPS	–	–	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット1 – IVSEL : 割り込みベクタ選択 (Interrupt Vector Select)

IVSELビットが解除(0)されると、割り込みベクタはフラッシュメモリの先頭に配置されます。このビットが設定(1)されると、割り込みベクタはフラッシュメモリのブートローダ領域の始まりへ移動されます。ブートフラッシュ領域先頭の実際のアドレスはBOOTSZヒューズによって決定されます。詳細については159頁の「ブートローダ支援 – 書き込み中読み出し可能な自己プログラミング」章を参照してください。割り込みベクタ表の予期せぬ変更を防ぐため、IVSELビットの変更は特別な書き込み手順に従わなければなりません。

1. 割り込みベクタ変更許可(IVCE)ビットに1を書きます。
2. 4周期内に、欲した値をIVSELに書き、同時に0をIVCEへ書きます。

この手順が実行される間、割り込みは自動的に禁止されます。割り込みはIVCEが設定(1)される周期で禁止され、後続のIVSELに書く命令の後まで禁止されたままです。IVSELが書かれなければ、割り込みは4周期間禁止されたままです。ステータスレジスタ(SREG)の全割り込み許可(I)ビットはこの自動禁止によって影響されません。

注: 割り込みベクタがブートローダ領域に配置され、BLB02ブート施錠ビットがプログラム(0)されると、応用領域から実行する間中、割り込みが禁止されます。割り込みベクタが応用領域に配置され、BLB12ブート施錠ビットがプログラム(0)されると、ブートローダ領域から実行する間中、割り込みが禁止されます。ブート施錠ビットの詳細については159頁の「ブートローダ支援 – 書き込み中読み出し可能な自己プログラミング」を参照してください。

• ビット0 – IVCE : 割り込みベクタ変更許可 (Interrupt Vector Change Enable)

IVCEビットは割り込みベクタ選択(IVSEL)ビットの変更を許可するために論理1を書かれなければなりません。IVCEはIVSELが書かれる時、またはIVCEが書かれた後の4周期後、ハードウェアによって解除(0)されます。上記IVSELで説明されるようにIVCEビットの設定(1)は割り込みを(一時的に)禁止します。以下のコード例をご覧ください。

アセンブリ言語プログラム例

```

MOVE_IVT:    IN      R16, MCUCR          ; 現MCUCR値取得
              MOV     R17, R16           ; 現MCUCR値複写
              ORI     R16, (1<<IVCE)     ; IVCE論理1値を取得
              OUT     MCUCR, R16         ; IVCEに論理1書き込み
              ORI     R17, (1<<IVSEL)     ; IVSEL論理1値を取得
              OUT     MCUCR, R17         ; ブート領域へ割り込みベクタを移動
              RET                          ; 呼び出し元へ復帰

```

C言語プログラム例

```

void Move_interrupts(void)
{
    uchr temp;                          /* 一時定数定義 */
    temp = MCUCR;                       /* 現MCUCR値取得 */
    MCUCR = temp | (1<<IVCE);           /* IVCEに論理1書き込み */
    MCUCR = temp | (1<<IVSEL);          /* ブート領域へ割り込みベクタを移動 */
}

```

10. 入出力ポート

10.1. 序説

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード-モディファイ-ライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方向をも無意識に変更することなく、1つのポートピンの方向を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)プルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)の両能力で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図10-1.で示されるようにVCCとGNDの両方に保護ダイオードがあります。各値の完全な一覧については181頁の「電気的特性」を参照してください。

本章内の全てのレジスタとビットの参照は一般形で記されます。小文字の'**x**'はポート番号文字、小文字の'**n**'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使う時は正確な形式(例えば、ここで一般に記されたPORTxがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は47頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PINx)の各ポートに対して、3つI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は39頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

ポートピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

10.2. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図10-2.はここで属にPxnと呼ばれるI/Oポートピンの1つの機能説明を示します。

図10-1. 入出力ピン等価回路

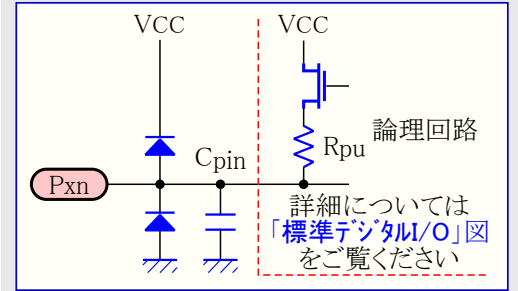
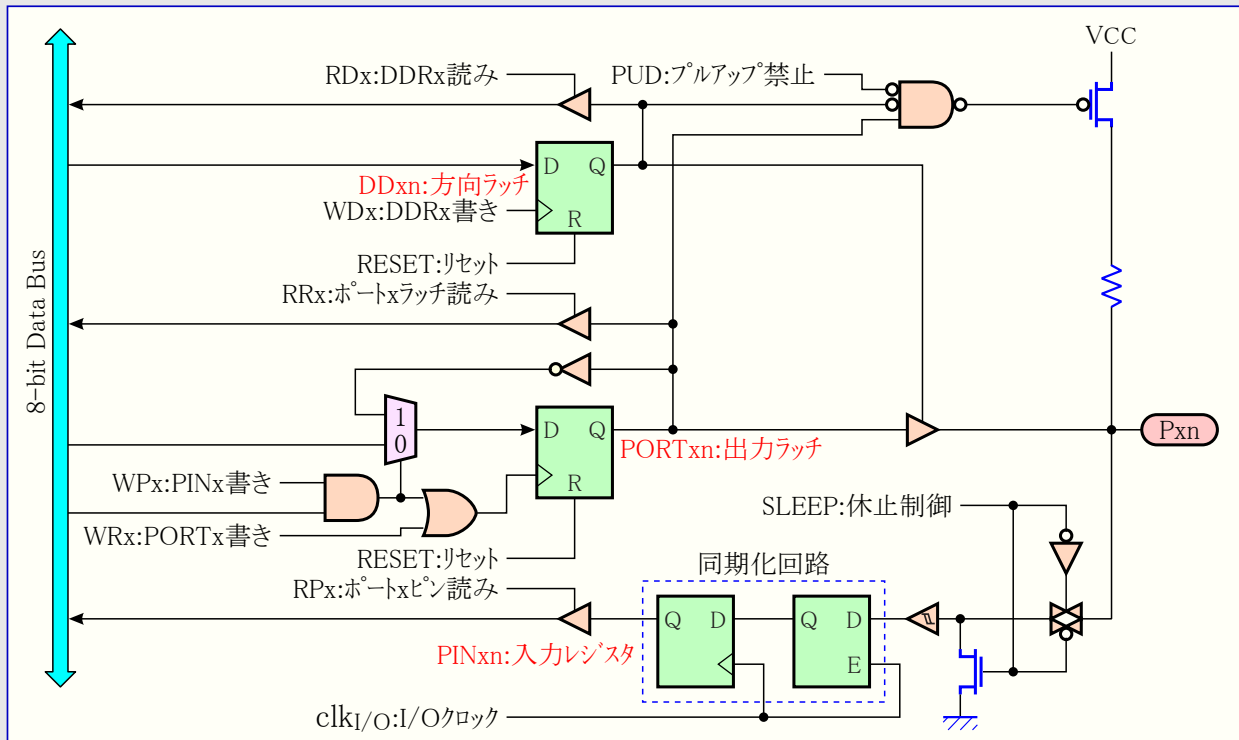


図10-2. 標準デジタル入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O, SLEEP, PUDは全ポートで共通です。

10.2.1. ピンの設定

各ポートピンは3つのレジスタビットDDxn、PORTxn、PINxnから成ります。47頁の「I/Oポート用レジスタ」で示されるように、DDxnビットはDDR_x I/Oアドレス、PORTxnビットはPORT_x I/Oアドレス、PINxnビットはPIN_x I/Oアドレスでアクセスされます。

DDR_xレジスタ内のDDxnビットはそのピンの方向を選びます。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

10.2.2. ピンの出力交互切り替え

PINxnへの論理1書き込みはDDR_{xn}の値に拘らず、PORTxnの値を反転切り替えます。SBI命令がポート内の1ビットの反転切り替えに使えることに注目してください。

10.2.3. 入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高インピーダンス環境は強力なHigh(吐き出し)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するために、MCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

表10-1. ピン値に対する制御信号の一覧を示します。

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高インピーダンス (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

10.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読めます。図10-2.で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックの端(エッジ)付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図10-3.は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々t_{pd,min}とt_{pd,max}で示されます。

(図10-3.で)システムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印t_{pd,min}とt_{pd,max}によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図10-4.で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システムクロック周期です。

図10-3. 外部供給ピン値読み込み時の同期化

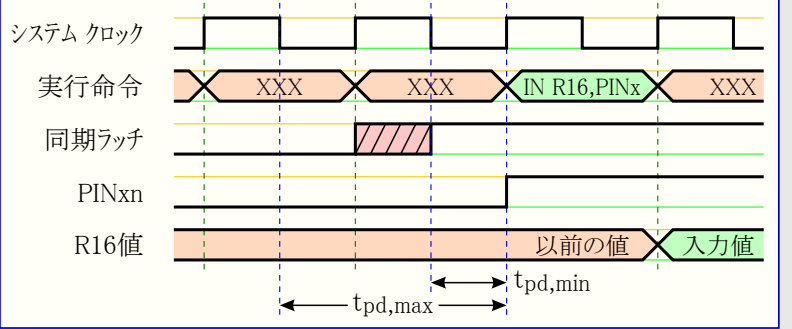
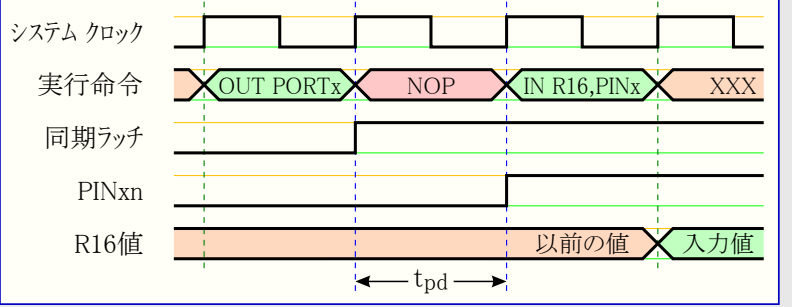


図10-4. プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートBピンの0と1をHigh出力、2と3をLow出力、6と7をプルアップ指定として4～7を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

アセンブリ言語プログラム例

```

~
LDI    R16, (1<<PB7) | (1<<PB6) | (1<<PB1) | (1<<PB0)    ;プルアップとHigh値を取得
LDI    R17, (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0) ;出力ビット値を取得
OUT    PORTB, R16      ;プルアップとHigh値を設定
OUT    DDRB, R17       ;入出力方向を設定
NOP    ;同期化遅延対処
IN     R16, PINB       ;ピン値読み戻し
~
;
```

C言語プログラム例

```

unsigned char i;
~
PORTB = (1<<PB7) | (1<<PB6) | (1<<PB1) | (1<<PB0);
DDRB = (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0);
__no_operation();
i = PINB;
~
/* */
/* プルアップとHigh値を設定 */
/* 入出力方向を設定 */
/* 同期化遅延対処 */
/* ピン値読み戻し */
/* */
```

注: アセンブリ言語プログラムについてはプルアップがピン0,1,6,7に設定されてから、ビット0と1の強力なHigh駆動部としての再定義、ビット2と3のLow駆動部としての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使われます。

10.2.5. デジタル入力許可と休止形態

図10-2.で示されるようにデジタル入力信号はシュmittトリガの入力をGNDにクランプできます。この図で**SLEEP**と印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、**パワーダウン動作**と**スタンバイ動作**でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないなら、**SLEEP**は他のピンについてと同様に有効です。**SLEEP**は39頁の「**交換ポート機能**」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない”上昇端、下降端または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(=1)されます。

10.2.6. 未接続ピン (訳注:共通性のため本項追加)

いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのデジタル入力が禁止されとしても、デジタル入力が許可される他の全ての動作(リセット、活動動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部プルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

10.3. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。図10-5は単純化された図10-2.でのポートピン制御信号が交換機能により、どう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVR マイクロ コントローラ系統の全ポートピンに適用できる一般的な記述として取り扱います。

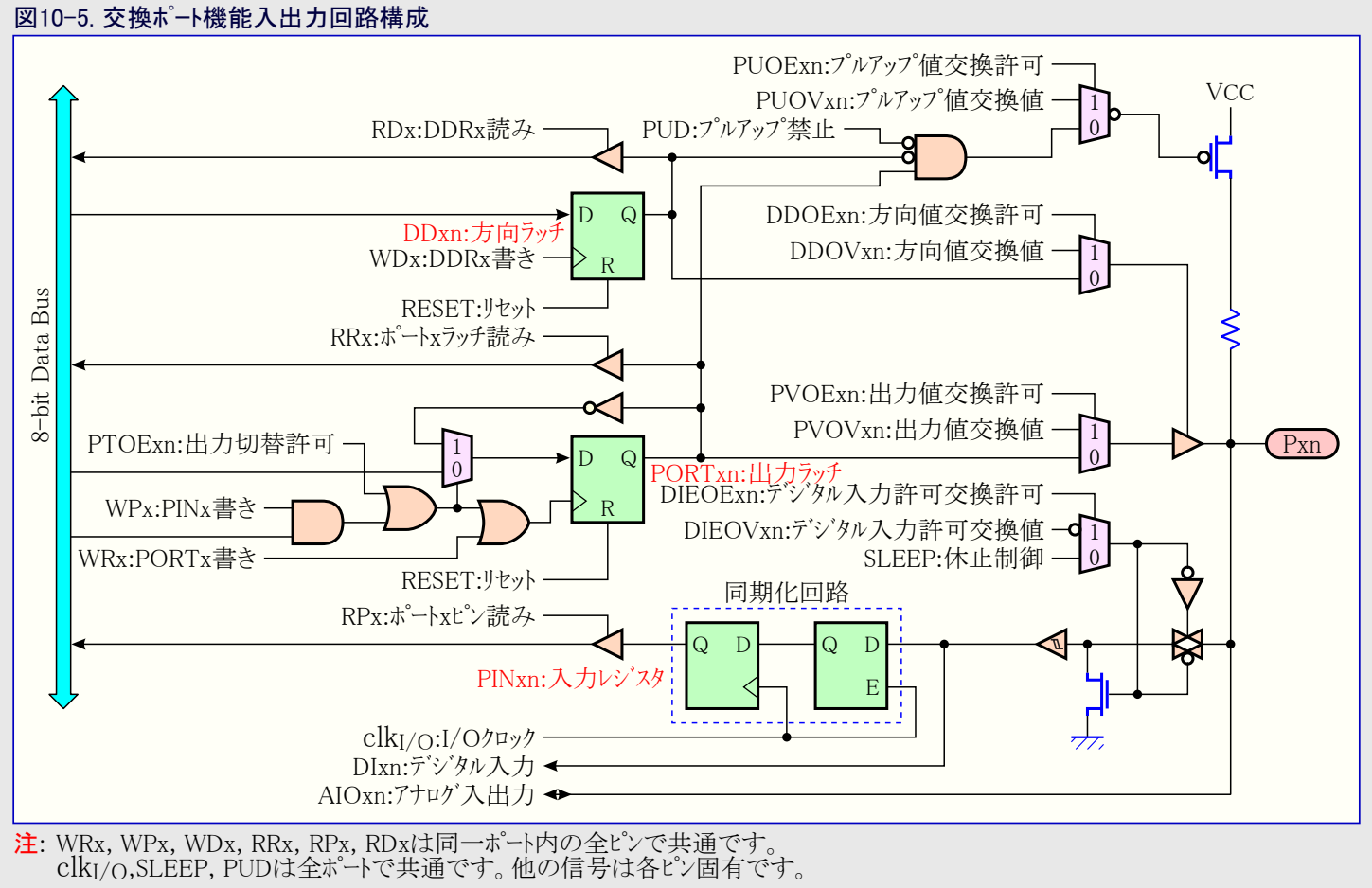


表10-2.は重複(交換)信号の機能一覧を示します。図10-5.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表10-2. 交換機能用交換信号の一般定義		
信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	デジタル入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

以降の項は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

10.3.1. MCUCR – MCU制御レジスタ (MCU Control Register)

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SPIPS	–	–	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット4 – PUD : プルアップ禁止 (Pull-up Disable)

このビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては37頁の「[ピン](#)の設定」をご覧ください。

10.3.2. ポートBの交換機能

ポートBピンの交換機能は表10-3.で示されます。

表10-3. ポートBピンの交換機能

ポート ピン	交換機能	ポート ピン	交換機能
PB7	SCK (SPI 直列クロック 主側出力/従側入力) ADC4 (A/D変換アナログ入力チャネル4) PSCOUT01 (電力段制御器0 出力1)	PB3	AMP0– (アナログ差動増幅器0 反転入力)
PB6	ICP1B (タイマ/カウンタ1 捕獲起動代替入力) ADC7 (A/D変換アナログ入力チャネル7) PSCOUT11 (電力段制御器1 出力1) (注)	PB2	ADC5 (A/D変換アナログ入力チャネル5) INT1 (外部割り込み1入力)
PB5	ADC6 (A/D変換アナログ入力チャネル6) INT2 (外部割り込み2入力)	PB1	MOSI (SPI 主側データ出力/従側データ入力) PSCOUT21 (電力段制御器2 出力1)
PB4	AMP0+ (アナログ差動増幅器0 非反転入力)	PB0	MISO (SPI 主側データ入力/従側データ出力) PSCOUT20 (電力段制御器2 出力0)

注: AT90PWM216では利用できません。

交換ピンの設定は次のとおりです。

• SCK/ADC4/PSCOUT01 – ポートB ビット7 : PB7

SCK : SPI用の主装置クロック出力、従装置クロック入力。SPIが従装置として許可されると、このピンはポートB方向レジスタ(DDRB)のDDB7設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDB7によって制御されます。このピンがSPIによって入力を強制されるとき、プルアップは未だポートB出力レジスタ(PORTB)のPORTB7によって制御できません。

ADC4 : A/D変換チャネル4入力。

PSCOUT01 : 電力段制御器(PSC)0の出力1。

• ICP1B/ADC7/PSCOUT11 – ポートB ビット6 : PB6

ICP1B : タイマ/カウンタ1の捕獲起動代替入力。PB6ピンはタイマ/カウンタ1用捕獲起動入力ピンとして動作できます。

ADC7 : A/D変換チャネル7入力。

PSCOUT11 : 電力段制御器(PSC)1の出力1。

• ADC6/INT2 – ポートB ビット5 : PB5

ADC6 : A/D変換チャネル6入力。

INT2 : 外部割り込み2入力。本ピンはMCUへの外部割り込み元として扱えます。

• AMP0+ – ポートB ビット4 : PB4

AMP0+ : A/D変換器用アナログ差動増幅器0非反転入力。

• AMP0– – ポートB ビット3 : PB3

AMP0– : A/D変換器用アナログ差動増幅器0反転入力。

• ADC5/INT1 – ポートB ビット2 : PB2

ADC5 : A/D変換チャネル5入力。

INT1 : 外部割り込み1入力。本ピンはMCUへの外部割り込み元として扱えます。

• MOSI/PSCOUT21 – ホートB ビット1 : PB1

MOSI : SPI用の主装置データ出力、従装置データ入力。SPIが従装置として許可されると、このピンはホートB方向レジスタ(DDRB)のDDB1設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDB1によって制御されます。このピンがSPIによって入力を強制されるとき、プルアップは未だホートB出力レジスタ(PORTB)のPORTB1とPUDビットによって制御できます。

PSCOUT21 : 電力段制御器(PSC)2の出力1。

• MISO/PSCOUT20 – ホートB ビット0 : PB0

MISO : SPI用の主装置データ入力、従装置データ出力。SPIが主装置として許可されると、このピンはホートB方向レジスタ(DDRB)のDDB0の設定に拘らず、入力として設定されます。SPIが従装置として許可されると、このピンのデータ方向はDDB0によって制御されます。このピンがSPIによって入力を強制されるとき、プルアップは未だホートB出力レジスタ(PORTB)のPORTB0とPUDビットによって制御できます。

PSCOUT20 : 電力段制御器(PSC)2の出力0。

表10-4.と表10-5.はホートBの交換機能を39頁の図10-5.で示される交換信号に関連付けます。SPI主装置入力とSPI従装置出力がMISOを構成し、一方MOSIはSPI主装置出力とSPI従装置入力に分けられます。

表10-4. ホートB7～4の交換機能用交換信号

信号名	PB7/SCK/ADC4/ PSCOUT01	PB6/ICP1B/ADC7/ PSCOUT11	PB5/ADC6/INT2	PB4/AMP0+
PUOE	SPE・MSTR・SPIPS	0	0	0
PUOV	PB7・PUD・SPIPS	0	0	0
DDOE	SPE・MSTR・SPIPS +PSCen01	PSCen11	0	0
DDOV	PSCen01	1	0	0
PVOE	SPE・MSTR・SPIPS	PSCen11	0	0
PVOV	PSCout01・SPIPS +PSCout01・PSCen01 ・SPIPS	PSCOUT11	0	0
PTOE	–	–	–	–
DIEOE	ADC4D	ADC7D	ADC6D+INT2許可	AMP0ND
DIEOV	0	0	INT2許可	0
DI	内部リセット・SPIPS・SCK入力	ICP1B入力	INT2入力	–
AIO	ADC4	ADC7	ADC6	AMP0+

表10-5. ホートB3～0の交換機能用交換信号

信号名	PB3/AMP0–	PB2/ADC5/INT1	PB1/MOSI/PSCOUT21	PB0/MISO/PSCOUT20
PUOE	0	0	–	–
PUOV	0	0	–	–
DDOE	0	0	–	–
DDOV	0	0	–	–
PVOE	0	0	–	–
PVOV	0	0	–	–
PTOE	–	–	–	–
DIEOE	AMP0ND	ADC5D+INT1許可	0	0
DIEOV	0	INT1許可	0	0
DI	–	INT1入力	内部リセット・SPIPS・MOSI入力	内部リセット・SPIPS・MOSI入力
AIO	AMP0–	ADC5	–	–

10.3.3. ポートCの交換機能

ポートCピンの交換機能は表10-6.で示されます。(訳注:AT90PWM216にポートCは存在しません。)

ポートピン	交換機能	ポートピン	交換機能
PC7	D2A (D/A変換器出力)	PC3	T1 (タイマ/カウンタ1 外部クロック入力) PSCOUT23 (電力段制御器2 出力3)
PC6	ADC10 (A/D変換アナログ入力チャネル10) ACMP1 (アナログ比較器1 非反転入力)	PC2	T0 (タイマ/カウンタ0 外部クロック入力) PSCOUT22 (電力段制御器2 出力2)
PC5	ADC9 (A/D変換アナログ入力チャネル9) AMP1+ (アナログ差動増幅器1 非反転入力)	PC1	OC1B (タイマ/カウンタ1 比較B一致/PWM出力) PSCIN1 (電力段制御器1 デジタル入力)
PC4	ADC8 (A/D変換アナログ入力チャネル8) AMP1- (アナログ差動増幅器1 反転入力)	PC0	INT3 (外部割り込み3入力) PSCOUT10 (電力段制御器1 出力0)

交換ピンの設定は次のとおりです。

- D2A – ポートC ピット7 : PC7
D2A : [D/A変換器](#)の出力。
- ADC10/ACMP1 – ポートC ピット6 : PC6
ADC10 : A/D変換チャネル10入力。
ACMP1 : [アナログ比較器1](#) 非反転入力。アナログ比較器機能を邪魔するデジタル ポート機能を無効とするために、内部プルアップがOFFにされた入力としてポートピンを設定してください。
- ADC9/AMP1+ – ポートC ピット5 : PC5
ADC9 : A/D変換チャネル9入力。
AMP1+ : A/D変換器用アナログ差動増幅器1非反転入力。
- ADC8/AMP1- – ポートC ピット4 : PC4
ADC8 : A/D変換チャネル8入力。
AMP1- : [A/D変換器用アナログ差動増幅器1](#)反転入力。
- T1/PSCOUT23 – ポートC ピット3 : PC3
T1 : タイマ/カウンタ1の外部クロック入力ピンです。
PSCOUT23 : 電力段制御器(PSC)2の出力3。
- T0/PSCOUT22 – ポートC ピット2 : PC2
T0 : [タイマ/カウンタ0](#)の外部クロック入力ピンです。
PSCOUT22 : 電力段制御器(PSC)2の出力2。
- OC1B/PSCIN1 – ポートC ピット1 : PC1
OC1B : [タイマ/カウンタ1](#)の比較B一致出力。本ピンはタイマ/カウンタ1の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定([DDC1=1](#))されなければなりません。このOC1Bピンはタイマ機能のPWM動作用出力ピンでもあります。
PSCIN1 : 電力段制御器1のデジタル入力。
- INT3/PSCOUT10 – ポートC ピット0 : PC0
INT3 : 外部割り込み3入力。本ピンはMCUへの外部割り込み元として扱えます。
PSCOUT10 : [電力段制御器\(PSC\)1](#)の出力0。

表10-7.と表10-8.はポートCの交換機能を39頁の図10-5.で示される交換信号に関連付けます。

表10-7. ポートC7～4の交換機能用交換信号

信号名	PC7/D2A	PC6/ADC10/ACMP1	PC5/ADC9/AMP1+	PC4/ADC8/AMP1-
PUOE	0	0	0	-
PUOV	0	0	0	-
DDOE	-	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	-
PVOV	0	0	0	-
PTOE	-	-	-	-
DIOE	DAEN	ADC10D	ADC9D	ADC8D
DIOV	0	0	0	0
DI	-	-	-	-
AIO	-	ADC10amp1	ADC9amp1+	ADC8amp1-

表10-8. ポートC3～0の交換機能用交換信号

信号名	PC3/T1/PSCOUT23	PC2/T0/PSCOUT22	PC1/OC1B/PSCIN1	PC0/INT3/PSCOUT10
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	PSCen23	PSCen22	-	PSCen10
DDOV	1	1	0	1
PVOE	PSCen23	PSCen22	OC1B許可	PSCen10
PVOV	PSCout23	PSCout22	OC1B	PSCout10
PTOE	-	-	-	-
DIOE	-	-	-	INT3許可
DIOV	-	-	-	INT3許可
DI	T1入力	T0入力	PSCin1	INT3入力
AIO	-	-	-	-

10.3.4. ポートDの交換機能

ポートDピンの交換機能は表10-9.で示されます。

表10-9. ポートDピンの交換機能

ポートピン	交換機能	ポートピン	交換機能
PD7	ACMP0 (アナログ比較器0 非反転入力)	PD3	TXD (USART/DALI 送信データ出力) OC0A (タイマ/カウンタ0 比較A一致/PWM出力) SS (SPI 従装置選択入力) MOSI_A (SPI 代替データ 主側出力/従側入力)
PD6	INT0 (外部割り込み0入力) ADC3 (A/D変換アナログ入力チャネル3) ACMPM (アナログ比較器基準(反転)入力)	PD2	OC1A (タイマ/カウンタ1 比較A一致/PWM出力) MISO_A (SPI 代替データ 主側入力/従側出力) PSCIN2 (電力段制御器2 デジタル入力)
PD5	ADC2 (A/D変換アナログ入力チャネル2) ACMP2 (アナログ比較器2 非反転入力)	PD1	CLKO (システム クロック出力) PSCIN0 (電力段制御器0 デジタル入力)
PD4	RXD (USART/DALI 受信データ入力) ICP1A (タイマ/カウンタ1 捕獲起動入力) SCK_A (SPI 代替直列クロック入出力) ADC1 (A/D変換アナログ入力チャネル1)	PD0	XCK (USART 外部クロック入出力) SS_A (SPI 代替従装置選択入力) PSCOUT00 (電力段制御器0 出力0)

交換ピンの設定は次のとおりです。

- ACMP0 – ポートD ビット7 : PD7

ACMP0 : アナログ比較器0 非反転入力。アナログ比較器機能を邪魔するデジタル ポート機能が無効とするために、内部プルアップがOFFにされた入力としてポートピンを設定してください。

- INT0/ADC3/ACMPM – ポートD ビット6 : PD6

INT0 : 外部割り込み0入力。本ピンはMCUへの外部割り込み元として扱えます。

ADC3 : A/D変換チャネル3入力。

ACMPM : アナログ比較器基準(反転)入力。アナログ比較器機能を邪魔するデジタル ポート機能が無効とするために、内部プルアップがOFFにされた入力としてポートピンを設定してください。

- ADC2/ACMP2 – ポートD ビット5 : PD5

ADC2 : A/D変換チャネル2入力。

ACMP2 : **アナログ比較器2** 非反転入力。アナログ比較器機能を邪魔するデジタル ポート機能が無効とするために、内部プルアップがOFFにされた入力としてポートピンを設定してください。

- RXD/ICP1A/SCK_A/ADC1 – ポートD ビット4 : PD4

RXD : 受信データ(USART用データ入力ピン)。USART受信部が許可されると、このピンはDDRDのDDD4の値に拘らず、入力として設定されます。USARTがこのピンを入力に強制するとき、プルアップは未だPORTD4ビットによって制御できます。

ICP1A : **タイマ/カウンタ1**の捕獲起動入力。本ピンはタイマ/カウンタ1用捕獲起動入力ピンとして動作できます。

SCK_A : SPI用の代替主装置クロック出力、従装置クロック入力。SPIが従装置として許可されると、このピンはDDD4設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDD4によって制御されます。このピンがSPIによって入力を強制されるとき、プルアップは未だPORTD4によって制御できます。

ADC1 : A/D変換チャネル1入力。

- TXD/OC0A/SS/MOSI_A – ポートD ビット3 : PD3

TXD : 送信データ(USART用データ出力ピン)。USART送信部が許可されると、ピンはDDD3値に拘らず、出力として設定されます。

OC0A : **タイマ/カウンタ0**の比較A一致出力。本ピンはタイマ/カウンタ0の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(DDD3=1)されなければなりません。このOC0Aピンはタイマ機能のPWM動作出力ピンでもあります。

SS : SPI従装置選択入力。SPIが従装置として許可されると、このピンはDDD3設定に拘らず、入力として設定されます。従装置としてこのピンがLowに駆動されるとSPI(機能)が活性化(有効に)されます。SPIが主装置として許可されると、このピンのデータ方向はDDD3によって制御されます。このピンがSPIによって入力を強制されるとき、プルアップは未だPORTD3によって制御できます。

MOSI_A : SPI用の代替主装置データ出力、従装置データ入力。SPIが従装置として許可されると、このピンはDDD3設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDD3によって制御されます。このピンがSPIによって入力を強制されるとき、プルアップは未だPORTD3によって制御できます。

• OC1A/MISO_A/PSCIN2 – ポートD ビット2 : PD2

OC1A : タイマ/カウンタ1の比較A一致出力。本ピンはタイマ/カウンタ1の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(DDD2=1)されなければなりません。このOC1Aピンはタイマ機能のPWM動作出力ピンでもあります。

MISO_A : SPI用の代替主装置データ入力、従装置データ出力。SPIが主装置として許可されると、このピンはDDD2の設定に拘らず、入力として設定されます。SPIが従装置として許可されると、このピンのデータ方向はDDD2によって制御されます。このピンがSPIによって入力を強制されるとき、プルアップは未だPORTD2によって制御できます。

PSCIN2 : 電力段制御器2のデジタル入力。

• CLKO/PSCIN0 – ポートD ビット1 : PD1

CLKO : システム クロック出力。分周したシステム クロックは、このピンに出力できます。分周したシステム クロックはCKOUTヒューズがプログラム(0)されると、PORTD1とDDD1設定に拘らず、出力されます。これはリセット中にも出力されます。

PSCIN0 : 電力段制御器0のデジタル入力。

• XCK/SS_A/PSCOUT0 – ポートD ビット0 : PD0

XCK : USARTの外部クロック入出力。ポートD方向レジスタ(DDRD)のDDD0は、このクロックが入力(DDD0=0)または出力(DDD0=1)のどちらかを制御します。XCKピンはUSARTが同期種別で動作する時だけ活動します(有効です)。

SS_A : SPI代替従装置選択入力。SPIが従装置として許可されると、このピンはDDD0設定に拘らず、入力として設定されます。従装置としてこのピンがLowに駆動されるとSPI(機能)が活性化(有効に)されます。SPIが主装置として許可されると、このピンのデータ方向はDDD0によって制御されます。このピンがSPIによって入力を強制されるとき、プルアップは未だPORTD0によって制御できます。

PSCOUT0 : 電力段制御器(PSC)0の出力0。

表10-10と表10-11はポートDの交換機能を39頁の図10-5で示される交換信号に関連付けます。SPI主装置入力とSPI従装置出力がMISOを構成し、一方MOSIはSPI主装置出力とSPI従装置入力に分けられます。

表10-10. ポートD7~4の交換機能用交換信号

信号名	PD7/ACMP0	PD6/INT0/ADC3/ACMPM	PD5/ADC2/ACMP2	PD4/RXD/ICP1A/SCK_A/ADC1
PUOE	0	0	0	RXEN+SPE・MSTR・SPIPS
PUOV	0	0	0	PD4・PUD
DDOE	0	0	0	RXEN+SPE・MSTR・SPIPS
DDOV	0	0	0	0
PVOE	0	0	0	SPE・MSTR・SPIPS
PVOV	0	0	0	–
PTOE	–	–	–	–
DIOE	ACMP0D	ADC3D+INT0許可	ADC2D	ADC1D
DIOV	0	–	0	0
DI	–	INT0入力	–	ICP1A入力
AIO	ACMP0D	ADC3/ACMPM	ADC2/ACOMP2	ADC1

表10-11. ポートD3~0の交換機能用交換信号

信号名	PD3/TXD/OC0A/SS/MISO_A	PD2/OC1A/MISO_A/PSCIN2	PD1/CLKO/PSCIN0	PD0/XCK/SS_A/PSCOUT0
PUOE	TXEN+SPE・MSTR・SPIPS	–	0	SPE・MSTR・SPIPS
PUOV	TXEN+SPE・MSTR・SPIPS・PD3・PUD	–	0	PD0・PUD
DDOE	TXEN+SPE・MSTR・SPIPS	–	0	PSCen00+SPE・MSTR・SPIPS
DDOV	TXEN	0	0	PSCen00
PVOE	TXEN+OC0en+SPE・MSTR・SPIPS	–	0	PSCen00+UMSEL
PVOV	TXEN・TXD+TXEN・(OC0en・OC0+OC0en・SPIPS・MOSI)	–	0	–
PTOE	–	–	–	–
DIOE	0	0	0	0
DIOV	0	0	0	0
DI	SS/MOSI_A入力	–	–	SS_A入力
AIO	–	–	–	–

10.3.5. ポートEの交換機能

ポートEピンの交換機能は表10-12.で示されます。

表10-12. ポートEピンの交換機能	
ポートピン	交換機能
PE2	XTAL2 (主クロック用発振増幅器出力) ADC0 (A/D変換アナログ入力チャネル0)
PE1	XTAL1 (主クロック用発振増幅器入力) OC0B (タイマ/カウンタ0 比較B一致/PWM出力)
PE0	RESET (外部リセット入力) OCD (内蔵デバッグ機能用入出力)

交換ピンの設定は次のとおりです。

- XTAL2/ADC0 – ポートE ビット2 : PE2
XTAL2 : 主クロック用発振増幅器出力。クリスタル用低電力発振器用のクロック ピンとして使われます。クロック ピンとして使われると、本ピンはI/Oピンとして使えません。
ADC0 : A/D変換チャネル0入力。
- XTAL1/OC0B – ポートE ビット1 : PE1
XTAL1 : 主クロック用発振増幅器入力。校正付き内蔵RC発振器を除く全てのチップ クロック元用に使われます。クロック ピンとして使われると、本ピンはI/Oピンとして使えません。
OC0B : タイマ/カウンタ0の比較B一致出力。本ピンはタイマ/カウンタ0の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(DDE1=1)されなければなりません。このOC0Bピンはタイマ機能のPWM動作出力ピンでもあります。
- RESET – ポートE ビット0 : PE0
RESET : 外部リセット入力。RSTDISBLヒューズがプログラム(0)されると、本ピンは標準のI/Oピンとして機能し、デバイスはリセット元として電源ONリセットと低電圧リセットに頼らなければなりません。RSTDISBLヒューズが非プログラム(1)にされると、本ピンにリセット回路が接続され、本ピンはI/Oピンとして使えません。
PE0がリセットピンとして使われると、PORTE0, DDE0, PINE0は全て0を読みます。

表10-13.はポートEの交換機能を39頁の図10-5.で示される交換信号に関連付けます。

表10-13. ポートE2~0の交換機能用交換信号			
信号名	PE2/XTAL2/ADC0	PE1/XTAL1/OC0B	PE0/RESET/OCD
PUOE	0	0	0
PUOV	0	0	0
DDOE	0	0	0
DDOV	0	0	0
PVOE	0	OC0B許可	0
PVOV	0	OC0B	0
PTOE	-	-	0
DIOE	ADC0D	0	0
DIOV	0	0	0
DI	-	-	-
AIO	クロック発振器出力/ADC0	クロック発振器入力/クロック信号入力	-

10.4. I/Oポート用レジスタ

10.4.1. PORTB – ポートB出力レジスタ (Port B Data Register)

ビット	7	6	5	4	3	2	1	0	
\$05 (\$25)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.2. DDRB – ポートB方向レジスタ (Port B Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$04 (\$24)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.3. PINB – ポートB入力レジスタ (Port B Input Address)

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

10.4.4. PORTC – ポートC出力レジスタ (Port C Data Register) (訳注: AT90PWM216では利用できません。)

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.5. DDRC – ポートC方向レジスタ (Port C Data Direction Register) (訳注: AT90PWM216では利用できません。)

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.6. PINC – ポートC入力レジスタ (Port C Input Address) (訳注: AT90PWM216では利用できません。)

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	不定	不定	不定	不定	不定	不定	不定	

10.4.7. PORTD – ポートD出力レジスタ (Port D Data Register)

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.8. DDRD – ポートD方向レジスタ (Port D Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.9. PIND – ポートD入力レジスタ (Port D Input Address)

ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

10.4.10. PORTE – ポートE出力レジスタ (Port E Data Register)

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	–	–	–	–	–	PORTE2	PORTE1	PORTE0	PORTE
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.11. DDRE – ポートE方向レジスタ (Port E Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	–	–	–	–	–	DDE2	DDE1	DDE0	DDRE
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.12. PINE – ポートE入力レジスタ (Port E Input Address)

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	–	–	–	–	–	PINE2	PINE1	PINE0	PINE
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	不定	不定	不定	

11. 外部割り込み

外部割り込みはINT3～0ピンによって起動されます。許可したなら、例えばINT3～0ピンが出力として設定されても割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端または下降端(含む両端)、またはLowレベルによって起動できます。これは**外部割り込み制御レジスタA(EICRA)**の詳述で示される設定です。外部割り込みがレベル起動として設定、且つ許可されると、そのピンがLowに保持される限り、割り込みは(継続的に)起動します。INT3～0の上昇端または下降端割り込みの認知は**16ページの「クロックシステムとその配給」**で記述されるI/Oクロックの存在を必要とすることに注意してください。I/Oクロックは**アイドル動作**を除く**全休止形態**で停止されます。

レベル起動割り込みが**パワーダウン動作**からの起動に使われる場合、変化したレベルはMCUを起動するために一定時間保たなければならないことに注意してください。これはMCUの雑音不安定性を減らします。変化したレベルはウォッチドッグ発振器クロックによって2度採取されます。ウォッチドッグ発振器の周期は3V, 25°Cで(公称)7.8μsです。ウォッチドッグ発振器の周波数は**186ページの「代表特性」**で示されるように電圧依存です。この採取の間、入力が必要としたレベルであるか、または起動時間の最後まで保たれれば、MCUは起動します。起動時間は**16ページの「システムクロック」**で示されるように**SUTヒューズ**で定義されます。このレベルがウォッチドッグ発振器クロックによって2度採取されるけれど、起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保たれなければなりません。

11.0.1. EICRA – 外部割り込み制御レジスタA (External Interrupt Control Register A)

ビット (\$69)	7	6	5	4	3	2	1	0	
	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	EICRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～0 – ISC31,0～ISC01,0 : 外部割り込み3～0条件制御 (External Interrupt3～0 Sense Control Bits)

外部割り込み3～0は**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**と**外部割り込み許可レジスタ(EIMSK)**の対応する割り込み許可ビットが設定(1)される場合のINT3～0外部ピンによって活性(有効)にされます。割り込みを活性にする外部INT3～0ピンの端(エッジ)とレベルは**表11-1**で定義されます。INT3～0ピンの値は端検知前に採取されています。端または論理変化割り込みが選ばれる場合、1クロック周期より長く留まるパルスは割り込みを生成します。より短いパルスは割り込みの発生が保証されません。**システムクロック前置分周器**が許可される場合、CPUクロック周波数がXTAL周波数より低くできることを考慮してください。Lowレベル割り込みが選ばれる場合、Lowレベルは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。許可したなら、レベルで起動する割り込みはそのピンがLowを保持される限り割り込み要求を(継続的に)生成します。

表11-1. 外部割り込み3～0 割り込み条件

ISn1	ISn0	割り込み発生条件
0	0	INTnピンのLowレベル
0	1	INTnピンの論理変化(両端)
1	0	INTnピンの下降端
1	1	INTnピンの上昇端

注: n=3～0

ISn1,0ビット変更時、割り込みはEIMSKで割り込み許可ビットの解除(0)によって禁止されなければなりません。さもなければビットが変更される時に割り込みが起き得ます。

11.0.2. EIMSK – 外部割り込み許可レジスタ (External Interrupt Mask Register) (注: 頁下段参照)

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	–	–	–	–	INT3	INT2	INT1	INT0	EIMSK
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット3～0 – INT3～INT0 : 外部割り込み3～0 許可 (External Interrupt Request 3～0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、INT3～0ビットが1を書かれると、対応する外部ピン割り込みが許可されます。外部割り込み制御レジスタA(EICRA)の割り込み条件制御n(ISCn1,ISCn0)ビットはその外部割り込みが上昇端、下降端、両端、またはLowレベルのどれで活性(有効)にされるかを定義します。例えばそのピンが出力として設定されても、そのピンの動きは割り込み要求を引き起こします。これはソフトウェア割り込みを生成する方法を提供します。

11.0.3. EIFR – 外部割り込み要求フラグレジスタ (External Interrupt Flag Register) (注: 頁下段参照)

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	–	–	–	–	INTF3	INTF2	INTF1	INTF0	EIFR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット3～0 – INTF3～INTF0 : 外部割り込み3～0要求フラグ (External Interrupt Flag3～0)

INT3～0ピン上の端(エッジ)または論理変化が割り込み要求を起動すると、INTF3～0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み許可レジスタ(EIMSK)の対応する割り込み許可(INT3～0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。INT3～0がレベル割り込みとして設定されると、これらのフラグは常に解除(0)されます。

(訳補) AT90PWM216にINT3が存在しないため、AT90PWM216ではINT3とINTF3が利用できません。

12. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器

タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器部を共有しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述はタイマ/カウンタ0とタイマ/カウンタ1の両方に適用されます。

12.0.1. 内部クロック元

タイマ/カウンタはシステム クロック(CSn2~0=001設定)によって直接的にクロック駆動できます。これはシステム クロック周波数($f_{clk_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。この前置分周したクロックは $f_{clk_I/O}/8$, $f_{clk_I/O}/64$, $f_{clk_I/O}/256$, $f_{clk_I/O}/1024$ の何れかの周波数です。

12.0.2. 前置分周器リセット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)、タイマ/カウンタ0とタイマ/カウンタ1によって共有されます。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2~0=5~2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数はNが前置分周値(8, 64, 256, 1024)とすると、 $1 \sim N+1$ システム クロック周期になり得ます。

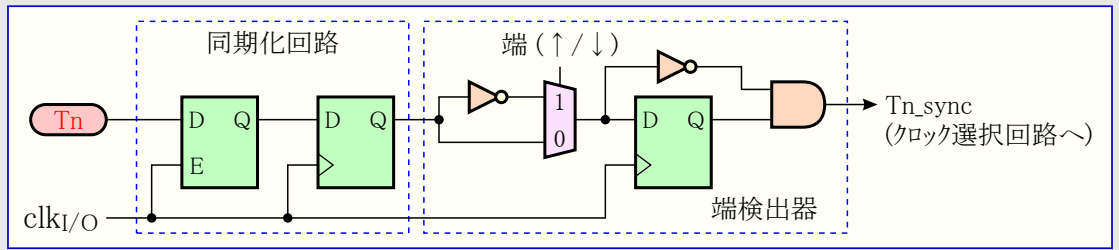
プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使うことが可能です。しかし、同じ前置分周器を共有する他のタイマ/カウンタも前置分周を使う場合、注意が必要とされなければなりません。前置分周器リセットはそれが接続される全タイマ/カウンタについての前置分周器周期に影響を及ぼします。

12.0.3. 外部クロック元

T0/T1ピンに印加された外部クロック元はタイマ/カウンタ クロック(f_{clk_T0}/f_{clk_T1})として使えます。このT0/T1ピンはピン同期化論理回路によって全てのシステム クロック周期に一度採取されます。この同期化(採取)された信号はその後に端(エッジ)検出器を通して通過されます。図12-1はT0/T1同期化と端検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック($f_{clk_I/O}$)の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

端検出器は上昇端(CSn2~0=111)または下降端(CSn2~0=110)の検出毎に1つの clk_{T0}/clk_{T1} パルスを生成します。

図12-1. T0/T1ピンの採取等価構成図



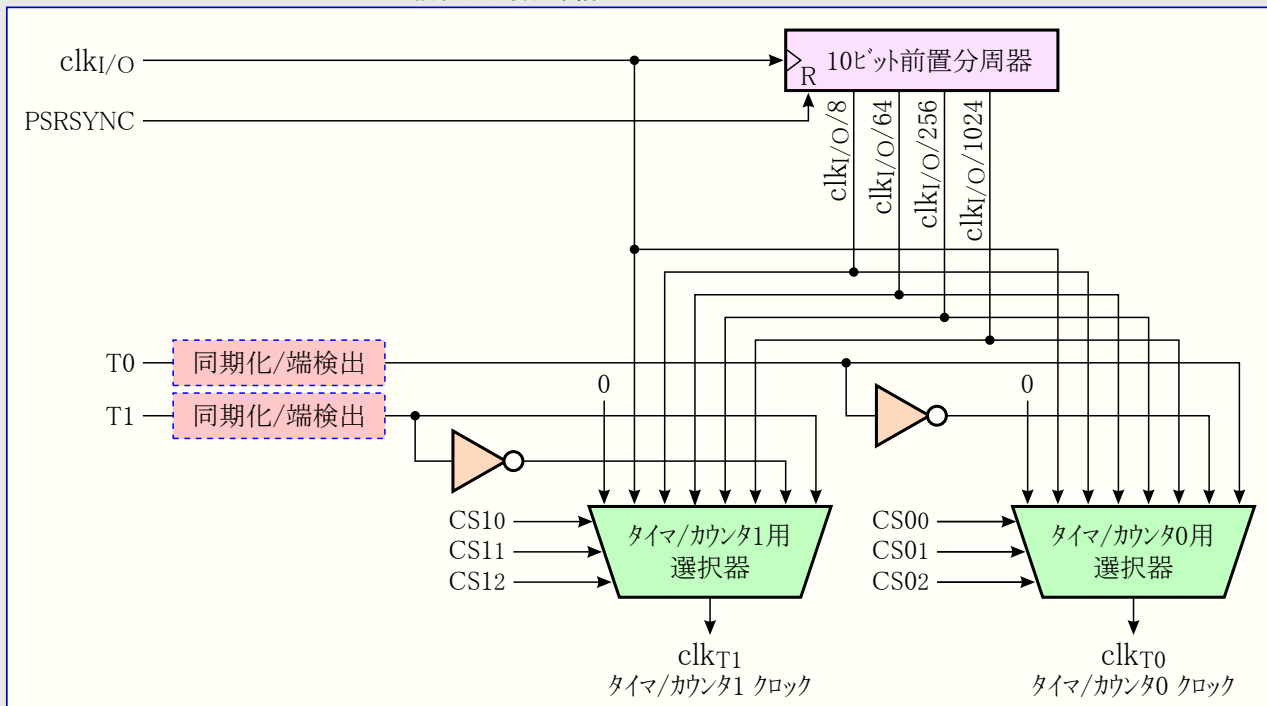
同期化と端検出器論理回路はT0/T1ピンへ印加された端から計数器が更新されるまでに2.5~3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はT0/T1が最低1システム クロック周期に対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システム クロック周波数の半分未満($f_{EXTclk} < f_{clk_I/O}/2$)であることが保証されなければなりません。端検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイquistの標本化定理)。然しながら、発振元(水晶発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は $f_{clk_I/O}/2.5$ 未満が推奨されます。

外部クロック元は前置分周できません。

図12-2. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器部構成図



注: 入力ピン(T0/T1)の同期化/端(エッジ)検出論理回路は図12-1.で示されます。

12.0.4. GTCCR – 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register)

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	TSM	ICPSEL1	–	–	–	–	–	PSRSYNC	GTCCR
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットに1を書くことはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSRSYNCへ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できることを保証します。TSMビットが0を書かれると、PSRSYNCビットはハードウェアによって解除(0)され、同時にタイマ/カウンタが計数を始めます。

• ビット6 – ICPSEL1 : タイマ/カウンタ1 捕獲起動ピン選択 (Timer/Counter1 Input Capture selection)

タイマ/カウンタ1の捕獲機能にはICP1A(PD4)とICP1B(PB7)の利用可能な2つの入力があります。選択は表で記述されるようにICPSEL1ビットで行なわれます。

表12-1. タイマ/カウンタ1捕獲起動入力ピン選択

ICPSEL1	意味
0	捕獲起動入力ピンとしてICP1A選択
1	捕獲起動入力ピンとしてICP1B選択

• ビット0 – PSRSYNC : 同期系タイマ/カウンタ前置分周器リセット (Prescaler Reset Timer/Counter 1,0)

このビットが1のとき、タイマ/カウンタ0とタイマ/カウンタ1の前置分周器はリセットします。TSMビットが設定(1)されている場合を除き、通常、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが両方のタイマ/カウンタに影響を及ぼすことに注意してください。

13. 8ビット タイマ/カウンタ0 (PWM付き)

タイマ/カウンタ0は2つの独立した比較出力部とPWM支援付きの汎用8ビット タイマ/カウンタ部です。それは正確なプログラム実行タイミング(事象管理)、波形生成を許します。主な特徴は次に示されます。

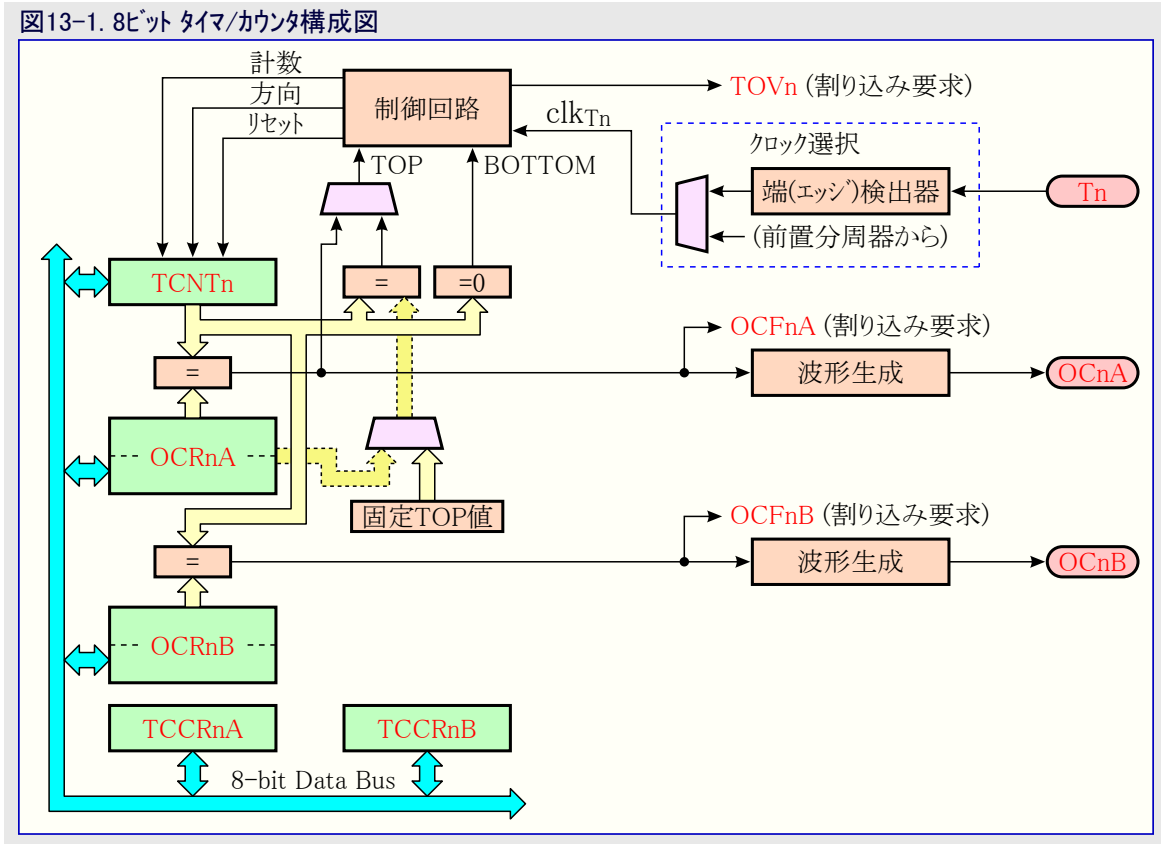
- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 3つの独立した割り込み (TOV0, OCF0A, OCF0B)

13.1. 概要

この8ビット タイマ/カウンタの簡便化した構成図は図13-1.で示されます。I/Oピン実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は61頁の「8ビット タイマ/カウンタ0用レジスタ」で一覧されます。

24頁の「PRR – 電力削減レジスタ」のPRTIM0ビットはタイマ/カウンタ0部を許可するために0を書かれなければなりません。

図13-1. 8ビット タイマ/カウンタ構成図



13.1.1. 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0AとOCR0B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ0割り込み要求レジスタ(TIFR0)で全て見えます。全ての割り込みはタイマ/カウンタ0割り込み許可レジスタ(TIMSK0)で個別に遮蔽(禁止)されます。TIFR0とTIMSK0は本図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するために使うクロック元を制御します。クロック元が選ばれないと、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT0)として参照されます。

2重緩衝化した比較レジスタ(OCR0AとOCR0B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0AとOC0B)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。詳細については55頁の「比較出力部」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF0AとOCF0B)も設定(1)します。

(訳注) AT90PWM216にはT0ピンが存在しないため、外部クロック駆動は利用できません。

13.1.2. 定義

本章でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字のxは比較出力部のチャンネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0のように)。

表13-1.の定義は本文書を通して広範囲に渡って使われます。

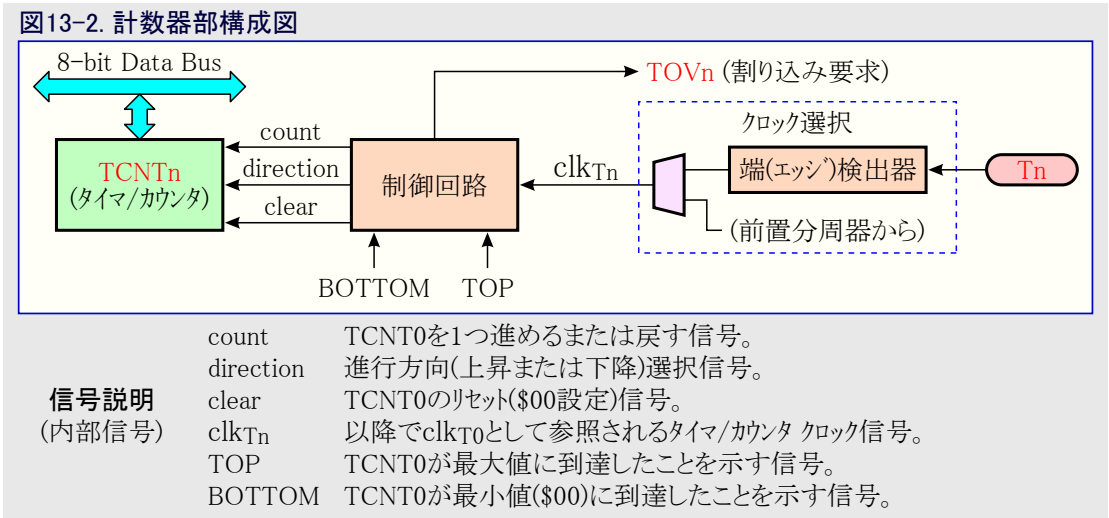
用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値(\$FF)またはOCR0A値に到達した時。この指定(TOP)値は動作種別に依存します。

13.2. タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR0B)に配置されたクロック選択(CS02~0)ビットによって制御されるクロック選択論理回路で選ばれます。クロック元と前置分周器の詳細については51頁の「タイマ/カウンタ0とタイマ/カウンタ1の前置分周器」をご覧ください。

13.3. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。図13-2.は、このカウンタとその周辺環境の構成図を示します。



使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clkT0)で解除(\$00)、増加(+1)、または減少(-1)されます。clkT0はクロック選択(CS02~0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS02~0=000)と、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clkT0)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCR0A)に配置された波形生成種別(WGM01,0)ビットとタイマ/カウンタ制御レジスタB(TCCR0B)に配置された波形生成種別(WGM02)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC0A/OC0B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては57頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOV0)フラグはWGM02~0ビットによって選ばれた動作種別に従って設定(=1)されます。TOV0はCPU割り込み発生に使えます。

13.4. 比較出力部

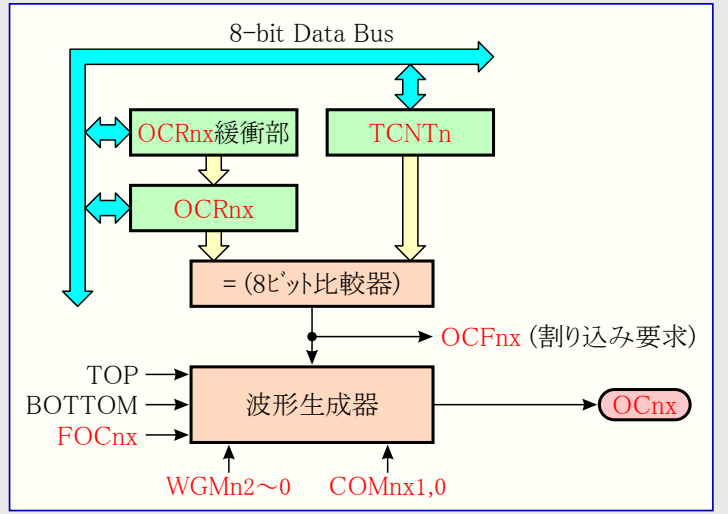
この8ビット比較器はTCNT0と比較レジスタ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCF0AまたはOCF0B)を設定(1)します。対応する割り込みが許可(I=1, OCIE0AまたはOCIE0B=1)されているならば、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的に解除(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(57頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

図13-3.は比較出力部の構成図を示します。

OCR0xはパルス幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0xのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR0x緩衝部をアクセスし、禁止されるとOCR0xレジスタを直接アクセスします。

図13-3. 比較出力部構成図



(訳注) ここでは比較nxレジスタ全体をOCR0x、OCR0xを構成する緩衝部分をOCR0x緩衝部、実際の比較に使われるレジスタ本体部分をOCR0xレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

13.4.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC0x)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCF0x)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC0xピンは実際の比較一致が起きた場合と同様に更新されます(COM0x1,0ビット設定がOC0xピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

13.4.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

13.4.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

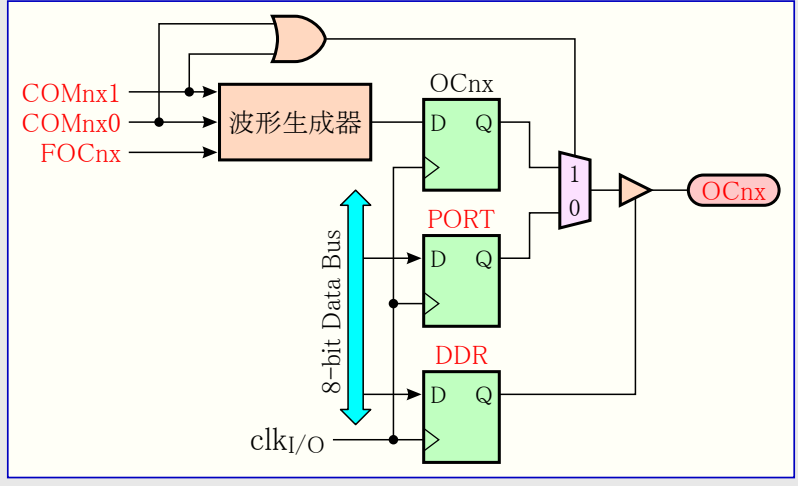
OC0xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で強制変更(FOC0x)ストローブビットを使うことです。波形生成動作種別間を変更する時でも、OC0x(内部)レジスタはその値を保ちます。

比較出力選択(COM0x1,0)ビットが比較値(OCR0x)と共に2重緩衝されないことに気付いてください。COM0x1,0ビットの変更は直ちに有効となります。

13.5. 比較一致出力部

比較出力選択($COM0x1,0$)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力($OC0x$)状態の定義に $COM0x1,0$ ビットを使います。また $COM0x1,0$ ビットは $OC0x$ ピン出力元を制御します。図13-4は $COM0x1,0$ ビット設定によって影響を及ぼされる論理回路の簡略化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。 $COM0x1,0$ ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。 $OC0x$ の状態を参照するとき、その参照は $OC0x$ ピンでなく内部 $OC0x$ レジスタに対してです。システムリセットが起ると、 $OC0x$ レジスタは'0'にリセットされます。

図13-4. 比較一致出力回路図



$COM0x1,0$ ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力($OC0x$)によって無効にされます。けれども $OC0x$ ピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。 $OC0x$ ピンに対するポート方向レジスタのビット(DDR_OC0x)は $OC0x$ 値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前の $OC0x$ 状態の初期化を許します。いくつかの $COM0x1,0$ ビット設定が或る種の動作種別に対して予約されることに注意してください。61頁の「8ビット タイマ/カウンタ用レジスタ」をご覧ください。

13.5.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作で $COM0x1,0$ ビットを違うふうに使います。全ての動作種別に対して $COM0x1,0=00$ 設定は次の比較一致で実行すべき $OC0x$ レジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については61頁の表13-2と表13-5を参照してください。高速PWM動作については61頁の表13-3と表13-6、位相基準PWMについては61頁の表13-4と表13-7を参照してください。

$COM0x1,0$ ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更($FOC0x$)スローブビットを使うことによって直ちに効果を得ることを強制できます。

13.6. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM0x1,0ビットは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM0x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(56頁の「比較一致出力部」をご覧ください)。

タイミング情報の詳細については60頁の「タイマ/カウンタ0のタイミング」を参照してください。

13.6.1. 標準動作

最も単純な動作種別が標準動作(WGM02~0=000)です。この動作種別での計数方向は常に上昇(+)で、カウンタ解除は実行されません。カウンタは8ビット最大値(TOP=\$FF)を通過すると単に範囲を超え、そして\$00(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタ溢れ(TOV0)フラグはTCNT0が\$00になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

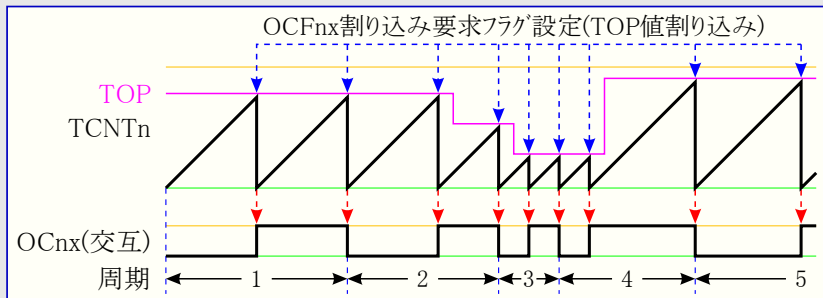
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

13.6.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGM02~0=010)ではOCR0Aがカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNT0)値がOCR0Aと一致すると、カウンタは\$00に解除されます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図13-5.で示されます。カウンタ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後にカウンタ(TCNT0)は解除(\$00)されます。

図13-5. CTC動作タイミング



注: COMnx1,0=01

OCF0Aフラグを使うことにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後のカウンタは比較一致が起こるのに先立って最大値(\$FF)へ、そして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択(COM0A1,0)ビットを交互動作(=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC0A値はそのピンに対するデータ方向が出力(DDR_OC0A=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0A} = f_{clk_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

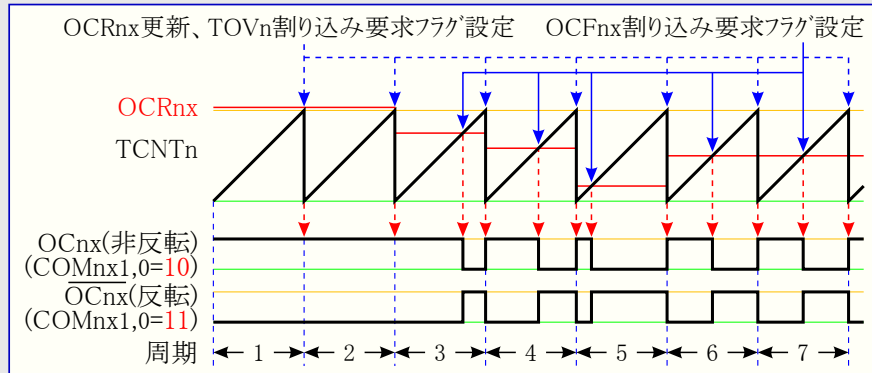
標準動作と同じように、タイマ/カウンタ溢れ(TOV0)フラグはカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

13.6.3. 高速PWM動作

高速パルス幅変調(PWM)動作(WGM02~0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。TOPはWGM02~0=011時に\$FF、WGM02~0=111時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)はTCNT0とOCR0x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM0x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がTOP値と一致するまで増加されます。そしてタイマ/カウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$00)されます。高速PWM動作のタイミング図は図13-6.で示されます。TCNT0値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF0x)はOCR0x=TOPを除いて比較一致が起こると設定(1)されます(訳注:共通性のため本行追加)。

図13-6. 高速PWM動作タイミング



タイマ/カウンタ溢れ(TOV0)フラグはカウンタがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使えます。

高速PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0を'11'に設定することで生成できます。WGM02ビットが設定(1)なら、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(61頁の表13-3と表13-6をご覧ください)。実際のOC0x値はポートピンに対するデータ方向(DDR_OC0x)が出力として設定される場合だけ見えるでしょう。PWM波形はTCNT0とOCR0x間の比較一致で、OC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが解除(\$00、TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でOC0xレジスタを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk_I/O}}{N \times (1 + TOP)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCR0xがBOTTOM(\$00)と等しく設定されると、出力はTOP+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。OCR0xがTOPに等しく設定されると、(COM0x1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

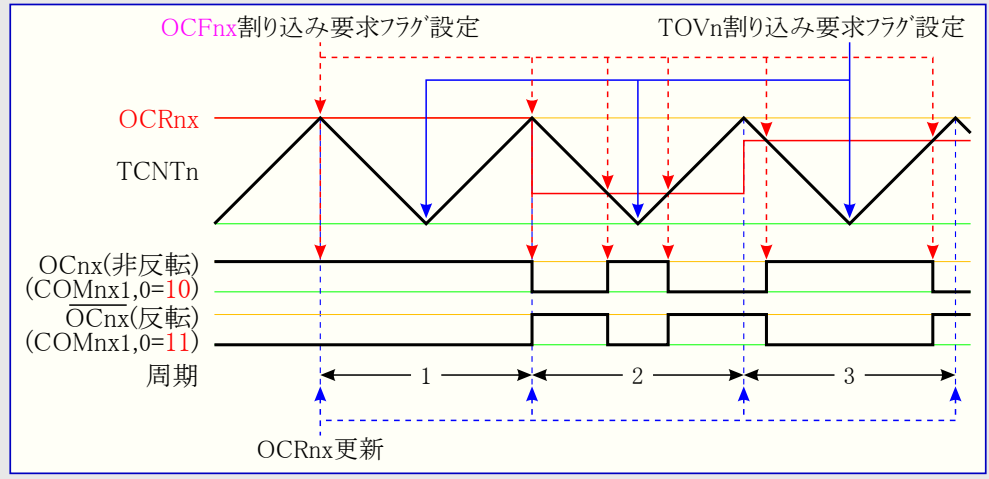
(訳補:WGM02~0=111の場合については、)高速PWM動作での(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOC0A設定(COM0A1,0=01)によって達成できます。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0x} = f_{clk_I/O} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC0A交互出力(COM0A1,0=01)と同じです。

13.6.4. 位相基準PWM動作

位相基準パルス幅変調(PWM)動作(WGM02~0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。カウンタはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM02~0=001時に\$FF、WGM02~0=101時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0xの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのカウンタはカウンタ値がTOPと一致するまで増加されます。カウンタはTOPに達すると計数方向を変更します。このTCNT0値は1タイマ/カウンタクロック周期間TOPと等しくなります。位相基準PWM動作のタイミング図は図13-7.で示されます。TCNT0値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。

図13-7. 位相基準PWM動作タイミング



タイマ/カウンタ溢れ(TOV0)フラグはタイマ/カウンタがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求フラグはカウンタがBOTTOM値に到達する毎に割り込みを発生するために使えます。

位相基準PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0ビットを'11'に設定することで生成できます。WGM02ビットが設定(1)なら、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(61頁の表13-4.と表13-7.をご覧ください)。実際のOC0x値はそのポートピンに対するデータ方向(DDR_OC0x)が出力として設定される場合だけ見えてでしょう。PWM波形はカウンタが増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT0とOCR0x間の比較一致でOC0xレジスタを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR0xがBOTTOM(\$00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図13-7.の第2周期のその出発点に於いて、例えば比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 図13-7.のようにOCR0xはTOPからその値を変更します。OCR0x値がTOPのとき、OCnxピン値は下降計数での比較一致の結果と同じです(訳補: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- タイマ/カウンタがOCR0x値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

13.7. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(clk_{T0})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図13-8は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図13-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

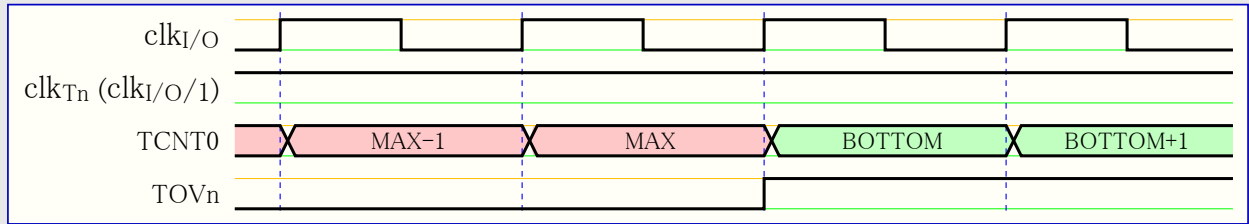


図13-9. は同じタイミング データを示しますが、前置分周器が許可されています。

図13-9. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ タイミング

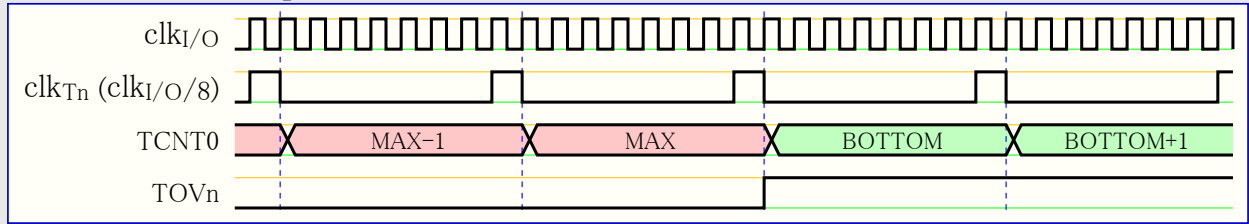


図13-10. はCTC動作とOCR0AがTOPのPWM動作を除く全動作種別でのOCF0Aと全動作種別でのOCF0Bの設定を示します。

図13-10. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、OCF0x設定 タイミング

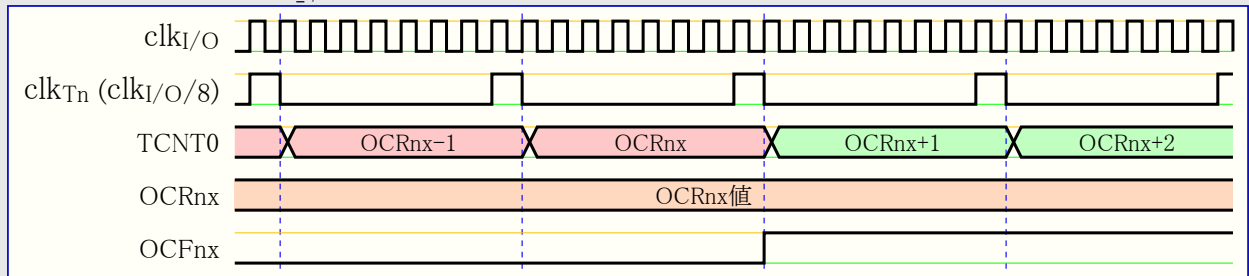
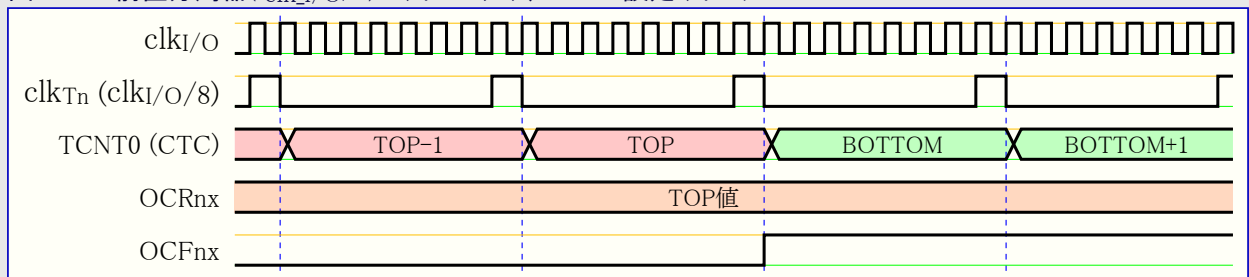


図13-11. はOCR0AがTOPの高速PWM動作と、CTC動作でのTCNT0の解除とOCF0Aの設定を示します。

図13-11. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、OCF0A設定 タイミング



13.8. 8ビット タイマ/カウンタ用レジスタ

13.8.1. TCCR0A – タイマ/カウンタ制御レジスタA (Timer/Counter 0 Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7,6 – COM0A1,0 : 比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

これらのビットはOC0A比較出力ピンの動作を制御します。COM0A1,0ビットの1つまたは両方が1を書かれると、OC0A出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Aピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Aがピンに接続されるとき、COM0A1,0ビットの機能はWGM02~0ビット設定に依存します。

表13-2.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0A1,0ビット機能を示します。

表13-3.はWGM02~0ビットが高速PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表13-4.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表13-2. 非PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でOC0Aピン Lowレベル出力
1	1	比較一致でOC0Aピン Highレベル出力

表13-4. 位相基準PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Aピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Aピンへ出力

表13-3. 高速PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC0Aピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Aピンへ出力 (反転動作)

•ビット5,4 – COM0B1,0 : 比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

これらのビットはOC0B比較出力ピンの動作を制御します。COM0B1,0ビットの1つまたは両方が1を書かれると、OC0B出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Bがピンに接続されるとき、COM0B1,0ビットの機能はWGM02~0ビット設定に依存します。

表13-5.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0B1,0ビット機能を示します。

表13-6.はWGM02~0ビットが高速PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表13-7.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表13-5. 非PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	比較一致でOC0Bピントグル(交互)出力
1	0	比較一致でOC0Bピン Lowレベル出力
1	1	比較一致でOC0Bピン Highレベル出力

表13-7. 位相基準PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Bピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Bピンへ出力

表13-6. 高速PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC0Bピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Bピンへ出力 (反転動作)

共通注意: COM0x1が設定(1)され、対応するOCR0xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMまたはTOPでの設定(1)または解除(0)は行われます。より多くの詳細については58頁の「高速PWM動作」または59頁の「位相基準PWM動作」をご覧ください。(表13-3,4,6,7.各々での注を纏めました。)

•ビット3,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

•ビット1,0 – WGM01,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCR0B)で得られるWGM02ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大カウンタ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します(表13-8参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と2形式のパルス幅変調(PWM)動作です。57頁の「動作種別」をご覧ください。

表13-8. 波形生成種別選択							
番号	WGM02	WGM01	WGM00	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0	0	0	標準動作	\$FF	即時	MAX
1	0	0	1	8ビット位相基準PWM動作	\$FF	TOP	BOTTOM
2	0	1	0	比較一致タイマ/カウンタ解除(CTC)動作	OCR0A	即時	MAX
3	0	1	1	8ビット高速PWM動作	\$FF	BOTTOM	MAX
4	1	0	0	(予約)	–	–	–
5	1	0	1	位相基準PWM動作	OCR0A	TOP	BOTTOM
6	1	1	0	(予約)	–	–	–
7	1	1	1	高速PWM動作	OCR0A	BOTTOM	TOP

注: MAX=\$FF、BOTTOM=\$00です。

13.8.2. TCCR0B – タイマ/カウンタ0制御レジスタB (Timer/Counter0 Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$25 (\$45)	FOC0A	FOC0B	–	–	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7 – FOC0A : OC0A強制変更 (Force Output Compare A)

FOC0AビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Aビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1,0ビット設定に従って変更されます。FOC0Aビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0A1,0ビットに存在する値です。

FOC0Aスロープは何れの割り込みの生成もTOPとしてOCR0Aを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$00)も行いません。

FOC0Aビットは常に0として読みます。

•ビット6 – FOC0B : OC0B強制変更 (Force Output Compare B)

FOC0BビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Bビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0B出力はCOM0B1,0ビット設定に従って変更されます。FOC0Bビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0B1,0ビットに存在する値です。

FOC0Bスロープは何れの割り込みの生成も行いません。

FOC0Bビットは常に0として読みます。

•ビット5,4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

•ビット3 – WGM02 : 波形生成種別 (Waveform Generation Mode bit 2)

61頁の「TCCR0A – タイマ/カウンタ制御レジスタA」のWGM01,0ビット記述をご覧ください。

• ビット2~0 – CS02~0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)によって使われるクロック元を選びます。

表13-9. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0動作停止)
0	0	1	clkI/O (前置分周なし)
0	1	0	clkI/O/8 (8分周)
0	1	1	clkI/O/64 (64分周)
1	0	0	clkI/O/256 (256分周)
1	0	1	clkI/O/1024 (1024分周)
1	1	0	T0ピンの下降端 (外部クロック) (注)
1	1	1	T0ピンの上昇端 (外部クロック) (注)

注: AT90PWM216にはT0ピンが存在しないため、外部クロック駆動は利用できません。

外部ピン(クロック)動作がタイマ/カウンタ0に対して使われる場合、例えばT0ピンが出力として設定されても、T0ピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

13.8.3. TCNT0 – タイマ/カウンタ0 (Timer/Counter0)

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタ部の8ビットカウンタに直接アクセスします。TCNT0への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT0)を変更することはTCNT0とOCR0x間の比較一致消失の危険を誘発します。

13.8.4. OCR0A – タイマ/カウンタ0 比較Aレジスタ (Timer/Counter0 Output Compare A Register)

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Aピンでの波形出力を生成するのに使えます。

13.8.5. OCR0B – タイマ/カウンタ0 比較Bレジスタ (Timer/Counter0 Output Compare B Register)

ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	(MSB)							(LSB)	OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Bピンでの波形出力を生成するのに使えます。

13.8.6. TIMSK0 – タイマ/カウンタ0割り込み許可レジスタ (Timer/Counter 0 Interrupt Mask Register)

ビット (\$6E)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	OCIE0B	OCIE0A	TOIE0	TIMSK0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット2 – OCIE0B : タイマ/カウンタ0比較B割り込み許可 (Timer/Counter0 Output Compare Match B Interrupt Enable)

OCIE0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが許可されます。タイマ/カウンタ0で比較B一致が起こる、換言するとタイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)で比較B割り込み要求フラグ(OCF0B)が設定(1)されると、対応する割り込みが実行されます。

• ビット1 – OCIE0A : タイマ/カウンタ0比較A割り込み許可 (Timer/Counter0 Output Compare Match A Interrupt Enable)

OCIE0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが許可されます。タイマ/カウンタ0で比較A一致が起こる、換言するとタイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)で比較A割り込み要求フラグ(OCF0A)が設定(1)されると、対応する割り込みが実行されます。

• ビット0 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

TOIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言するとタイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)でタイマ/カウンタ0溢れ割り込み要求(TOV0)フラグが設定(1)されると、対応する割り込みが実行されます。

13.8.7. TIFR0 – タイマ/カウンタ0割り込み要求フラグレジスタ (Timer/Counter 0 Interrupt Flag Register)

ビット \$15 (\$35)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	OCF0B	OCF0A	TOV0	TIFR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット2 – OCF0B : タイマ/カウンタ0比較B割り込み要求フラグ (Timer/Counter0, Output Compare B Match Flag)

OCF0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Bはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ0割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ0比較B一致割り込み許可(OCIE0B)ビット、OCF0Bが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが実行されます。

• ビット1 – OCF0A : タイマ/カウンタ0比較A割り込み要求フラグ (Timer/Counter0, Output Compare A Match Flag)

OCF0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Aはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ0割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ0比較A一致割り込み許可(OCIE0A)ビット、OCF0Aが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが実行されます。

• ビット0 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Flag)

TOV0ビットはタイマ/カウンタ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ0割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット、TOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。位相基準PWM動作ではタイマ/カウンタ0が\$00で計数方向を変える時にこのビットが設定(1)されます。

これらフラグの設定はWGM02～0ビット設定に依存します。62頁の波形生成種別ビット記述の表13-8を参照してください。

14. 16ビット タイマ/カウンタ1

この16ビット タイマ/カウンタ部は正確なプログラム実行タイミング(事象管理)、波形生成、信号タイミング計測を許します。主な特徴は次に示されます。

- 真の16ビット設計 (換言すれば16ビットPWMの許容)
- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 1つの捕獲入力部
- 捕獲入力雑音除去器
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 外部事象計数器
- 4つの独立した割り込み (TOV1,OCF1A,OCF1B,ICF1)

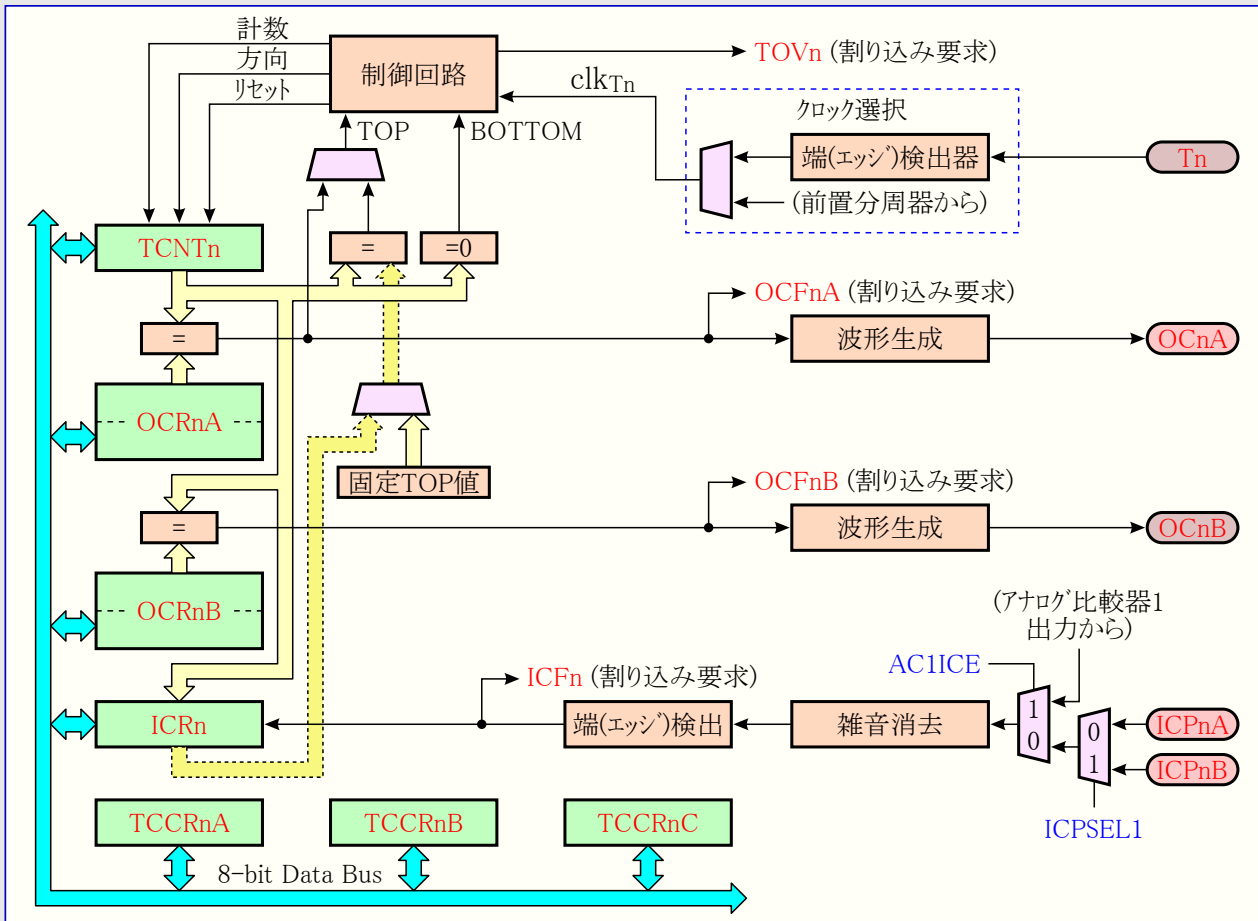
14.1. 概要

本文書でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、小文字の'x'は比較出力部の置き換えです。けれどもプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ1のカウンタ値に対するアクセスのTCNT1のように)。

この16ビット タイマ/カウンタの簡単化した構成図は図14-1.で示されます。実際のI/Oピンの配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能なI/OビットとI/Oピンを含むI/Oレジスタは赤文字(訳注: 原文太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は79頁の「16ビット タイマ/カウンタ1用レジスタ」で示されます。

24頁の「PRR – 電力削減レジスタ」でのPRTIM1ビットはタイマ/カウンタ1部を許可するために0を書かれなければなりません。

図14-1. 16ビット タイマ/カウンタ構成図



注: タイマ/カウンタ1のピンの配置と記述については3頁の表2-1.を参照してください。

(訳注) AT90PWM216にはT1とOC1Bピンが存在しないため、外部クロック駆動とOC1B出力は利用できません。

14.1.1. 関係レジスタ

タイマ/カウンタ(TCNT1)、比較レジスタ(OCR1A,OCR1B)、捕獲レジスタ(ICR1)は全て16ビットレジスタです。16ビットレジスタをアクセスするとき、特別な手順に従わなければなりません。これらの手順は67頁の「16ビットレジスタのアクセス」項で記述されます。タイマ/カウンタ制御レジスタ(TCCR1A,TCCR1B,TCCR1C)は8ビットレジスタで、CPUアクセス制限はありません。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR1)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK1)で個別に遮蔽(禁止)されます。TIFR1とTIMSK1はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT1ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元と端(エッジ)を制御します。クロック元が選ばれないと、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT1)として参照されます。

2重緩衝化した比較レジスタ(OCR1A,OCR1B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC1A,OC1B)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。71頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF1A,OCF1B)も設定(1)します。

捕獲レジスタ(ICR1)は捕獲起動(ICP1)ピンまたはアナログ比較器出力(138頁の「アナログ比較器」参照)のどちらかの外部(端で起動された)事象でタイマ/カウンタ値を捕獲(複写)できます。捕獲入力部は尖頭雑音を捕らえる機会を軽減するためにデジタル濾波部(雑音消去器)を含みます。

TOP値または最大タイマ/カウンタ値は、いくつかの動作種別で、OCR1A、ICR1、または一群の固定値のどれかによって定義できます。PWM動作でTOP値としてOCR1Aを使うと、OCR1AはPWM出力生成用に使えません。けれどもこの場合、TOP値は動作中に変更されるのをTOP値に許す2重緩衝化します。固定的なTOP値が必要とされる場合、ICR1が代わりに使え、PWM出力として使われるべきOCR1Aを開放します。

14.1.2. 定義

次の定義は本文書を通して広範囲に使われます。

表14-1. 用語定義	
用語	意味
BOTTOM	カウンタが\$0000に到達した時。
MAX	カウンタが\$FFFF(65535)に到達した時。
TOP	カウンタがTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値(\$00FF,\$01FF,\$03FF)、OCR1A値、ICR1値の何れか1つを指定できます。この指定は動作種別に依存します。

14.2. 16ビットレジスタのアクセス

TCNT1, OCR1A, OCR1B, ICRIは8ビットバス経由でAVR CPUによってアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使ってバイトアクセスされなければなりません。16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。16ビットタイマ/カウンタ内の全ての16ビットレジスタ間で、この同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUによって書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロック周期で両方が16ビットレジスタに複写されます。16ビットレジスタの下位バイトがCPUによって読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロック周期で一時レジスタに複写されます。

全ての16ビットアクセスが上位バイトに対して一時レジスタを使う訳ではありません。OCR1AとOCR1Bの16ビットレジスタ読み込みは一時レジスタの使用に関係しません。

16ビット書き込みを行うために上位バイトは下位バイトに先立って書かれなければなりません。16ビット読み込みについては下位バイトが上位バイトの前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCR1A, OCR1B, ICRIレジスタのアクセスに対して同じ原理が直接的に使えます。C言語を使う時はコンパイラが16ビットアクセスを扱うことに注意してください。

アセンブリ言語プログラム例

```

~
;
; [16ビット($01FF)書き込み]
LDI    R17, $01    ; $01FFの上位バイト値取得
LDI    R16, $FF    ; $01FFの下位バイト値取得
OUT     TCNT1H, R17 ; 上位バイト設定(一時レジスタ)
OUT     TCNT1L, R16 ; 下位バイト設定(一時レジスタ⇒上位バイト)
; [16ビット読み込み]
IN      R16, TCNT1L ; 下位バイト取得(上位バイト⇒一時レジスタ)
IN      R17, TCNT1H ; 上位バイト取得(一時レジスタ)
~
;
```

C言語プログラム例

```

unsigned int i;
~
TCNT1 = 0x1FF;    /* */
i = TCNT1;        /* 16ビット($01FF)書き込み */
~                /* 16ビット読み込み */
/* */
```

注: 5頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT1値を戻します。

16ビットレジスタアクセスが非分断操作であることに注意することが重要です。16ビットレジスタをアクセスする2命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによって一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例はTCNT1レジスタ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCR1A,OCR1B,ICR1のどの読み込みも行えます。

アセンブリ言語プログラム例

```
RD_TCNT1:    IN      R18, SREG          ;現全割り込み許可フラグ(I)を保存
             CLI                      ;全割り込み禁止
             IN      R16, TCNT1L        ;TCNT1下位バイト取得(上位バイト⇒一時レジスタ)
             IN      R17, TCNT1H        ;TCNT1上位バイト取得(一時レジスタ)
             OUT     SREG, R18          ;全割り込み許可フラグ(I)を復帰
             RET                       ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int TIM16_Read_TCNT1(void)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNT1読み出し変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    __disable_interrupt();             /* 全割り込み禁止 */
    i = TCNT1;                         /* TCNT1値を取得 */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
    return i;                          /* TCNT1値で呼び出し元へ復帰 */
}
```

注: 5頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT1値を戻します。

次のコード例はTCNT1レジスタ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCR1A,OCR1B,ICR1のどの書き込みも行えます。

アセンブリ言語プログラム例

```
WR_TCNT1:    IN      R18, SREG          ;現全割り込み許可フラグ(I)を保存
             CLI                      ;全割り込み禁止
             OUT     TCNT1H, R17        ;TCNT1上位バイト設定(一時レジスタ)
             OUT     TCNT1L, R16        ;TCNT1下位バイト設定(一時レジスタ⇒上位バイト)
             OUT     SREG, R18          ;全割り込み許可フラグ(I)を復帰
             RET                       ;呼び出し元へ復帰
```

C言語プログラム例

```
void TIM16_Write_TCNT1(unsigned int i)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNT1書き込み変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    __disable_interrupt();             /* 全割り込み禁止 */
    TCNT1 = i;                         /* TCNT1値を設定 */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
}
```

注: 5頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対がTCNT1へ書かれるべき値を含む必要があります。

14.2.1. 上位バイト一時レジスタの再使用

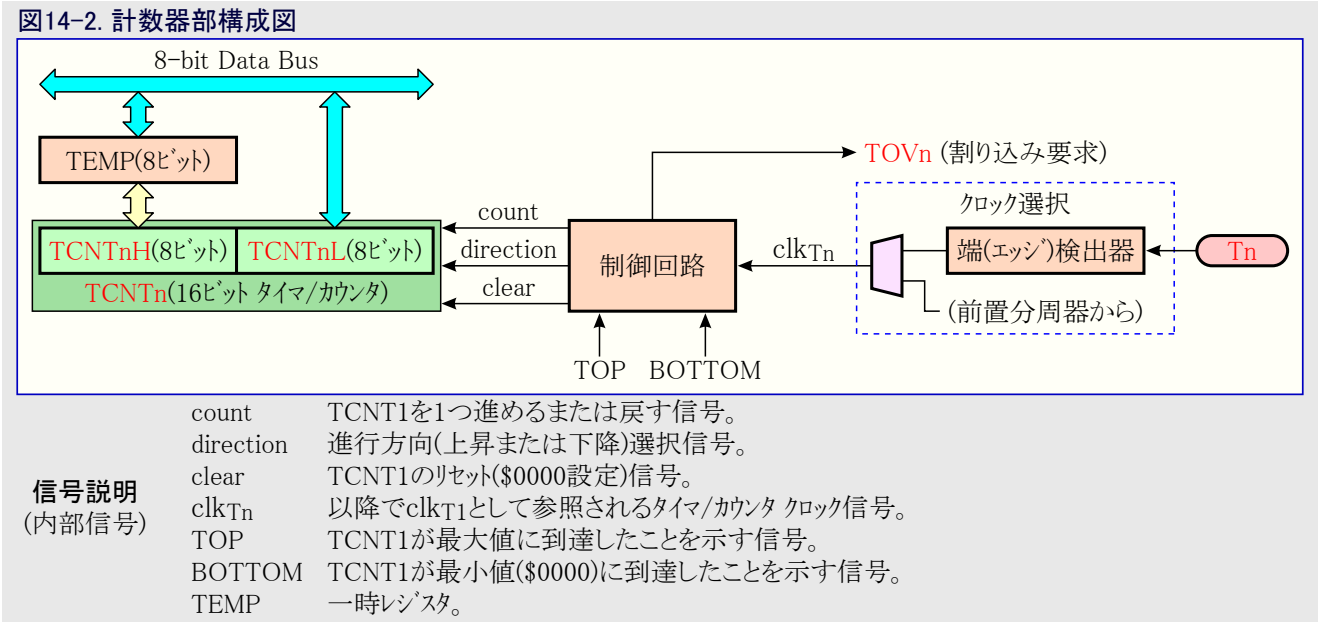
書かれる全レジスタについて上位バイトが同じ複数16ビットレジスタ書き込みなら、上位バイトは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

14.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR1B)に配置されたクロック選択(CS12~0)ビットによって制御されるクロック選択論理回路で選ばれます。クロック元と前置分周器の詳細については51頁の「タイマ/カウンタ0とタイマ/カウンタ1の前置分周器」をご覧ください。

14.4. 計数器部

16ビット タイマ/カウンタの主な部分は設定可能な16ビット双方向カウンタ部です。図14-2はこのカウンタとその周辺の構成図を示します。



この16ビット カウンタはカウンタの上位8ビットを含むカウンタ上位(TCNT1H)と下位8ビットを含むカウンタ下位(TCNT1L)の2つの8ビット I/Oメモリ位置に配置されます。TCNT1HレジスタはCPUによる間接的なアクセスのみできます。CPUがTCNT1H I/O位置をアクセスするとき、CPUは上位バイト一時レジスタ(TEMP)をアクセスします。この一時レジスタはTCNT1Lが読まれる時にTCNT1H値で更新され、TCNT1Lが書かれる時にTCNT1Hは一時レジスタ値で更新されます。これは8ビット データ バス経由で1クロック周期内の16ビット カウンタ値全体の読み書きをCPUに許します。予測不能な結果を生じる、カウンタが計数中の時のTCNT1書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項目で記述されます。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clkT1)でリセット(\$0000)、増加(+1)、または減少(-1)されます。clkT1はクロック選択(CS12~0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS12~0=000)時にカウンタは停止されます。けれどもTCNT1値はタイマ/カウンタ クロック(clkT1)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCR1A)とタイマ/カウンタ制御レジスタB(TCCR1B)に配置された波形生成種別(WGM13~0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法と波形がOC1x比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては74頁の「動作種別」をご覧ください。

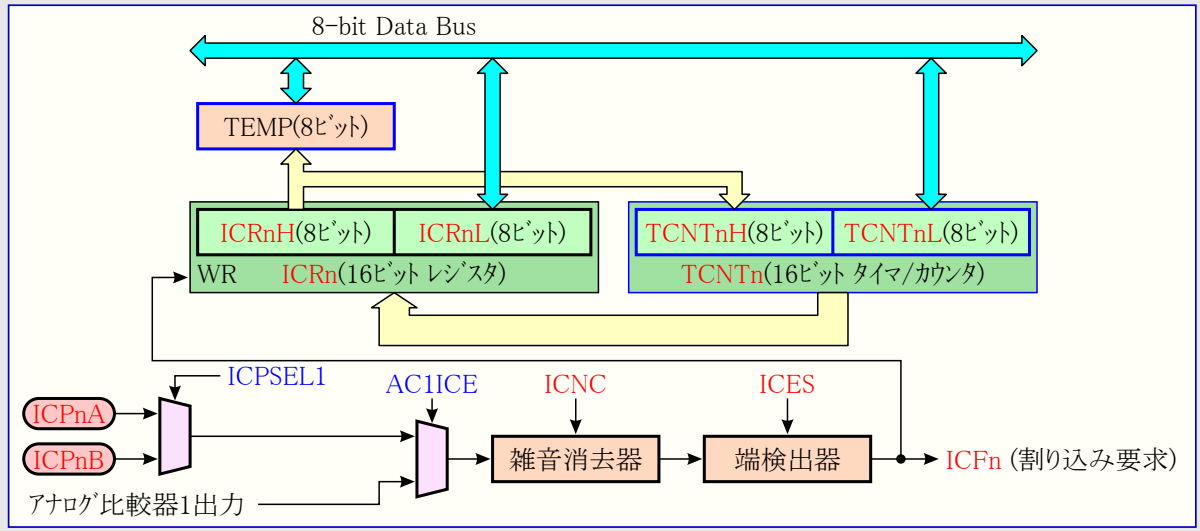
タイマ/カウンタ溢れ(TOV1)フラグはWGM13~0ビットによって選ばれた動作種別に従って設定(1)されます。TOV1はCPU割り込み発生に使えます。

14.5. 捕獲入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印(タイマ/カウンタ値)を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号はICP1ピンまたは代わりにアナログ比較器経由で印加できます。時間印はその後、周波数、デューティ比、印加された信号の他の特性の計算に使えます。代わりに時間印は出来事の記録作成にも使えます。

捕獲入力部は図14-3.で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(訳注:原文は灰色背景)で示されます。レジスタとビット名での小文字の'n'はタイマ/カウンタ番号を示します。

図14-3. 捕獲入力部構成図



捕獲起動入力(ICP1)ピン若しくは代わりにアナログ比較器1出力(AC1O)で論理レベルの変化(事象)が起き、その変化が端(エッジ)検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、カウンタ(TCNT1)の16ビット値が捕獲レジスタ(ICR1)に書かれます。捕獲割り込み要求フラグ(ICF1)はTCNT1値がICR1に複写されるのと同じシステムクロックで設定(1)されます。許可(I=1, ICIE1=1)ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。ICF1は割り込みが実行されると自動的に解除(0)されます。代わりに本I/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。

捕獲レジスタ(ICR1)の16ビット値読み込みは、初めに下位バイト(ICR1L)、その後に上位バイト(ICR1H)を読むことによって行われます。下位バイトが読まれる時に上位バイトが上位バイト一時レジスタ(TEMP)に複写されます。CPUがICR1H I/O位置を読むと、この一時レジスタをアクセスします。

ICR1はカウンタのTOP値定義にICR1を利用する波形生成種別を使う時にだけ書けます。これらの場合、TOP値がICR1に書かれ得る前に波形生成種別(WGM13~0)ビットが設定されなければなりません。ICR1に書く時は下位バイトがICR1Lに書かれる前に、上位バイトがICR1H I/O位置に書かれなければなりません。

16ビットレジスタアクセス法のより多くの情報については67頁の「16ビットレジスタのアクセス」を参照してください。

14.5.1. 捕獲起動元 (訳注:矛盾回避のため、アナログ比較器関係記述を修正)

捕獲入力部用の主な起動元は捕獲起動入力(ICP1AとICP1B)ピンです。タイマ/カウンタ1は捕獲入力部用起動元としてアナログ比較器1出力を代わりに使えます。アナログ比較器はアナログ比較器1制御(AC1CON)レジスタのアナログ比較器1捕獲起動許可(AC1ICE)ビットの設定(1)によって起動元として選ばれます。(訳補:AT90PWM216にはアナログ比較器1がないため利用できません。)

起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求フラグ(ICF1)は、その変更後に解除(0)されなければなりません。

捕獲起動入力(ICP1)ピンとアナログ比較器1出力(AC1O)の両入力は、T1ピン(51頁の図12-1.参照)についてと同じ技法を使って採取されます。端検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路が端検出器の前に挿入され、そして遅延を4システムクロック周期増やします。タイマ/カウンタがTOP値定義にICR1を使う波形生成種別に設定されないなら、雑音消去器と端検出器の入力が常に許可されることに注意してください。

捕獲入力はICP1ピンのポートを制御することによってソフトウェアで起動できます。

14.5.2. 雑音消去器

雑音消去器は簡単なデジタル濾波器機構を使うことによって雑音耐性を改善します。雑音消去器の入力は4採取に渡って監視され、端検出器によって使われる方向転換となる出力を変更するためには4回全てが同じでなければなりません。

雑音消去器はタイマ/カウンタ制御レジスタB(TCCR1B)の捕獲入力雑音消去許可(ICNC1)ビットの設定(1)によって許可されます。許可したとき、雑音消去器は入力に印加した変更からICR1の更新までに4システムクロック周期の追加遅延をもたらします。雑音消去器はシステムクロックを使い、従って前置分周器によって影響されません。

14.5.3. 捕獲入力の使用

捕獲入力機能を使う主要要求(目的)は入って来る出来事に対して十分なプロセッサ能力を当てがうことです。2つの出来事間の時間が際どいします。次の出来事が起こる前に捕獲した**捕獲レジスタ(ICR1)**の値をプロセッサが読めなかった場合、ICR1は新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICR1は割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求のどれかを扱うのに必要とされる最大クロック周期数に依存します。

動作中に**TOP値(分解能)**が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のデューティ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更はICR1が読まれてしまった後に可能な限り早く行われなければなりません。端(エッジ)の変更後、**捕獲割り込み要求フラグ(ICF1)**はソフトウェア(I/Oビット位置への論理1書き込み)によって解除(0)されなければなりません(訳補:端変更によってICF1が設定(1)されることを想定)。周波数のみの測定について、(割り込み処理が使われる場合)ICF1の解除(0)は必要とされません。

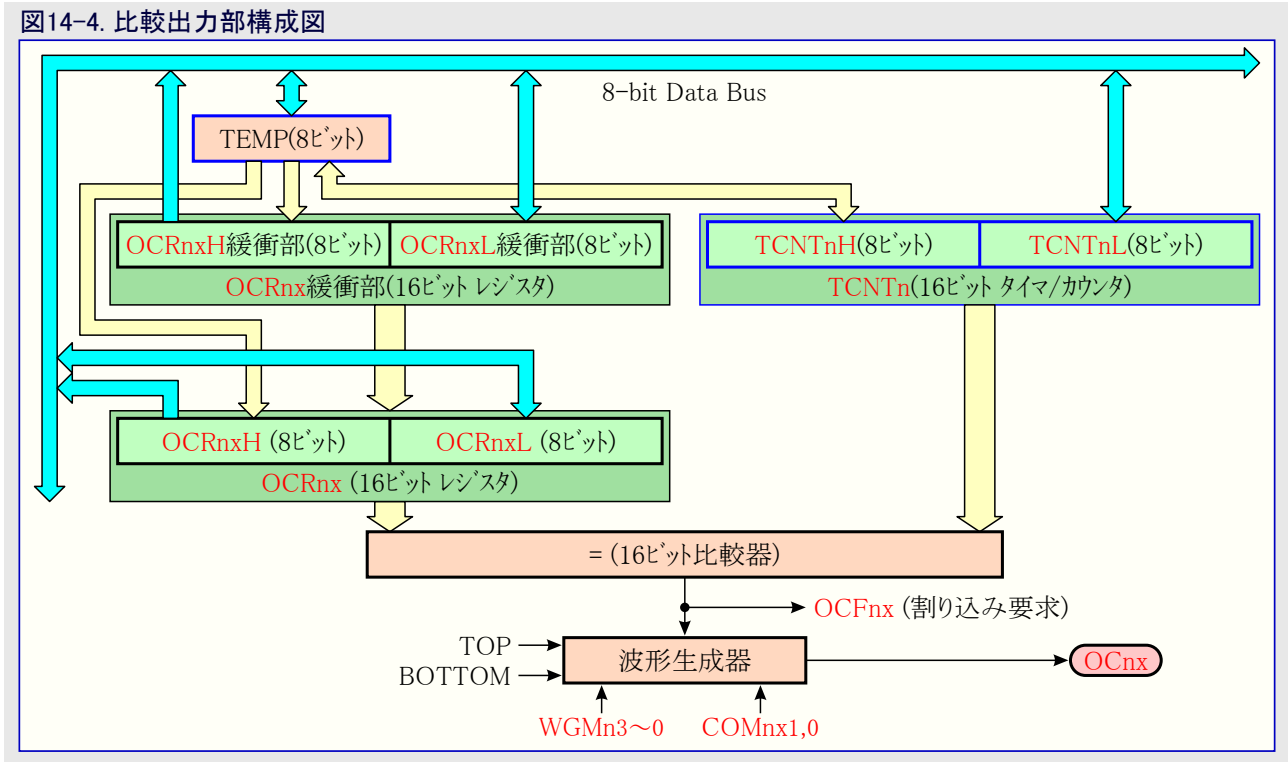
14.6. 比較出力部

この16ビット比較器は**TCNT1**と**比較レジスタ(OCR1x)**を継続的に比較します。TCNT1とOCR1xが等しければ、比較器は一致を指示します。この一致は**次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCF1x)**を設定(1)します。許可(I=1, **OCIE1x=1**)なら、この比較割り込み要求フラグは比較割り込みを発生します。OCF1xは割り込みが実行されると自動的に解除(0)されます。代わりにOCF1xはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は**波形生成種別(WGM13~0)ビット**と**比較出力選択(COM1x1,0)ビット**によって設定された動作種別に従った出力を生成するのにこの一致信号を使います。TOPとBOTTOM信号は動作種別(74頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

比較A出力部の特殊な特性はタイマ/カウンタのTOP値(換言するとカウンタの分解能)定義を許します。カウンタの分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

図14-4.は比較出力部の構成図を示します。レジスタとビット名での小文字の'n'はタイマ/カウンタ番号(タイマ/カウンタ1に対してはn=1)、小文字の'x'は比較出力部(AまたはB)を表します。直接的な比較出力部の部分でない構成図の要素は青枠(訳注:原文は灰色背景)で示されます。

図14-4. 比較出力部構成図



OCR1xは12種類のパルス幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR1xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR1xのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR1x緩衝部をアクセスし、禁止されるとOCR1xレジスタを直接アクセスします。OCR1x(緩衝部またはレジスタ)の内容は書き込み操作によってのみ変更されます(タイマ/カウンタはTCNT1やICR1のようにOCR1xを自動的に更新しません)。従ってOCR1xは上位バイト一時レジスタ(TEMP)経由で読まれません。けれども他の16ビットレジスタをアクセスする時のように下位バイトを先に読むのは良い習慣です。OCR1x書き込みは16ビット全ての比較が継続的に行われるため、一時レジスタ経由で行われなければなりません。上位バイト(OCR1xH)が先に書かれなければなりません。上位バイトI/O位置がCPUによって書かれると、一時レジスタは書かれた値で更新されます。その後に下位バイト(OCR1xL)が下位8ビットを書かれると、(一時レジスタ内の)上位バイトは(下位バイト書き込みと)同じシステムクロック周期でOCR1x緩衝部またはOCR1xレジスタのどちらかに複写されます。

16ビットレジスタアクセス法のより多くの情報については67頁の「16ビットレジスタのアクセス」を参照してください。

(訳注) ここでは比較nxレジスタ全体をOCRnx、OCRnxを構成する緩衝部分をOCRnx緩衝部、実際の比較に使われるレジスタ本体部分をOCRnxレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

14.6.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC1x)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCF1x)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC1xピンは実際の比較一致が起きた場合と同様に更新されます(COM1x1,0ビット設定がOC1xピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

14.6.2. TCNT1書き込みによる比較一致妨害

TCNT1への全てのCPU書き込みは、例えタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に、割り込みを起動することなく、TCNT1と同じ値に初期化されることをOCR1xに許します。

14.6.3. 比較一致部の使用

どの動作種別でのTCNT1書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかंनाいかに拘らず、何れかの比較出力部を使う場合、TCNT1を変更する時に危険を伴います。TCNT1に書かれた値がOCR1x値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNT1を書いてはいけません。(行った場合)TOPに対する比較一致は無視され、カウンタは\$FFFFへ(計数を)続けます。同様にカウンタが下降計数のとき、BOTTOMに等しいTCNT1値を書いてはいけません。

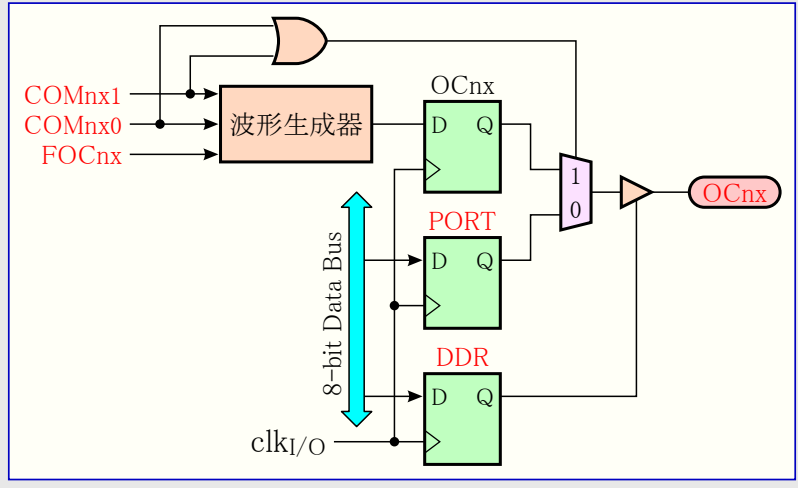
OC1xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC1x値を設定する一番簡単な方法は標準動作で強制変更(FOC1x)スローブビットを使うことです。波形生成種別間を変更する時であっても、OC1x(内部)レジスタはその値を保ちます。

比較出力選択(COM1x1,0)ビットが比較値(OCR1x)と共に2重緩衝されないことに気付いてください。COM1x1,0ビットの変更は直ちに有効となります。

14.7. 比較一致出力部

比較出力選択($COM1x1,0$)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力($OC1x$)状態の定義に $COM1x1,0$ ビットを使います。次に $COM1x1,0$ ビットは $OC1x$ ピン出力元を制御します。図14-5は $COM1x1,0$ ビット設定によって影響される論理回路の簡略化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。 $COM1x1,0$ ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。 $OC1x$ の状態を参照するとき、その参照は $OC1x$ ピンでなく内部 $OC1x$ レジスタに対してです。システムリセットが起ると、 $OC1x$ レジスタは0にリセットされます。

図14-5. 比較一致出力回路図



$COM1x1,0$ ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力($OC1x$)によって無効にされます。けれども $OC1x$ ピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。 $OC1x$ ピンに対するポート方向レジスタのビット(DDR_OC1x)は $OC1x$ 値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。詳細については表14-2、表14-3、表14-4を参照してください。

比較出力ピン論理回路の設計は出力が許可される前の $OC1x$ 状態の初期化を許します。いくつかの $COM1x1,0$ ビット設定が或る種の動作種別に対して予約されることに注意してください。79頁の「16ビットタイマ/カウンタ用レジスタ」をご覧ください。

$COM1x1,0$ ビットは捕獲入力部での何の効果もありません。

15.7.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作で $COM1x1,0$ ビットを違うふうに使います。全動作種別に対して $COM1x1,0=00$ 設定は次の比較一致で実行すべき $OC1x$ レジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については79頁の表14-2を参照してください。高速PWM動作については79頁の表14-3、位相基準PWMと位相/周波数基準PWMについては79頁の表14-4を参照してください。

$COM1x1,0$ ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更($FOC1x$)スローブビットを使うことによって直ちに効果を得ることを強制できます。

14.8. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は**波形生成種別(WGM13~0)ビット**と**比較出力選択(COM1x1,0)ビット**の組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM1x1,0ビットは生成されたPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対してのCOM1x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します。73頁の「**比較一致出力部**」をご覧ください。

タイミング情報の詳細については78頁の「**タイマ/カウンタのタイミング**」を参照してください。

14.8.1. 標準動作

最も単純な動作種別が標準動作(WGM13~0=0000)です。この動作種別での計数方向は常に上昇(+)で、カウンタの解除は実行されません。カウンタは16ビット最大値(MAX=\$FFFF)を通過すると単に範囲を超え、そして\$0000(BOTTOM)から再び始めます。通常動作での**タイマ/カウンタ溢れ(TOV1)フラグ**はTCNT1が\$0000になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV1フラグは設定(1)のみで解除(0)されないことを除いて第17ビットのようになります。けれどもTOV1フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

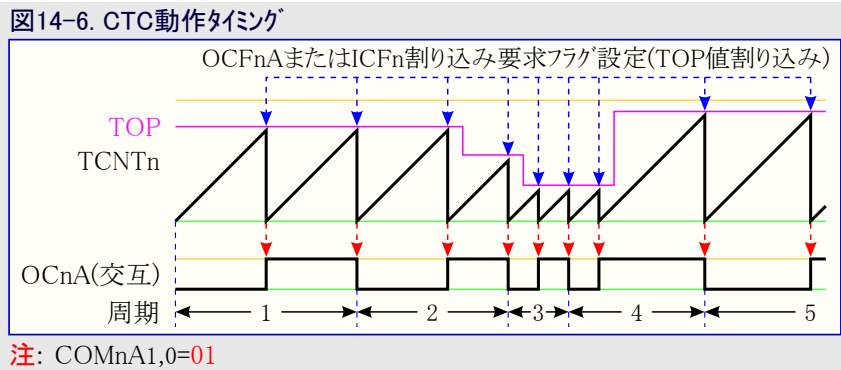
捕獲入力部は標準動作で使用が容易です。けれども外部の事象間の最大間隔がタイマ/カウンタの分解能(16ビット長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、タイマ/カウンタ溢れ割り込みまたは前置分周器が使われなければなりません。

比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

14.8.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGM13~0=0100または1100)ではOCR1AまたはICR1がカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNT1)値がOCR1A(WGM13~0=4)またはICR1(WGM13~0=12)のどちらかと一致する時にカウンタが\$0000に解除されます。OCR1AまたはICR1はカウンタに対する**TOP値**、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図14-6.で示されます。カウンタ(TCNT1)値はOCR1AまたはICR1のどちらかで比較一致が起こるまで増加し、そしてその後にカウンタ(TCNT1)は解除(\$0000)されます。



TOP値を定義するのに使われるレジスタに対してOCF1AまたはICF1のどちらかを使うことにより、カウンタ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更するのは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR1AまたはICR1に書かれた新しい値がTCNT1の現在値よりも低い(小さい)場合、カウンタは(その回の)比較一致を失います。その後のカウンタは比較一致が起こせるのに先立って、最大値(\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCR1Aが2重緩衝されるので、代替はTOPを定義するのにOCR1Aを用いる**高速PWM動作(WGM13~0=1111)**を使うことでしょう。

CTC動作で波形出力を生成するため、OC1A出力は**比較出力選択(COM1A1,0)ビット**を交互動作(=01)に設定することによって各比較一致での論理レベル交互切替に設定できます。OC1A値はそのピンに対するデータ方向が出力(DDR_OC1A=1)に設定されない限り、ポートピンで見えないでしょう。生成された波形はOCR1Aが0(\$0000)に設定される時に $f_{OC1A} = f_{clk_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、**タイマ/カウンタ溢れ割り込み要求(TOV1)フラグ**はカウンタがMAXから\$0000へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

14.8.3. 高速PWM動作

高速パルス幅変調(PWM)動作(WGM13~0=0101,0110,0111,1110,1111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)はTCNT1とOCR1x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM1x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準や位相/周波数基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWMのPWM分解能は8,9,10ビットに固定、若しくはOCR1AかICR1のどちらかによって定義できます。許された最小分解能は2ビット(OCR1AまたはICR1が\$0003設定)、最大分解能は16ビット(OCR1AまたはICR1がMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{\text{PWM}} = \frac{\log(\text{TOP} + 1)}{\log 2}$$

高速PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGM13~0=0101,0110,0111)、ICR1値(WGM13~0=1110)またはOCR1A値(WGM13~0=1111)のどれかと一致するまで増加されます。そしてカウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$0000)されます。高速PWM動作のタイミング図は図14-7で示されます。本図はOCR1AかICR1がTOPを定義するのに使われる時の高速PWM動作を示します。TCNT1値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF1x)は比較一致が起こると設定(1)されます。

タイマ/カウンタ溢れ割り込み要求(TOV1)フラグはカウンタがTOPに到達する時毎に設定(1)されます。加えて、OCR1AかICR1のどちらかがTOP値を定義するのに使われる時にOCF1AまたはICF1割り込み要求フラグはTOV1が設定(1)されるのと同じタイマ/カウンタクロック周期で設定(1)されます。これらの割り込みの1つが許可されるなら、その割り込み処理ルーチンはTOPと比較値を更新するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR1xが書かれる時も、未使用ビットが0で隠(に置換)されることに注意してください。

ICR1がTOP値を定義するのに使われる時にICR1を更新する手順はOCR1Aの更新と異なります。ICR1は2重緩衝されません。これは前置分周なしまたは低い前置分周値でカウンタが走行している時にICR1が小さな値に変更される場合、書かれた新しいICR1値がTCNT1の現在値よりも小さくなる危険を意味します。その後の結果はカウンタが(その回の)TOP値での比較一致を失うことです。その後のカウンタは比較一致が起こせるのに先立って、MAX値(\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。しかし、OCR1Aは2重緩衝されます。この特徴は何時でも書かれることをOCR1AのI/O位置に許します。OCR1A I/O位置が書かれると、書かれた値はOCR1A緩衝部に置かれます。OCR1A(比較)レジスタはその後TCNT1がTOPと一致した次のタイマ/カウンタクロック周期にOCR1A緩衝部の値で更新されます。この更新はTCNT1の解除(\$0000)やTOV1の設定(1)と同じタイマ/カウンタクロック周期で行われます。

TOPを定義するのにICR1を使うことは決まったTOP値を使う時に上手くなります。ICR1を使うことにより、OC1AでのPWM出力を生成するためにOCR1Aが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR1Aが2重緩衝機能のため、TOPとしてOCR1Aを使うことは明らかに良い選択です。

高速PWM動作での比較部はOC1xピンでのPWM波形の生成を許します。COM1x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます。79頁の表14-3をご覧ください。実際のOC1x値はそのポートピンに対するデータ方向が出力(DDR_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はTCNT1とOCR1x間の比較一致でOC1x(内部)レジスタを設定(1)(または解除(0))と、カウンタが解除(\$0000、TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でのOC1xレジスタを解除(0)(または設定(1))することによって生成されます。

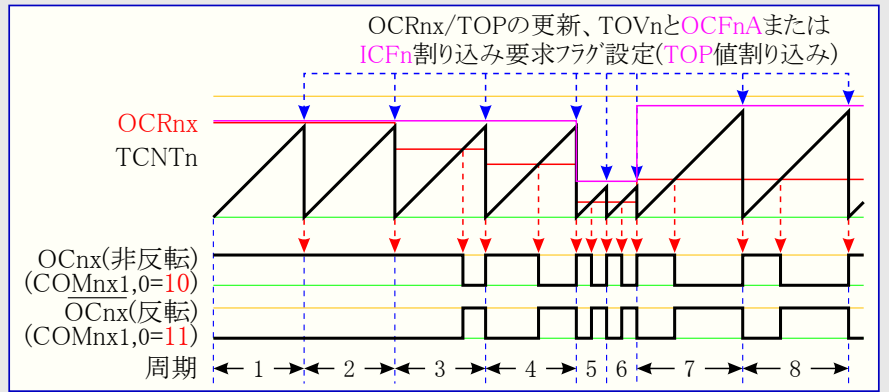
PWM出力周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{\text{OCnxPWM}} = \frac{f_{\text{clk_I/O}}}{N \times (1 + \text{TOP})}$$

OCR1xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCR1xがBOTTOM(\$0000)に等しく設定されると、出力はTOP+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。TOPに等しいOCR1x設定は(COM1x1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOC1A設定(COM1A1,0=01)によって達成できます。これはTOP値を定義するのにOCR1Aが使われる(WGM13~0=1111)の場合にだけ適用されます。生成された波形はOCR1Aが\$0(\$0000)に設定される時に $f_{\text{OC1A}} = f_{\text{clk_I/O}} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC1A交互出力(COM1A1,0=01)と同じです。

図14-7. 高速PWM動作タイミング



14.8.4. 位相基準PWM動作

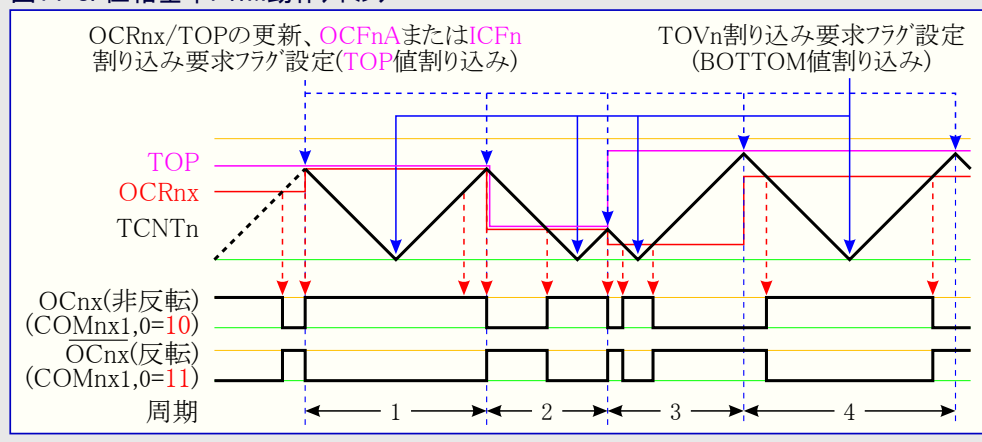
位相基準パルス幅変調(PWM)動作(WGM13~0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とした位相/周波数基準PWMと似ています。カウンタはBOTTOM(\$0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM1x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8,9,10ビットに固定、若しくはOCR1AかICR1のどちらかによって定義できます。許された最小分解能は2ビット(OCR1AまたはICR1が\$0003設定)、最大分解能は16ビット(OCR1AまたはICR1がMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{PCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相基準PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGM13~0=0001,0010,0011), ICR1値(WGM13~0=1010)またはOCR1A値(WGM13~0=1011)のどれかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNT1値はタイマ/カウンタクロック周期、TOPと等しくなります。位相基準PWM動作のタイミング図は図14-8.で示されます。この図はOCR1AかICR1がTOPを定義するのに使われる時の位相基準PWM動作を示します。TCNT1値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF1x)は比較一致が起こると設定(1)されます。

図14-8. 位相基準PWM動作タイミング



タイマ/カウンタ溢れ(TOV1)フラグはカウンタがBOTTOMに到達する時毎に設定(1)されます。OCR1AかICR1のどちらかがTOP値を定義するのに使われる時にOCF1AまたはICF1割り込み要求フラグはOCR1xレジスタが(TOPに於いて)2重緩衝値で更新されるのと同じタイマ/カウンタクロック周期によって設定(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR1xが書かれる時も、未使用ビットが0で隠(に置換)されることに注意してください。図14-8.で示される第3周期が図解するように、タイマ/カウンタが位相基準PWM動作で走行中にTOPを積極的に変更するのは、非対称出力で終わることが有り得ます。これに対する理由はOCR1xレジスタの更新時に見出せます。OCR1x更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値によって決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違うとき、その周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

タイマ/カウンタが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使うことが推奨されます。一定のTOP値を使う時は2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOC1xピンでのPWM波形の生成を許します。COM1x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます(79頁の表14-4.をご覧ください)。実際のOC1x値はそのポートピンに対するデータ方向が出力(DDR_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はカウンタが増加する時のTCNT1とOCR1x間の比較一致でOC1x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT1とOCR1x間の比較一致でOC1xレジスタを解除(0)(または設定(1))することによって生成されます。

位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPCPWM} = \frac{f_{clk1/O}}{2 \times N \times TOP}$$

OCR1xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使われ(WGM13~0=1011)、COM1A1,0=01なら、OC1A出力はデューティ比50%で交互に変化します。

14.8.5. 位相/周波数基準PWM動作

位相/周波数基準パルス幅変調(PWM)動作(WGM13~0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相/周波数基準PWM動作は両傾斜(三角波)動作を基準とした**位相基準PWM**と似ています。カウンタはBOTTOM(\$0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM1x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

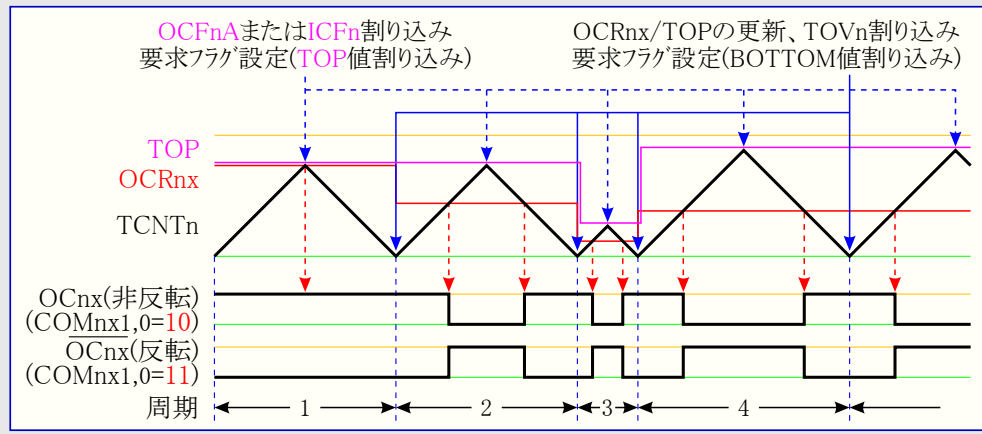
位相基準と位相/周波数基準PWM動作間の主な違いはOCR1xレジスタがOCR1x緩衝部によって更新される時(訳補:TOPとBOTTOM)です(図14-8と図14-9参照)。

位相/周波数基準PWM動作のPWM分解能はOCR1AかICR1のどちらかで定義できます。許された最小分解能は2ビット(OCR1AまたはICR1が\$0003設定)、最大分解能は16ビット(OCR1AまたはICR1がMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{PFCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相/周波数基準PWM動作でのタイマ/カウンタはタイマ/カウンタ値がICR1値(WGM13~0=1000)かOCR1A値(WGM13~0=1001)のどちらかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNT1値は1タイマ/カウンタクロック周期間、TOPと等しくなります。位相/周波数基準PWM動作のタイミング図は図14-9で示されます。この図はOCR1AかICR1がTOPを定義するのに使われる時の位相/周波数基準PWM動作を示します。TCNT1値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF1x)は比較一致が起こると設定(1)されます。

図14-9. 位相/周波数基準PWM動作タイミング



タイマ/カウンタ溢れ(TOV1)フラグはOCR1xレジスタが(BOTTOMに於いて)2重緩衝値で更新されるのと同じタイマ/カウンタクロック周期で設定(1)されます。OCR1AかICR1のどちらかがTOP値を定義するのに使われる時にOCF1AまたはICF1割り込み要求フラグはタイマ/カウンタがTOPに到達する時毎に設定(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。

図14-9が示すように、生成された出力は位相基準PWM動作と異なり、全ての周期で対称です。OCR1xレジスタがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力パルス、従って正しい周波数を与えます。

TOPを定義するのにICR1を使うことは決まったTOP値を使う時に上手くなります。ICR1を使うことにより、OC1AでのPWM出力を生成するためにOCR1Aが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR1Aが2重緩衝機能のため、TOPとしてOCR1Aを使うことは明らかに良い選択です。

位相/周波数基準PWM動作での比較部はOC1xピンでのPWM波形の生成を許します。COM1x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます(79頁の表14-4をご覧ください)。実際のOC1x値はそのポートピンに対するデータ方向が出力(DDR_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はカウンタが増加する時のTCNT1とOCR1x間の比較一致でOC1x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT1とOCR1x間の比較一致でOC1xレジスタを解除(0)(または設定(1))することによって生成されます。

位相/周波数基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPFCPWM} = \frac{f_{clk_1/O}}{2 \times N \times TOP}$$

OCR1xの両端値は位相/周波数基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使われ(WGM13~0=1001)、COM1A1,0=01なら、OC1A出力はデューティ比50%で交互に変化します。

14.9. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック(clk_{T1})が下図のクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時、そして OCR1x レジスタが OCR1x 緩衝部値で更新される時(2重緩衝を使う動作種別のみ)の情報を含みます。図14-10は OCF1x の設定についてのタイミング図を示します。

図14-10. 前置分周なし(1/1)のタイマ/カウンタ、 OCF1x 設定 タイミング

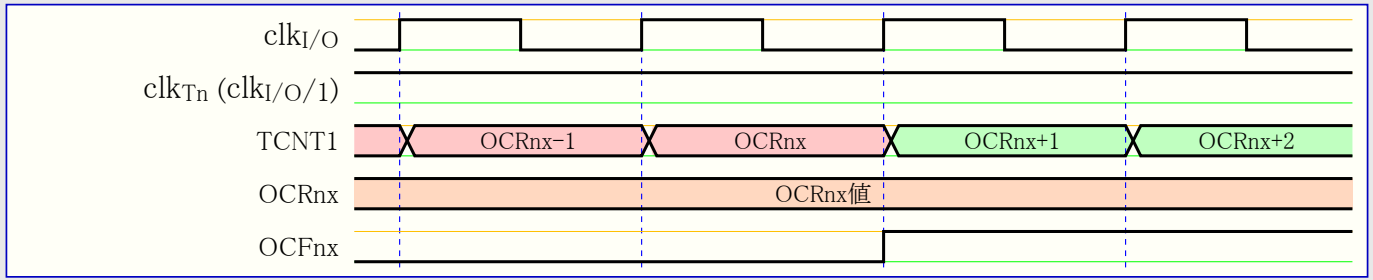


図14-11. は同じタイミング データを示しますが、前置分周器が許可されています。

図14-11. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、 OCF1x 設定 タイミング

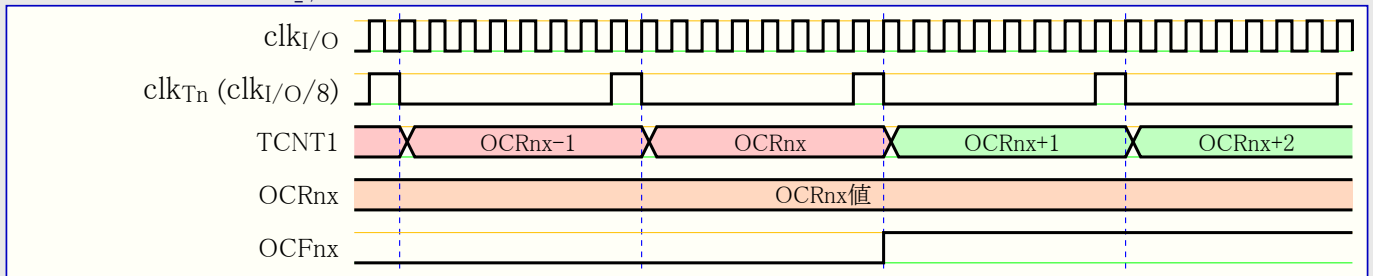


図14-12. は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時の OCR_{nx} レジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でなどのように置き換えられます。BOTTOMで TOV1 を設定(1)する動作種別についても、同様な名称変更が適用されます。

図14-12. 前置分周なし(1/1)のタイマ/カウンタ、TOP近辺 タイミング

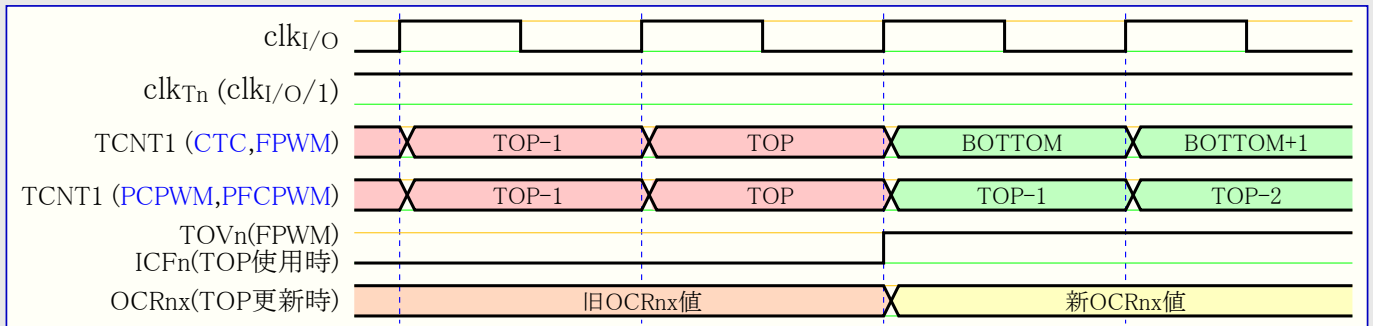
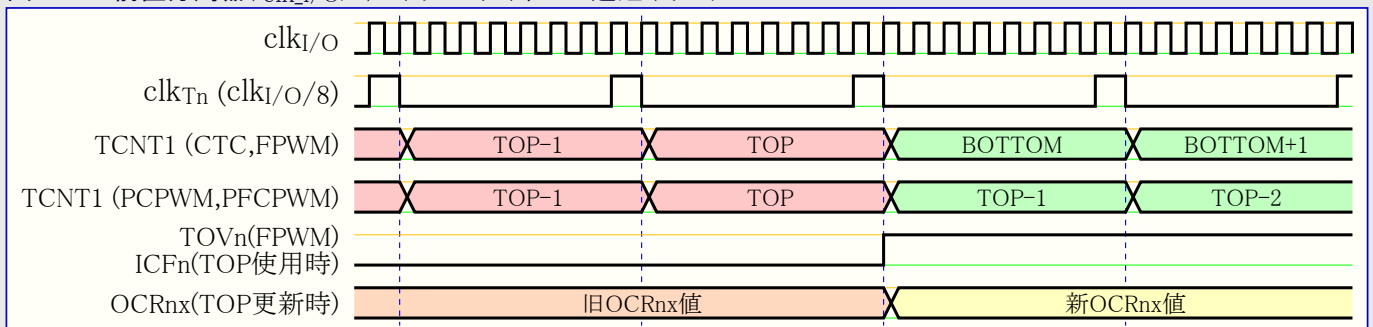


図14-13. は同じタイミング データを示しますが、前置分周器が許可されています。

図14-13. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、TOP近辺 タイミング



14.10. 16ビット タイマ/カウンタ1用レジスタ

14.10.1. TCCR1A – タイマ/カウンタ1制御レジスタA (Timer/Counter1 Control Register A)

ビット (\$80)	7	6	5	4	3	2	1	0	
	COM1A1	COM1A0	COM1B1	COM1B0	–	–	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – COM1A1,0 : 比較1A出力選択 (Compare Output Mode1A bit 1 and 0)
- ビット5,4 – COM1B1,0 : 比較1B出力選択 (Compare Output Mode1B bit 1 and 0)

COM1A1,0とCOM1B1,0は各々 OC1AとOC1B比較出力ピンの動作を制御します。COM1A1,0ビットの1つまたは両方が1を書かれると、OC1A出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。COM1B1,0ビットの1つまたは両方が1を書かれると、OC1B出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC1AまたはOC1Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC1AまたはOC1Bがピンに接続されるとき、COM1x1,0ビットの機能はWGM13~0ビット設定に依存します。表14-2.はWGM13~0ビットが標準動作またはCTC動作(つまり非PWM)に設定される時のCOM1x1,0ビット機能を示します。

表14-2. 非PWM動作での比較出力選択 (注: xはAまたはB)		
COM1x1	COM1x0	意味
0	0	標準ポート動作 (OC1x切断)
0	1	比較一致でOC1xピントグル(交互)出力
1	0	比較一致でOC1xピン Lowレベル出力
1	1	比較一致でOC1xピン Highレベル出力

表14-3.はWGM13~0ビットが高速PWM動作に設定される時のCOM1x1,0ビット機能を示します。

表14-3. 高速PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)		
COM1x1	COM1x0	意味
0	0	標準ポート動作 (OC1x切断)
0	1	WGM13~0=111X : 比較一致でOC1Aピントグル(交互)出力、OC1Bは標準ポート動作(OC1B切断) WGM13~0上記以外 : 標準ポート動作 (OC1x切断)
1	0	比較一致でLow、BOTTOMでHighをOC1xピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC1xピンへ出力 (反転動作)

注: COM1x1が設定(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)または解除(0)は実行されます。より多くの詳細については75頁の「高速PWM動作」をご覧ください。

表14-4.はWGM13~0ビットが位相基準または位相/周波数基準PWM動作に設定される時のCOM1x1,0ビット機能を示します。

表14-4. 位相基準または位相/周波数基準PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)		
COM1x1	COM1x0	意味
0	0	標準ポート動作 (OC1x切断)
0	1	WGM13~0=10X1 : 比較一致でOC1Aピントグル(交互)出力、OC1Bは標準ポート動作(OC1B切断) WGM13~0上記以外 : 標準ポート動作 (OC1x切断)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC1xピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC1xピンへ出力

注: COM1x1が設定(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。より多くの詳細については76頁の「位相基準PWM動作」をご覧ください。

•ビット1,0 – WGM11,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCR1B)で得られるWGM13,2ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大計数(TOP)値供給元、使われるべき波形生成のどの形式かを制御します(表14-5.参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と3形式のパルス幅変調(PWM)動作です。74頁の「動作種別」をご覧ください。

表14-5. 波形生成種別選択								
番号	WGM13	WGM12 (CTC1)	WGM11 (PWM11)	WGM10 (PWM10)	タイマ/カウンタ動作種別	TOP値	OCR1x 更新時	TOV1 設定時
0	0	0	0	0	標準動作	\$FFFF	即値	MAX
1	0	0	0	1	8ビット位相基準PWM動作	\$00FF	TOP	BOTTOM
2	0	0	1	0	9ビット位相基準PWM動作	\$01FF	TOP	BOTTOM
3	0	0	1	1	10ビット位相基準PWM動作	\$03FF	TOP	BOTTOM
4	0	1	0	0	比較一致タイマ/カウンタ解除(CTC)動作	OCR1A	即値	MAX
5	0	1	0	1	8ビット高速PWM動作	\$00FF	BOTTOM	TOP
6	0	1	1	0	9ビット高速PWM動作	\$01FF	BOTTOM	TOP
7	0	1	1	1	10ビット高速PWM動作	\$03FF	BOTTOM	TOP
8	1	0	0	0	位相/周波数基準PWM動作	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	位相/周波数基準PWM動作	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	位相基準PWM動作	ICR1	TOP	BOTTOM
11	1	0	1	1	位相基準PWM動作	OCR1A	TOP	BOTTOM
12	1	1	0	0	比較一致タイマ/カウンタ解除(CTC)動作	ICR1	即値	MAX
13	1	1	0	1	(予約)	-	-	-
14	1	1	1	0	高速PWM動作	ICR1	BOTTOM	TOP
15	1	1	1	1	高速PWM動作	OCR1A	BOTTOM	TOP

注: CTC1とPWM11,0ビット定義名は旧名です。WGM12~0定義を使ってください。しかし、これらのビットの機能と位置は旧版のタイマ/カウンタと一致します。

14.10.2. TCCR1B – タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B)

ビット (\$81)	7	6	5	4	3	2	1	0	TCCR1B
	ICNC1	ICES1	-	WGM13	WGM12	CS12	CS11	CS10	
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7 – ICNC1 : 捕獲起動入力1雑音消去許可 (Input Capture1 Noise Canceler)

このビットを(1)に設定することが捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動入力(ICP)ピンからの入力が増幅されます。この増幅機能はそれが出力を更新するのに、連続4回等しく評価されたICPピンの採取を必要とします。雑音消去器が許可されると、捕獲入力はそれによって4発振器(システムクロック)周期遅らされます。

•ビット6 – ICES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

このビットは出来事での捕獲を起動するのに使われる捕獲起動入力(ICP)ピンのどちらかの端(エッジ)を選びます。ICES1ビットが0を書かれると起動動作として下降(負)端が使われ、ICES1ビットが1を書かれると上昇(正)端が捕獲を起動します。

捕獲がICES1設定に従って起動されると、カウンタ値が捕獲レジスタ(ICR1)に複写されます。この出来事は捕獲入力割り込み要求フラグ(ICF1)も設定(1)し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

ICR1がTOP値として使われると(TCCR1AとTCCR1Bに配置されたWGM13~0ビットの記述をご覧ください)、ICPが切り離され、従って捕獲入力機能は禁止されます。

•ビット5 – Res : 予約 (Reserved)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、TCCR1Bが書かれるとき、このビットは0を書かれなければなりません。

•ビット4,3 – WGM13,2 : 波形生成種別 (Waveform Generation Mode bit 3 and 2)

TCCR1AのWGM11,0ビット記述をご覧ください。

(訳補) 本頁内のICP1(ピン)記述は選ばれたICP1AかICP1B、またはアナログ比較器1出力を意味します。

•ビット2~0 – CS12~0 : クロック選択1 (Clock Select1, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT1)によって使われるべきクロック元を選びます。図14-10と図14-11をご覧ください。

表14-6. タイマ/カウンタ1入力クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ1動作停止)
0	0	1	clkI/O (前置分周なし)
0	1	0	clkI/O/8 (8分周)
0	1	1	clkI/O/64 (64分周)
1	0	0	clkI/O/256 (256分周)
1	0	1	clkI/O/1024 (1024分周)
1	1	0	T1ピンの下降端 (外部クロック) (注)
1	1	1	T1ピンの上昇端 (外部クロック) (注)

注: AT90PWM216にはT1ピンが存在しないため、外部クロック駆動は利用できません。

タイマ/カウンタ1に対して外部ピン(クロック)動作が使われる場合、例えばT1ピンが出力として設定されても、T1ピンの遷移はカウンタをクロック駆動します。この特性はソフトウェアに計数制御を許します。

14.10.3. TCCR1C – タイマ/カウンタ1制御レジスタC (Timer/Counter1 Control Register C)

ビット (\$82)	7	6	5	4	3	2	1	0	
	FOC1A	FOC1B	–	–	–	–	–	–	TCCR1C
Read/Write	W	W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

•ビット7 – FOC1A : OC1A強制変更 (Force Output Compare 1A)

•ビット6 – FOC1B : OC1B強制変更 (Force Output Compare 1B)

FOC1A/FOC1BビットはWGM13~0ビットが非PWM動作を指示する時だけ有効です。けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR1Cが書かれる場合、これらのビットは0に設定されなければなりません。FOC1A/FOC1Bビットに論理1を書くと波形生成部で直ちに比較一致が強制されます。OC1x出力はCOM1x1,0ビット設定に従って変更されます。FOC1A/FOC1Bビットがストロブとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOM1x1,0ビットに存在する値です。

FOC1A/FOC1Bストロブは何れの割り込みの生成もTOPとしてOCR1Aを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$0000)も行いません。

FOC1A/FOC1Bビットは常に0として読みます。

14.10.4. TCNT1H, TCNT1L (TCNT1) – タイマ/カウンタ1 (Timer/Counter1)

ビット (\$85)	15	14	13	12	11	10	9	8	
	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$84)	7	6	5	4	3	2	1	0	
								(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この2つのタイマ/カウンタ I/O位置(TCNT1HとTCNT1Lを合わせたTCNT1)は、読み書き両方についてタイマ/カウンタ部の16ビットカウンタに直接アクセスします。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。67ページの「16ビットレジスタのアクセス」をご覧ください。

カウンタが走行中にカウンタ(TCNT1)を変更することはOCR1xの1つとTCNT1間の比較一致消失の危険を誘発します。

TCNT1への書き込みは全ての比較部に対して次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。

14.10.5. OCR1AH,OCR1AL (OCR1A) – タイマ/カウンタ1 比較Aレジスタ (Timer/Counter1 Output Compare Register A)

ビット (\$89)	15	14	13	12	11	10	9	8	
	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$88)	7	6	5	4	3	2	1	0	
								(LSB)	OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

14.10.6. OCR1BH,OCR1BL (OCR1B) – タイマ/カウンタ1 比較Bレジスタ (Timer/Counter1 Output Compare Register B)

ビット (\$8B)	15	14	13	12	11	10	9	8	
	(MSB)								OCR1BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$8A)	7	6	5	4	3	2	1	0	
								(LSB)	OCR1BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT1)値と比較される16ビット値を含みます。一致は比較一致割り込みやOC1xピンでの波形出力を生成するのに使えます。

この比較レジスタは容量が16ビットです。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。67頁の「16ビットレジスタのアクセス」をご覧ください。

14.10.7. ICR1H,ICR1L (ICR1) – タイマ/カウンタ1 捕獲レジスタ (Timer/Counter1 Input Capture Register)

ビット (\$87)	15	14	13	12	11	10	9	8	
	(MSB)								ICR1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$86)	7	6	5	4	3	2	1	0	
								(LSB)	ICR1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲レジスタはICP1A/Bピン(またはタイマ/カウンタ1に対する任意選択のアナログ比較器1出力)で出来事が起こる毎にカウンタ(TCNT1)値で更新されます。この捕獲レジスタはタイマ/カウンタのTOP値を定義するのに使えます。

この捕獲レジスタは容量が16ビットです。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読まれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。67頁の「16ビットレジスタのアクセス」をご覧ください。

14.10.8. TIMSK1 – タイマ/カウンタ1割り込み許可レジスタ (Timer/Counter1 Interrupt Mask Register)

ビット (\$6F)	7	6	5	4	3	2	1	0	
	–	–	ICIE1	–	–	OCIE1B	OCIE1A	TOIE1	TIMSK1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット5 – ICIE1 : タイマ/カウンタ1捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

このビットが1を書かれ、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1捕獲割り込みが許可されます。タイマ/カウンタ1割り込み要求フラグレジスタ(TIFR1)に配置された捕獲割り込み要求フラグ(ICF1)が設定(1)されると、対応する割り込みベクタ(32頁の「割り込みベクタ」参照)が実行されます。

• ビット2 – OCIE1B : タイマ/カウンタ1比較B割り込み許可 (Timer/Counter1 Output Compare B Match Interrupt Enable)

このビットが1を書かれ、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較B一致割り込みが許可されます。タイマ/カウンタ1割り込み要求フラグレジスタ(TIFR1)に配置された比較1B割り込み要求フラグ(OCF1B)が設定(1)されると、対応する割り込みベクタ(32頁の「割り込みベクタ」参照)が実行されます。

• ビット1 – OCIE1A : タイマ/カウンタ1比較A割り込み許可 (Timer/Counter1 Output Compare A Match Interrupt Enable)

このビットが1を書かれ、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較A一致割り込みが許可されます。タイマ/カウンタ1割り込み要求フラグレジスタ(TIFR1)に配置された比較1A割り込み要求フラグ(OCF1A)が設定(1)されると、対応する割り込みベクタ(32頁の「割り込みベクタ」参照)が実行されます。

• ビット0 – TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

このビットが1を書かれ、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1割り込み要求フラグレジスタ(TIFR1)に配置されたタイマ/カウンタ1溢れ割り込み要求フラグ(TOV1)が設定(1)されると、対応する割り込みベクタ(32頁の「割り込みベクタ」参照)が実行されます。

14.10.9. TIFR1 – タイマ/カウンタ1割り込み要求フラグレジスタ (Timer/Counter1 Interrupt Flag Register)

ビット \$16 (\$36)	7	6	5	4	3	2	1	0	
	–	–	ICF1	–	–	OCF1B	OCF1A	TOV1	TIFR1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット5 – ICF1 : タイマ/カウンタ1捕獲割り込み要求フラグ (Timer/Counter1, Input Capture Flag)

ICP1ピンに捕獲の事象が起こると、このフラグが設定(1)されます。捕獲レジスタ(ICR1)がWGM13~0によってTOP値として設定されると、ICF1フラグはカウンタがTOP値に到達する時に設定(1)されます。

捕獲割り込みベクタが実行されると、ICF1は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもICF1は解除(0)できます。

• ビット2 – OCF1B : タイマ/カウンタ1比較B割り込み要求フラグ (Timer/Counter1, Output Compare B Match Flag)

このフラグはカウンタ(TCNT1)値が比較Bレジスタ(OCR1B)と一致した後(次)のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC1B)ストロープがOCF1Bフラグを設定(1)しないことに注意してください。

比較B一致割り込みベクタが実行されると、OCF1Bは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Bは解除(0)できます。

• ビット1 – OCF1A : タイマ/カウンタ1比較A割り込み要求フラグ (Timer/Counter1, Output Compare A Match Flag)

このフラグはカウンタ(TCNT1)値が比較Aレジスタ(OCR1A)と一致した後(次)のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC1A)ストロープがOCF1Aフラグを設定(1)しないことに注意してください。

比較A一致割り込みベクタが実行されると、OCF1Aは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Aは解除(0)できます。

• ビット0 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Flag)

このフラグの設定(1)はWGM13~0ビット設定に依存します。標準またはCTC動作でのTOV1フラグはタイマ/カウンタ1溢れ時に設定(1)されます。他のWGM13~0ビット設定を使う時のTOV1フラグ動作については80頁の表14-5を参照してください。

タイマ/カウンタ1溢れ割り込みベクタが実行されると、TOV1は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもTOV1は解除(0)できます。

(訳注) 原書のTIMSK1とTIFR1に対する未定義ビット記述を省略しました。

15. 電力段制御器 (PSC0,PSC1,PSC2)

この電力段制御器は高性能波形制御器です。

15.1. 特徴

- PWM波形生成機能 (設定可能な2つの相互補完出力)
- 沈黙時間制御
- 12ビット分解能までの標準動作
- 周波数分解能増強動作 (12+4ビット)
- 64MHzまでの周波数
- 外部事象での条件付き波形 (ゼロ交差、電流感応...)
- チップ上の全電力段制御器(PSC)同期動作
- A/D変換器同期動作
- 過負荷保護機能
- 異常保護機能、全出力をLowレベルに強制する緊急入力
- 中央整列と端(エッジ)整列の同期動作
- ハードウェアによる高速緊急停止

15.2. 概要

本章でのレジスタとビット参照の多くは一般形で書かれます。

- 小文字の'n'は電力段制御器(PSC)番号の置き換えで、この場合は0,1,2です。けれどもプログラムでレジスタまたはビット定義に使う時は(例えば電力段制御器0(PSC0)同期/出力設定レジスタへのアクセスのPSOC0のように)正確な形式が使われなければなりません。
- 小文字の'x'は電力段制御器(PSC)部分の置き換えで、この場合はAまたはBです。けれどもプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えば障害/再起動を設定する電力段正制御器nAの入力制御レジスタに対するアクセスのPFRCnAのように)。

電力段制御器(PSC)の目的は基板上の電力単位部を制御することです。これにはPSC0とPSC1に2出力、PSC2に4出力があります。

これらの出力は色々な方法で使えます。

- 単一電力トランジスタを駆動する'1出力' (DC/DC変換器、力率改善(PFC)、DC電動機...)
- 半ブリッジを駆動する'2出力' (調光、DC電動機...)
- 全ブリッジを駆動する'4出力' (調光、DC電動機...)

各PSCには生成波形の直接的な動きの提供を予定する目的の2つの入力があります。

- 電流感応安定化
- 0交差再起動
- 消磁再起動
- 障害入力

PSCは3つの半ブリッジ駆動設定を提供するための連結と同期ができます。この機能のため、非同期やブラシレスDC(BLDC)電動機のような応用に対して3相波形を生成することが可能です。

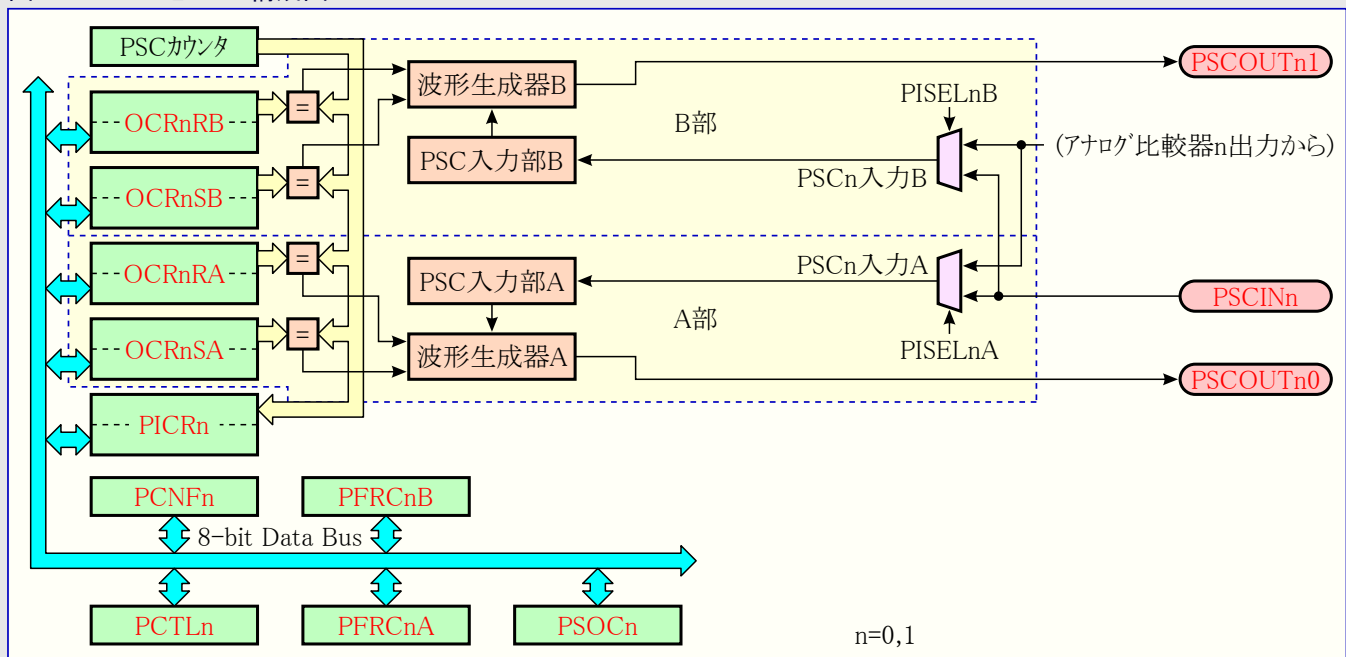
24頁の「PRR – 電力削減レジスタ」でのPRPSC0ビットはPSC0部を許可するために0を書かれなければなりません。同様にPRPSC1ビットはPSC1部を、PRPSC2ビットはPSC2部を許可するために0を書かれなければなりません。

(訳補) AT90PWM216ではPSC1が利用できません。またPSC2のPSCOUT22とPSCOUT23出力ピンもありません。

(訳補) 以降で説明されるPSC動作は基本部分に関して一般的なAVRのタイマ/カウンタを使ったPWMと同様に考えられます。大きく異なるのは出力変移点を指定するための比較レジスタが4つあることです。これらのレジスタの基本的な使用法は、2つを1組にして相互補完出力の一方を制御し、他の1組でもう一方の出力を制御します。各組内のレジスタの1つは出力のON遷移点を、他方はOFF遷移点を指定します。以降で記述される比較SA,RA,SB,RBの各レジスタが、これらに該当します。この1組の比較レジスタでの波形生成部が、各々A部、B部として記述されています。従って比較SAレジスタはA部セット(Set)点用比較レジスタ、比較RAレジスタはA部リセット(Reset)点用比較レジスタを意味します。

15.3. 電力段制御器(PSC)説明

図15-1. PSC0とPSC1構成図

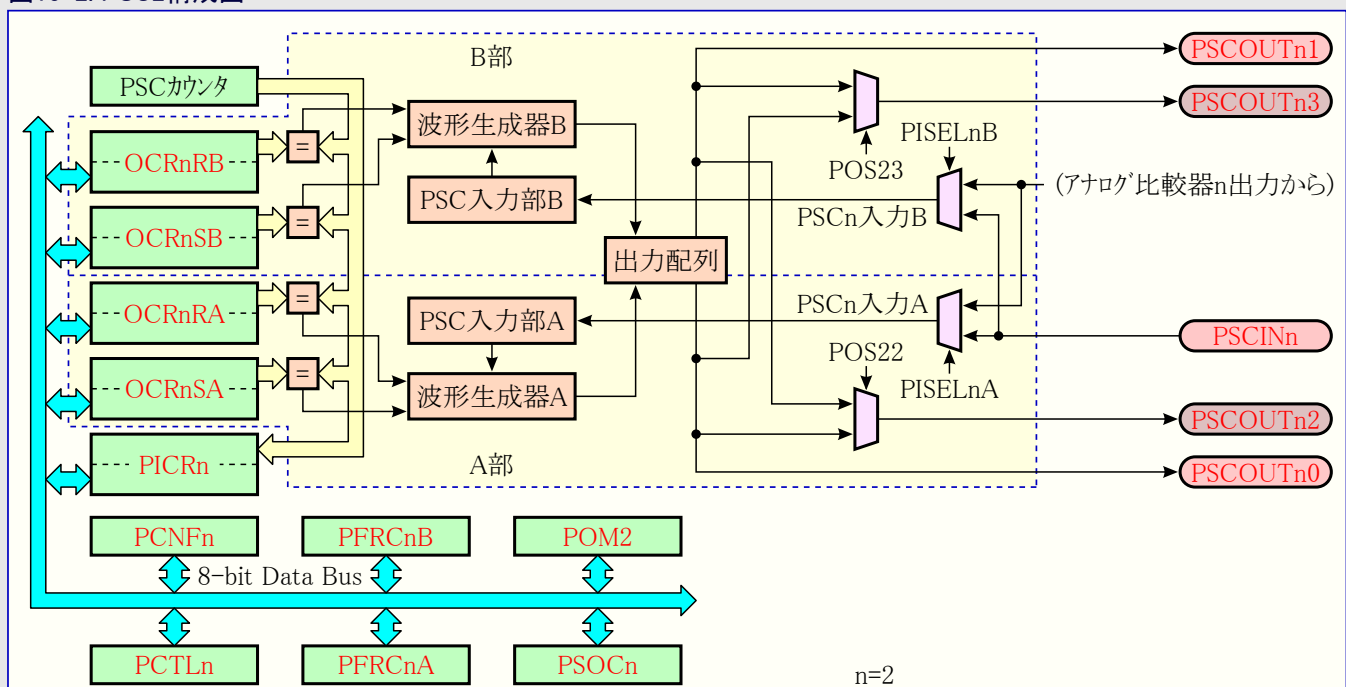


PSCの原理はカウンタ(PSCカウンタ)の使用を基にします。このカウンタは選んだ走行動作に対応するレジスタ内に格納された値からと値への上昇計数と下降計数ができます。

PSCは2つの対称物のように見えます。PSCOUTn0出力を生成する1つの部分はA部と名付けられ、PSCOUTn1出力を生成する2つ目の部分はB部と名付けられます。

A部とB部の各々には選んだ入力を管理するためのPSC入力部があります。

図15-2. PSC2構成図



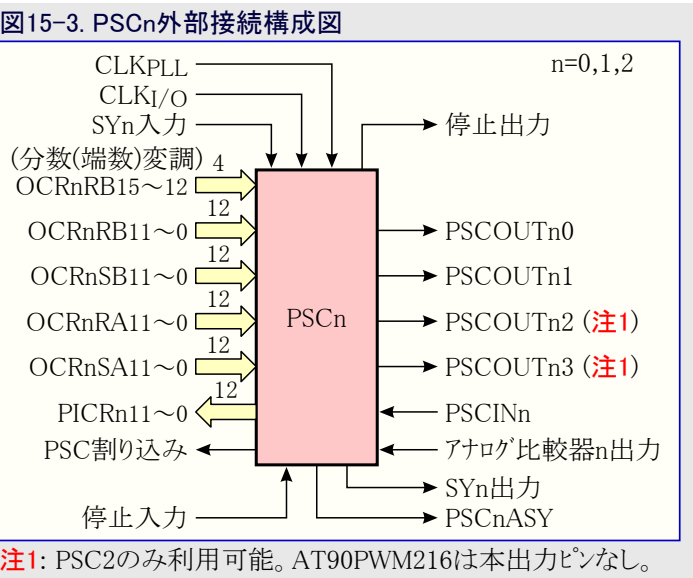
PSC2にはPSCOUT22とPSCOUT23の2つの補助出力があります。1つ目の選択器(POS22)によって、PSCOUT22はPSCOUT20またはPSCOUT21を二重化できます。2つ目の選択器(POS23)によって、PSCOUT23はPSCOUT20またはPSCOUT21を二重化できます。

出力配列はPSC手順に対応した出力値設定の可能性を与える2×2種類の参照表です(98頁の「出力配列」をご覧ください)。

15.3.1. 出力極性

PSCの極性('High有効'または'Low有効')は設定可能です。以降の例のタイミング図は'High有効'極性で与えられます。

15.4. 信号説明



15.4.1. 入力説明

表15-1. 内部入力		
名称	説明	形式/ビット数
OCRnRB15~12	周波数分解能増強値 (小数分周器)	4ビットレジスタ
OCRnRB11~0	B部でのリセット信号比較値 (PSCOUTn1)	12ビットレジスタ
OCRnSB11~0	B部でのセット信号比較値 (PSCOUTn1)	12ビットレジスタ
OCRnRA11~0	A部でのリセット信号比較値 (PSCOUTn0)	12ビットレジスタ
OCRnSA11~0	A部でのセット信号比較値 (PSCOUTn0)	12ビットレジスタ
CLKI/O	I/Oクロックからのクロック入力	信号
CLKPLL	PLLからのクロック入力	信号
SYn入力	隣接PSCからの同期入力 (99頁の図15-38.参照)	信号
停止入力	同期動作に対する停止入力	信号

表15-2. PSC部外入力		
名称	説明	形式/ビット数
PSCINn	障害/再起動機能に使われる入力0	信号
アナログ比較器n出力	障害/再起動機能に使われる入力1	信号

15.4.2. 出力説明

表15-3. PSC部出力		
名称	説明	形式/ビット数
PSCOUTn0	PSCのA部からのPSCn出力0	信号
PSCOUTn1	PSCのB部からのPSCn出力1	信号
PSCOUTn2	PSCのA部またはB部からのPSCn出力2 (PSC2のみ)	信号
PSCOUTn3	PSCのA部またはB部からのPSCn出力3 (PSC2のみ)	信号

表15-4. 内部出力		
名称	説明	形式/ビット数
PICRn11~0	PSCn捕獲入力レジスタ (再起動事象でのカウンタ値)	12ビットレジスタ
PSCn割り込み	PSC割り込み要求 (溢れ、障害、捕獲発生)の3種	信号
PSCnASY	A/D変換器(+増幅器)同期 (99頁の「アナログ同期化」参照)	信号
SYn出力	隣接PSCへの同期出力 (99頁の図15-38.参照)	信号
停止出力	同期動作に対する停止出力	信号

15.5. 機能説明

15.5.1. 波形周期

電力段制御器(PSC)によって生成した波形は2つの波形の順次連続として説明できます。

1つ目の波形はPSCのA部とPSCOUTn0出力に関係します。この波形部分は後続図での補助周期Aです。

2つ目の波形はPSCのB部とPSCOUTn1出力に関係します。この波形部分は後続図での補助周期Bです。

(周期の)全体波形は補助周期Bの最後で終了されます。これは波形Bの最後での意味です。

傾斜は波形生成器内に含んだPSCカウンタの出力を表します。中央動作は下降/上昇計数する1傾斜動作のようです。

新規値群の更新が傾斜動作に拘らず、(PSC周期内の)最終傾斜の頂上(TOP)で行なわれることに注意してください。

図15-4. 1,2,4傾斜動作での周期表現図

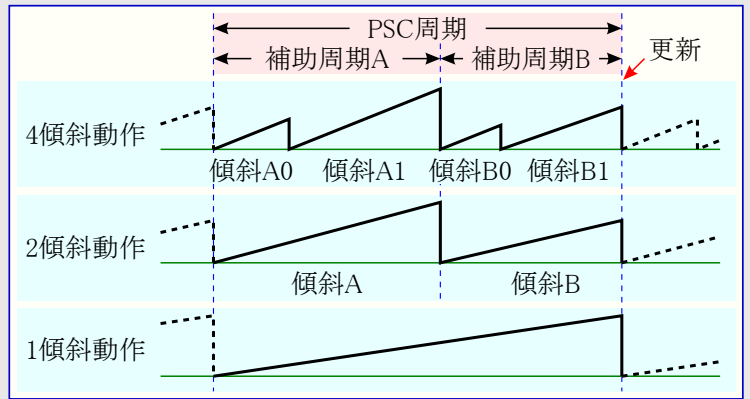
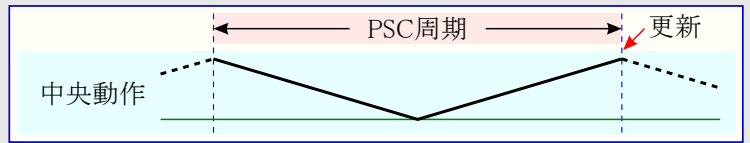


図15-5. 中央整列動作での周期表現図



15.5.2. 走行動作説明

出力信号の波形と長さは走行動作と時間値(DT0, OT0, DT1, OT1)によって決められます。次の4つの動作が可能です。

- 4傾斜動作
- 2傾斜動作
- 1傾斜動作
- 中央整列動作

15.5.2.1. 4傾斜動作

4傾斜動作での周期内の各時間は各々自身の定義を持ちます。

PSCの入力クロックはCLKPSCによって与えられます。

PSCOUTn0とPSCOUTn1信号はON時間0(OT0)、沈黙時間0(DT0)、ON時間1(OT1)、沈黙時間1(DT1)の値によって定義されます。

$$\text{ON時間0} = \text{OCRnRA} \times 1/f_{\text{CLKPSC}}$$

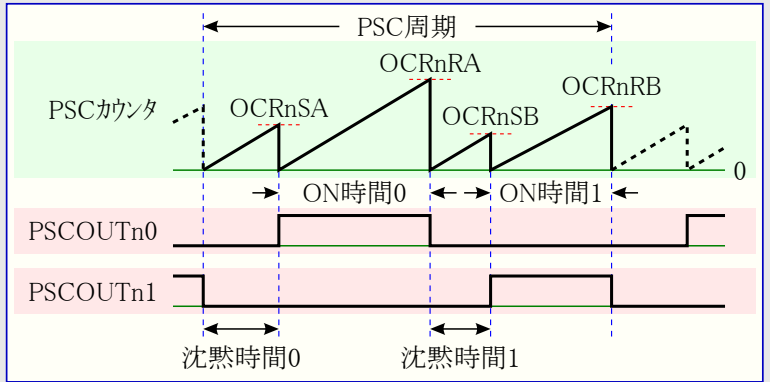
$$\text{ON時間1} = \text{OCRnRB} \times 1/f_{\text{CLKPSC}}$$

$$\text{沈黙時間0} = (\text{OCRnSA} + 2) \times 1/f_{\text{CLKPSC}}$$

$$\text{沈黙時間1} = (\text{OCRnSB} + 2) \times 1/f_{\text{CLKPSC}}$$

注: 沈黙時間0と沈黙時間1の最小値は $2 \times 1/f_{\text{CLKPSC}}$ です。

図15-6. 4傾斜動作でのPSCn0とPSCn1基本波形



15.5.2.2. 2傾斜動作

2傾斜動作での全体周期は瞬時区間時間を与えるON時間0でのPSCn0記述に対する1瞬時区間と、瞬時区間時間を与えるON時間1でのPSCn1記述に対する1瞬時区間の2つの瞬時区間に分けられます。

PSCOUTn0とPSCOUTn1信号はON時間0(OT0)、沈黙時間0(DT0)、ON時間1(OT1)、沈黙時間1(DT1)の値によって定義されます。

$$\text{ON時間0} = (\text{OCRnRA} - \text{OCRnSA}) \times 1/f_{\text{CLKPSC}}$$

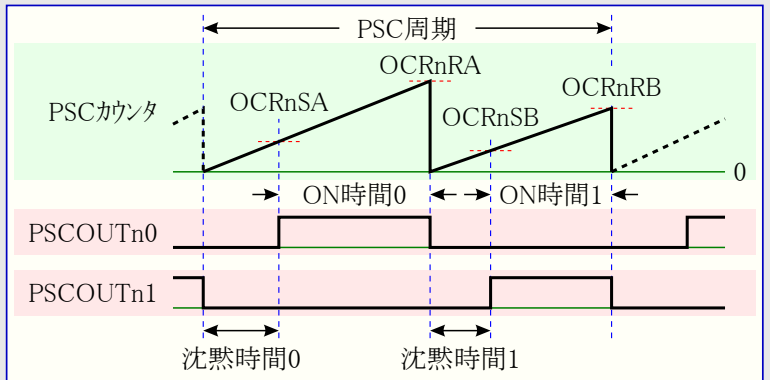
$$\text{ON時間1} = (\text{OCRnRB} - \text{OCRnSB}) \times 1/f_{\text{CLKPSC}}$$

$$\text{沈黙時間0} = (\text{OCRnSA} + 1) \times 1/f_{\text{CLKPSC}}$$

$$\text{沈黙時間1} = (\text{OCRnSB} + 1) \times 1/f_{\text{CLKPSC}}$$

注: 沈黙時間0と沈黙時間1の最小値は $1/f_{\text{CLKPSC}}$ です。

図15-7. 2傾斜動作でのPSCn0とPSCn1基本波形



15.5.2.3. 1傾斜動作

1傾斜動作でのPSCOUTn0とPSCOUTn1出力はお互いに重複できます(訳補:沈黙時間1が負の場合、図の赤線)。

$$\text{ON時間0} = (\text{OCRnRA} - \text{OCRnSA}) \times 1/f_{\text{CLKPSC}}$$

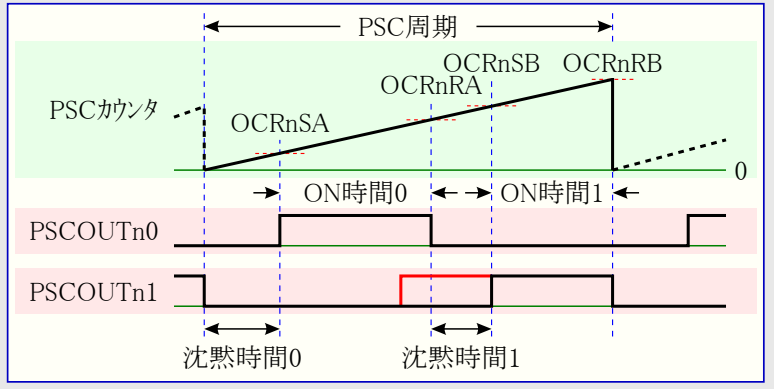
$$\text{ON時間1} = (\text{OCRnRB} - \text{OCRnSB}) \times 1/f_{\text{CLKPSC}}$$

$$\text{沈黙時間0} = (\text{OCRnSA} + 1) \times 1/f_{\text{CLKPSC}}$$

$$\text{沈黙時間1} = (\text{OCRnSB} - \text{OCRnRA}) \times 1/f_{\text{CLKPSC}}$$

注: 沈黙時間0の最小値は $1/f_{\text{CLKPSC}}$ です。

図15-8. 1傾斜動作でのPSCn0とPSCn1基本波形



15.5.2.4. 中央整列動作

中央整列傾斜動作でのPSCOUTn0とPSCOUTn1信号の中心は中央にされます。

$$\text{ON時間0} = 2 \times \text{OCRnSA} \times 1/f_{\text{CLKPSC}}$$

$$\text{ON時間1} = 2 \times (\text{OCRnRB} - \text{OCRnSB}) \times 1/f_{\text{CLKPSC}}$$

$$\text{沈黙時間} = (\text{OCRnSB} - \text{OCRnSA}) \times 1/f_{\text{CLKPSC}}$$

$$\text{PSC周期} = 2 \times (\text{OCRnRB} + 1) \times 1/f_{\text{CLKPSC}}$$

注: PSC周期の最小値は $2 \times 1/f_{\text{CLKPSC}}$ です。

OCRnRAはPSC出力波形タイミング制御に使われません。けれどもA/D変換同期調節に有用です(99頁の「アナログ同期化」をご覧ください)。

図15-9. 中央整列動作でのPSCn0とPSCn1基本波形

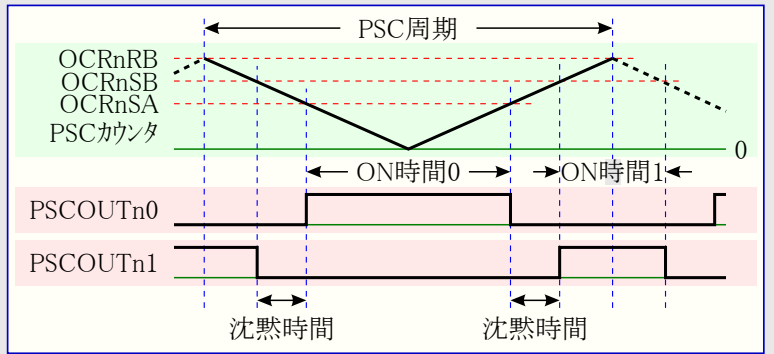
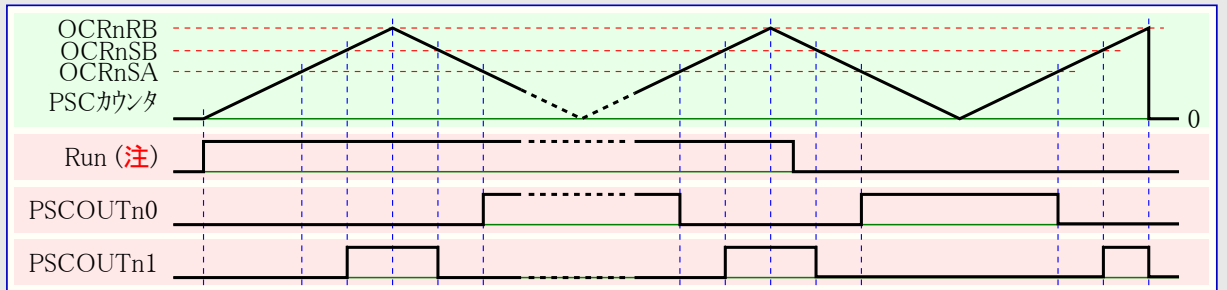


図15-10. 中央整列動作での走行と停止機構



注: 104頁の「PCTL0 - PSC0制御レジスタ」(またはPCTL1かPCTL2)をご覧ください。

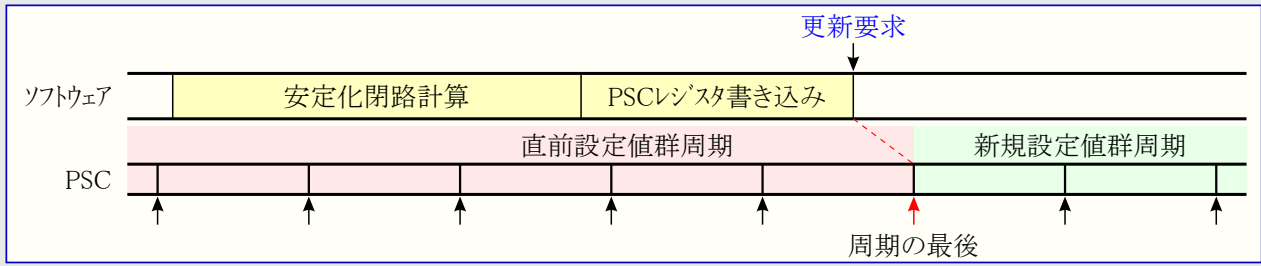
15.5.3. 50%波形設定

PSCOUTn0とPSCOUTn1が同じ特性を持つ時に50%動作(PCNFnレジスタのPFIFTYn=1)でPSCを設定することが可能です。PSCがこの動作の時にOCRnSBH, OCRnSBL, OCRnRBH, OCRnRBLレジスタをOCRnSAH, OCRnSAL, OCRnRAH, OCRnRALレジスタに複写します。故にOCRnSAH, OCRnSAL, OCRnRAH, OCRnRALレジスタを設定する必要はありません。

15.6. 値の更新

周期での非同時で矛盾する値を避けるため、各種値の1つの更新が必要な場合、PSCによって周期の終わりで同時に全ての値が更新されます。新規値群はソフトウェアによって計算され、更新はソフトウェアによって開始されます。

図15-11. 完全なPSC周期の最後での更新



ソフトウェアは値更新を終える前に周期を停止し、新規PSC周期を再び開始できます。

15.6.1. 値の同期更新

新規タイミング値やPSC出力構成はPSC周期中に書けます。LOCK(PLOCKn)とAUTOLOCK(PALOCKn)構成ビットによって新規値群全体がPSC周期の最後に続いて考慮され(扱われ)ます。

AUTOLOCK構成ビットが選択(=1)されると、PSC内部レジスタの更新は比較RBレジスタが最後に書かれてしまった場合のPSC周期の最後で行なわれます。AUTOLOCK構成ビットはこの最初のPSC周期の最後で考慮(処理)されます。

LOCK構成ビットが設定(1)されると、PSC内部レジスタの更新はLOCKビットが0に開放された場合のPSC周期の最後で行なわれます。

LOCKとAUTOLOCKで同期更新されるレジスタはPSCn同期/出力構成(PSOCn)レジスタ、PSC2出力配列(POM2)レジスタ、PSCn比較SA(OCRnSAH/L)レジスタ、PSCn比較RA(OCRnRAH/L)レジスタ、PSCn比較SB(OCRnSBH/L)レジスタ、PSCn比較RB(OCRnRBH/L)レジスタです。

設定(1)されると、AUTOLOCK設定ビットはLOCK設定ビットに勝ります。

103頁の「PCNFn – PSCn構成レジスタ」をご覧ください。

15.7. 増強分解能

調光バラスト応用は50/60Hzに下げる増強分解能が必要です。標準分解能を増強する方法は(小数分周器とも呼ばれる)分数(端数)変調に基づきます。周期は16周期枠に集団化されます。周期は小数分周器の数値で与えられた順次手順によって変調されます。結果の出力周波数は枠内周波数の平均です。小数分周器(*d*)はOCRnRB15~12によって与えられます。

PSC出力周期はPSCOUTn0のON時間+沈黙時間(OT0+DT0)とPSCOUTn1のON時間+沈黙時間(OT1+DT1)に直接匹敵します。これらの値は12ビット数です。周波数調節は専用カウンタのような段階で行なえるだけです。段階幅は隣接する2つのPSC周波数間の周波数差として定義されます。

$$\Delta f = |f_1 - f_2| = \left| \frac{f_{PLL}}{k} - \frac{f_{PLL}}{k+1} \right| = f_{PSC} \times \frac{f_{PLL}}{k(k+1)}$$

*k*はPSC周期内のCLKPSC周期数で、次式(*k=n*)によって与えられます。

$$n = \frac{f_{PSC}}{f_{OP}}$$

*f*_{OP}は出力動作周波数です。

例えば*f*_{PLL}=64MHz、最大動作周波数160kHzの標準動作での*k*は400に相当します。結果の分解能はΔ*f*で、64MHz/400/401=400Hzになります。

増強動作での出力周波数は連続する16周期によって形成された枠の平均です。

$$f_{AVERAGE} = \frac{16-d}{16} \times f_{b1} + \frac{d}{16} \times f_{b2}$$

*f*_{b1}と*f*_{b2}は隣接する2つの基本周波数です。

$$f_{AVERAGE} = \frac{16-d}{16} \times \frac{f_{PLL}}{n} + \frac{d}{16} \times \frac{f_{PLL}}{n+1}$$

周波数分解能は16で割られます。上の例での分解能は25Hzに等しくなります。

15.7.1. 周波数分配

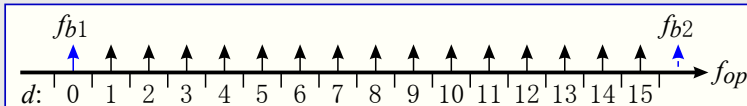
周波数変調は16連続周期の枠内で2つの周波数切り替えによって行なわれます。これら2つの周波数は f_{b1} と f_{b2} で、 f_{b1} は欲する周波数よりも高い最も近い基本周波数、 f_{b2} は欲する周波数よりも低い最も近い基本周波数です。枠内の f_{b1} の数は $16-d$ で、 f_{b2} の数は d です。 f_{b1} と f_{b2} 周波数は予め定義された様式に従って均等に配給されます。この様式は次表で与えられるように、または等価的に均等な配給を与える何れかの他の実装によって行なえます。

本表内の□の間、対応周期の f_{b1} を f_{b2} が満たします。従って各行について、 f_{b2} 数が f_{b1} に取って代わります。

表15-5. 変調された枠内の f_{b2} 配給

小数分周器 (d)	枠内のPSC周期															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0																
1																
2																
3																
4																
5																
6																
7																
8																
9																
10																
11																
12																
13																
14																
15																

図15-12. d 対結果周波数



(訳注) 本図を含め全体的に f_{b1} と f_{b2} 間の周波数高低関係が統一されていません(矛盾します)。おそらく本図の高低関係が正しく、直前の説明の2周波数関係が逆転しているものと思われます。

15.7.2. 動作種別

15.7.2.1. 標準動作

最も簡単な動作種別が標準動作です。図15-6をご覧ください。

PSCOUTn0の活性時間はON時間0(OT0)値で与えられます。PSCOUTn1の活性時間はON時間1(OT1)値で与えられます。沈黙時間0(DT0)と沈黙時間1(DT1)はPSCOUTn0とPSCOUTn1活性信号間の沈黙を調節します。

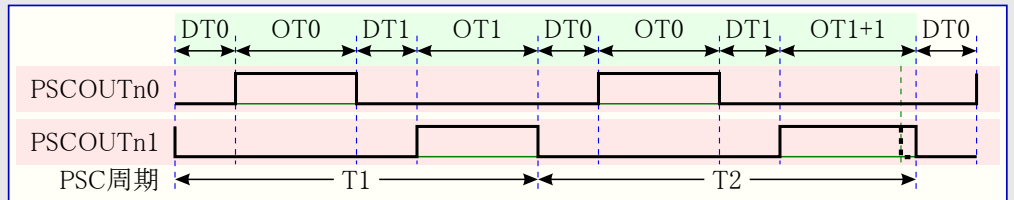
波形周波数は次式によって定義されます。

$$f_{PSCn} = \frac{1}{PSCn \text{ 周期}} = \frac{f_{CLKPSCn}}{(OT0+OT1+DT0+DT1)}$$

15.7.2.2. 増強動作

増強動作は直前に記述された高分解能生成法を使います。

図15-13. 増強動作タイミング図



f_{b2} を生成するために計数する補助段階は小数分周器に従って枠内で必要とする間、PSCn0信号に追加されます。表15-5.「変調されたフレーム内の f_{b2} 配給」をご覧ください。

波形周波数は次式で定義されます。

$$f_{1PSCn} = \frac{1}{T1 \text{ 周期}} = \frac{f_{CLKPSCn}}{(OT0+OT1+DT0+DT1)}$$

$$f_{2PSCn} = \frac{1}{T2 \text{ 周期}} = \frac{f_{CLKPSCn}}{(OT0+OT1+DT0+DT1+1)}$$

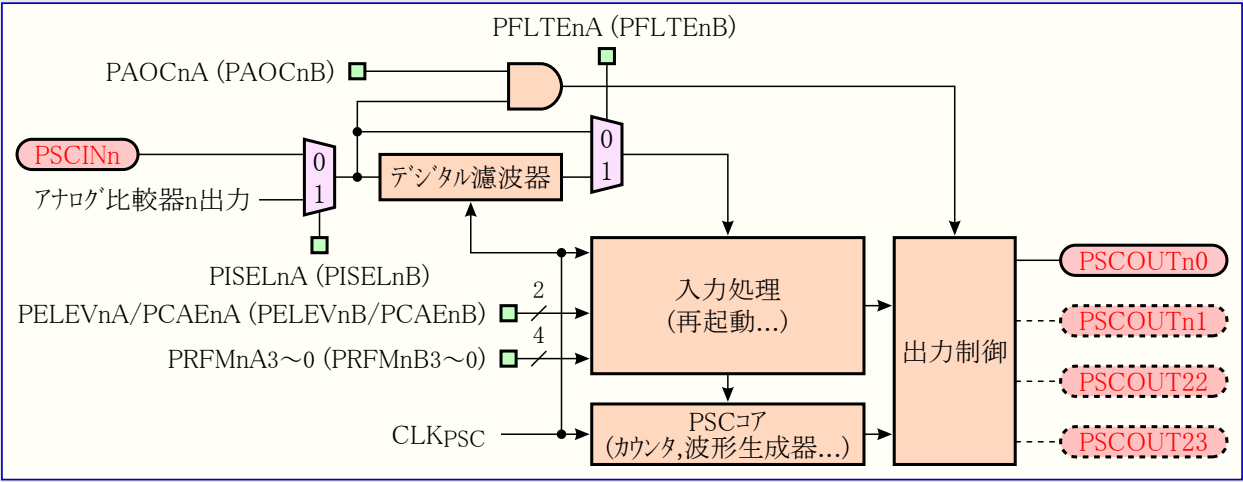
d は小数分周器因数です。

$$f_{AVERAGE} = \frac{(16-d)}{16} \times f_{1PSCn} + \frac{d}{16} \times f_{2PSCn}$$

15.8. 電力段制御器(PSC)入力

PSCのA部とB部の各々は1つのPSC入力を考慮するための自身の系統を持ちます。PSCn入力A/B制御(PFRCnA,PFRCnB)レジスタ(105頁記述参照)に従って、PSCINn入力は再起動または異常入力動作ができます。
このA系とB系はPSCn入力A/B制御(PFRCnA,PFRCnB)レジスタによっても構成設定されます。

図15-14. PSC入力部



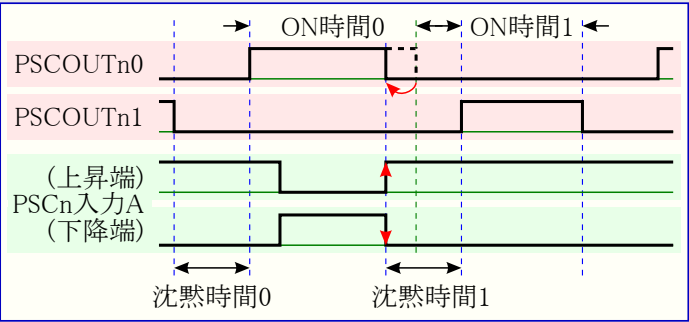
15.8.1. PSC走行動作に対するPSC再起動の動き

中央整列動作での再起動入力は無効です。2傾斜動作または4傾斜動作での再起動入力AまたはBは、対応するAまたはB周期の終了と後続するBまたはA周期の開始を引き起こします。
1傾斜動作での再起動入力AまたはBは現在のPSC計数を0にリセットします。

15.8.2. 外部事象でのPSCOUTn0再起動

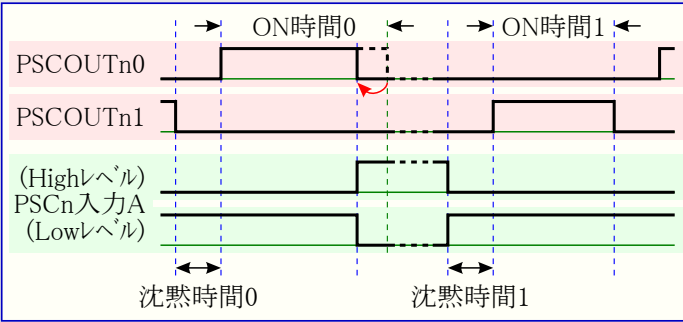
PSCOUTn0出力はPSCn入力A(内部信号)の変更でのON時間0終了に先立ってリセットできます。PSCn入力Aは動作なし、レベルまたは端(エッジ)での動作に設定できます。PSCn入力Aの極性は感応制御部で設定可能です。PSCn入力AはPSCINn(外部)入力またはアナログ比較器nの出力にできます。
周期区間の減少のため、2つの出力周波数は一時的に増加します。

図15-15. PSCn入力Aで再起動されたPSCOUTn0 (端起動)



注: 本例は「2または4傾斜動作」での「入力動作8」で与えられます。詳細については図15-31をご覧ください。

図15-16. PSCn入力Aで再起動されたPSCOUTn0 (レベル動作)



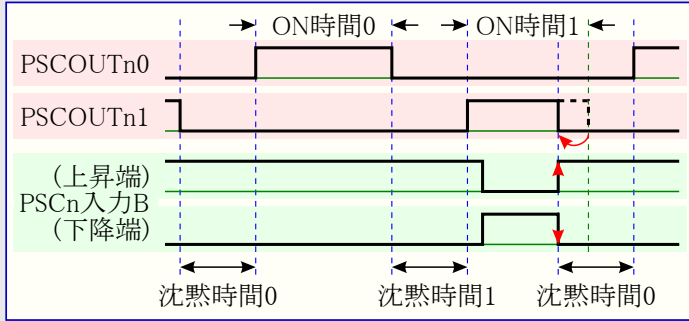
注: 本例は「2または4傾斜動作」での「入力動作1」で与えられます。詳細については図15-20をご覧ください。

15.8.3. 外部事象でのPSCOUTn1再起動

PSCOUTn1出力はPSCn入力B(内部信号)の変更でのON時間1終了に先立ってリセットできます。PSCn入力Bの極性は**感応制御部で設定可能**です。PSCn入力Bは動作なし、レベルまたは端(エッジ)での動作に設定できます。PSCn入力BはPSCINn(外部)入力またはアナログ比較器nの出力にできます。

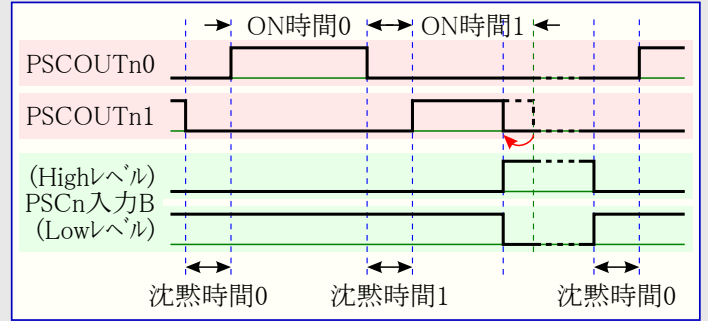
周期区間の減少のため、2つの出力周波数は一時的に増加します。

図15-17. PSCn入力Bで再起動されたPSCOUTn1 (端起動)



注: 本例は「2または4傾斜動作」での「入力動作8」で与えられます。詳細については図15-31をご覧ください。

図15-18. PSCn入力Bで再起動されたPSCOUTn1 (レベル動作)

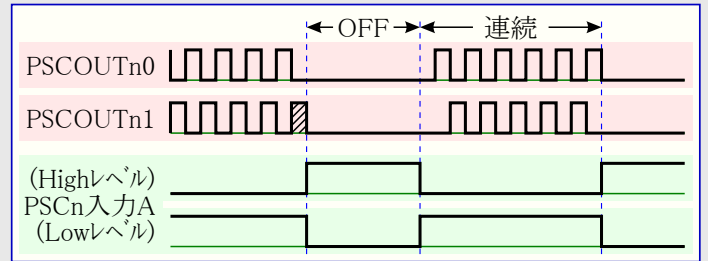


注: 本例は「2または4傾斜動作」での「入力動作1」で与えられます。詳細については図15-20をご覧ください。

15.8.3.1. 断続生成

注: レベル動作では入力動作3または4の使用によって断続生成にPSCを使うことが可能です(詳細については図15-24と図15-25をご覧ください)。

図15-19. レベル動作での断続生成



15.8.4. PSC入力設定

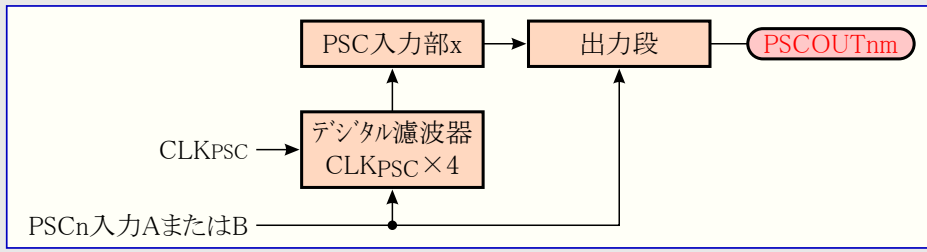
PSC入力設定は設定レジスタ内のビット設定によって行なわれます。

15.8.4.1. 濾波器許可

濾波器許可(PFLTEnx)ビットが設定(1)されると、4周期のデジタル濾波器が信号評価の前に挿入されます。本機能の禁止は雑音除去が大きすぎる遅延を与えることになる前置分周されたPSCクロックに対して主に必要とされます。

重要: デジタル濾波器が動作中の場合、出力を非活動にする(外部部品の緊急保護のために妨げられたPSCクロックでも、レベル感知は正しく動作します。同様に障害入力として使われる時にPSCn入力AやBはPSCOUTn0/1/2/3を動かすのにPSCを通さなければなりません。この経路はCLKPSCの走行を必要とします。故にPCTLnレジスタのPSC非同期出力制御(PAOCnA, PAOCnB)ビットによってPSCINn入力は直接的にPSC出力を非活動にできます。この場合、入力はCLKPSCが走行すると直ぐに入力部によって通常として未だ考慮されます。

図一. PSC入力濾波器



15.8.4.2. 信号極性

有効端(エッジ動作)または有効レベル(レベル動作)が選べます。105頁の「PFCnA – PSCn入力A制御レジスタ」項のPELEVnxビット記述をご覧ください。

PELEVnxビットが設定(1)なら、PSCn入力AまたはBの意味ある(有効)端が上昇(端動作)か、または活性(有効)レベルがHigh(レベル動作)で、逆(解除(0))については下降/Lowです。

- 2または4傾斜動作でのPSCn入力Aは沈黙時間0とON時間0の周期の間だけ考慮されます(PSCn入力Bに対しては各々沈黙時間1とON時間1)。
- 1傾斜動作でのPSCn入力AまたはPSCn入力Bは傾斜全体で動作します。

15.8.4.3. 入力動作の操作

4つの設定ビット(PRFMnx3~0)で、PSC入力の動作を定義することが可能です。これらの動作形態は表15-6.で一覧にされます。

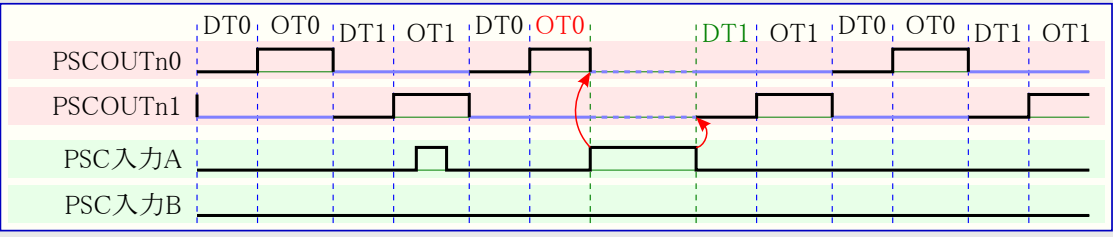
表15-6. PSC入力動作の動き (注: n=0,1,2、x=A,B)

番号	PRFMnx3~0	説明
0	0 0 0 0	PSC入力はPSC出力での動作なし。
1	0 0 0 1	94頁の「PSC入力動作1: 信号停止、反対側沈黙時間へ飛び、待機」をご覧ください。
2	0 0 1 0	94頁の「PSC入力動作2: 信号停止、反対側沈黙時間実行、待機」をご覧ください。
3	0 0 1 1	95頁の「PSC入力動作3: 信号停止、障害有効間反対側沈黙時間実行」をご覧ください。
4	0 1 0 0	95頁の「PSC入力動作4: タイミング変更なしで出力非活動」をご覧ください。
5	0 1 0 1	96頁の「PSC入力動作5: 信号停止、沈黙時間挿入」をご覧ください。
6	0 1 1 0	96頁の「PSC入力動作6: 信号停止、反対側沈黙時間へ飛び、待機」をご覧ください。
7	0 1 1 1	96頁の「PSC入力動作7: PSC停止、ソフトウェア操作待機」をご覧ください。
8	1 0 0 0	96頁の「PSC入力動作8: 端再起動PSC」をご覧ください。
9	1 0 0 1	97頁の「PSC入力動作9: 周波数固定端再起動PSC」をご覧ください。
10	1 0 1 0	(予約): 使用不可
11	1 0 1 1	
12	1 1 0 0	
13	1 1 0 1	(予約): 使用不可
14	1 1 1 0	
15	1 1 1 1	(予約): 使用不可

告: 後続の全ての例は上昇端またはHighレベルの活性(有効)入力で与えられます。

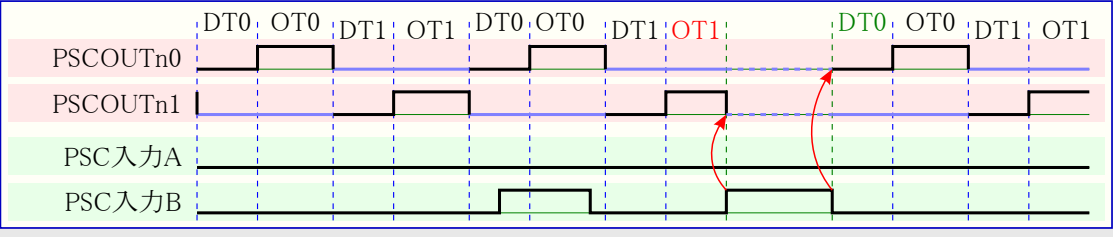
15.9. PSC入力動作1：信号停止、反対側沈黙時間へ飛び、待機

図15-20. 障害動作1でのPSCn入力A対PSCn動作



PSC入力Aは沈黙時間0(DT0)とON時間0(OT0)間だけ考慮され(扱われ)ます。沈黙時間1(DT1)とON時間1(OT1)間は無効です。PSC入力A事象が起こると、PSCはPSCOUTn0を開放し、PSC入力Aの非活性(無効)状態に対して待ち、そしてDT1とOT1へ飛んで実行します。

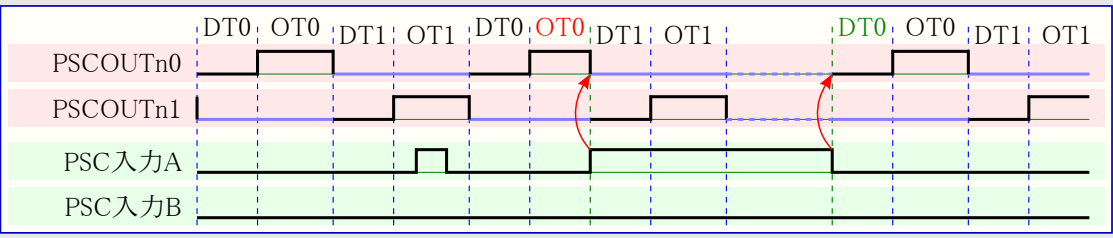
図15-21. 障害動作1でのPSCn入力B対PSCn動作



PSC入力Bは沈黙時間1(DT1)とON時間1(OT1)間だけ考慮され(扱われ)ます。沈黙時間0(DT0)とON時間0(OT0)間は無効です。PSC入力B事象が起こると、PSCはPSCOUTn1を開放し、PSC入力Bの非活性(無効)状態に対して待ち、そしてDT0とOT0へ飛んで実行します。

15.10. PSC入力動作2：信号停止、反対側沈黙時間実行、待機

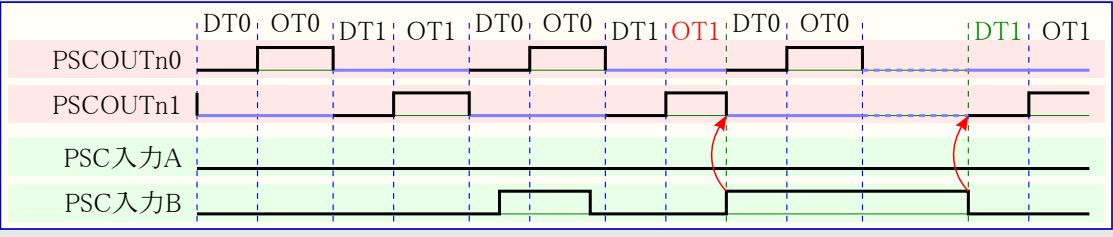
図15-22. 障害動作2でのPSCn入力A対PSCn動作



PSC入力Aは沈黙時間0(DT0)とON時間0(OT0)間だけ考慮され(扱われ)ます。沈黙時間1(DT1)とON時間1(OT1)間は無効です。PSC入力A事象が起こると、PSCはPSCOUTn0を開放し、DT1とOT1へ飛んで実行し、そしてPSC入力Aの非活性(無効)状態を待ちます。

PSC入力AがDT1またはOT1中に開放されても、DT1とOT1の(PSC)半周期は常に全体が実行されます。

図15-23. 障害動作2でのPSCn入力B対PSCn動作

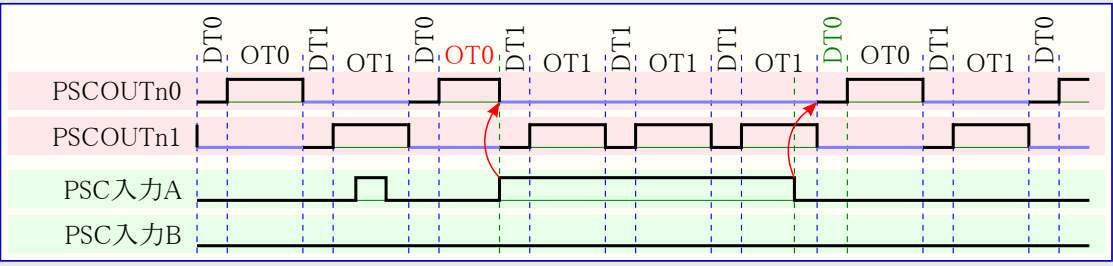


PSC入力Bは沈黙時間1(DT1)とON時間1(OT1)間だけ考慮され(扱われ)ます。沈黙時間0(DT0)とON時間0(OT0)間は無効です。PSC入力B事象が起こると、PSCはPSCOUTn1を開放し、DT0とOT0へ飛んで実行し、そしてPSC入力Bの非活性(無効)状態を待ちます。

PSC入力BがDT0またはOT0中に開放されても、DT0とOT0の(PSC)半周期は常に全体が実行されます。

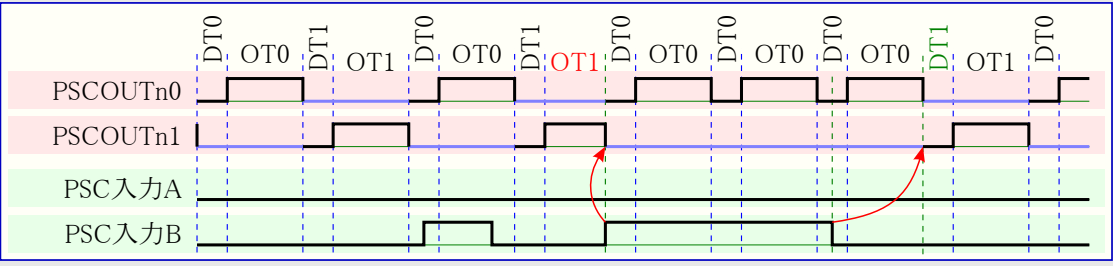
15.11. PSC入力動作3：信号停止、障害有効間反対側沈黙時間実行

図15-24. 障害動作3でのPSCn入力A対PSCn動作



PSC入力Aは沈黙時間0(DT0)とON時間0(OT0)間だけ考慮され(扱われ)ます。沈黙時間1(DT1)とON時間1(OT1)間は無効です。PSC入力A事象が起こると、PSCはPSCOUTn0を開放し、PSC入力Aが活性(有効)状態である間、DT1とOT1へ飛んで実行します。PSC入力AがDT1またはOT1中に開放されても、DT1とOT1の(PSC)半周期は常に全体が実行されます。

図15-25. 障害動作3でのPSCn入力B対PSCn動作



PSC入力Bは沈黙時間1(DT1)とON時間1(OT1)間だけ考慮され(扱われ)ます。沈黙時間0(DT0)とON時間0(OT0)間は無効です。PSC入力B事象が起こると、PSCはPSCOUTn1を開放し、PSC入力Bが活性(有効)状態である間、DT0とOT0へ飛んで実行します。PSC入力BがDT0またはOT0中に開放されても、DT0とOT0の(PSC)半周期は常に全体が実行されます。

15.12. PSC入力動作4：タイミング変更なしで出力非活動

図15-26. 障害動作4でのPSCn入力AまたはPSCn入力B対PSCn動作

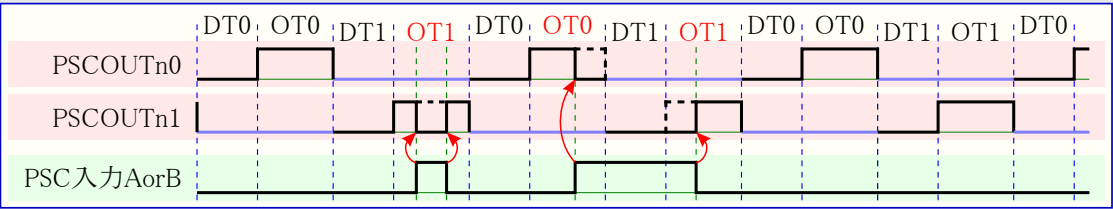
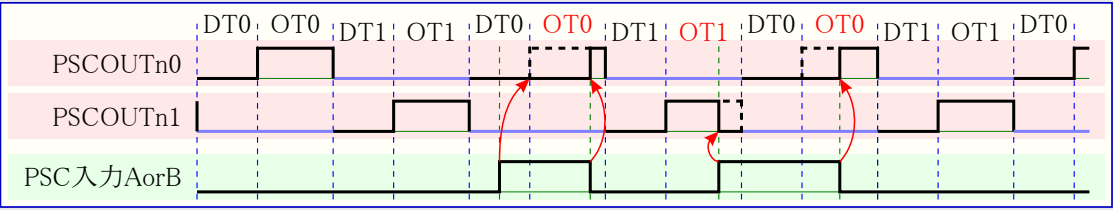


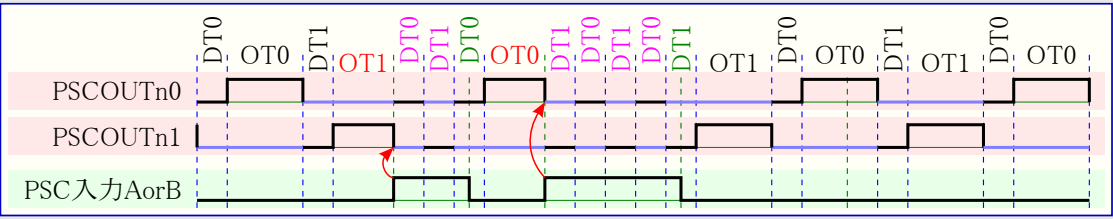
図15-27. 障害動作4でのPSCn入力AまたはPSCn入力B対PSCn動作



PSC入力A及びPSC入力Bは沈黙時間0(DT0)/ON時間0(OT0)または沈黙時間1(DT1)/ON時間1(OT1)に関係なく動作します。

15.13. PSC入力動作5：信号停止、沈黙時間挿入

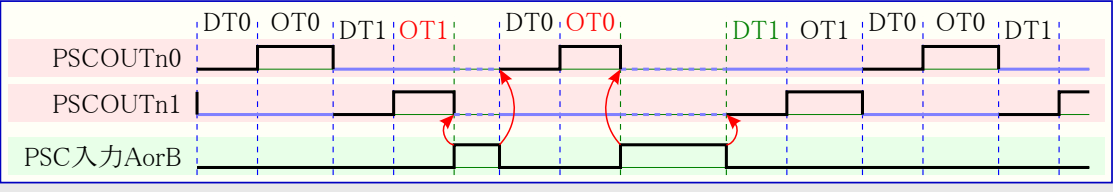
図15-28. 障害動作5でのPSCn入力AまたはPSCn入力B対PSCn動作



障害動作5使用でのPSC入力A及びPSC入力Bは沈黙時間0(DT0)/ON時間0(OT0)または沈黙時間1(DT1)/ON時間1(OT1)に関係なく動作します。

15.14. PSC入力動作6：信号停止、反対側沈黙時間へ飛び、待機

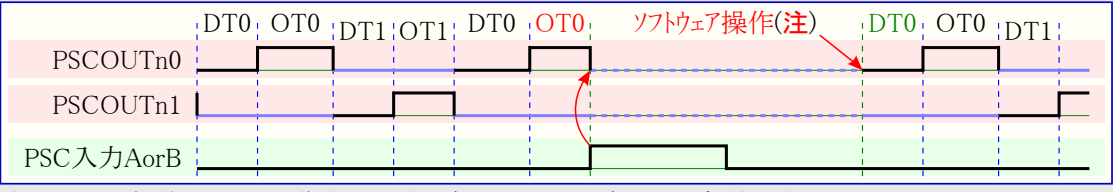
図15-29. 障害動作6でのPSCn入力AまたはPSCn入力B対PSCn動作



障害動作6使用でのPSC入力A及びPSC入力Bは沈黙時間0(DT0)/ON時間0(OT0)または沈黙時間1(DT1)/ON時間1(OT1)に関係なく動作します。

15.15. PSC入力動作7：PSC停止、ソフトウェア操作待機

図15-30. 障害動作7でのPSCn入力AまたはPSCn入力B対PSCn動作

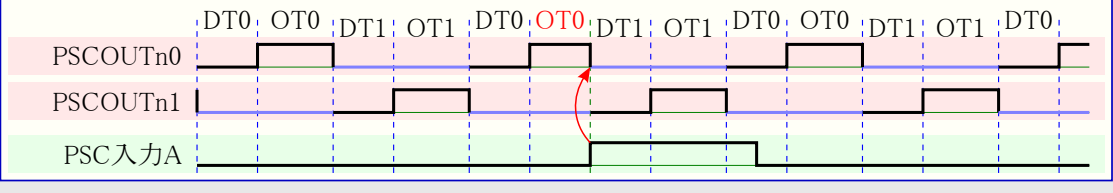


注：ソフトウェア操作はPSCn制御(PCTLn)レジスタのPRUNnビットの設定(1)です。

障害動作7使用でのPSC入力A及びPSC入力Bは沈黙時間0(DT0)/ON時間0(OT0)または沈黙時間1(DT1)/ON時間1(OT1)に関係なく動作します。

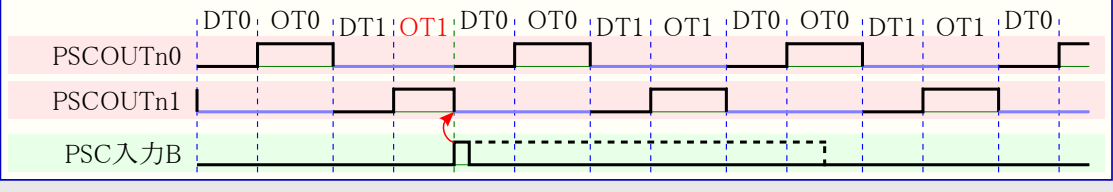
15.16. PSC入力動作8：端再起動PSC

図15-31. 障害動作8でのPSCn入力A対PSCn動作



出力周波数は再起動入力の意味ある(有効)端の発生によって変調されます。

図15-32. 障害動作8でのPSCn入力B対PSCn動作



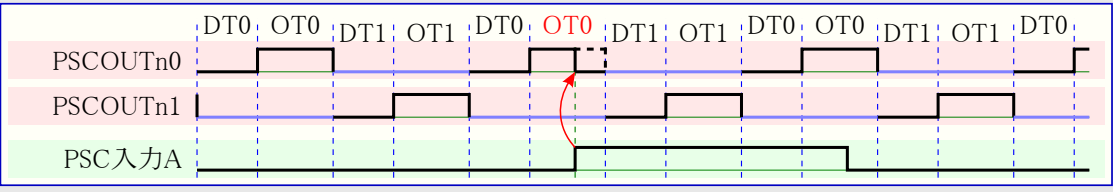
出力周波数は再起動入力の意味ある(有効)端の発生によって変調されます。

再起動事象は対応するON時間の間に起きる場合にだけ考慮さ(扱)われます。

注：1傾斜動作での入力Aの再起動事象は傾斜全体をリセットします。故にPSCは逆側沈黙時間(DT1)に飛び(移行)しません。

15.17. PSC入力動作9：周波数固定端再起動PSC

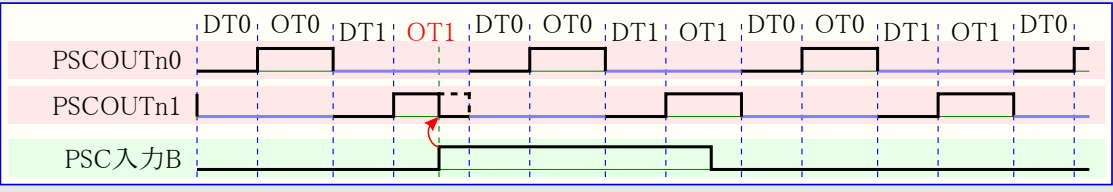
図15-33. 障害動作9でのPSCn入力A対PSCn動作



出力周波数は再起動入力の意味ある(有効)端の発生によって変調されません。
再起動入力の意味ある(有効)端が起きる時の出力だけが非活動(無効レベル)にされます。

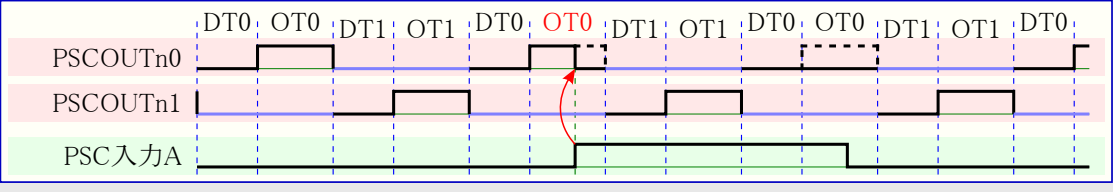
注: 本動作でのPSC出力は例え再起動/障害入力が活性(有効)でも、次の傾斜間、活動(通常動作)になります。再起動/障害入力の意味ある(有効)端だけが考慮(扱)われます。

図15-34. 障害動作9でのPSCn入力B対PSCn動作



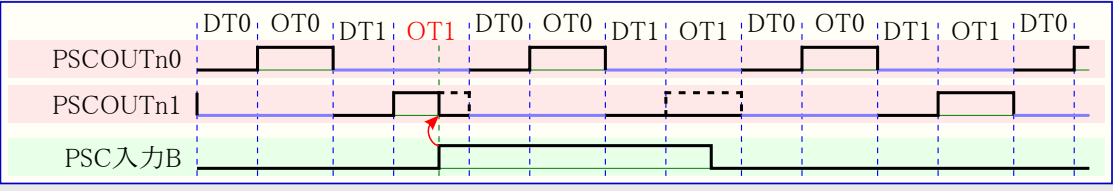
15.18. PSC入力動作14：周波数固定端再起動PSC、出力非活動

図15-35. 障害動作14でのPSCn入力A対PSCn動作



出力周波数は再起動入力の意味ある(有効)端の発生によって変調されません。

図15-36. 障害動作14でのPSCn入力B対PSCn動作



出力は再起動入力が活性(有効)である間、非活動(無効レベル)にされます。
PSCの出力は非活性(無効レベル)状態に設定され、対応する傾斜(カウンタ)が中断停止されます。出力は再起動/障害入力が活性(有効)である間、非活性状態に留まります。このPSCは一定周波数で走行します。

15.18.1. 走行動作による利用可能な入力動作

いくつかの入力動作はいくつかの走行動作で矛盾があります。故に下表は走行動作によって有効な入力動作を与えます。

表15-7. 走行動作による利用可能な入力動作

入力動作番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1傾斜動作	可	不可	不可	可	不可	不可	可	可	可	使用 不可				可	使用 不可
2傾斜動作	可	可	可	可	可	可	可	可	可					可	
4傾斜動作	可	可	可	可	可	可	可	可	可					可	
中央整列動作	不可	不可	不可	可	不可	不可	可	不可	不可					不可	

15.18.2. 事象捕獲

本PSCはPSC入力で再起動事象または障害事象が起きる時に時間(PSCカウンタ)値を捕獲できます。この値はソフトウェアによってPSCn捕獲レジスタ(PICRnH,PICRnL)で読めます。

15.18.3. 捕獲入力部の使用

PSCn捕獲レジスタ(PICRn)でのPSCカウンタ捕獲の起動には2つの方法があります。

- PSC入力信号によって起動されるハードウェア捕獲入力
- 捕獲ソフトウェア起動(PCSTn)ビットによって起動されるソフトウェア捕獲入力

捕獲入力部使用時の主な要求は到着事象を扱うための十分な能力をプロセッサに割り当てることです。2つの事象間の時間は危険です。プロセッサが次の事象発生前にPICRnレジスタ内の捕獲した値を読めなかったなら、PICRnは新しい値で上書きされるでしょう。この場合、捕獲結果は不正にされるでしょう。

捕獲入力割り込み使用時、PICRnレジスタは割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲入力割り込みが相対的に高い優先順であっても、最大割り込み応答時間は他の割り込み要求の何れかを扱うためにかかる最大クロック周期数に依存します。

15.19. PSC2出力

15.19.1. 出力配列

PSC2には4傾斜動作で各傾斜に対してPSCOUT20とPSCOUT21の2進値の値設定を許す出力配列があります。

PSCOUT2m(m=0,1,2,3)は全ての対応する傾斜の間、表16-8.で与えられた値を取ります。この出力配列によってPSCOUT20とPSCOUT21の組み合わせの全種類を生成することが可能です。

出力配列使用時、PSCn出力極性(POPn)ビットは出力上の動きを持ちません(無効)。

15.19.2. PSCOUT22とPSCOUT23の選択器 (訳注: AT90PWM216はPSCOUT22/23出力ピンがないので本機能は無効です。)

PSC2にはPSCOUT22とPSCOUT23の2つの補助的な出力があります。

PSOC2レジスタのPOS22とPOS23ビットに従って、PSCOUT22とPSCOUT23はPSCOUT20とPSCOUT21を二重化します。

PSOC2レジスタのPOS22ビットが解除(0)なら、PSCOUT22はPSCOUT20を二重化します。

PSOC2レジスタのPOS22ビットが設定(1)なら、PSCOUT22はPSCOUT21を二重化します。

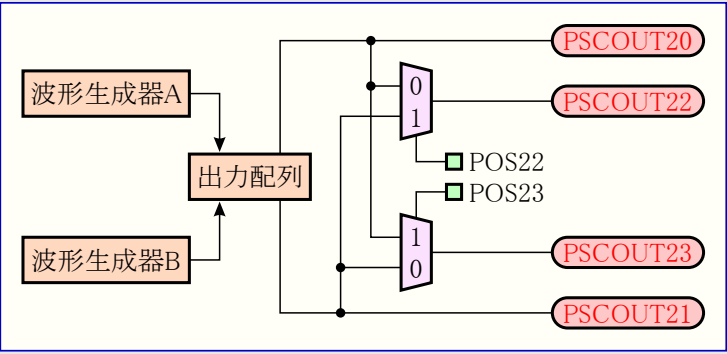
PSOC2レジスタのPOS23ビットが解除(0)なら、PSCOUT23はPSCOUT21を二重化します。

PSOC2レジスタのPOS23ビットが設定(1)なら、PSCOUT23はPSCOUT20を二重化します。

表15-8. 出力配列 対 傾斜番号

基準PSC出力	傾斜0	傾斜1	傾斜2	傾斜3
PSCOUT20	POMV2A0	POMV2A1	POMV2A2	POMV2A3
PSCOUT21	POMV2B0	POMV2B1	POMV2B2	POMV2B3

図15-37. PSCOUT22とPSCOUT23出力



15.20. アナログ同期化

PSCは採取&保持と同期するための信号を生成します。同期化は測定にとって必須です。

この信号はPSCOUTn0またはPSCOUTn1出力の全ての上昇端または下降端から選択できます。

中央整列動作では全入力値(DT0,OT0,DT1,OT1)が使われる訳ではありません。余った値の1つ(OCRnRA)がA/D変換器の同期指定に使えます。

15.21. 割り込みの扱い

各PSCは1つの機能について専用化でき、各PSCにはそれ自身の割り込み系統(ベクタ等)があります。

割り込み元一覧:

- カウンタ再設定(=0、ON時間1(OT1)の最後)
- PSC入力事象(設定された事象の有効な端またはレベルの開始)
- PSC相互同期化異常

15.22. PSCの同期化

2(3)つのPSCが共に同期化できます。この場合2つの波形整列が可能です。

- 波形は主PSCと従PSCが全てで同じPSC周期(本来の使用法)なら、波形は中央整列動作で中央に整列されます。
- 波形は1、2、または4傾斜動作での端(エッジ)で整列されます。

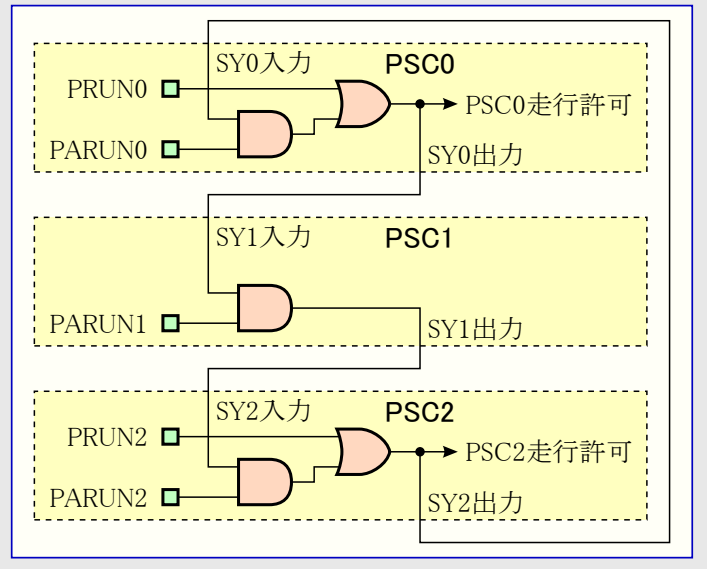
PSCnが設定(1)のPARUNnビットを持つなら、PSCn-1と同時に開始できます。

PRUNnとPARUNnビットはPCTLnレジスタに配置されます。104頁の「PCTL0 – PSC0制御レジスタ」、「PCTL1 – PSC1制御レジスタ」、「PCTL2 – PSC2制御レジスタ」をご覧ください。

注: 同時に3つのPSCのPARUNnビットを設定(1)しないでください。

本機能によって例えば、1つの主PSC動作(PARUNm=0, PRUNm=0)と2つの従PSC動作(PARUNn=1, PRUNn=0)を構成できます。この主PSCは全PSCを同じ瞬間に開始できます(PRUNm=1)。

図15-38. PSC走行同期化



15.22.1. 自動走行での障害事象

主/従機構全体のため、障害事象(入力動作7)はPSCnからPSCn-1へとPSCn-1からPSCnへ伝達されます。

走行信号を後続PSCへ伝達するPSCは走行信号が非活性の時にそのPSCを停止します。

3つのPSC間の「PSC走行信号デュージーチェーン」を構築するPSC同期化概念に従い、デュージーチェーンに沿って送信されるPRUNnビットを通してPSCを「停止」できるのは障害動作(PSC入力動作7)だけです。

直前のPSCから走行信号を受けるPSCは、(許可されていれば、)直前のPSCへ障害信号を送ります。故に従PSCはそれらが障害事象を設定且つ許可の時に障害事象を伝達します。

15.23. PSCクロック元

PSCは増強分解能での高い周波数を生成できなければなりません。
各PSCは2つのクロック入力を持ちます。

- PLLからのCLKPLL
- CLKI/O

PSCn構成(PCNFn)レジスタのPCLKSELnビットはクロック元選択に使われます。
PSCn制御(PCTLn)レジスタのPPREn1,0ビットはクロックの分周係数選択に使われます。

図15-39. クロック選択

表15-9. クロック元と前置分周の選択

PCLKSELn	PPREn1	PPREn0	CLKPSCn出力
0	0	0	CLKI/O
0	0	1	CLKI/O/4
0	1	0	CLKI/O/32
0	1	1	CLKI/O/256
1	0	0	CLKPLL
1	0	1	CLKPLL/4
1	1	0	CLKPLL/32
1	1	1	CLKPLL/256

15.24. 割り込み

本項はAT90PWM216/316で行なわれる割り込み動作の仕様を記述します。

15.24.1. 割り込みベクタの一覧

各PSCは2つの割り込みベクタを提供します。

- PSCn EC (End of Cycle : 周期終了) : 許可で且つOCRnRBとの一致で発生
- PSCn CAPT (Capture Event : 捕獲事象) : 許可で且つ、同期異常またはPSCカウンタの再起動/捕獲で発生

107頁の「PIMn – PSCn割り込み許可レジスタ」と107頁の「PIFRn – PSCn割り込み要求フラグ レジスタ」をご覧ください。

15.24.2. AT90PWM216/316のPSC割り込みベクタ

表15-10. PSC割り込みベクタ

ベクタ番号	プログラム アドレス	発生元	備考
2	\$0001	電力段制御器2 PSC2_CAPT	電力段制御器2 捕獲発生/同期異常
3	\$0002	電力段制御器2 PSC2_EC	電力段制御器2 周期終了(比較一致)
4	\$0003 (注)	電力段制御器1 PSC1_CAPT	電力段制御器1 捕獲発生/同期異常
5	\$0004 (注)	電力段制御器1 PSC1_EC	電力段制御器1 周期終了(比較一致)
6	\$0005	電力段制御器0 PSC0_CAPT	電力段制御器0 捕獲発生/同期異常
7	\$0006	電力段制御器0 PSC0_EC	電力段制御器0 周期終了(比較一致)

注: AT90PWM216では利用できません。

15.25. 電力段制御器(PSC)用レジスタ

レジスタはPSC0について説明されます。これらはPSC1について同じです。PSC2に対してのみ異なるレジスタは記述されます。

(**訳注**) 特記事項を除いて本節内のnはPSC番号を表し、0～2です。暗背景のビットはAT90PWM216で利用不可または無効です。

15.25.1. PSOC0 – PSC0同期・出力構成レジスタ (PSC 0 Synchro and Output Configuration)

ビット (\$D0)	7	6	5	4	3	2	1	0	
	–	–	PSYNC01	PSYNC00	–	POEN0B	–	POEN0A	PSOC0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.25.2. PSOC1 – PSC1同期・出力構成レジスタ (PSC 1 Synchro and Output Configuration) (**注**: AT90PWM216で利用不可)

ビット (\$E0)	7	6	5	4	3	2	1	0	
	–	–	PSYNC11	PSYNC10	–	POEN1B	–	POEN1A	PSOC1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.25.3. PSOC2 – PSC2同期・出力構成レジスタ (PSC 2 Synchro and Output Configuration)

ビット (\$F0)	7	6	5	4	3	2	1	0	
	POS23	POS22	PSYNC21	PSYNC20	POEN2D	POEN2B	POEN2C	POEN2A	PSOC2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – POS23 : PSCOUT23選択 (PSCOUT23 Selection) (**PSC2のみ**)

このビットが解除(**0**)されると、PSCOUT23出力波形は波形生成器Bによって生成されます。

このビットが設定(**1**)されると、PSCOUT23出力波形は波形生成器Aによって生成されます。

• ビット6 – POS22 : PSCOUT22選択 (PSCOUT22 Selection) (**PSC2のみ**)

このビットが解除(**0**)されると、PSCOUT22出力波形は波形生成器Aによって生成されます。

このビットが設定(**1**)されると、PSCOUT22出力波形は波形生成器Bによって生成されます。

• ビット5,4 – PSYNCn,0 : A/D変換器用同期出力選択 (Synchronization Out for ADC Selection)

同期化用にA/D変換器へ送る信号を生成する信号元と極性を選びます。

表15-11. 1.2.4傾斜動作での同期元

PSYNCn1	PSYNCn0	説明
0	0	PSCOUTn0の先行端(OCRnSAとの比較一致)で信号送出。
0	1	PSCOUTn0の後行端(OCRnRAとの比較一致またはA部での障害/再起動)で信号送出。
1	0	PSCOUTn1の先行端(OCRnSBとの比較一致)で信号送出。
1	1	PSCOUTn1の後行端(OCRnRBとの比較一致またはB部での障害/再起動)で信号送出。

表15-12. 中央整列動作での同期元

PSYNCn1	PSYNCn0	説明
0	0	(PSC下降計数中の)OCRnRAとの比較一致で信号送出。OCRnRAの最小値は1でなければなりません。
0	1	(PSC上昇計数中の)OCRnRAとの比較一致で信号送出。OCRnRAの最小値は1でなければなりません。
1	0	同期化信号なし。
1	1	

• ビット3 – POEN2D : PSCOUT23出力許可 (PSCOUT23 Output Enable) (**PSC2のみ**)

このビットが解除(**0**)されると、PSCOUT23に影響を及ぼす第2 I/Oピンは標準ポートとして動作します。

このビットが設定(**1**)されると、PSCOUT23に関連するI/Oピンは(**POS23**設定に従って)PSC2波形生成器AまたはBへ接続され、PSC2操作に従い、設定(**1**)と解除(**0**)を行ないます。

• ビット2 – POENnB : PSCOUTn1/B部出力許可 (PSCn OUT Part B Output Enable)

このビットが解除(**0**)されると、PSCOUTn1に影響を及ぼすI/Oピンは標準ポートとして動作します。

このビットが設定(**1**)されると、PSCOUTn1に影響を及ぼすI/OピンはPSC波形生成器Bへ接続され、PSC操作に従って設定(**1**)と解除(**0**)を行ないます。

• **ビット1 – POEN2C : PSCOUT22出力許可** (PSCOUT22 Output Enable) (**PSC2のみ**)

このビットが解除(0)されると、PSCOUT22に影響を及ぼす第2 I/Oピンは標準ポートとして動作します。

このビットが設定(1)されると、PSCOUT22に関連するI/Oピンは(POS22設定に従って)PSC2波形生成器AまたはBへ接続され、PSC2操作に従い、設定(1)と解除(0)を行ないます。

• **ビット0 – POENnA : PSCOUTn0/A部出力許可** (PSCn OUT Part A Output Enable)

このビットが解除(0)されると、PSCOUTn0に影響を及ぼすI/Oピンは標準ポートとして動作します。

このビットが設定(1)されると、PSCOUTn0に影響を及ぼすI/OピンはPSC波形生成器Aへ接続され、PSC操作に従って設定(1)と解除(0)を行ないます。

15.25.4. OCRnSAH,OCRnSAL (OCRnSA) – PSCn比較SAレジスタ (Output Compare SA Register) (**注: 216デバイスはn=1不可**)

ビット	15	14	13	12	11	10	9	8	
(\$D3) : (\$E3) : (\$F3)	–	–	–	–	OCRnSA11~8				OCRnSAH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$D2) : (\$E2) : (\$F2)	OCRnSA7~0								OCRnSAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.25.5. OCRnRAH,OCRnRAL (OCRnRA) – PSCn比較RALレジスタ (Output Compare RA Register) (**注: 216デバイスはn=1不可**)

ビット	15	14	13	12	11	10	9	8	
(\$D5) : (\$E5) : (\$F5)	–	–	–	–	OCRnRA11~8				OCRnRAH
Read/Write	W	W	W	W	W	W	W	W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$D4) : (\$E4) : (\$F4)	OCRnRA7~0								OCRnRAL
Read/Write	W	W	W	W	W	W	W	W	
初期値	0	0	0	0	0	0	0	0	

15.25.6. OCRnSBH,OCRnSBL (OCRnSB) – PSCn比較SBLレジスタ (Output Compare SB Register) (**注: 216デバイスはn=1不可**)

ビット	15	14	13	12	11	10	9	8	
(\$D7) : (\$E7) : (\$F7)	–	–	–	–	OCRnSB11~8				OCRnSBH
Read/Write	W	W	W	W	W	W	W	W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$D6) : (\$E6) : (\$F6)	OCRnSB7~0								OCRnSBL
Read/Write	W	W	W	W	W	W	W	W	
初期値	0	0	0	0	0	0	0	0	

15.25.7. OCRnRBH,OCRnRBL (OCRnRB) – PSCn比較RBLレジスタ (Output Compare RB Register) (**注: 216デバイスはn=1不可**)

ビット	15	14	13	12	11	10	9	8	
(\$D9) : (\$E9) : (\$F9)	OCRnRB15~12				OCRnRB11~8				OCRnRBH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$D8) : (\$E8) : (\$F8)	OCRnRB7~0								OCRnRBL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

PSCn比較RA, RB, SA, SBLレジスタは継続的にPSCnカウンタ値と比較される12ビット値を含みます。一致は比較一致割り込みや、関係ピンでの波形出力生成に使えます。

比較RBLレジスタは分数(端数)変調(小数分周器)に使われる4ビット値も含みます。

比較レジスタは16ビットと12ビットの容量です。CPUがこれらのレジスタに書く時に上位と下位のバイトが同時に書かれるのを保証するために、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の16ビットまたは12ビットの全レジスタで共用されます。

15.25.8. PCNF0 – PSC0構成レジスタ (PSC 0 Configuration Register)

ビット (\$DA)	7	6	5	4	3	2	1	0	
	PFIFTY0	PALOCK0	PLOCK0	PMODE01	PMODE00	POP0	PCLKSEL0	–	PCNF0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.25.9. PCNF1 – PSC1構成レジスタ (PSC 1 Configuration Register) (注: AT90PWM216で利用不可)

ビット (\$EA)	7	6	5	4	3	2	1	0	
	PFIFTY1	PALOCK1	PLOCK1	PMODE11	PMODE10	POP1	PCLKSEL1	–	PCNF1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.25.10. PCNF2 – PSC2構成レジスタ (PSC 2 Configuration Register)

ビット (\$FA)	7	6	5	4	3	2	1	0	
	PFIFTY2	PALOCK2	PLOCK2	PMODE21	PMODE20	POP2	PCLKSEL2	POME2	PCNF2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

PSCn構成レジスタはPSCの走行動作構成に使われます。

- ビット7 – PFIFTYn : PSCn 50%動作 (PSC n Fifty)

このビットの1書き込みはOCRnRBとOCRnSBだけが使われる50%動作にPSCを設定します。OCRnRBの更新中に、これら(の値)はOCRnRAとOCRnSAに複写されます。この機能は50%波形実行に有用です。

- ビット6 – PALOCKn : PSCn 自動格納 (PSC n Autolock)

このビットが設定(1)されると、比較RA,SA,SBレジスタ、出力配列(POM2)レジスタ、PSCn同期/出力構成(PSOCn)レジスタはPSC周期を妨げることなく書けます。PSC内部レジスタの更新は比較RBレジスタが書かれてしまう時に、そのPSC周期の最後で行なわれます。

設定(1)時、本ビットはLOCKnビット(ビット5)に優先します。

- ビット5 – PLOCKn : PSCn 格納 (PSC n Lock)

このビットが設定(1)されると、比較RA,RB,SA,SBレジスタ、出力配列(POM2)レジスタ、PSCn同期/出力構成(PSOCn)レジスタはPSC周期を妨げることなく書けます。PSC内部レジスタの更新はLOCKビットが0に解除される時に行なわれます。

- ビット4,3 – PMODEn1,0 : PSCn 走行動作種別 (PSC n Mode)

PSCの動作を選びます。

表15-13. PSCn 走行動作種別選択

PMODEn1	PMODEn0	走行動作種別
0	0	1傾斜動作
0	1	2傾斜動作
1	0	4傾斜動作
1	1	中央整列動作

- ビット2 – POPn : PSCn 出力極性 (PSC n Output Polarity)

このビットが解除(0)されている場合、PSC出力はLow有効です。

このビットが設定(1)されている場合、PSC出力はHigh有効です。

- ビット1 – PCLKSELn : PSCn 入力クロック選択 (PSC n Input Clock Select)

このビットは高速クロックまたは低速クロックのどちらかを選びます。

高速クロック(CLKPLL)を選ぶにはこのビットを設定(1)してください。

低速クロック(CLKI/O)を選ぶにはこのビットを解除(0)してください。

- ビット0 – POME2 : PSC2 出力配列許可 (PSC 2 Output Matrix Enable) (PSC2のみ)

PSC2出力で出力配列機能を許可するにはこのビットを設定(1)してください。

出力配列が使われると、PSC2出力極性(POP2)は出力での動作を持ちません(無効です)。

15.25.11. PCTL0 – PSC0制御レジスタ (PSC 0 Control Register)

ビット (\$DB)	7	6	5	4	3	2	1	0	
	PPRE01	PPRE00	PBFM0	PAOC0B	PAOC0A	PARUN0	PCCYC0	PRUN0	PCTL0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.25.12. PCTL1 – PSC1制御レジスタ (PSC 1 Control Register) (注: 暗背景ビットはAT90PWM216で利用不可)

ビット (\$EB)	7	6	5	4	3	2	1	0	
	PPRE11	PPRE10	PBFM1	PAOC1B	PAOC1A	PARUN1	PCCYC1	PRUN1	PCTL1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.25.13. PCTL2 – PSC2制御レジスタ (PSC 2 Control Register)

ビット (\$FB)	7	6	5	4	3	2	1	0	
	PPRE21	PPRE20	PBFM2	PAOC2B	PAOC2A	PARUN2	PCCYC2	PRUN2	PCTL2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – PPREn1,0 : PSCn 前置分周選択 (PSC n Prescaler Select)

この2ビットはPSCn入力クロック分周係数を選びます。全ての生成波形がこの係数によって変更されます。

表15-14. PSCn 前置分周選択

PPREn1	PPREn0	前置分周
0	0	なし(1/1)
0	1	4分周
1	0	32分周
1	1	256分周

• ビット5 – PBFMn : PSCn 平衡分数(端数)変調(小数分周器)動作種別 (PSC n Balance Flank Width Modulation)

このビットが解除(0)されると、分数(端数)変調はON時間1(OT1)でだけ動作します。

このビットが設定(1)されると、分数(端数)変調はON時間0(OT0)とON時間1(OT1)で動作します。

• ビット4 – PAOCnB : PSCn 非同期出力制御B (PSC n Asynchronous Output Control B)

このビットが設定(1)されると、B部へ選ばれた障害入力PSCOUTn1出力を直接的に操作できます。92頁の「PSC入力設定」をご覧ください。

• ビット3 – PAOCnA : PSCn 非同期出力制御A (PSC n Asynchronous Output Control A)

このビットが設定(1)されると、A部へ選ばれた障害入力PSCOUTn0出力を直接的に操作できます。92頁の「PSC入力設定」をご覧ください。

• ビット2 – PARUNn : PSCn 自動走行許可 (PSC n Autorun) (訳注:PSCn纏めのため、本項記述変更)

このビットが設定(1)されると、PSCnはPSCn-1と共に始まります。これは次のどちらかの場合にPSCnが始動することを意味します。

- PCTLn-1のPRUNn-1が設定(1)される時
- PCTLn-1のPARUNn-1が設定(1)され、且つPCTLn-2のPRUNn-2が設定(1)される時

このビットにより、2または3つのPSCが同期化できます(例えば電動機制御)。

注: n-1は1つ前のPSC、n-2は2つ前のPSCを表し、0,1,2の順です。0の前は2です。99頁の「PSCの同期化」をご覧ください。

• ビット1 – PCCYCn : PSCn 周期完了許可 (PSC n Complete Cycle)

このビットが設定(1)されると、PSCnはPRUNnの解除(0)によって要求した停止操作に先立って波形周期全体を完了します。従属動作(PARUNn=1)での本ビットは関連がありません。

• ビット0 – PRUNn : PSCn 走行許可 (PSC n Run)

このビットの1書き込みはPSCnを始動します。99頁の「PSCの同期化」をご覧ください。

設定(1)時、本ビットはPARUNnビット(ビット2)に優先します。

(訳注) 原書でのPCTL0,PCTL1,PCTL2レジスタ内容記述はPCTLnとして纏めました。

15.25.14. PFRCnA – PSCn入力A制御レジスタ (PSC n Input A Control Register) (注: AT90PWM216ではn=1利用不可)

ビット	7	6	5	4	3	2	1	0	
(\$DC) : (\$EC) : (\$FC)	PCAEnA	PISELnA	PELEVnA	PFLTEnA	PRFMnA3	PRFMnA2	PRFMnA1	PRFMnA0	PFRCnA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.25.15. PFRCnB – PSCn入力B制御レジスタ (PSC n Input B Control Register) (注: AT90PWM216ではn=1利用不可)

ビット	7	6	5	4	3	2	1	0	
(\$DD) : (\$ED) : (\$FD)	PCAEnB	PISELnB	PELEVnB	PFLTEnB	PRFMnB3	PRFMnB2	PRFMnB1	PRFMnB0	PFRCnB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

入力制御レジスタはPSCの2つ(A部とB部)の再起動/障害部構成に使われます。この2つの単位部は同一(構造)で、従って同じ方法で設定されます。(訳補: 以下のxはAまたはBです。)

- **ビット7 – PCAEnx : PSCn x部入力捕獲許可** (PSC n Capture Enable Input Part x)
このビットの1書き込みはx部に対する入力として選んだ入力で外部事象が起こる時の捕獲機能を許可します(次のPISELnxビットをご覧ください)。
- **ビット6 – PISELnx : PSCn x部入力選択** (PSC n Input Select for Part x)
障害/再起動部の入力としてPSCINn(ピン)を選ぶにはこのビットを解除(0)してください。
障害/再起動部の入力としてアナログ比較器n出力を選ぶにはこのビットを設定(1)してください。
- **ビット5 – PELEVnx : PSCn 非同期出力制御x** (PSC n Asynchronous Output Control x)
このビットが解除(0)されると、選んだ入力の下降かLowレベルが誤りまたは再起動機能に対して意味ある事象を生成します。
このビットが設定(1)されると、選んだ入力の上昇かHighレベルが誤りまたは再起動機能に対して意味ある事象を生成します。
- **ビット4 – PFLTEnx : PSCn x部入力濾波器許可** (PSC n Filter Enable on Input Part x)
このビットの設定(1)は捕獲入力雑音消去器を活性(有効)にします。雑音消去器が活動(状態)にされると、再起動ピンからの入力は濾波されます。この濾波機能はその出力を変更するのに再起動ピンの4連続同一値採取を必要とします。従って捕獲入力は雑音消去器が許可される時に4発振器周期遅らされます。
- **ビット3~0 – PRFMnx3~0 : PSCn 誤り/再起動 x部動作選択** (PSC n Fault Mode)
これらの4ビットは誤りまたは再起動機能の動作種別を定義します。(より多くの説明については93頁の「入力動作の操作」をご覧ください。)

表15-15. 障害/再起動動作種別とPSC入力動作 (端(エッジ)/レベル選択)		
番号	PRFMnx3~0	説明
0	0 0 0 0	動作なし、PSC入力は無効。
1	0 0 0 1	PSC入力動作1 : 信号停止、反対側沈黙時間へ飛び、待機
2	0 0 1 0	PSC入力動作2 : 信号停止、反対側沈黙時間実行、待機
3	0 0 1 1	PSC入力動作3 : 信号停止、障害有効間反対側沈黙時間実行
4	0 1 0 0	PSC入力動作4 : タイミング変更なしで出力非活動
5	0 1 0 1	PSC入力動作5 : 信号停止、沈黙時間挿入
6	0 1 1 0	PSC入力動作6 : 信号停止、反対側沈黙時間へ飛び、待機
7	0 1 1 1	PSC入力動作7 : PSC停止、ソフトウェア操作待機
8	1 0 0 0	PSC入力動作8 : 端再起動PSC
9	1 0 0 1	PSC入力動作9 : 周波数固定端再起動PSC
10	1 0 1 0	
11	1 0 1 1	(予約) : 使用不可
12	1 1 0 0	
13	1 1 0 1	
14	1 1 1 0	PSC入力動作14 : 周波数固定端再起動PSC、出力非活動
15	1 1 1 1	(予約) : 使用不可

15.25.16. PICRnH, PICRnL (PICRn) – PSCn捕獲レジスタ (PSC n Input Capture Register) (注: AT90PWM216はn=1利用不可)

ビット	15	14	13	12	11	10	9	8	
(\$DF) : (\$EF) : (\$FF)	PCSTn	–	–	–		PICRn11~8			PICRnH
Read/Write	R/W	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$DE) : (\$EE) : (\$FE)									PICRnL
									PICRn7~0
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – PCSTn 捕獲ソフトウェア起動 (PSC n Capture Software Trig bit)

PSCカウンタの捕獲を起こすにはこのビットを設定(1)してください。読み込み時、本ビットが設定(1)されていれば捕獲操作はPCSTnの設定(1)によって起動されたことを意味し、さもなければ捕獲操作はPSC入力によって起動されたことを意味します。

捕獲入力は捕獲機能が許可される(PFRCnxレジスタのPCAEnxビットが設定(1)される)場合の、許可した入力ピン(または任意選択のアナログ比較器n出力)での事象発生毎にPSCnカウンタ値で更新されます。

捕獲レジスタは12ビットの容量です。CPUがこれらのレジスタをアクセスする時に上位と下位のバイトが同時に読まれるのを保証するために、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の16ビットまたは12ビットの全レジスタで共用されます。

(訳注: レジスタ構成図をPICRnとして纏めました。)

15.26. 電力段制御器(PSC)2用特定レジスタ

15.26.1. POM2 – PSC2出力配列レジスタ (PSC 2 Output Matrix)

ビット	7	6	5	4	3	2	1	0	
(\$F1)	POMV2B3	POMV2B2	POMV2B1	POMV2B0	POMV2A3	POMV2A2	POMV2A1	POMV2A0	POM2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – POMV2B3 : PSC2 出力配列 出力B傾斜3 (Output Matrix Output B Ramp 3)

このビットは傾斜3(第4傾斜)間のPSCOUT21(と/またはPSCOUT23)の状態を与えます。

• ビット6 – POMV2B2 : PSC2 出力配列 出力B傾斜2 (Output Matrix Output B Ramp 2)

このビットは傾斜2(第3傾斜)間のPSCOUT21(と/またはPSCOUT23)の状態を与えます。

• ビット5 – POMV2B1 : PSC2 出力配列 出力B傾斜1 (Output Matrix Output B Ramp 1)

このビットは傾斜1(第2傾斜)間のPSCOUT21(と/またはPSCOUT23)の状態を与えます。

• ビット4 – POMV2B0 : PSC2 出力配列 出力B傾斜0 (Output Matrix Output B Ramp 0)

このビットは傾斜0(第1傾斜)間のPSCOUT21(と/またはPSCOUT23)の状態を与えます。

• ビット3 – POMV2A3 : PSC2 出力配列 出力A傾斜3 (Output Matrix Output A Ramp 3)

このビットは傾斜3(第4傾斜)間のPSCOUT20(と/またはPSCOUT22)の状態を与えます。

• ビット2 – POMV2A2 : PSC2 出力配列 出力A傾斜2 (Output Matrix Output A Ramp 2)

このビットは傾斜2(第3傾斜)間のPSCOUT20(と/またはPSCOUT22)の状態を与えます。

• ビット1 – POMV2A1 : PSC2 出力配列 出力A傾斜1 (Output Matrix Output A Ramp 1)

このビットは傾斜1(第2傾斜)間のPSCOUT20(と/またはPSCOUT22)の状態を与えます。

• ビット0 – POMV2A0 : PSC2 出力配列 出力A傾斜0 (Output Matrix Output A Ramp 0)

このビットは傾斜0(第1傾斜)間のPSCOUT20(と/またはPSCOUT22)の状態を与えます。

(訳補) 出力配列については98頁の「PSC2出力」をご覧ください。

15.27. 電力段制御器(PSC)割り込み用レジスタ

15.27.1. PIMn – PSCn割り込み許可レジスタ (PSC n Interrupt Mask Register) (注: AT90PWM216ではn=1利用不可)

ビット	7	6	5	4	3	2	1	0	
(\$A1) : (\$A3) : (\$A5)	–	–	PSEIE _n	PEVE _n B	PEVE _n A	–	–	PEOPE _n	PIM _n
Read/Write	R	R	R/W	R/W	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット5 – PSEIE_n : PSCn 同期異常割り込み許可 (PSC n Synchro Error Interrupt Enable)

このビットが設定(1)されると、同期異常割り込み要求(PSEIn)ビットが(設定(1)ならば)割り込みを生成します。

- ビット4 – PEVE_nB : PSCn B部外部事象割り込み許可 (PSC n External Event B Interrupt Enable)

このビットが設定(1)されると、B部の障害/再起動部からの捕獲を発生できる外部事象は割り込みも生成します。

- ビット3 – PEVE_nA : PSCn A部外部事象割り込み許可 (PSC n External Event A Interrupt Enable)

このビットが設定(1)されると、A部の障害/再起動部からの捕獲を発生できる外部事象は割り込みも生成します。

- ビット0 – PEOPE_n : PSCn 周期終了割り込み許可 (PSC n End Of Cycle Interrupt Enable)

このビットが設定(1)されると、PSCが周期全体(PSC周期)の最後に達する時に割り込みが生成されます。

15.27.2. PIFRn – PSCn割り込み要求フラグ レジスタ (PSC n Interrupt Flag Register) (注: AT90PWM216ではn=1利用不可)

ビット	7	6	5	4	3	2	1	0	
(\$A0) : (\$A2) : (\$A4)	POAC _n B	POAC _n A	PSEIn	PEV _n B	PEV _n A	PRN _n 1	PRN _n 0	PEOP _n	PIFR _n
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – POAC_nB : PSCn B部出力活動 (PSC n Output B Activity)

このビットはPSCOUT_n1出力が0⇒1または1⇒0に変化する毎にハードウェアによって設定(1)されます。

これは本位置に1を書くことでソフトウェアによって解除(0)されなければなりません。

この機能は固定化した外部入力信号のためにPSC出力が変化しないことを検知するのに有用です。

- ビット6 – POAC_nA : PSCn A部出力活動 (PSC n Output A Activity)

このビットはPSCOUT_n0出力が0⇒1または1⇒0に変化する毎にハードウェアによって設定(1)されます。

これは本位置に1を書くことでソフトウェアによって解除(0)されなければなりません。

この機能は固定化した外部入力信号のためにPSC出力が変化しないことを検知するのに有用です。

- ビット5 – PSEIn : PSCn 同期異常割り込み要求フラグ (PSC n Synchro Error Interrupt)

このビットは自動走行(PARUN_n=1)に設定したPSCnの更新(またはPSC周期の最後)が走行入力信号を発生したPSCn-1と同時に起きない時にハードウェアによって設定(1)されます。(PSC0に対するPSCn-1はPSC2)

これは本位置に1を書くことでソフトウェアによって解除(0)されなければなりません。

この機能はPSCが主PSCと同じ速度、同じ位相で走行しないことを検知するのに有用です。

- ビット4 – PEV_nB : PSCn B部外部事象割り込み要求フラグ (PSC n External Event B Interrupt)

このビットはB部の障害/再起動部からの捕獲または再起動を発生できる外部事象が起こる時に設定(1)されます。

これは本位置に1を書くことでソフトウェアによって解除(0)されなければなりません。

このビットは例え対応する割り込みが許可されてなくても(PEVE_nBビット=0)、読めます。

- ビット3 – PEV_nA : PSCn A部外部事象割り込み要求フラグ (PSC n External Event A Interrupt)

このビットはA部の障害/再起動部からの捕獲または再起動を発生できる外部事象が起こる時に設定(1)されます。

これは本位置に1を書くことでソフトウェアによって解除(0)されなければなりません。

このビットは例え対応する割り込みが許可されてなくても(PEVE_nAビット=0)、読めます。

- ビット2,1 – PRN_n1,0 : PSCn 傾斜番号 (PSC n Ramp Number)

最後のA部外部事象割り込み要求(PEV_nA)またはB部外部事象割り込み要求(PEV_nB)発生時の傾斜番号の記録です。

表15-16. PEV_nx発生時傾斜番号

PRN _n 1,0	0 0	0 1	1 0	1 1
傾斜番号	0	1	2	3

- ビット0 – PEOPE_n : PSCn 周期終了割り込み要求フラグ (PSC n End Of Cycle Interrupt)

このビットは周期全体(PSC周期)を達成した時に設定(1)されます。

これは本位置に1を書くことでソフトウェアによって解除(0)されなければなりません。

16. 直列周辺インターフェース (SPI: Serial Peripheral Interface)

直列周辺インターフェースはAT90PWM216/316と様々なAVRデバイスや周辺デバイス間的高速同期データ転送を許します。AT90PWM216/316のSPIは次の特徴を含みます。

16.1. 特徴

- 全二重3線同期データ転送
- 主装置/従装置動作
- LSB/MSB先行データ転送
- 設定変更可能な7つのビット速度
- 送信完了割り込み要求フラグ
- 送信上書きフラグ保護
- アトル動作からの起動
- 倍速(CK/2)主装置SPI動作

24頁の「PRR - 電力削減リスト」でのPRSPIビットはSPI部を許可するために0を書かれなければなりません。

SPIでの主装置と従装置のCPU間相互連結は図16-2.で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は希望した従装置の $\overline{SS}$ (従装置選択)ピンをLowへ引き込む時に一群の通信を始めます。主装置と従装置は各々の移動レジスタで送出すべきデータを用意し、主装置はデータを交換するのに必要なクロックパルスをSCK信号線に生成します。データは常にMOSI(Mas

ter Out Slave In)信号線を主装置から従装置へ、MISO (Master In Slave Out)信号線を従装置から主装置へ移動されます。各データパケット後、主装置はSS(従装置選択)ピンをHighへ引き上げることによって従装置と同期を取ります。

主装置として設定されると、SPIインターフェースには $\overline{SS}$ 信号線の自動制御がありません。これは通信が開始できるのでに先立って使用者ソフトウェアによって操作されなければなりません。これが行われると、**SPIデータレジスタ(SPCR)**へのバイト書き込みがSPIクロック発生器を始動し、ハードウェアが従装置内へ8ビットを移動します。1バイトの移動後、SPIクロック発生器は停止し、**SPI状態レジスタ(SPSR)**の**転送完了フラグ(SPIF)**を設定(1)します。**SPI制御レジスタ(SPCR)**で**SPI割り込み許可(SPIE)ビット**が設定(1)されていれば割り込みが要求されます。主装置はSPDR内へ次バイトを書くことによって次バイトの移動を継続、または $\overline{SS}$ (従装置選択)信号線をHighへ引き上げることによってパケットの終了を指示することができます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

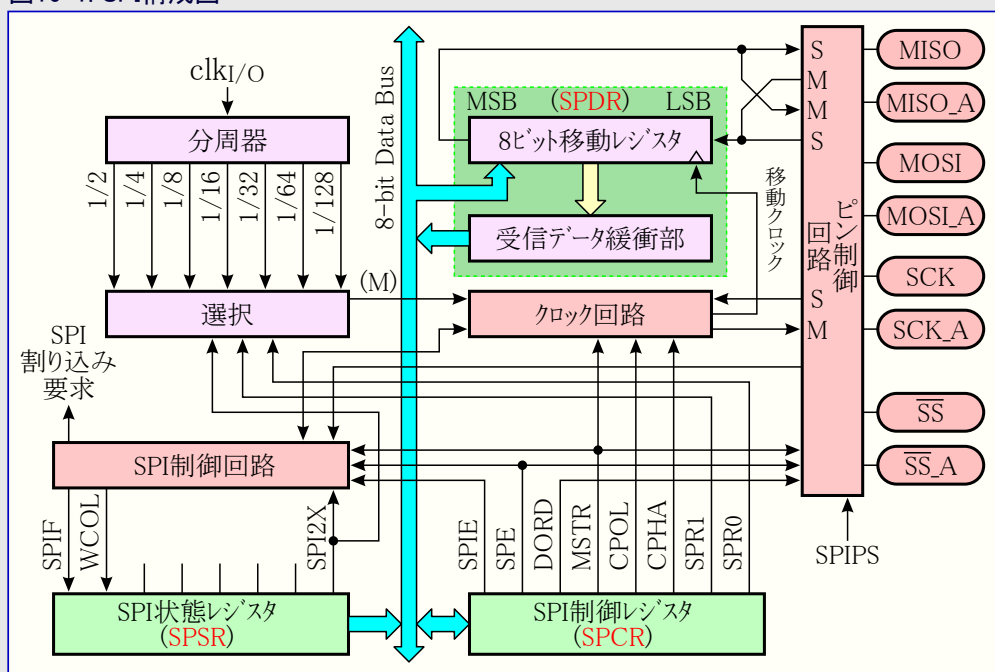
従装置として設定されると、SPIインターフェースは $\overline{SS}$ ピンが**High**に駆動される限り、MISOをHi-Zにした休止状態に留まります。この状態でプログラムはSPIデータレジスタ(SPDR)の内容を更新できますが、そのデータは $\overline{SS}$ ピンが**Low**に駆動されるまでSCKピンでの到着クロックパルスによって移動出力されません。1バイトが完全に移動されてしまうと転送完了フラグ(SPIF)が設定(1)されます。SPCRでSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置は受信データを読む前にSPDR内へ送られるべき次のデータの配置を続けられます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

このシステムは送信側で単一緩衝、受信側で2重緩衝です。これは一連の移動全体が完了される前に送信されるべきバイトがSPIデータレジスタ(SPDR)へ書けないことを意味します。しかし、データを受信するとき、次のデータが完全に移動入力される前に受信したデータがSPIデータレジスタ(SPDR)から読まなければならないかもしれません。さもなければ始めのバイトは失われます。

SPI装置動作では制御論理回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、High/Lowの最小時間は各々2 CPUクロック周期よりも長くあるべきです。

SPIが許可されると、MOSI、MISO、SCK、 $\overline{\text{SS}}$ ピンのデータ方向は表16-1に従って無視されます。自動的なポート無視のより多くの詳細については39頁の「交換ポート機能」を参照してください。

图16-1. SPI構成図



注: SPIピン配置については2頁の「ピン配置」と40頁の表10-3を参照してください。

図16-2. SPI 主装置/従装置の連結

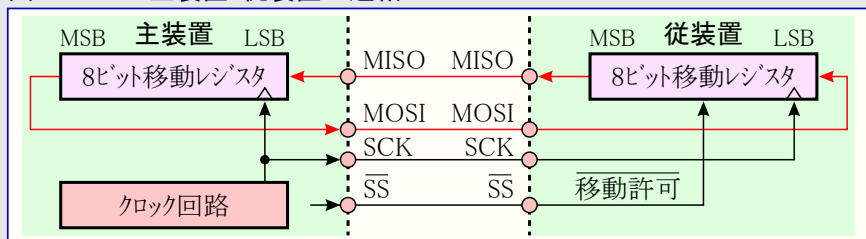


表16-1. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
SS	ポートB方向レジスタ(DDRB)の指定	入力

注: 使用者定義SPIピン方向定義法の詳細な記述については40頁の「**ポートBの交換機能**」を参照してください。

次のコード例は主装置としてSPIを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR_SPIはSPIピンを制御する実際のポート方向レジスタに置き換えられなければなりません。DD_MOSI, DD_MISO, DD_SCKはこれらのピンに対する実際のポート方向ビットに置き換えられなければなりません。例えばMOSIがPB1ピンに配置されるなら、DD_MOSIはDDB1、DDR_SPIはDDRBに置き換えます。

アセンブリ言語プログラム例

```
SPI_M_Init:  LDI    R17, (1<<DD_MOSI) | (1<<DD_SCK)      ;MOSI, SCK=出力、他は入力値を取得
              OUT    DDR_SPI, R17                        ;MOSI, SCK=出力、他は入力に設定
              LDI    R17, (1<<SPE) | (1<<MSTR) | (1<<SPR0) ;SPI許可、主装置、16分周値を取得
              OUT    SPCR, R17                          ;SPI許可、主装置、16分周に設定
              RET                                         ;呼び出し元へ復帰

SPI_M_Tx:    OUT    SPDR, R16                            ;データ(R16)送信開始
SPI_M_Tx_W:  SBIS   SPSR, SPIF                          ;転送完了ならばスキップ
              RJMP   SPI_M_Tx_W                        ;転送完了まで待機
;
              RET                                         ;呼び出し元へ復帰
```

C言語プログラム例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI) | (1<<DD_SCK);          /* MOSI, SCK=出力、他は入力に設定 */
    SPCR = (1<<SPE) | (1<<MSTR) | (1<<SPR0);        /* SPI許可、主装置、16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                  /* データ送信開始 */
    while(!(SPSR & (1<<SPIF)));                  /* 転送完了まで待機 */
}
```

注: 5頁の「コード例について」をご覧ください。

次のコード例は従装置としてSPIを初期化する方法と簡単な受信を実行する方法を示します。

アセンブリ言語プログラム例

```
SPI_S_Init:  LDI    R17, (1<<DD_MISO)                  ;MISO出力、他は入力値を取得
              OUT    DDR_SPI, R17                      ;MISO出力、他は入力に設定
              LDI    R17, (1<<SPE)                    ;SPI許可値を取得
              OUT    SPCR, R17                        ;SPI許可設定
              RET                                         ;呼び出し元へ復帰

SPI_S_Rx:    SBIS   SPSR, SPIF                          ;受信(転送)完了ならばスキップ
              RJMP   SPI_S_Rx                        ;受信(転送)完了まで待機
;
              IN     R16, SPDR                          ;受信データを取得
              RET                                         ;呼び出し元へ復帰
```

C言語プログラム例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                          /* MISO出力、他は入力に設定 */
    SPCR = (1<<SPE);                                  /* SPI許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                      /* 受信(転送)完了まで待機 */
    return SPDR;                                       /* 受信データと共に復帰 */
}
```

注: 5頁の「コード例について」をご覧ください。

16.2. SSピンの機能

16.2.1. 従装置動作

SPIが従装置として設定されると、従装置選択(SS)ピンは常に入力です。SSがLowに保たれるとSPIは活性に(作動)され、使用者によってそのように設定されていればMISOは出力になります。他の全てのピンは入力です。SSがHighに駆動されると、出力として使用者設定され得るMISOを除く全てのピンは入力、SPIは非活動で、それは到着データを受信しないことを意味します。一旦SSピンがHighに駆動されると、SPI論理回路がリセットすることに注意してください。

このSSピンはパケット/バイト同期に対して、従装置ビット計数器が主装置クロック発生器との同期を保つのに有用です。SSピンがHighに駆動されると、SPI従装置は直ちに送受信論理回路をリセットし、それは移動レジスタ内で部分的に受信したどのデータも取り落とします。

16.2.2. 主装置動作

SPIが主装置(SPI制御レジスタ(PCR)の主装置許可(MSTR)ビット=1)として設定されると、SSピンの方向は使用者が決められます。SSが出力として設定されると、このピンはSPIシステムに影響を及ぼされない標準出力ピンです。代表的にはこのピンがSPI従装置のSSピンを駆動するでしょう。

SSが入力として設定されると、SPI主装置動作を保証するため、それはHighに保持されなければなりません。SSピンが入力として定義されたSPI主装置として設定される時に周辺回路によってSSピンがLowに駆動されると、SPIシステムは他の主装置が従装置として選んでデータ送信を始めると解釈します。バスの衝突を避けるためにSPIシステムは次の動作を行います。

- 1. PCRで主/従選択(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIシステムが従装置になる結果としてMOSIとSCKピンが入力になります。
- 2. SPI状態レジスタ(SPSR)でSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可(PCRのSPIE=1)され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)なら、割り込みルーチンが実行されます。

従って割り込み駆動SPI送信が主装置動作で使われ、SSがLowに駆動される可能性があるとき、その割り込み(処理)はMSTRビットが未だ設定(1)されていることを常に検査すべきです。MSTRビットが従装置選択によって解除(0)されてしまっていると、それはSPI主装置動作を再び許可するため、使用者によって設定(1)されなければなりません。

16.2.3. MCUCR – MCU制御レジスタ (MCU Control Register)

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SPIPS	–	–	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIPS : SPIピン選択 (SPI Pin Select)

このビットによってSPIピンは接続替えできます。
プログラミング ポートが常に代替SPIポートに配置されることに注意してください。

SPIPS	24ピン外圍器SPI機能ピン	32ピン外圍器SPI機能ピン
0	MISO_A, MOSI_A, SCK_A, SS_A	MISO, MOSI, SCK, SS
1	MISO, MOSI, SCK, SS	MISO_A, MOSI_A, SCK_A, SS_A

(訳注) 原書本文は表に纏めました。

16.2.4. SPCR – SPI制御レジスタ (SPI Control Register)

ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIE : SPI割り込み許可 (SPI Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、SPI状態レジスタ(SPSR)でSPI割り込み要求フラグ(SPIF)が設定(1)される時に、このビットがSPI割り込みを実行させます。

• ビット6 – SPE : SPI許可 (SPI Enable)

SPEビットが1を書かれるとSPIが許可されます。どのSPI操作を許可するにも、このビットが設定(1)されなければなりません。

• ビット5 – DORD : データ順選択 (Data Order)

DORDビットが1を書かれるとデータ語のLSBが最初に転送されます。DORDビットが0を書かれるとMSBが最初に転送されます。

• ビット4 – MSTR : 主装置/従装置選択 (Master/Slave Select)

このビットは1を書かれると主装置動作、論理0を書かれると従装置動作を選びます。SSが入力として設定され、MSTRが設定(1)の間にLowへ駆動されると、MSTRが解除(0)され、SPI状態レジスタ(SPSR)でSPI割り込み要求フラグ(SPIF)が設定(1)になります。その後使用者はSPI主装置動作を再び許可するためにMSTRを設定(1)しなければなりません。

•ビット3 – CPOL : SCK極性選択 (Clock Polarity)

このビットが1を書かれると、アイドル時にSCKはHighです。CPOLが0を書かれると、アイドル時にSCKはLowです。例については図16-3.と図16-4.を参照してください。CPOL機能は右で要約されます。

表16-2. CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

•ビット2 – CPHA : SCK位相選択 (Clock Phase)

このSCK位相選択(CPHA)ビットの設定はデータがSCKの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。例については図16-3.と図16-4.を参照してください。CPHA機能は右で要約されます。

表16-3. CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

•ビット1,0 – SPR1,0 : SPIクロック選択 (SPI Clock Rate Select 1 and 0)

これら2ビットは主装置として設定されたデバイスのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKと(システム)発振器クロック周波数f_{OSC}間の関連は次表で示されます。

表16-4. SCK速度選択 (f _{OSC} =CPUクロック周波数)								
SPR1	0		0		1		1	
SPR0	0		1		0		1	
SPI2X	1	0	1	0	1	0	1	0
SCK周波数	f _{OSC} /2		f _{OSC} /4		f _{OSC} /8		f _{OSC} /16	
	f _{OSC} /32		f _{OSC} /64		f _{OSC} /128			

16.2.5. SPSR – SPI状態レジスタ (SPI Status Register)

ビット	7	6	5	4	3	2	1	0	
\$2D (\$4D)	SPIF	WCOL	–	–	–	–	–	SPI2X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7 – SPIF : SPI割り込み要求フラグ (SPI Interrupt Flag)

直列転送が完了すると、このSPIFフラグが設定(1)されます。全割り込みが許可(ステータスレジスタ(SREG)の全割り込み許可(I)ビット=1)されて、SPI制御レジスタ(SPCR)でSPI割り込み許可(SPIE)ビットが設定(1)されるなら、割り込みが生成されます。SPIが主装置動作の時にSSピンが入力でLowに駆動されるなら、これもこのSPIFフラグを同様に設定(1)します。対応する割り込み処理ベクタを実行する時にSPIFはハードウェアによって解除(0)されます。代わりにSPIFが設定(1)されたSPI状態レジスタ(SPSR)を始めに読み、その後SPIデータレジスタ(SPD R)にアクセスすることによってもSPIFフラグは解除(0)されます。

•ビット6 – WCOL : 上書き発生フラグ (Write Collision Flag)

データ転送中にSPIデータレジスタ(SPCR)が書かれると、このWCOLビットが設定(1)されます。WCOLビット(とSPIFビット)はWCOLが設定(1)されたSPI状態レジスタ(SPSR)を始めに読み、その後SPIデータレジスタ(SPCR)にアクセスすることによって解除(0)されます。

•ビット5~1 – Res : 予約 (Reserved Bit)

これらのビットは予約されており、常に0として読みます。

•ビット0 – SPI2X : SPI倍速許可 (Double SPI Speed Bit)

このビットが論理1を書かれると、SPIが主装置動作の時にSCK速度(SCK周波数)が倍にされます(表16-4.参照)。これは最小SCK周期が2 CPUクロック周期であることを意味します。SPIが従装置として設定される時に、SPIはf_{OSC}(CPUクロック周波数)/4またはそれ以下での動作のみ保証されます。

AT90PWM216/316のSPIインターフェースはフラッシュメモリやEEPROMの書き換え(読み書き)にも使われます。直列プログラミングと照合については179頁をご覧ください。

16.2.6. SPDR – SPIデータレジスタ (SPI Data Register)

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータレジスタはSPI移動レジスタとレジスタファイル(汎用レジスタ)間のデータ転送に使われる読み書き可能なレジスタです。このレジスタへの書き込みがデータ送信を開始します。このレジスタの読み込みは移動レジスタの受信緩衝部読み出しを引き起こします。

16.3. データ転送形式

直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットによって決定されるSCK位相と極性で4つの組み合わせがあります。このSPIデータ転送形式は図16-3と図16-4.で示されます。データビットは安定のためデータ信号に対して十分な時間を保証するSCK信号の反対端で移動出力と(入力)ラッチが行われます。これは以下で行われるように表16-2.と表16-3.を要約することによって明解にされます。

表16-5. CPOL,CPHA機能動作				
SPI動作種別番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

図16-3. SPIデータ転送形式 (CPHA=0)

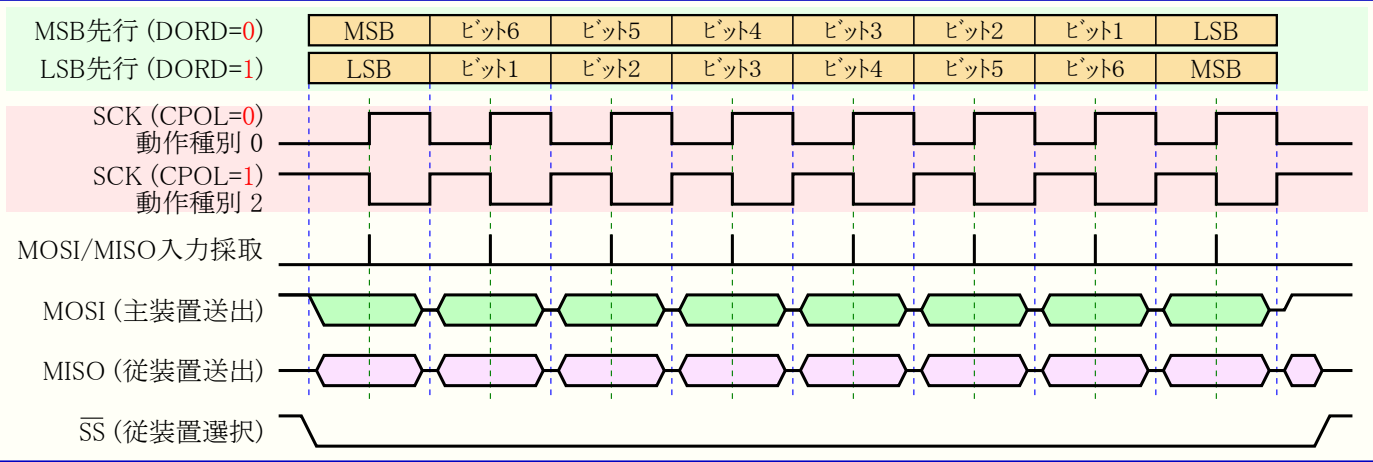
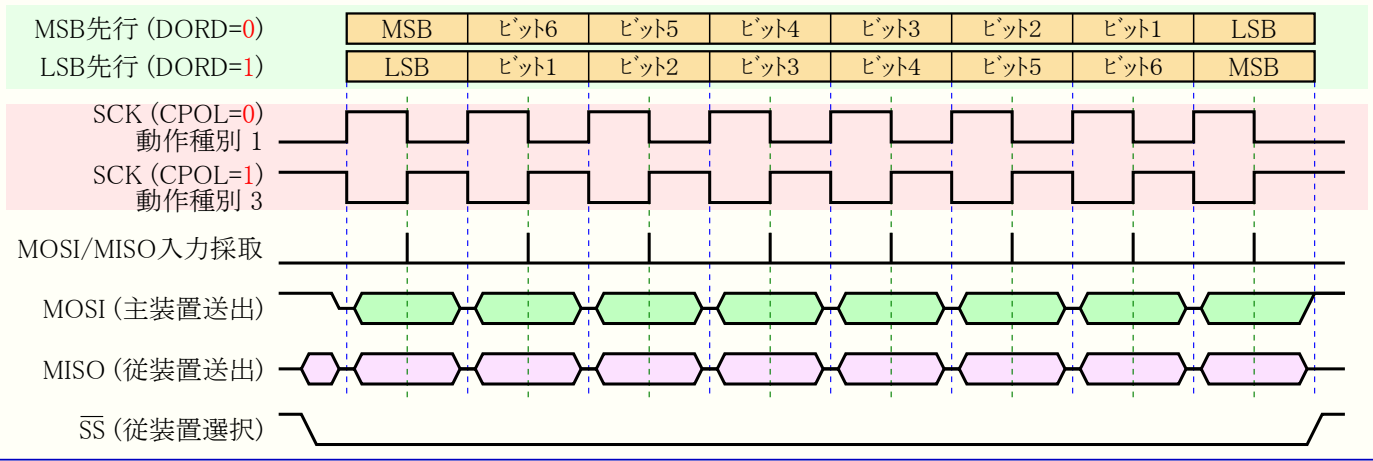


図16-4. SPIデータ転送形式 (CPHA=1)



17. USART

USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は高い柔軟性をもつ直列通信機能です。

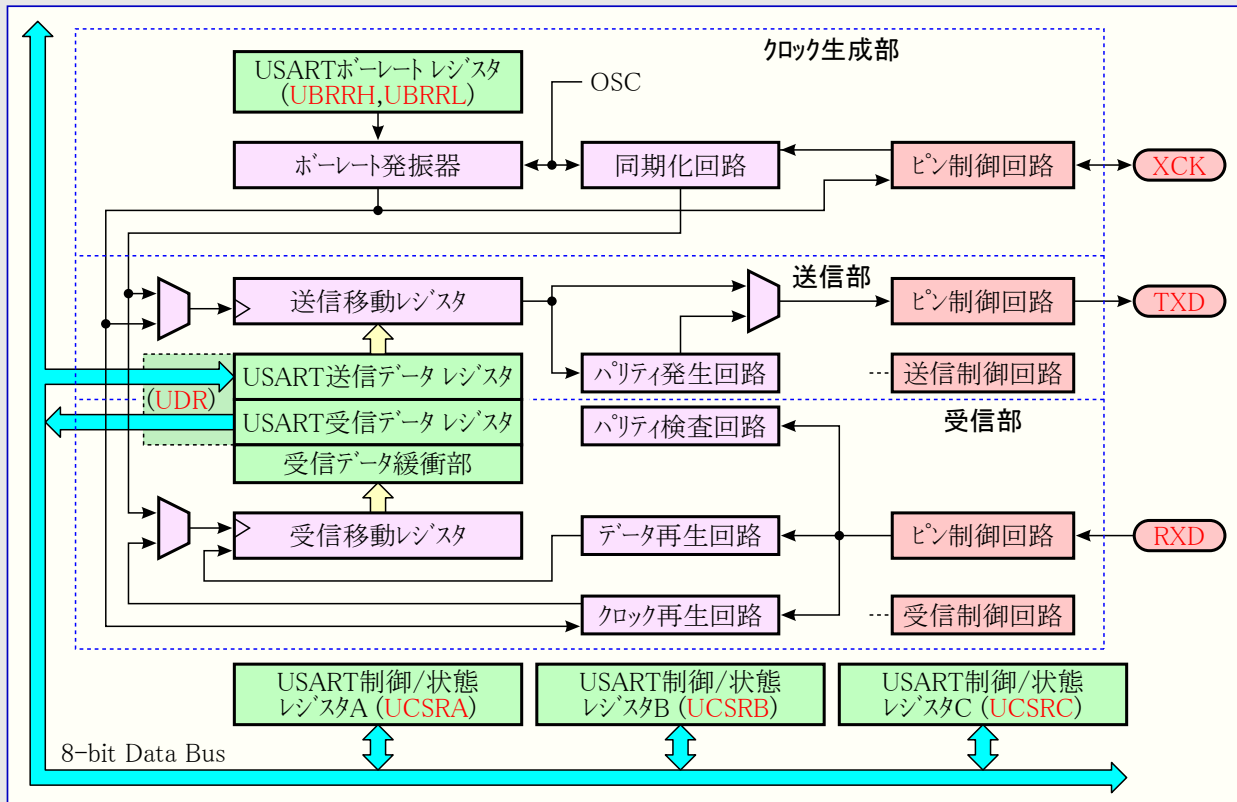
17.1. 特徴

- 全二重動作 (独立した送受信レジスタ)
- 同期または非同期動作
- 同期クロック駆動された主装置/従装置動作
- 高分解能**ボーレート発振器**
- 5,6,7,8または9ビットデータと1または2停止ビットの直列フレームの支援
- ハードウェアによって支援された奇数または偶数パリティの生成と検査
- USART拡張動作
 - 送受信に対する独立したビット数設定
 - 5,6,7,8,9または13,14,15,16,17ビットデータと1または2停止ビットの直列フレームの支援
 - 両位相マンチェスタ符号化/復号器 (DALI通信用)
- データ オーバーラン検出
- フレーミング異常検出
- 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波器
- 受信完了、送信完了、送信データレジスタ空きの3つの分離した割り込み
- **複数プロセッサ通信機能**
- **倍速非同期通信動作**
 - マンチェスタ フレーミング異常検出
 - ビット順設定 (MSBまたはLSB先行)
 - EUSARTフレーム受信での**休止形態**抜け出し

17.2. 概要

USARTの簡便化した構成図は図17-1.で示されます。CPUがアクセス可能なレジスタとI/Oピンは**赤字(訳注:原文太字)**で示されます。
24頁の「**PRR – 電力削減レジスタ**」での**USART電力削減(PRUNT0)ビット**はUSART部を許可するために**0**を書かれねばなりません。

図17-1. USART構成図



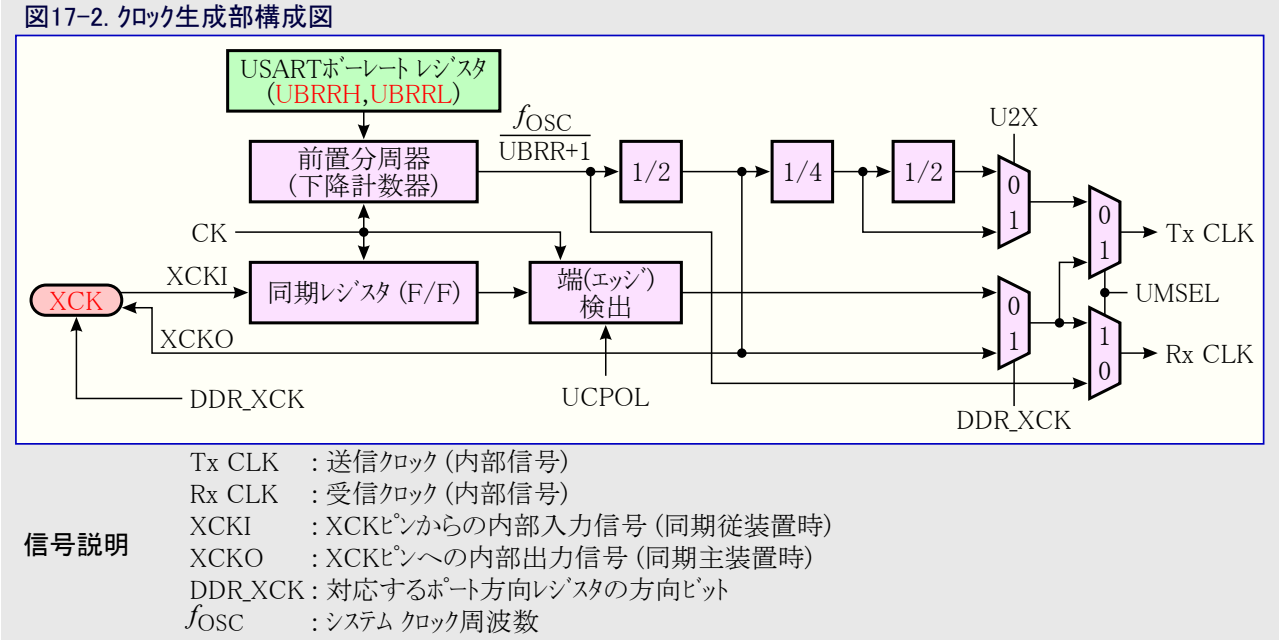
注: USARTピン配置については2頁の「ピン配置」、44頁の表10-9をご覧ください。

構成図内の破線はUSARTの3つの主要部分、(上から)クロック生成部、送信部、受信部を分けます。制御レジスタは全部によって共有されます。**クロック生成論理部**はボーレート発振器と同期従装置動作によって使われる外部クロック入力に対する同期化論理回路から成ります。転送クロック(XCKn)ピンは同期転送動作だけで使われます。送信部は単一書き込み緩衝部(UDRn)、直列移動レジスタ、パリティ発生器、異なる**直列フレーム形式**を扱うための制御論理回路から成ります。書き込み緩衝部はどんなフレーム間の遅れもなしにデータの継続転送を許します。受信部はクロックとデータの再生部のため、USART部の最も複雑な部分です。再生部は非同期データ受信で使われます。再生部に加えて、受信部は2重の受信緩衝部(UDRn)、移動レジスタ、パリティ検査器、制御論理回路を含みます。受信部は送信部と同じフレーム形式を支援し、**フレーミング異常**、**データ オーバーラン発生**、**パリティ誤り**を検知できます。

17.3. クロック生成

クロック生成論理回路は送受信部用基準クロックを生成します。USARTは標準非同期、倍速非同期、同期主装置、同期従装置の4つのクロック動作種別を支援します。USART制御/状態レジスタC(UCSRC)のUSART動作種別選択(UMSEL)ビットは同期動作と非同期動作のどちらかを選びます。倍速動作(非同期動作のみ)はUSART制御/状態レジスタA(UCSRA)にある倍速許可(U2X)ビットによって制御されます。同期動作(UMSEL=1)を使う時にXCKピンに対する方向制御ビット(DDR_XCK)はクロック元が内部(主装置動作)または外部(従装置動作)どちらかを制御します。このXCKピンは同期動作を使う時だけ活性(有効)です。

図17-2. はクロック生成論理回路の構成図を示します。



17.3.1. ボーレート発振器での内部クロック発生

内部クロック生成は非同期と同期主装置動作種別に対して使われます。本項の記述は図17-2.を参照してください。

USARTボーレートレジスタ(UBRR(UBRRH:UBRRL))と下降計数器は設定変更可能な前置分周器またはボーレート発振器として機能するように接続されます。システムクロック(f_{OSC})で走行する下降計数器は0への下降計数時毎またはUBRRLレジスタが書かれる時、UBRR値で設定されます。1クロック(パルス)は計数器が0に達する毎に生成されます。このクロックがボーレート発振器出力(=f_{OSC}/(UBRR+1))です。送信部は動作種別に依存してボーレート発振器出力を2,8,16分周します。ボーレート発振器出力は受信部クロックとデータ再生部によって直接使われます。しかし、再生部はUSART動作種別選択(UMSEL)、倍速許可(U2X)、DDR_XCKビットの状態によって設定される動作種別に依存して2,8,16段を使う順次処理回路を使います。

表17-1. は内部的に生成したクロック元を使う各動作種別に於けるボーレート(bps)とUBRR値の計算式を含みます。

表17-1. ボーレートレジスタ(UBRR)値計算式		
動作種別	ボーレート計算式	UBRR値計算式
標準速非同期動作 (U2X=0)	$BAUD = \frac{f_{OSC}}{16 \times (UBRR + 1)}$	$UBRR = \frac{f_{OSC}}{16 \times BAUD} - 1$
倍速非同期動作 (U2X=1)	$BAUD = \frac{f_{OSC}}{8 \times (UBRR + 1)}$	$UBRR = \frac{f_{OSC}}{8 \times BAUD} - 1$
同期主装置動作	$BAUD = \frac{f_{OSC}}{2 \times (UBRR + 1)}$	$UBRR = \frac{f_{OSC}}{2 \times BAUD} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BAUD : ボーレート (bps)

UBRR : UBRRHとUBRRLレジスタ値 (0~4095)

f_{OSC} : システム発振器クロック周波数

いくつかのシステムクロック周波数に対するいくつかのUBRR値の例は表17-9.で得られます(128頁をご覧ください)。

17.3.2. 倍速動作 (U2X)

転送速度はUSART制御/状態レジスタA(UCSRA)で倍速許可(U2X)ビットを設定(1)することによって倍にできます。このビットの設定は非同期動作に対してだけ有効です。同期動作を使う時にこのビットは0に設定してください。

このビットの設定(1)は事実上、非同期通信に対する転送速度を倍にするボーレート分周器の分周数を16から8に減じます。けれども受信部がデータ採取とクロック再生に対して半分の(16から8に減じた)採取数をこの場合だけ使い、従ってこの動作種別が使われる時はシステムクロックとボーレート設定の精度がより必要とされることに注意してください。送信部についての低下要因はありません。

17.3.3. 外部クロック

外部クロックは同期従装置動作種別によって使われます。本項の記述での詳細については図17-2を参照してください。

XCKピンからの外部クロック入力是不確定レベル状態(メタステーブル)の機会を最少とするために同期化レジスタによって採取されます。同期化レジスタからの出力は送受信部で使用し得るのに先立って端(エッジ)検出器を通過しなければなりません。この処理手順が2 CPUクロック周期の遅延を持ち込み、このため最大外部XCKクロック周波数は次式によって制限されます。

$$f_{XCK} < \frac{f_{OSC}}{4}$$

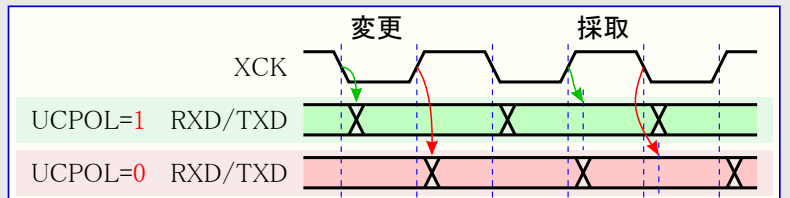
f_{OSC} がシステムクロック元の安定度に依存することに注意してください。従って周波数変動によるデータ消失の可能性を避けるため、いくらかの余裕分を追加することが推奨されます。

17.3.4. 同期クロック動作

同期動作が使われる(UMSEL=1)とき、XCKピンはクロック入力(従装置)またはクロック出力(主装置)のどちらかとして使われます。データ採取またはデータ変更とクロック端間の依存性は同じです。基本原則はデータ出力(TXD)が変更される端と反対のXCKクロック端でデータ入力(RXD)が採取されることです。

USART制御/状態レジスタC(UCSRC)のXCK極性(UCPOL)ビットはデータ採取とデータ変更に対してどちらのクロック端が使われるかを選びます。図17-3で示されるようにUCPOLが0のとき、データはXCKの上昇端で変更され、下降端で採取されます。UCPOLが設定(1)の場合、データはXCKの下降端で変更され、上昇端で採取されます。

図17-3. 同期動作XCKタイミング



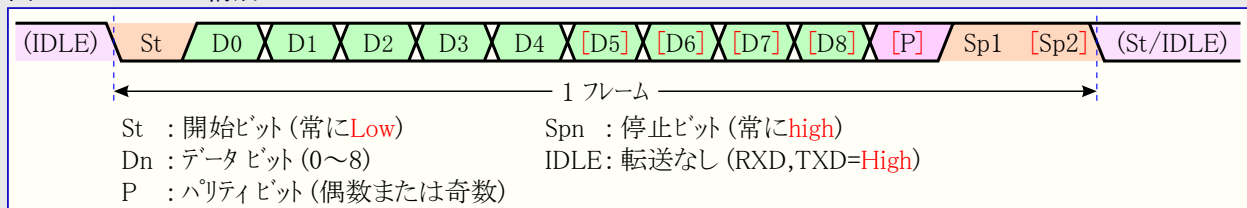
17.4. フレーム形式

1つの直列フレームは複数のデータビットと同期ビット(開始ビット、停止ビット)、任意の異常検査用パリティビットで定義されます。USARTは有効なフレーム形式として以下の組み合わせ30種全てを受け入れます。

- 1 開始ビット
- 5, 6, 7, 8, 9 ビット データ
- 奇数または偶数パリティビット、またはなし
- 1 または 2 停止ビット

フレームは最下位データビット(LSB)が次に続く開始ビットで始まります。その後に次データビットが最後の最上位データビット(MSB)まで(最大合計9ビット続きます。許可したなら、パリティビットがデータビットの後、停止ビットの前に挿入されます。完全なフレームが送信されると、新規フレームによって直ちに後続されるか、または通信線をアイドル状態(high)に設定できます。図17-4は組み合わせ可能なフレーム形式を図解します。[]付きビットは任意選択です。

図17-4. 1フレームの構成



USARTによって使われるフレーム形式はUSART制御/状態レジスタBとC(UCSRB, UCSRC)でデータ長選択(UCSZ2~0)ビット、パリティ選択(UPM1,0)ビット、停止ビット選択(USBS)ビットによって設定されます。受信部と送信部は同じ設定を使います。これらのどのビットの設定変更も、送受信部両方に対して進行中の通信を不正とすることに注意してください。

データ長選択(UCSZ2~0)ビットはフレーム内のデータビット数を選びます。パリティ選択(UPM1,0)ビットはパリティビットの許可と種別(奇/偶)を設定します。1または2停止ビットのどちらかの選択は停止ビット選択(USBS)ビットによって行います。受信部は第2停止ビットを無視します。従ってフレーミング異常(FE)は最初の停止ビットが0(Low)の場合にだけ検出されます。

17.4.1. パリティビットの計算

パリティビットは全データビットの排他的論理和(Ex-OR)を行うことによって計算されます。奇数パリティが使われる場合は排他的論理和の結果が反転されます。パリティビットとデータビットの関係は次のとおりです。

偶数パリティビット = D0 Ex-OR D1 Ex-OR D2 Ex-OR ~ Ex-OR Dn-1
奇数パリティビット = D0 Ex-OR D1 Ex-OR D2 Ex-OR ~ Ex-OR Dn-1 Ex-OR 1 n: データビット長

使った場合、パリティビットは直列フレームの最後のデータビットと最初の停止ビット間に配置されます。

17.5. USARTの初期化

何れかの通信が行えるのに先立ってUSARTは初期化されなければなりません。

USARTまたはEUSARTのどちらかの初期設定は他のどんな初期設定にも先立って行なわれるべきです。

標準的な初期化手順は使用方法に依存するボーレート設定、フレーム形式設定、送受信部許可から成ります。

割り込み駆動USART操作に関して初期化を行う時に**ステータスレジスタの全割り込み許可(I)ビット**は解除(0)される(そして全割り込みが禁止される)べきです。

ボーレートまたはフレーム形式の変更を伴う再初期化を行う前には、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。**USART制御/状態レジスタA(UCSRA)の送信完了(TXC)フラグ**は送信部の全転送完了検査に使え、**受信完了(RXC)フラグ**は受信緩衝部内の未読データ有無検査に使えます。この目的(次送信タイミング)にTXCフラグが使われる場合、各々の送信(**USARTデータレジスタ(UDR)**が書かれる)前にTXCフラグが解除(0)されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例は固定フレーム形式でボーリングを使う(割り込み不許可)非同期動作と仮定します。ボーレート(UBRR)値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Init:  OUT    UBRRH, R17                ;ボーレート設定(上位バイト)
              OUT    UBRRL, R16              ;ボーレート設定(下位バイト)
              LDI     R16, (1<<USBS) | (3<<UCSZ0) ;フレーム形式値を取得
              OUT    UCSRC, R16              ;フレーム形式設定(8ビット,2停止ビット)
              LDI     R16, (1<<RXEN) | (1<<TXEN) ;送受信許可値を取得
              OUT    UCSRB, R16              ;送受信許可
              RET                             ;呼び出し元へ復帰
```

C言語プログラム例

```
#define FOSC 1843200                /* MCUクロック周波数 */
#define BAUD 9600                   /* 目的USARTボーレート速度 */
#define MYUBRR FOSC/16/BAUD-1      /* 目的UBRR値 */

void main(void)
{
    ~~~~~
    USART_Init(MYUBRR);              /* USART初期化 */
    ~~~~~
}

void USART_Init(unsigned int baud)
{
    UBRRH = (unsigned char) (baud>>8); /* ボーレート設定(上位バイト) */
    UBRRL = (unsigned char) baud;       /* ボーレート設定(下位バイト) */
    UCSRC = (1<<USBS) | (3<<UCSZ0);    /* フレーム形式設定(8ビット,2停止ビット) */
    UCSRB = (1<<RXEN) | (1<<TXEN);     /* 送受信許可 */
}
```

注: 5ページの「コード例について」をご覧ください。

割り込みの禁止や引数としてフレーム形式を含めるなどで、より進化した初期化ルーチンが作成できます。けれども多くの応用はボーレートや制御レジスタの固定した設定が使われ、これらの応用形式での初期化コードは主ルーチンに直接置けるか、または他のI/Oの初期化コードと併せられます。

17.6. USARTのデータ送信

USART送信部はUSART制御/状態レジスタB(UCSRB)で送信許可(TXEN)ビットを設定(1)することによって許可されます。送信部が許可されると、TXDピンの標準ピン動作はUSARTによって無視され、送信部の直列出力としての機能を与えられます。何か送信を行う前に一度はポーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKピンの(受信)クロックは無視され、送信クロックとして使われます。

17.6.1. 5～8ビット データ フレーム送信

データ送信は送信されるべきデータを送信緩衝部に設定することによって開始されます。CPUはUSARTデータレジスタ(UDR)I/O位置へ書くことによって送信緩衝部に設定できます。送信緩衝部内のデータは移動レジスタが新規フレームを送る準備が整った時に移動レジスタへ移されます。移動レジスタはアイドル状態(送信進行中以外)、または直前のフレームの最後の停止ビット送信後、直ちに新規データが設定されます。移動レジスタが新規データを設定されると、ポーレートレジスタ(UBRRH:UBRRL)と倍速許可(U2X)ビット、また動作種別によってはXCKピンによって与えられる速度で1つの完全なフレームを転送します。8ビット未満のフレームを使う時はUDRに書かれた上位ビットが無視されます。

次のコード例はUSART制御/状態レジスタA(UCSRA)の送信データレジスタ空き(UDRE)フラグのポーリングを基準とした簡単なUSART送信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Tx:  SBIS    UCSRA, UDRE          ;送信緩衝部空きでスキップ
           RJMP    USART_Tx           ;送信緩衝部空き待機
;
           OUT     UDR, R16            ;データ送信(送信開始)
           RET                          ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned char data)
{
    while ( !(UCSRA & (1<<UDRE)) );    /* 送信緩衝部空き待機 */
    UDR = data;                          /* データ送信(送信開始) */
}
```

注: 5頁の「コード例について」をご覧ください。

この関数は送信されるべき新規データを設定する前に、UDREの検査によって送信緩衝部が空になるのを単純に待ちます。送信緩衝部空き割り込みが使われる場合、その割り込み処理ルーチンがデータを緩衝部内に書きます。

17.6.2. 9ビット データ フレーム送信

9ビット データが使われる場合(UCSZ2~0=111)、データの下位8ビットがUSARTデータレジスタ(UDR)に書かれる前に、第9ビットがUSART制御/状態レジスタB(UCSRB)の送信データビット8(TXB8)ビットに書かれなければなりません。次のコード例は9ビット データを扱う送信関数を示します。アセンブリ言語での送るべきデータはR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Tx:  SBIS    UCSRA, UDRE          ;送信緩衝部空きでスキップ
           RJMP    USART_Tx           ;送信緩衝部空き待機
;
           CBI     UCSRB, TXB8         ;第9ビットを0に仮設定
           SBRC    R17, 0              ;送信すべき第9ビットが0でスキップ
           SBI     UCSRB, TXB8         ;第9ビットを1に設定
           OUT     UDR, R16            ;データ送信(送信開始)
           RET                          ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned int data)
{
    while ( !(UCSRA & (1<<UDRE)) );    /* 送信緩衝部空き待機 */
    UCSRB &= ~(1<<TXB8);               /* TXB8を0に仮設定 */
    if (data & 0x0100) UCSRB |= (1<<TXB8); /* 第9ビットをR17からTXB8へ複写 */
    UDR = data;                         /* データ送信(送信開始) */
}
```

注: これらの送信関数は一般的な機能で書かれています。UCSRBの内容が静的(換言すると、UCSRBのTXB8ビットが初期化後に使われるだけ)ならば最適化できます。

5頁の「コード例について」をご覧ください。

第9ビットは複数プロセッサ通信使用時のアドレス フレーム識別、また例えば同期として扱う他の規約で使うことができます。

17.6.3. 送信フラグと割り込み

USART送信部には状態を示す2つのフラグ、USARTデータレジスタ空き(UDRE)と送信完了(TXC)があります。両フラグは割り込みを発生するのに使えます。

USARTデータレジスタ空き(UDRE)フラグは送信緩衝部が新規データを受け取る準備ができていないかどうかを示します。このビットは送信緩衝部が空の時に設定(1)され、送信緩衝部が移動レジスタに未だ移動されてしまっていない送信されるべきデータを含む時に解除(0)されます。将来のデバイスとの共通性のため、USART制御/状態レジスタA(UCSRA)に書くとき、常にこのビットに0を書いてください。

USART制御/状態レジスタB(UCSRB)でデータレジスタ空き割り込み許可(UDRIE)ビットが1を書かれると、(全割り込みが許可されているならば)UDREフラグが設定(1)されている限り、USARTデータレジスタ空き割り込みが実行されます。UDREはUSARTデータレジスタ(UDR)書き込みによって解除(0)されます。割り込み駆動データ送信が使われる時にデータレジスタ空き割り込みルーチンはUDREを解除(0)するために新規データをUDRに書くか、データレジスタ空き割り込みを禁止するかのどちらかを行わなければならない、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが(継続的に)起こります。

送信完了(TXC)フラグは送信移動レジスタ内の完全なフレームが移動出力されてしまい、送信緩衝部に新規データが現在存在しない時に設定(1)されます。TXCフラグは送信完了割り込みが実行される時、自動的に解除(0)されるか、またはこのビット位置に1を書くことによって解除(0)できます。TXCフラグは送信応用プログラムが送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない(RS485規格のような)半二重(ハーフデュプレックス)通信インターフェースで有効です。

UCSRBで送信完了割り込み許可(TXCIE)ビットが設定(1)され、(全割り込みが許可されていれば)TXCフラグが設定(1)になる時にUSART送信完了割り込みが実行されます。送信完了割り込みが使われる時に割り込み処理ルーチンはTXCフラグを解除(0)しなくてもよく、これは割り込みが実行される時、自動的に行われます。

17.6.4. パリティ発生器

パリティ発生器は直列フレームデータに対するパリティビットを計算します。パリティビットが許可されると(UPM1=1)、送信部制御論理回路は送られているフレームの最終データビットと最初の停止ビット間にパリティビットを挿入します。

17.6.5. 送信の禁止

送信部の禁止(UCSRBのUSART送信許可(TXEN)ビット=0)は進行中と保留中の送信が完了される(換言すると、送信移動レジスタと送信緩衝レジスタが送信されるべきデータを含まない時)まで有効になりません。禁止されると、送信部はもはやTXDピン(の標準ピン機能)を無効にしません。

17.7. USARTのデータ受信

USART受信部はUSART制御/状態レジスタB(UCSRB)で受信許可(RXEN)ビットに1を書くことによって許可されます。受信部が許可されると、RXDピンの標準ピン動作はUSARTによって無視され、受信部の直列入力としての機能を与えられます。何か直列受信が行われ得る前に一度はボーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKピンのクロックは転送クロックとして使われます。

17.7.1. 5～8ビットデータフレーム受信

受信部は有効な開始ビットを検出する時にデータ受信を開始します。開始ビットに続く各ビットはボーレートまたはXCKクロックで採取され、フレームの最初の停止ビットが受信されるまで受信移動レジスタ内へ移動されます。第2停止ビットは受信部によって無視されます。最初の停止ビットが受信されると(換言すると、受信移動レジスタに完全なフレームが存在すると)、この移動レジスタの内容は受信緩衝部内へ移されます。受信緩衝部はUSARTデータレジスタ(UDR)I/O位置を読むことによって読めます。8ビット未満のフレームを使う時にUDRから読むデータの上位ビットは0で覆われます。

次のコード例はUSART制御/状態レジスタA(UCSRA)の受信完了(RXC)フラグのボーリングを基にした簡単なUSART受信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。

アセンブリ言語プログラム例

USART_Rx: SBIS UCSRA, RXC ;受信完了でスキップ
RJMP USART_Rx ;受信完了待機
;
IN R16, UDR ;受信データ取得
RET ;呼び出し元へ復帰

C言語プログラム例

unsigned char USART_Receive(void)
{
while (!(UCSRA & (1<<RXC))); /* 受信完了待機 */
return UDR; /* 受信データ取得 */
}

注: 5頁の「コード例について」をご覧ください。

この関数は緩衝部を読んで値を戻す前に、RXCフラグの検査によって受信緩衝部にデータが存在するのを単純に待ちます。

17.7.2. 9ビット データ フレーム受信

9ビット データが使われる場合(UCSZ2~0=111)、USARTデータレジスタ(UDR)から下位バイトを読む前に、第9ビットがUSART制御/状態レジスタB(UCSRB)の受信データビット8(RXB8)ビットから読まれなければなりません。この規則はフレーミング異常(FE)、オーバーラン発生(DOR)、パリティ誤り(UPE)状態フラグにも適用します。USART制御/状態レジスタA(UCSRA)から状態情報を読み、その後にUDRからデータを読んでください。UDR I/O位置を読むことが受信FIFO緩衝部の状態を切り替え、その結果、FIFO内に保管されるRXB8,FE,DOR,UPEビット全てが切り替わります。

次のコード例は9ビット データと状態ビット両方を扱う簡単なUSART受信関数を示します。

アセンブリ言語プログラム例

```
USART_Rx: SBIS UCSRA, RXC ;受信完了でスキップ
          RJMP USART_Rx ;受信完了待機
;
          IN R18, UCSRA ;状態フラグ取得
          IN R17, UCSRB ;受信第9ビット取得
          IN R16, UDR ;受信データ取得
          ANDI R18, (1<<FE) | (1<<DOR) | (1<<UPE) ;受信異常検査
          BREQ USART_Rx_V ;異常なしで分岐
;
          LDI R17, -1 ;異常で-1値設定
          LDI R16, -1 ;
USART_Rx_V: LSR R17 ;RXB8ビットをビット0位置へ移動
          ANDI R17, $01 ;RXB8ビットのみ有効
          RET ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int USART_Receive(void)
{
    unsigned char status, resb, resl; /* 一時変数定義 */
    while ( !(UCSRA & (1<<RXC)) ); /* 受信完了待機 */
    status = UCSRA; /* 状態フラグ取得 */
    resb = UCSRB; /* 受信第9ビット取得 */
    resl = UDR; /* 受信データ取得 */
    if ( status & ((1<<FE) | (1<<DOR) | (1<<UPE)) ) return -1; /* 受信異常で-1値設定/復帰 */
    resb = (resb>>1) & 0x01; /* RXB8ビットのみ有効最下位へ */
    return ((resb<<8) | resl); /* 結果9ビット データ取得/復帰 */
}
```

注: 5頁の「コード例について」をご覧ください。

この受信関数例は何か評価を行う前に、全てのI/Oレジスタをレジスタ ファイルに読みます。これは読まれた緩衝部位置が可能な限り早く新規データを自由に受け入れられるため、最適な受信緩衝部利用になります。

17.7.3. 受信完了フラグと割り込み

USART受信部には受信部の状態を示す1つのフラグがあります。

USART受信完了(RXC)フラグは未読データが受信緩衝部に存在するかを示します。このフラグは受信緩衝部に未読データが存在する時に1で、受信緩衝部が空の(換言すると、何も未読データを含まない)時に0です。受信部が禁止される場合(RXEN=0)、受信緩衝部が破棄され、その結果としてRXCフラグは0になります。

USART制御/状態レジスタB(UCSRB)でUSART受信完了割り込み許可(RXCIE)ビットが設定(1)されると、(全割り込みが許可されていれば)RXCフラグが設定(1)されている限り、USART受信完了割り込みが実行されます。割り込み駆動データ受信が使われる時に受信完了割り込みルーチンはRXCフラグを解除(0)するためにUSARTデータレジスタ(UDR)から受信したデータを読まなければならない、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが(継続的に)起きます。

17.7.4. 受信異常フラグ

USART受信には3つの異常フラグ、フレーミング異常(FE)、データ オーバーラン発生(DOR)、パリティ誤り(UPE)があります。全てが**USART制御/状態レジスタA(UCSRA)**を読むことによってアクセスできます。異常フラグに対する共通点は異常状態を示しているフレームと共に受信緩衝部に配置されることです。異常フラグが緩衝されるため、**USARTデータレジスタ(UDR)** I/O位置を読むことが緩衝部読み出し位置を切り替えるので、UCSRAは受信緩衝部(UDR)の前に読まれなければなりません。異常フラグに対するその他の共通点はソフトウェアがこのフラグ位置へ書き込みを行うことによって変更できないことです。しかし、将来のUSART(機能)実装の上位互換性のため、UCSRAが書かれるとき、全てのフラグは**0**に設定されなければなりません。異常フラグはどれも割り込みを生成できません。

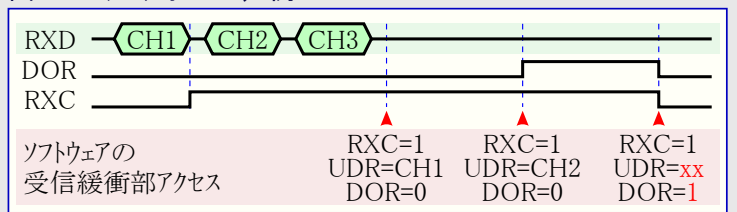
フレーミング異常(FE)フラグは受信緩衝部に格納された、次に読み込み可能なフレームの第1停止ビットの状態を示します。FEフラグは停止ビットが正しく(**High**として)読まれた時に**0**で、停止ビットが不正(**Low**)だった時にFEフラグは**1**です。このビットは同期外れ状態の検出、中断状態検出、規約での操作に使えます。受信部が最初(第1)以外の全停止ビットを無視するため、FEフラグは**USART制御/状態レジスタC(UCSRC)**の**停止ビット選択(USBS)ビット**設定によって影響を及ぼされません。将来のデバイスとの共通性のため、UCSRAに書くとき、常にこのビットを**0**に設定してください。

データ オーバーラン発生(DOR)フラグは受信部緩衝部が一杯状態のためのデータ消失を示します。データ オーバーランは受信緩衝部(2フレーム)が一杯で、(次の)新規フレーム データが受信移動レジスタで待っており、(更に次の)新規開始ビットが検出される時に起きます。DORフラグが設定(**1**)なら、最後にUDRから読んだフレームと次にUDRから読むフレーム間で1つ以上の直列フレームが失われています。将来のデバイスとの共通性のため、UCSRAに書くとき、常にこのビットに**0**を書いてください。DORフラグは受信されたデータが移動レジスタから受信緩衝部へ正常に移動された時に解除(**0**)されます。

次例(図17-5.)はデータ オーバーラン状態を表します。受信緩衝部がCH1とCH2で一杯なのでCH3が失われます。データ オーバーラン状態が検出される時にオーバーラン発生が記録されます。CH1とCH2の2つのデータが受信緩衝部から読まれると、DORビットが設定(**1**)され(先ではない)、オーバーラン発生に関して応用へ警告するために**受信完了(RXC)フラグ**は設定(**1**)に留まります。

パリティ誤り(UPE)フラグは受信緩衝部内の次フレームで、受信時にパリティ異常があったことを示します。パリティ検査が許可されていない場合、UPEフラグは常に**0**を読みます。将来のデバイスとの共通性のため、UCSRAに書くとき、常にこのビットを**0**に設定してください。より多くの詳細については116頁の「**パリティビットの計算**」と次の「**パリティ検査器**」をご覧ください。

図17-5. データ オーバーラン例



17.7.5. パリティ検査器

パリティ検査器はパリティ種別上位ビット(**UPM1**)が設定(**1**)されると活性(有効)になります。実行されるべきパリティ検査の形式(偶数または奇数)は**UPM0ビット**によって選ばれます。許可されると、パリティ検査器は到着フレーム内のデータビットのパリティを計算し、その結果と(受信)直列フレーム内のパリティビットを比較します。検査の結果は受信データ、停止ビットと共に受信緩衝部に格納されます。その後パリティ誤り(UPE)フラグはフレームにパリティ異常があるかを検査するため、ソフトウェアによって読むことができます。

UPEフラグは受信緩衝部から読まれ得る次フレームで受信時にパリティ異常があり、その時点でパリティ検査が許可されていた(**UPM1=1**)場合に設定(**1**)されます。このビットは**USARTデータレジスタ(UDR)**が読まれるまで有効です。

17.7.6. 受信の禁止

送信部と対照的に受信部の禁止は即時です。従って受信進行中のデータは失われます。禁止されると(換言すると、**USART制御/状態レジスタB(UCSRB)**の**USART受信許可(RXEN)ビット**が**0**に設定)、受信部はもはやRXDポートピンの標準機能を無効にしません。受信FIFO緩衝部は受信部が禁止されると破棄されます。緩衝部内の残データは失われます。

17.7.7. 受信緩衝部の破棄

受信FIFO緩衝部は受信が禁止されると破棄(換言すると、緩衝部は内容を空に)されます。未読データは失われます。例えば異常状態のため、通常動作中に緩衝部が破棄されなければならない場合、**USART制御/状態レジスタA(UCSRA)**の**受信完了(RXC)フラグ**が解除(**0**)されるまで**USARTデータレジスタ(UDR)** I/O位置を読んでください。次のコード例は受信緩衝部の破棄方法を示します。

アセンブリ言語プログラム例

```
USART_Flush: SBIS    UCSRA, RXC          ;未読データありでスキップ
              RET                          ;未読データなしで復帰
;
              IN      R16, UDR            ;データ受信
              RJMP    USART_Flush        ;未読データなしまで継続
```

C言語プログラム例

```
void USART_Flush(void)
{
    unsigned char dummy;                /* 一時変数定義 */
    while ( UCSRA & (1<<RXC) ) dummy=UDR; /* 未読データ読み捨て */
}
```

注: 5頁の「コード例について」をご覧ください。

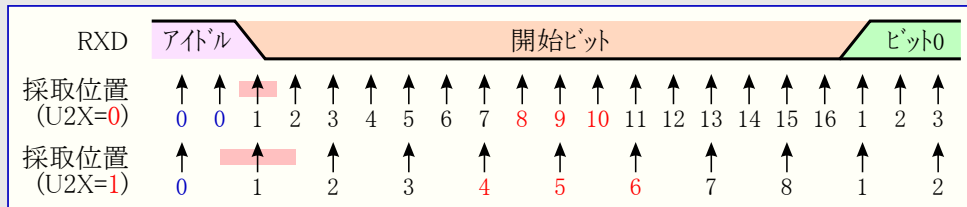
17.8. 非同期受信

USARTは非同期データ受信を扱うためのクロック再生とデータ再生部を含みます。クロック再生論理回路は内部的に生成したボーレートクロックをRXDピンに到着する非同期直列フレームに同期化するのに使われます。データ再生論理回路は到着ビット毎に低域通過の濾波と採取をし、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は内部ボーレートクロック精度、到着フレーム速度、フレーム長のビット数に依存します。

17.8.1. 非同期クロック再生

クロック再生論理回路は内部クロックを到着直列フレームに同期化します。図17-6は到着フレームの開始ビット採取手順を図解します。採取速度は標準動作でボーレートの16倍、倍速動作で8倍です。赤い帯(訳注:原文は水平矢印)は採取処理のための同期変量を図示します。倍速動作(U2X=1)を使う時の広い変量時間に注意してください。採取番号0はRXD信号がアイドル(換言すると、通信の動きなし)の時に実行される採取です。

図17-6. 開始ビットの採取

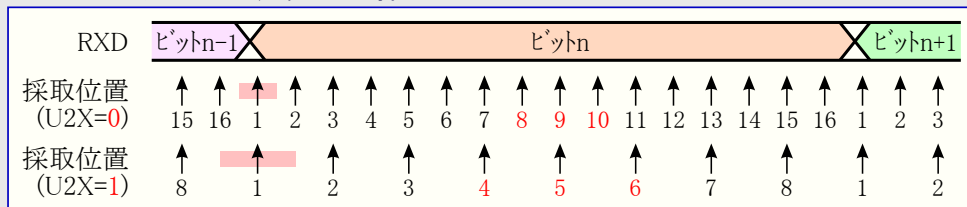


クロック再生論理回路がRXD信号線でHigh(アイドル)からLow(開始)の遷移を検出すると、開始ビット検出手順が開始されます。図で示されるように採取1は最初のLow採取を意味します。その後にクロック再生回路は有効な開始ビットが受信されるかを定めるために、標準動作に対して採取8,9,10、倍速動作に対して採取4,5,6(図の赤字(訳注:原文は箱枠内)で示された採取番号)を使います。これら3回で2回以上の採取が論理Highレベルの場合(多数決)、この開始ビットは尖頭雑音として捨てられ、受信部は次のHighからLowの遷移を探し始めます。けれども有効な開始ビットが検出されると、クロック再生論理回路は同期化され、データ再生が開始されます。この同期化手順は各開始ビット毎に繰り返されます。

17.8.2. 非同期データ再生

受信部クロックが開始ビットに同期化されるとデータ再生が始まります。データ再生部は標準動作で16段、倍速動作で8段の順列回路を使います。図17-7はデータビットとパリティビットの採取を示します。各採取は再生部の各段に等しい番号を与えられます。

図17-7. データビットとパリティビットの採取



受信したビットの論理値の決定は受信したビット中央の3採取で論理値の多数決を取るによって行われます。この中央の3採取は図上の赤字(訳注:原文は箱枠内)の採取番号によって強調されます。多数決の手順は次のように行われます。2または全3採取がHighレベルならば受信したビットは論理1が記録されます。2または全3採取がLowレベルならば受信したビットは論理0が記録されます。この多数決手順はRXDピンの到着信号に対して低域通過濾波器(ローパスフィルタ)のように働きます。この再生手順はその後に完全なフレームが受信されるまで繰り返されます。これには最初の(第1)停止ビットを含みます。受信部がフレームの最初の停止ビットだけを使うことに注意してください。

図17-8は停止ビットの採取と次フレームの最も早い開始ビット開始の可能性を示します。

図17-8. 停止ビットの採取と次の開始ビットの採取



フレーム内の他のビットに対して行われるのと同じ多数決が停止ビットにも行われます。停止ビットが論理0値と記録されると、フレーミング異常(FE)フラグが設定(1)されます。

新規フレームの開始ビットを示すHighからLowへの遷移は多数決に使った最後のビット後に実現できます。標準動作での最初のLowレベル採取は図17-8のA点で有り得ます。倍速動作での最初のLowレベルはB点に遅れます。C点は完全な長さの停止ビット(の終点)を示します。この早い開始ビット検出は受信部の動作範囲に影響します。

17.8.3. 非同期での動作範囲

受信部の動作範囲は受信したビット速度と内部的に生成したボーレート間の不一致に依存します。送信部が速すぎるまたは遅すぎるビット速度でフレームを送出したり、内部的に発生した受信部のボーレートが類似した(表17-2.参照)基準周波数を持たない場合、受信部は開始ビットでフレームを同期できません。

次式は到着データ速度と内部受信部ボーレート間の比率計算に使えます。

$$R_{slow} = \frac{(D+1) \times S}{S - 1 + D \times S + S_F}$$
$$R_{fast} = \frac{(D+2) \times S}{(D+1) \times S + S_M}$$

D : データとパリティのビット数 (5~10)

S : ビットあたりの採取数 (標準速=16、倍速=8)

S_F : 多数決に使う最初の採取番号 (標準速=8、倍速=4)

S_M : 多数決に使う中心の採取番号 (標準速=9、倍速=5)

R_{slow} : は受信側ボーレートに対して許容できる最低受信ビット速度の比率です。

R_{fast} : は受信側ボーレートに対して許容できる最高受信ビット速度の比率です。

表17-2.は許容できる最大受信部ボーレート誤差一覧です。標準速動作には、より高いボーレート変動許容力があることに注目してください。

表17-2. 標準速と倍速での受信部ボーレート推奨最大許容誤差

D	標準速動作 (U2X=0)				倍速動作 (U2X=1)			
	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80~+6.67	±3.0	94.12	105.66	-5.88~+5.66	±2.5
6	94.12	105.79	-5.88~+5.79	±2.5	94.92	104.92	-5.08~+4.92	±2.0
7	94.81	105.11	-5.19~+5.11	±2.0	95.52	104.35	-4.48~+4.35	±1.5
8	95.36	104.58	-4.54~+4.58	±2.0	96.00	103.90	-4.00~+3.90	±1.5
9	95.81	104.14	-4.19~+4.14	±1.5	96.39	103.53	-3.61~+3.53	±1.5
10	96.17	103.78	-3.83~+3.78	±1.5	96.70	103.23	-3.30~+3.23	±1.0

注: Dはデータビット数とパリティビットの合計ビット数です。

(訳注) 原書は表17-2.に標準速、表17-3.に倍速を記載していますが、比較が容易なように表17-2.として纏めました。

受信部ボーレートの推奨最大許容誤差は最大総合許容誤差を送信部と受信部で等分割するという仮定の下で作られました。

受信部ボーレート誤差に対して2つの起こり得る原因があります。受信部のシステムクロック(XTAL)は供給電圧範囲と温度範囲に関して常に若干の不安定性があります。システムクロックを生成するのにクリスタル発振子を使う時は殆ど問題ありませんが、(セラミック)振動子でのシステムクロックは振動子偏差に依存して2%を越えて異なるかもしれません。2つ目の誤り原因はより制御可能です。ボーレート発振器は欲しいボーレートを得るためにシステム周波数の正確な分周を常に行うことはできません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRR値が使えます。

17.9. 複数プロセッサ通信動作

この動作はEUSARTでなく、USART動作でだけ利用可能です。

USART制御/状態レジスタA(UCSRA)での**複数プロセッサ通信動作(MPCM)ビット**の設定(1)はUSART受信部によって受信された到着フレームの選別機能を許可します。アドレス情報を含まないフレームは無視され、受信緩衝部に格納されません。これは同一直列バス経由で通信する複数MCUのシステムで、CPUによって扱われなければならない到着フレーム数を効果的に減らします。送信部はMPCMビット設定によって影響されませんが、複数プロセッサ通信動作を利用するシステムの一部の時は違うふうに使われなければなりません。

17.9.1. 複数プロセッサ通信規約

受信部が5～8データビットを含むフレームを受信するように設定されるなら、最初の停止ビットはデータまたはアドレス情報を含むフレームかどうかを示します。受信部が9データビットのフレームに設定されるなら、USART制御/状態レジスタB(UCSRB)の**受信第9(RXB8)ビット**がアドレスとデータのフレームを識別するのに使われます。フレーム種別(最初の停止または第9)ビットが1の時にフレームはアドレスを含みます。フレーム種別ビットが0の時にそのフレームはデータフレームです。

複数プロセッサ通信動作は主MCUからのデータを多くの従MCUで受信することを可能にします。これはどのMCUがアドレス指定されるかを検出するため、最初にアドレスフレームを調べることによって行われます。特定の従MCUがアドレス指定されたなら、そのMCUは後続するデータフレームを通常のように受信し、一方その他の従MCUは他のアドレスフレームが受信されるまで受信したフレームを無視します。

17.9.2. 複数プロセッサ通信の使用法

主MCUとして動作するMCUは9ビットデータフレーム形式(UCSZ=7)を使えます。UCSRBの**送信第9(TXB8)ビット**はアドレスフレーム時に設定(1)、またはデータフレーム時に解除(0)されて送信されなければなりません。この場合、従MCUは9ビットデータフレーム形式の使用に設定されなければなりません。

複数プロセッサ通信動作でデータを交換するのに次の手順が使われるべきです。

1. 全ての従MCUは複数プロセッサ通信動作です(UCSRAの**複数プロセッサ通信動作(MPCM)ビット**が設定(1))。
2. 主MCUはアドレスフレームを送り、全ての従装置がこのフレームを受信し、これを読みます。従CPUでは通常のようにUCSRAで**受信完了(RXC)フラグ**が設定(1)されます。
3. 各従MCUは**USARTデータレジスタ(UDR)**を読み、選ばれたかを判定します。選ばれた場合はUCSRAのMPCMビットを解除(0)し、そうでなければ(非選択の場合は)MPCMビット設定を保ち、次のアドレスフレームを待ちます。
4. アドレス指定されたMCUは新規アドレスフレームが受信されるまで全データフレームを受信します。MPCMビットが未だ設定(1)されている他の従CPUはこのデータフレームを無視します。
5. 最後のデータフレームがアドレス指定されたMCUによって受信されると、アドレス指定されたMCUはMPCMビットを設定(1)し、主装置からの新規アドレスフレームを待ちます。以降、手順は2.からを繰り返します。

5～8ビットデータフレーム形式のどの使用も可能ですが、受信側が使うnとn+1ビットデータフレーム形式間を切り替えなければならないため非実用的です。これは送信部と受信部が同じデータビット長設定を使うため、全二重(フルデュプレックス)動作を困難にします。5～8ビットデータフレームが使われる場合、最初の停止ビットがフレーム種別を示すのに使われるので、送信部は2停止ビット使用(USBS=1)に設定されなければなりません。

17.10. USART用レジスタ

17.10.1. UDR – USARTデータレジスタ (USART I/O Data Register)

ビット (\$C6)	7	6	5	4	3	2	1	0	
	R/TXB7	R/TXB6	R/TXB5	R/TXB4	R/TXB3	R/TXB2	R/TXB1	R/TXB0	UDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～0 – RXB7～0 : 受信データ緩衝部 (Receive Data Buffer (読み込み時))
- ビット7～0 – TXB7～0 : 送信データ緩衝部 (Transmit Data Buffer (書き込み時))

同じI/Oアドレスを共用するUSART受信データ緩衝レジスタとUSART送信データ緩衝レジスタはUSARTデータレジスタまたはUDRとして引用しました。送信データ緩衝レジスタ(TXB)はUDRレジスタ位置に書かれるデータの転送先です。UDRレジスタ位置読み込みは受信データ緩衝レジスタ(RXB)の内容を返します。

5～7ビットデータでの上位未使用ビットは送信部によって無視され、受信部によって0に設定されます。

送信緩衝部はUCSRAで送信データレジスタ空き(UDRE)フラグが設定(1)される時にだけ書けます。UDREフラグが設定(1)されない時にUDRへ書かれたデータはUSART送信部によって無視されます。送信部が許可されて送信緩衝部にデータが書かれると、送信部は送信移動レジスタが空きの時にそのデータを送信移動レジスタへ設定(移動)します。その後データはTXDPINで直列送信されます。

受信緩衝部は2段のFIFOから成ります。このFIFOは受信緩衝部がアクセスされる毎にその状態を切り替えます。

このレジスタはUSARTとEUSARTの両動作で利用可能です。

17.10.2. UCSRA – USART制御/状態レジスタA (USART Control and Status Register A)

ビット (\$C0)	7	6	5	4	3	2	1	0	
	RXC	TXC	UDRE	FE	DOR	UPE	U2X	MPCM	UCSRA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

- ビット7 – RXC : USART受信完了フラグ (USART Receive Complete)

このフラグは受信緩衝部に未読データがある時に設定(1)され、受信緩衝部が空の(換言すると、どんな未読データも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部が破棄され、その結果RXCフラグは0になります。RXCフラグは受信完了割り込みを発生するのに使えます(USART制御/状態レジスタB(UCSRB)の受信完了割り込み許可(RXCIE)ビット記述をご覧ください)。

このビットはUSARTとEUSARTの両動作で利用可能です。

- ビット6 – TXC : USART送信完了フラグ (USART Transmit Complete)

このフラグは送信移動レジスタの完全なフレームが移動出力されてしまい、送信緩衝部(UDR)に新データが現状存在しない時に設定(1)されます。TXCフラグは送信完了割り込みが実行される時に自動的に解除(0)されるか、またはこのビット位置に1を書くことによって解除(0)できます。TXCフラグは送信完了割り込みを発生できます(UCSRBの送信完了割り込み許可(TXCIE)ビットの記述をご覧ください)。

このビットはUSARTとEUSARTの両動作で利用可能です。

- ビット5 – UDRE : USART送信データレジスタ空きフラグ (USART Data Register Empty)

UDREフラグは送信緩衝部(UDR)が新規データを受け取る準備ができていかどうかを示します。UDREが1ならば緩衝部は空で、従って書かれる準備ができています。UDREフラグは送信緩衝部空き割り込みを発生できます(UCSRBの送信データレジスタ空き割り込み許可(UDRIE)ビットの記述をご覧ください)。

送信部が準備できているのを示すため、リセット後のUDREは設定(1)です。

このビットはUSARTとEUSARTの両動作で利用可能です。

- ビット4 – FE : フレーミング異常フラグ (Framing Error)

受信緩衝部の次データが受信した時にフレーミング異常(換言すると、受信緩衝部で次データの最初の(第1)停止ビットがLow)だった場合、このビットは設定(1)されます。このフラグは受信緩衝部(UDR)が読まれるまで有効です。受信したデータの停止ビットがHighの時にFEフラグは0です。UCSRAに書くとき、常にこのビットを0に設定してください。

このビットはデータビットがレベル符号化される時にだけ、EUSART動作でも有効です(マンチェスタ動作ではFEMビットがフレーミング異常検出を許します)。

- ビット3 – DOR : データオーバーラン発生フラグ (Data OverRun)

このビットはオーバーラン状態が検出されると設定(1)されます。受信緩衝部(2フレーム分)が一杯で、新規フレームが受信移動レジスタ内で待機中に新規開始ビットが検出されるとデータオーバーランが起こります。UCSRAに書くとき、常にこのビットを0に設定してください。

このビットはUSARTとEUSARTの両動作で利用可能です。

• **ビット2 – UPE : パリティ誤りフラグ** (USART Parity Error)

受信緩衝部の次データが受信した時にパリティ誤りがあり、その時点でパリティ検査が許可されていれば(UPM1=1)、このビットが設定(1)されます。このフラグは受信緩衝部(UDR)が読まれるまで有効です。UCSRAに書くとき、常にこのビットを0に設定してください。

このビットはデータビットがレベル符号化される時にだけ、EUSART動作でも有効です(マンチェスタ動作にパリティはありません)。

• **ビット1 – U2X : 倍速許可** (Double the USART Transmission Speed)

このビットは非同期動作でだけ有効です。同期動作を使う時はこのビットに0を書いてください。

このビットに1を書くことはポーレート分周器の分周値を16から8に減らして事実上、非同期通信の転送速度を倍にします。

このビットはUSARTとEUSARTの両動作で利用可能です。

• **ビット0 – MPCM : 複数プロセッサ通信動作** (Multi-Processor Communication Mode)

このビットは複数プロセッサ通信動作を許可します。MPCMビットが1を書かれると、USART受信部によって受信したアドレス情報を含まない全到着フレームは無視されます。送信部はMPCM設定に影響されません。より多くの詳細情報については123頁の「複数プロセッサ通信動作」をご覧ください。

この動作はEUSART動作が設定されると利用不能です。

17.10.3. UCSRB – USART制御/状態レジスタB (USART Control and Status Register B)

ビット (\$C1)	7	6	5	4	3	2	1	0	
	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	UCSRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – RXCIE : 受信完了割り込み許可** (Receive Complete Interrupt Enable)

このビットに1を書くことがUSART制御/状態レジスタA(UCSRA)の受信完了(RXC)フラグでの割り込みを許可します。USART受信完了割り込みはRXCIEビットが1を書かれ、ステータスレジスタ(SREG)で全割り込み許可(I)ビットが1を書かれ、UCSRAでRXCフラグが設定(1)される場合にだけ生成されます。

このビットはUSARTとEUSARTの両動作で利用可能です。

• **ビット6 – TXCIE : 送信完了割り込み許可** (Transmit Complete Interrupt Enable)

このビットに1を書くことがUSART制御/状態レジスタA(UCSRA)の送信完了(TXC)フラグでの割り込みを許可します。USART送信完了割り込みはTXCIEビットが1を書かれ、SREGで全割り込み許可(I)ビットが1を書かれ、UCSRAでTXCフラグが設定(1)される場合にだけ生成されます。

このビットはUSARTとEUSARTの両動作で利用可能です。

• **ビット5 – UDRIE : 送信データレジスタ空き割り込み許可** (Transmit Data Register Empty Interrupt Enable)

このビットに1を書くことがUSART制御/状態レジスタA(UCSRA)の送信データレジスタ空き(UDRE)フラグでの割り込みを許可します。USART送信データレジスタ空き割り込みはUDRIEビットが1を書かれ、SREGで全割り込み許可(I)ビットが1を書かれ、UCSRAでUDREフラグが設定(1)される場合にだけ生成されます。

このビットはUSARTとEUSARTの両動作で利用可能です。

• **ビット4 – RXEN : 受信許可** (Receiver Enable)

このビットに1を書くことがUSART受信(部)を許可します。受信部は許可されるとRXDピンの標準ポート動作を無効にします。受信(部)を禁止することは受信緩衝部を破棄し、フレーミング異常(FE)、オーバラン(DOR)、パリティ誤り(UPE)のフラグを無効にします。

このビットはUSARTとEUSARTの両動作で利用可能です。

• **ビット3 – TXEN : 送信許可** (Transmitter Enable)

このビットに1を書くことがUSART送信(部)を許可します。送信部は許可されるとTXDピンの標準ポート動作を無効にします。送信(部)の禁止(TXEN=0書き込み)は進行中と保留中の送信が完了される(換言すると、送信移動レジスタと送信緩衝レジスタが送信されるべきデータを含まない)まで有効になりません。禁止したとき、送信部はもはやTXDポート(の標準I/O機能)を無効にしません。

このビットはUSARTとEUSARTの両動作で利用可能です。

• **ビット2 – UCSZ2 : データビット長選択2** (Character Size)

USART制御/状態レジスタC(UCSRC)のUCSZ1,0ビットと組み合わせたUCSZ2ビットは送受信部で使うフレームのデータビット数(Character size)を設定します。

このビットはEUSART動作が許可されると無効です。

• **ビット1 – RXB8 : 受信データビット8** (Receive Data Bit 8)

RXB8は9ビットデータでの直列フレーム操作時に受信したフレームの第9データビット(ビット8)です。UDRから下位ビットを読む前に読まなければなりません。

EUSART動作が許可され、17ビット受信動作に設定されると、このビットは第17ビットを含みます(EUSART章をご覧ください)。

•ビット0 – TXB8 : 送信データビット8 (Transmit Data Bit 8)

TXB8は9ビットデータでの直列フレーム操作時に送信されるべきデータの第9データビット(ビット8)です。UDRへ下位ビットを書く前に書かなければなりません。

EUSART動作が許可され、17ビット送信動作に設定されると、このビットは第17ビットを含みます(EUSART章をご覧ください)。

17.10.4. UCSRC – USART制御/状態レジスタC (USART Control and Status Register C)

ビット (\$C2)	7	6	5	4	3	2	1	0	UCSRC
	–	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

•ビット7 – Res : 予約 (Reserved)

このビットは将来使用するために予約されています。将来のデバイスとの共通性を保つため、UCSRnCが書かれるとき、このビットは0が書かれなければなりません。

•ビット6 – UMSEL : USART動作選択 (USART Mode Select)

このビットは非同期と同期の動作種別のどちらかを選びます。

EUSART動作に設定されるとき、マンチェスタ動作に対して同期動作が設定されるべきではありません(EUSART章をご覧ください)。

表17-4. USART動作選択

UMSEL	動作種別
0	非同期動作
1	同期動作

•ビット5,4 – UPM1,0 : パリティ選択 (Parity Mode)

これらのビットはパリティの発生と検査の許可と種別を設定します。許可した場合、送信部は各フレーム内での送信したデータビットのパリティを自動的に生成して送出します。受信部は到着データからパリティ値を生成し、UPM0設定と比較します。不一致が検出されると、USART制御/状態レジスタA(UCSRA)でパリティ誤り(UPE)フラグが設定(1)されます。

この設定はデータビットがレベル符号化される時にだけ、EUSART動作でも利用可能です(マンチェスタ動作でのパリティ発生器と検査器は利用不能です)。

表17-5. パリティ選択

UPM1	UPM0	パリティ動作
0	0	禁止
0	1	(予約)
1	0	偶数パリティ許可
1	1	奇数パリティ許可

•ビット3 – USBS : 停止ビット選択 (Stop Bit Select)

このビットは送信部によって挿入される停止ビット数を選びます。受信部はこの設定を無視します(誤補:常に第1停止ビットだけが有効)。

EUSART動作でのUSBSビットは同じ動作(機能)を持ち、EUSARTのEUSBSビットがこの動作での受信に対する停止ビット数の設定を許します。

表17-6. 停止ビット選択

USBS	停止ビット数
0	1ビット
1	2ビット

•ビット2,1 – UCSZ1,0 : データビット長選択 (Character Size)

USART制御/状態レジスタB(UCSRB)のUCSZ2ビットと組み合わせたUCSZ1,0ビットは送受信部で使うフレームのデータビット数(Character size)を設定します。

EUSART動作が設定されると、これらのビットは無効です。

表17-7. データビット長選択

UCSZ2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
データビット数	5ビット	6ビット	7ビット	8ビット	(予約)	(予約)	(予約)	9ビット

•ビット0 – UCPOL : クロック極性選択 (Clock Polarity)

このビットは同期動作に対してだけ使われます。非同期動作が使われる時はこのビットに0を書いてください。UCPOLビットは同期クロック(XCK)、データ出力変更、データ入力採取間の関係を設定します。

表17-8. XCKクロック極性選択

UCPOL	送信データ変更 (TXDピン出力)	受信データ採取 (RXDピン入力)
0	XCKの上昇端	XCKの下降端
1	XCKの下降端	XCKの上昇端

17.10.5. UBRRH, UBRL (UBRR) – USARTボーレートレジスタ (USART Baud Rate Register)

ビット (\$C5)	15	14	13	12	11	10	9	8	UBRRH
	–	–	–	–	UBRR11	UBRR10	UBRR9	UBRR8	
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$C4)	7	6	5	4	3	2	1	0	UBRRL
	UBRR7	UBRR6	UBRR5	UBRR4	UBRR3	UBRR2	UBRR1	UBRR0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット15～12 – Res : 予約 (Reserved Bits)**
これらのビットは将来使用するために予約されています。将来のデバイスとの共通性のため、UBRRHが書かれるとき、これらのビットは0が書かれなければなりません。
- **ビット11～0 – UBRR11～0 : ボーレート分周値 (USART Baud Rate Register)**
これはUSARTのボーレートを含む12ビットレジスタです。UBRRHがUSARTボーレートの上位4ビットを含み、UBRRLが下位8ビットを含みます。ボーレートが変更されると、送受信部で進行中の転送は不正にされます。UBRRL書き込みはボーレート前置分周器の更新を直ちに始めます。

17.11. ボーレート設定例

標準的なクリスタル発振子やセラミック振動子の周波数に対して最も一般的に使われる非同期動作のボーレートは表17-9のUBRR設定を使うことによって生成できます。目的のボーレートに対して設定誤差1.5%(標準速:U2X=0)、1.0%(倍速:U2X=1)以上を赤字で示します(訳注:原書の本文は0.5%未満を太字)。より高い誤差率でも受け入れ可能ですが、特に長い直列フレーム(122頁の「非同期での動作範囲」参照)で誤差率が高いと、受信部は雑音耐性が低下します。誤差率は次式を使って計算されます。

$$\text{誤差率(\%)} = \left(\frac{\text{UBRR設定ボーレート(最近似値)}}{\text{目的のボーレート}} - 1 \right) \times 100(\%)$$

表17-9. Xtal、ボーレート対UBRRnH,UBRRnL設定 (UBRR=UBRRnH:UBRRnL)

ボーレート (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ボーレート (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注: 最高速はUBRR=0、誤差=0.0%です。以降の周波数は次頁へ続く。

(訳注) 原書では頁割された表毎に表番号9.~10.となっていますが、共通性から纏めて表17-9.としました。
原書に対して数種の発振周波数を追加しました。

表17-9 (続き). Xtal、ホーレート対UBRRnH,UBRRnL設定 (UBRR=UBRRnH:UBRRnL)

ホーレート (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ホーレート (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

ホーレート (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注: 最高速はUBRR=0、誤差=0.0%です。

18. EUSART

EUSART(Extended Universal Synchronous and Asynchronous Receiver and Transmitter)はUSARTへの機能拡張を提供します。

18.1. 特徴

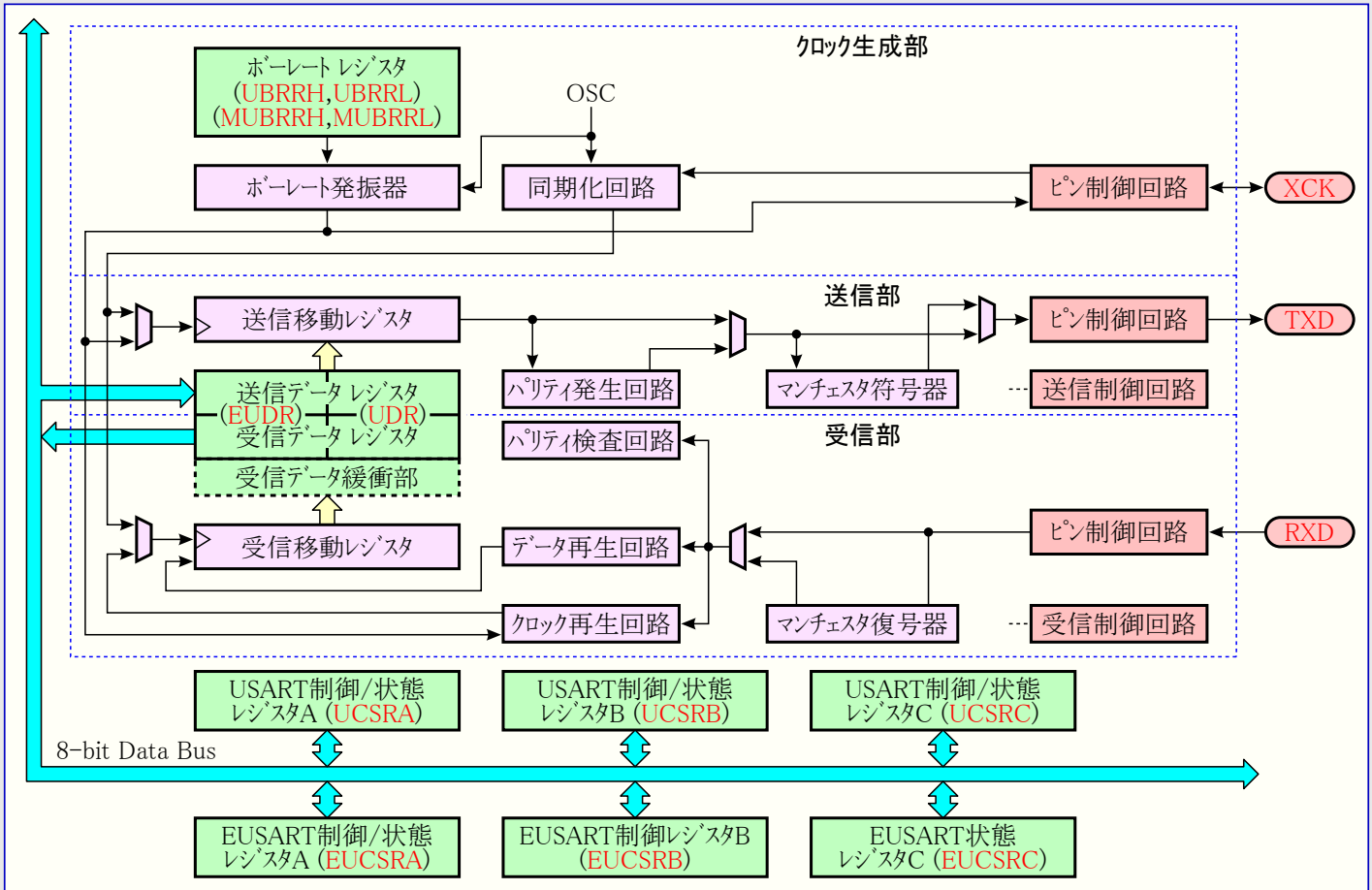
- 送受信に対する独立したビット数設定
- 5,6,7,8,9または13,14,15,16,17ビットデータと1または2停止ビットの直列フレームの支援
- 2位相マンチェスタ符号化/復号器 (DALI通信用)
- マンチェスタ フレーミング異常検出
- ビット順設定 (LSB先行またはMSB先行)

18.2. 概要

EUSARTの簡略構成図は図18-1.で示されます。CPUがアクセス可能なレジスタとI/Oピンは赤文字(訳注:原文は太字)で示されます。

24頁の「PRR – 電力削減レジスタ」でのUSART電力削減(PRUSART0)ビットはEUSART部を許可するために0を書かれなければなりません。

図18-1. EUSART構成図



EUSARTはEUSART制御レジスタB(EUCSRB)のEUSART許可(EUSART)ビットで活性(有効)にされます。このビットが設定(1)されるまでUSARTは標準USARTとして動作し、EUSARTの全機能はアクセスできません。

EUSARTは標準USARTインターフェースよりも多くの直列フレーム形式を支援します。

- 非同期フレーム
 - 標準ビット レベル符号化
 - マンチェスタ ビット符号化
- 同期フレーム
 - この動作では標準ビット レベル符号化のみ利用可能

18.3. 直列フレーム

直列フレームは複数のデータビットと同期ビット(開始ビット、停止ビット)、任意の誤り検査用パリティビットで定義されます。

18.3.1. フレーム形式

EUSARTは次の形式での送受信直列フレームを許します。

- 1 開始ビット
- 5, 6, 7, 8, 9, 13, 14, 15, 16, 17 ビット データ
- レベル符号化またはマンチェスタ符号化の開始ビットとデータビット
- MSBまたはLSB先行のデータ転送 (ビット順)
- 奇数または偶数パリティビット、またはなし
- 1 または 2 停止ビット
 - 送信に対する停止ビット挿入
 - 受信での停止ビット値読み出し

EUSARTによって使われるフレーム形式は次のUSART/EUSARTレジスタを通して設定できます。

- EUSART制御/状態レジスタA(EUCSRA)の送信データビット長選択(UTXS3~0)と受信データビット長選択(URXS3~0)はフレーム毎のデータビット数を選びます。
- USART制御/状態レジスタC(UCSRC)のパリティ選択(UPM1,0)ビットはパリティビットの許可と形式を設定します(マンチェスタ動作の設定時、パリティはなしに固定化されるべきです)。

UCSRCの停止ビット選択(USBS)とEUCSRAの受信停止ビット選択(EUSBS)は、送信部と受信部で処理される各々の停止ビット数を選びます。マンチェスタ動作設定時、受信部は2つの停止ビット値を格納します。レベル符号化動作設定時、第2停止ビットは無効です(USARTと同じ動作)。

18.3.2. パリティビットの計算

パリティビット動作はパリティビットが挿入または検出できない(UPM1,0ビットでなしに設定すべき)マンチェスタ符号化動作を除いて、USART動作と同じです。パリティビットは全データビットの排他的論理和(Ex-OR)を行うことによって計算されます。奇数パリティが使われる場合は排他的論理和の結果が反転されます。パリティビットとデータビットの関係は次のとおりです。

偶数パリティビット = $D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{Ex-OR } D_{n-1}$
奇数パリティビット = $D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{Ex-OR } D_{n-1} \text{ Ex-OR } 1$ n : データビット長

使った場合、パリティビットは直列フレームの最後のデータビットと最初の停止ビット間に配置されます。

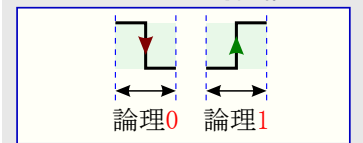
18.3.3. マンチェスタ符号化

(両位相符号としても知られる)マンチェスタ符号化は同期ビット列のデータとクロックの符号化に使われる同期クロック符号化技術です。この技術での送信すべき実際の2進データは標準USARTでの(技術用語「NRZ(Non Return Zero)」として知られた)レベル符号化した方法のように論理0と1の順列として送られません。代わりにビットは直接2進符号化(例えばNRZ)使用に対して多くの優位性を持つ、僅かに異なる形式に変換されます。

マンチェスタ符号化は次の規則に従います。

- 元データが論理1なら、マンチェスタ符号は0⇒1 (ビット中央での上向き遷移)
- 元データが論理0なら、マンチェスタ符号は1⇒0 (ビット中央での下向き遷移)

図18-2. マンチェスタ 両位相レベル

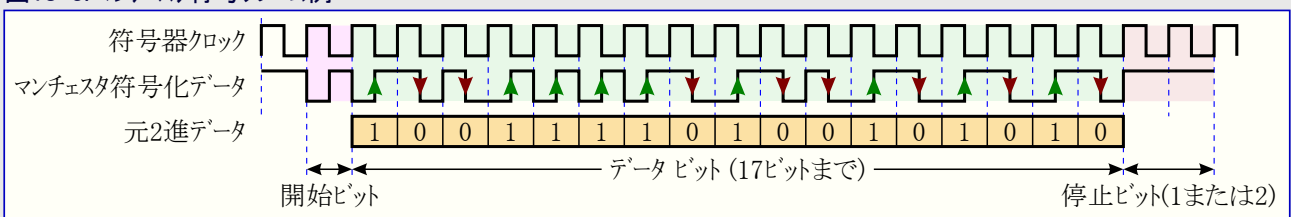


18.3.3.1. マンチェスタ フレーム

EUSARTは次の特性でのマンチェスタ符号化フレームを支援します。

- マンチェスタ符号化された1つの開始ビット
- 送受信での5, 6, 7, 8, 9, 13, 14, 15, 16, 17 ビット データ (MSBまたはLSB先行)
- フレーム内のデータビット数は送受信動作で個別設定可能
- 1 または 2 停止ビット (レベル符号化)

図18-3. マンチェスタ符号フレーム例



18.3.3.2. マンチェスタ復号器

マンチェスタ動作設定時、EUSART受信部は17ビット移動レジスタ、端(エッジ)検出器、各種データ/制御レジスタを使って直列フレームを受信することができます。マンチェスタ復号器はEUSARTインターフェースのRXDピンからフレームを受信し、EUSARTデータレジスタ(UDRとEUDR)に受信したデータを格納します。

フレーム内のビットデータのビット順はMSBまたはLSB先行扱いに設定可能です。

両位相開始の極性は設定不能です。開始ビットは論理1(ビット中央での上昇端)です。

停止ビットの極性は設定不能で、このインターフェースはソフトウェアによる2つの停止ビット値読み込みを許します。

マンチェスタ復号器はマンチェスタ動作に設定され、USART制御/状態レジスタB(UCSRB)での受信許可(RXEN)の設定(1)(USART受信全体許可)時に許可されます。

受信すべきデータビット数はEUSART制御/状態レジスタA(EUCSRA)の受信データ長選択(URXS3~0)ビットで設定できます。

マンチェスタ復号器は16または17ビットデータが受信できる特別な動作を提供します。この動作でのマンチェスタ復号器は第17ビットがマンチェスタ符号化か、またはそうでないか(第17ビットデータか、最初の停止ビットか)を自動的に検知できます。受信部がフレームの第17ビット時間中に有効なビットデータ(マンチェスタ遷移)を検出すると、受信部は17ビット長フレームとしてフレームを処理し、EUSART状態レジスタC(EUSARC)の17/16ビット長(F1617)フラグを設定(1)します。

マンチェスタ動作で、EUSART入力信号の採取に対して使われるクロックはボーレート発生器によって設定されます。

マンチェスタ復号器の端検出器はマンチェスタボーレートレジスタ(MUBRRH,MUBRRL)を通して最大値が設定できる16ビット昇降計数器が基準とされます。

代表的な最大計数値は次式によって与えられます。

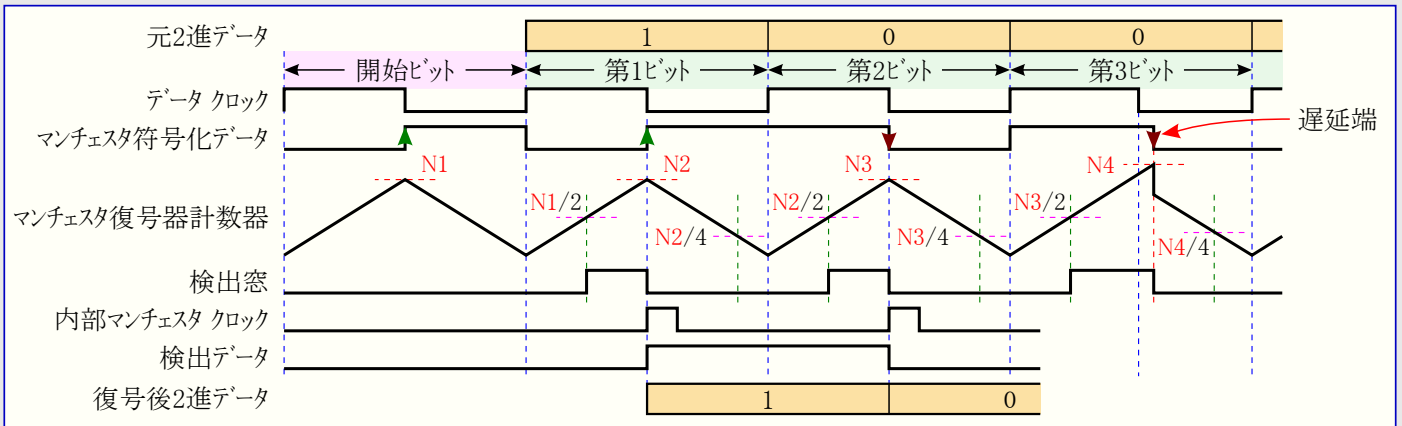
$$MUBRR = \frac{f_{CLKI/O}}{\text{ボーレート周波数}} \quad MUBRR \text{は } MUBRRH:MUBRRL$$

MUBRRH:MUBRRLは開始ビットの検出窓校正と他のビットの時間超過検知に使われます。

マンチェスタフレーム内の各ビット時間は2つの段階に分けられます(図18-4をご覧ください)。計数器は最初の段階間で上昇計数し、第2段階間で下降計数します。ビットデータ遷移が検出されると、計数器は計数値N1を記憶し、下降計数を始めます。

計数器が0値に達すると、再び上昇計数を始め、N1/2値が次の検出窓を開きます。この検出窓は次のビットデータの端が採取される時間域を定義します。

図18-4. マンチェスタ復号器動作



注: N1=MUBRRH:MUBRRL/2

18.3.4. 倍速動作 (U2X)

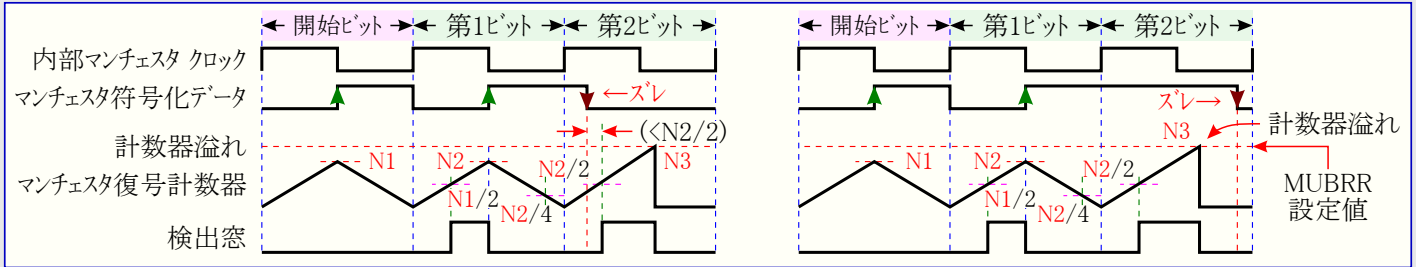
倍速動作はUSART制御/状態レジスタA(UCSRA)の倍速動作(U2X)ビットによって制御されます。115頁の「倍速動作 (U2X)」をご覧ください。

この動作種別はマンチェスタビット符号化で許されません。

18.3.4.1. マンチェスタ フレーミング異常検出

マンチェスタ動作設定時、USART制御/状態レジスタA(UCSRA)のフレーミング異常(FE)フラグは使われず、EUSARTは検出窓中にビットデータが検出されない時に専用のマンチェスタ フレーミング異常(FEM)フラグを生成します(図18-5をご覧ください)。

図18-5. マンチェスタ フレーミング異常検出



マンチェスタ フレーミング異常が検出されると、FEMビットと受信完了(RXC)ビットが同時に設定(1)されます。これは本状態が検出される時の受信完了割り込み処理ルーチンの実行を応用に許します。

マンチェスタ フレーミング異常が検出されると、EUSART受信部は直ちに新規開始ビット検出段階へ移行します。従ってフレーム内でマンチェスタ フレーミング異常が検出されると、受信部はフレームの残りを新しい到着フレームとして処理し、別のFEM異常を生成するでしょう。

18.4. EUSART設定

18.4.1. データ送信 - EUSART送信部

EUSART送信部は標準USARTと同じ方法、USART制御/状態レジスタB(UCSRB)の送信許可(TXEN)ビット設定(1)によって許可されます。送信部が許可されると、TXDピンの標準ピン動作はEUSARTによって無視され、送信部の直列出力としての機能を与えられます。何らかの送信を行う前に一度はボーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKピンの(受信)クロックは無視され、送信クロックとして使われます。

18.4.2. 5～8ビット データ フレーム送信

この動作種別での動作は標準USARTと同じです(USART項の「5～8ビット データ フレーム送信」をご覧ください)。

18.4.3. 9,13～16ビット データ フレーム送信

これら設定での第9ビット以上の上位ビットは、データの下位バイトがUSARTデータレジスタ(UDR)に書かれる前にEUSARTデータレジスタ(EUDR)へ格納されるべきです。UDRでの書き込み操作が送信開始を許します。

アセンブリ言語プログラム例

```
EUSART_Tx:  SBIS    UCSRA, UDRE          ;送信緩衝部空きでスキップ
             RJMP    EUSART_Tx         ;送信緩衝部空き待機
;
             STS     EUDR, R17         ;上位データ設定
             STS     UDR, R16          ;下位データ設定(送信開始)
             RET                       ;呼び出し元へ復帰
```

C言語プログラム例

```
void EUSART_Transmit(unsigned int data)
{
    while ( !(UCSRA & (1<<UDRE)) );    /* 送信緩衝部空き待機 */
    EUDR = data>>8;                     /* 上位データ設定 */
    UDR = data;                          /* 下位データ設定(送信開始) */
}
```

注: 5ページの「コード例について」をご覧ください。

18.4.4. 17ビット データ フレーム送信

この設定ではデータの下位バイトがUDRに書かれるのに先立って第17ビットがUSART制御/状態レジスタB(UCSRB)の送信データビット8(TXB8)ビットへ、残りの第9～16ビットがEUDRへ格納されるべきです。

18.4.5. 送信フラグと割り込み

EUSARTの動きはUSART動作と同じです(USART項の「送信フラグと割り込み」をご覧ください)。

EUSART動作での送信に対する割り込み生成と扱いにはUSART動作と同じです。

18.4.6. 送信の禁止

送信部の禁止(TXEN=0)は進行中と保留中の送信が完了される(換言すると、送信移動レジスタと送信緩衝レジスタが送信されるべきデータを含まない時)まで有効になりません。

18.4.7. データ受信 – EUSART受信部

EUSART受信部は(USARTと同じ)USART制御/状態レジスタB(UCSRB)の受信許可(RXEN)ビットの1書き込みによって許可されます。受信部が許可されると、RXDピンの標準ピン動作はEUSARTによって無視され、受信部の直列入力としての機能を与えられます。何か直列受信を行う前に一度はポーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKピンのクロックは転送(受信)クロックとして使われます。

18.4.8. 5～8ビット データ フレーム受信

この動作種別での動作は標準USARTと同じです(USART項の「5～8ビット データ フレーム受信」をご覧ください)。

18.4.9. 9,13～16ビット データ フレーム送信

これら設定での第9ビット以上の上位ビットはUSARTデータレジスタ(UDR)内のデータを読む前に、EUSARTデータレジスタ(EUDR)を読むべきです。

EUSART状態レジスタC(EUCSRC)から状態を読み、その後にUDRからデータを読んでください。

次のコード例は簡単なEUSART受信関数を示します。

アセンブリ言語プログラム例

```
EUSART_Rx:  SBIS    UCSRA, RXC          ;受信完了でスキップ
             RJMP    EUSART_Rx        ;受信完了待機
;
;
             LDS     R17, EUDR         ;必要ならここで状態フラグ取得/検査
             LDS     R16, UDR          ;受信上位データ取得
             RET                     ;受信下位データ取得
             ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int EUSART_Receive(void)
{
    unsigned int rx_data;                /* 一時変数定義 */
    while ( !(UCSRA & (1<<RXC)) );      /* 受信完了待機 */
    rx_data = EUDR;                      /* 必要ならここで状態フラグ取得/検査 */
    rx_data = (rx_data<<8) | UDR;        /* 受信上位データ取得 */
    return rx_data;                      /* 受信下位データ取得 */
}
```

注: 5頁の「コード例について」をご覧ください。

18.4.10. 17ビット データ フレーム受信

この設定ではデータの下位バイトがUDRから読まれる前に、第17ビットがUSART制御/状態レジスタB(UCSRB)の受信データビット8(RXB8)ビットから残りの第9～16ビットがEUDRから読まれるべきです。

18.4.11. 受信完了フラグと割り込み

EUSART受信部は受信部状態を示す同じUSARTフラグを持ちます。

USART項で「受信完了フラグと割り込み」をご覧ください。

18.4.12. 受信異常フラグ

EUSARTがマンチェスタ動作に設定されなければ、EUSARTは標準動作と同じ3つの異常フラグ、フレーミング異常(FE)、データ オーバーラン(DOR)、パリティ誤り(UPE)を持ちます。全てがUSART制御/状態レジスタA(UCSRA)を読むことでアクセスできます(USART項で「受信異常フラグ」をご覧ください)。

EUSARTがマンチェスタ動作に設定されると、EUSARTは2つの異常フラグ、データ オーバーラン(DOR)とマンチェスタ フレーミング異常(FEM)を持ちます。

全ての受信異常フラグは受信完了(RXC)フラグが設定(1)され、UDRが読まれるまでの間だけ有効です。

18.4.12.1. パリティ検査器

EUSARTのパリティ検査器はビット データがレベル符号化され、USART動作としての動きの時にだけ利用可能です(USARTの「パリティ検査器」をご覧ください)。

18.4.12.2. オーバーラン

データ オーバーラン(UCSRAのDOR)フラグは受信緩衝部満杯状態のためのデータ消失を示します。このフラグはUSART動作でのように動作します(USART項をご覧ください)。

18.5. EUSART用レジスタ

18.5.1. UDR – USARTデータレジスタ (USART I/O Data Register)

ビット (\$C6)	7	6	5	4	3	2	1	0	
	R/TXB7	R/TXB6	R/TXB5	R/TXB4	R/TXB3	R/TXB2	R/TXB1	R/TXB0	UDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～0 – RXB7～0 : 受信データ緩衝部 (Receive Data Buffer (読み込み時))
- ビット7～0 – TXB7～0 : 送信データ緩衝部 (Transmit Data Buffer (書き込み時))

このレジスタは送信データ緩衝レジスタと受信データ緩衝レジスタに関してUSARTとEUSARTで共通です。USARTで「UDRレジスタ」についての記述をご覧ください。

18.5.2. EUDR – EUSARTデータレジスタ (EUSART I/O Data Register)

ビット (\$CE)	7	6	5	4	3	2	1	0	
	R/TXB15	R/TXB14	R/TXB13	R/TXB12	R/TXB11	R/TXB10	R/TXB9	R/TXB8	EUDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～0 – RXB15～8 : 受信データ緩衝部 (Receive Data Buffer (読み込み時))
- ビット7～0 – TXB15～8 : 送信データ緩衝部 (Transmit Data Buffer (書き込み時))

このレジスタはEUSARTが8ビットより多くで使われる時のUDRに拡張を提供します。

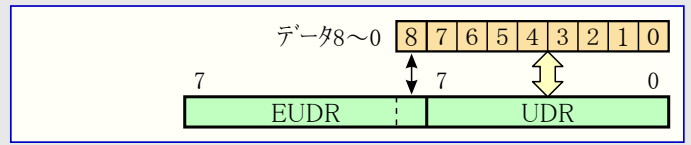
18.5.2.1. 8ビットまでのデータ長でのEUDR/UDR データアクセス

EUSARTが8またはそれ以下のビット数で使われると、UDRだけがデータアクセスに対して使われます。

18.5.2.2. 9ビットデータ長でのEUDR/UDR データアクセス

EUSARTが9ビットデータ長で使われると、その動作は標準USART動作と異なり、UDRはEUDRの先頭ビット(R/TXB8)との組み合わせで使われ、RXB8とTXB8ビットは使われません。

図18-6. 9ビット通信データアクセス



18.5.2.3. 13～17ビットデータ長でのEUDR/UDR データアクセス

EUSARTが13～17ビット長動作で使われる時にEUDRとUDRはデータアクセスに対してRXB8/TXB8ビットと組み合わせで使われます。

13～16ビット長データに対するEUDRの上位未使用ビットは送信部によって無視され、受信部によって0に設定されます。送信操作でのデータはMSB側が先に書かれるべきです。データ送信はUDRが書かれる時に始まります。

13～16ビット長動作ではRXB8/TXB8ビットが使われません。

17ビットデータ長に対する第17ビットはRXB8とTXB8ビットに置きます。送信操作でのデータはMSB側が先に書かれるべきです。データ送信はUDRが書かれる時に始まります。

図18-7. 13～16ビット通信データアクセス

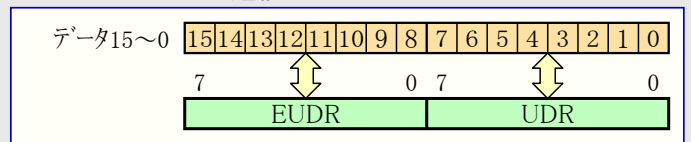
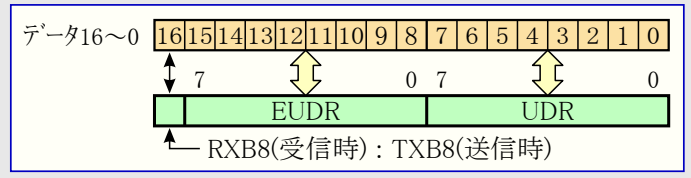


図18-8. 17ビット通信データアクセス



18.5.3. EUCSRA – EUSART制御/状態レジスタA (EUSART Control and Status Register A)

ビット (\$C8)	7	6	5	4	3	2	1	0	
	UTXS3	UTXS2	UTXS1	UTXS0	URXS3	URXS2	URXS1	URXS0	EUCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	1	1	0	0	1	1	

- ビット7~4 – UTXS3~0 : EUSART送信データ長選択 (EUSART Transmit Character Size)

UTXS3~0ビットは送信部で使うフレーム内のデータビット数(データ長)を設定します。

表18-1. EUSART送信データビット長選択

UTXS3~0	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
データビット数	5	6	7	8	(予約)	(予約)	(予約)	9	13	14	15	16	(予約)	(予約)	(予約)	17

- ビット3~0 – URXS3~0 : EUSART受信データ長選択 (EUSART Receive Character Size)

URXS3~0ビットは受信部で使うフレーム内のデータビット数(データ長)を設定します。

表18-2. EUSART受信データビット長選択

URXS3~0	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
データビット数	5	6	7	8	(予約)	(予約)	(予約)	9	13	14	15	16	(予約)	(予約)	16/17	17

注: URXS3~0=1110の16または17ビット長動作はマンチェスタ動作専用です。

18.5.4. EUCSRB – EUSART制御レジスタB (EUSART Control Register B)

ビット (\$C9)	7	6	5	4	3	2	1	0	
	–	–	–	EUSART	EUSBS	–	EMCH	BODR	EUCSRB
Read/Write	R	R	R	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~5.2 – Res : 予約 (Reserved)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性を保つため、EUCSRBが書かれるとき、これらのビットは0が書かれなければなりません。

- ビット4 – EUSART : EUSART許可 (EUSART Enable)

EUSART動作を許可するには設定(1)し、標準USARTとして動作するには解除(0)してください。

- ビット3 – EUSBS : EUSART 受信停止ビット選択 (EUSART Receive Stop Bit Select)

このビットは受信部によって検出される停止ビット数を選びます。

注: EUSART動作で送信部によって挿入される停止ビット数はUSART制御/状態レジスタC(UCSRC)の停止ビット選択(USBS)ビットを通して設定できます。

表18-3. 受信停止ビット選択

EUSBS	停止ビット数
0	1ビット
1	2ビット

- ビット1 – EMCH : EUSART マンチェスタ動作許可 (EUSART Manchester mode)

設定(1)されると、EUSARTはマンチェスタ符号器/復号器動作(マンチェスタ符号化フレーム)で作動します。解除(0)されると、EUSARTはレベル符号化したフレームの検出と送信を行いません。

マンチェスタ動作でのパリティ検査器と発生器が利用不能のため、パリティはなし(UCSRCのパリティ選択(UPM1,0)=00)に設定されるべきです(表17-5参照)。

表18-4. USART/EUSART動作種別一覧

EUSART	UMSEL	EMCH	動作種別
0	0	x	9ビットまでの非同期レベル符号化(標準USART非同期動作)
0	1	x	9ビットまでの同期レベル符号化(標準USART同期動作)
1	0	0	17ビットまでの非同期レベル符号化
1	0	1	17ビットまでのマンチェスタ符号化
1	1	0	17ビットまでの同期レベル符号化
1	1	1	(予約)

- ビット0 – BODR : EUSART ビット順選択 (EUSART Bit Order)

このビットは送受信フレーム内のビット順変更を許します。

LSB先行で送受信するには解除(0)してください(標準USART動作)。MSB先行で送受信するには設定(1)してください。

18.5.5. EUCSRC – EUSART状態レジスタC (EUSART Status Register C)

ビット (\$CA)	7	6	5	4	3	2	1	0	EUCSRC
	–	–	–	–	FEM	F1617	STP1	STP0	
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ビット7～4 – Res : 予約 (Reserved)**
これらのビットは将来使用するために予約されています。将来のデバイスとの共通性を保つため、EUCSRCが書かれるとき、これらのビットは0が書かれなければなりません。
- **ビット3 – FEM : EUSART マンチェスタ フレーミング異常フラグ (Frame Error Manchester)**
このビットはマンチェスタ動作でフレーミング異常が検出される時にハードウェアによって設定(1)されます。このビットは受信完了(RXC)フラグが設定(1)され、受信緩衝部(UDR)が読まれるまでの間で有効です。
- **ビット2 – F1617 : EUSART 17/16ビット フラグ (16 or 17 bits Frame flag)**
受信部がマンチェスタ動作で16または17ビットに設定されると、このビットは受信したフレームが16または17ビット長かを示します。
解除(0) : 受信したフレームが16ビット長であることを示します。
設定(1) : 受信したフレームが17ビット長であることを示します。
このビットはRXCフラグが設定(1)され、受信緩衝部(UDR)が読まれるまでの間で有効です。
- **ビット1,0 – STP1,0 : EUSART 停止ビット値 (Stop bits values)**
マンチェスタ動作が活性(有効)にされると、これらのビットは直前に受信したフレームの停止ビット値を含みます。
直列フレーム内のビット データが標準のレベル符号化にされると、これらのビットは更新されません。

18.5.6. MUBRRH, MUBRRL (MUBRR) – マンチェスタ受信部ボーレート レジスタ (Manchester receiver Baud Rate Registers)

ビット (\$CD)	15	14	13	12	11	10	9	8	MUBRRH
	MUBRR15	MUBRR14	MUBRR13	MUBRR12	MUBRR11	MUBRR10	MUBRR9	MUBRR8	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$CC)	7	6	5	4	3	2	1	0	MUBRRL
	MUBRR7	MUBRR6	MUBRR5	MUBRR4	MUBRR3	MUBRR2	MUBRR1	MUBRR0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット15～0 – MUBRR15～0 : マンチェスタ受信部ボーレート分周値 (Manchester Receiver Baud Rate Register)**
これはマンチェスタ受信部計数器に対する最大値を含む16ビット レジスタです。MUBRRHが上位8ビットを含み、MUBRRLが下位8ビットを含みます。このボーレートが変更されると、受信部で進行中の転送は不正にされます。

$$MUBRR = \frac{f_{CLKI/O}}{\text{ボーレート周波数}}$$

MUBRRはMUBRRH:MUBRRL

表18-5. 一般的な周波数に対するMUBRR(MUBRRH,MUBRRL)設定例

ボーレート (bps)	f _{CLKI/O} (MHz)									
	1.000	1.8432	2.000	3.6864	4.000	7.3728	8.000	11.0592	14.7456	16.000
1200	833	1536	1667	3072	3333	6144	6667	9216	12288	13333
2400	417	768	833	1536	1667	3072	3333	4608	6144	6667
4800	208	384	417	768	833	1536	1667	2304	3072	3333
9600	104	192	208	384	417	768	833	1152	1536	1667

19. アナログ比較器

アナログ比較器はACMPn非反転ピンとACMPM反転ピンの入力値を比較します。

19.1. 概要

AT90PWM216/316は3つの高速アナログ比較が特徴です。

各比較器には非反転入力専用入力があり、反転入力には次のように設定できます。

- A/D変換多重器選択(ADMUX)レジスタの基準電圧選択(REFS1,0)ビットで選んだVrefによって定義された4つの内部基準電圧内の固定値
- 内蔵D/A変換器で生成した値
- 外部ACMPMアナログ入力

ACMPn非反転ピンの電圧がアナログ比較器n制御(ACnCON)レジスタの反転入力選択(ACnM2~0)ビットによって選んだ反転入力電圧よりも高い場合にアナログ比較器n出力(ACnO)が設定(1)されます。

この比較器はクロック駆動比較器です。新規比較はCLKI/Oの下降端で行なわれます。

各比較器はアナログ比較器専用の独立した割り込みを起動できます。加えて、使用者は比較器出力の上昇端、下降端、切り替わり(両端)での割り込み起動を選べます。

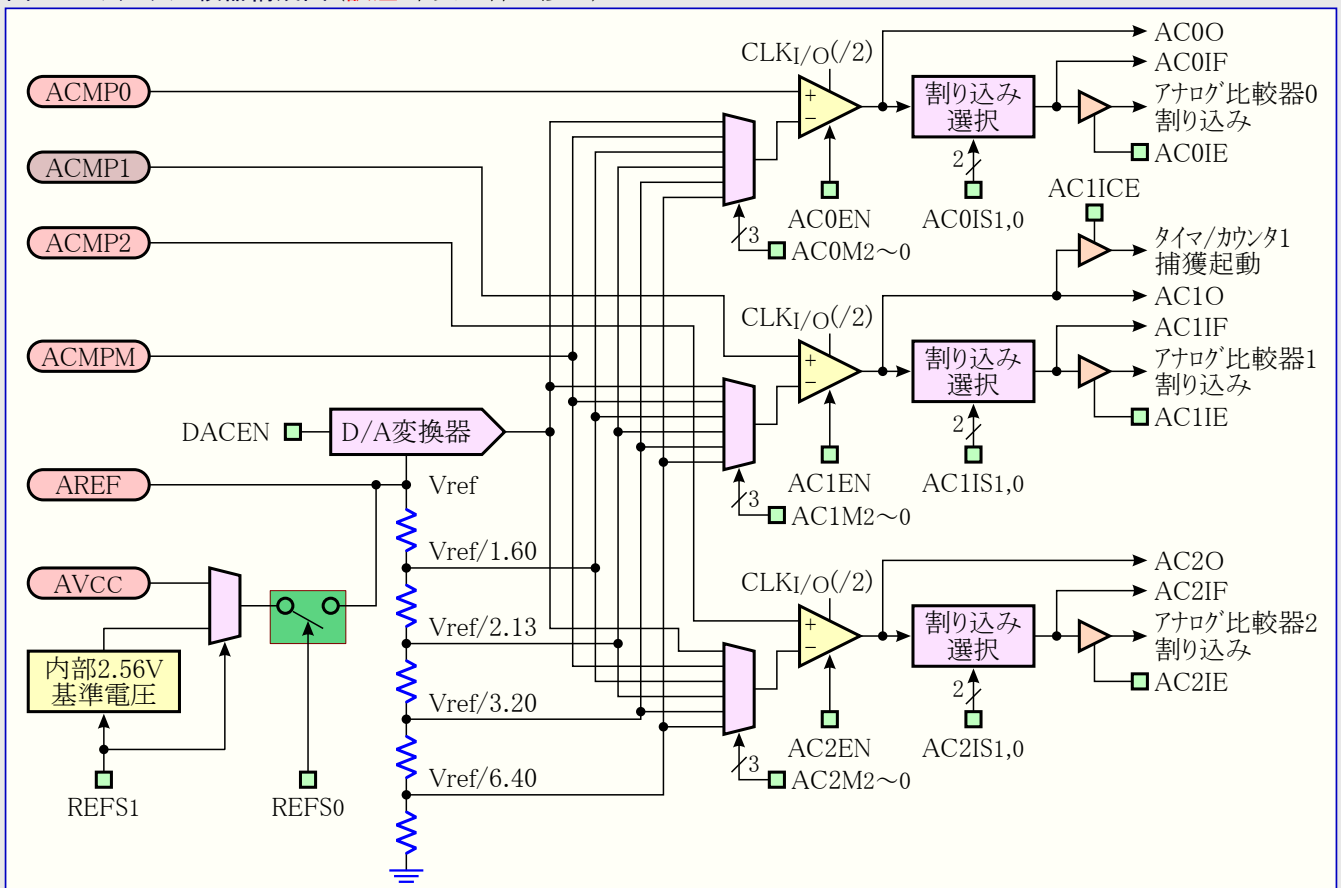
この割り込み要求フラグはA/D変換器やD/A変換器の同期に使うこともできます。

更に比較器1の比較機出力はタイマ/カウンタ1の捕獲機能の起動に設定できます。

この比較器は上昇端(0⇒1)でヒステリシスなし、下降端(1⇒0)で半分のヒステリシスです。

3つの比較器とそれらの周辺回路の構成図は図19-1.で示されます。

図19-1. アナログ比較器構成図 (訳注:本文に合せ修正)



注: アナログ比較器ピン配置については2頁の「ピン配置」をご覧ください。

• Vref電圧は149頁の「基準電圧選択」の表20-3.で定義されます。

注: AT90PWM216にはアナログ比較器1がありません。

19.2. アナログ比較器用レジスタ

各アナログ比較器にはそれ自身の制御レジスタがあります。
専用レジスタは3つのアナログ比較の出力とフラグを引き渡すために設計されています。

19.2.1. AC0CON – アナログ比較器0制御レジスタ (Analog Comparator 0 Control Register)

ビット (\$AD)	7	6	5	4	3	2	1	0	
	AC0EN	AC0IE	AC0IS1	AC0IS0	–	AC0M2	AC0M1	AC0M0	AC0CON
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

19.2.2. AC1CON – アナログ比較器1制御レジスタ (Analog Comparator 1 Control Register) (注: AT90PWM216で利用不可)

ビット (\$AE)	7	6	5	4	3	2	1	0	
	AC1EN	AC1IE	AC1IS1	AC1IS0	AC1ICE	AC1M2	AC1M1	AC1M0	AC1CON
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

19.2.3. AC2CON – アナログ比較器2制御レジスタ (Analog Comparator 2 Control Register)

ビット (\$AF)	7	6	5	4	3	2	1	0	
	AC2EN	AC2IE	AC2IS1	AC2IS0	–	AC2M2	AC2M1	AC2M0	AC2CON
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – ACnEN : アナログ比較器n 動作許可 (Analog Comparator n Enable)
アナログ比較器nを許可するには、このビットを設定(1)してください。アナログ比較器nを禁止するには、このビットを解除(0)してください。
- ビット6 – ACnIE : アナログ比較器n 割り込み許可 (Analog Comparator n Interrupt Enable)
アナログ比較器n割り込みを許可するには、このビットを設定(1)してください。アナログ比較器n割り込みを禁止するには、このビットを解除(0)してください。
- ビット5,4 – ACnIS1,0 : アナログ比較器n 割り込み条件選択 (Analog Comparator n Interrupt Select bits)
これら2ビットは割り込み起動事象を決めます。各種設定は表19-1.で示されます。

表19-1. アナログ比較器割り込み条件選択 (注: n=0,1,2)

ACnIS1	ACnIS0	割り込み発生条件
0	0	比較器n出力の変移 (トグル)
0	1	(予約)
1	0	比較器n出力の下降端
1	1	比較器n出力の上昇端

- ビット3 – AC1ICE : アナログ比較器1捕獲起動許可 (Analog Comparator 1 Input Capture Enable) (アナログ比較器1のみ)
アナログ比較器1の事象でタイマ/カウンタ1の捕獲機能を許可するにはこのビットを設定(1)してください。この場合、比較器1出力は比較器にタイマ/カウンタ1捕獲割り込みの雑音消去機能と端(エッジ)選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。比較器がタイマ/カウンタ1捕獲割り込みを起動するには、タイマ/カウンタ1割り込み許可レジスタ(TIMSK1)の捕獲割り込み許可(ICIE1)ビットが設定(1)されなければなりません。
(80頁の「TCCR1B – タイマ/カウンタ1制御レジスタB」の)ICES1ビットが1設定の場合はAC1Oの上昇端がタイマ/カウンタ1の捕獲起動事象、ICES1が0設定の場合はそれが下降端、でのどちらかが考慮され(扱われ)ます。
この機能を禁止するにはこのビットを解除(0)してください。この場合、アナログ比較器1と捕獲機能間の接続は存在しません。
- ビット2~0 – ACnM2~0 : アナログ比較器n 反転入力選択 (Analog Comparator n Multiplexer register)
これら3ビットはアナログ比較器nの反転入力の入力を決めます。各種設定は表20-2.で示されます。

表19-2. アナログ比較器n 反転入力選択								
ACnM2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
反転入力	Vref/6.40	Vref/3.20	Vref/2.13	Vref/1.60	ACMPMピン	D/A変換器	(予約)	(予約)

注: Vref電圧は149頁の「基準電圧選択」の表20-3.で定義されます。

(訳注) 原書のAC0CON,AC1CON,AC2CONの個別記述は共通のACnCONとして纏めました。

19.2.4. ACSR – アナログ比較器状態レジスタ (Analog Comparator Status Register)

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	–	AC2IF	AC1IF	AC0IF	CLKPLL	AC2O	AC1O	AC0O	ACSR
Read/Write	R	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	不定	不定	不定	

• ビット6 – AC2IF : アナログ比較器2 割り込み要求フラグ (Analog Comparator 2 Interrupt Flag)

このビットはアナログ比較器2出力がアナログ比較器2制御レジスタ(AC2CON)の割り込み条件選択(AC2IS1,0)ビットによって定義した割り込み動作種別で起動する時にハードウェアによって設定(1)されます。

このビットはAC2CONレジスタの割り込み許可(AC2IE)ビットが設定(1)なら、対応する割り込みベクタが実行される時に解除(0)されます。何れにしても、このビットは論理1書き込みによって解除(0)されます。

このビットはA/D変換器またはD/A変換器の同期にも使えます。

• ビット5 – AC1IF : アナログ比較器1 割り込み要求フラグ (Analog Comparator 1 Interrupt Flag)

このビットはアナログ比較器1出力がアナログ比較器1制御レジスタ(AC1CON)の割り込み条件選択(AC1IS1,0)ビットによって定義した割り込み動作種別で起動する時にハードウェアによって設定(1)されます。

このビットはAC1CONレジスタの割り込み許可(AC1IE)ビットが設定(1)なら、対応する割り込みベクタが実行される時に花序(0)されます。何れにしても、このビットは論理1書き込みによって解除(0)されます。

このビットはA/D変換器またはD/A変換器の同期にも使えます。

• ビット4 – AC0IF : アナログ比較器0 割り込み要求フラグ (Analog Comparator 0 Interrupt Flag)

このビットはアナログ比較器0出力がアナログ比較器0制御レジスタ(AC0CON)の割り込み条件選択(AC0IS1,0)ビットによって定義した割り込み動作種別で起動する時にハードウェアによって設定(1)されます。

このビットはAC0CONレジスタの割り込み許可(AC0IE)ビットが設定(1)なら、対応する割り込みベクタが実行される時に解除(0)されます。何れにしても、このビットは論理1書き込みによって解除(0)されます。

このビットはA/D変換器またはD/A変換器の同期にも使えます。

• ビット3 – CLKPLL : PLL出力クロック選択 (PLL Output Clock selection)

アナログ比較器用クロックとして32/64MHz PLLからの8または16MHz I/Oクロックを選ぶにはこのビットを設定(1)してください(PLL=32MHzなら8MHz、PLL=64MHzなら16MHz)。

CKSELヒューズが既に設定されているなら、このビットの読み込みはPLL/4クロックがクロックの供給元であることを追認するでしょう。

CLKI/O標準クロックを選ぶにはこのビットを解除(0)してください。

• ビット2 – AC2O : アナログ比較器2 出力 (Analog Comparator 2 Output)

AC2Oビットはアナログ比較器2の直接的な出力です。

比較器出力が1の時に設定(1)されます。

比較器出力が0の時に解除(0)されます。

• ビット1 – AC1O : アナログ比較器1 出力 (Analog Comparator 1 Output)

AC1Oビットはアナログ比較器1の直接的な出力です。

比較器出力が1の時に設定(1)されます。

比較器出力が0の時に解除(0)されます。

• ビット0 – AC0O : アナログ比較器0 出力 (Analog Comparator 0 Output)

AC0Oビットはアナログ比較器0の直接的な出力です。

比較器出力が1の時に設定(1)されます。

比較器出力が0の時に解除(0)されます。

注: AT90PWM216にはアナログ比較器1がありません。

19.2.5. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0	
(\$7E)	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D ACMPMD	ADC2D ACMP2D	ADC1D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット3 – ACMPMD : ACMPM デジタル入力禁止 (ACMPM Digital Input Disable)
- ビット2 – ACMP2D : ACMP2 デジタル入力禁止 (ACMP2 Digital Input Disable)

このビットが論理1を書かれると、対応するアナログピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されるとき、対応するポート入力(PINx)レジスタのビットは常に0として読みます。これらのピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされないとき、このビットはデジタル入力緩衝部での消費電力を削減するために論理1を書かれるべきです。

19.2.6. DIDR1 – デジタル入力禁止レジスタ1 (Digital Input Disable Register 1)

ビット	7	6	5	4	3	2	1	0	
(\$7F)	–	–	ACMP0D	AMP0PD	AMP0ND	ADC10D ACMP1D	ADC9D AMP1PD	ADC8D AMP1ND	DIDR1
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット5 – ACMP0D : ACMP0 デジタル入力禁止 (ACMP0 Digital Input Disable)
- ビット2 – ACMP1D : ACMP1 デジタル入力禁止 (ACMP1 Digital Input Disable)

このビットが論理1を書かれると、対応するアナログピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されるとき、対応するポート入力(PINx)レジスタのビットは常に0として読みます。これらのピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされないとき、このビットはデジタル入力緩衝部での消費電力を削減するために論理1を書かれるべきです。

注: AT90PWM216にはアナログ比較器1と、A/D変換器関係の増幅器1、ADC8,9,10入力がありません。

20. A/D変換器

20.1. 特徴

- 10ビット分解能
 - 積分非直線性誤差0.5 LSB
 - 絶対精度±2 LSB
 - 変換時間8～320μs
 - 最大分解能で125kSPS(採取/s)まで
 - 11チャンネルのシングルエンド入力多重器内蔵
 - 5%精度で5,10,20,40倍に設定可能な2つの差動入力チャネル
- A/D変換結果読み出しに対する任意の左揃え
 - 0～VCC A/D変換入力電圧範囲
 - 選択可能な2.56V A/D変換基準電圧
 - 連続と単独の変換動作
 - 割り込み元の自動起動によるA/D変換開始
 - A/D変換完了割り込み
 - 休止形態雑音低減機能

AT90PWM216/316は10ビット逐次比較A/D変換器が特徴です。このA/D変換器は11のシングルエンド電圧入力を許す15チャンネルアナログ多重器に接続されます。このシングルエンド電圧入力は0V(GND)が基準です。

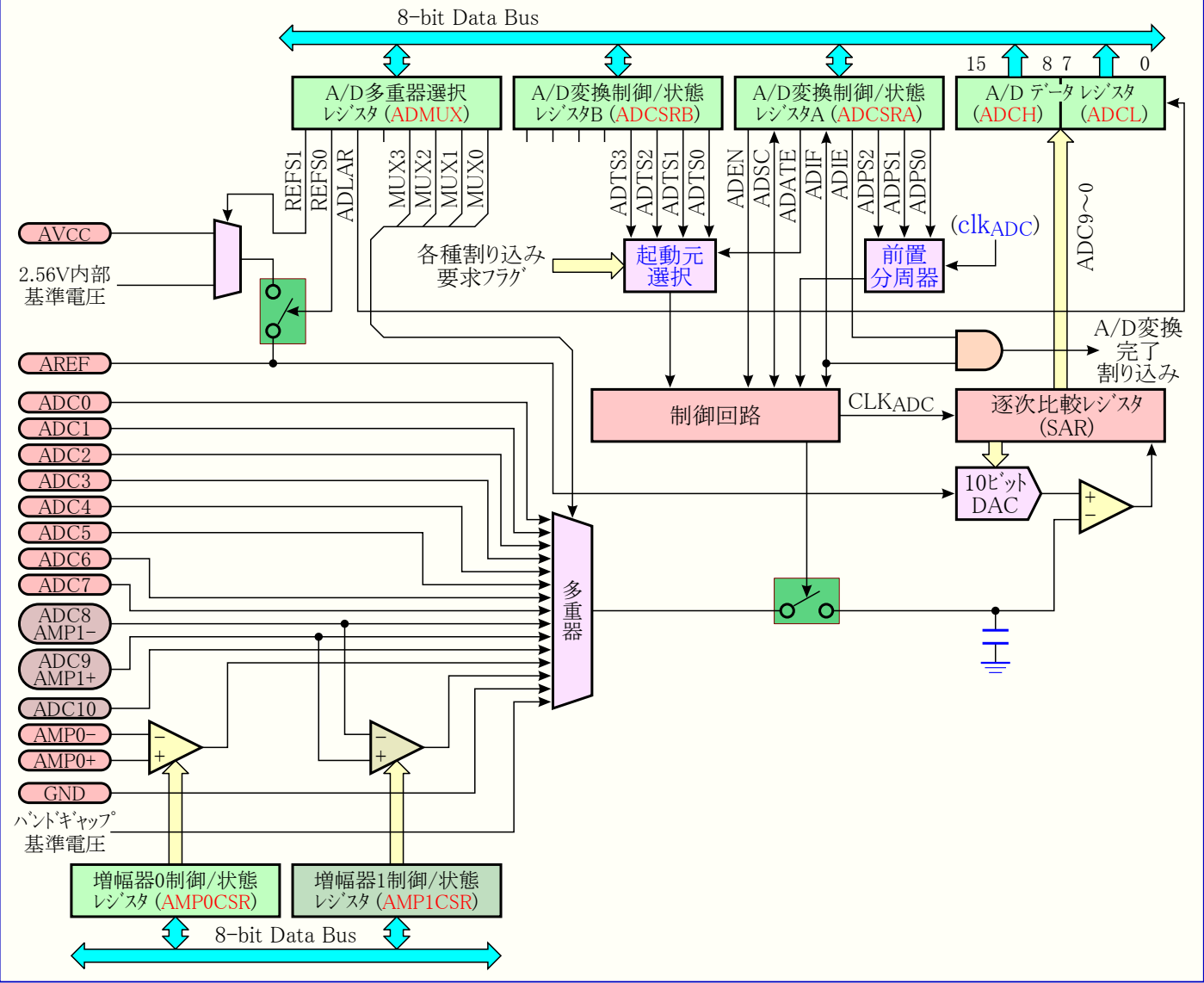
デバイスにはA/D変換前に差動入力電圧で14dB(×5)、20dB(×10)、26dB(×20)、32dB(×40)の増幅段を提供する設定変更可能な利得段が装備された2つの差動電圧入力の組み合わせも支援します。増幅したチャネルでは8ビット分解能が期待できます。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は図20-1.で示されます。

A/D変換部には分離されたアナログ電源供給ピン(AVCC)があります。AVCCはVCCから±0.3Vよりも多く違ってはなりません。このピンの接続方法は147頁の「雑音低減技術」項をご覧ください。

公称2.56Vの内蔵基準電圧またはAVCCがチップ上で提供されます。この基準電圧は雑音特性向上のため、コンデンサによってAREFピンで外部的にデカップ(雑音分離)できます。

図20-1. A/D変換器部構成図



注: AT90PWM216には増幅器1とADC8,9,10入力ピンがありません。

20.2. 操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値はAREFピンの電圧を表します。A/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS1,0)ビットへの書き込みにより、任意でAVCCまたは内部2.56V基準電圧がAREFピンに接続できます。従ってこの内部基準電圧は雑音耐性を改善するためにAREFピンで外部コンデンサによってデカップ(雑音結合減少)ができます。

アナログ入力チャネルはADMUXのチャネル選択(MUX3~0)ビットへの書き込みによって選ばれます。GNDとバントギャップ固定基準電圧だけでなく、どのADC入力ピン(ADC10~0)もがA/D変換器のシングルエンド入力として選べます。

A/D変換部はA/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビットの設定(1)によって(動作が)許可されます。基準電圧はA/D変換部が許可されるかされないかがどうでも、ADMUXレジスタのREFS1とREFS0ビットによって設定されます。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH,ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で表されますが、ADMUXで左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHを読むことで足ります。さもなければデータレジスタの内容が同じ変換に属すること(からの結果)を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH,ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器アクセスが再び許可されます。

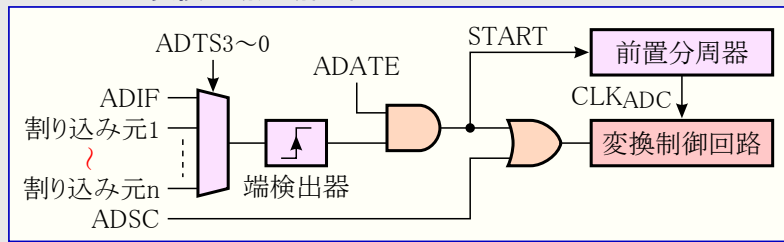
A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

20.3. 変換の開始

単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り、1に留まり、変換が完了されるとハードウェアによって解除(0)されます。変換が進行中に違う入力チャネルが選ばれると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS3~0)ビットの設定によって選ばれます(起動元の一覧についてはADTSビットの記述をご覧ください)。選んだ起動信号上に上昇端が起きると、A/D変換用前置分周器がリセットし、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だ設定(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の上昇端が起きると、その端(エッジ)は無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)でも、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければなりません。

図20-2. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかに関らず、継続的な変換を実行します。連続動作は増幅したチャネルで許されません。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使えます。ADSCビットは変換がどう開始されたかに拘らず、変換中は1として読みます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はアイドル休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については146頁の「雑音低減機能」をご覧ください。(訳注:共通性から2行追加)

20.4. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに50kHz～2MHzの入力クロック周波数を必要とします。10ビットよりも低い分解能が必要とされるなら、A/D変換器への入力クロック周波数はより高い採取速度を得るために2MHzよりも高くできます。

A/D変換部は100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態レジスタA(ADCSRA)のA/Dクロック選択(ADPS2～0)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)される限り走行を維持して、ADENが0の時は継続的にリセットします。

ADCSRAのA/D変換開始(ADSC)ビットの設定(1)によってシングルエンタ'入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。差動入力変換タイミングの詳細については145頁の「チャンネル変更と基準電圧選択」をご覧ください。

通常変換は15.5変換クロック周期で行われます。A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために25変換クロック周期で行われます。

実際の採取&保持(保持開始点)は通常変換の開始後3.5変換クロック周期、初回変換の開始後13.5変換クロック周期で行われます。変換が完了すると、結果がA/Dデータレジスタ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ビットが解除(0)されます。その後にソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。

自動起動が使われると、前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換クロック周期で採取が行われます。同期化論理回路(端(エッジ)検出器)に対して、追加の3 CPUクロック周期が費やされます。

連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。変換時間の概要については表20-1をご覧ください。

図20-3. A/D変換前置分周器部構成

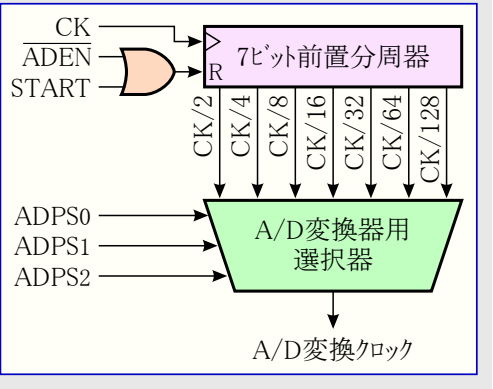


図20-4. 初回変換タイミング (単独変換動作)

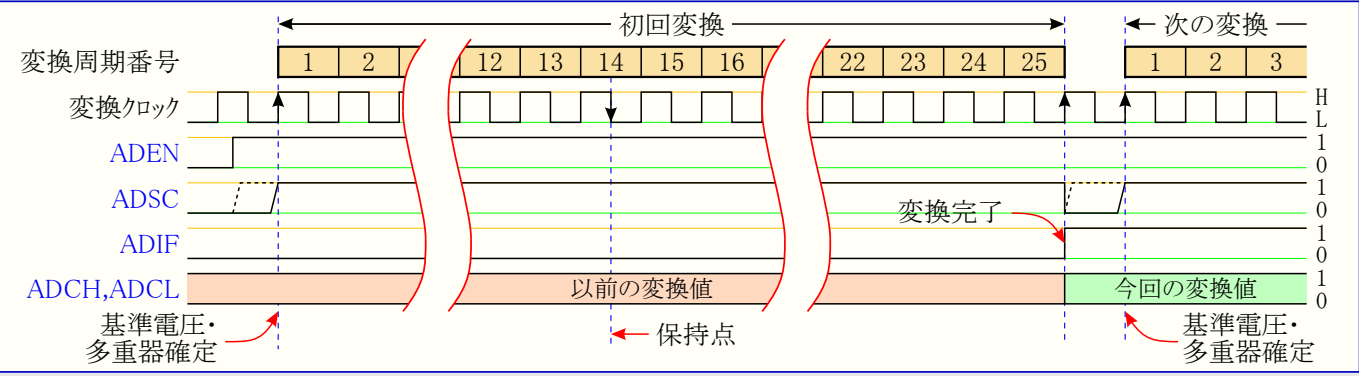
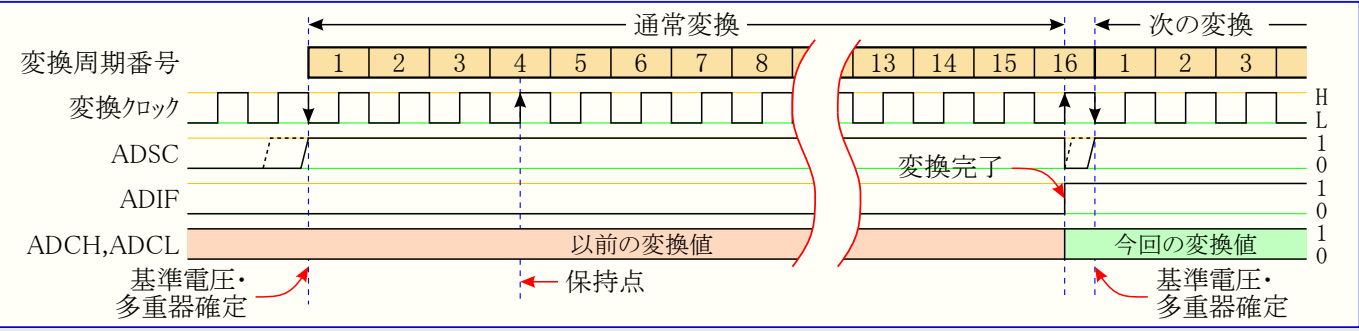


図20-5. 通常変換タイミング (単独変換動作)



(訳注) 図20-4.と図20-5.は本文に合せて補正しています。

図20-6. 通常変換タイミング* (自動起動変換動作)

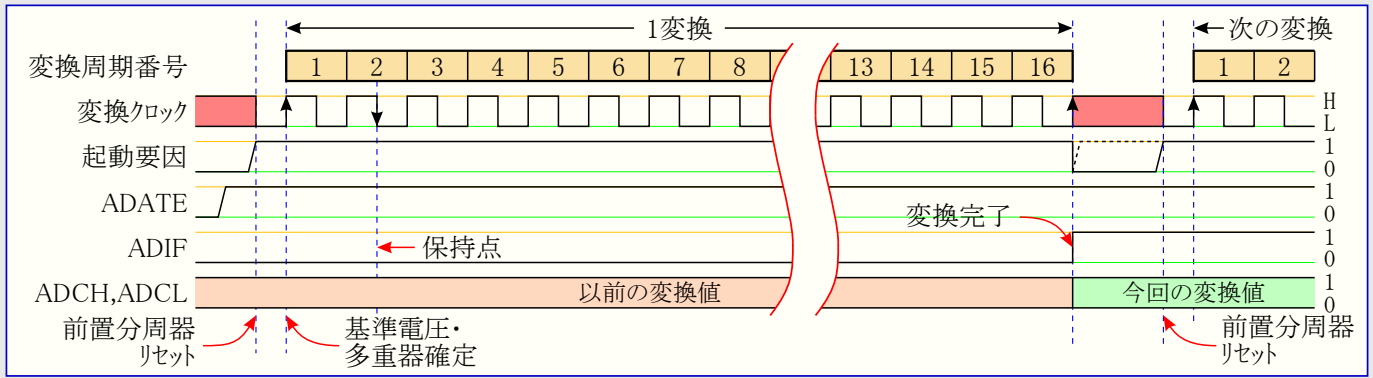


図20-7. 連続変換動作タイミング*

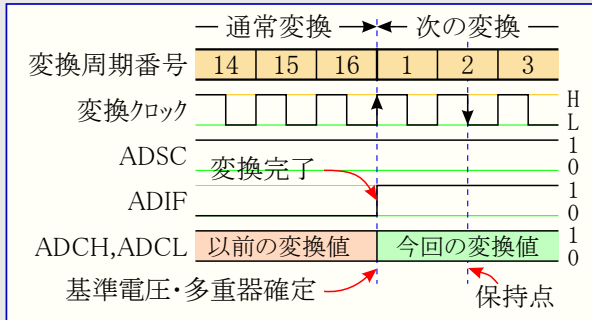


表20-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングルエンド入力通常変換	3.5	15.5
自動起動変換	4	16

20.5. チャネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX3~0)ビットと基準電圧選択(REFS1,0)ビットはCPUが乱順にアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換クロック周期で再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことが推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が払われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

- ADENまたはADATEが解除(0)されているとき。
- 変換開始後、最低1変換クロック周期経過後の変換中。
- 変換後から、変換起動元として使った割り込みフラグが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

20.5.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選ばれることを保証するために次の指針を守るべきです。

- 単独変換動作では常に変換を始める前にチャネルを選んでください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。
- 連続変換動作では常に最初の変換を始める前にチャネルを選んでください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。
- 連続変換動作で、増幅器が増幅チャネル変換の最後でADSCビットを解除(0)するので、各変換の最後でADSCビットがソフトウェアによって再び設定(1)される場合を除き、連続変換動作の使用は不可能です。

20.5.2. A/D変換基準電圧

このA/D変換用の基準電圧(V_{REF})はA/D変換に対する変換範囲を示します。 V_{REF} を越えるシングル エント'入力チャネルは\$3FFで打ち切る符号に帰着します。 V_{REF} はAVCC、内部2.56V基準電圧、外部AREFピンのどれかとして選べます。

AVCCは受動型スイッチを通してA/D変換部に接続されます。内部2.56V基準電圧は内蔵基準(バンドギャップ)電圧(V_{BG})から内部増幅器を通して生成されます。どちらの場合でも外部AREFピンは直接的にA/D変換部へ接続され、AREFピンとGND間にコンデンサを接続することにより、基準電圧は雑音耐性をより高められます。 V_{REF} (電圧)は高入力インピーダンス電圧計とAREFピンで測定することもできます。 V_{REF} は高インピーダンス出力で、容量性負荷のみがシステム内で接続されるべきであることに注意してください。

使用者がAREFピンに接続された固定電圧源にするなら、この外部電圧がその他の内部基準電圧と短絡してしまうため、使用者はこの応用内で他の基準電圧選択を使ってはなりません。外部電圧がAREFピンに印加されないなら、使用者は基準電圧選択としてAVCCと内部2.56V基準電圧間の切り替えができます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

差動入力チャネルが使われる場合、選んだ基準電圧は185頁の表25-5.で示されるよりもAVCCに近くすべきではありません。

20.6. 雑音低減機能

このA/D変換部はCPUコアと他の周辺I/Oが誘導した雑音を削減するために休止形態中の変換を可能にする雑音低減機能が特徴です。この機能はA/D変換雑音低減動作とアイドル動作で使えます。この機能を使うには次の手順が使われるべきです。

1. A/D変換自動起動許可(ADATE)ビットがリセット(=0)されていることを確認してください。
2. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADATE=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されていなければなりません。
3. A/D変換雑音低減(またはアイドル)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
4. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで通常動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADENへ0を書くことが推奨されます。

このような休止形態でA/D変換が許可され、使用者が差動変換の実行を望む場合、有効な結果を得るのに延長した(初回)変換を指示するため、使用者は休止形態から起動後にA/D変換部をOFF→ON(ADEN=0→1)に切り替えることが推奨されます。

20.6.1. アナログ入力回路

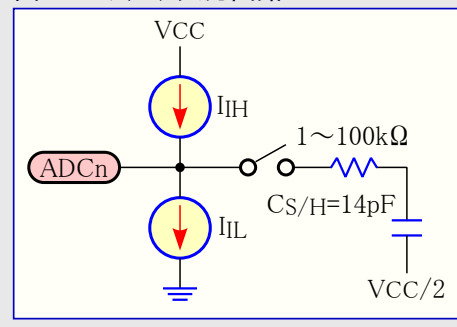
シングル エント'入力チャネルのアナログ回路は図20-8.で図示されます。ADCnに印加したアナログ(信号)源はそのチャネルがADC入力として選ばれているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選ばれると、(アナログ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね10k Ω 若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このような(アナログ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いインピーダンスの(アナログ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するために(アナログ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する低インピーダンス(アナログ信号)源だけを使うことが推奨されます。

差動増幅チャネルが使われる場合、この入力回路は多少違って見えるので、数100k Ω またはそれ以下の供給元インピーダンスが推奨されます。

特定できない信号の渦からの歪を避けるために、どのチャネルに対してもナイキスト周波数($f_{ADC}/2$)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に低域通過濾波器(ローパス フィルタ)で高い周波数成分を取り除くことが推奨されます。

図20-8. アナログ入力回路

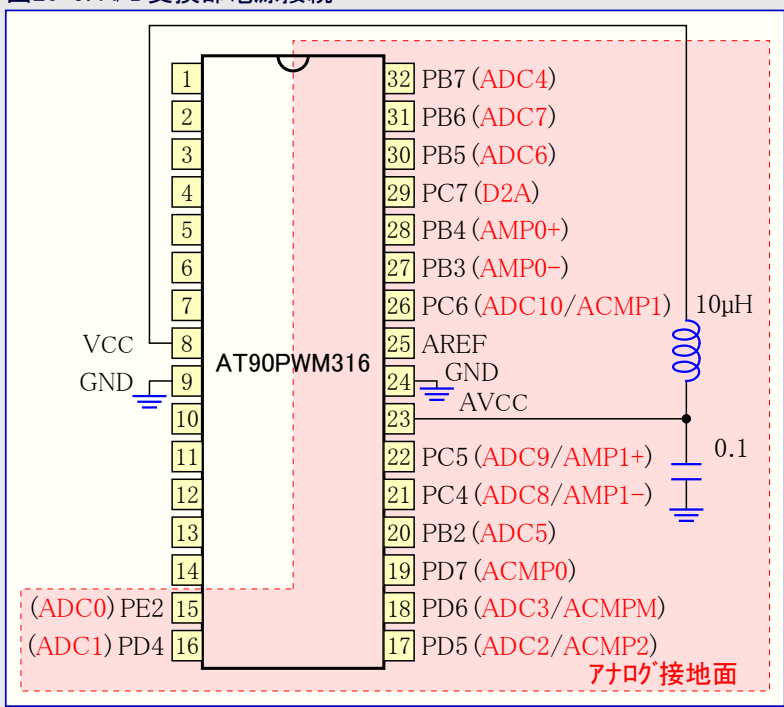


20.6.2. アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定に精度に影響を及ぼすかもしれないEMIが発生します。精密な変換精度が必要な場合、次の技法を適用することによって雑音レベルを低減できます。

1. アナログ信号経路を可能な限り最短にしてください。アナログ信号線がアナログGND面上を走ることに注意し、高速切り替えデジタル信号線から充分離すことを守ってください。
2. デバイスのAVCCピンは図20-9.で示されるようにLC濾波器を経由してデジタル供給電圧(VCC)に接続されるべきです。
3. CPUからの誘導雑音を低減するために、A/D変換の雑音低減機能を使ってください。
4. どれかのADCポートピンがデジタル出力として使われる場合、これらが変換進行中に切り替わらないことが重要です。

図20-9. A/D変換部電源接続



20.6.3. 変位(オフセット)補償の仕組み

利得段には差動測定の変位(オフセット)をできるだけ無効にする組み込み変位補正回路があります。アナログ経路内の残留変位は両入力未接続でAMPnIS_{SET}を使う両差動入力短絡によって直接的に計測できます(154頁の「AMPnCSR - 増幅器n制御/状態レジスタ」をご覧ください)。その後この残留変位は計測結果からソフトウェアで減算できます。この変位補正に基いたソフトウェア手法の使用はどのチャネルの変位も1 LSB以下に減少できます。

20.6.4. A/D変換の精度定義

シングルエンド入力電圧のnビットA/D変換はGNDとVREF間を2ⁿで直線的に変換します。最低値符号は0として読み、最高値符号は2ⁿ-1として読みます。以下の各種パラメータは理想状態からの偏差を表します。

• 変位(オフセット)誤差 - 図20-10.

最初の遷移点(\$000から\$001)で理想遷移点(差0.5 LSB)と比べた偏差です。理想値は0 LSBです。

• 利得誤差 - 図20-11.

変位誤差補正後の最後の遷移点(\$3FEから\$3FF)で理想遷移点(最大差1.5 LSB以下)と比べた偏差です。理想値は0 LSBです。

• 積分非直線性誤差 (INL) - 図20-12.

変位誤差と利得誤差補正後の全ての遷移点で理想遷移点と比べた最大偏差です。理想値は0 LSBです。

• 微分非直線性誤差 (DNL) - 図20-13.

実際の符号の幅(隣接する2つの遷移点間)で理想符号幅(1 LSB)と比べた最大偏差です。理想値は0 LSBです。

• 量子化誤差

有限数の符号で入力電圧を量子化するため、1 LSB幅となる入力電圧範囲は同じ値の符号になります。この値は常に±0.5 LSBです。

• 絶対精度

補正しない全ての遷移点で理想遷移点と比べた最大偏差です。これは、変位誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は±0.5 LSBです。

図20-10. 変位(オフセット)誤差

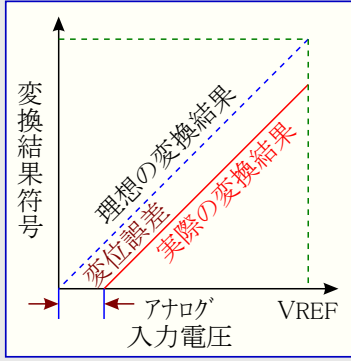


図20-11. 利得誤差

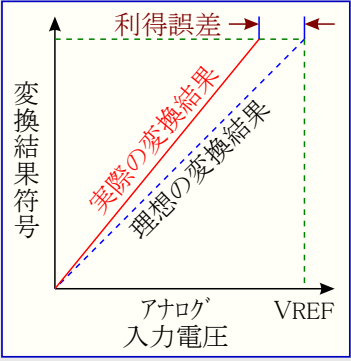


図20-12. 積分非直線性誤差

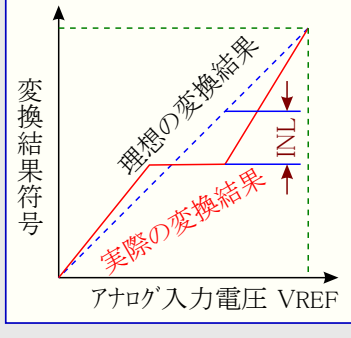
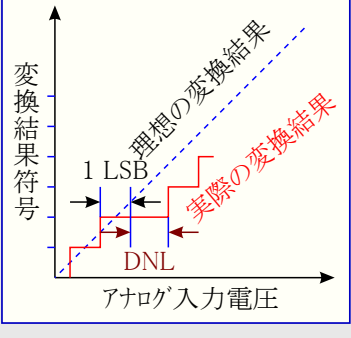


図20-13. 微分非直線性誤差



20.7. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCH, ADCL)で得られます。

シングルエンド入力変換の結果は右式で示されます。VINは選んだ入力ピンの電圧、VREFは選んだ基準電圧です(149頁の表20-3と表20-4をご覧ください)。\$000はアナログGNDを表し、\$3FFは選んだ基準電圧を表します。

$$ADC = \frac{V_{IN} \times 1023}{V_{REF}}$$

差動チャネルが使われると、その結果は右式で示されます。VPOSは非反転入力ピンの電圧、VNEGは反転入力ピンの電圧、GAINは選んだ倍率、VREFは選んだ基準電圧です。この結果は-512(\$200)~+511 (\$1FF)の2の補数形式で示されます。使用者が結果の符号を素早く検査したいなら、結果のMSB(ADCHのADC9)を読むことで充分なことに注目してください。このビットが1ならばその結果は-、0ならばその結果は+です。図20-14は差動入力範囲の符号化を示します。

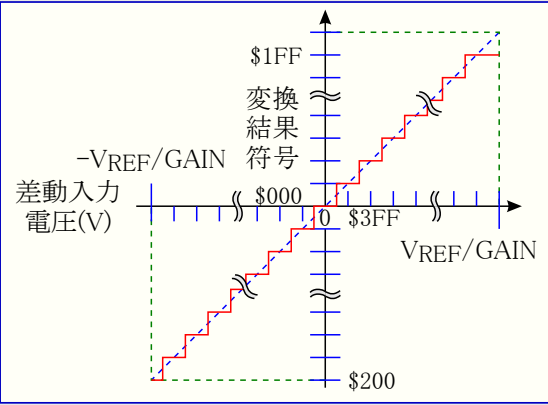
$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

表20-2は差動入力チャネルの組(ADCn-ADCm)が基準電圧(VREF)で選ばれた場合の出力符号の結果を示します。

表20-2. 入力電圧と出力符号の関係

V _{ADCn}	読み出し符号	対応する10進値
V _{ADCm} +V _{REF} /GAIN	\$1FF	511
V _{ADCm} +(511/512)V _{REF} /GAIN	\$1FF	511
V _{ADCm} +(510/512)V _{REF} /GAIN	\$1FE	510
}	}	}
V _{ADCm} +(1/512)V _{REF} /GAIN	\$001	1
V _{ADCm}	\$000	0
V _{ADCm} -(1/512)V _{REF} /GAIN	\$3FF	-1
}	}	}
V _{ADCm} -(511/512)V _{REF} /GAIN	\$201	-511
V _{ADCm} -V _{REF} /GAIN	\$200	-512

図20-14. 差動入力計測範囲



例1: ADMUX=\$EB(AMP0+とAMP0-の差動10倍入力、VREF=2.56V、左揃え)で、AMP0+が300mV、AMP0-が500mVの場合、A/D変換値= 512×10×(300-500)÷2560=-400=\$270、従ってADCH=\$9C,ADCL=\$00、ADLAR=0ならADCH:L=\$0270

(訳注) 原書本位置の例2は本デバイスで設定不可能な例のため削除しました。

20.8. A/D変換用レジスタ

AT90PWM216/316のA/D変換器は3つの異なるレジスタを通して制御されます。ADCSRAとADCSRBLレジスタはA/D変換器制御/状態レジスタで、ADMUXは変換すべきチャネルと基準電圧源(Vref)の選択を許します。

変換結果は各々上位側ビットと下位側ビットを含むADCHとADCLレジスタに格納されます。

20.8.1. ADMUX – A/D多重器選択レジスタ (ADC Multiplexer Select Register)

ビット (\$7C)	7	6	5	4	3	2	1	0	
	REFS1	REFS0	ADLAR	–	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – REFS1,0 : 基準電圧選択 (ADC Vref Selection Bits)

これら2ビットはA/D変換器用の基準電圧を決めます。各種設定は表20-3.で示されます。

表20-3. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AREFピンの外部基準電圧 (AVCCと内部2.56V基準電圧は切り離されます。)
0	1	AVCC (内部2.56V基準電圧は切り離されますが、AREFにデカップ用コンデンサが接続できます。)
1	0	(予約)
1	1	内部2.56V基準電圧 (AVCCは切り離されますが、AREFにデカップ用コンデンサが接続できます。)

これらのビットが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

内部Vref(AVCCまたは内部2.56V基準電圧)が選ばれる場合、これを必要とするアナログ機能が(活動に)設定されると直ぐにONへ切り替わります。

- ビット5 – ADLAR : A/D変換 左揃え選択 (ADC Left Adjust Result)

A/D変換結果を左揃えにするにはこのビットを設定(1)してください。

A/D変換結果を右揃えにするにはこのビットを解除(0)してください。

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については151頁の「A/Dデータレジスタ」をご覧ください。

- ビット3~0 – MUX3~0 : A/Dチャネル選択 (Analog Channnel Select Bits 3~0)

これら4ビットはどのアナログ入力A/D変換器入力に接続されるかを決めます。各種設定は表20-4.をご覧ください。

表20-4. アナログ入力チャネル選択

MUX3~0	A/D変換器入力	MUX3~0	A/D変換器入力
0 0 0 0	ADC0 (PE2)	1 0 0 0	ADC8 (PC4)
0 0 0 1	ADC1 (PD4)	1 0 0 1	ADC9 (PC5)
0 0 1 0	ADC2 (PD5)	1 0 1 0	ADC10 (PC6)
0 0 1 1	ADC3 (PD6)	1 0 1 1	AMP0 (–はPB3/AMP0–,+はPB4/AMP0+)
0 1 0 0	ADC4 (PB7)	1 1 0 0	AMP1 (–はPC4/ADC8,+はPC5/ADC9)
0 1 0 1	ADC5 (PB2)	1 1 0 1	(予約)
0 1 1 0	ADC6 (PB5)	1 1 1 0	バンドギャップ電圧(VBG)
0 1 1 1	ADC7 (PB6)	1 1 1 1	0V(GND)

これらのビットが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

20.8.2. ADCSRA – A/D変換 制御/状態レジスタA (ADC Control and Status Register A)

ビット (\$7A)	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – ADEN : A/D許可 (ADC Enable)

A/D変換部(動作)を許可するにはこのビットを設定(1)してください。

A/D変換部(動作)を禁止するにはこのビットを解除(0)してください。

変換走行中のこのビットの解除(0)は変換の最後で実施します。

•ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作での変換の開始、または連続変換動作での最初の変換を始めるには、このビットを設定(1)してください。
変換完了時、ハードウェアによって解除(0)されます。このビットへの0書き込みは無効です。
初回変換はA/D変換部の初期化を実行します。

•ビット5 – ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)

A/D変換器の自動起動を許可するにはこのビットを設定(1)してください。
単独変換動作へ戻すにはこのビットを解除(0)してください。
自動起動動作での起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動要因選択(ADTS3~0)ビットで選ばれます。150頁の表20-6をご覧ください。

•ビット4 – ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

変換が完了すると直ぐにハードウェアによって設定(1)され、データレジスタ(ADCH,ADCL)が変換結果で更新されます。
対応する割り込み処理ベクタを実行する時にハードウェアによって解除(0)されます。
代わりにこのフラグに論理1を書くことによってもADIFが解除(0)できます。

•ビット3 – ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

A/D変換完了割り込みを活性化(許可)するにはこのビットを設定(1)してください。
A/D変換完了割り込みを禁止するにはこのビットを解除(0)してください。

•ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これら3ビットはシステムクロック周波数とA/D変換器の入力クロック間の分周係数を決めます。各種設定は表21-5で示されます。

表20-5. A/D変換 前置分周器選択								
ADPS2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
分周数	2	2	4	8	16	32	64	128

20.8.3. ADCSRB – A/D変換 制御/状態レジスタB (ADC Control and Status Register B)

ビット (\$7B)	7	6	5	4	3	2	1	0	ADCSRB
	ADHSM	–	–	–	ADTS3	ADTS2	ADTS1	ADTS0	
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7 – ADHSM : 高速動作 (ADC High Speed Mode)

このビットの1書き込みがA/D変換器高速動作を許可します。200kHzよりも高いA/D変換クロック周波数で変換をしたい場合、このビットを設定(1)してください。

•ビット3~0 – ADTS3~0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

これらのビットはA/D変換器が自動起動動作で動く場合にだけ必要です。これはA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが設定(1)される場合の意味です。

表20-6に従ってこれら4ビットは変換開始起動を生成する割り込み事象を選びます。変換の開始は割り込みが許可であろうとなかろうと、選んだ割り込み要求フラグの上昇端によって生成されます。電力段制御器(PSC)nアナログ同期事象の場合、フラグがありません。従って、この場合の変換は直前の変換が完了され、この起動事象が現れる毎に開始します。

表20-6. A/D変換自動起動元選択			
ADTS3~0	起動元	ADTS3~0	起動元
0 0 0 0	連続変換動作	1 0 0 0	電力段制御器0(PSC0)アナログ同期事象 (注1)
0 0 0 1	アナログ比較器0 (注2)	1 0 0 1	電力段制御器1(PSC1)アナログ同期事象 (注1)
0 0 1 0	外部割り込み要求0 (注2)	1 0 1 0	電力段制御器2(PSC2)アナログ同期事象 (注1)
0 0 1 1	タイマ/カウンタ0比較A一致 (注2)	1 0 1 1	アナログ比較器1 (注2)
0 1 0 0	タイマ/カウンタ0溢れ (注2)	1 1 0 0	アナログ比較器2 (注2)
0 1 0 1	タイマ/カウンタ1比較B一致 (注2)	1 1 0 1	(予約)
0 1 1 0	タイマ/カウンタ1溢れ (注2)	1 1 1 0	(予約)
0 1 1 1	タイマ/カウンタ1捕獲要求 (注2)	1 1 1 1	(予約)

注1: 何れかの電力段制御器(PSC)事象での起動に対して、PSCがPLLクロックを使う場合、システムクロックはPLL/4クロック元を使わなければなりません。
注2: これらの起動元は増幅チャネルに対して使えません。これらの設定値は増幅チャネルに対して予約扱いです。

(訳注) 原書の表20-6と表20-7は表20-6として纏めました。

20.8.4. ADCH,ADCL – A/Dデータレジスタ (ADC Data Register)

A/D変換が完了すると、その変換結果はこれら2つの結果データレジスタに格納されます。

ADCLが読まれると、2つのA/D変換結果データレジスタはADCHも読まれてしまうまで更新されません。

従って10ビット形態ではADCHに先立ってADCLレジスタが最初に読まれなければなりません。

それにも関わらず、8ビット精度だけで容易に作業するため、A/D多重器選択レジスタ(ADMUX)の左揃え選択(ADLAR)ビットによって結果を左揃えにすることが可能です。このようにして変換結果を得るにはADCHを読むだけで充分です。

ADLAR=0時								
ビット (\$79)	15	14	13	12	11	10	9	8
	–	–	–	–	–	–	ADC9	ADC8
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ビット (\$78)	7	6	5	4	3	2	1	0
	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ADLAR=1時								
	15	14	13	12	11	10	9	8
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
	7	6	5	4	3	2	1	0
	ADC1	ADC0	–	–	–	–	–	–

20.8.5. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット (\$7E)	7	6	5	4	3	2	1	0
	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D ACMPMD	ADC2D ACMP2D	ADC1D	ADC0D
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

• ビット7~0 – ADC7~0D : ADC7~0 デジタル入力禁止 (ADC7~0 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されるとき、対応するポート入力(PINx)レジスタのビットは常に0として読みます。ADCnピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされない時にこのビットはデジタル入力緩衝部での消費電力を削減するために論理1を書かれるべきです。

20.8.6. DIDR1 – デジタル入力禁止レジスタ1 (Digital Input Disable Register 1)

ビット (\$7F)	7	6	5	4	3	2	1	0
	–	–	ACMP0D	AMP0PD	AMP0ND	ADC10D ACMP1D	ADC9D AMP1PD	ADC8D AMP1ND
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

• ビット4,3,1,0 – AMPnxD : AMPnx デジタル入力禁止 (AMPnx Digital Input Disable)

• ビット2~0 – ADC10~8D : ADC10~8 デジタル入力禁止 (ADC10~8 Digital Input Disable)

このビットが論理1を書かれると、対応するアナログピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されるとき、対応するポート入力(PINx)レジスタのビットは常に0として読みます。これらのアナログピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされない時にこのビットはデジタル入力緩衝部での消費電力を削減するために論理1を書かれるべきです。

注: AT90PWM216には増幅器1、ADC8,9,10入力と、アナログ比較器1がありません。

20.9. 増幅器

AT90PWM216/316は5,10,20,40倍の利得段付きの2つの作動増幅チャネルが特徴です。結果が10ビットで与えられるにも拘らず、増幅器は8ビット分解能を与える量(精度)にされてしまっています。

この増幅器がスイッチ キャパシタ増幅器のため、本文書で増幅器同期クロックと呼ばれる同期信号によってクロック駆動される必要があります。このクロックの最大周波数は250kHzです。

結果精度を保証するため、この増幅器入力には最低4増幅器同期クロック周期間、採取点で静定入力値を持つ必要があります。

増幅変換は電力段制御器(PSC)事象(101頁の表15-11.「1,2,4傾斜動作での同期元」と表15-12.「中央整列動作での同期元」参照)、または8 A/D変換クロックに等しい内部クロックCKADCに同期化され得ます。この同期化がA/D変換クロックの8分周で行なわれる場合、この同期化は採取&保持がCKADC2の特定位相で起きるというような方法でA/D変換器インターフェースによって自動的に行われます。CKADC2がLowの時に使用者によって開始した変換(即ち全ての単独変換と連続変換の最初)はシングル エンド 入力変換(前置分周した次のクロック周期から13変換クロック周期)と同じ変換時間になります。CKADC2がHighの時に使用者によって開始した変換は同期化機構のため14変換クロック周期になります。

増幅器を使うための一般的な方法は増幅器n制御/状態レジスタ(AMPnCSR)の起動元選択(AMPnTS1,0)ビット経由で同期化クロックを選ぶことです。その後、増幅器はONに切り替えでき、増幅は各同期事象で行なわれます。この増幅はA/D変換器と無関係に行われます。

増幅チャネルで増幅したA/D変換を始めるには149頁の表20-4.で詳述されるようにA/D変換多重器選択(ADMUX)レジスタを設定しなければなりません。

A/D変換開始はA/D変換制御/状態レジスタA(ADCSRA)でA/D変換開始(ADSC)ビットを設定(1)することによって行なわれます。

その変換が達成されないまでの間、別チャネルでの変換を開始することは不可能です。

変換は最小変換時間を保証するために増幅器特性の利点を利用します。

変換がADSCビットによって要求されると直ぐにA/D変換が開始されます。増幅器同期化動作を良く理解するため、タイミング図の例が図20-15.で示されます。

図20-16.で示されるように増幅器出力がA/D変換器の採取段階の間に変更される場合、実行中の変換は中止され、増幅器の出力が安定すると直ぐに改めて開始されます。

唯一行う注意はADCclk/4よりも低い起動信号(PSC)周波数を保証することです。

増幅チャネルでの自動起動変換も可能です。この場合の変換はA/D変換制御/状態レジスタB(ADCSRB)の自動起動要因選択(ADTS3~0)ビットで選んだ最後の自動起動事象に後続する最初の増幅器クロック事象で開始されます。自動起動変換での連続変換動作は各変換後にソフトウェアによってADCSRAのADSCビットが設定(1)される場合を除いて不可能です。

電力段制御器(PSC)事象元だけがこの増幅A/D変換を自動起動できます、この場合、CPUコアはPSCと同期したクロックでなければなりません。PSCがPLLクロックを使う場合、CPUコア(システム)クロックはPLL/4クロック元を使わなければなりません。

図20-15. 増幅器同期化タイミング構成図 (アナログ入力信号での変更との)

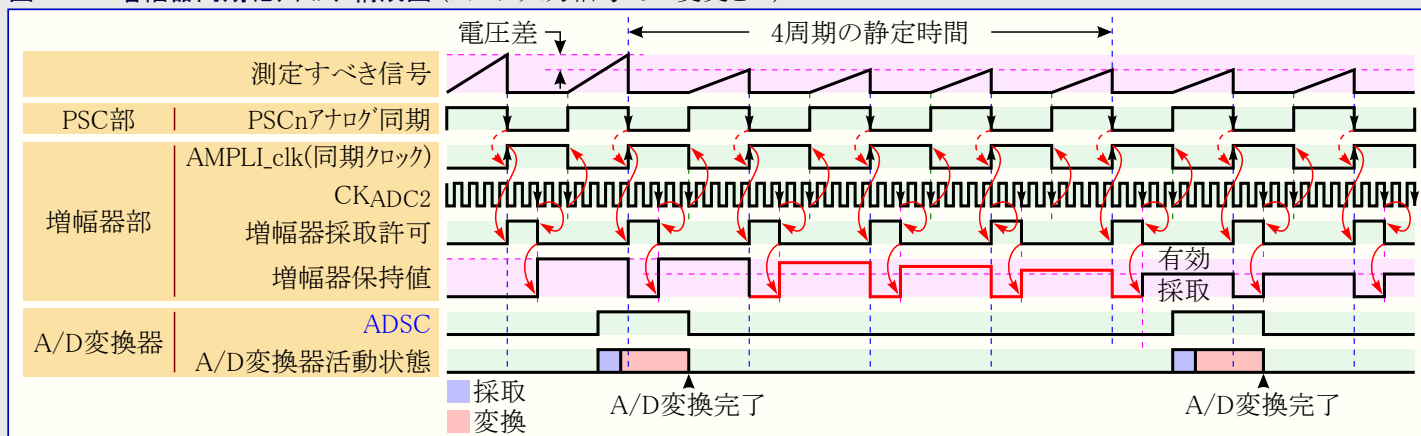
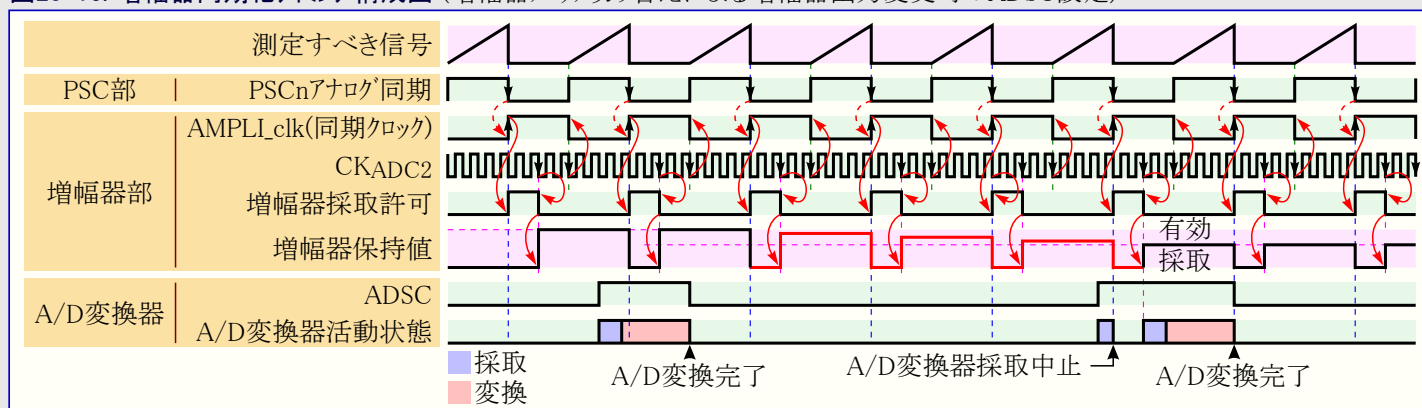
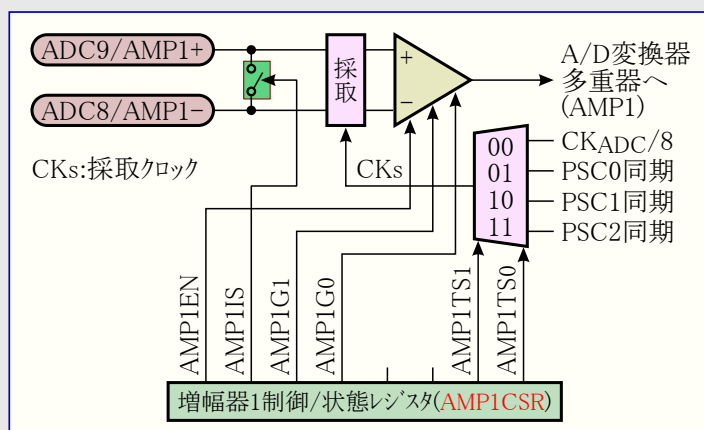
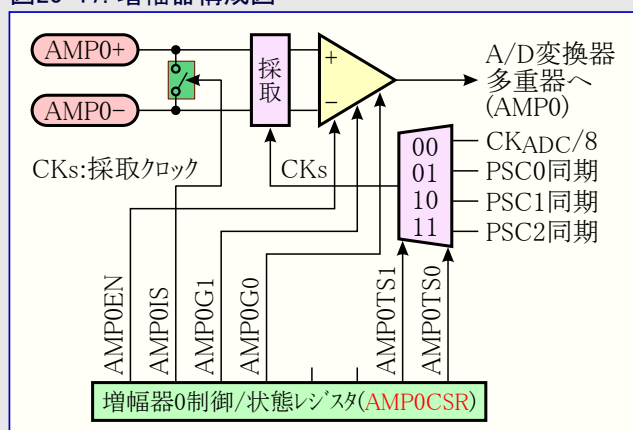


図20-16. 増幅器同期化タイミング構成図 (増幅器クロック切り替えによる増幅器出力変更時のADSC設定)



増幅器の構成図は図20-17.で示されます。

図20-17. 増幅器構成図



注: AT90PWM216には増幅器1がありません。

20.10. 増幅器制御レジスタ

増幅器の形態は2つの専用レジスタ、AMP0CSRとAMP1CSR経由で制御されます。そして変換の開始はA/D変換器制御/状態レジスタ経由で行なわれます。

変換結果は各々上位側ビットと下位側ビットを含むADCHとADCLレジスタに格納されます。

20.10.1. AMP0CSR – 増幅器0制御/状態レジスタ (Amplifier 0 Control and Status register)

ビット (\$76)	7	6	5	4	3	2	1	0	
	AMP0EN	AMP0IS	AMP0G1	AMP0G0	–	–	AMP0TS1	AMP0TS0	AMP0CSR
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

20.10.2. AMP1CSR – 増幅器1制御/状態レジスタ (Amplifier 1 Control and Status register) (注: 216デバイスでは利用不可)

ビット (\$77)	7	6	5	4	3	2	1	0	
	AMP1EN	AMP1IS	AMP1G1	AMP1G0	–	–	AMP1TS1	AMP1TS0	AMP1CSR
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – AMPnEN : 増幅器n 許可 (Amplifier n Enable)
増幅器nを許可するにはこのビットを設定(1)してください。
増幅器nを禁止するにはこのビットを解除(0)してください。
変換走行中のこのビットの解除(0)は変換の最後で実施します。
警告: AMPnEN解除(0)時、常にAMPnTS1,0を解除(=00)します。
- ビット6 – AMPnIS : 増幅器n 入力切替(短絡) (Amplifier n Input Shunt)
増幅器n入力(間)を短絡するにはこのビットを設定(1)してください。
増幅器nを通常使用するにはこのビットを解除(0)してください。
- ビット5,4 – AMPnG1,0 : 増幅器n 利得選択 (Amplifier n Gain Selection Bits)
これら2ビットは増幅器nの利得を決めます。
各種設定は表20-8.で示されます。

表20-8. 増幅器n 利得選択 (n=0または1)		
AMPnG1	AMPnG0	利得
0	0	利得5 (×5)
0	1	利得10 (×10)
1	0	利得20 (×20)
1	1	利得40 (×40)

正確な結果を保証するために利得値が変更されてしまった後、最低4増幅器同期クロック周期間、増幅器入力は静定入力値である必要があります。

- ビット1,0 – AMPnTS1,0 : 増幅器n 起動元選択 (Amplifier n Trigger Source Selection Bits)

表20-9.に従ってこれら2ビットは増幅器nに対する起動生成事象を選びます。この起動元は増幅チャネルでの変換を始めるために必要です。

表20-9. 増幅器n 自動起動元選択 (n=0または1)		
AMPnTS1	AMPnTS0	同期方法
0	0	A/D変換クロック/8で自動同期
0	1	電力制御器0(PSC0)のアナログ同期信号で同期化起動
1	0	電力制御器1(PSC1)のアナログ同期信号で同期化起動
1	1	電力制御器2(PSC2)のアナログ同期信号で同期化起動

(訳注) 原書でのAMP0CSRとAMP1CSR記述はAMPnCSRとして纏めました。

21. D/A変換器

21.1. 特徴

- 10ビット分解能
- 8ビット直線精度
- 150mV～(AVCC-150mV)間±0.5 LSB精度
- 出力電圧(VOUT)=D/A変換器値×基準電圧(Vref)/1023
- アナログ比較器反転入力と/または専用出力駆動部に接続可能
- 約100Ωの出力インピーダンス

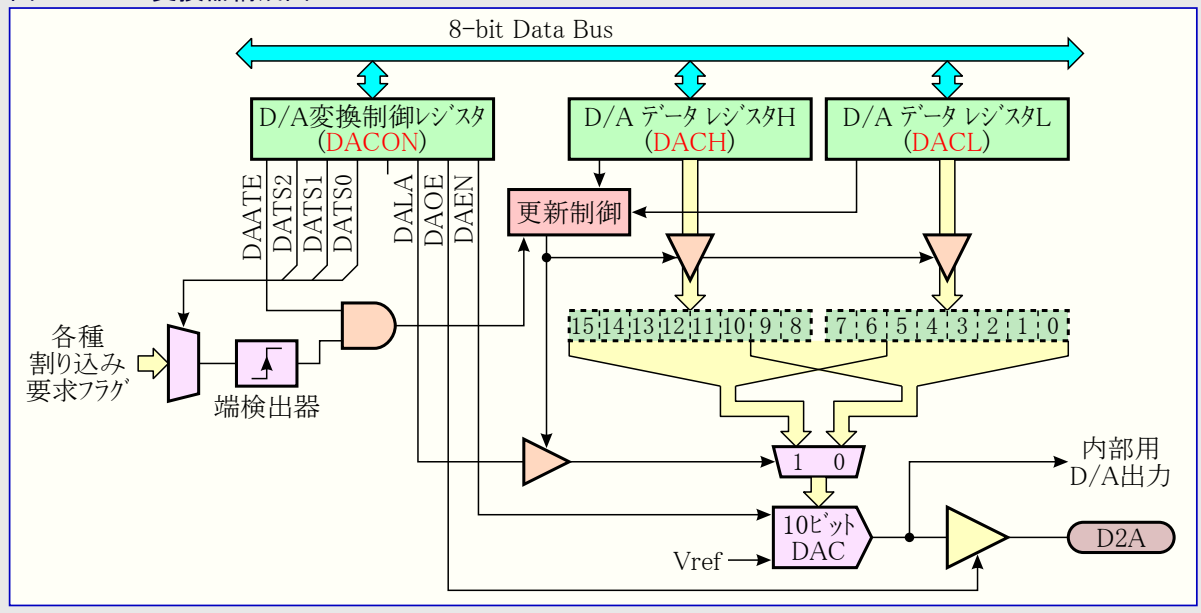
AT90PWM216/316は10ビットD/A変換器が特徴です。このD/A変換器はアナログ比較器に対して使え、且つ/または専用駆動部経由でマイクロコンピュータのD2Aピンに出力できます(訳補: AT90PWM216にD2Aピンはありません)。

これ(出力駆動部)は時定数約1μsに於いて33kΩを越える抵抗で1000pFの並列容量負荷を(最悪の場合で)駆動するのを許します。応答時間と消費電力は負荷を低減(容量の低減や負荷抵抗の増加(最良状態は高インピーダンスに))することによって改善されます。

D/A変換器には分離されたアナログ電源供給ピン(AVCC)があります。AVCCはVCCから±0.3Vよりも多く違ってはなりません。このピンの接続方法は147頁の「雑音低減技術」項をご覧ください。

基準電圧はA/D変換器で使われるのと同じです。149頁の「ADMUX - A/D多重器選択レジスタ」をご覧ください。公称2.56Vの内部基準電圧またはAVCCがチップ上で提供されます。この基準電圧は雑音特性向上のため、コンデンサによってAREFピンで外部的にデカップ(雑音分離)できます。

図21-1. D/A変換器構成図



21.2. 操作

D/A変換器はD/Aデータレジスタ値に比例したアナログ信号を生成します。

正確な採取周波数制御を持っているので、各種起動事象を通してD/A変換器入力値を更新することが可能です。

21.3. 変換の開始

D/A変換器はD/A制御(DACON)レジスタによって構成設定されます。DACONレジスタのD/A許可(DAEN)ビットが設定(1)されると直ぐにD/A変換器はDACONレジスタ設定に従ってD/Aデータ(DACH, DACL)レジスタに存在する値を変換します。

代わりに変換器は様々な供給元によって自動的に起動できます。自動起動はDACONのD/A変換自動起動許可(DAATE)ビットの設定(1)によって許可されます。起動元はDACONのD/A変換起動元選択(DATS2~0)ビット設定によって選ばれます(起動元一覧についてはDATSビット記述をご覧ください)。選んだ起動信号で上昇端が起ると、D/A変換器はDACONレジスタ設定に従い、DACHとDACLレジスタに存在する値を変換します。これは固定間隔での変換開始方法を提供します。変換完了時に未だ起動信号が設定(1)されていると、新しい変換は開始されません。変換中に別の起動信号で上昇端が起る場合、その端(エッジ)は無効です。特定の割り込みが禁止、またはステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)されていても、割り込み要求フラグが設定(1)されることに注意してください。従って変換は割り込みなしで起動できます。とは言え、割り込み要求フラグは次の割り込み事象で新しい(次の)変換を起動するために解除(0)されなければなりません。

21.3.1. D/A変換器基準電圧

A/D変換器用の基準電圧(VREF)がD/A変換器に対する変換範囲を示します。VREFはAVCC、内部2.56V基準電圧、外部AREFピンのどれかとして選べます。

AVCCは受動型スイッチを通してD/A変換部に接続されます。内部2.56V基準電圧は内蔵基準(バンドギャップ)電圧(VBG)から内部増幅器を通して生成されます。どちらの場合でも外部AREFピンは直接的にD/A変換部へ接続され、AREFピンとGND間にコンデンサを接続することにより、基準電圧は雑音耐性をより高められます。VREF(電圧)は高入力インピーダンス電圧計とAREFピンで測定することもできます。VREFは高インピーダンス出力で、容量性負荷のみがシステム内で接続されるべきであることに注意してください。

使用者がAREFピンに接続された固定電圧源にするなら、この外部電圧がその他の内部基準電圧と短絡してしまうため、使用者はこの応用内で他の基準電圧選択を使ってははいけません。外部電圧がAREFピンに印加されないなら、使用者は基準電圧選択としてAVCCと内部2.56V基準電圧間の切り替えができます。基準電圧源切り替え後の最初のD/A変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

21.4. D/A変換器用レジスタ

D/A変換器は3つの専用レジスタ経由で制御されます。

D/A変換制御(DACON)レジスタがD/A変換器構成設定に使われます。

D/Aデータ(DACHとDACL)レジスタが変換すべき値の設定に使われます。

21.4.1. DACON – D/A変換制御レジスタ (Digital to Analog Conversion Control Register)

ビット (\$AA)	7	6	5	4	3	2	1	0	
	DAATE	DATS2	DATS1	DATS0	–	DALA	DAOE	DAEN	DACON
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – DAATE : D/A変換自動起動許可 (DAC Auto Trigger Enable)

DACONレジスタのDATS2~0ビットで選択した起動信号の上昇端でD/A変換器入力値を更新するにはこのビットを設定(1)してください。値がDACHレジスタへ書かれる時にD/A変換器入力を自動的に更新するにはこれを解除(0)してください。

- ビット6~4 – DATS2~0 : D/A変換自動起動要因選択 (DAC Trigger Selection Bits)

これらのビットはD/A変換器が自動起動動作で作動する場合だけ必要です。これはDAATEビットが設定(1)される場合の意味です。

表21-1.に従ってこれら3ビットはD/A変換器入力値の更新を生成する割り込み事象を選びます。更新は割り込みが許可であろうとなかろうと、選んだ割り込み要求フラグの上昇端によって生成されます。

表21-1. D/A変換自動起動元選択

DATS2	DATS1	DATS0	起動元
0	0	0	アナログ比較器0
0	0	1	アナログ比較器1
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ0比較A一致
1	0	0	タイマ/カウンタ0溢れ
1	0	1	タイマ/カウンタ1比較B一致
1	1	0	タイマ/カウンタ1溢れ
1	1	1	タイマ/カウンタ1捕獲要求

- ビット2 – DALA : D/A変換 左揃え選択 (Digital to Analog Left Adjust)

D/A変換器入力データを左揃えにするにはこのビットを設定(1)してください。

D/A変換器入力データを右揃えにするにはこのビットを解除(0)してください。

DALAビットはD/A変換データレジスタの形態に影響を及ぼします。このビットの変更は次(から)のDACH書き込みでのD/A変換器出力に影響を及ぼします。

- ビット1 – DAOE : D/A変換 出力許可 (Digital to Analog Output Enable)

D2Aピンに変換結果を出力するにはこのビットを設定(1)してください。(訳補: AT90PWM216にはD2Aピンがありません。)

D/A変換器を内部的に使うにはこれを解除(0)してください。

- ビット0 – DAEN : D/A変換 許可 (Digital to Analog Enable)

D/A変換器を許可するにはこのビットを設定(1)してください。

D/A変換器を禁止するにはこれを解除(0)してください。

21.4.2. DACH,DACL – D/Aデータレジスタ (Digital to Analog Converter Input Register)

DACHとDACLレジスタはアナログ電圧に変換されるべき値を含みます。
DACLレジスタ書き込みはDACHも書かれてしまうまで入力値の更新を禁止します。従ってD/A変換レジスタに10ビット値を書く一般的な方法はまず第1にDACL、次にDACHを書くことです。
8ビット精度だけで容易に作業するために入力値を左揃えにすることが可能です。このようにしてD/A変換値を更新するにはDACHを書くことで充分です。

DALA=0時								
ビット (\$AC)	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	DAC9	DAC8
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
ビット (\$AB)	7	6	5	4	3	2	1	0
	DAC7	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1	DAC0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
DALA=1時								
	15	14	13	12	11	10	9	8
	DAC9	DAC8	DAC7	DAC6	DAC5	DAC4	DAC3	DAC2
	7	6	5	4	3	2	1	0
	DAC1	DAC0	—	—	—	—	—	—

10ビットD/A変換器で動作するには2つのレジスタが更新されなければなりません。途中の値を避けるため、アナログ信号に変換される実際のD/A変換入力値は届くことができないレジスタ内に緩衝します。標準動作でのこの隠れたレジスタの更新はDACHレジスタが書かれる時に行なわれます。
D/A変換自動起動許可(DAATE)ビットが設定(1)される場合、D/A変換入力値は起動元選択(DATS2~0)ビットを通して選んだ起動事象で更新されます。
不正なD/A変換入力値を避けるため、更新はDACLとDACHレジスタの各々を書いてしまった後でだけ行なえます。DACH値書き込みだけによる8ビット形態で動作することが可能です。この場合(訳補:結果的に)、更新は各起動事象で行なわれます。
DAATEビットが解除(0)される場合、このD/A変換器は自動更新動作です。DACHレジスタ書き込みがDACHとDACLレジスタ値でD/A変換入力値を自動的に更新します。
これはDAATEビット設定がどうであれ、DACHレジスタも更新されてしまうまで、DACLレジスタの変更がD/A変換器出力に対して無効であることを意味します。従って10ビットで動作するにはDACHに先立ってDACLが最初に書かれなければなりません。8ビット形態での動作ではDACH書き込みがD/A変換器の更新を許します。

22. デバッグWIRE 内蔵デバッグ システム

22.1. 特徴

- 完全なプログラムの流れ制御
- RESETピンを除くデジタルとアナログ両方でのチップ全機能のエミュレート
- 実時間(リアルタイム)動作
- シンボリック デバッグ支援 (アセンブリ及びC言語または他の高位言語)
- 無制限数のプログラム中断点(ブレークポイント：ソフトウェア中断点使用)
- 邪魔しない動作
- 実デバイスと同じ電気的特性
- 自動設定システム
- 高速動作
- 不揮発性メモリのプログラミング

22.2. 概要

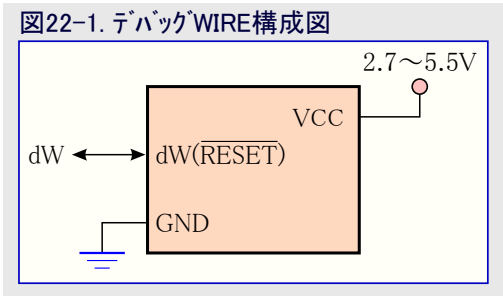
デバッグWIRE内蔵デバッグ システムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための1本線の双方向インターフェースを使います。

22.3. 物理インターフェース

デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、施錠ビットが非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープントレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

図22-1.はエミュレータと許可したデバッグWIREでの対象MCUとの接続の図を示します。システムクロックはデバッグWIREによって影響を及ぼされず、常にCKSELヒューズで選んだクロック元です。

デバッグWIREが使われるシステムの設計時、正しい動作のために次の注意点が厳守されなければなりません。



- dW/(RESET)線のプルアップ抵抗は10kΩよりも小さくしてはなりません。プルアップ抵抗はデバッグWIRE機能に必要ありません。
- RESETピンのVCCへの直接的な接続では動作しません。
- RESETピンに挿入したコンデンサはデバッグWIRE使用時、切断されなければなりません。
- 全ての外部リセット元は切断されなければなりません。

22.4. ソフトウェア中断点(ブレークポイント)

デバッグWIREはAVRのBREAK命令によってプログラムメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムメモリにBREAK命令を挿入します。BREAK命令で置換した(元の)命令は保存されます。プログラム実行が継続されるとき、プログラムメモリから継続される前に保存した命令が実行されます。一時停止(ブレーク)はプログラムにBREAK命令を置くことによって手動で挿入できます。

フラッシュメモリは中断点の変更される度毎に再書き換えされなければなりません。これはデバッグWIREインターフェースを通してAVR Studioによって自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバッグ目的に使ったデバイスは最終顧客へ出荷すべきではありません。

22.5. デバッグWIREの制限

デバッグWIRE通信(dW)ピンは物理的に外部リセット(RESET)と同じピンに配置されます。従ってデバッグWIREが許可されると、外部リセット元が支援されません。

デバッグWIREシステムは全速度、換言するとCPUのプログラムが走行する時に全I/O機能を正確エミュレートします。CPUが停止される時にデバッグ(AVR Studio)経由でいくつかのI/Oレジスタをアクセスする間、注意が妨げられなければなりません。この制限の詳細説明についてはデバッグWIRE資料をご覧ください。

プログラム(0)にしたDWENヒューズは全休止形態でクロック系のいくつかの部分の走行を許可します。これは休止間中の消費電力を増加します。従ってDWENヒューズはデバッグWIREが使われない場合、禁止されるべきです。

22.6. デバッグWIREに関連するI/Oメモリ内のレジスタ

次項はデバッグWIREで使うレジスタを記述します。

22.6.1. DWDR – デバッグWIRE データレジスタ (debugWIRE Data Register)

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	(MSB)							(LSB)	DWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバッグへの通信チャネルを提供します。このレジスタはデバッグWIREでだけアクセス可能で、従って通常動作で一般目的レジスタとして使えません。

23. ブートローダ支援 – 書き込み中読み出し可能な自己プログラミング

本デバイスでのブートローダ支援はMCU自身によるプログラムコードのダウンロードとアップロード用の真の書き込み中の読み出しが可能な自己プログラミング機構を提供します。この特徴はフラッシュメモリに常駐するブートローダプログラムを使うMCUによって制御される柔軟な応用ソフトウェア更新を可能にします。ブートローダプログラムはフラッシュメモリ内にコードを書き(プログラム)、コードを読み、またはプログラムメモリからコードを読むのに、利用可能なデータインターフェースと関連する規約のどれもが使えます。ブートローダ領域内のプログラムコードはブートローダメモリを含むフラッシュメモリ全体を書く能力を持ちます。従ってブートローダは自身をも変更でき、この機能がそれ以上必要とされないなら、そのコードから自身を消去することもできます。ブートローダメモリの容量はヒューズで設定可能で、ブートローダは個別に設定可能な2組の独立したブート施錠ビットを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。

23.1. 特徴

- 書き込み中読める(Read-While-Write)自己プログラミング
- 柔軟性のあるブートローダメモリ容量
- 高い安全性(柔軟な保護用の独立したブート施錠ビット)
- リセットベクタ選択用の独立したヒューズ
- 最適化されたページ容量 (注1)
- 効率的なコード手法
- 効率的な読み-変更-書き(リード-モデファイライト)支援

注1: ページはプログラミング中に使われる多数のバイトから成るフラッシュメモリの区画です(171頁の表24-11.参照)。このページ構成は通常動作に影響を及ぼしません。

23.2. フラッシュメモリの応用領域とブートローダ領域

フラッシュメモリは応用領域とブートローダ領域の2つの主な領域で構成されます(図23-2.参照)。各領域の容量は167頁の表23-6.と図23-2.で示されるようにBOOTSZヒューズによって設定されます。これら2つの領域は個別の施錠ビットの組を持つため、異なる保護基準を持てます。

23.2.1. 応用領域

応用領域は応用コードを格納するのに使われるフラッシュメモリの領域です。応用領域用保護基準は応用ブート施錠ビット(ブート施錠ビット0)によって選べます(161頁の表23-2.参照)。応用領域から実行される時にSPM命令が禁止されるので、応用領域はどんなブートローダコードも決して格納し得ません。

23.2.2. ブートローダ領域 (BLS)

応用領域が応用コード格納用に使われるのに対して、SPM命令はBLSから実行する時にだけプログラミングを始められるので、ブートローダソフトウェアはBLSに格納されなければなりません。SPM命令はBLS自身を含む全てのフラッシュメモリをアクセスできます。ブートローダ領域用保護基準はブートローダ施錠ビット(ブート施錠ビット1)によって選べます(161頁の表23-3.参照)。

23.3. フラッシュメモリの書き込み中に読み出し可能な領域と不能な領域

どちらのアドレスがプログラミングされるかによって、CPUが書き込み中の読み出しを支援するか、ブートローダソフトウェアが更新中にCPUが停止されるかのどちらです。上で記述されるようなBOOTSZヒューズによって設定可能な2つの領域に加え、フラッシュメモリは書き込み中読み出し可能な(RWW)領域と書き込み中読み出し不能な(NRWW)領域の2つの固定領域にも分けられます。RWWとNRWW領域間の境界は160頁の図23-2.と167頁の表23-7.で与えられます。この2つの領域間の主な違いを次に示します。

- RWW領域側に配置されたページを消去または書くとき、NRWW領域はその動作中に読むことができます。
- NRWW領域側に配置されたページを消去または書くとき、その全ての動作中にCPUは停止されます。

ブートローダソフトウェア動作中、使用者ソフトウェアがRWW領域側に配置されるどのコードも決して読めないことに注意してください。「書き込み中読み出し可能領域」という記述はプログラミング(消去または書き込み)される領域としての引用で、ブートローダソフトウェアが更新中に実際に読まれる領域ではありません。

訳補: 上の記述はNRWW領域からRWW領域をプログラミングするという前提で、消去または書き込みを行う側ではなく、行われる側でこの名称が定義されていることを意味します。即ち、NRWW領域からRWW領域をプログラミングすると、NRWW領域のプログラムは通常通り動作する(即ち読める)ので、プログラミングされる側はRWW領域と名付けられ、この逆ではCPUが停止する(即ち読めない)ので、NRWW領域と名付けられているという意味です。

23.3.1. RWW – 書き込み中読み出し可能領域

ブートローダソフトウェア更新がRWW領域側のページをプログラミングする場合、フラッシュメモリからコードを読むことが可能ですが、NRWW領域に配置されるコードだけです。プログラミング実行中、そのソフトウェアはRWW領域が決して読まれないことを保証しなければなりません。使用者ソフトウェアがプログラミング中に(例えば、CALL, JMP, LPM系命令または割り込みによって)RWW領域側に配置されるコードを読むと、そのソフトウェアは未知の状態へ行き着くかもしれません。これを避けるために割り込みは禁止またはブートローダ領域へ移動のどちらかにされるべきです。ブートローダ領域は常にNRWW領域に配置されます。RWW領域が読み出しに対して妨げられている限り、SPM命令制御/状態レジスタ(SPMCSR)のRWW領域多忙(RWWSB)ビットは論理1として読みます。プログラミングが完了した後、RWW領域に配置したコードを読む前にRWWSBはソフトウェアによって解除(0)されなければなりません。RWWSBを解除(0)する方法の詳細については162頁の「SPMCSR – SPM命令制御/状態レジスタ」をご覧ください。

23.3.2. NRWW – 書き込み中読み出し不能領域

NRWW領域に配置したコードはブートローダソフトウェアがRWW領域内のページを更新する時に読めます。ブートローダコードがNRWW領域を更新するとき、全てのページ消去またはページ書き込み動作中にCPUが停止されます。

表23-1. 書き込み中読み出し可能機能

プログラミング中にZポイントで指定される領域	プログラミング中に読める領域	CPU動作	RWW機能支援
RWW領域	NRWW領域	通常動作	あり
NRWW領域	なし	停止	なし

図23-1. RWW領域とNRWW領域の関係

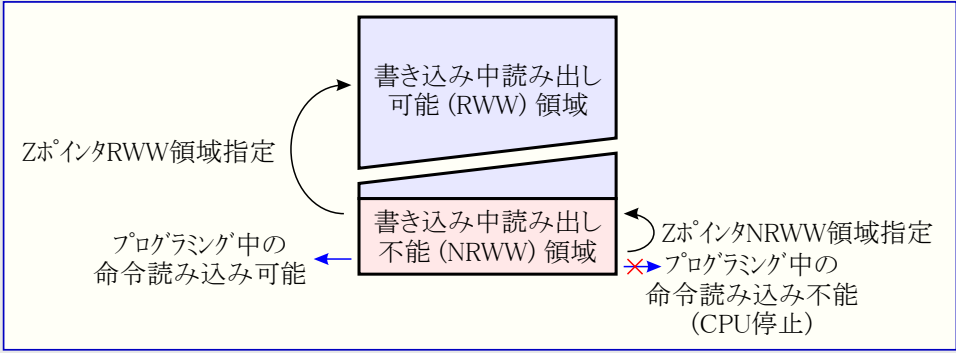
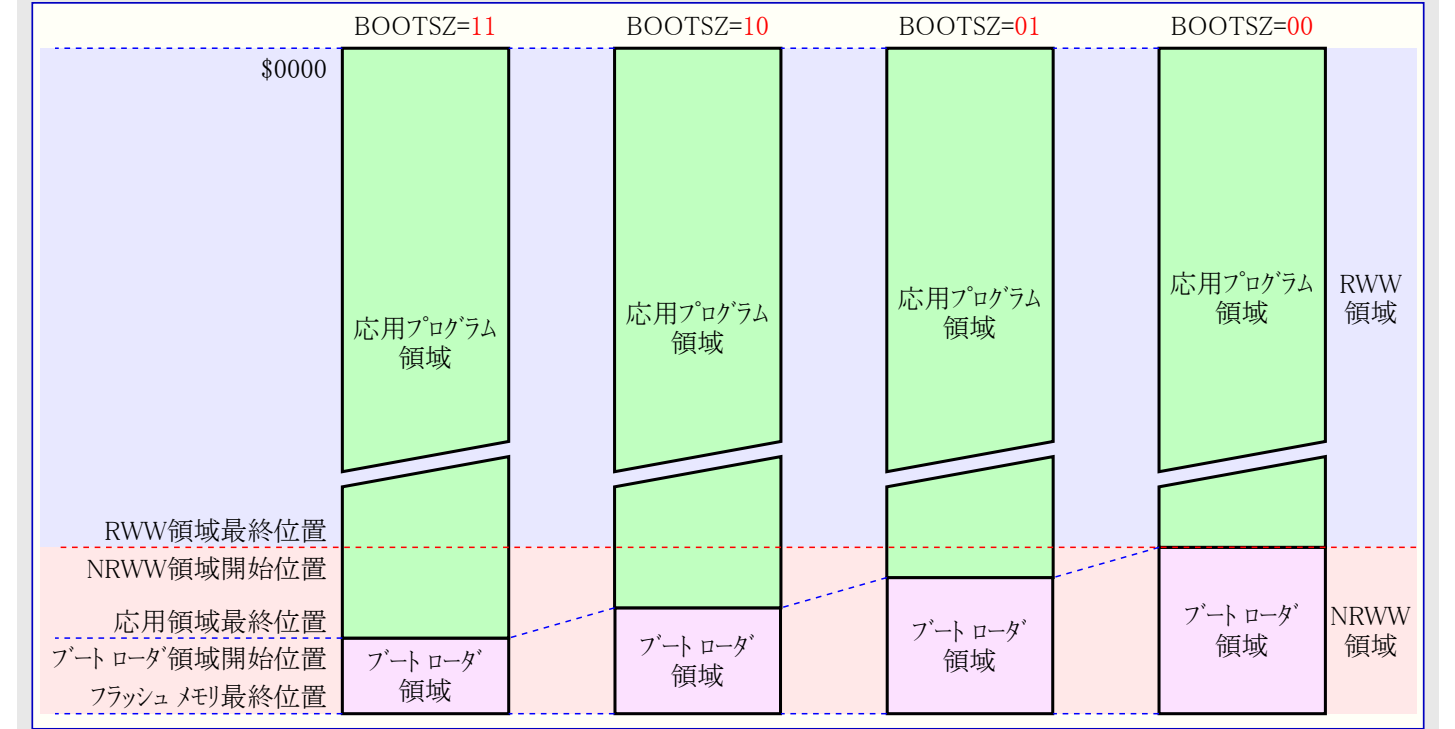


図23-2. 選択によるプログラム用フラッシュメモリの領域分割



注: 図内の各パラメータについては167頁の表23-6.で与えられます。

23.4. ブートローダ施錠ビット

ブートローダ能力が必要とされないなら、フラッシュメモリ全体が応用コード用に利用可能です。ブートローダは個別に設定可能な独立した2組のブート施錠ビットを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。

使用者は以下を選べます。

- MCUによって更新するソフトウェアからフラッシュメモリ全体を保護
- MCUによって更新するソフトウェアからフラッシュメモリのブートローダ領域だけを保護
- MCUによって更新するソフトウェアからフラッシュメモリの応用領域だけを保護
- フラッシュメモリ全体で更新するソフトウェアを許可

より多くの詳細については表23-2と表23-3をご覧ください。ブート施錠ビットはソフトウェアと直列または並列のプログラミング動作で設定(0)できますが、これらのビットはチップ消去指令によってのみ解除(1)できます。一般書き込み禁止(LB動作種別2)はSPM命令によるフラッシュメモリのプログラミングを制御しません。同様に、試みられたなら、一般読み書き禁止(LB動作種別3)はLPM命令とSPM命令による読み込みも書き込みも制御しません。(訳補: 一般LBはLPM/SPM命令に関して無関係の意)

表23-2. 応用領域に対する保護種別 (0=プログラム、1=非プログラム)

BLB0 動作種別	BLB02	BLB01	保護種別
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブートローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注)
4	0	1	ブートローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注)

注: BLB02=0で、割り込みベクタがブートローダ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

表23-3. ブートローダ領域に対する保護種別 (0=プログラム、1=非プログラム)

BLB1 動作種別	BLB12	BLB11	保護種別
1	1	1	LPM, SPM命令がブートローダ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブートローダ領域に書くことを許されません。
3	0	0	SPM命令によるブートローダ領域への書き込みと、応用領域でのLPM命令によるブートローダ領域からの読み込みが許されません。(注)
4	0	1	応用領域でのLPM命令によるブートローダ領域からの読み込みが許されません。(注)

注: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブートローダ領域での実行時に割り込みが禁止されます。

23.5. ブートローダプログラムへの移行

ブートローダへの移行は応用プログラムから分岐(Jump)または呼び出し(Call)によって行います。これはUSARTやSPIインターフェース経由で受信した指令のような起点によって始められるかもしれません。代わりに、リセット後にリセットベクタがブートローダ領域開始アドレスを指示するようにブートリセット(BOOTRST)ヒューズをプログラム(0)できます。この場合、ブートローダはリセット後に開始されます。応用コードが設定された(書かれた)後、そのプログラム(ブートローダ)は応用コードの実行を始めることができます。このヒューズがMCU自身によって変更できないことに注意してください。これは一旦ブートリセットヒューズがプログラム(0)されると、リセットベクタは常にブートローダリセットを指示し、このヒューズが直列プログラミングまたは並列プログラミングインターフェースを通してのみ変更できることを意味します。

表23-4. ブートリセットヒューズ (0=プログラム、1=非プログラム)

BOOTRST	リセット後実行開始アドレス (リセットベクタ)	
0	ブートローダリセット	ブートローダ開始アドレス(167頁の表23-6.参照)
1	応用リセット	\$0000

23.5.1. SPMCSR – SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register)

このレジスタはブートローダー動作を制御するために必要とされる制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	SPMIE	RWWSB	–	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	SPMCSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPMIE : SPM操作可割り込み許可 (SPM Interrupt Enable)

SPMIEビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(1)ビットが設定(1)されているなら、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRのSPM操作許可(SPMEN)ビットが解除(0)されている限り実行されます。

• ビット6 – RWWSB : RWW領域多忙 (Read-While-Write Section Busy)

RWW領域に自己プログラミング(ページ消去またはページ書き込み)操作が開始されると、RWWSBがハードウェアによって設定(1)されます。RWWSBビットが設定(1)されると、RWW領域はアクセスできません。自己プログラミングが完了された後にRWWSREビットが1を書かれると、このRWWSBビットは解除(0)されます。同様に、ページ設定操作が開始されると、RWWSBビットは自動的に解除(0)されます。

• ビット5 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット4 – RWWSRE : RWW領域読み出し許可 (Read-While-Write Section Read Enable)

RWW領域にプログラミング(ページ消去またはページ書き込み)すると、RWW領域は(RWWSBがハードウェアによって設定(1)され)読み出しに対して防がれます。RWW領域を再許可するために使用者ソフトウェアはプログラミングが完了(SPMENが解除(0))されるまで待たねばなりません。その後、RWWSREビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令がRWW領域を再許可します。ページ消去またはページ書き込みでフラッシュメモリが多忙(SPMEN=1)の間、RWW領域は再許可できません。フラッシュメモリが設定されている間にRWWSREビットが書かれると、フラッシュメモリ設定操作は失敗し、設定したデータが失われます。

• ビット3 – BLBSET : ブート施錠ビット設定 (Boot Lock Bits Set)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令はR0のデータに従ったブート施錠ビットを設定します。R1のデータとZポインタのアドレスは無視されます。BLBSETビットは施錠ビットの設定完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。

SPMCSRでBLBSETとSPMENが設定(1)された後の3クロック周期内のLPM命令は(ZポインタのZ0によって)ヒューズビットまたは施錠ビットのどちらかを転送先レジスタに読みます。詳細については165頁の「ソフトウェアからのヒューズビットと施錠ビットの読み出し」をご覧ください。

• ビット2 – PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令は一時緩衝部に格納したデータでページ書き込みを実行します。ページアドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がアドレス指定されると、ページ全体の書き込み動作中にCPUは停止されます。

• ビット1 – PGERS : ページ消去 (Page Erase)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令はページ消去を実行します。ページアドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がアドレス指定されると、ページ全体の消去中にCPUは停止されます。

• ビット0 – SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロック周期間のSPM命令を許可します。このビットがRWWSRE、BLBSET、PGWRT、PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます(上の記述をご覧ください)。SPMENだけが書かれると、続くSPM命令はZポインタによってアドレス指定したページ一時緩衝部へR1:R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで1に留まります。

下位5ビットに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。

23.6. 自己プログラミング中のフラッシュメモリのアドレス指定

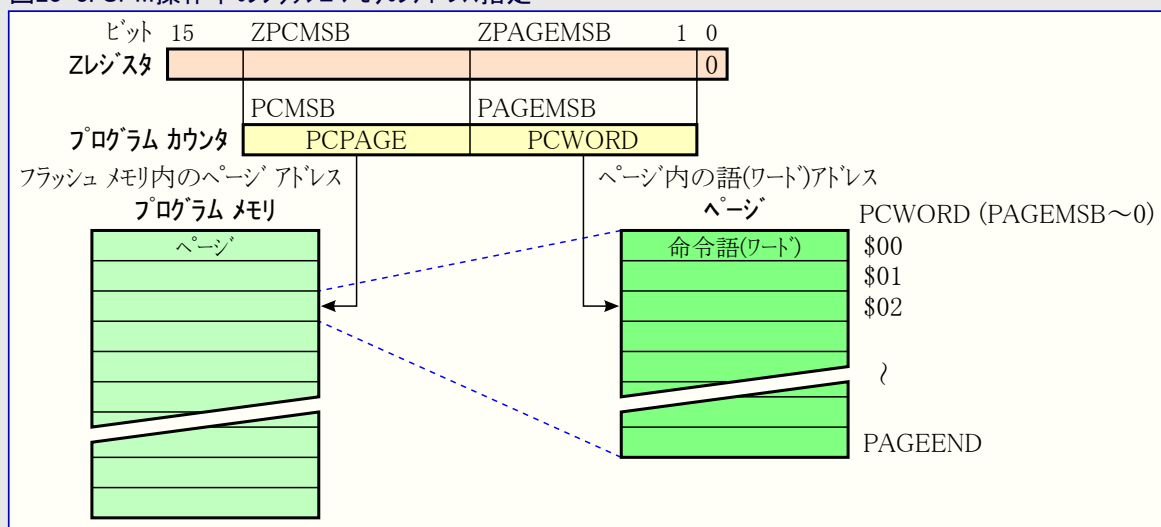
Zポインタ(レジスタ)はSPM命令でのアドレス指定に使われます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(171頁の表24-11参照)、プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように扱われます。1つの領域は下位側ビットから成り、ページ内の語(ワード)をアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは図23-3.で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってブートローダソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。一旦プログラミング操作が開始されると、このアドレスはラッチされ、Zポインタは他の操作に使えます。

Zポインタを使わないSPM操作はブートローダ施錠ビット設定だけです。この操作でZレジスタの内容は無視され、無効です。LPM命令もアドレスを格納するのにZポインタを使います。この命令はフラッシュメモリのバイト単位をアドレス指定するので、Zポインタの最下位ビット(Z0)も使われます。

図23-3. SPM操作中のフラッシュメモリのアドレス指定



注: 図内で使った各変数は167頁の表23-8.で一覧されます。
PCPAGEとPCWORDは171頁の表24-11.で一覧されます。(訳注: 共通性から追加)

23.7. フラッシュメモリの自己プログラミング

プログラムメモリはページ単位形式で更新されます。ページ一時緩衝部へ格納したデータでページを書く前にそのページが消去されなければなりません。ページ一時緩衝部はSPM命令使用時毎の1語(ワード)で満たされ、この緩衝部はページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (ページ消去前の一時緩衝部格納)

- ページ一時緩衝部を満たしてください。
- ページ消去を実行してください。
- ページ書き込みを実行してください。

手段2 (ページ消去後の一時緩衝部格納)

- ページ消去を実行してください。
- ページ一時緩衝部を満たしてください。
- ページ書き込みを実行してください。

ページの一部の変更だけが必要な場合、消去前にページの残す部分は(例えばページ一時緩衝部に)保存されなければならない、その後に変更されたデータを書き戻すことをユーザーソフトウェアに許す効率的な読み-修正-書き(リッド モデファイ ライト)機能をブートローダが提供します。手段2.が使われる場合、ページが既に消去されているため、格納中の旧データを読むことができません。ページ一時緩衝部は乱順でアクセスできます。ページ消去とページ書き込み操作の両方で使われるページアドレスは同じページをアドレス指定することが非常に重要です。アセンブリ言語でのコード例については166頁の「アセンブリ言語による簡単なブートローダ例」をご覧ください。

23.7.1. SPM命令によるページ消去の実行

ページ消去を実行するにはZポインタにアドレスを設定してSPM命令制御/状態レジスタ(SPMCSR)に'X0000011'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスはZポインタのPCPAGEに書かれなければならない。この操作中、Zポインタの他のビットは無視されます。

- RWW領域のページ消去 : ページ消去中、NRWW領域は読めます。
- NRWW領域のページ消去 : ページ消去中、CPUは停止されます。

23.7.2. ページ一時緩衝部の設定 (ページ設定)

命令語(ワード)を(ページ一時緩衝部に)書くにはZポインタにアドレス、R1:R0にデータを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。ZポインタのPCWORDの内容は一時緩衝部のデータのアドレスに使われます。一時緩衝部はページ書き込み操作後、またはSPMCSRのRWWSREビット書き込みによって自動的に消去されます。システムリセット後も消去されています。一時緩衝部を消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

23.7.3. ページ書き込みの実行

ページ書き込みを行うにはZポインタにアドレスを設定してSPMCSRに'X0000101'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスは(Zポインタの)PCPAGEに書かれなければならない。Zポインタの他のビットは0を書かれなければならない。

- RWW領域のページ書き込み : ページ書き込み中、NRWW領域は読めます。
- NRWW領域のページ書き込み : ページ書き込み中、CPUは停止されます。

23.7.4. SPM操作可割り込みの使用法

SPM操作可割り込みが許可されると、SPMCSRのSPMENビットが解除(0)されている時にSPM操作可割り込みが継続的に発生します。これはソフトウェアでSPMCSRをポーリングする代わりにこの割り込みが使えることを意味します。SPM操作可割り込みを使う時は割り込みが読み出しに対して防がれる時にRWW領域をアクセスするのを避けるために、割り込みベクタがブートローダ領域(BLS)へ移動されるべきです。割り込み(ベクタ)の移動法は32ページの「割り込み」で記述されます。

23.7.5. ブートローダ領域更新中の考慮

ブート施錠ビット11(BLB11)が非プログラム(1)にされたままとすることによって使用者がブートローダ領域に更新を許す場合、特別な注意が祓われなければならない。ブートローダ自身への予期せぬ書き込みはブートローダ全体を不正にし得て、更にソフトウェアの更新が不可能になるかもしれません。ブートローダ自体の変更が必要ないなら、内部ソフトウェアのどんな変更からもブートローダを保護するためにブート施錠ビット11(BLB11)をプログラム(0)することが推奨されます。

23.7.6. 自己プログラミング中のRWW領域読み込みの防止

自己プログラミング中(ページ消去もページ書き込みも)、RWW領域は読み出しに対して常に防がれます。使用者ソフトウェアそれ自身が自己プログラミング操作中にこの領域がアドレス指定されるのを防止しなければならない。SPMCSRのRWWSBはRWW領域が多忙である限り設定(1)されます。自己プログラミング中の割り込みベクタ表は32ページの「割り込み」で記述されるようにブートローダ領域(BLS)へ移動されるべきか、または割り込みが禁止されなければならない。プログラミングが完了した後にRWW領域をアドレス指定する前に、使用者ソフトウェアはRWWSREの書き込みによってRWWSBを解除(0)しなければならない。例については166ページの「アセンブリ言語による簡単なブートローダ例」をご覧ください。

23.7.7. SPM命令によるブートローダ施錠ビットの設定

ブートローダ施錠ビットを解除(0)するには希望したデータをR0に設定してSPMCSRに'X0001001'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。アクセス可能な施錠ビットはMCUによるどのソフトウェア更新からも応用とブートローダ領域を保護できるブート施錠ビットだけです。

ビット	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	1	1

フラッシュメモリのアクセスに影響を及ぼすブートローダ施錠ビットの各種設定法については表23-2と表23-3をご覧ください。

R0のビット5～2が解除(0)される場合、SPMCSRでSPMENとブート施錠ビット設定(BLBSET)ビットが設定(1)された後4クロック周期内にSPM命令が実行されると、対応するブート施錠ビットがプログラム(0)されます。この操作中、Zポインタは関係ありませんが、将来との共通性のために、(施錠ビット読み出しに使われるのと同じ)\$0001でZポインタを設定することが推奨されます。将来との共通性のため、施錠ビット書き込み時、R0のビット7,6,1,0は1に設定することも推奨されます。施錠ビットをプログラミングするとき、この操作中に全てのフラッシュメモリは読むことができます。

23.7.8. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリへの全ソフトウェアプログラミングを妨げることにご注意してください。ソフトウェアからのヒューズと施錠ビット読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御レジスタ(EECR)のEEPROMプログラム許可(EEPE)ビットを検査し、SPM命令制御/状態レジスタ(SPMCSR)へ書く前にこのビットが解除(0)されているのを確認することが推奨されます。

23.7.9. ソフトウェアからのヒューズビットと施錠ビットの読み出し

ソフトウェアからヒューズと施錠ビットの両方を読むことが可能です。施錠ビットを読むにはZポインタに\$0001を設定してSPMCSRのSPMENとブート施錠ビット設定(BLBSET)ビットを設定(1)してください。SPMENとBLBSETビットがSPMCSRに設定された後、3 CPU周期内にLPM命令が実行されると、施錠ビットの値が転送先レジスタに格納されます。SPMENとBLBSETビットは施錠ビット読み出しの完了で、または3 CPU周期内にLPM命令が実行されないか、または4 CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。SPMENとBLBSETビットが解除(0)されると、LPMは命令一式手引書で記述されるように動作します。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ヒューズ下位ビットを読む手順は上記の施錠ビット読み出しと同様です。ヒューズ下位ビットを読み出すにはZポインタに\$0000を設定してSPMCSRのSPMENとBLBSETビットを設定(1)してください。SPMENとBLBSETビットがSPMCSRに設定された後、3 CPU周期内にLPM命令が実行されると、以下で示されるようにヒューズ下位ビット(FLB)の値が転送先レジスタに格納されます。ヒューズ下位ビットの配置と詳細な記述については170頁の表24-6を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ヒューズ上位ビットを読むにはZポインタに\$0003を設定してください。SPMENとBLBSETビットがSPMCSRで設定(1)された後、3周期内にLPM命令が実行されると、以下で示されるようにヒューズ上位ビット(FHB)の値が転送先レジスタに格納されます。ヒューズ上位ビットの配置と詳細な記述については169頁の表24-5を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

拡張ヒューズビットを読む時はZポインタに\$0002を設定してください。SPMENとBLBSETビットがSPMCSRで設定(1)された後、3周期内にLPM命令が実行されると、以下で示されるように拡張ヒューズビット(EFB)の値が転送先レジスタに格納されます。拡張ヒューズビットの配置と詳細な記述については169頁の表24-4を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	EFB7	EFB6	EFB5	EFB4	-	EFB2	EFB1	EFB0

プログラム(0)されたヒューズと施錠ビットは0として読みます。非プログラム(1)にされたヒューズと施錠ビットは1として読みます。

23.7.10. フラッシュメモリデータ化けの防止

低VCCの期間中、CPUとフラッシュメモリの正しい動作に対して供給電圧が低すぎるためにフラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてフラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

フラッシュメモリ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- そのシステムでブートローダ更新が必要ない場合、どんなブートローダソフトウェア更新をも防ぐためにブートローダ施錠ビットをプログラム(0)してください。
- 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCリセット保護回路が使えます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- 低VCCの期間中、AVRコアをパワーダウン休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSR従ってフラッシュメモリを予期せぬ書き込みから効果的に保護します。

23.7.11. SPM命令使用時のフラッシュメモリ用プログラミング(書き込み)時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使われます。表23-5はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表23-5. SPM命令によるフラッシュメモリのプログラミング時間		
項目	最小	最大
SPM命令によるフラッシュ書き込み (ページ消去、ページ書き込み、施錠ビット書き込み)	3.7ms	4.5ms

23.7.12. アセンブリ言語による簡単なブートローダ例

このルーチンはRAMからフラッシュメモリへ1ページのデータを書きます。RAM内の最初のデータ位置はYレジスタによって指示され、フラッシュメモリ内の最初のデータ位置はZレジスタによって指示されます。異常処理は含まれません。このルーチン(少なくともSPMJサブルーチン)はブートローダ領域側に配置されなければなりません。NRWW領域側のコードだけが自己プログラミング(ページ消去とページ書き込み)中に読めます。使用レジスタはR0,R1,TMP,CNTL,CNTH,SPMCで、レジスタの保存と復帰はこのルーチン内に含まれず、使用レジスタはコード量を犠牲にすれば最適化できます。割り込み表がブートローダ領域に移動されるか、割り込みが禁止されるかのどちらかが前提です。

ページ内データが256バイト以下の場合には計数器上位が不要になります。また関連する命令も変更になります。これらの部分を赤字で示します(訳注:本行は以下のプログラム補正に対応して追加しました)。

ラベル	命令	注釈
	. EQU PGSZB = PAGESIZE*2 . ORG SMALLBOOTSTART	; PGSZBはページ内のバイト数です。(PAGESIZEは語(ワード)数) ;
WRPG:	LDI SPMC, (1<<PGERS) + (1<<SPMEN) RCALL SPMJ	; [ページ消去] ; ページ消去SPMCSR値を取得 ; ページ消去 ; [RWW領域読み出し再許可]
	LDI SPMC, (1<<RWWSRE) + (1<<SPMEN) RCALL SPMJ	; RWW領域読み出し許可SPMCSR値を取得 ; RWW領域読み出し許可 ; [RAMからフラッシュ ページ一時緩衝部へ転送]
WLP:	LDI CNTL, LOW (PGSZB) LDI CNTH, HIGH (PGSZB) LD R0, Y+ LD R1, Y+ LDI SPMC, (1<<SPMEN) RCALL SPMJ ADIW ZH: ZL, 2 SBIW CNTH: CNTL, 2 BRNE WLP	; バイト計数器を初期化 ; (削除) ; RAM上の下位データを取得(ポインタ進行) ; RAM上の上位データを取得(ポインタ進行) ; ページ一時緩衝部書き込みSPMCSR値を取得 ; 対応語(ワード)データをページ一時緩衝部に設定 ; ページ一時緩衝部ポインタ進行 ; 計数器を減数 (SUBI) ; 指定バイト数分継続 ; [ページ書き込み] ; ページ一時緩衝部先頭にポインタを復帰 ; (削除)
	SUBI ZL, LOW (PGSZB) SBCI ZH, HIGH (PGSZB) LDI SPMC, (1<<PGWRT) + (1<<SPMEN) RCALL SPMJ	; フラッシュ書き込みSPMCSR値を取得 ; フラッシュメモリ ページ書き込み ; [RWW領域読み出し再許可] ; RWW領域読み出し許可SPMCSR値を取得 ; RWW領域読み出し許可 ; [読み戻し照合 (任意)] ; バイト計数器を初期化 ; (削除)
RLP:	LDI CNTL, LOW (PGSZB) LDI CNTH, HIGH (PGSZB) SUBI YL, LOW (PGSZB) SBCI YH, HIGH (PGSZB) LPM R0, Z+ LD R1, Y+ CPSE R0, R1 RJMP ERROR	; RAMデータ先頭にポインタを復帰 ; ; ; フラッシュメモリから1バイト取得(ポインタ進行) ; RAMから1バイトデータを取得(ポインタ進行) ; 値一致でスキップ ; 不一致で異常処理へ
;		
	SBIW CNTH: CNTL, 1 BRNE RLP	; 計数器を減数 (SUBI) ; 指定バイト数分継続 ; [RWW領域へ復帰]
RTN:	IN TMP, SPMCSR SBRS TMP, RWWSB RET	; SPM命令制御/状態レジスタ値を取得 ; RWW領域多忙でスキップ ; 準備可で呼び出し元へ復帰 ; [RWW領域読み出し再許可]
;		
	LDI SPMC, (1<<RWWSRE) + (1<<SPMEN) RCALL SPMJ RJMP RTN	; RWW領域読み出し許可SPMCSR値を取得 ; RWW領域読み出し許可 ; RWW領域準備可まで待機へ ; [SPM命令実行サブルーチン]
SPMJ:	IN TMP, SPMCSR SBRC TMP, SPMEN RJMP SPMJ	; SPM命令制御/状態レジスタ値を取得 ; 操作可能(直前のSPM完了)でスキップ ; 操作可まで待機
;		
WAIT:	IN TMP, SREG CLI SBIC EECR, EEWEIF RJMP WAIT	; ステータスレジスタ値を保存 ; 全割り込み禁止 ; EEPROM書き込み中以外でスキップ ; EEPROM書き込み完了まで待機
;		
	OUT SPMCSR, SPMC SPM OUT SREG, TMP RET	; SPM動作指定 ; 対応SPM動作実行 ; ステータスレジスタ値を復帰 ; 呼び出し元へ復帰

23.7.13. ブートローダのパラメータ

自己プログラミングの記述で使ったパラメータは表23-6.~8.で与えられます。

表23-6. 応用領域とブートローダ領域の分割設定

BOOTSZ1	BOOTSZ0	ブートローダ領域		アドレス範囲		
		容量 (語)	ページ数	応用プログラム領域	ブートローダプログラム領域	ブートリセットアドレス
1	1	256	4	\$0000~\$1EFF	\$1F00~\$1FFF	\$1F00
1	0	512	8	\$0000~\$1DFF	\$1E00~\$1FFF	\$1E00
0	1	1024	16	\$0000~\$1BFF	\$1C00~\$1FFF	\$1C00
0	0	2048	32	\$0000~\$17FF	\$1800~\$1FFF	\$1800

注: 各種BOOTSZヒューズ設定は図23-2.で示されます。

表23-7. RWW領域とNRWW領域の範囲

領域	ページ数	アドレス範囲
書き込み中読み出し可能(RWW)領域	96	\$0000~\$17FF
書き込み中読み出し不能(NRWW)領域	32	\$1800~\$1FFF

これら2つの領域についての詳細に関しては160頁の「RWW – 書き込み中読み出し可能領域」と「NRWW – 書き込み中読み出し不能領域」をご覧ください。

表23-8. 図23-3.で使った各変数説明とZポインタの配置

変数名	対応値		意味
	PC	Zポインタ (注)	
PCMSB	PC12		プログラムカウンタの最上位ビット。(プログラムカウンタは13ビット、PC12~0)
PAGEMSB	PC5		1ページ内に使われる語(ワード)アドレスの最上位ビット。 (ページ内の64語(ワード)には6ビット PC5~0が必要)
ZPCMSB		Z13	PCMSBに配置される(対応する)Zレジスタ内のビット。 (Z0が使われないため、ZPCMSB=PCMSB+1)
ZPAGEMSB		Z6	PAGEMSBに配置される(対応する)Zレジスタ内のビット。 (Z0が使われないため、ZPAGEMSB=PAGEMSB+1)
PCPAGE	PC12~6	Z13~7	プログラムカウンタ ページ アドレス: ページ消去とページ書き込み用のページ選択
PCWORD	PC5~0	Z6~1	プログラムカウンタ 語(ワード)アドレス: 一時緩衝部格納用語(ワード)選択 (ページ書き込み操作中は0でなければなりません。)

注: Z15~14: 常に無視されます。

Z0: 全てのSPM命令に対して0であるべきで、LPM命令に対するバイト選択です。

自己プログラミング中のZポインタの使用についての詳細に関しては163頁の「自己プログラミング中のフラッシュメモリのアドレス指定」をご覧ください。

24. メモリプログラミング

24.1. プログラム メモリとデータ メモリ用施錠ビット

AT90PWM216/316は非プログラム(1)のままか、表24-2.で一覧される付加機能を得るためにプログラム(0)できる6つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ1に消去できます。

表24-1. 施錠ビット バイトの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
BLB12	5	ブート ロータ'領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB11	4		1 (非プログラム)
BLB02	3	応用領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB01	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表24-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはデバッグWIRE経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズ'ビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズ'ビットとブート施錠ビットが固定されます。(注1)
LB0 種別	BLB02	BLB01	フラッシュ メモリの応用プログラム領域に対する保護
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブート ロータ'領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
4	0	1	ブート ロータ'領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
LB1 種別	BLB12	BLB11	フラッシュ メモリのブート ロータ' プログラム領域に対する保護
1	1	1	LPM, SPM命令がブート ロータ'領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブート ロータ'領域に書くことを許されません。
3	0	0	SPM命令によるブート ロータ'領域への書き込みと、応用領域でのLPM命令によるブート ロータ'領域からの読み込みが許されません。(注3)
4	0	1	応用領域でのLPM命令によるブート ロータ'領域からの読み込みが許されません。(注3)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズ'ビットとブート施錠ビットを書いてください。デバッグWIREは全面的に禁止されます。

注2: BLB02=0で、割り込みベクタがブート ロータ'領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

注3: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブート ロータ'領域での実行時に割り込みが禁止されます。

(訳注) 原書の表24-2.と表24-3.は表24-2.として纏めました。

24.2. ヒューズ ビット

AT90PWM216/316には3つのヒューズ バイトがあります。表24-4.~6.は全てのヒューズの概略機能とヒューズ バイト内でどのように配置されるかを示します。ヒューズはプログラムされると、論理0として読まれることに注意してください。

表24-4. 拡張ヒューズ バイト一覧

名称	ビット	意味	既定値
PSC2RB	7	電力段制御器2(PSC2)出力 リセット時動作	1 (非プログラム) 標準ポート動作
PSC1RB	6	電力段制御器1(PSC1)出力 リセット時動作	1 (非プログラム) 標準ポート動作
PSC0RB	5	電力段制御器0(PSC0)出力 リセット時動作	1 (非プログラム) 標準ポート動作
PSCRV	4	PSCOUTリセット値	1 (非プログラム) High
–	3	–	1 (非プログラム)
BOOTSZ1	2	ブート ロータ容量選択。(表23-6.参照) (注1)	0 (プログラム)
BOOTSZ0	1		0 (プログラム)
BOOTRST	0	リセット ベクタ(応用領域またはブート ロータ領域)選択	1 (非プログラム) 応用領域

注1: BOOTSZ1,0既定値は最大ブート ロータ容量になります。167頁の表23-6.をご覧ください。

24.2.1. リセット中の電力段制御器(PSC)出力の動き

外部部品の安全のため、リセット中のPSC出力状態はPSCRV,PSC0RB,PSC1RB,PSC2RBヒューズによってプログラム(設定)できます。

これらのヒューズは拡張ヒューズ バイトに配置されます(表24-4.をご覧ください)。

PSCRVはPSC0RB,PSC1RB,PSC2RBヒューズによって選んだPSC出力でHighかLowのどちらの状態を強制するのかを与えます。

PSCRVヒューズが0に等しい(プログラム)なら、選んだPSC出力はHigh状態に強制されます。PSCRVヒューズが1に等しい(非プログラム)なら、選んだPSC出力はLow状態に強制されます。

PSC0RBヒューズが1に等しい(非プログラム)なら、PSCOUT00とPSCOUT01は標準ポート動作を保ちます。PSC0RBヒューズが0に等しい(プログラム)なら、PSCOUT00とPSCOUT01はリセットでPSCRVヒューズ ビットに従ってHighまたはLowレベルに強制されます。後者の場合、PSCOUT00とPSCOUT01はPSC0同期/出力構成(PSOC0)レジスタが書かれるまで、この強制された状態を保ちます。

PSC1RBヒューズが1に等しい(非プログラム)なら、PSCOUT10とPSCOUT11は標準ポート動作を保ちます。PSC1RBヒューズが0に等しい(プログラム)なら、PSCOUT10とPSCOUT11はリセットでPSCRVヒューズ ビットに従ってHighまたはLowレベルに強制されます。後者の場合、PSCOUT10とPSCOUT11はPSC1同期/出力構成(PSOC1)レジスタが書かれるまで、この強制された状態を保ちます。

PSC2RBヒューズが1に等しい(非プログラム)なら、PSCOUT20,PSCOUT21,PSCOUT22,PSCOUT23は標準ポート動作を保ちます。PSC2RBヒューズが0に等しい(プログラム)なら、PSCOUT20,PSCOUT21,PSCOUT22,PSCOUT23はリセットでPSCRVヒューズ ビットに従ってHighまたはLowレベルに強制されます。この後者の場合、PSCOUT20,PSCOUT21,PSCOUT22,PSCOUT23はPSC2同期/出力構成(PSOC2)レジスタが書かれるまで、この強制された状態を保ちます。

表24-5. ヒューズ 上位バイト一覧

名称	ビット	意味	既定値
RSTDISBL(注1)	7	PE0がI/OピンかまたはRESETピンかを選びます。	1 (非プログラム) PE0はRESETピン
DWEN	6	デバッグWIRE機能許可。	1 (非プログラム) デバッグWIRE不許可
SPIEN (注2)	5	直列プログラミング許可。	0 (プログラム) 直列プログラミング許可
WDTON (注3)	4	ウォッチドッグ タイマ常時有効。	1 (非プログラム) WDTはWDTCSRで許可
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BODLEVEL2	2	低電圧検出(BOD)リセットの制御と検出電圧選択。 (注4)	1 (非プログラム)
BODLEVEL1	1		1 (非プログラム)
BODLEVEL0	0		1 (非プログラム)

注1: RSTDISBLヒューズの記述については46頁の「ポートEの交換機能」をご覧ください。

注2: SPIENヒューズは直列プログラミングでアクセスできません。

注3: 詳細については31頁の「WDTCSR – ウォッチドッグ タイマ制御レジスタ」をご覧ください。

注4: BODLEVELヒューズの復号については27頁の表8-2.をご覧ください。

表24-6. ヒューズ下位バイト一覧

名称	ビット	意味	既定値
CKDIV8 (注4)	7	システム クロック 8分周選択。	0 (プログラム) 8分周
CKOUT (注3)	6	システム クロック出力許可。	1 (非プログラム) 不許可
SUT1	5	起動時間選択。 (注1)	1 (非プログラム)
SUT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。 (注2)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		1 (非プログラム)
CKSEL0	0		0 (プログラム)

注1: SUT1,0の既定値は最大起動時間になります。詳細については18頁の表6-6をご覧ください。

注2: CKSEL3~0の既定設定は8MHz校正付き内蔵RC発振器になります。詳細については16頁の表6-1をご覧ください。

注3: CKOUTはポートD1に出力することをシステム クロックに許します。詳細については20頁の「クロック出力緩衝部」をご覧ください。

注4: 詳細については21頁の「システム クロック前置分周器」をご覧ください。

ヒューズ ビットの状態はチップ消去によって影響されません。施錠ビット1(LB1)がプログラム(0)されると、ヒューズ ビットが固定されることに注意してください。施錠ビットをプログラム(0)する前にヒューズ ビットをプログラミング(書き込み)してください。

24.2.2. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは通常動作での電源投入でもラッチされません。

24.3. 識票バイト

全てのAtmelマイクロ コントローラはデバイスを識別する3バイトの識票符号を持っています。この符号は直列と並列の両プログラミング動作で、またデバイスが施錠されていても読めます。この3バイトは分離された空間に存在します。AT90PWM216/316の識票バイトを右に示します。

- ① \$000 : \$1E 製造業者Atmelを示します。
- ② \$001 : \$94 フラッシュ メモリ容量16Kバイトを示します。
- ③ \$002 : \$83 ②値\$94と合せ、AT90PWM216/316を示します。

24.4. 校正バイト

AT90PWM216/316は内蔵RC発振器用に1バイトの校正値を持っています。このバイトは識票アドレス空間でアドレス\$0000の上位バイトにあります。リセット中、校正付き内蔵RC発振器の正しい周波数を保証するために、このバイトが発振校正(OSCCAL)レジスタへ自動的に書かれます。

24.5. 並列プログラミング

この項はAT90PWM216/316のプログラム用フラッシュメモリ、データ用EEPROM、メモリの**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低250nsと仮定されます。

24.5.1. 信号名

本章でAT90PWM216/316のいくつかのピンは並列プログラミング中の機能を表す信号名で参照されます。**図24-1**と**表24-7**をご覧ください。後続の表で示されないピンはピン名によって参照されます。

XA0とXA1ピンはXTAL1ピンが正パルスを与えられる時に実行される動作を決めます。このビット符号化は**表24-9**で示されます。

WRまたはOEパルス送出時、設定された指令が決める動作が実行されます。各種指令は**表24-10**で示されます。

図24-1. 並列プログラミング構成図

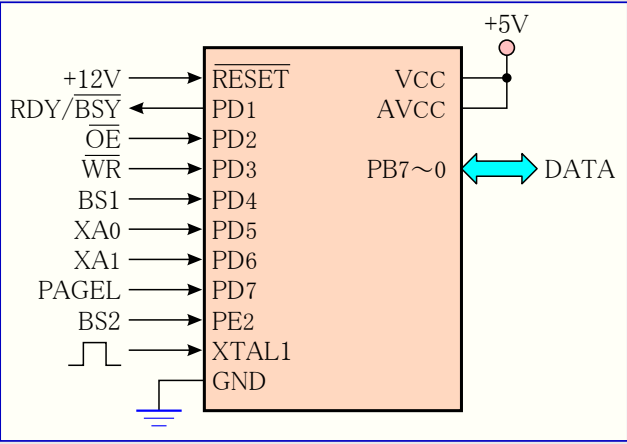


表24-7. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0(Low) : 多忙(プログラミング中) 1(High) : 準備可(指令受付可)
OE	PD2	入力	出力許可(負論理)
WR	PD3	入力	書き込みパルス(負論理)
BS1	PD4	入力	上位/下位バイト選択1 (0:下位, 1:上位) (一般用)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
PAGEL	PD7	入力	プログラムメモリとEEPROMデータをページ一時緩衝部に設定
BS2	PE2	入力	上位/下位バイト選択2 (0:下位, 1:上位) (ヒューズビット用)
DATA	PB7~0	入出力	双方向データバス (OE=Low時出力)

表24-8. プログラミング動作移行時のピン値

ピン名	シンボル	値
PAGEL	Prog_enable[3]	0
XA1	Prog_enable[2]	0
XA0	Prog_enable[1]	0
BS1	Prog_enable[0]	0

表24-9. XA0とXA1の符号化(機能)

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス設定 (上位/下位はBS1で指定)
0	1	データ設定 (フラッシュの上位/下位はBS1で指定)
1	0	指令設定
1	1	アイドル (動作なし)

表24-10. 指令バイトのビット符号化

指令バイト	指令の機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	施錠ビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$11 (0001 0001)	EEPROM書き込み
\$08 (0000 1000)	識票バイト、校正バイト読み出し
\$04 (0000 0100)	ヒューズビット、施錠ビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し
\$03 (0000 0011)	EEPROM読み出し

表24-11. フラッシュメモリのページ数とページの語数

全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
8K語 (16Kバイト)	64語	PC5~0	128	PC12~6	12

表24-12. EEPROMメモリのページ数とページの語数

全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
512バイト	4バイト	EEA1,0	128	EEA8~2	8

(訳注) 原書本位置の表24-13は共通性のため「直列プログラミング」項へ移動しました。

24.6. 並列プログラミング手順

24.6.1. 並列プログラミング動作への移行

次に示す方法がデバイスを(高電圧)並列プログラミング動作にします。

- ① VCCを0V、 $\overline{\text{RESET}}$ ピンを0V、表24-8.で一覧されるProg_enableピンを全てLow(0)に設定します。
 - ② VCCとGND間に4.5～5.5Vを印加します。それから20 μs 以内にVCCが最低1.8Vに達することを保証してください。
 - ③ 20～60 μs 待ち、 $\overline{\text{RESET}}$ に11.5～12.5Vを印加します。
 - ④ Prog_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10 μs 、Prog_enableピンを無変化に保ちます。
 - ⑤ 如何なる並列プログラミング指令を与えるのにも先立って少なくとも300 μs 間待ちます。
 - ⑥ デバイスの電源を落とすか、 $\overline{\text{RESET}}$ ピンを0Vに持ってくることによってプログラミング動作を抜けます。
- VCCの上昇時間が上で示した必要条件を完全に満たせない場合、次の代替手順が使えます。
- ① VCCを0V、 $\overline{\text{RESET}}$ ピンを0V、表24-8.で一覧されるProg_enableピンを全てLow(0)に設定します。
 - ② VCCとGND間に4.5～5.5Vを印加します。
 - ③ VCCを監視し、0.9～1.1Vに達したら直ぐ、 $\overline{\text{RESET}}$ に11.5～12.5Vを印加します。
 - ④ Prog_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10 μs 、Prog_enableピンを無変化に保ちます。
 - ⑤ 如何なる並列プログラミング指令を与えるのにも先立ってVCCが実際に4.5～5.5Vに達するまで待ちます。
 - ⑥ デバイスの電源を落とすか、 $\overline{\text{RESET}}$ ピンを0Vに持ってくることによってプログラミング動作を抜けます。

24.6.2. 効率的なプログラミングへの考慮

設定した指令とアドレスはプログラミング中、維持されます。効率的なプログラミングを行うために次を考慮すべきです。

- 複数のメモリ領域を読み書きする時に指令設定は一度だけ必要です。
- チップ消去後のフラッシュメモリと(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFなので、値が\$FFのデータ書き込みを飛ばします。
- アドレス上位バイトはフラッシュメモリで新規256語(ワード)枠、EEPROMで新規256バイト枠の読み書き前に一度だけ必要です。この考慮は識別バイト読み出しにも適用されます。

24.6.3. チップ消去

チップ消去はフラッシュメモリ、EEPROM(注1)、施錠ビットを消去します。施錠ビットはプログラムメモリが完全に消去されてしまうまでリセット(消去)されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

「チップ消去」指令設定

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② BS1をLow(0)に設定します。
- ③ DATAを\$80(1000 0000)に設定します。これはチップ消去指令です。
- ④ XTAL1に正パルスを与えます。これはチップ消去指令を設定します。
- ⑤ $\overline{\text{WR}}$ に負パルスを与えます。これはチップ消去を開始します。RDY/ $\overline{\text{BSY}}$ がLow(0)になります。
- ⑥ 次の指令を設定する前にRDY/ $\overline{\text{BSY}}$ がHigh(1)になるまで待ちます。

24.6.4. フラッシュ メモリ書き込み (次頁の図24-3.タイミングを参照)

フラッシュ メモリはページで構成されます(171頁の表24-11.参照)。フラッシュ メモリへ書く時にプログラム データはページ緩衝部にラッチされます。これは同時に書かれることをプログラム データの1ページに許します。次の手順は完全なフラッシュ メモリの書き込み方法を記述します。

A. 「フラッシュ メモリ書き込み」指令設定

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② BS1をLow(0)に設定します。
- ③ DATAを\$10(0001 0000)に設定します。これはフラッシュ メモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これはフラッシュ メモリ書き込み指令を設定します。

B. アドレス下位バイト設定

- ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
- ② BS1をLow(0)に設定します。これは下位アドレス(バイト)を選びます。
- ③ DATAにアドレス下位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これはアドレス下位バイトを設定します。

C. データ下位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
- ② DATAにデータ下位バイト(\$00~\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これはデータ下位バイトを設定します。

D. データ上位バイト設定

- ① BS1をHigh(1)に設定します。これは上位バイトを選びます。
- ② XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
- ③ DATAにデータ上位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これはデータ上位バイトを設定します。

E. 語(ワード)データをページ一時緩衝部に設定

- ① BS1をHigh(1)にします。これは上位バイトを選びます。
- ② PAGELに正パルスを与えます。これは語データをページ一時緩衝部にラッチ(設定)します。

F. 緩衝部全体が満たされるか、または(必要な)全てのデータが緩衝部内に設定されるまで、B~Eを繰り返す

アドレス内の下位ビットがページ内の語位置を指示する一方、上位ビットがフラッシュ メモリ内のページをアドレス指定します。これは図24-2.で図示されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量<256)、アドレス下位バイトの最上位(側)ビットがページ書き込み実行時のページ アドレスに使われることに注意してください。

G. アドレス上位バイト設定

- ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
- ② BS1をHigh(1)に設定します。これは上位アドレス(バイト)を選びます。
- ③ DATAにアドレス上位バイト(\$00~\$1F)を設定します。
- ④ XTAL1に正パルスを与えます。これはアドレス上位バイトを設定します。

H. ページ書き込み

- ① BS1をLow(0)に設定します。
- ② WRに負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/BSYがLow(0)になります。
- ③ RDY/BSYがHigh(1)になるまで待ちます。

I. フラッシュ メモリ全部が書かれるか、または(必要な)全データが書かれてしまうまで、B~Hを繰り返す

J. ページ書き込み終了

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② DATAを\$00(0000 0000)にします。これは無操作指令です。
- ③ XTAL1に正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図24-2. ページで構成されたフラッシュ メモリのアドレス指定

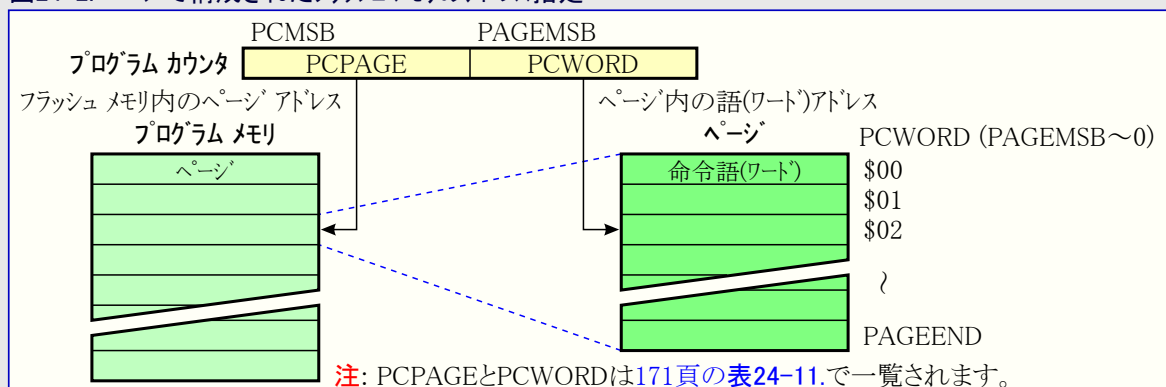
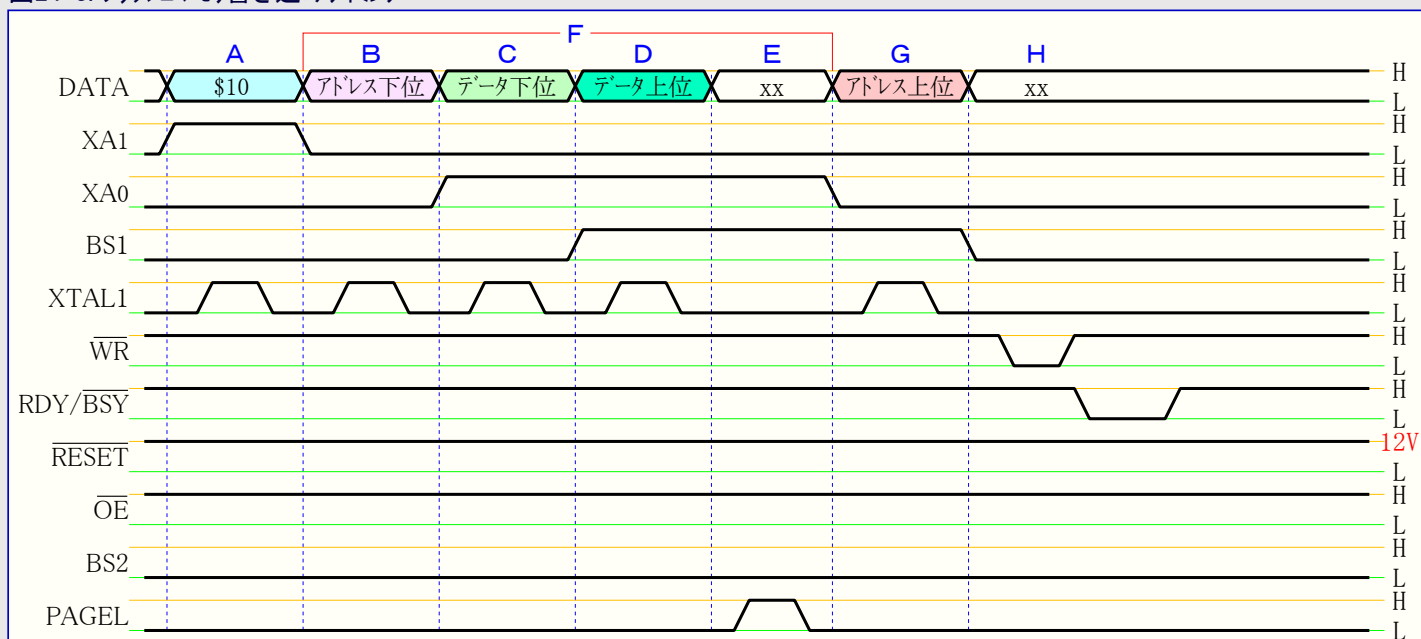


図24-3. フラッシュ メリ書き込みタイミング



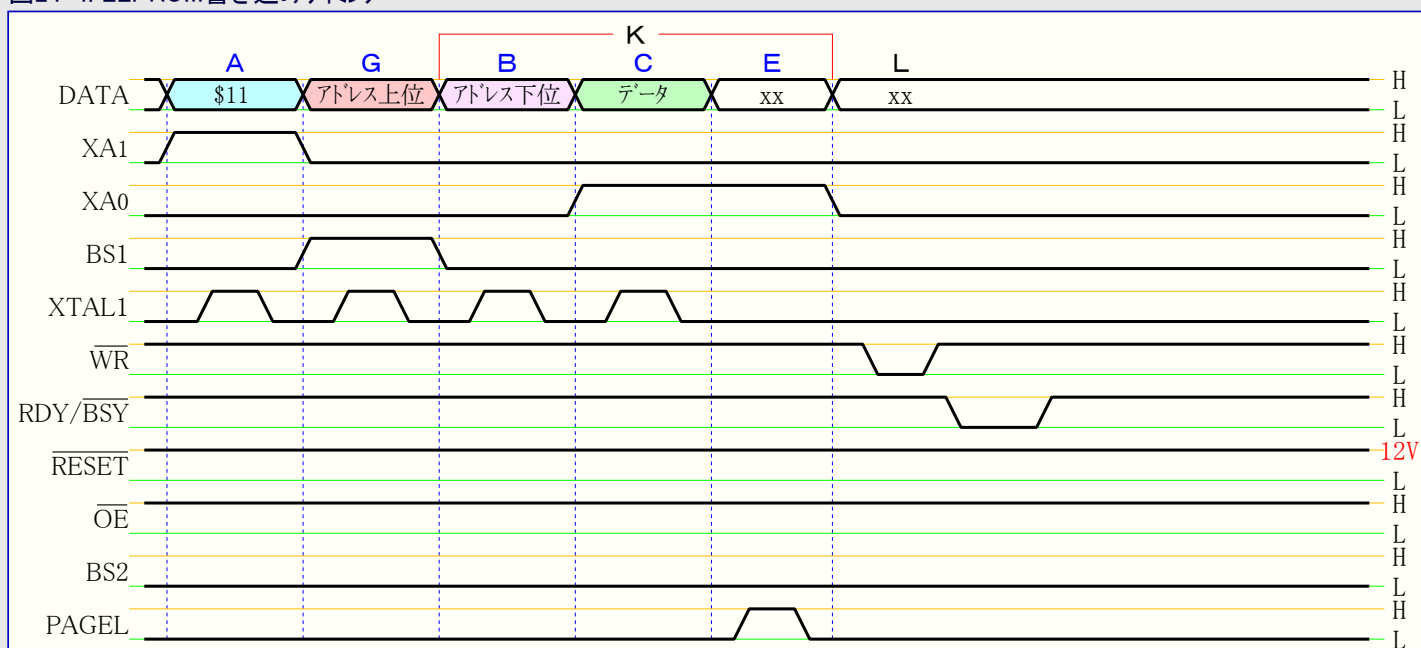
注: xx値は無関係です。A～Hは前記プログラミングを参照してください。

24.6.5. EEPROM書き込み

EEPROMはページで構成されます(171頁の表24-12参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(指令、アドレス、データ設定の詳細については173頁の「フラッシュメモリの書き込み」を参照。図24-4. タイミング参照。)

1. EEPROM書き込み指令\$11(0001 0001)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス上位バイト(\$00～\$01)を設定します。(「フラッシュメモリ書き込み」のGを参照)
3. アドレス下位バイト(\$00～\$FF)を設定します。(「フラッシュメモリ書き込み」のBを参照)
4. データバイト(\$00～\$FF)を設定します。(「フラッシュメモリ書き込み」のCを参照)
5. データをラッチします(PAGELに正パルスを与えます)。(「フラッシュメモリ書き込み」のEを参照)
- K. 緩衝部全体が満たされるまで3～5を繰り返します。
- L. EEPROMページ書き込み
 - ① BS1をLow(0)に設定します。
 - ② $\overline{WR}$ に負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/ $\overline{BSY}$ がLow(0)になります。
 - ③ 次のページを書く前に、RDY/ $\overline{BSY}$ がHigh(1)になるまで待ちます。

図24-4. EEPROM書き込みタイミング



24.6.6. フラッシュ メリ読み出し

フラッシュ メリの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については173頁の「フラッシュ メリの書き込み」参照。)

1. フラッシュ メリ読み出し指令\$02(0000 0010)を設定します。(「フラッシュ メリ書き込み」のAを参照)
2. アドレス上位バイト(\$00~\$1F)を設定します。(「フラッシュ メリ書き込み」のGを参照)
3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュ メリ書き込み」のBを参照)
4. BS1をLow(0)、 $\overline{\text{OE}}$ をLow(0)に設定します。フラッシュ メリ語(ワード)の下位バイトが直ぐにDATAで読めます。
5. BS1をHigh(1)に設定します。フラッシュ メリ語(ワード)の上位バイトが直ぐにDATAで読めます。
6. $\overline{\text{OE}}$ をHigh(1)に設定します。DATAはHi-Zになります。

24.6.7. EEPROM読み出し

データ用EEPROMの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については173頁の「フラッシュ メリの書き込み」参照。)

1. EEPROM読み出し指令\$03(0000 0011)を設定します。(「フラッシュ メリ書き込み」のAを参照)
2. アドレス上位バイト(\$00~\$01)を設定します。(「フラッシュ メリ書き込み」のGを参照)
3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュ メリ書き込み」のBを参照)
4. BS1をLow(0)、 $\overline{\text{OE}}$ をLow(0)に設定します。EEPROMのバイト データが直ぐにDATAで読めます。
5. $\overline{\text{OE}}$ をHigh(1)に設定します。DATAはHi-Zになります。

24.6.8~10. ヒューズ ビット書き込み (訳注:原書での拡張/上位/下位ヒューズ項を1つに纏めました。)

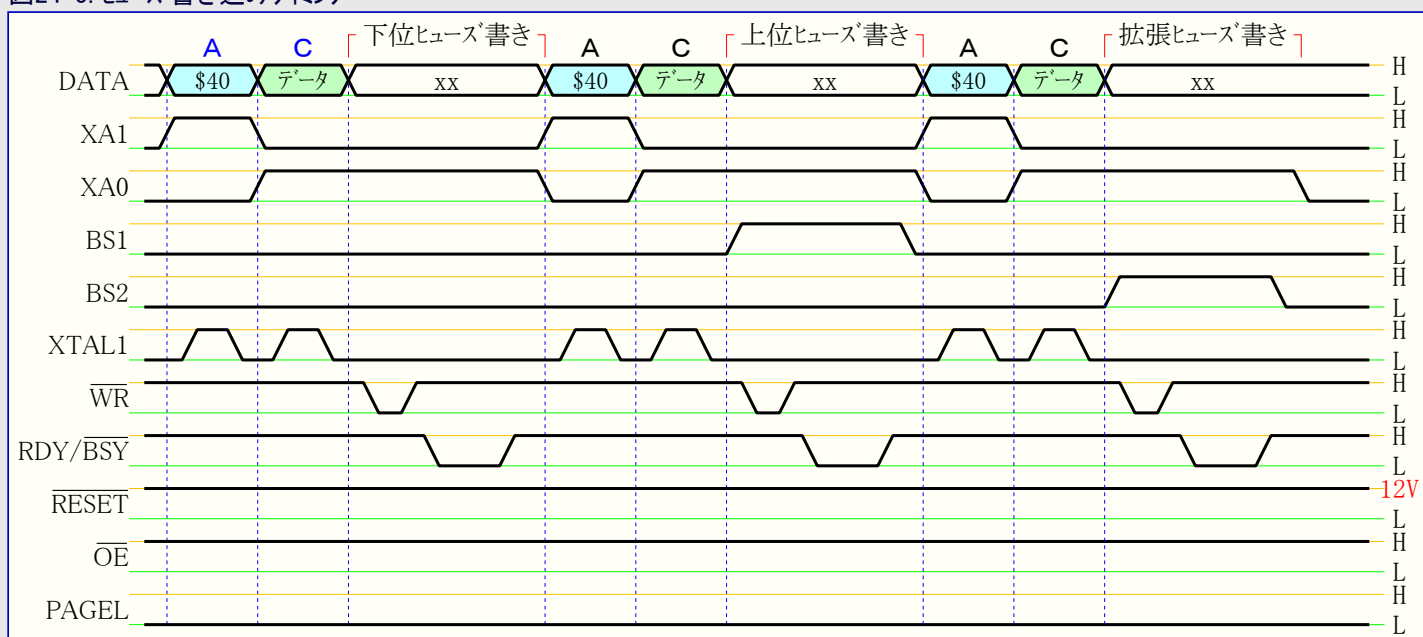
各ヒューズ バイトの書き込み方法は次のとおりです。(指令とデータ設定の詳細については173頁の「フラッシュ メリの書き込み」参照。)

1. ヒューズ ビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュ メリ書き込み」のAを参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュ メリ書き込み」のCを参照)
3. BS1とBS2を右表の目的バイトに対応する設定にします。
4. WRに負パルスを与え、RDY/ $\overline{\text{BSY}}$ がHighになるまで待ちます。
5. 3.でHighに設定したBS1、BS2をLow(0)に戻します。これはデータ下位バイトを選びます。

表A. ヒューズ バイト対応BS1,BS2設定

ヒューズ バイト	BS1	BS2
拡張バイト	Low(0)	High(1)
上位バイト	High(1)	Low(0)
下位バイト	Low(0)	Low(0)

図24-5. ヒューズ書き込みタイミング



24.6.11. 施錠ビット書き込み

施錠ビットの書き込み方法は次のとおりです。(指令とデータ設定の詳細については173頁の「フラッシュメモリの書き込み」参照。)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. データ下位バイト(としてデータ)を設定します。0=プログラム,1=無変化です。LB保護種別3が設定(LB1とLB2がプログラム(0))されると、どの外部的なプログラミング動作種別によってもブート施錠ビットはプログラミングできません。(「フラッシュメモリの書き込み」のCを参照)
3. $\overline{\text{WR}}$ に負パルスを与え、RDY/BSYがHighになるまで待ちます。

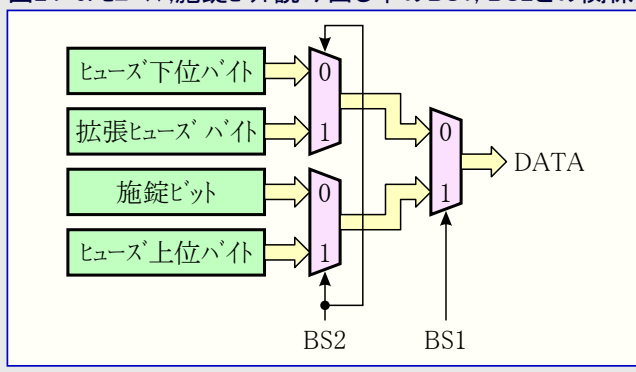
施錠ビットはチップ消去の実行によってのみ解除(1)できます。

24.6.12. ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法は次のとおりです。(指令設定の詳細については173頁の「フラッシュメモリの書き込み」参照。)

1. ヒューズビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. BS1とBS2をLow(0)、 $\overline{\text{OE}}$ をLow(0)に設定します。ヒューズ下位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
3. BS1とBS2をHigh(1)、 $\overline{\text{OE}}$ をLow(0)に設定します。ヒューズ上位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
4. BS1をLow(0)、BS2をHigh(1)、 $\overline{\text{OE}}$ をLow(0)に設定します。拡張ヒューズビットの状態が直ぐにDATAで読めます。(0=プログラム)
5. BS1をhigh(1)、BS2をLow(0)、 $\overline{\text{OE}}$ をLow(0)に設定します。施錠ビットの状態が直ぐにDATAで読めます。(0=プログラム)
6. $\overline{\text{OE}}$ をHigh(1)に設定します。DATAはHi-Zになります。

図24-6. ヒューズ、施錠ビット読み出し中のBS1, BS2との関係



24.6.13. 識票バイト読み出し

識票バイトの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については173頁の「フラッシュメモリの書き込み」参照。)

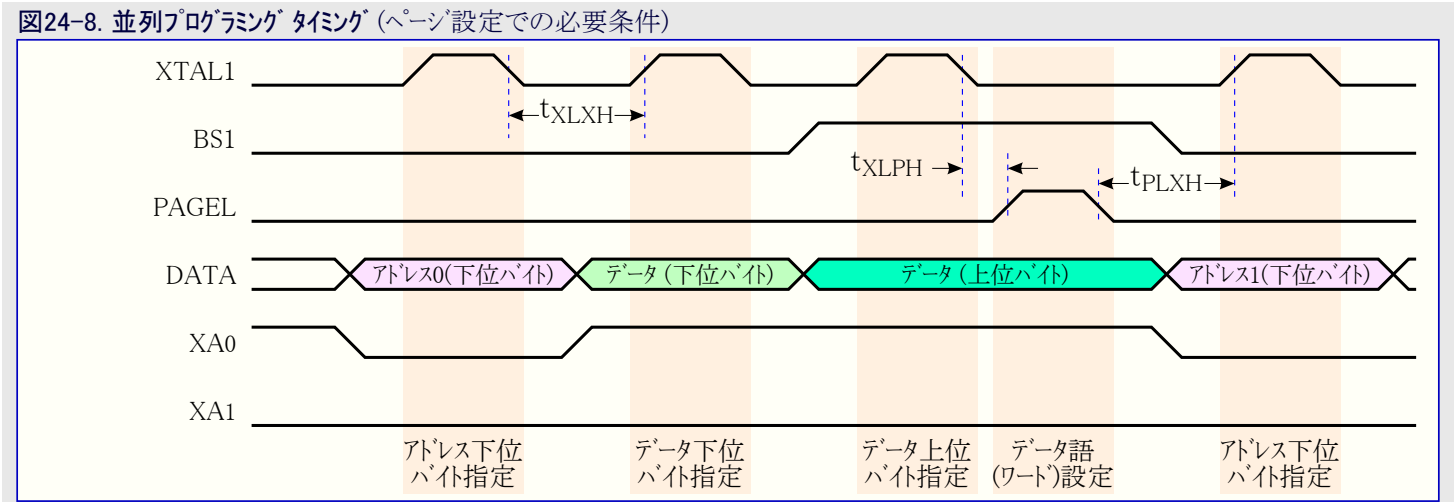
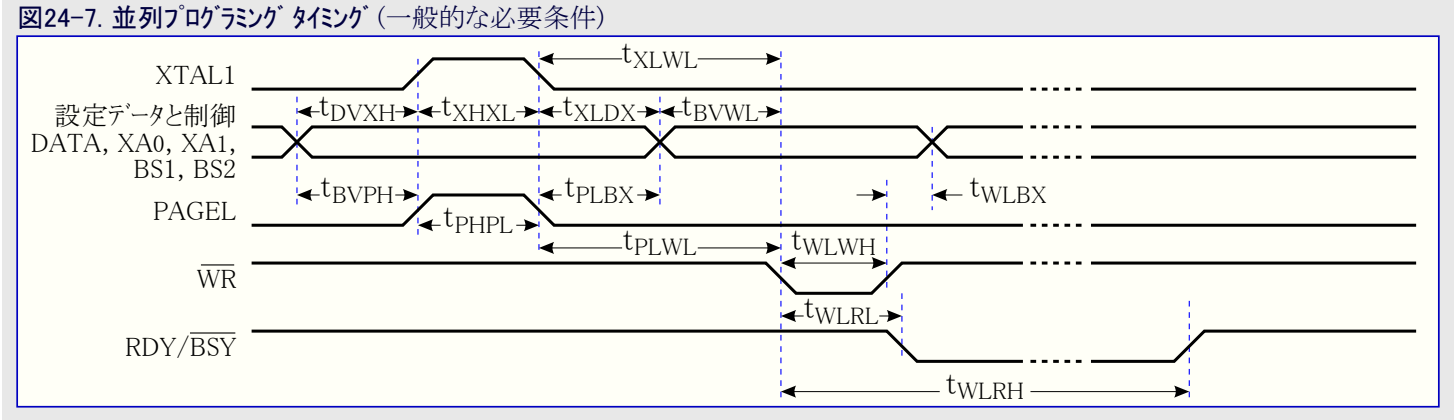
1. 識票バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. アドレス下位バイト(\$00~\$02)を設定します。(「フラッシュメモリの書き込み」のBを参照)
3. BS1をLow(0)、 $\overline{\text{OE}}$ をLow(0)に設定します。選んだ識票バイトが直ぐにDATAで読めます。
4. $\overline{\text{OE}}$ をHigh(1)に設定します。DATAはHi-Zになります。

24.6.14. 校正バイト読み出し

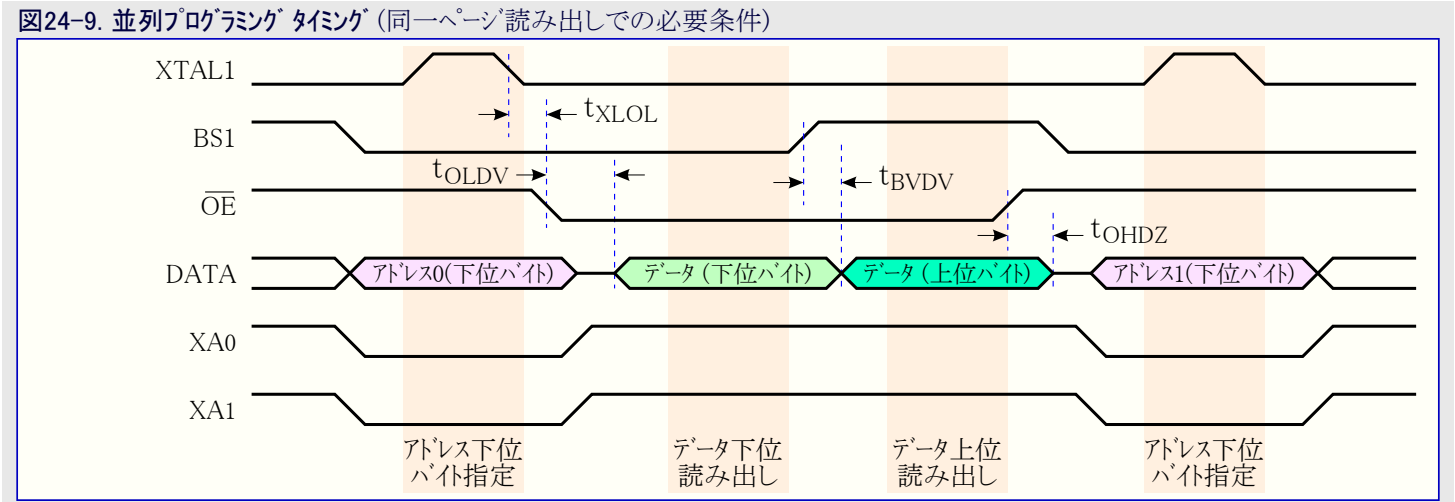
校正バイトの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については173頁の「フラッシュメモリの書き込み」参照。)

1. 校正バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. アドレス下位バイトに\$00を設定します。(「フラッシュメモリの書き込み」のBを参照)
3. BS1をHigh(1)、 $\overline{\text{OE}}$ をLow(0)に設定します。校正バイトが直ぐにDATAで読めます。
4. $\overline{\text{OE}}$ をHigh(1)に設定します。DATAはHi-Zになります。

24.6.15. 並列プログラミング特性



注: 図24-7.で示されるタイミング必要条件(即ち、 t_{DVXH} 、 t_{XHL} 、 t_{XLDX})は設定操作にも適用されます。



注: 図24-7.で示されるタイミング必要条件(即ち、 t_{DVXH} 、 t_{XHL} 、 t_{XLDX})は読み出し操作にも適用されます。

表24-13. 並列プログラミング特性 (VCC=5V±10%)

シンボル	項目	最小	代表	最大	単位
V _{PP}	プログラミング許可電圧	11.5		12.5	V
I _{PP}	プログラミング許可電流			250	μA
t _{DVXH}	XTAL1 ↑ に対するデータと制御の準備時間	67			
t _{XLXH}	XTAL1 ↓ から次XTAL1 ↑ までの待機時間	200			
t _{XHXL}	XTAL1 Highパルス幅	150			
t _{XLDX}	XTAL1パルス ↓ 後のデータと制御の保持時間	67			
t _{XLWL}	XTAL1パルス ↓ 後の $\overline{WR}$ ↓ 待機時間	0			
t _{XLPH}	XTAL1パルス ↓ 後のPAGELパルス ↑ 待機時間	0			
t _{PLXH}	PAGELパルス ↓ 後のXTAL1パルス ↑ 待機時間	150			ns
t _{BVPH}	PAGELパルス ↑ に対するBS1準備時間	67			
t _{PHPL}	PAGEL Highパルス幅	150			
t _{PLBX}	PAGELパルス ↓ 後のBS1保持時間	67			
t _{WL BX}	$\overline{WR}$ パルス ↓ 後のBS1,BS2保持時間	67			
t _{PLWL}	PAGELパルス ↓ 後の $\overline{WR}$ パルス ↓ 待機時間	67			
t _{BVWL}	$\overline{WR}$ パルス ↓ に対するBS1準備時間	67			
t _{WLWH}	$\overline{WR}$ Lowパルス幅	150			
t _{WLRL}	$\overline{WR}$ パルス ↓ 後のRDY/ $\overline{BSY}$ ↓ 遅延時間	0		1	μs
t _{WLRH}	書き込み時間 ($\overline{WR}$ ↓ からRDY/ $\overline{BSY}$ ↑) (注1)	3.7		4.5	ms
t _{WLRH_CE}	チップ消去時間 ($\overline{WR}$ ↓ からRDY/ $\overline{BSY}$ ↑) (注2)	7.5		9	
t _{XLCL}	XTAL1パルス ↓ 後の $\overline{OE}$ ↓ 待機時間	0			
t _{BVDV}	BS1有効からのDATA遅延時間	0		250	ns
t _{OLDV}	$\overline{OE}$ ↓ 後のDATA出力遅延時間			250	
t _{OHDZ}	$\overline{OE}$ ↑ 後のDATAフローティング遅延時間			250	

注1: フラッシュメモリ、EEPROM、ヒューズビット、施錠ビット書き込み指令に対して有効です。

注2: チップ消去指令に対して有効です。

24.7. 直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間に直列SPIバスを使ってプログラミングできます。この直列インターフェースはSCK入力、MOSI入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立って**プログラミング許可命令**が初めに実行されることを必要とします。**注意、表24-14**でSPIプログラミング用のピン配置が一覧されます。全てのデバイスが内部SPIインターフェースに対する専用SPIピンを使うとは限りません。

24.7.1. 直列プログラミング用ピン配置

表24-14. 直列プログラミング用ピン配置

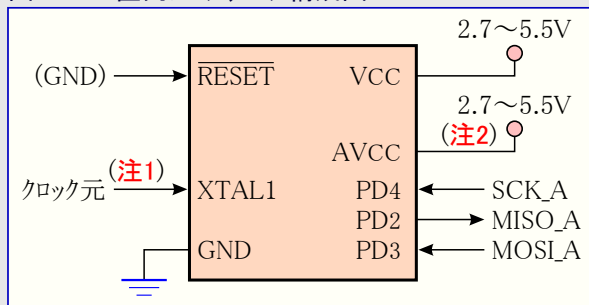
信号名	ピン名	入出力	機能
MOSI_A	PD3	入力	直列データ入力
MISO_A	PD2	出力	直列データ出力
SCK_A	PD4	入力	直列クロック

EEPROMをプログラミングする時に自動消去期間が自動書き込み動作内に組み入れられ(直列プログラミングのみ)、**チップ消去命令**を初めに実行する必要があります。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全てのメモリ位置の内容を\$FFにします。

CKSELヒューズによる有効なクロックが与えられなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$f_{CK} < 12\text{MHz}$: Low区間	> 2 CPUクロック周期	$f_{CK} < 12\text{MHz}$: High区間	> 2 CPUクロック周期
$f_{CK} \geq 12\text{MHz}$: Low区間	> 3 CPUクロック周期	$f_{CK} \geq 12\text{MHz}$: High区間	> 3 CPUクロック周期

図24-10. 直列プログラミング構成図



注1: デバイスが内蔵発振器で動作する場合、XTAL1ピンにクロック元を接続する必要はありません。

注2: $VCC - 0.3V < AVCC < VCC + 0.3V$ ですが、AVCCは常に2.7~5.5V内にすべきです。

24.8. 直列プログラミング手順

AT90PWM216/316に直列データを書く時にデータはSCKの上昇端で行われ、AT90PWM216/316から読む時にデータはSCKの下降端で行われます。タイミングの詳細については**図24-11**をご覧ください。

直列プログラミング動作でのAT90PWM216/316のプログラミングと照合は次手順が推奨されます(4バイト命令形式は**表24-16**参照)。

1. 電源投入手順:

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2 CPUクロック周期幅の正パルスを与えられなければなりません。

2. 最低20ms待ち、MOSIピンに**プログラミング許可命令**を送ることによって直列プログラミングを許可してください。

3. 通信が同期を外していると、直列プログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず、命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。

4. フラッシュメモリは1ページ単位で書かれます。ページ容量は171頁の**表24-11**で得られます。このメモリページは**ページ設定命令**と共にアドレスの下位5+1ビットとデータを提供することによって1バイトずつ設定されます。ページが正しく設定されるのを保証するため、与えられたアドレスにデータ上位バイトが適用される前にデータ下位バイトが設定されなければなりません。プログラムメモリのページはアドレスの上位7ビットを含む**ページ書き込み命令**の設定によって(フラッシュメモリに)格納されます。ポーリング(BSY/RDY)が使われない場合、使用者は次のページを行う前に最低tWD_FLASH(**表24-15**参照)待たなければなりません。フラッシュ書き込み操作完了前の(ポーリング以外の)直列プログラミングインターフェースでのアクセスは不正な書き込み結果になり得ます。

5. EEPROMはページ単位かバイト単位のどちらかでプログラミングできます。(訳注:本項は**表24-16**に合せて差し替えてあります。)

バイト単位: EEPROMは適切な**EEPROM書き込み命令**と共にアドレスとデータを提供することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って始めて自動的に消去されます。ポーリング(BSY/RDY)が使われない場合、次のバイトを行う前に最低tWD_EEPROM(**表24-15**参照)待たなければなりません。

ページ単位: EEPROMの1ページは**EEPROMページ設定命令**と共にアドレスの下位2ビットとデータを提供することによって1バイトずつ設定されます。EEPROMページはアドレスの上位7ビットを含む**EEPROMページ書き込み命令**によって(EEPROMに)格納されます。EEPROMページアクセス使用時、EEPROMページ設定命令で設定したバイト位置だけが変更されます。残りの位置は無変化で留まります。ポーリング(BSY/RDY)が使われない場合、次ページ(**表24-12**参照)を行う前に最低tWD_EEPROM(**表24-15**参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。

6. どのメモリ位置も選んだアドレスの内容を直列出力MISOに読み戻す**読み出し命令**を使うことによって照合できます。

7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

8. 電源OFF手順 (必要とされるならば)

- RESETをHigh(1)に設定します。
- VCC電源をOFFにします。

(訳注)

原書本位置の「フラッシュデータポーリング」と「EEPROMデータポーリング」は書き込み手順を修正したために不要となりましたので他のデータシート同様に削除しました。

表24-15. ヒューズ、フラッシュ、EEPROM次位置書き込み前の待機時間

シンボル	最低待機時間	備考
tWD_FUSE	4.5ms	ヒューズ書き込み
tWD_FLASH	4.5ms	フラッシュメモリ書き込み
tWD_EEPROM	3.6ms	EEPROM書き込み
tWD_ERASE	9.0ms	チップ消去

(訳注)

共通性からtWD_FUSE項目を追加

図24-11. 直列プログラミングバイト通信波形

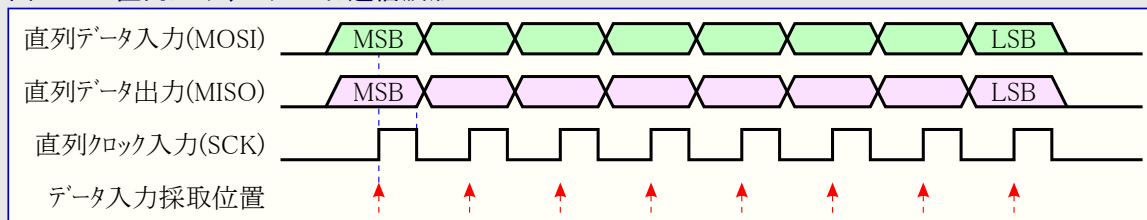


表24-16. 直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low後のプログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリ,EEPROM,施錠ビットを消去します。
フラッシュメモリ読み出し	0010 P000	000H HHHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
フラッシュページ設定	0100 P000	00xx xxxx	xxLL LLLL	WWWW WWWW	緩衝部アドレスLのP(H/L)バイトに書き込みます。
フラッシュページ書き込み	0100 1100	000H HHHH	LLxx xxxx	xxxx xxxx	アドレスH:Lのページに書き込みます。
EEPROM読み出し	1010 0000	000x xxxH	LLLL LLLL	RRRR RRRR	アドレスH:Lのバイトを読み出します。
EEPROMバイト書き込み	1100 0000	000x xxxH	LLLL LLLL	WWWW WWWW	アドレスH:Lのバイトに書き込みます。
EEPROMページ設定	1100 0001	0000 0000	0000 00LL	RRRR RRRR	緩衝部アドレスLのバイトに書き込みます。
EEPROMページ書き込み	1100 0010	00xx xxxH	LLLL LL00	xxxx xxxx	アドレスH:Lのページに書き込みます。
施錠ビット読み出し	0101 1000	0000 0000	xxxx xxxx	xxRR RRRR	施錠ビットを読み出します。
施錠ビット書き込み	1010 1100	111x xxxx	xxxx xxxx	11WW WWWW	(168頁の表24-1.参照)に書き込みます。
ヒューズ下位読み出し	0101 0000	0000 0000	xxxx xxxx	RRRR RRRR	ヒューズ下位ビットを読み出します。
ヒューズ下位書き込み	1010 1100	1010 0000	xxxx xxxx	WWWW WWWW	(170頁の表24-6.参照)に書き込みます。
ヒューズ上位読み出し	0101 1000	0000 1000	xxxx xxxx	RRRR RRRR	ヒューズ上位ビットを読み出します。
ヒューズ上位書き込み	1010 1100	1010 1000	xxxx xxxx	WWWW WWWW	(169頁の表24-5.参照)に書き込みます。
拡張ヒューズ読み出し	0101 0000	0000 1000	xxxx xxxx	RRRR xRRR	拡張ヒューズビットを読み出します。
拡張ヒューズ書き込み	1010 1100	1010 0100	xxxx xxxx	WWWW xWWW	(169頁の表24-4.参照)に書き込みます。
識別バイト読み出し	0011 0000	000x xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識別バイトを読み出します。
校正バイト読み出し	0011 1000	000x xxxx	0000 0000	RRRR RRRR	校正バイトを読み出します。
多忙/準備可検査	1111 0000	0000 0000	xxxx xxxx	xxxx xxxR	R=1で多忙、他の操作前に0まで待機します。

H = アドレス上位バイトのビット

L = アドレス下位バイトのビット

P = 0=下位バイト、1=上位バイト

R = 読み出しデータ (MCU出力)

W = 書き込みデータ (MCU入力)

x = 0または1 (無意味/不定)

24.8.1. 直列プログラミング特性

SPI部の特性については184頁の「SPIタイミング特性」を参照してください。

25. 電気的特性

(重要注意) 本製品についての電気的特性は未だ終了されていません。ここで一覧した全ての値を非契約の暫定とみなしてください。

25.1. 絶対最大定格 (警告)

動作温度	-40℃ ~ +105℃
保存温度	-65℃ ~ +150℃
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

25.2. DC特性

TA=-40℃~105℃, VCC=2.7V~5.5V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧 (一般/XTALポート)	ポートB,C,DとI/O使用のXTAL1,XTAL2	-0.5		0.2VCC (注1)	
V _{IL1}	Lowレベル入力電圧 (XTAL1)	外部クロック信号選択	-0.5		0.1VCC (注1)	
V _{IL2}	Lowレベル入力電圧 (RESET)	外部リセット入力	-0.5		0.2VCC (注1)	
V _{IL3}	Lowレベル入力電圧 (RESET)	I/Oとして使用	-0.5		0.2VCC (注1)	
V _{IH}	Highレベル入力電圧 (一般/XTALポート)	ポートB,C,DとI/O使用のXTAL1,XTAL2	0.6VCC (注2)		VCC+0.5	
V _{IH1}	Highレベル入力電圧 (XTAL1)	外部クロック信号選択	0.7VCC (注2)		VCC+0.5	
V _{IH2}	Highレベル入力電圧 (RESET)	外部リセット入力	0.9VCC (注2)		VCC+0.5	
V _{IH3}	Highレベル入力電圧 (RESET)	I/Oとして使用	0.8VCC (注2)		VCC+0.5	
V _{OL}	Lレベル出力電圧 (注3)	I/OとしてのRESET以外	IOL=20mA, VCC=5V		0.7	
			IOL=10mA, VCC=3V		0.5	
V _{OL3}	RESET=I/O		IOL=2.1mA, VCC=5V		0.7	
			IOL=0.8mA, VCC=3V		0.5	
V _{OH}	Hレベル出力電圧 (注4)	I/OとしてのRESET以外	IOH=-20mA, VCC=5V	4.2		
			IOH=-10mA, VCC=3V	2.4		
V _{OH3}	RESET=I/O		IOH=-0.6mA, VCC=5V	3.8		
			IOH=-0.4mA, VCC=3V	2.2		
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V			1	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	確実なH/L範囲			1	
R _{RST}	RESETピンプルアップ抵抗		30		200	kΩ
R _{PU}	I/Oピンプルアップ抵抗		20		50	
I _{CC}	活動動作消費電流 (電力削減レジスタ(PRR)全ビット=1)	VCC=3V, 8MHz(RC)		3.8	7	mA
		VCC=5V, 16MHz(外部)		14	24	
	アイドル動作消費電流 (電力削減レジスタ(PRR)全ビット=1)	VCC=3V, 8MHz(RC)		1.5	3	
		VCC=5V, 16MHz(外部)		5.5	10	
	パワーダウン動作消費電流 (注5)	VCC=3V, WDT有効	TA<90℃	5	15	μA
			TA<105℃	9	20	
		VCC=3V, WDT禁止	TA<90℃	1.5	3	
			TA<105℃	5	10	
V _{ACIO}	アナログ比較器入力変位(オフセット)電圧	VCC=5V, Vin=3V		20	50	mV
V _{hysr}	アナログ比較器ヒステリシス電圧	上昇		0		
		下降	20	30	65	
I _{ACLK}	アナログ比較器入力漏れ電流	VCC=5V, Vin=VCC/2	-50		50	nA
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		(注6)		ns
		VCC=5.0V		(注6)		

(注1)~(注6)は次頁を参照してください。

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=3Vで10mA,VCC=5Vで20mA)よりも多くの吸い込み電流を流すことができますが、次の条件を厳守しなければなりません。

1. 全IOLの合計が400mAを超えるべきではありません。
2. ポートB7,6、C1,0、D3~0、E0のIOLの合計が100mAを超えるべきではありません。
3. ポートB1,0、C3,2、D4、E2,1のIOLの合計が100mAを超えるべきではありません。
4. ポートB5~3、C7,6のIOLの合計が100mAを超えるべきではありません。
5. ポートB2、C5,4、D7~5のIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件よりも大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=3Vで10mA,VCC=5Vで20mA)よりも多くの吐き出し電流を流すことができますが、次の条件を厳守しなければなりません。

1. 全IOHの合計が400mAを超えるべきではありません。
2. ポートB7,6、C1,0、D3~0、E0のIOHの合計が100mAを超えるべきではありません。
3. ポートB1,0、C3,2、D4、E2,1のIOHの合計が100mAを超えるべきではありません。
4. ポートB5~3、C7,6のIOHの合計が100mAを超えるべきではありません。
5. ポートB2、C5,4、D7~5のIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件よりも大きな吐き出し電流を流すことは保証されません。

注5: パワーダウン動作に対する最小VCCは2.5Vです。

注6: アナログ比較器伝播遅延は1比較器クロック+30nsと同等です。比較器クロック定義については138頁の「[アナログ比較器](#)」をご覧ください。

25.3. クロック特性

25.3.1. 校正付き内蔵RC発振器の精度

表25-1. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度
工場校正	8.0MHz	3V	25℃	±10%
使用者校正	7.3~8.1MHz	2.7~5.5V	-40~105℃	±1%

25.3.2. 外部クロック信号駆動

図25-1. 外部クロック駆動波形

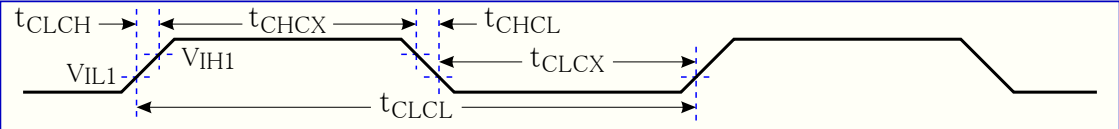


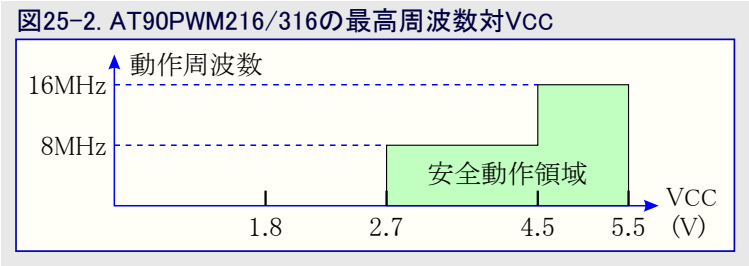
表25-2. 外部クロック特性

シンボル	項目	VCC=2.7~5.5V		VCC=4.5~5.5V		単位
		最小	最大	最小	足代	
$1/t_{CLCL}$	クロック周波数	0	8	0	16	MHz
t_{CLCL}	クロック周期	125		62.5		
t_{CHCX}	Highレベル時間	50		25		ns
t_{CLCX}	Lowレベル時間	50		25		
t_{CLCH}	上昇時間		1.6		0.5	μs
t_{CHCL}	下降時間		1.6		0.5	
Δt_{CLCL}	隣接クロック周期間の変化率		2		2	%

注: 詳細については20頁の「[外部クロック信号](#)」を参照してください。

25.4. 最高速と動作電圧

最高周波数は動作電圧に依存します。図25-2.で示されるように最高周波数はVCCが2.7～4.5V間に含まれる時に8MHzで、VCCが4.5～5.5V間に含まれる時に16MHzです。



25.5. PLL特性

表25-3. PLL特性 VCC=2.7V～5.5V (特記事項を除く)

シンボル	項目	最小	代表	最大	単位
PLLIF	入力周波数	0.5	1	2	MHz
PLLF	PLL係数(倍率)		64		
PLLLT	固定化時間			64	μs

注: 外部クロック信号または外部発振器接続時、PLL入力周波数は回路の駆動部分(CPUコア,PSC...)の駆動に対応する周波数で出力を提供するように選ばれなければなりません。

25.6. SPIタイミング特性

図25-3. SPI タイミング必要条件 (主装置動作)

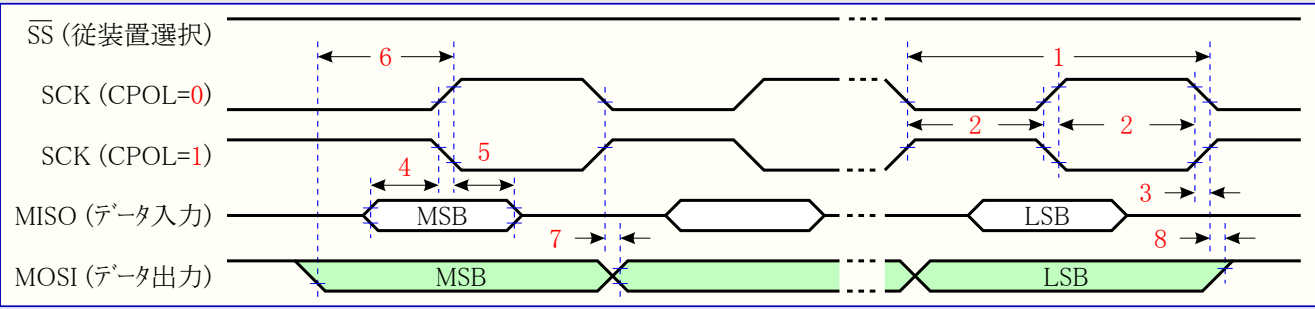


図25-4. SPI タイミング必要条件 (従装置動作)

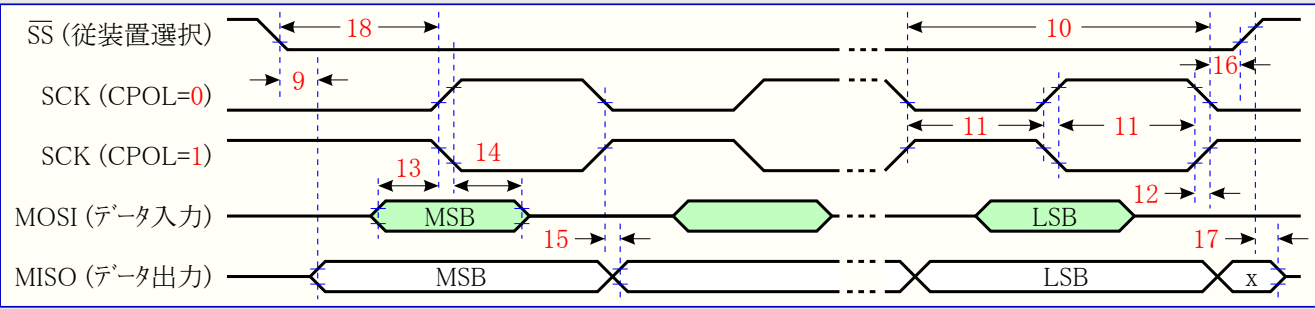


表25-4. SPI タイミング特性

番号	項目	動作種別	最小	代表	最大	単位
1	SCK周期	主装置		表16-4.参照		
2	SCK High/Low期間	主装置		50%デューティ比		
3	SCK上昇/下降時間	主装置		3.6		
4	入力データ 準備時間	主装置		10		
5	入力データ 保持時間	主装置		10		
6	出力からSCK変移時間	主装置		0.5t _{SCK}		ns
7	SCKからの出力遅延時間	主装置		10		
8	SCKからのHigh出力時間	主装置		10		
9	SS ↓からの出力遅延時間	従装置		15		
10	SCK周期	従装置	4t _{CK}			
11	SCK High/Low期間 (注)	従装置	2t _{CK}			
12	SCK上昇/下降時間	従装置			16	μs
13	入力データ 準備時間	従装置	10			
14	入力データ 保持時間	従装置	t _{CK}			
15	SCKからの出力遅延時間	従装置		15		ns
16	SCKからのSS ↑ 遅延時間	従装置	20			
17	SS ↑からの出力Hi-Z遅延時間	従装置		10		
18	SS ↓からのSCK遅延時間	従装置	2t _{CK}			

注: SPIプログラミングでの最小SCK High/Low期間は、2t_{CLCL}(t_{CK}<12MHz)、3t_{CLCL}(t_{CK}≥12MHz)です。

25.7. A/D変換器特性

表25-5. A/D変換特性 (TA=-40~+105℃, VCC=2.7~5.5V)

シンボル	項目	条件	最小	代表	最大	単位
シングルエンド入力変換	分解能			10		ビット
	絶対精度(含むINL,DNL,利得,変位(オフセット),量子化誤差)(注1)	VREF=2.56V	変換クロック=1MHz	3	4	
			変換クロック=2MHz	3	4	
	積分非直線性誤差(INL) (注1)	VCC=4.5V, VREF=2.56V		0.8	1.2	LSB
	微分非直線性誤差(DNL) (注1)	変換クロック=500kHz, VREF=4V		0.8	1.2	
	変位(オフセット)(ゼロ)誤差 (注1)		-1		3	
	変換クロック周波数		50		2000	kHz
	変換時間	連続変換動作	8		320	μs
	VREF 基準電圧		2.0		AVCC	V
	VIN 入力電圧		GND		VREF	
差動入力変換	入力周波数帯域			62.5 (注2)		kHz
	分解能	利得=10		8		ビット
	絶対精度(変位(オフセット),利得誤差校正後) (注1)	利得=10, VREF=2.56V	変換クロック=1MHz	2	3	
			変換クロック=2MHz	2	3	
	積分非直線性誤差(INL) (注1)	利得=10, VREF=2.56V		0.8	1.5	LSB
	微分非直線性誤差(DNL) (注1)	VCC=4.5V, 変換クロック=2MHz, VREF=4V		0.5	0.8	
	変位(オフセット)(ゼロ)誤差 (注1)		-0.5		0.5	
	変換クロック周波数		50		2000	kHz
	変換時間		8		260	μs
	VREF 基準電圧		2.0		AVCC-0.6	V
共通	VIN 入力電圧		-VREF/利得		+VREF/利得	
	入力周波数帯域			4 (注3)		kHz
	AVCC アナログ供給電圧		VCC-0.3		VCC+0.3	V
	AREF 内蔵2.56V基準電圧		2.49	2.56	2.66	
	RREF 基準電圧入力インピーダンス			30		kΩ
	RAIN アナログ入力インピーダンス			100		MΩ
	IHSM 高速動作増加消費電流				380	μA

注1: 符号>8が使われる場合の最良結果

注2: 8μsでの連続変換動作

注3: 入力信号が増幅器クロックと同期する場合は250kHz

25.8. D/A変換器特性

表25-6. D/A変換特性 (TA=-40~+105℃, VCC=2.7~5.5V, 特記事項を除く)

シンボル	項目	最小	代表	最大	単位
IOUT	出力電流			100	μA

(訳注) 原書で後続の図25-5~7と表25-6は並列プログラミング特性で重複するため削除しました。

26. 代表特性 (暫定)

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

活動動作とアイドル動作の消費電流測定は電力削減レジスタ(PRR)で全ビットが設定(1)で行なわれ、従って関係周辺機能部はOFFにされます。アナログ比較器もこれらの測定中に禁止されます。189頁の表26-1と表26-2はPRRによって制御される全周辺機能部について、ICCに対する追加消費電流を示します。詳細については24頁の「PRR – 電力削減レジスタ」をご覧ください。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $C_L(\text{負荷容量}) \times V_{CC}(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

デバイスは検査範囲よりも高い周波数特性を示します。デバイスは注文番号が示す周波数よりも高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマによって引き込んだ(消費した)差電流を表します。

26.1. 活動動作消費電流

図26-1. 活動動作消費電流 対 周波数 (100kHz～1MHz)

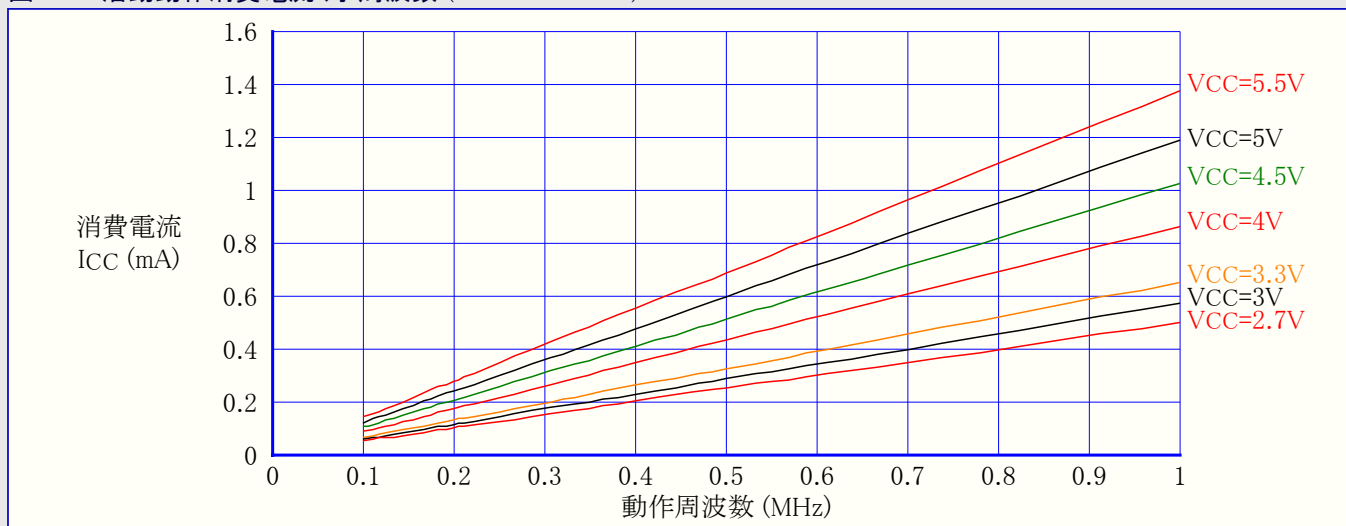


図26-2. 活動動作消費電流 対 周波数 (1MHz～25MHz)

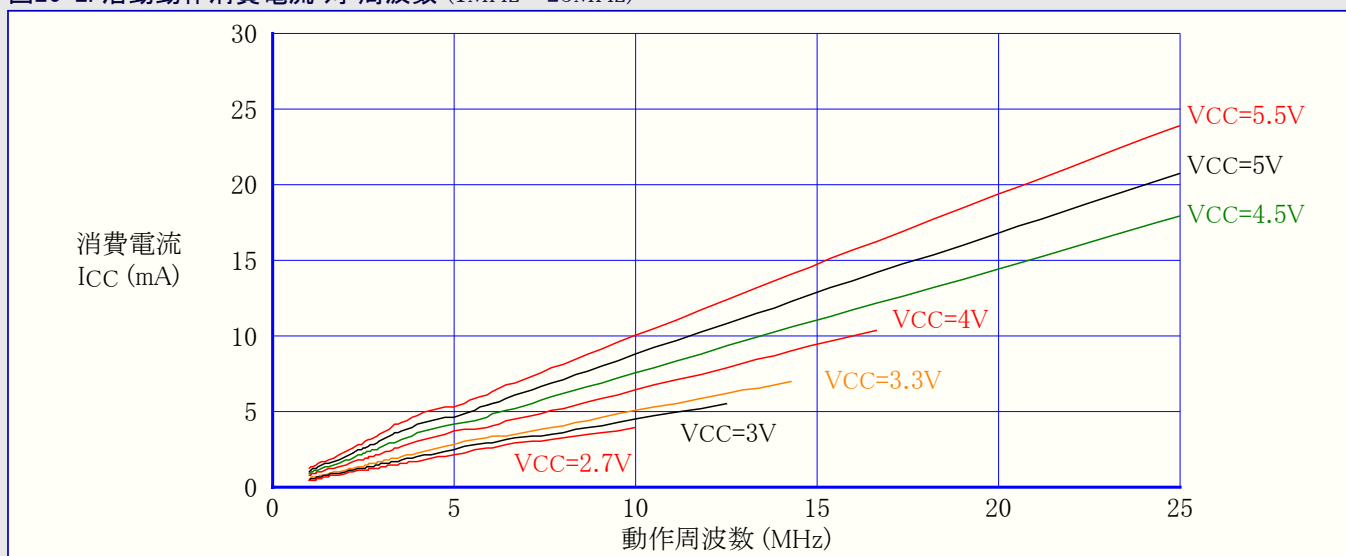


図26-3. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

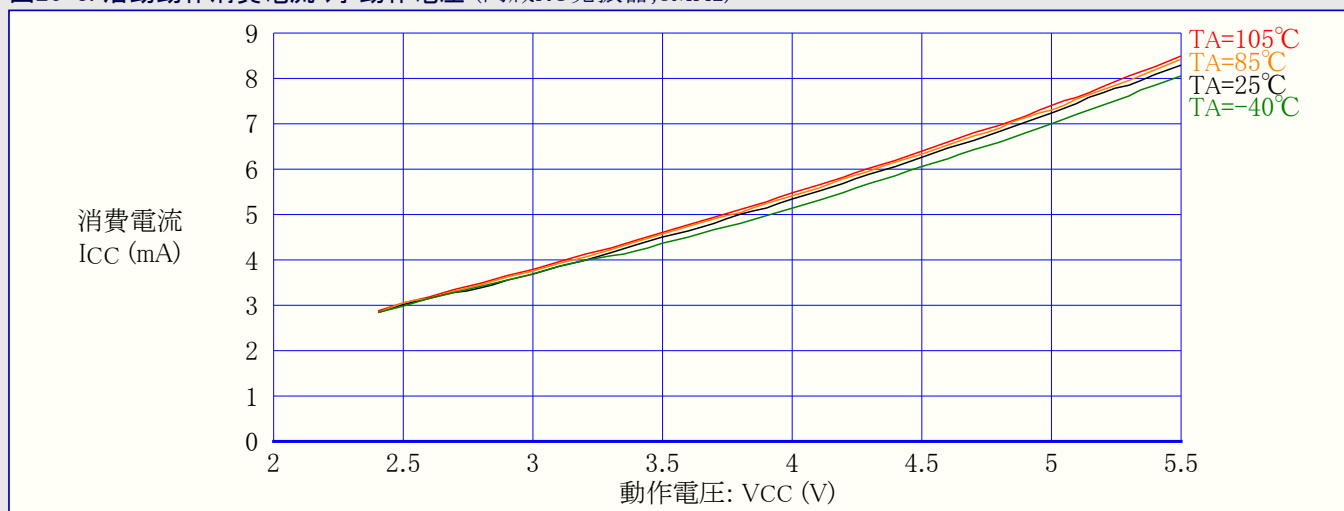


図26-4. 活動動作消費電流 対 動作電圧 (内蔵PLL発振器,16MHz)



26.2. アイドル動作消費電流

図26-5. アイドル動作消費電流 対 周波数 (100kHz~1MHz)

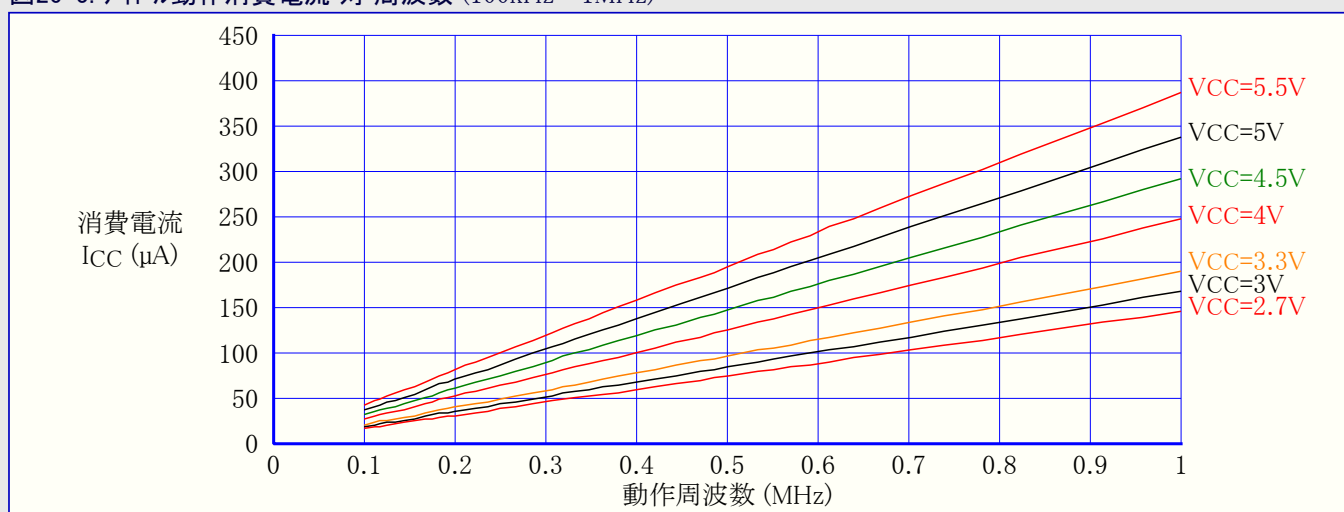


図26-6. アイドル動作消費電流 対 周波数 (1MHz~25MHz)

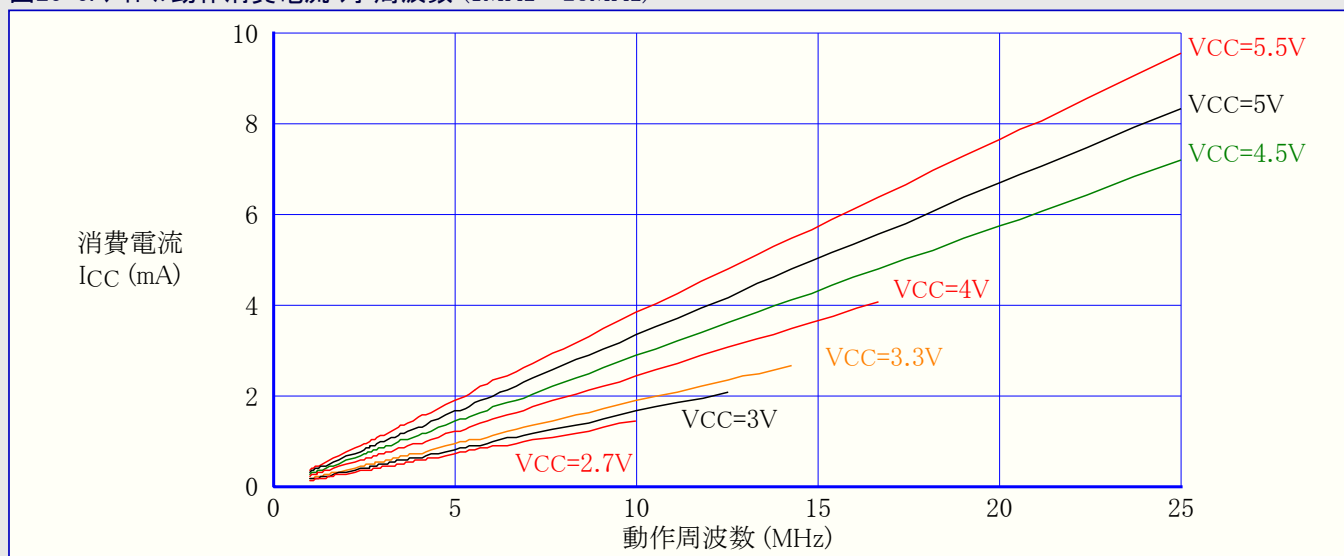


図26-7. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

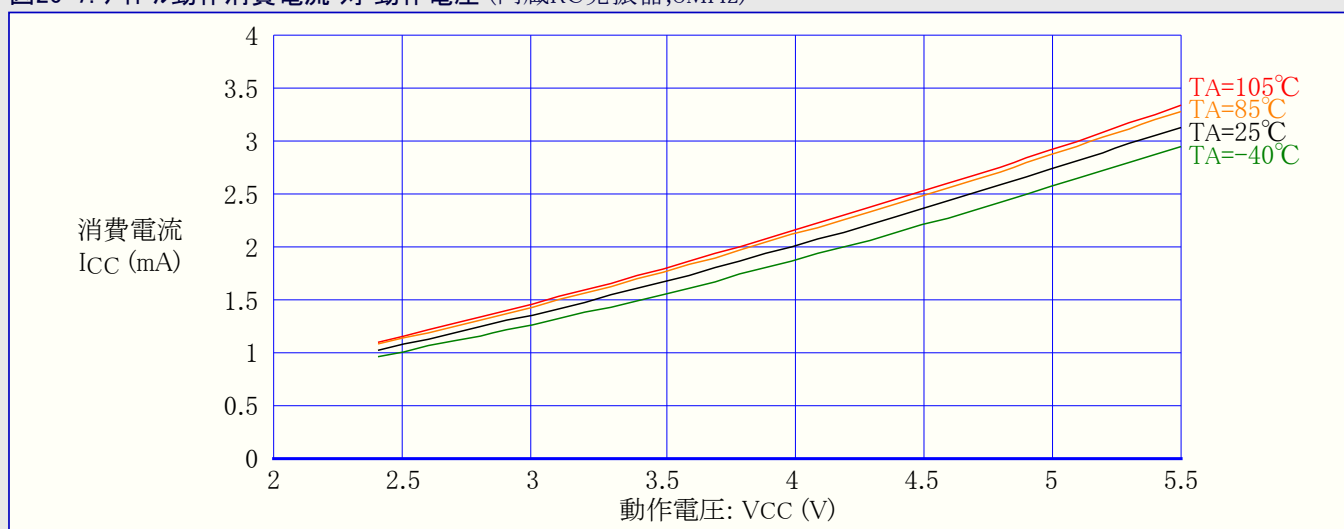
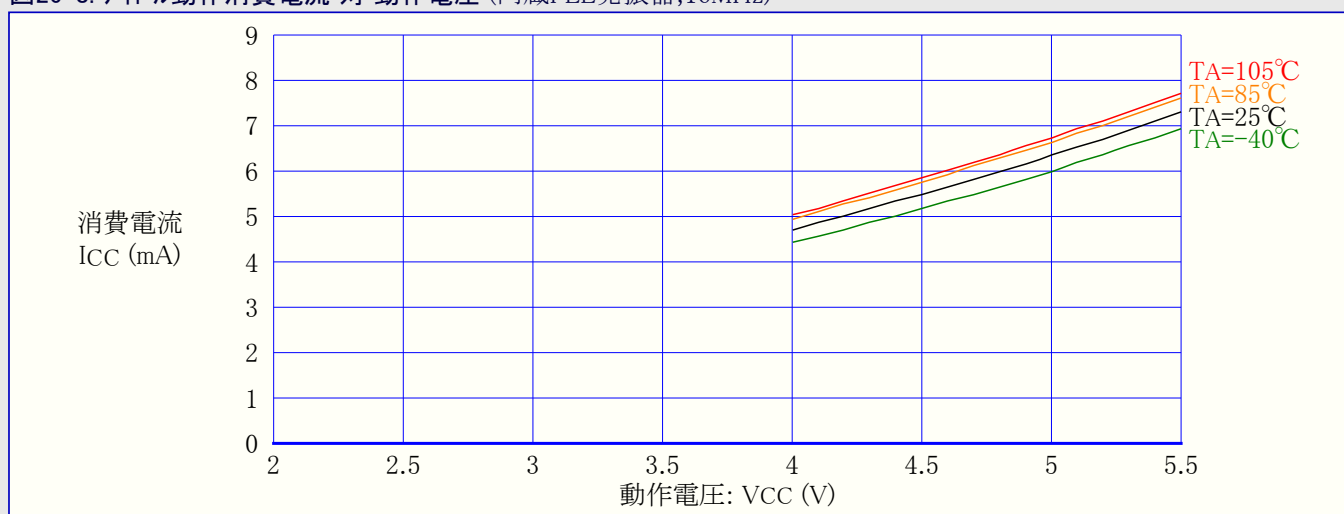


図26-8. アイドル動作消費電流 対 動作電圧 (内蔵PLL発振器, 16MHz)



26.3. 周辺機能部供給電流

以下の表と式は活動動作とアイドル動作で個別周辺機能部に対する追加消費電流の計算に使えます。周辺機能部の許可や禁止は電力削減レジスタによって制御されます。詳細については24頁の「PRR – 電力削減レジスタ」をご覧ください。

表26-1. 各部追加消費電流 (絶対値: μA)

PRR内ビット	8MHz,3V	16MHz,5V
PRPSCn	350	1300
PRTIM1	300	1150
PRTIM0	200	750
PRSPI	250	900
PRUSART0	550	2000
PRADC	350	1300

表26-2. 各部追加消費電流 (相対値: %)

PRR内ビット	活動動作(図26-1,図26-2)	アイドル動作(図26-5,図26-6)
PRPSCn	10	25
PRTIM1	8.5	22
PRTIM0	4.3	11
PRSPI	5.3	14
PRUSART0	15.6	36
PRADC	10.5	25

表26-1.で一覧される以外のVCCと周波数設定については表26-2.からの数値を元に代表的な消費電流を計算できます。

例1: VCC=3V, f=1MHzでUSART0,タイマ/カウンタ1,SPIが許可されたアイドル動作での予測される消費電流を計算します。表26-2.のアイドル動作列からUSART0が36%、タイマ/カウンタ1が22%、SPIが14%追加する必要があります。図26-5.を読み、VCC=3V, f=1MHzでのアイドル動作消費電流が約0.17mAであることを得ます。USART0,タイマ/カウンタ1,SPI許可のアイドル動作での総消費電流を得ます。

総消費電流 = $0.17\text{mA} \times (1 + 0.36 + 0.22 + 0.14) \approx 0.29\text{mA}$

例2: 例1と同じ条件ですが、代わりに活動動作です。表26-2.の活動動作列からUSART0が15.6%、タイマ/カウンタ1が8.5%、SPIが5.3%追加する必要があります。図26-1.を読み、VCC=3V, f=1MHzでの活動動作消費電流が約0.6mAであることを得ます。USART0,タイマ/カウンタ1,SPI許可の活動動作での総消費電流を得ます。

総消費電流 = $0.6\text{mA} \times (1 + 0.156 + 0.085 + 0.053) \approx 0.77\text{mA}$

例3: VCC=3.6V, f=10MHzで全周辺機能部許可の活動動作での予測消費電流を計算します。周辺機能部を除く活動動作消費電流が約7.0mAであることを得ます(図26-2.より)。そして表26-2.の活動動作列からの数値を使い、総消費電流を得ます。

総消費電流 = $7.0\text{mA} \times (1 + 0.1 + 0.1 + 0.1 + 0.085 + 0.043 + 0.053 + 0.156 + 0.105) \approx 12.2\text{mA}$

26.4. パワーダウン動作消費電流

図26-9. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

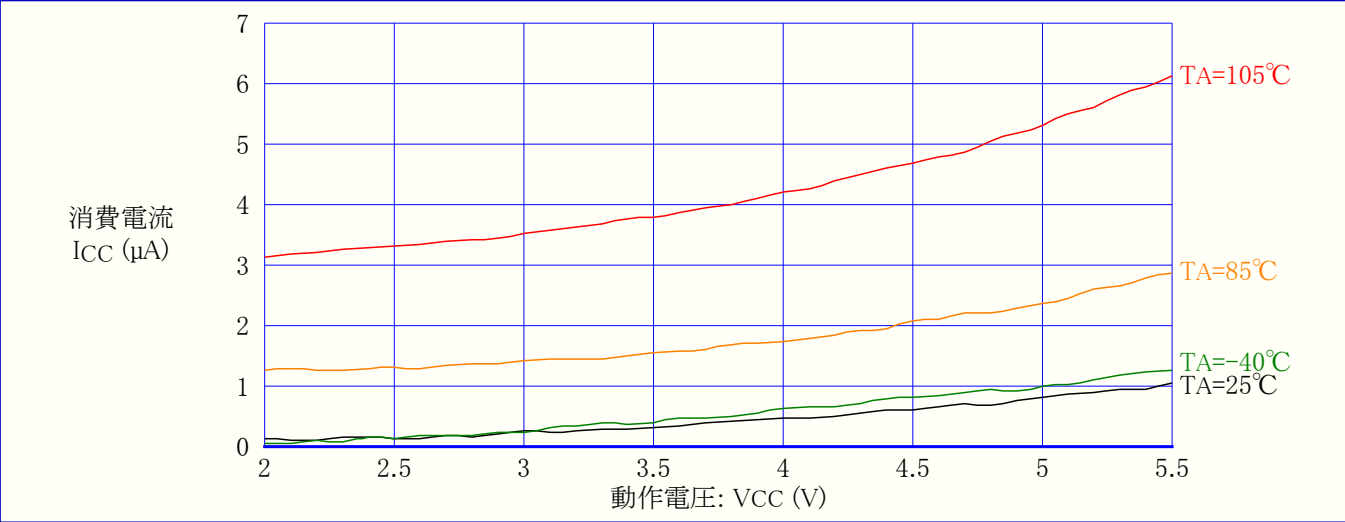
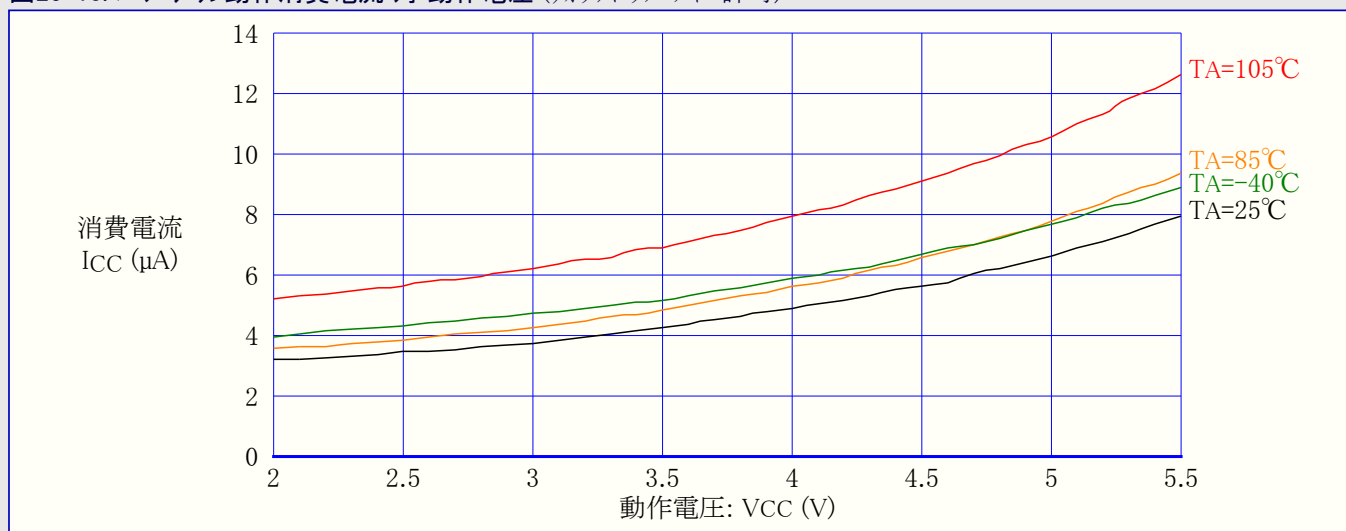
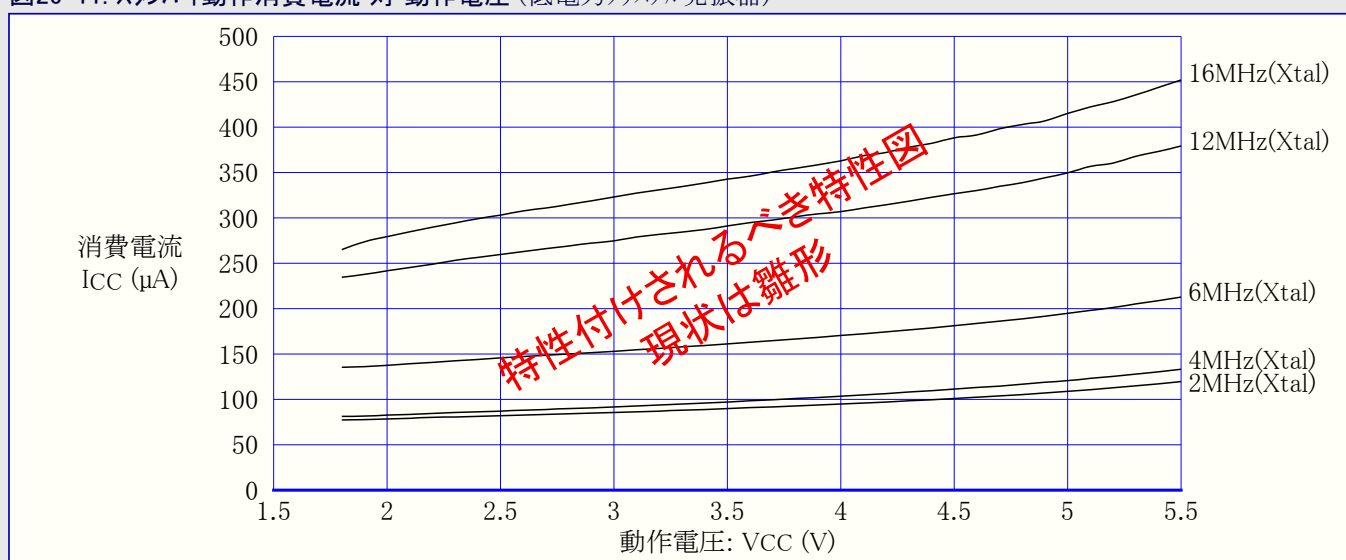


図26-10. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



26.5. スタンバイ動作消費電流

図26-11. スタンバイ動作消費電流 対 動作電圧 (低電力クリスタル発振器)



26.6. ピン プルアップ

図26-12. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

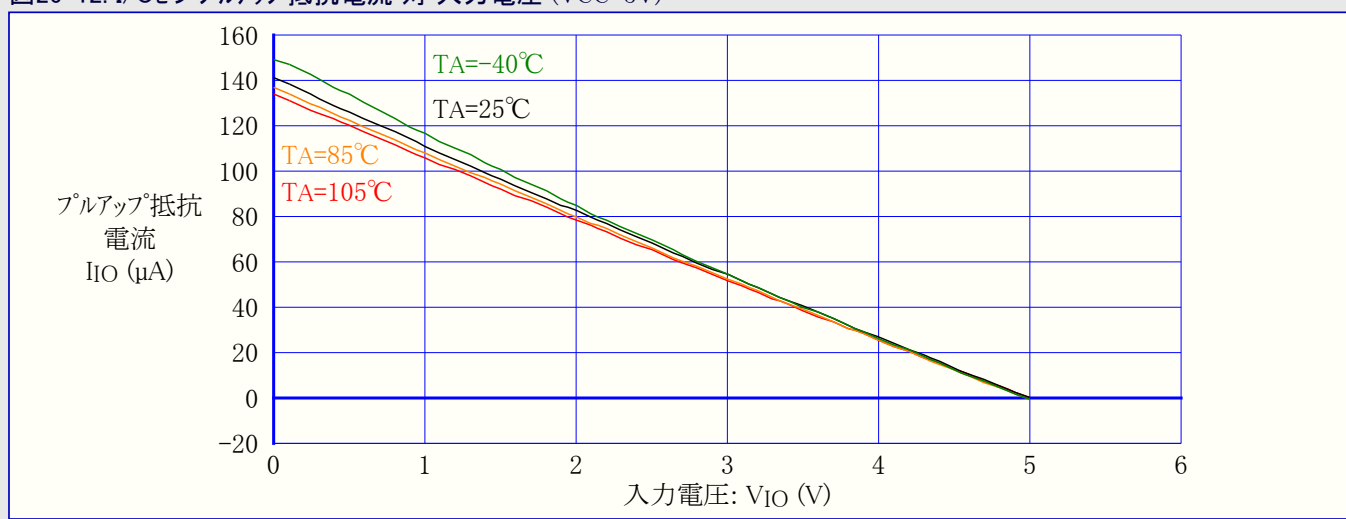


図26-13. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

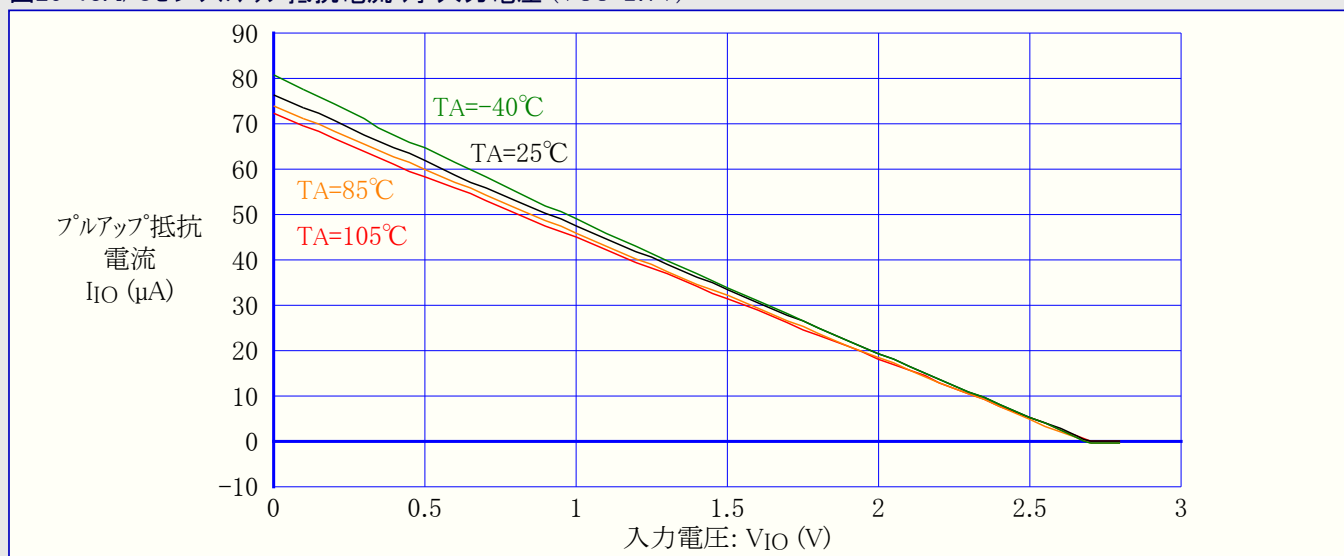


図26-14. RESETピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

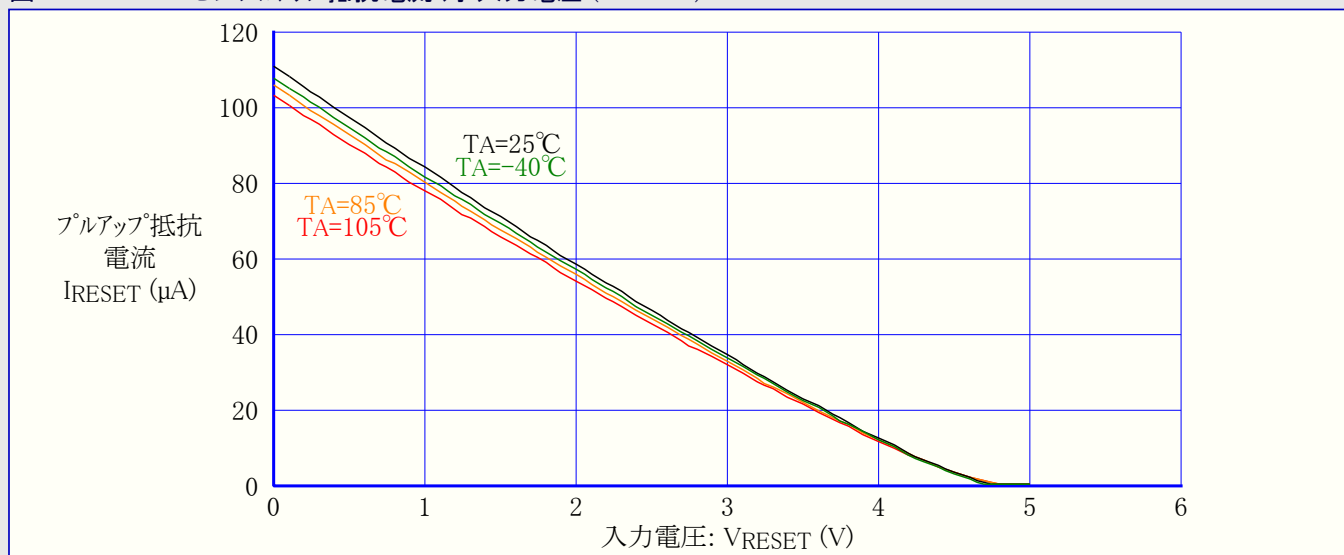
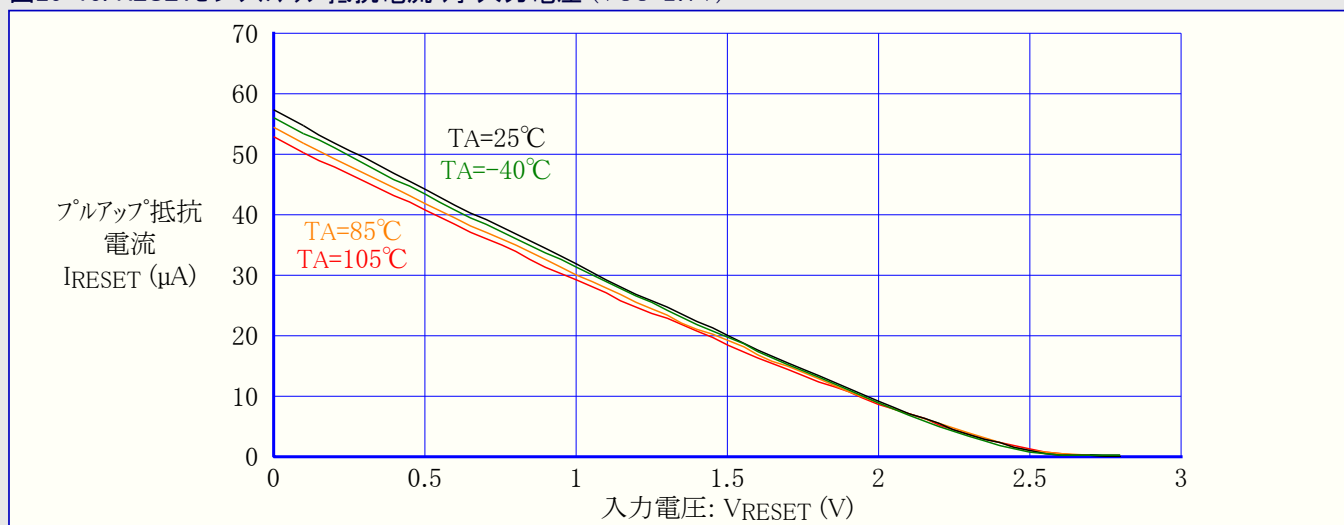


図26-15. RESETピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



26.7. ピン駆動能力

図26-16. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)

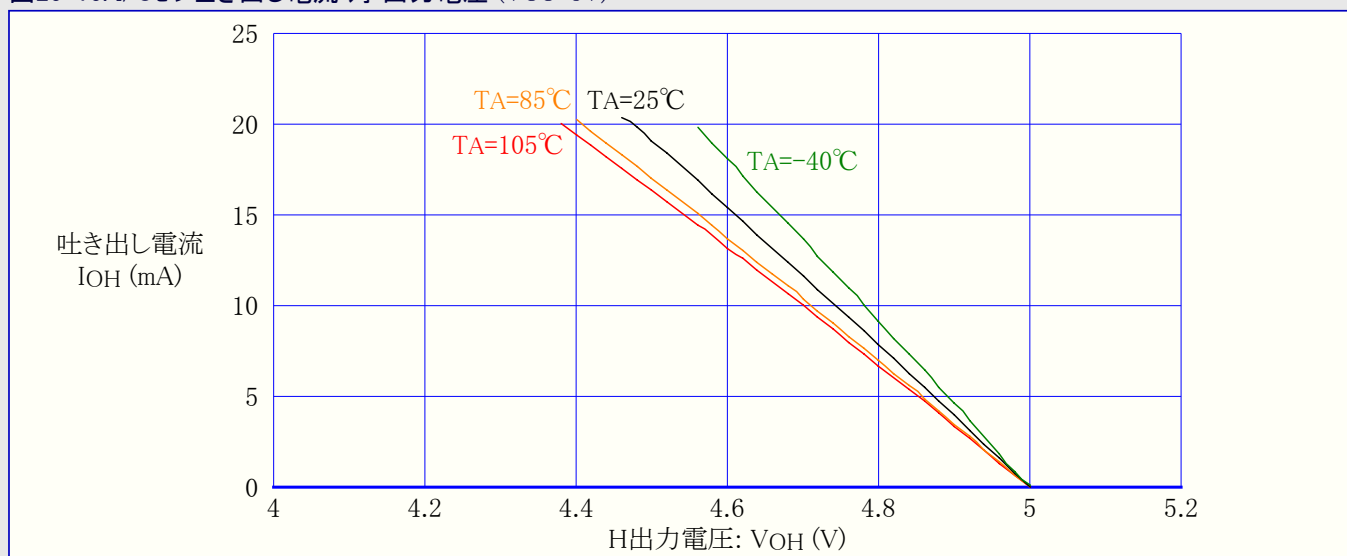


図26-17. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)

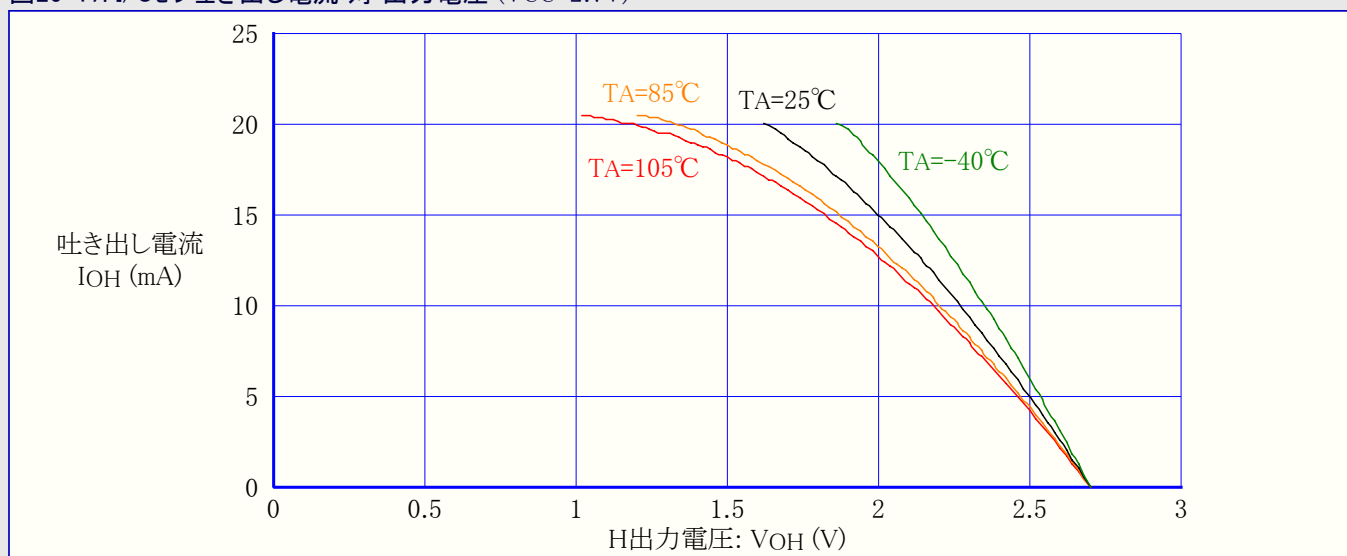


図26-18. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)

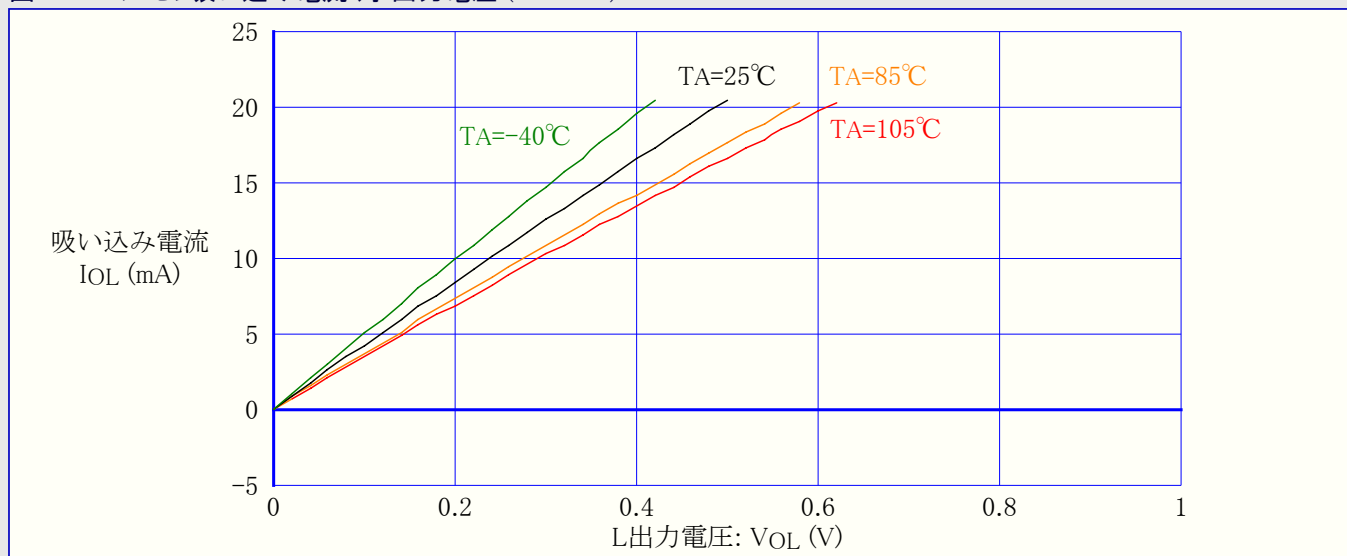
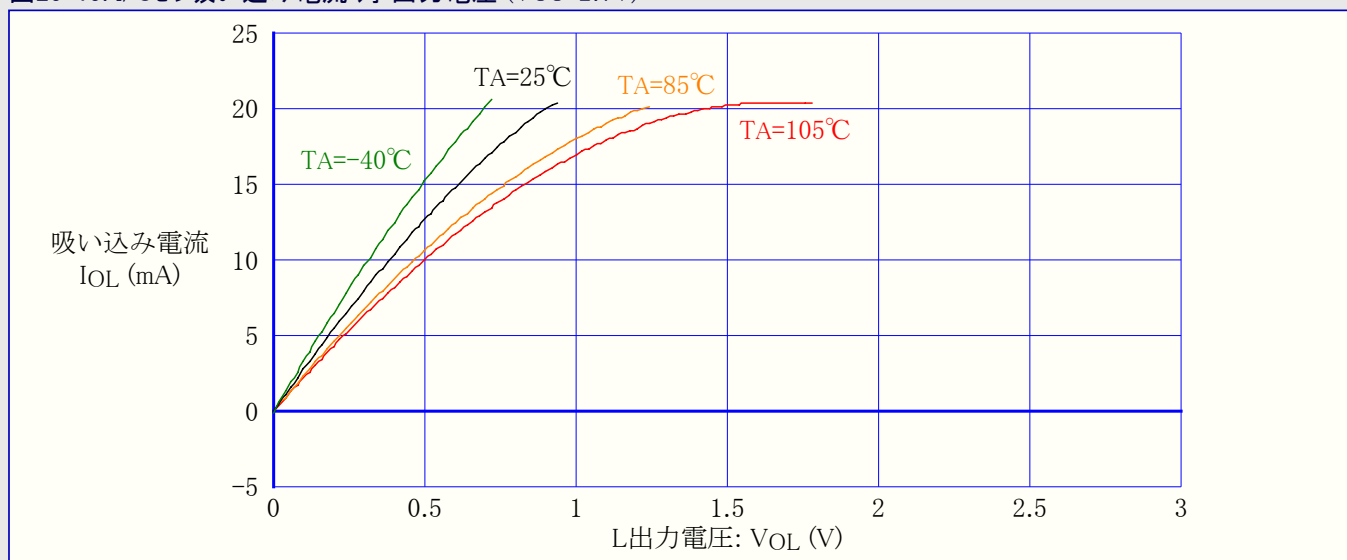


図26-19. I/Oピン吸い込み電流 対 出力電圧 ($V_{CC}=2.7V$)



26.8. ピン 閾値とヒステリシス

図26-20. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

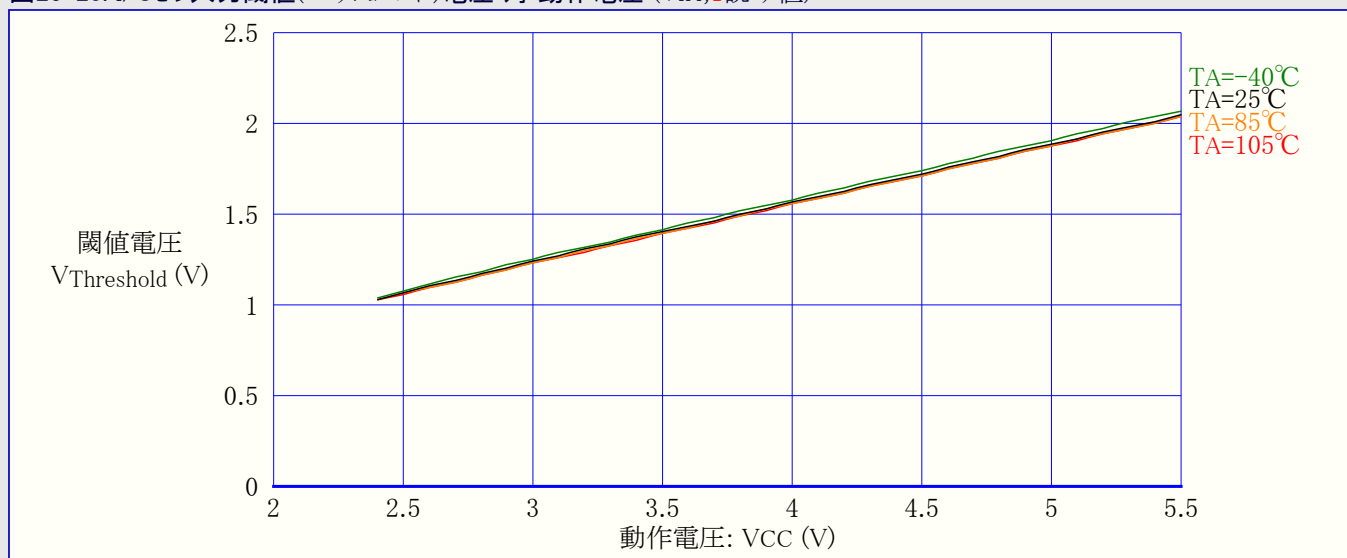


図26-21. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

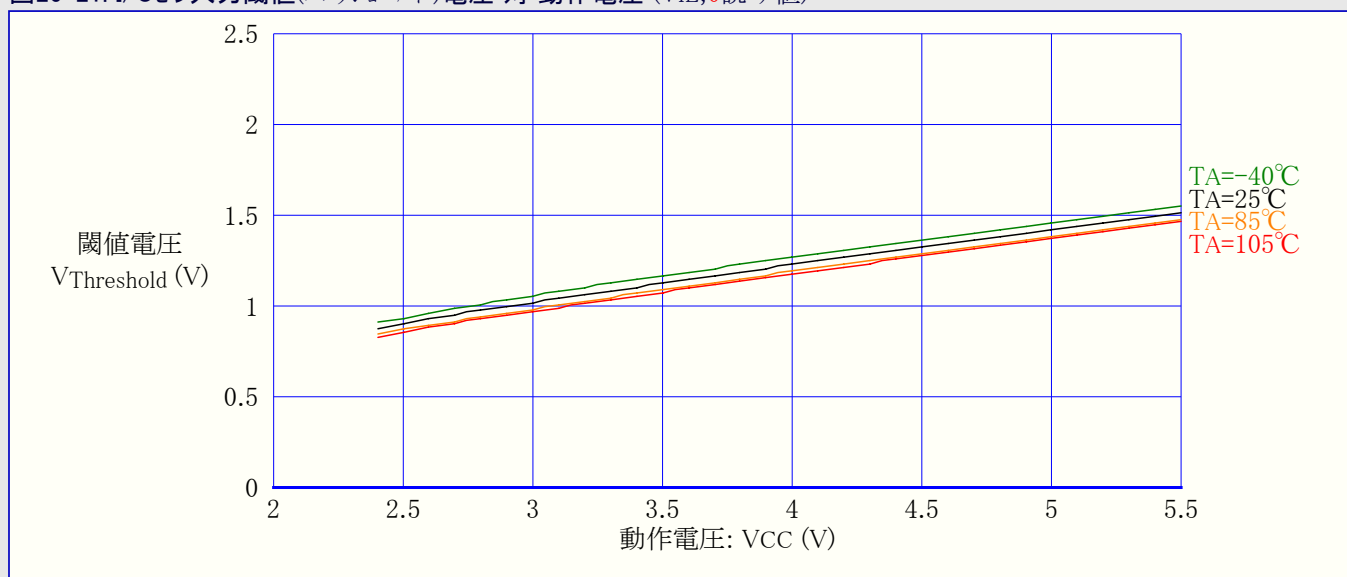


図26-22. I/Oピン入力ヒステリシス電圧 対 動作電圧

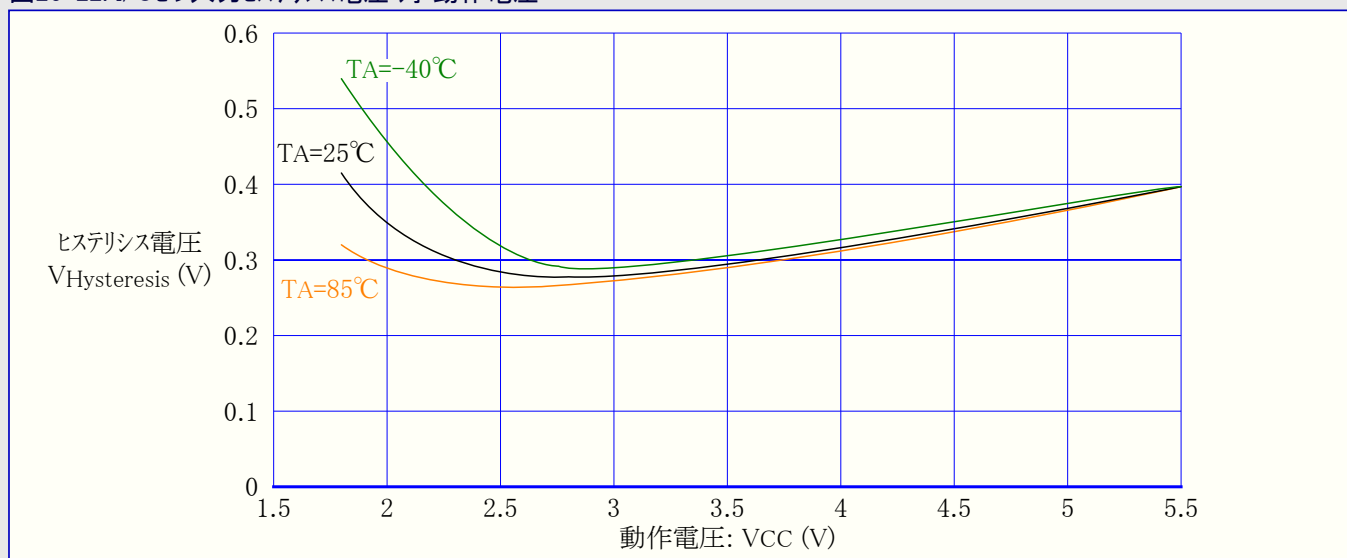


図26-23. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

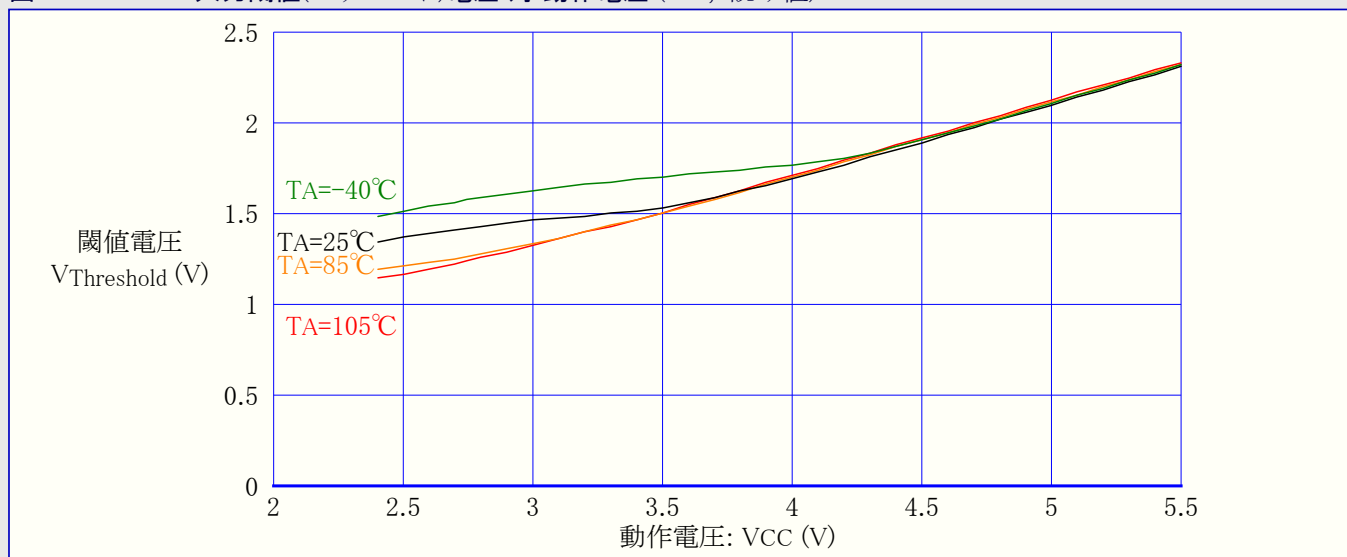


図26-24. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

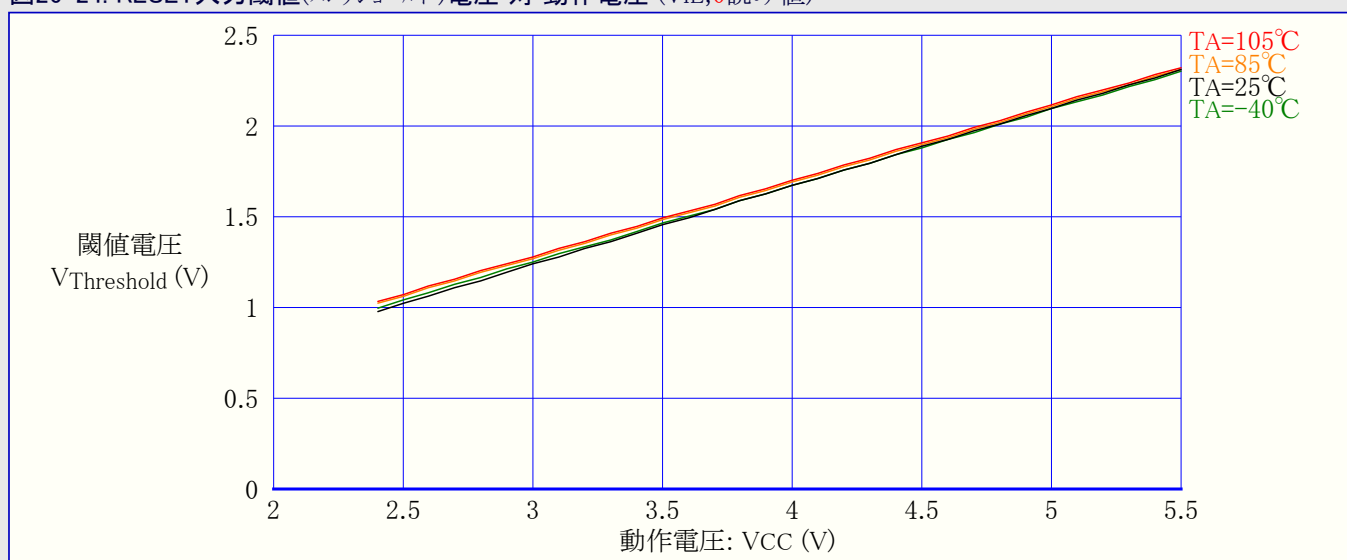


図26-25. RESET入力ヒステリシス電圧 対 動作電圧

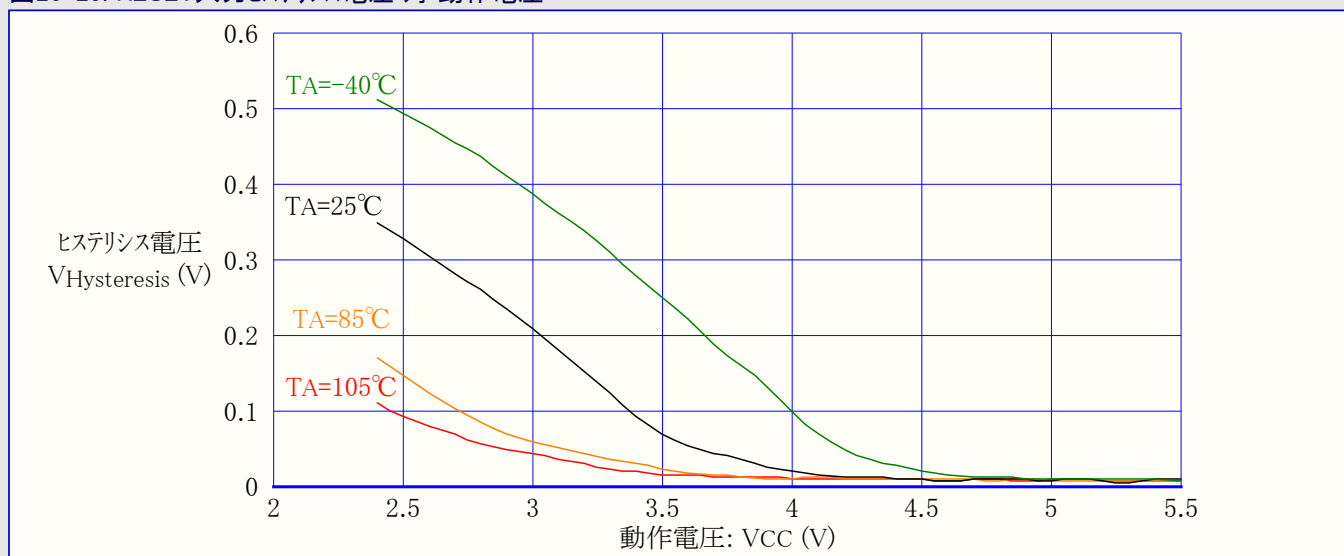


図26-26. XTAL1入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

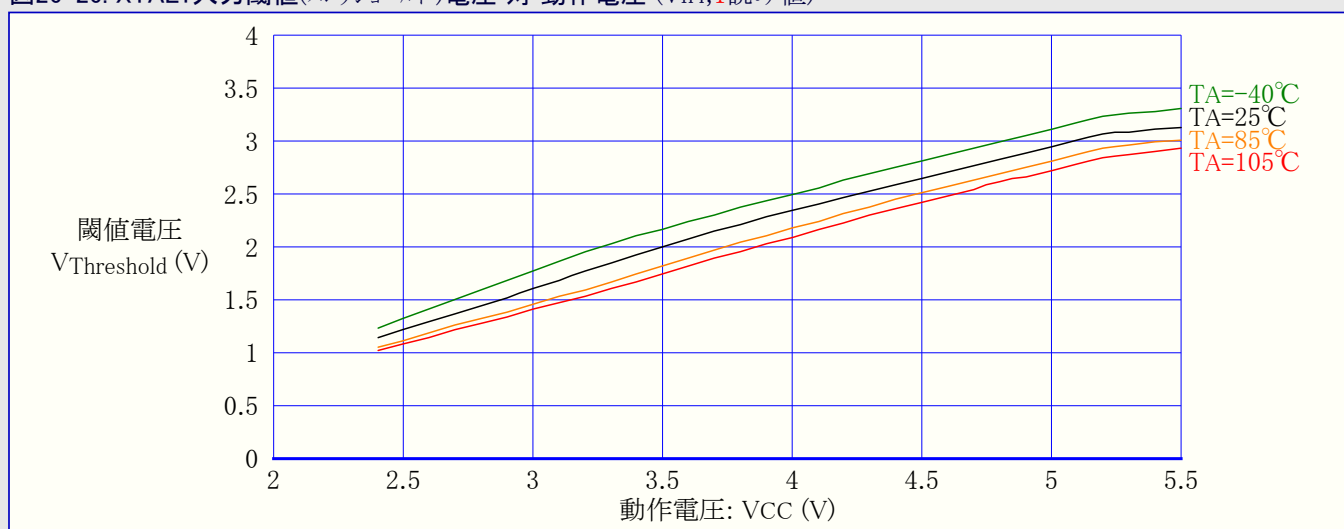


図26-27. XTAL1入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

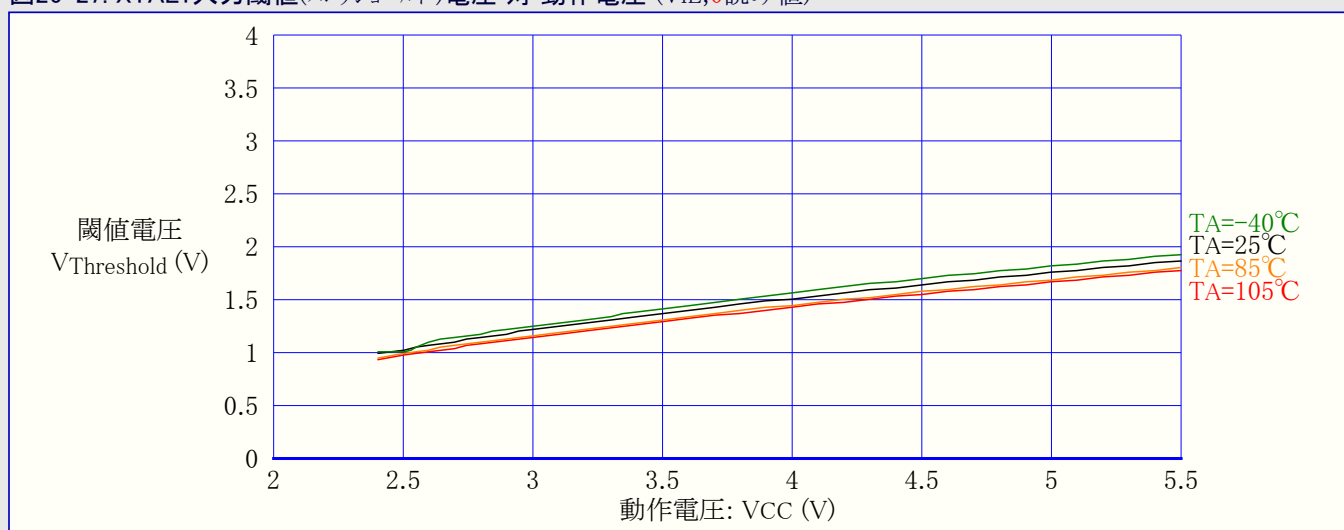


図26-28. PE0入力閾値(スレッショルド)電圧 対 動作電圧 (VIH,1読み値)

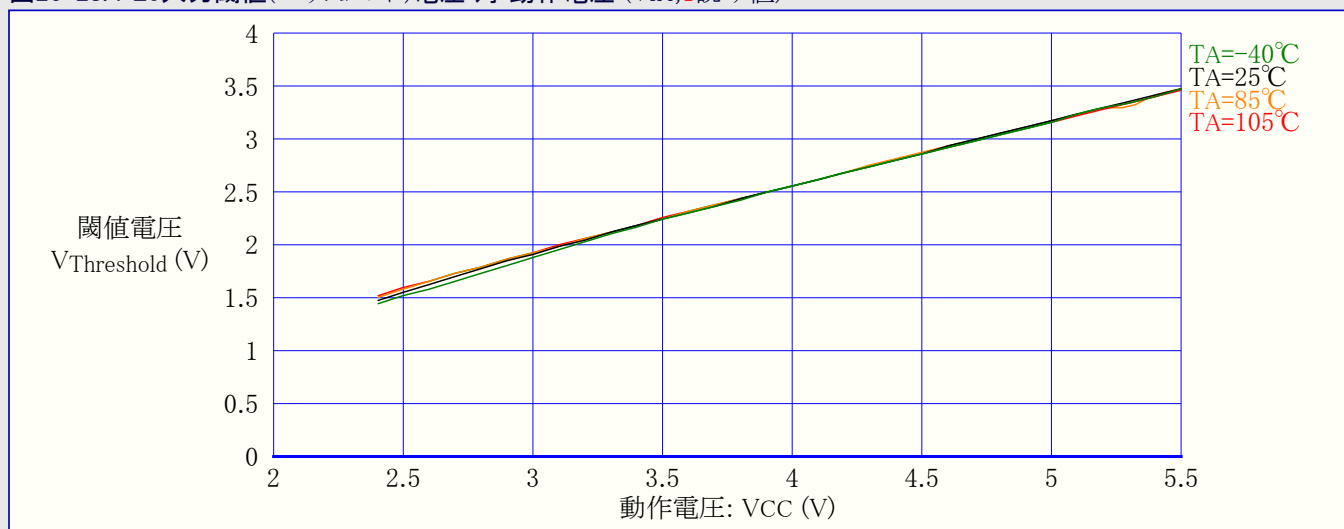
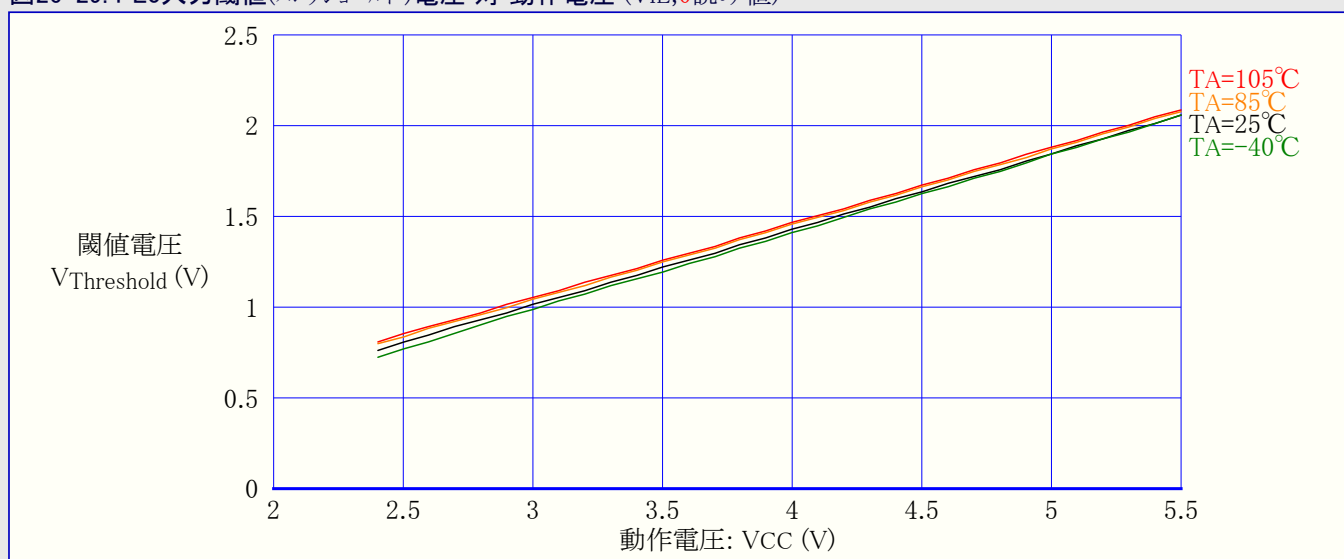


図26-29. PE0入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)



26.9. 低電圧検出器(BOD)閾値とアナログ比較器変位(オフセット)

図26-30. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧4.3V)

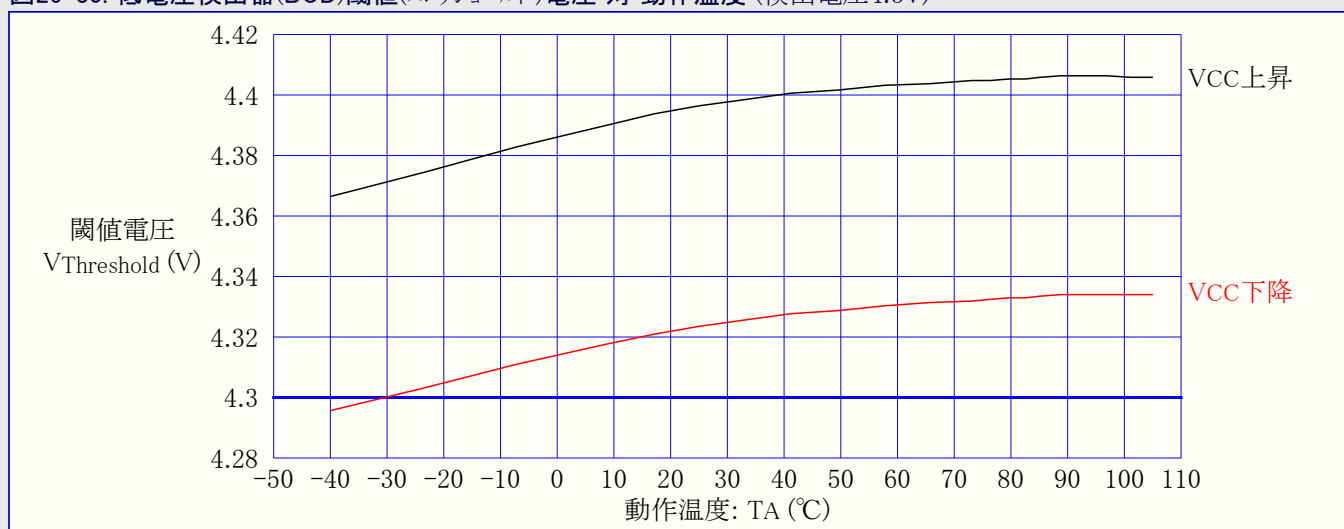


図26-31. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧2.7V)

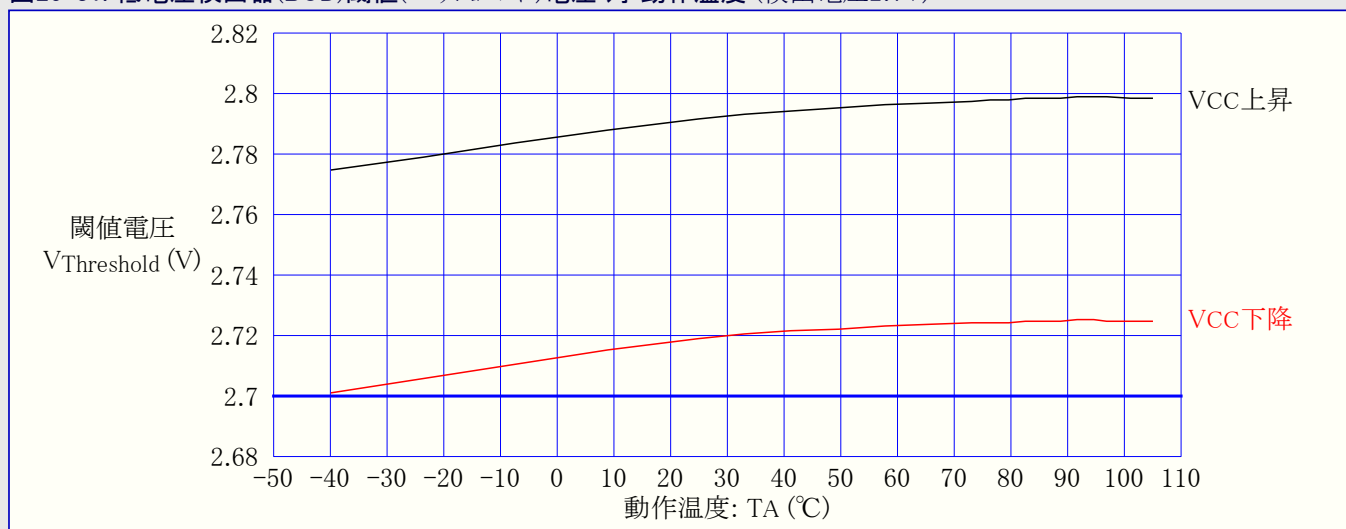


図26-32. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=5V)

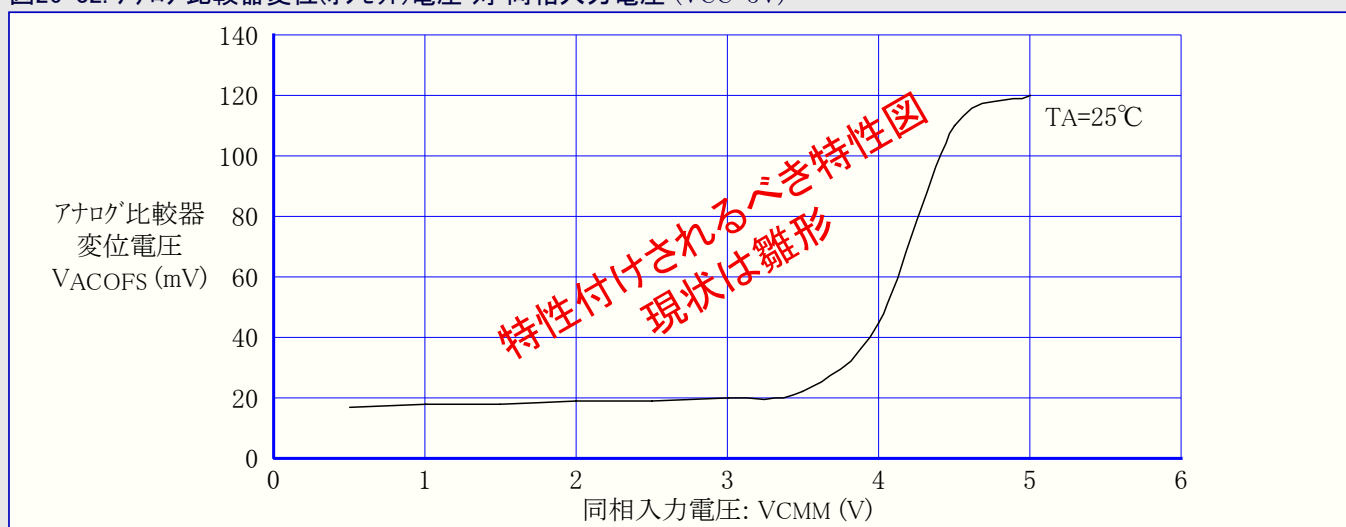
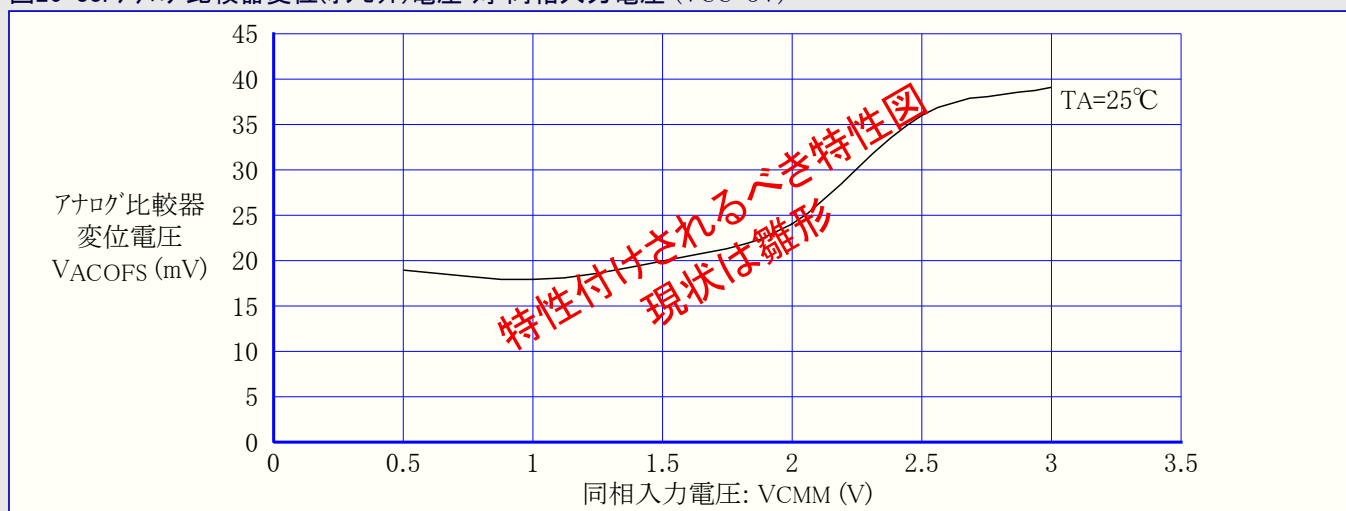


図26-33. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=3V)



26.10. アナログ基準電圧

図26-34. A/D変換内部基準電圧 対 動作電圧

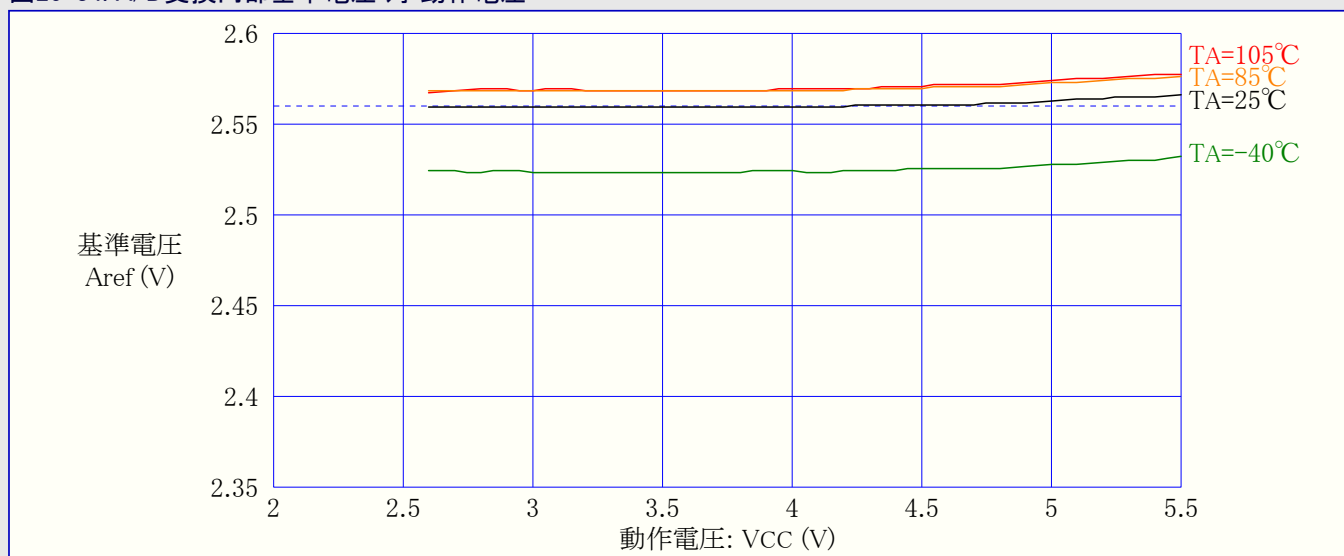
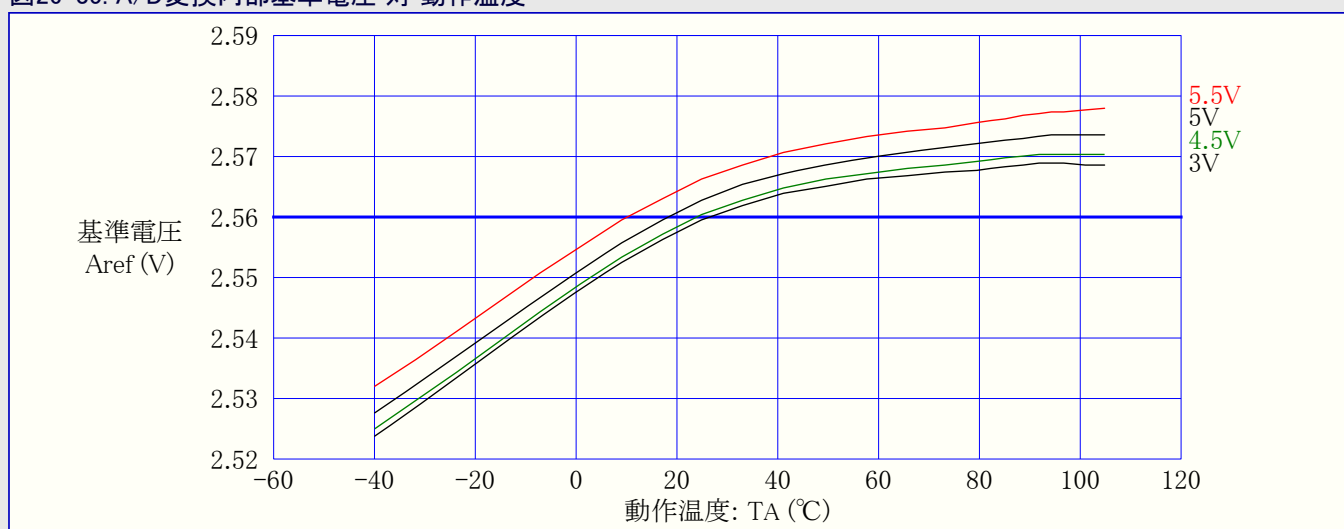


図26-35. A/D変換内部基準電圧 対 動作温度



26.11. 内部発振器周波数

図26-36. ウォッチドッグ発振器周波数 対 動作電圧

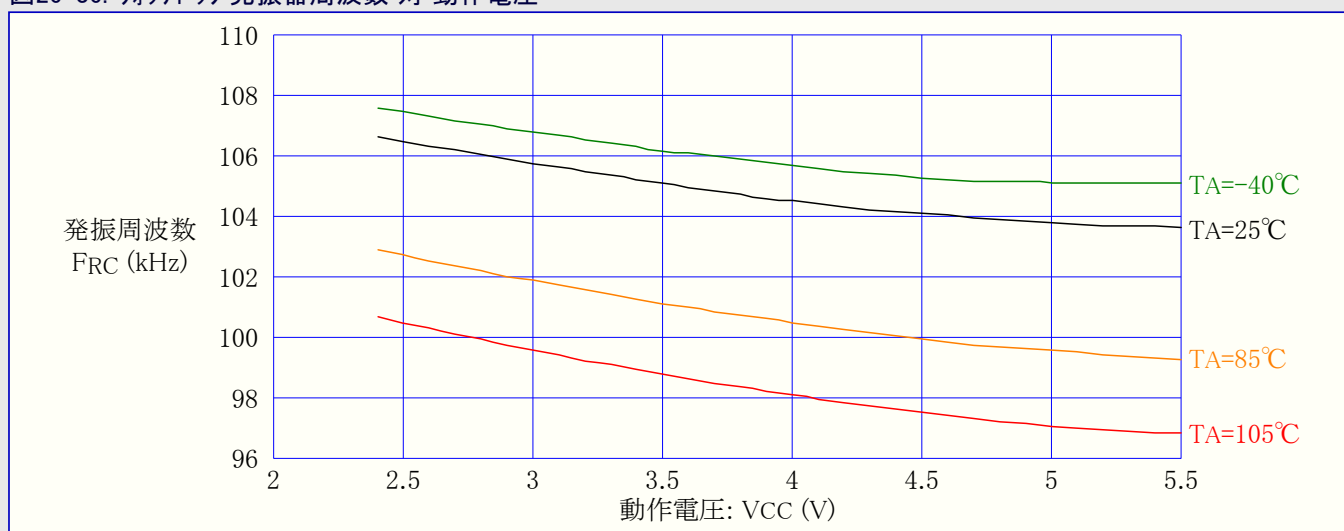


図26-37. 校正済み8MHz内蔵RC発振器周波数 対 動作温度

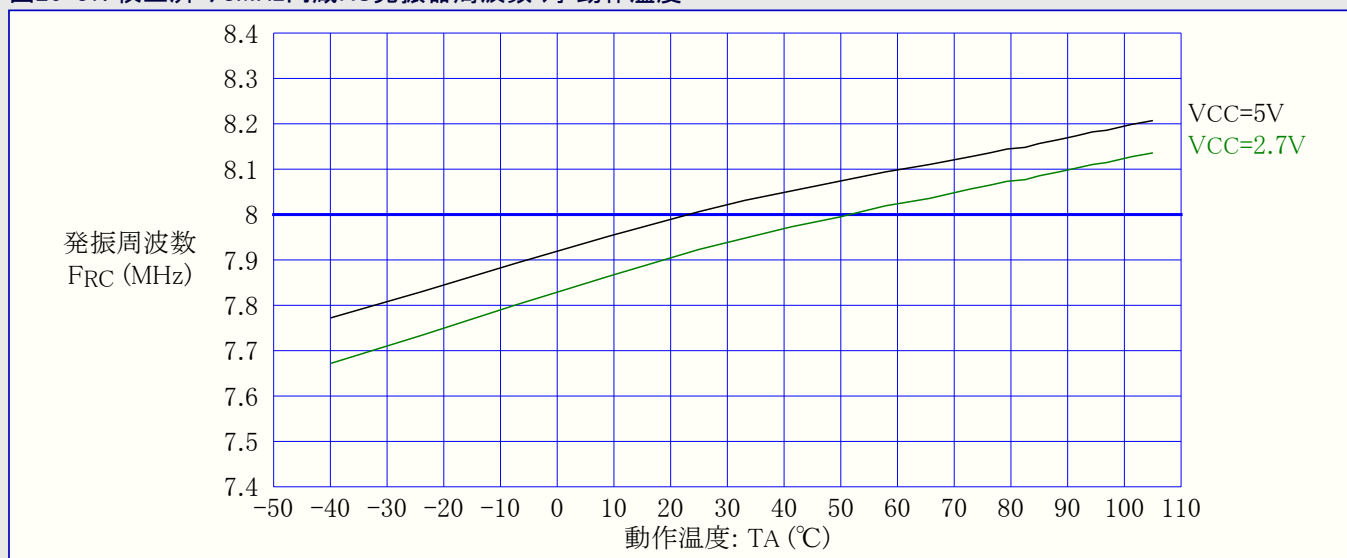


図26-38. 校正済み8MHz内蔵RC発振器周波数 対 動作電圧

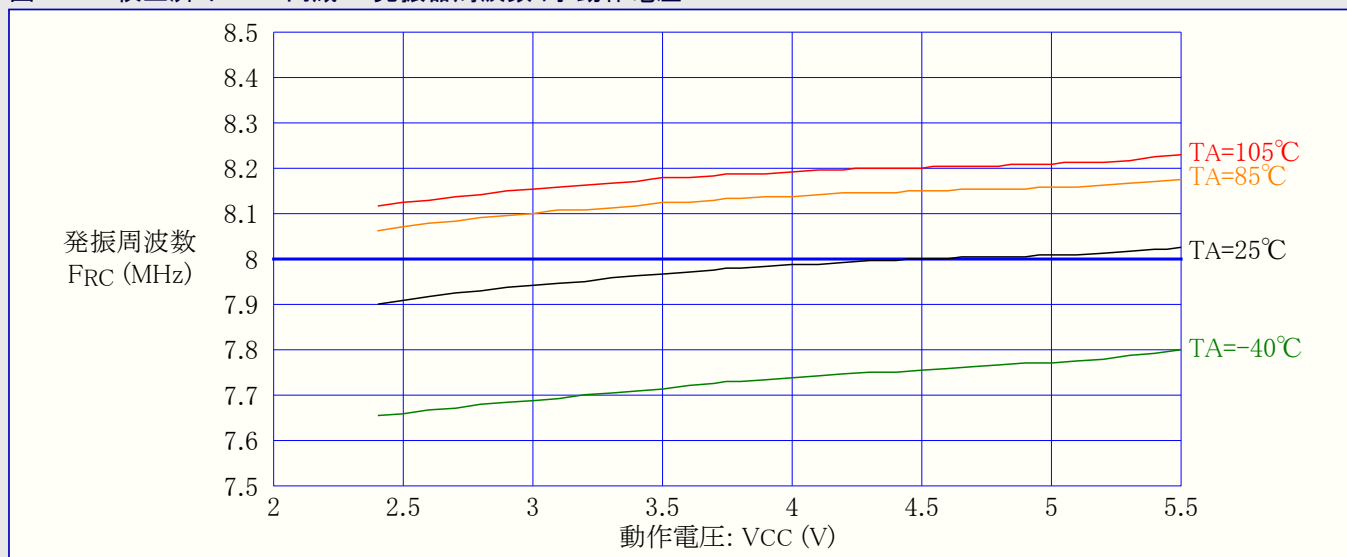
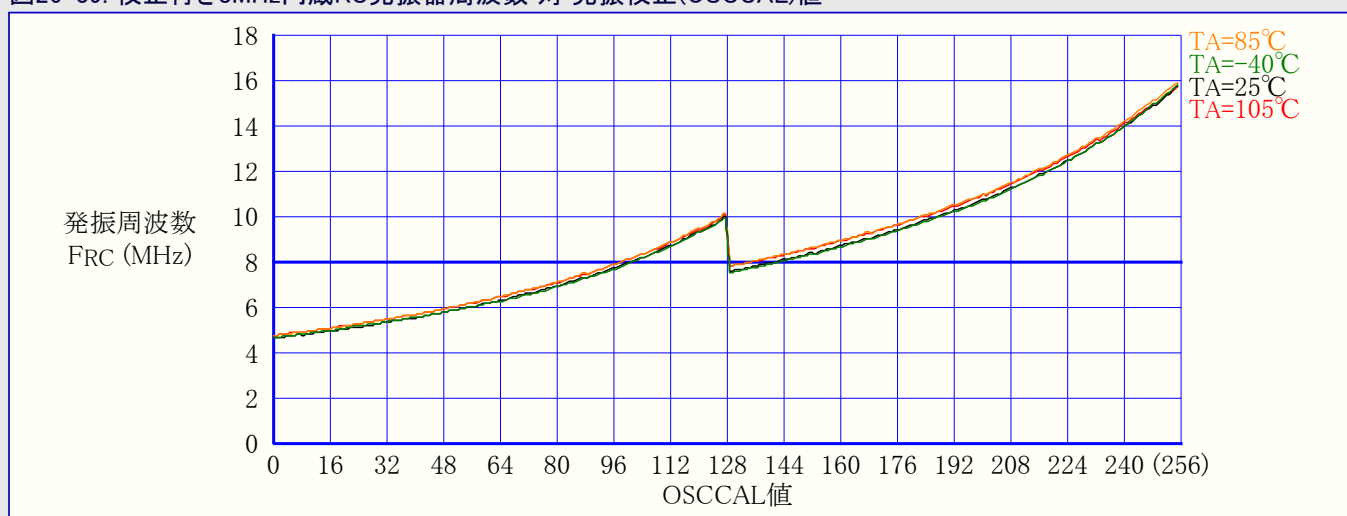


図26-39. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値



26.12. 周辺機能部消費電流

図26-40. 低電圧検出器(BOD)消費電流 対 動作電圧

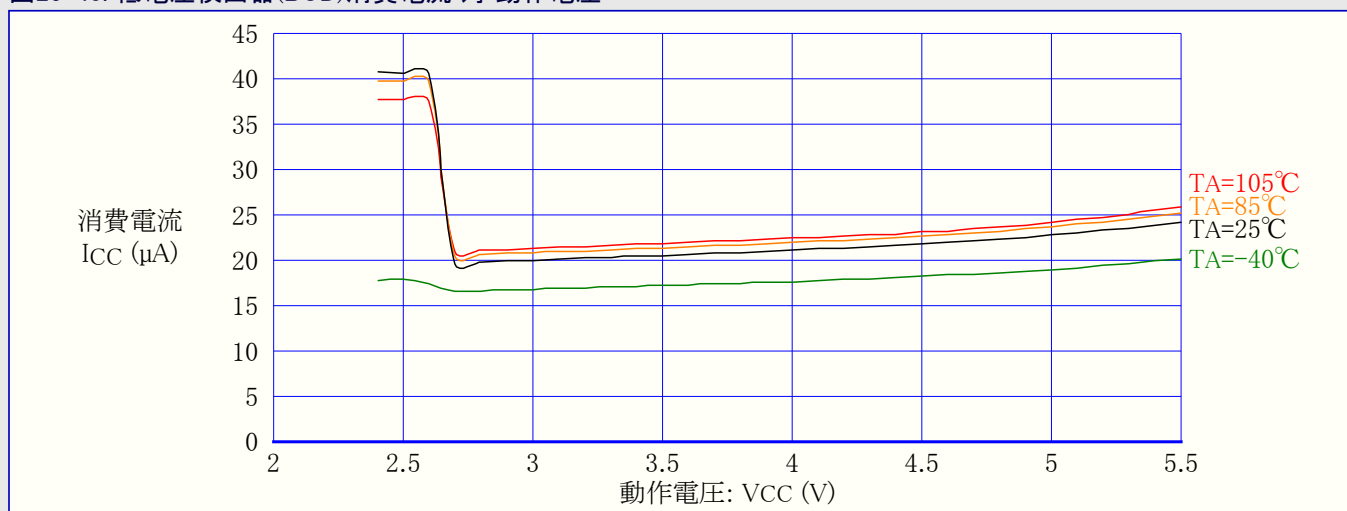


図26-41. A/D変換器消費電流 対 動作電圧 (変換クロック=50kHz)

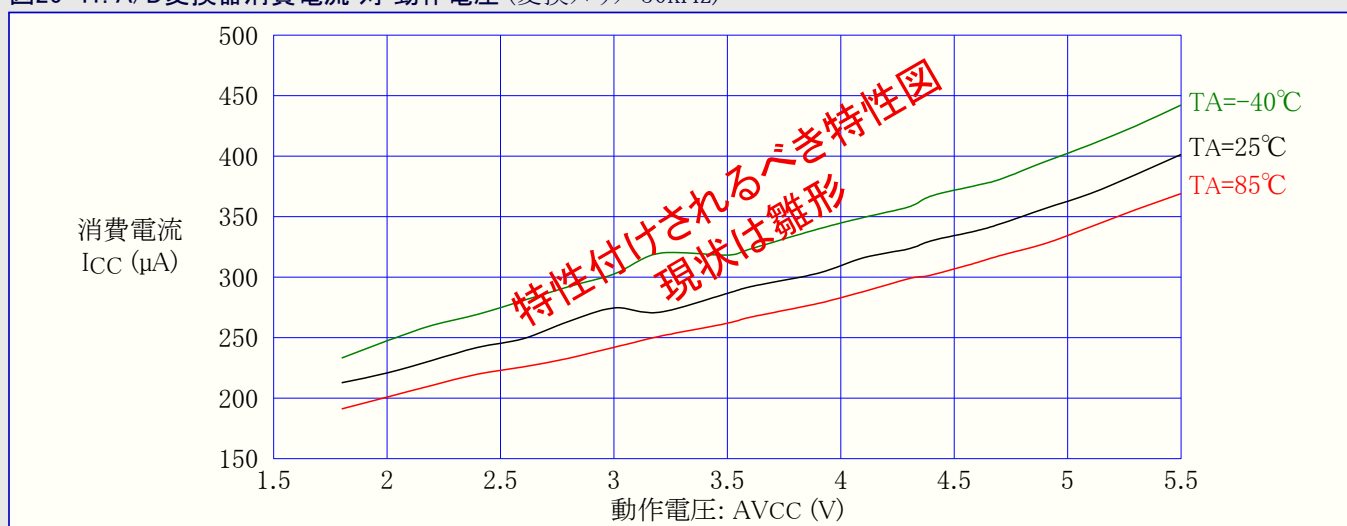


図26-42. 外部基準電圧(AREF)電流 対 動作電圧 (変換クロック=1MHz)

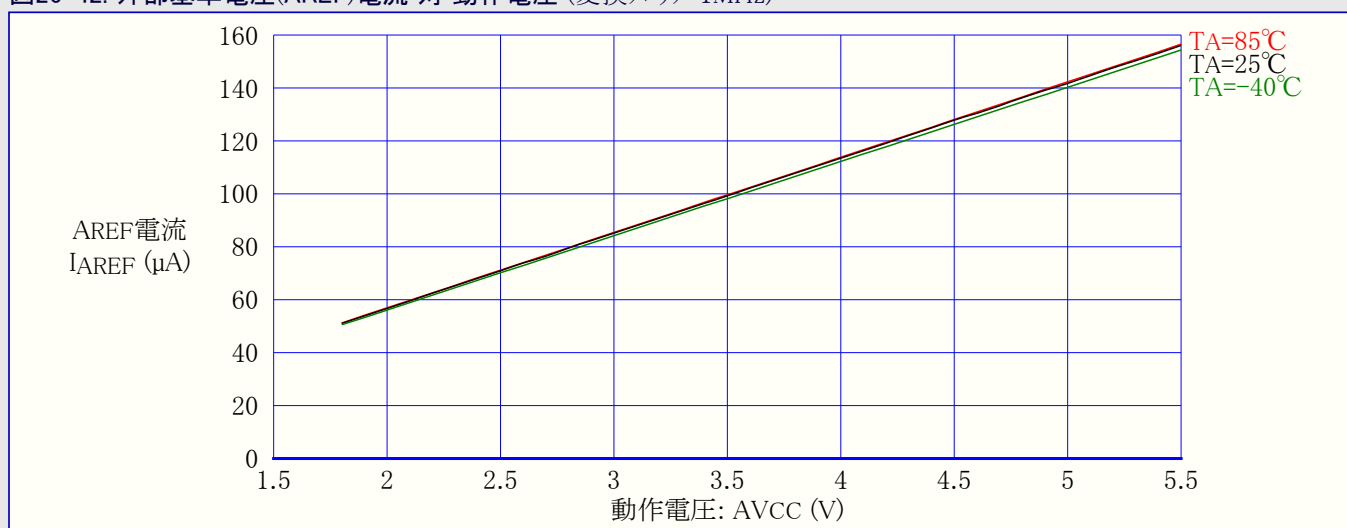


図26-43. アナログ比較器消費電流 対 動作電圧

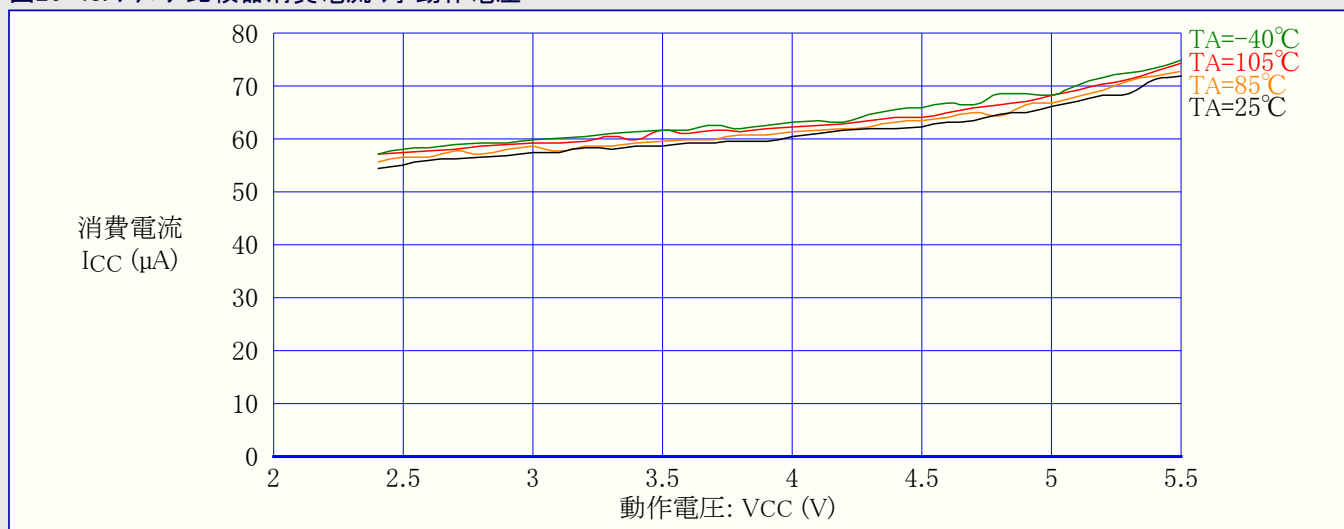
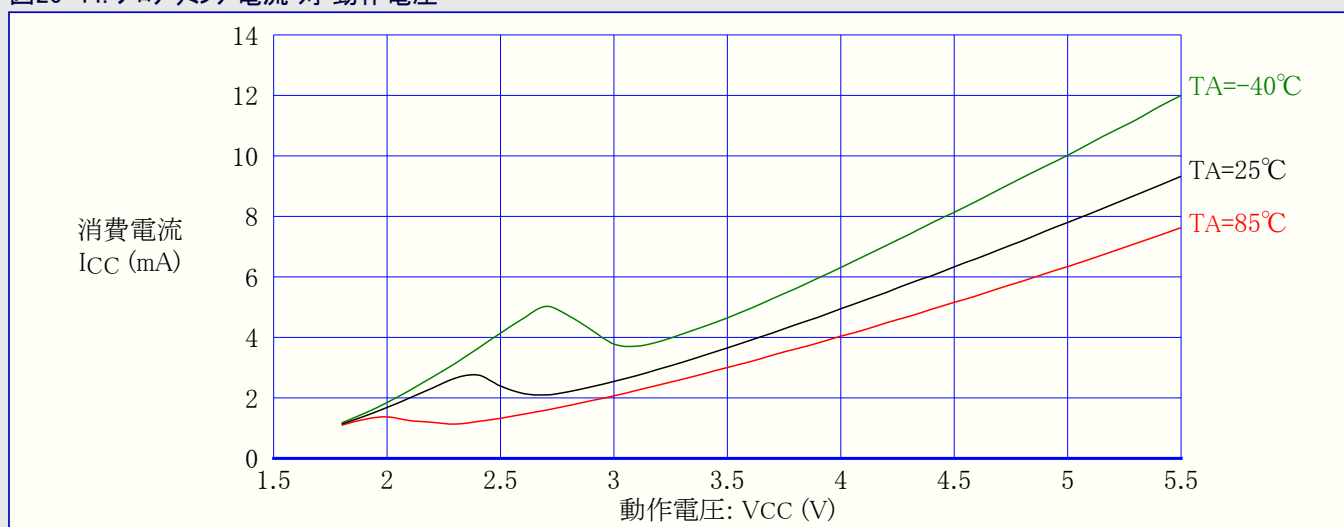


図26-44. フロタリング電流 対 動作電圧



26.13. リセット消費電流とリセット パルス幅

図26-45. リセット消費(供給)電流 対 周波数 (100kHz~1MHz、RESETプルアップ電流を除く)

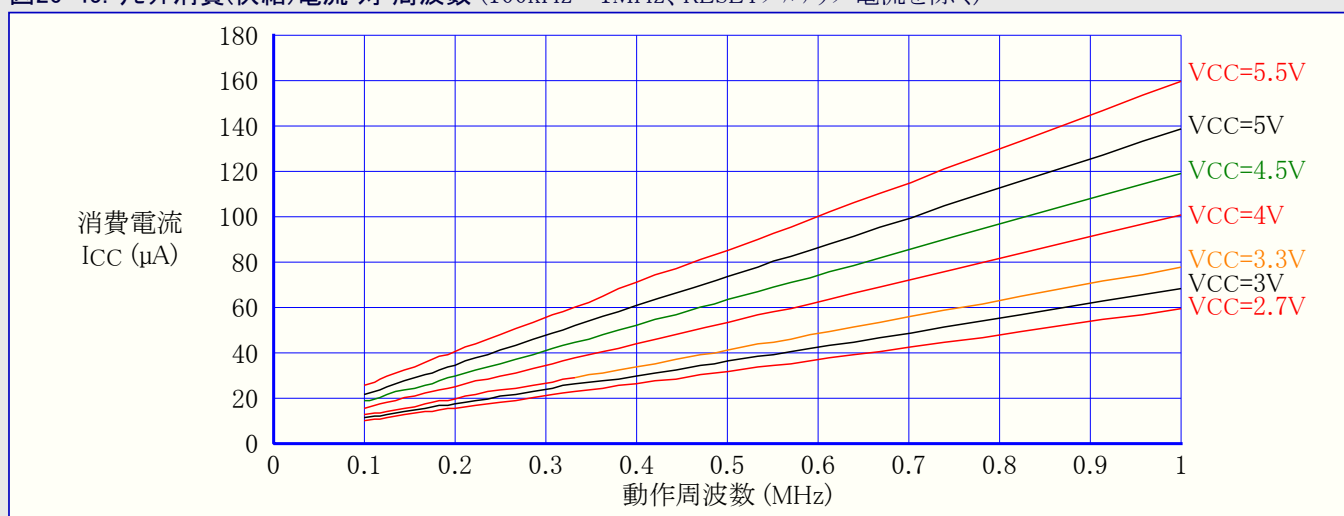


図26-46. リセット消費(供給)電流 対 周波数 (1MHz~25MHz、RESETプルアップ電流を除く)

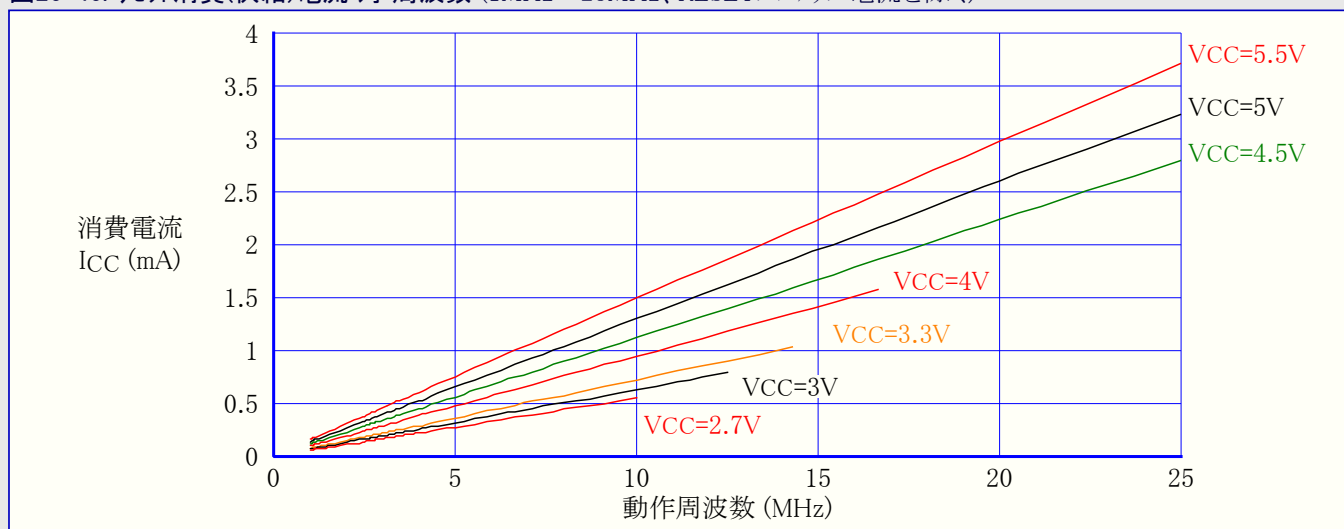


図26-47. リセット消費(供給)電流 対 動作電圧 (クロック停止、RESETプルアップ電流を除く)

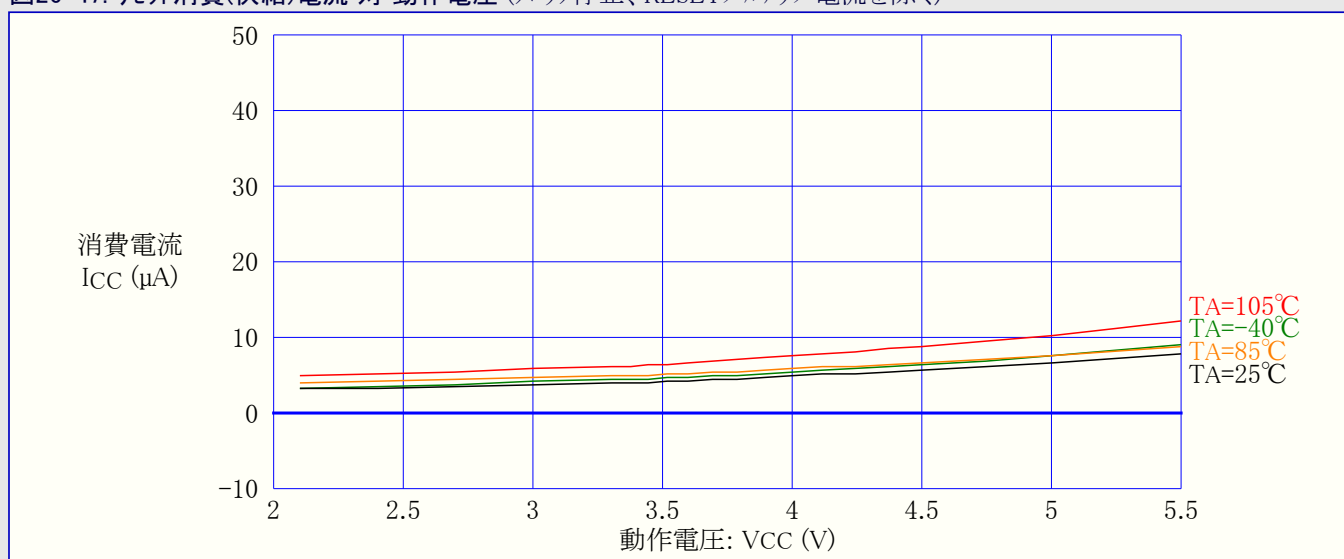
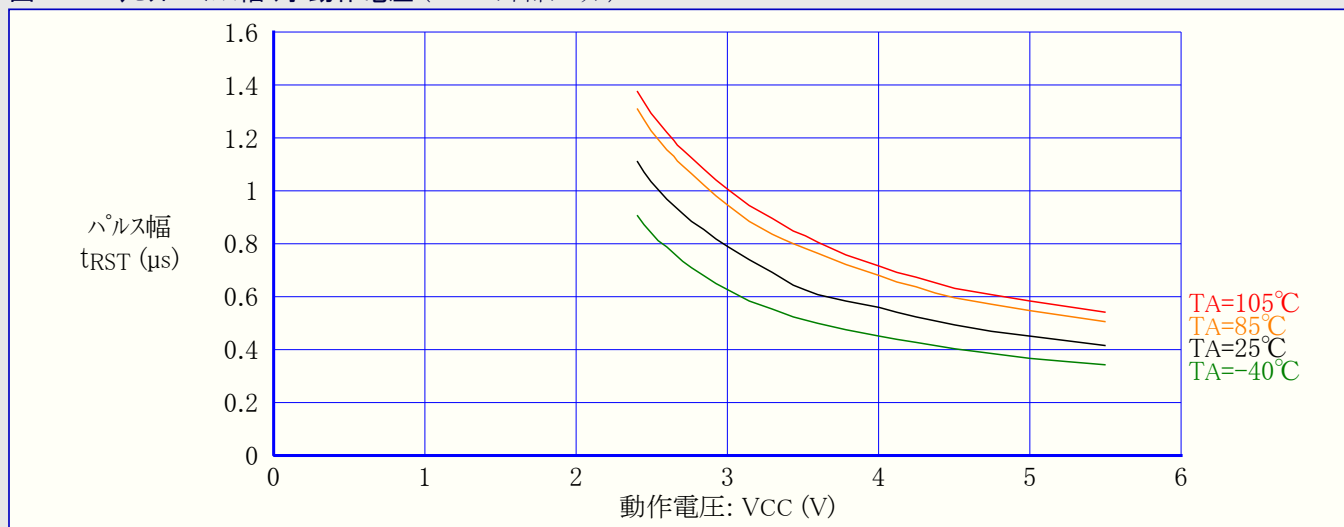


図26-48. リセットパルス幅 対 動作電圧 (1MHz外部クロック)



27. レジスタ要約

拡張1/レジスタ領域 (1/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(\$FF)	PICR2H	PCST2	-	-	-	電力段制御器2 捕獲レジスタ 上位バイト				106
(\$FE)	PICR2L	電力段制御器2 捕獲レジスタ 下位バイト								
(\$FD)	PFRC2B	PCAE2B	PISEL2B	PELEV2B	PFLTE2B	PRFM2B3	PRFM2B2	PRFM2B1	PRFM2B0	105
(\$FC)	PFRC2A	PCAE2A	PISEL2A	PELEV2A	PFLTE2A	PRFM2A3	PRFM2A2	PRFM2A1	PRFM2A0	105
(\$FB)	PCTL2	PPRE21	PPRE20	PBFM2	PAOC2B	PAOC2A	PARUN2	PCCYC2	PRUN2	104
(\$FA)	PCNF2	PFIFTY2	PALOCK2	PLOCK2	PMODE21	PMODE20	POP2	PCLKSEL2	POME2	103
(\$F9)	OCR2RBH	電力段制御器2 比較RBレジスタ 上位バイト								102
(\$F8)	OCR2RBL	電力段制御器2 比較RBレジスタ 下位バイト								
(\$F7)	OCR2SBH	-	-	-	-	電力段制御器2 比較SBレジスタ 上位バイト				102
(\$F6)	OCR2SBL	電力段制御器2 比較SBレジスタ 下位バイト								
(\$F5)	OCR2RAH	-	-	-	-	電力段制御器2 比較RAレジスタ 上位バイト				102
(\$F4)	OCR2RAL	電力段制御器2 比較RAレジスタ 下位バイト								
(\$F3)	OCR2SAH	-	-	-	-	電力段制御器2 比較SAレジスタ 上位バイト				102
(\$F2)	OCR2SAL	電力段制御器2 比較SAレジスタ 下位バイト								
(\$F1)	POM2	POMV2B3	POMV2B2	POMV2B1	POMV2B0	POMV2A3	POMV2A2	POMV2A1	POMV2A0	106
(\$F0)	PSOC2	POS23	POS22	PSYNC21	PSYNC20	POEN2D	POEN2B	POEN2C	POEN2A	101
(\$EF)	PICR1H	PCST1	-	電力段制御器1 捕獲レジスタ 上位バイト						106
(\$EE)	PICR1L	電力段制御器1 捕獲レジスタ 下位バイト								
(\$ED)	PFRC1B	PCAE1B	PISEL1B	PELEV1B	PFLTE1B	PRFM1B3	PRFM1B2	PRFM1B1	PRFM1B0	105
(\$EC)	PFRC1A	PCAE1A	PISEL1A	PELEV1A	PFLTE1A	PRFM1A3	PRFM1A2	PRFM1A1	PRFM1A0	105
(\$EB)	PCTL1	PPRE11	PPRE10	PBFM1	PAOC1B	PAOC1A	PARUN1	PCCYC1	PRUN1	104
(\$EA)	PCNF1	PFIFTY1	PALOCK1	PLOCK1	PMODE11	PMODE10	POP1	PCLKSEL1	-	103
(\$E9)	OCR1RBH	電力段制御器1 比較RBレジスタ 上位バイト								102
(\$E8)	OCR1RBL	電力段制御器1 比較RBレジスタ 下位バイト								
(\$E7)	OCR1SBH	-	-	-	-	電力段制御器1 比較SBレジスタ 上位バイト				102
(\$E6)	OCR1SBL	電力段制御器1 比較SBレジスタ 下位バイト								
(\$E5)	OCR1RAH	-	-	-	-	電力段制御器1 比較RAレジスタ 上位バイト				102
(\$E4)	OCR1RAL	電力段制御器1 比較RAレジスタ 下位バイト								
(\$E3)	OCR1SAH	-	-	-	-	電力段制御器1 比較SAレジスタ 上位バイト				102
(\$E2)	OCR1SAL	電力段制御器1 比較SAレジスタ 下位バイト								
(\$E1)	予約									
(\$E0)	PSOC1	-	-	PSYNC11	PSYNC10	-	POEN1B	-	POEN1A	101
(\$DF)	PICR0H	PCST0	-	-	-	電力段制御器0 捕獲レジスタ 上位バイト				106
(\$DE)	PICR0L	電力段制御器0 捕獲レジスタ 下位バイト								
(\$DD)	PFRC0B	PCAE0B	PISEL0B	PELEV0B	PFLTE0B	PRFM0B3	PRFM0B2	PRFM0B1	PRFM0B0	105
(\$DC)	PFRC0A	PCAE0A	PISEL0A	PELEV0A	PFLTE0A	PRFM0A3	PRFM0A2	PRFM0A1	PRFM0A0	105
(\$DB)	PCTL0	PPRE01	PPRE00	PBFM0	PAOC0B	PAOC0A	PARUN0	PCCYC0	PRUN0	104
(\$DA)	PCNF0	PFIFTY0	PALOCK0	PLOCK0	PMODE01	PMODE00	POP0	PCLKSEL0	-	103
(\$D9)	OCR0RBH	電力段制御器0 比較RBレジスタ 上位バイト								102
(\$D8)	OCR0RBL	電力段制御器0 比較RBレジスタ 下位バイト								
(\$D7)	OCR0SBH	-	-	-	-	電力段制御器0 比較SBレジスタ 上位バイト				102
(\$D6)	OCR0SBL	電力段制御器0 比較SBレジスタ 下位バイト								
(\$D5)	OCR0RAH	-	-	-	-	電力段制御器0 比較RAレジスタ 上位バイト				102
(\$D4)	OCR0RAL	電力段制御器0 比較RAレジスタ 下位バイト								
(\$D3)	OCR0SAH	-	-	-	-	電力段制御器0 比較SAレジスタ 上位バイト				102
(\$D2)	OCR0SAL	電力段制御器0 比較SAレジスタ 下位バイト								
(\$D1)	予約									
(\$D0)	PSOC0	-	-	PSYNC01	PSYNC00	-	POEN0B	-	POEN0A	101
(\$CF)	予約									
(\$CE)	EUDR	EUSART データレジスタ								135
(\$CD)	MUBRRH	EUSART マンチェスタ受信部ホーレートレジスタ上位 (MUBRR15~8)								137
(\$CC)	MUBRRL	EUSART マンチェスタ受信部ホーレートレジスタ下位 (MUBRR7~0)								
(\$CB)	予約									
(\$CA)	EUCSRC	-	-	-	-	FEM	F1617	STP1	STP0	137
(\$C9)	EUCSRB	-	-	-	EUSART	EUSBS	-	EMCH	BODR	136
(\$C8)	EUCSRA	UTXS3	UTXS2	UTXS1	UTXS0	URXS3	URXS2	URXS1	URXS0	136
(\$C7)	予約									
(\$C6)	UDR	USART データレジスタ								124
(\$C5)	UBRRH	-	-	-	-	USART ホーレートレジスタ上位 (UBRR11~8)				127
(\$C4)	UBRRL	USART ホーレートレジスタ下位 (UBRR7~0)								
(\$C3)	予約									
(\$C2)	UCSRC	-	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	126
(\$C1)	UCSRB	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	125
(\$C0)	UCSRA	RXC	TXC	UDRE	FE	DOR	UPE	U2X	MPCM	124

注: 暗背景のレジスタとビットはAT90PWM216で該当機能(またはピン)がないために利用できません。

拡張I/Oレジスタ領域 (2/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(\$BF)	予約									
(\$BE)	予約									
(\$BD)	予約									
(\$BC)	予約									
(\$BB)	予約									
(\$BA)	予約									
(\$B9)	予約									
(\$B8)	予約									
(\$B7)	予約									
(\$B6)	予約									
(\$B5)	予約									
(\$B4)	予約									
(\$B3)	予約									
(\$B2)	予約									
(\$B1)	予約									
(\$B0)	予約									
(\$AF)	AC2CON	AC2EN	AC2IE	AC2IS1	AC2IS0	-	AC2M2	AC2M1	AC2M0	139
(\$AE)	AC1CON	AC1EN	AC1IE	AC1IS1	AC1IS0	AC1ICE	AC1M2	AC1M1	AC1M0	139
(\$AD)	AC0CON	AC0EN	AC0IE	AC0IS1	AC0IS0	-	AC0M2	AC0M1	AC0M0	139
(\$AC)	DACH	D/Aデータレジスタ上位バイト (DAC9~8またはDAC9~2)								157
(\$AB)	DACL	D/Aデータレジスタ下位バイト (DAC7~0またはDAC1,0)								
(\$AA)	DACON	DAATE	DATS2	DATS1	DATS0	-	DALA	DAOE	DAEN	156
(\$A9)	予約									
(\$A8)	予約									
(\$A7)	予約									
(\$A6)	予約									
(\$A5)	PIM2	-	-	PSEIE2	PEVE2B	PEVE2A	-	-	PEOPE2	107
(\$A4)	PIFR2	POAC2B	POAC2A	PSEI2	PEV2B	PEV2A	PRN21	PRN20	PEOP2	107
(\$A3)	PIM1	-	-	PSEIE1	PEVE1B	PEVE1A	-	-	PEOPE1	107
(\$A2)	PIFR1	POAC1B	POAC1A	PSEI1	PEV1B	PEV1A	PRN11	PRN10	PEOP1	107
(\$A1)	PIM0	-	-	PSEIE0	PEVE0B	PEVE0A	-	-	PEOPE0	107
(\$A0)	PIFR0	POAC0B	POAC0A	PSEI0	PEV0B	PEV0A	PRN01	PRN00	PEOP0	107
(\$9F)	予約									
(\$9E)	予約									
(\$9D)	予約									
(\$9C)	予約									
(\$9B)	予約									
(\$9A)	予約									
(\$99)	予約									
(\$98)	予約									
(\$97)	予約									
(\$96)	予約									
(\$95)	予約									
(\$94)	予約									
(\$93)	予約									
(\$92)	予約									
(\$91)	予約									
(\$90)	予約									
(\$8F)	予約									
(\$8E)	予約									
(\$8D)	予約									
(\$8C)	予約									
(\$8B)	OCR1BH	タイマ/カウンタ1 比較Bレジスタ上位バイト								82
(\$8A)	OCR1BL	タイマ/カウンタ1 比較Bレジスタ下位バイト								
(\$89)	OCR1AH	タイマ/カウンタ1 比較Aレジスタ上位バイト								82
(\$88)	OCR1AL	タイマ/カウンタ1 比較Aレジスタ下位バイト								
(\$87)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト								82
(\$86)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト								
(\$85)	TCNT1H	タイマ/カウンタ1 上位バイト								81
(\$84)	TCNT1L	タイマ/カウンタ1 下位バイト								
(\$83)	予約									
(\$82)	TCCR1C	FOC1A	FOC1B	-	-	-	-	-	-	81
(\$81)	TCCR1B	ICNC1	ICES1	-	WGM13	WGM12	CS12	CS11	CS10	80
(\$80)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10	79

注: 暗背景のレジスタとビットはAT90PWM216で該当機能(またはピン)がないために利用できません。

拡張I/Oレジスタ領域 (3/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(\$7F)	DIDR1	-	-	ACMP0D	AMP0PD	AMP0ND	ADC10D ACMP1D	ADC9D AMP1PD	ADC8D AMP1ND	141,151
(\$7E)	DIDR0	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D ACMPMD	ADC2D ACMP2D	ADC1D	ADC0D	141,151
(\$7D)	予約									
(\$7C)	ADMUX	REFS1	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0	149
(\$7B)	ADCSRB	ADHSM	-	-	-	ADTS3	ADTS2	ADTS1	ADTS0	150
(\$7A)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	149
(\$79)	ADCH	A/Dデータレジスタ上位バイト (ADC9~8またはADC9~2)								151
(\$78)	ADCL	A/Dデータレジスタ下位バイト (ADC7~0またはADC1,0)								
(\$77)	AMP1CSR	AMP1EN	AMP1IS	AMP1G1	AMP1G0	-	-	AMP1TS1	AMP1TS0	154
(\$76)	AMP0CSR	AMP0EN	AMP0IS	AMP0G1	AMP0G0	-	-	AMP0TS1	AMP0TS0	154
(\$75)	予約									
(\$74)	予約									
(\$73)	予約									
(\$72)	予約									
(\$71)	予約									
(\$70)	予約									
(\$6F)	TIMSK1	-	-	ICIE1	-	-	OCIE1B	OCIE1A	TOIE1	83
(\$6E)	TIMSK0	-	-	-	-	-	OCIE0B	OCIE0A	TOIE0	64
(\$6D)	予約									
(\$6C)	予約									
(\$6B)	予約									
(\$6A)	予約									
(\$69)	EICRA	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	49
(\$68)	予約									
(\$67)	予約									
(\$66)	OSCCAL	内蔵RC発振器 発振校正値レジスタ								18
(\$65)	予約									
(\$64)	PRR	PRPSC2	PRPSC1	PRPSC0	PRTIM1	PRTIM0	PRSPI	PRUSART0	PRADC	24
(\$63)	予約									
(\$62)	予約									
(\$61)	CLKPR	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	21
(\$60)	WDTCSR	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	31

注: 暗背景のレジスタとビットはAT90PWM216で該当機能(またはピン)がないために利用できません。

- 注意:** ・ 将来のデバイスとの共通性のため、アクセスされる場合の予約ビットは0を書かれるべきです。予約したI/Oメモリアドレスは決して書かれるべきではありません。
- ・ アドレス範囲\$00~\$1F内のI/Oレジスタは**SBI**と**CBI**命令を使う直接ビットアクセスが可能です。これらのレジスタでは**SBIS**と**SBIC**命令を使うことによって単一ビット値が検査できます。
 - ・ いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、**CBI**と**SBI**命令は指定ビットだけ操作し、故にこのような状態フラグを含むレジスタで使えます。**CBI**と**SBI**命令は\$00~\$1Fのレジスタだけで動作します。
 - ・ I/O指定命令**IN**と**OUT**を使う時はI/Oアドレス\$00~\$3Fが使われなければなりません。**LD**と**ST**命令を使ってデータ空間としてI/Oレジスタをアドレス指定する時はこれらのアドレスに\$20が加算されなければなりません。AT90PWM216/316は**IN**と**OUT**命令で予約した64位置で支援できるよりも多くの周辺部(機能)の複合マイクロコントローラです。SRAM(データ空間)内の拡張I/O空間は**ST/STS/STD**と**LD/LDS/LDD**命令だけが使えます。

標準I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	7
\$3E (\$5E)	SPH	—	—	—	—	—	SP10	SP9	SP8	8
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	予約									
\$3B (\$5B)	予約									
\$3A (\$5A)	予約									
\$39 (\$59)	予約									
\$38 (\$58)	予約									
\$37 (\$57)	SPMCSR	SPMIE	RWWSB	—	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	162
\$36 (\$56)	予約									
\$35 (\$55)	MCUCR	SPIPS	—	—	PUD	—	—	IVSEL	IVCE	110,40,35
\$34 (\$54)	MCUSR	—	—	—	—	WDRF	BORF	EXTRF	PORF	28
\$33 (\$53)	SMCR	—	—	—	—	SM2	SM1	SM0	SE	22
\$32 (\$52)	MSMCR	モニタ停止動作制御レジスタ								
\$31 (\$51)	DWDR	モニタ(デバッグ/WIRE) データレジスタ								158
\$30 (\$50)	ACSR	—	AC2IF	AC1IF	AC0IF	CLKPLL	AC2O	AC1O	AC0O	140
\$2F (\$4F)	予約									
\$2E (\$4E)	SPDR	SPI データレジスタ								111
\$2D (\$4D)	SPSR	SPIF	WCOL	—	—	—	—	—	SPI2X	111
\$2C (\$4C)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	110
\$2B (\$4B)	予約									
\$2A (\$4A)	予約									
\$29 (\$49)	PLLCSR	—	—	—	—	—	PLLF	PLLE	PLOCK	20
\$28 (\$48)	OCR0B	タイマ/カウンタ0 比較Bレジスタ								63
\$27 (\$47)	OCR0A	タイマ/カウンタ0 比較Aレジスタ								63
\$26 (\$46)	TCNT0	タイマ/カウンタ0								63
\$25 (\$45)	TCCR0B	FOC0A	FOC0B	—	—	WGM02	CS02	CS01	CS00	62
\$24 (\$44)	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	—	—	WGM01	WGM00	61
\$23 (\$43)	GTCCR	TSM	ICPSEL1	—	—	—	—	—	PSRSYNC	52
\$22 (\$42)	EEARH	—	—	—	—	—	—	—	EEAR8	12
\$21 (\$41)	EEARL	EEPROMアドレスレジスタ下位バイト (EEAR7~0)								
\$20 (\$40)	EEDR	EEPROMデータレジスタ								12
\$1F (\$3F)	EECR	—	—	—	—	EERIE	EEMWE	EEWE	EERE	12
\$1E (\$3E)	GPIOR0	汎用I/Oレジスタ0								15
\$1D (\$3D)	EIMSK	—	—	—	—	INT3	INT2	INT1	INT0	50
\$1C (\$3C)	EIFR	—	—	—	—	INTF3	INTF2	INTF1	INTF0	50
\$1B (\$3B)	GPIOR3	汎用I/Oレジスタ3								15
\$1A (\$3A)	GPIOR2	汎用I/Oレジスタ2								15
\$19 (\$39)	GPIOR1	汎用I/Oレジスタ1								15
\$18 (\$38)	予約									
\$17 (\$37)	予約									
\$16 (\$36)	TIFR1	—	—	ICF1	—	—	OCF1B	OCF1A	TOV1	83
\$15 (\$35)	TIFR0	—	—	—	—	—	OCF0B	OCF0A	TOV0	64
\$14 (\$34)	予約									
\$13 (\$33)	予約									
\$12 (\$32)	予約									
\$11 (\$31)	予約									
\$10 (\$30)	予約									
\$0F (\$2F)	予約									
\$0E (\$2E)	PORTE	—	—	—	—	—	PORTE2	PORTE1	PORTE0	48
\$0D (\$2D)	DDRE	—	—	—	—	—	DDE2	DDE1	DDE0	48
\$0C (\$2C)	PINE	—	—	—	—	—	PINE2	PINE1	PINE0	48
\$0B (\$2B)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	47
\$0A (\$2A)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	47
\$09 (\$29)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	47
\$08 (\$28)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	47
\$07 (\$27)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	47
\$06 (\$26)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	47
\$05 (\$25)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	47
\$04 (\$24)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	47
\$03 (\$23)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	47
\$02 (\$22)	予約									
\$01 (\$21)	予約									
\$00 (\$20)	予約									

注: 暗背景のレジスタとビットはAT90PWM216で該当機能(またはピン)がないために利用できません。

(訳注) 原書本位置の注意は前頁に移動しました。

28. 命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×U)	I,T,H,S,V,N,Z,C	2
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		レジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		レジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
CALL	k	絶対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	4
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ*	$Rd=Rr$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ*	$Rr(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBRB	Rr,b	汎用レジスタのビットが設定(1)でスキップ*	$Rr(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ*	$P(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ*	$P(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの $\geq$ で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの $\geq$ で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からXレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニフル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	1,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	0,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグ機能専用	I,T,H,S,V,N,Z,C	N/A

29. 注文情報

速度(MHz)	電源電圧	注文符号	外圍器	動作範囲
16	2.7~5.5V	AT90PWM216-16SE	SO24	ES品
		AT90PWM316-16SE	SO32	
		AT90PWM316-16ME	QFN32	
		AT90PWM216-16SU	SO24	範囲拡張版 (-40℃~105℃)
		AT90PWM316-16SU	SO32	
		AT90PWM316-16MU	QFN32	

注: ・全外圍器が鉛フリー、完全にLHF。

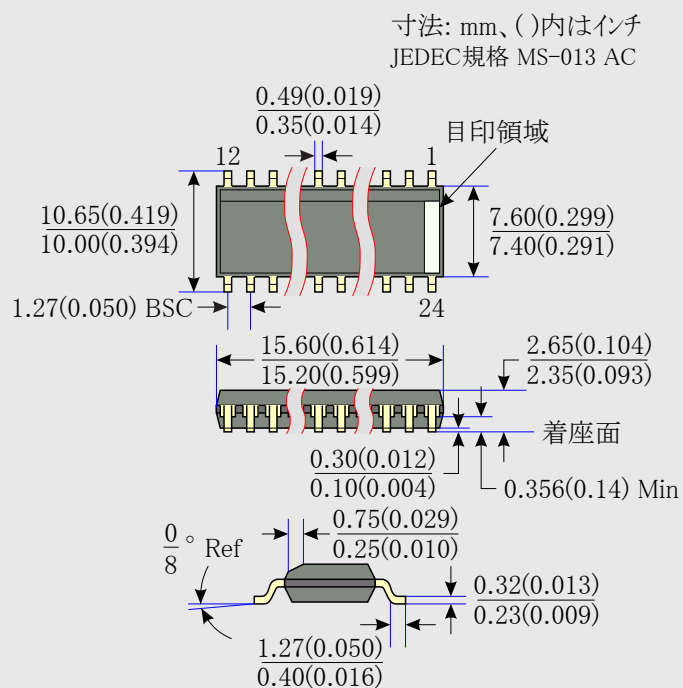
- ・このデバイスはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。
- ・注文符号はスティック(SO)またはトレー(QFN)での出荷用です。これらのデバイスはテープとリールでも出荷できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

30. 外圍器情報

外圍器形式	
SO24	24ピン 小外形外圍器
SO32	32ピン 小外形外圍器
QFN32	32ピン 4方向平板リードなし外圍器

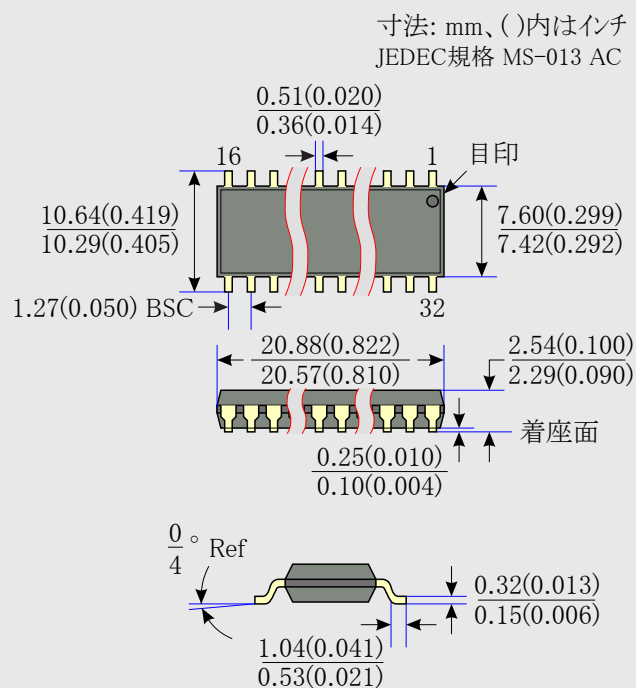
30.1. SO24

24ピン 小外形外圍器

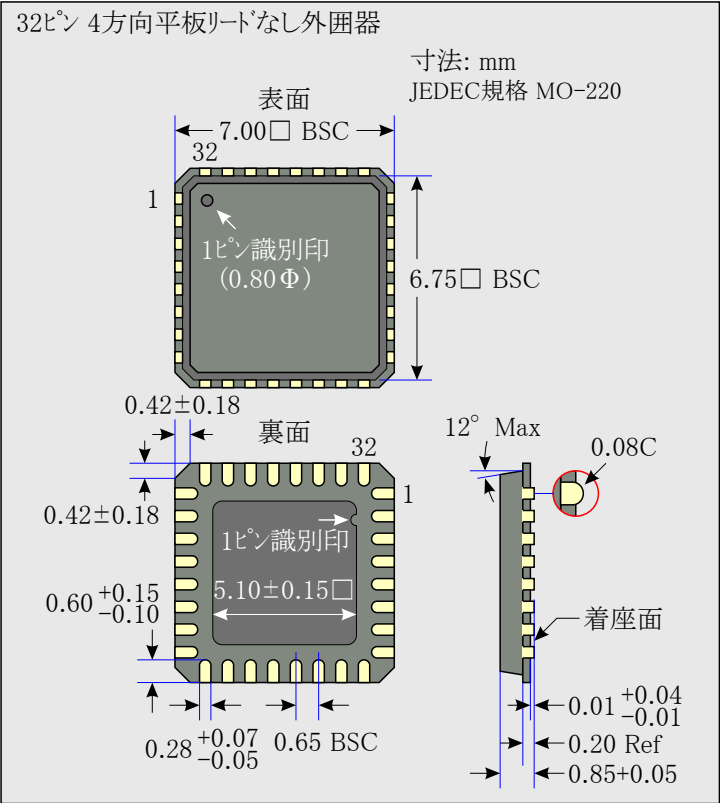


30.2. SO32

32ピン 小外形外圍器



30.3. QFN32



31. 障害情報

この章の改訂番号はAT90PWM216/316デバイスの改訂版を参照してください。

- 3.6V超でのD/A変換器駆動部直線性 A,B,C
- PSCのOCRxxレジスタがPLOCK2の使い方によって更新 A,B

1. 3.6V超でのD/A変換器駆動部直線性 (A,B,C)

VCC=5Vで、D/A変換器駆動直線性はD/A変換器出力レベルがVCC-1V以上の時に不十分です。5Vで1023に対するD/A変換器出力は5V-40mV近辺でしょう。

対策/対処

VCC=5V時、VCC-1V未満のVREFを使ってください。

または、VCC=VREF=5V時、800以上の符号(D/A値)を使わないでください。

2. PSCのOCRxxレジスタがPLOCK2の使い方によって更新 (A,B)

PSCがPLLからクロック駆動され、そしてPSC2自動格納(PLOCK2)ビットがPSC周期終了発生と同時に変更され、且つOCRxxレジスタの計数が変更される場合、変更されたOCRxxレジスタの内容は予想できません。

この原因は2つの異なるクロック領域(PSCをクロック駆動するPLLクロックとCPUクロック)間の同期の問題です。

対策/対処

PSC周期終了割り込みを許可してください。

PSC周期終了割り込みの始めでPLOCK値を変更してください(OCRxxレジスタはこの割り込みの外側で更新することができます)。

この手順は更新とPLOCK活動が同じ瞬間に起きないことを保証します。

32. データシート改訂履歴

この章内の参照頁番号はこの文書が参照されていることに注意してください。この章内の更新番号は文書の更新番号を参照してください。

32.1. 7710A – 2007年3月

1. 初版

32.2. 7710B

1. 11頁の「実装書き換え可能なプログラム用フラッシュメモリ」項を更新
2. 11頁の図5-1を更新
3. 16頁の表6-1を更新
4. 19頁の表6-7を更新
5. 145頁の表20-1を更新
6. 146頁の「雑音低減機能」項を更新
7. 150頁の表20-6を更新、表20-7を追加（**訳注**: 本書では表20-6.に吸収、表20-7.は欠番）
8. 152頁の「増幅器」項を更新
9. 152頁の図20-15を更新、153頁に図20-16を追加、153頁の図20-17を更新
10. 154頁の「AMP0CSR – 増幅器0制御/状態レジスタ」と「AMP1CSR – 増幅器1制御/状態レジスタ」項を更新
11. 154頁の表20-9を更新、表20-11を更新（**訳注**: 本書では表20-9.相当、統合で表20-11.は欠番）
12. 167頁の表23-6., 表23-7., 表23-8.を更新
13. 181頁の「DC特性」を更新
14. 185頁の表25-5を更新
15. 189頁の「例1」、「例2」、「例3」項を更新
16. 193頁に図26-21を追加
17. 207頁の「命令要約」項を更新
18. 211頁に「障害情報」を追加

32.3. 7710C – 2008年1月

1. 2頁の表を更新
2. 18頁の「校正付き内蔵RC発振器」項を更新
3. 155頁の「特徴」を更新
4. 181頁の「電氣的特性」を更新
5. 182頁に「校正付き内蔵RC発振器の精度」項を追加
6. 185頁の表25-5を更新
7. 199頁の図26-37., 図26-38., 図26-39.を更新

32.4. 7710D – 2009年8月

1. 2頁の表を更新
2. 181頁の「絶対最大定格」を更新

32.5. 7710E – 2010年8月

1. 4頁の脚注に「AT90PWM216デバイスは24ピンSOIC外周器で利用可能ですが、I/OピンへのD2A(D/A変換器出力)出力を持ちません。」を挿入
2. 5頁の「PC7~PC0 (ポートC)」を更新
3. ACDへの参照を削除することにより、22頁の「アイドル動作」を更新
4. 28頁の「基準電圧許可信号と起動時間」を更新、ACBGへの参照を削除
5. 104頁の表15-14を更新
6. 138頁の「アナログ比較器」と206頁の「レジスタ要約」からACCKDIVへの参照を削除
7. 150頁の「表20-5. A/D変換 前置分周器選択」を更新（**訳注**: 実際は無変化）
8. 内部基準電圧に関する最小と最大の値で185頁の表25-5.を更新
9. 204頁の「レジスタ要約」からAC2SADEビットを削除

32.6. 7710F – 2011年9月

1. 26頁の表8-1を更新、表でVPORとVCCRを追加
2. 27頁の表8-2を更新、010と101に対して最小と最大を追加
3. 182頁の表25-2を更新、VCC=1.8～5.5V列を削除

32.7. 7710G – 2013年3月

1. 新ロゴと新しい住所を含むAtmelの新しい品質雛形を適用
2. 2頁の図2-1を更新。18番ピンがGNDに代わってAGNDに変更 (訳注: 本書では図番号なし)
3. 2頁の図2-2を更新。24番ピンがGNDに代わってAGNDに変更 (訳注: 本書では図番号なし)
4. MLF/QFN外囲器に注を追加。「中央GNDパッド」はGNDに接続されなければなりません。」
5. 11頁の図5-2を更新
6. 16頁の表6-2を更新
7. 40頁「MCUCR – MCU制御レジスタ」を更新。ビット4にリンク追加:37頁の「ピン設定」
8. 84頁の「特徴」を更新。正しい特徴は「異常保護機能、全出力をLowレベルに強制する緊急入力」です。
9. 84頁の「概要」で誤植を修正
10. 88頁の「中央整列動作」を更新。票号のPSCn00とPSCn01は不正で各々PSCn0とPSCn1に置換
11. 90頁の「標準動作」で「波形周波数は次式によって定義されます。」の式を更新
12. 90頁の「増強動作」で $f_{AVERAGE}$ の式を更新
13. 93頁の「入力動作の操作」を更新。表15-6へのリンクを追加 (訳注: 本書では文章のみでリンクなし)
14. 99頁の「PSCの同期化」を更新。正しい内容:「PSCnが設定(1)のPARUNnビットを持つなら、PSCn-1と同時に開始できます。」
15. 101頁の「PSOC2 – PSC2同期・出力構成レジスタ」でビット1と3の説明内容を更新
16. 102頁の「OCRnSA – PSCn比較SALレジスタ」と「OCRnRB – PSCn比較RBLレジスタ」を更新。レジスタはWではなくR/Wです。
17. 104頁の「PCTL1 – PSC1制御レジスタ」を更新。ビット4と3は92頁の「PSC入力設定」にリンク
18. 138頁の「概要」を更新。概要記述から「またはCLKI/O/2」を削除
19. 138頁で「図19-1. アナログ比較器構成図」を更新
20. 140頁の「ACSR – アナログ比較器状態レジスタ」を更新。ビット3にCLKPLLを追加
21. 152頁の「増幅器」を更新。正しい内容:「A/D変換開始はA/D変換制御/状態レジスタA(ADCSRA)でA/D変換開始(ADSC)ビットを設定(1)することによって行なわれます。」
22. 152頁の図20-15と153頁の図20-16を更新。CKADCをCKADC2に変更
23. 169頁の「リセット中の電力段制御器(PSC)出力の動き」を更新。「PSCRVヒューズが0に等しい(プログラム)なら、選んだPSC出力はHigh状態に強制されます。PSCRVヒューズが1に等しい(非プログラム)なら、選んだPSC出力はLow状態に強制されます。」
24. 182頁の表25-1を更新。-40℃～-85℃を-40℃～105℃で置換
25. 185頁の表25-5を更新。VINT項目をAREFで置換、最小と最大の値を更新
26. 181頁の「電気的特性」を更新。185頁に「D/A変換特性」を追加

32.8. 7710H – 2013年7月

1. 「1. 履歴」章を削除
2. 211頁の「障害情報」を更新。改訂A更新、改訂Bと改訂Cを追加

目次

特徴	1	10.4. I/Oポート用レジスタ	47
1. お断り	2	11. 外部割り込み	49
2. ピン配置	2	12. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器	51
2.1. ピン概要	3	13. 8ビット タイマ/カウンタ0 (PWM)	53
3. 概要	4	13.1. 概要	53
3.1. 構成図	4	13.2. タイマ/カウンタのクロック	54
3.2. ピン説明	5	13.3. 計数器部	54
3.3. コード例について	5	13.4. 比較出力部	55
4. AVR CPU コア	6	13.5. 比較一致出力部	56
4.1. 序説	6	13.6. 動作種別	57
4.2. 構造概要	6	13.7. タイマ/カウンタのタイミング	60
4.3. ALU (Arithmetic Logic Unit)	6	13.8. 8ビット タイマ/カウンタ0用レジスタ	61
4.4. ステータス レジスタ	7	14. 16ビット タイマ/カウンタ1	65
4.5. 汎用レジスタ ファイル	8	14.1. 概要	65
4.6. スタック ポインタ	8	14.2. 16ビット レジスタのアクセス	67
4.7. 命令実行タイミング	9	14.3. タイマ/カウンタのクロック	69
4.8. リセットと割り込みの扱い	9	14.4. 計数器部	69
5. メモリ	11	14.5. 捕獲入力部	70
5.1. 実装書き換え可能なプログラム用フラッシュ メモリ	11	14.6. 比較出力部	71
5.2. データ用SRAMメモリ	11	14.7. 比較一致出力部	73
5.3. データ用EEPROMメモリ	12	14.8. 動作種別	74
5.4. I/Oメモリ (レジスタ)	15	14.9. タイマ/カウンタのタイミング	78
5.5. 汎用I/Oレジスタ	15	14.10. 16ビット タイマ/カウンタ1用レジスタ	79
6. システム クロック	16	15. 電力段制御器 (PSC0,PSC1,PSC2)	84
6.1. クロック系統とその配給	16	15.1. 特徴	84
6.2. クロック元	16	15.2. 概要	84
6.3. 既定のクロック元	17	15.3. 電力段制御器(PSC)説明	85
6.4. クリスタル用低電力発振器	17	15.4. 信号説明	86
6.5. 校正付き内蔵RC発振器	18	15.5. 機能説明	87
6.6. PLL	19	15.6. 値の更新	89
6.7. 128kHz内部発振器	20	15.7. 増強分解能	89
6.8. 外部クロック信号	20	15.8. 電力段制御器(PSC)入力	91
6.9. システム クロック出力緩衝部	20	14.9. PSC入力動作1: 信号停止、 反対側沈黙時間へ飛び、待機	94
6.10. システム クロック前置分周器	21	15.10. PSC入力動作2: 信号停止、 反対側沈黙時間実行、待機	94
7. 電力管理と休止形態	22	15.11. PSC入力動作3: 信号停止、 障害有効間反対側沈黙時間実行	95
7.1. アイドル動作	22	15.12. PSC入力動作4: タイミング変更なしで 出力非活動	95
7.2. A/D変換雑音低減動作	22	15.13. PSC入力動作5: 信号停止、 沈黙時間挿入	96
7.3. パワーダウ動作	23	15.14. PSC入力動作6: 信号停止、 反対側沈黙時間へ飛び、待機	96
7.4. スタンバイ動作	23	15.15. PSC入力動作7: PSC停止、 ソフトウェア操作待機	96
7.5. 電力削減(電力削減レジスタ)	24	15.16. PSC入力動作8: 端再起動PSC	96
7.6. 消費電力の最小化	25	15.17. PSC入力動作9: 周波数固定 端再起動PSC	97
8. システム制御とリセット	26	15.18. PSC入力動作14: 周波数固定 端再起動PSC、出力非活動	97
8.1. AVRのリセット	26	15.19. PSC2出力	98
8.2. リセット元	26	15.20. アナログ同期化	99
8.3. 電源ONリセット	27	15.21. 割り込みの扱い	99
8.4. 外部リセット	27	15.22. PSCの同期化	99
8.5. 低電圧(ブラウンアウト)検出リセット	27	15.23. PSCクロック元	100
8.6. ウォッチドッグ リセット	27	15.24. 割り込み	100
8.7. MCUSR - MCU状態レジスタ	28	15.25. 電力段制御器(PSC)用レジスタ	101
8.8. 内部基準電圧	28	15.26. PSC2用特定レジスタ	106
8.9. ウォッチドッグ タイマ	29	15.27. 電力段制御器(PSC)割り込み用レジスタ	107
9. 割り込み	32		
9.1. AT90PWM216/316の割り込みベクタ	32		
10. 入出力ポート	36		
10.1. 序説	36		
10.2. 標準デジタル入出力としてのポート	36		
10.3. 交換ポート機能	39		

16. SPI (直列周辺インターフェース)	108	24.1. プログラムメモリとデータメモリ用施錠ビット	168
16.1. 特徴	108	24.2. ヒューズビット	169
16.2. SSピンの機能	110	24.2.1. リセット中のPSC出力の動き	169
16.3. データ転送形式	112	24.3. 識票バイト	170
17. USART	113	24.4. 校正值バイト	170
17.1. 特徴	113	24.5. 並列プログラミング	171
17.2. 概要	113	24.6. 並列プログラミング手順	172
17.3. クロック生成	114	24.7. 直列プログラミング	179
17.4. フレーム形式	115	24.8. 直列プログラミング手順	179
17.5. USARTの初期化	116	25. 電気的特性	181
17.6. USARTのデータ送信	117	25.1. 絶対最大定格	181
17.7. USARTのデータ受信	118	25.2. DC特性	181
17.8. 非同期受信	121	25.3. クロック特性	182
17.9. 複数プロセッサ通信動作	123	25.4. 最高速と動作電圧	183
17.10. USART用レジスタ	124	25.5. PLL特性	183
17.11. ホールレート設定例	128	25.6. SPI タイミング特性	184
18. EUSART (拡張USART)	130	25.7. A/D変換器特性	185
18.1. 特徴	130	25.8. D/A変換器特性	185
18.2. 概要	130	26. 代表特性 (暫定)	186
18.3. 直列フレーム	131	26.1. 活動動作消費電流	186
18.4. EUSART設定	133	26.2. アイドル動作消費電流	187
18.4.1. データ送信 - EUSART送信部	133	26.3. 周辺機能部供給電流	189
18.4.7. データ受信 - EUSART受信部	134	26.4. パワーダウン動作消費電流	189
18.5. EUSART用レジスタ	135	26.5. スタンバイ動作消費電流	190
19. アナログ比較器	138	26.6. ピンフルアップ	190
19.1. 概要	138	26.7. ピン駆動能力	192
19.2. アナログ比較器用レジスタ	139	26.8. ピン 閾値とヒステリシス	193
20. A/D変換器	142	26.9. 低電圧検出器(BOD)閾値と アナログ比較器変位(オフセット)	196
20.1. 特徴	142	26.10. アナログ基準電圧	198
20.2. 操作	143	26.11. 内部発振器周波数	198
20.3. 変換の開始	143	26.12. 周辺機能部消費電流	200
20.4. 前置分周と変換タイミング	144	26.13. リセット消費電流とリセットパルス幅	201
20.5. チャネル変更と基準電圧選択	145	27. レジスタ要約	203
20.6. 雑音低減機能	146	28. 命令要約	207
20.7. A/D変換の結果	148	29. 注文情報	209
20.8. A/D変換用レジスタ	149	30. 外周器情報	209
20.9. 増幅器	152	31. 障害情報	211
20.10. 増幅器制御レジスタ	154	32. データシート改訂履歴	212
21. D/A変換器	155		
21.1. 特徴	155		
21.2. 操作	155		
21.3. 変換の開始	155		
21.4. D/A変換用レジスタ	156		
22. デバッグWIRE内蔵デバッグ機能	158		
22.1. 特徴	158		
22.2. 概要	158		
22.3. 物理インターフェース	158		
22.4. ソフトウェア中断点	158		
22.5. デバッグWIREの制限	158		
22.6. デバッグWIRE関連のI/Oメモリ内レジスタ	158		
23. ブートローダー支援 - RWW 自己プログラミング	159		
23.1. 特徴	159		
23.2. フラッシュメモリの応用領域とブートローダー領域	159		
23.3. 書き中に読みが可能な領域と不能な領域	159		
23.4. ブートローダー施錠ビット	161		
23.5. ブートローダープログラムへの移行	161		
23.6. 自己プログラミングでのフラッシュアドレス指定	163		
23.7. フラッシュメモリの自己プログラミング	163		
24. メモリプログラミング	168		



Enabling Unlimited Possibilities®

Atmel Corporation

1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 不許複製 / 改訂:7710H-AVR-07/2013

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイト位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2022.

本データシートはAtmelの英語版データシート AT90PWM216/316(Rev.7710H-07/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。原書の図表番号に問題があるため、一部の図番号が原書と異なります。特に表番号は原書で重複しているため、他のAVRデータシートと共通性のある本来の表番号形式に変更しています。