

特徴

- AVR[®] RISC構造
- AVR –高性能、低消費RISC構造
 - 強力な89命令(多くは1周期で実行)
 - 32個の1バイト長汎用レジスタ
 - 12MHz時、12MIPSに達する高速動作
- 不揮発性プログラム用メモリとデータ用メモリ
 - 実装書き換え(ISP: In-System Program)可能な1Kバイト(512語)フラッシュメモリ内蔵
1000回の書き換えが可能
 - 実装書き換え(ISP)可能な64バイトのEEPROM
100,000回の書き換えが可能
 - ソフトウェア保護用の設定可能な施錠機能
- 内蔵周辺機能
 - 独立した前置分周器付き8ビットタイマ/カウンタ
 - アナログ比較器
 - 設定可能な専用発振器付きウォッチドッグタイマ
 - 実装書き換え(ISP)用SPI直列インターフェース
- 特殊マイクロコントローラ機能
 - アイドルとパワーダウンの2つの低消費動作
 - 外部及び内部の割り込み
 - 外付け部品なしの選択可能な内蔵RC発振器
- 電気的特長
 - 高速、低消費なCMOS製法
 - 完全なステイック動作
- 消費電流 (条件: 4MHz, 3V, 25°C)
 - 活動動作 2.0mA
 - アイドル動作 0.4mA
 - パワーダウン動作 1μA未満
- I/Oと外周器
 - 15ビットの設定変更可能なI/O
 - 20ピンPDIP、20リードSOIC, SSOP
- 動作電圧
 - 2.7~6.0V (AT90S1200-4)
 - 4.0~6.0V (AT90S1200-12)
- 動作速度
 - 0~4MHz (AT90S1200-4)
 - 0~12MHz (AT90S1200-12)

ピン配置

PDIP/SOIC/SSOP			
RESET	1	20	VCC
PD0	2	19	PB7(SCK)
PD1	3	18	PB6(MISO)
XTAL2	4	17	PB5(MOSI)
XTAL1	5	16	PB4
(INT0)PD2	6	15	PB3
PD3	7	14	PB2
(T0)PD4	8	13	PB1(AIN1)
PD5	9	12	PB0(AIN0)
GND	10	11	PD6



8ビット **AVR[®]**
 マイクロコントローラ
 実装書き換え可能な
 1Kバイト
 フラッシュメモリ内蔵

AT90S1200

本製品での新規設計は推奨
 されません。
 ATtiny2313をお使いください。

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 0838H-03/02, 0838HJ13-06/22

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えます。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロコントローラに対して最大10倍の単位処理量向上効果があります。

The diagram illustrates the internal architecture of the ATmega16 microcontroller. A central 8-bit DATA BUS connects various internal components. On the left, the CPU core includes the Program Counter, Program Flash Memory, Instruction Register, Instruction Decoder, Command Register, Stack Pointer, Stack, Status Register, ALU, and Program Counter. On the right, the MCU control logic includes the Watchdog Timer, MCU Control Register, Timing Control, Timer/Counter, Interrupt Controller, and EEPROM. External components include two oscillators (XTAL1, XTAL2), a RESET pin, VCC, and GND. The bottom section shows the I/O ports: Port B (Data Register, Direction Register, and Buffer/Driver) and Port D (Data Register, Direction Register, and Buffer/Driver). An Analog Comparator is also shown connected to Port B.

ピン概要

VCC

電源ピン。

GND

接地ピン。

PB7～PB0 (ポートB)

ポートBは8ビットの双方向入出力ポートです。ポートのピンには内蔵プルアップ抵抗をビット単位で使うことができます。PB0とPB1は各々内蔵の**アナログ比較器**の非反転入力(AIN0)と反転入力(AIN1)にもなります。ポートBの出力緩衝部は吸い込み電流が20mAで、LED表示器を直接駆動できます。PB0～7を内蔵プルアップ抵抗付き入力として外部からLowレベルを入力すると、吐き出し電流が流れます。ポートBピンはリセット条件が活性(有効)になると、例えクロックが活性でなくても(停止でも)Hi-Zになります。

AT90S1200での各種機能によるポートBの交換機能に関しては、[21頁](#)を参照してください。

PD6～PD0 (ポートD)

ポートDは内蔵プルアップ抵抗付きの7ビットの双方向入出力ポートです。ポートDの出力緩衝部は20mAの吸い込み電流を流すことができます。PD0～6を内蔵プルアップ抵抗付き入力として外部からLowレベルを入力すると、吐き出し電流が流れます。ポートDピンはリセット条件が活性になると、例えクロックが活性でなくてもHi-Zになります。

AT90S1200での各種機能によるポートDの交換機能に関しては、[25頁](#)を参照してください。

RESET

リセット入力。例えクロックが活性でなくても(停止でも)、50ns以上のLowレベルでリセット動作が開始されます。細いパルスではリセット動作が保証されません。

XTAL1

発振増幅器の反転入力。または外部発振入力。

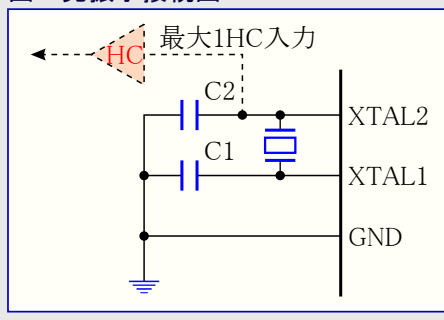
XTAL2

発振増幅器の出力。

クリスタル用発振器

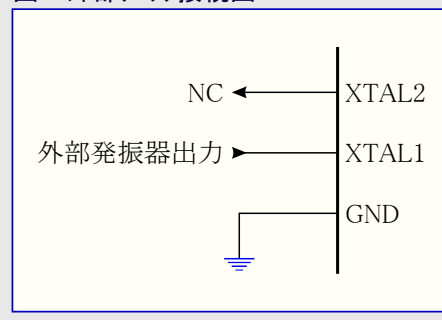
XTAL1とXTAL2は、[図2](#)に示される内蔵発振器に於ける反転増幅器の各々入力と出力です。発振子にはクリスタル発振子かセラミック振動子を使います。外部クロック信号で駆動するには、[図3](#)で示すようにXTAL1に接続し、XTAL2は未接続のままとすべきです。

図2. 発振子接続図



注: 内蔵発振器の出力で外部デバイスを駆動する場合、図で示されるようにHC緩衝器を接続すべきです。

図3. 外部クロック接続図



内蔵RC発振器

1MHz固定周波数で動作する内蔵RC発振器は、システムクロックとして選べます。この発振器が許可されると、AT90S1200は外付け部品なしで動作できます。**RCENヒューズビット**をプログラム(0)することで、このRC発振器がシステムクロックとして使われます。標準のAT90S1200のRCENは非プログラム(1)です。RCENをプログラム(0)した製品は注文番号がAT90S1200Aです。このRCENビットは**並列プログラミング**でのみ変更できます。このRC発振器を使って**直列プログラミング**を行う場合、予め並列プログラミングでRCENをプログラム(0)にしなければなりません。

構造概要

1クロック周期アクセス時間の高速レジスタファイルには、32個の8ビット長汎用レジスタが含まれます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタファイルから出力され、命令が実行され、その結果がレジスタファイルに書き戻されます。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図4はAT90S1200 AVR RISCマイクロコントローラの構造を示します。AVRのメモリとバスは、プログラム用とデータ用に各々分離されたハーバード構造で構成されています。プログラムメモリは2段のパイプラインでアクセスされます。1命令の実行中に、次の命令をプログラムメモリから事前取得します。この概念は全てのクロック周期で命令が実行されることを可能にします。プログラムメモリは実装書き換え(ISP)可能なフラッシュメモリです。

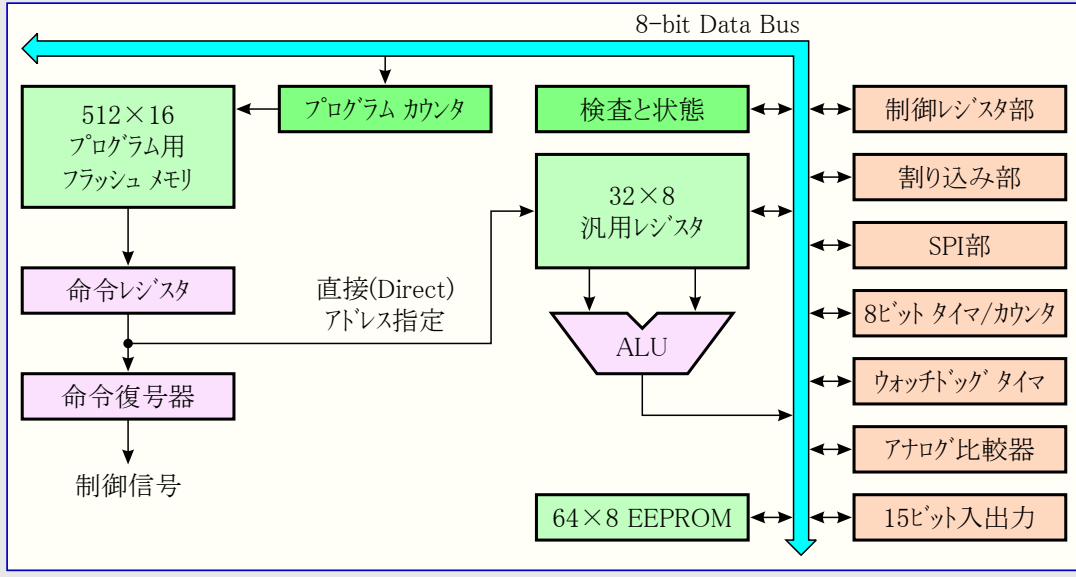
512アドレス空間全てはプログラムカウンタ(PC)相対の無条件分岐(RJMP)命令と呼び出し(RCALL)命令でアクセスされます。全てのAVR命令は単一の16ビット語形式で、プログラムメモリ内の全てのアドレスは、単一の16ビット長命令を含みます。

割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。このスタックはサブルーチンと割り込み専用の深さ3段のハードウェアスタックです。

I/Oメモリ空間は、制御レジスタ、タイマ/カウンタ、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。AVR構造に於けるメモリ空間は、全て規則的で直線的なメモリ配置です。

柔軟な割り込み部には、I/O空間の個別の制御レジスタと、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがあります。各割り込みの全てには、プログラムメモリ先頭の割り込みベクタ表内に個別の割り込みベクタがあります。各割り込みは、この割り込みベクタ表の位置に従った優先順位です。下位側割り込みベクタアドレスが高い優先順位です。

図4. AT90S1200 AVR RISC構造



汎用レジスタ ファイル

図5.は32個の汎用レジスタの構成を示します。

全てのレジスタ操作命令は全レジスタに対して直接、且つ1周期でアクセスします。SBCI, SUBI, CPI, ANDI, ORIの5つの算術、論理定数演算命令と、定数をレジスタに設定するLDI命令だけはこの例外です。これらの命令はレジスタ ファイル後半のR16～R31にだけ適用されます。通常のSBC, SUB, CP, AND, ORや他の全てのレジスタ間、単一レジスタ操作命令は、レジスタ ファイルの全レジスタに適用されます。

R30はレジスタ ファイルに対する間接アドレス指定のポインタ(Zレジスタ)にもなります。

図5. AVR CPU 汎用レジスタ構成図

	7	0	アドレス
	R0		\$00
	R1		\$01
	R2		\$02
	}		
汎用 レジスタ ファイル	R15		\$0F
	R16		\$10
	}		
	R29		\$1D
	R30 (Zレジスタ)		\$1E
	R31		\$1F

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは、32個の全汎用レジスタに直接接続され、動作します。レジスタ ファイル内のレジスタ間ALU操作は、1クロック周期内で実行されます。ALU操作は、算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。

実装書き換え(ISP: In-System Program)可能なプログラム用フラッシュ メモリ

AT90S1200には、プログラム用に実装書き換え可能な1Kバイトのフラッシュ メモリが内蔵されています。全命令が単一の16ビット/1語のため、フラッシュ メモリは512×16ビットとして構成されています。フラッシュ メモリは少なくとも1000回再書き込みの耐久性があります。

AT90S1200のプログラム カウンタ(PC)は9ビット幅で、プログラム メモリ内の512(語)アドレスを指定します。

フラッシュ メモリ書き込みの詳細説明については、27頁を参照してください。

データ用EEPROMメモリ

AT90S1200にはデータ用に64バイトのEEPROMが内蔵されています。EEPROMは1バイト単位で読み書きができる独立したデータ空間として構成されます。EEPROMは100,000回以上の書き換えが可能です。EEPROMのアクセスは17頁に詳述される、EEPROMアドレス レジスタ、EEPROMデータ レジスタ、EEPROM制御レジスタで説明されます。SPI書き込み(直列プログラミング)の詳細については33頁を参照してください。

サブルーチン、割り込み用スタック

AT90S1200はサブルーチンと割り込み用に深さ3段の固定スタックを使います。このスタックは9ビット幅で、サブルーチンや割り込み実行中、プログラム カウンタ(PC)の戻りアドレスを格納します。

PC相対呼び出し(RCALL)命令や割り込み時、スタック レベル0にPCの戻りアドレスがプッシュ(格納)され、他のスタック レベル1,2のデータはスタック内で1段深くなります。RETやRETI命令が実行されると、スタック レベル0から戻りアドレスをPCにポップ(復帰)し、他のスタック レベル 1,2のデータはスタック内で1段浅くなります。

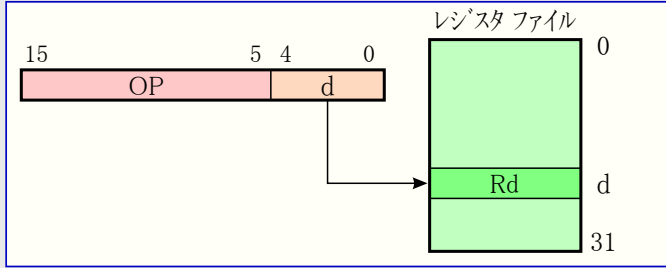
3つを超えるサブルーチンや割り込みが続いて実行されると、スタックに書かれた最初の値が上書きされます。

プログラム及びデータ空間に対するアドレス指定種別

AT90S1200 AVR RISCマイクロ コントローラは強力で効率的なアドレス指定種別を支援します。本項はAVR構造によって支援される各アドレス指定種別を記述します。図内のOPは命令語の動作符号部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

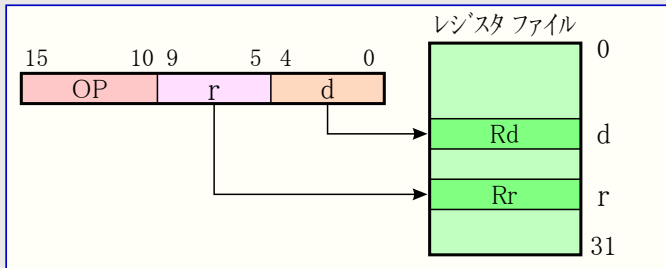
図6. 単一レジスタ直接アドレス指定



オペランドはレジスタd(Rd)を示します。

レジスタ間(Rd, Rr)直接

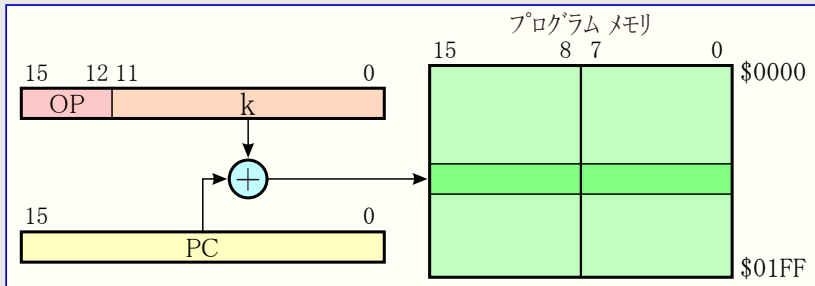
図8. レジスタ間直接アドレス指定



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

RJMP, RCALL 命令によるプログラム相対アドレス指定

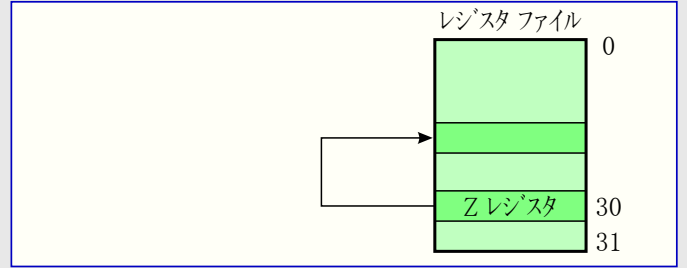
図10. プログラム相対アドレス指定



注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

レジスタ間接

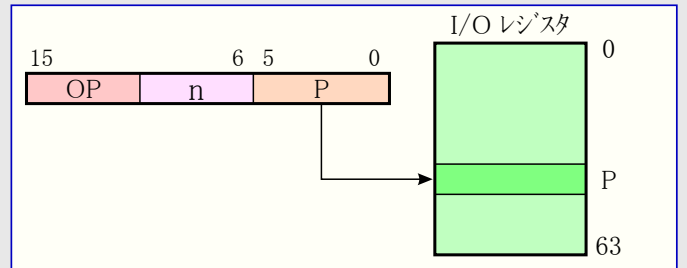
図7. レジスタ間接アドレス指定



オペランドはZレジスタ(R30)で示されるレジスタです。

I/O直接

図9. I/O直接アドレス指定



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048～2047です。

メモリアクセスと命令実行タイミング

本項は命令実行についての一般的なアクセスタイミングの概念を記述します。

AVR CPUは外部クリスタルまたは内蔵RC発振器で直接的に発生されたシステムクロックφにより駆動されます。内部クロック分周は使われません。

図11はハーバート構造と高速アクセスレジスタファイルの概念により可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、対クロック、対電源部での好結果に相当するMHzあたり1 MIPSまでを得る基本的なパイプラインの概念です。

図12はレジスタファイルに対する内部タイミングの概念を示します。2つのレジスタオペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図11. 命令の取得と実行の並列動作

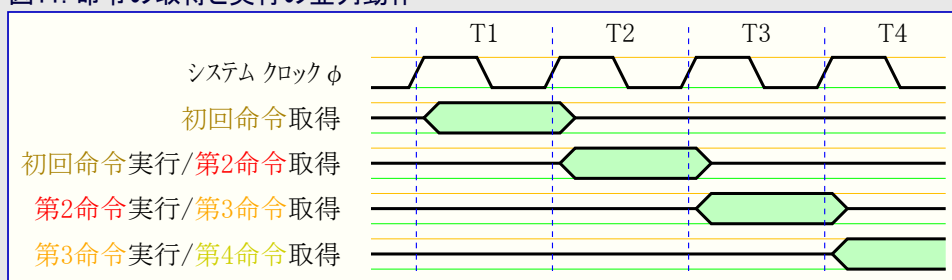
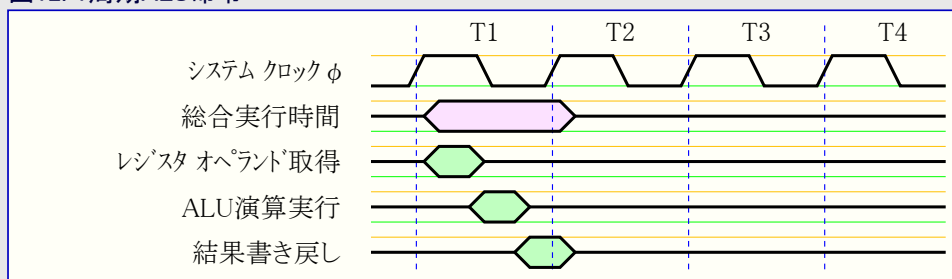


図12. 1周期ALU命令



I/O レジスタ

AT90S1200のI/O領域定義は表1.に示されます。

表1. AT90S1200 I/Oレジスタ

アドレス	レジスタ略名	レジスタ名称
\$3F	SREG	ステータス レジスタ Status REGISTER
\$3B	GIMSK	一般割り込み許可レジスタ General Interrupt MaSK register
\$39	TIMSK	タイマ/カウンタ割り込み許可レジスタ Timer/Counter Interrupt MaSK register
\$38	TIFR	タイマ/カウンタ割り込みフラグ レジスタ Timer/Counter Interrupt Flag register
\$35	MCUCR	MCU制御レジスタ MCU general Control Register
\$33	TCCR0	タイマ/カウンタ0制御レジスタ Timer/Counter 0 Control Register
\$32	TCNT0	タイマ/カウンタ0 カウンタ Timer/CouNTER 0 (8bit)
\$21	WDTCR	ウォッチドッグ タイマ制御レジスタ WatchDog Timer Control Register
\$1E	EEAR	EEPROMアドレス レジスタ EEPROM Address Register
\$1D	EEDR	EEPROMデータ レジスタ EEPROM Data Register
\$1C	EECR	EEPROM制御レジスタ EEPROM Control Register
\$18	PORTB	ポートB出力データ レジスタ Data Register, Port B
\$17	DDRB	ポートB方向レジスタ Data Direction Register, Port B
\$16	PINB	ポートB入力データ レジスタ Input Pins, Port B
\$12	PORTD	ポートD出力データ レジスタ Data Register, Port D
\$11	DDRD	ポートD方向レジスタ Data Direction Register, Port D
\$10	PIND	ポートD入力データ レジスタ Input Pins, Port D
\$08	ACSR	アナログ比較器制御/状態レジスタ Analog Comparator Control and Status Register

注: 予約と未使用の位置は、この表で示されていません。

AT90S1200の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によってアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

状態フラグのいくつかは、論理1を書くことで解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読むフラグは1が書き戻され、従ってフラグを解除(0)することに注意してください。CBIとSBI命令は、レジスタ\$00～\$1Fでのみ動作します。

I/Oと周辺制御レジスタは次章で説明されます。

ステータスレジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は、I/O領域の\$3Fで、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合、設定(1)しなければなりません。各割り込みの許可は各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令により設定(1)されます。

• ビット6 – T: ビット変数 (Bit Copy Storage)

このTビットはBLD(Bit Load)命令とBST(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

• ビット5 – H: ハーフキャリーフラグ (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については命令要約を参照してください。

• ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

• ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

• ビット2 – N: 負フラグ (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

• ビット1 – Z: ゼロフラグ (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

• ビット0 – C: キャリーフラグ (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないことに注意してください。これはソフトウェアにより操作しなければなりません。

リセットと割り込みの扱い

AT90S1200には3種類の割り込みがあります。これらの割り込みとリセットのベクタは、プログラムメモリ空間内に各々個別のベクタを持っています。全ての割り込みは、割り込みを許可するために、個別の許可ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットを設定(1)しなければなりません。

プログラムメモリ空間の最下位アドレスは、リセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は表2.に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表2. リセットと割り込みのベクタ

ベクタ番号	プログラムアドレス	発生元	備考
1	\$000	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$001	INT0	外部割り込み要求0
3	\$002	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
4	\$003	アナログ比較器 ANA_COMP	アナログ比較器出力遷移

リセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$000		RJMP RESET	;各種リセット
\$001		RJMP EXT_INT0	;外部割り込み要求0
\$002		RJMP TIM_OVF0	;タイマ/カウンタ0溢れ
\$003		RJMP ANA_COMP	;アナログ比較器出力遷移
;			
\$004	RESET:		;以下、I/O初期化など

リセット発生元

AT90S1200には、次の3つのリセット発生元があります。

- **電源ONリセット** 電源電圧が電源ONリセット閾値電圧(V_{POT})以下でリセットになります。
- **外部リセット** RESETピンが50ns以上Lowレベルに保たれるとリセットになります。
- **ウォッチドッグリセット** ウォッチドッグが許可され、ウォッチドッグタイマ周期が経過するとリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、その後にアドレス\$000からプログラム実行が始まります。アドレス\$000に配置される命令はリセット処理ルーチンへの無条件相対分岐(RJMP)命令でなければなりません。プログラムで決して割り込みを許可しないなら、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。図13.にリセット部の回路構成を示します。表3.はリセット回路の電気的特性とタイミングを定義します。電源ONリセットのタイミングが内蔵RC発振器によって計時されることに注意してください。他のVCC電圧での内蔵RC発振器周波数については代表特性を参照してください。

図13. リセット回路構成

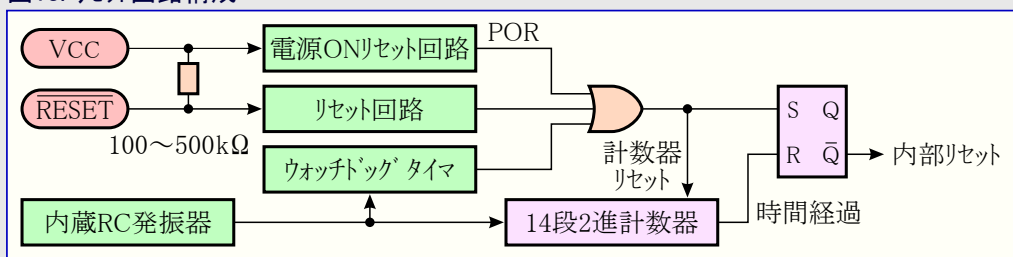


表3. リセット電気的特性 (VCC=5.0V)

シンボル	項目	最小	代表	最大	単位
V _{POT}	上昇時電源ONリセット閾値電圧	0.8	1.2	1.6	V
	下降時電源ONリセット閾値電圧 (注1)	0.2	0.4	0.6	
V _{RST}	RESETピン閾値電圧			0.85VCC	
t _{POR}	電源ONリセット時間	2.0	3.0	4.0	ms
t _{TOUT}	リセット遅延時間 (注2)	11.0	16.0	21.0	

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

注2: 16K WDT周期で供給電圧に依存します。他の電圧での値は代表特性を参照してください。

電源ONリセット

電源ONリセット(POR)回路は、電源投入時のデバイスリセットを保証します。図13.で示されるように、内部タイマはウォッチドッグ発振器で駆動されます。この内部タイマは、VCC上昇時間に拘らず、VCCが電源ON閾値電圧(V_{POT})に達した後の或る期間後まで、MCUを開始から保護します(図14.参照)。

内蔵起動遅延時間で十分な場合、RESETを直接または外部プルアップ抵抗を介してVCCに接続できます。VCC供給後も、RESETピンをLowレベルに保持することで、開始遅延時間を延長することができます。このタイミング例は図15.を参照してください。

図14. 内蔵電源ONリセット (RESETはVCCに接続)

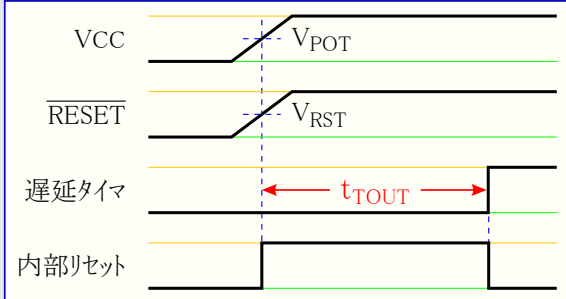
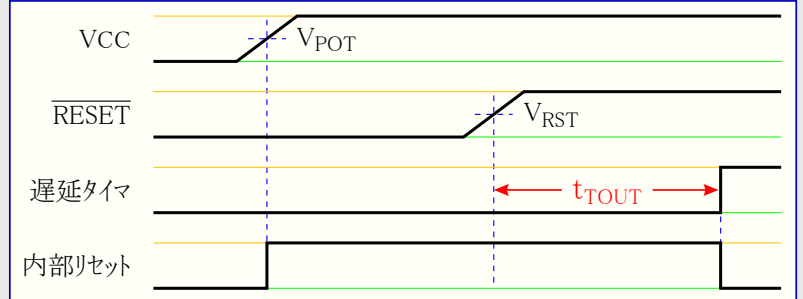


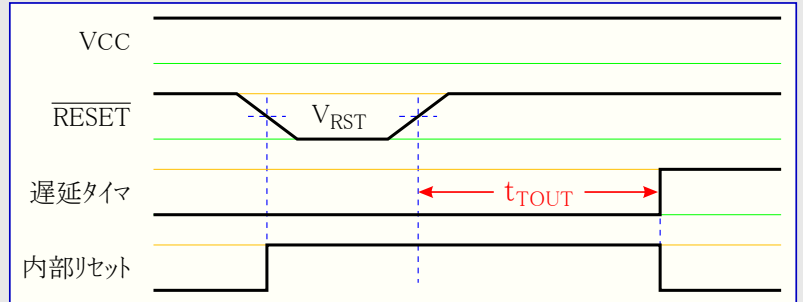
図15. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピン上のLowレベルにより生成されます。例えばクロックが動いていなくても、50nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセットが保証されません。供給された信号の上昇がリセット閾値電圧(V_{RST})に達すると、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを起動します。

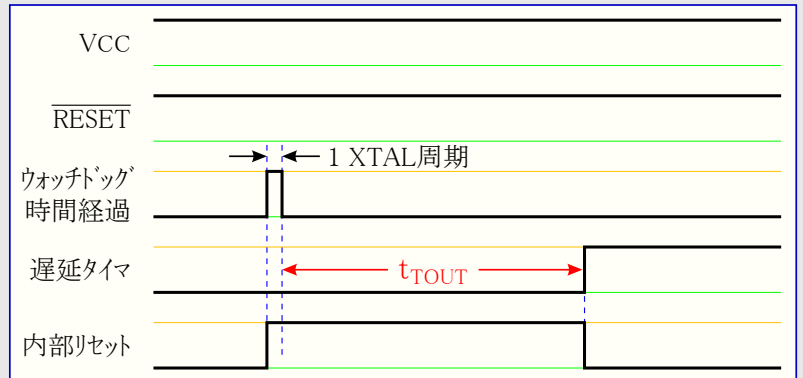
図16. 動作中の外部リセット



ウォッチドッグリセット

ウォッチドッグ時間経過で1 XTAL周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ操作の詳細については16頁を参照してください。

図17. 動作中のウォッチドッグリセット



割り込みの扱い

AT90S1200には、I/O空間アドレス\$3Bの**一般割り込み許可レジスタ(GIMSK)**と、I/O空間アドレス\$39の**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**の2つの8ビット割り込み許可レジスタがあります。

割り込みが起こると、**ステータスレジスタ(SREG)**の**全割り込み許可(I)ビット**が解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RET)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータスレジスタ(SREG)は割り込み処理ルーチンへの移行時の保存と割り込み処理ルーチンからの復帰時の再設定が自動的に行われないことに注意してください。これはソフトウェアにより操作しなければなりません。

一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット \$3B	7	6	5	4	3	2	1	0	
	—	INT0	—	—	—	—	—	—	GIMSK
Read/Write	R	R/W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の**全割り込み許可(I)ビット**と外部割り込み0許可(INT0)ビットが共に設定(1)なら、INT0ピンの割り込みが許可されます。**MCU制御レジスタ(MCUCR)**の**割り込み条件制御0のビット1と0(ISC01,ISC00)**が、外部割り込みINT0ピンの動作を上昇端や下降端またはLowレベルの何れか定義します。INT0ピンが出力に設定されていても、この割り込み機能は有効です。**12頁の「外部割り込み」**も参照してください。

• ビット5~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット \$39	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	TOIE0	—	TIMSK
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7~2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Interrupt Enable)

ステータスレジスタ(SREG)の**全割り込み許可(I)ビット**と**タイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット**が共に設定(1)で、**タイマ/カウンタ0溢れ割り込み**が許可されます。タイマ/カウンタ0溢れが起こる、換言すると、**タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)**の**タイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)**が設定(1)されると、対応する割り込み(ベクタ \$002)が実行されます。

• ビット0 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み要求フラグ レジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38	—	—	—	—	—	—	TOV0	—	TIFR
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7~2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、このTOV0ビットが設定(1)されます。対応する割り込みベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

• ビット0 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

外部割り込み

外部割り込みは、INT0ピンにより起動されます。この割り込みは上昇端、下降端、またはLowレベルで起動できます。これはMCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。INT0がレベル起動のとき、INT0がLowに保持されている限り、この割り込みは継続的に発生します。

この割り込みは、INT0が出力として設定されていても起動されます。これはソフトウェア割り込み生成のための方法を提供します。

この割り込み要求フラグはソフトウェアで直接アクセスできません。外部端(エッジ)起動割り込みが保留になっている可能性がある場合、このフラグは次の手順で解除(0)できます。

1. 一般割り込み許可レジスタ(GIMSK)の外部割り込み許可(INT0)ビットを解除(0)し、外部割り込みを禁止します。
2. MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット1と0(ISC01,ISC00)を00とし、Lowレベル起動を選びます。
3. MCUCRのISC01とISC00ビットを希望する端(エッジ)に設定します。
4. GIMSKのINT0ビットを設定(1)し、外部割り込みを許可します。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4クロックです。割り込み要求フラグが設定(1)されてしまった後の4クロック周期で、実際の割り込み処理ルーチン用の割り込みベクタアドレスが実行されます。この4クロック周期期間中、プログラムカウンタ(9ビット)がスタック上に保存(プッシュ)されます。通常、このベクタは割り込み処理ルーチンに対する無条件相対分岐(RJMP)命令で、この分岐に2クロック周期かかります。

割り込み処理ルーチンからの復帰は4クロック周期要します。この4クロック周期中に、スタックからプログラムカウンタ(9ビット)が再設定(ポップ)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。割り込みを抜けるときは常に主(元)プログラムへ復帰し、保留されている割り込みが扱われる前に、1つ以上の命令を実行します。

サブルーチンと割り込みのスタックは3レベル固定のスタックで、3つを越えて入れ子にされたサブルーチンや割り込みが実行されると、最も最新の3つの復帰アドレスだけが格納されることに注意してください。

MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは、一般的なMCU機能の制御ビットで構成されます。

ビット	7	6	5	4	3	2	1	0	
\$35	—	—	SE	SM	—	—	ISC01	ISC00	MCUCR
Read/Write	R	R	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的外休止形態移行をなくするため、**SLEEP**命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

• ビット4 – SM : 休止種別 (Sleep Mode)

このビットは利用可能な2つの休止形態種別を選びます。SMが解除(0)されると休止形態としてアイドル動作が選ばれます。SMが設定(1)されると休止形態としてパワーダウン動作が選ばれます。詳細については、次の「**休止形態**」を参照してください。

• ビット3,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0は**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**と**一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビット**が、共に設定(1)されている場合の外部割り込み0(INT0)ピンにより起動されます。この割り込みを起動する外部割り込み0(INT0)ピンの端(エッジ)やレベルは表4.で定義されます。

INT0ピンの値は端検出以前から採取比較されています。端割り込みが選ばれると、1 CPUクロック周期より長いパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選ばれると、割り込みを発生するためには、現在実行中の命令の完了まで、Lowレベルが保持されなければなりません。許可されていれば、レベル起動割り込みはピンがLowに保持されている限り、割り込み要求を発生し続けます。

表4. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	(予約)
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

休止形態

休止形態へ移行するには、**MCU制御レジスタ(MCUCR)の休止許可(SE)ビット**が設定(1)され、**SLEEP**命令が実行されなければなりません。MCUが休止形態中に許可されている割り込みが発生すると、MCUは起動復帰して、その割り込み処理ルーチンを実行し、そして**SLEEP**命令の次から実行を再開します。レジスタファイルとI/Oレジスタの内容は変化しません。休止形態中にリセットが起こると、MCUは起動復帰し、リセットベクタから実行します。

アイドル動作

休止種別(SM)ビットが解除(0)されていると、**SLEEP**命令でMCUがアイドル動作へ移行し、CPUは停止しますが、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これは、タイマ溢れのような内部割り込みやウォッチドッグのリセットだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。アナログ比較器割り込みからの起動復帰が必要ない場合、**アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビット**を設定(1)することにより、アナログ比較器を電源断にできます。これはアイドル動作での消費電力削減になります。アイドル動作から起動復帰すると、CPUは直ちにプログラムの実行を始めます。

パワーダウン動作

休止種別(SM)ビットが設定(1)されていると、**SLEEP**命令でMCUがパワーダウン動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ウォッチドッグは動作を継続します。外部リセット、(許可されていれば)ウォッチドッグリセット、またはINT0の外部レベル割り込みだけがMCUを起動復帰できます。

パワーダウン動作からの起動復帰にレベルで起動された割り込みが使われる時はこのLowレベルが**リセット遅延時間(t_{TOUT})**より長い時間保持されなければならないことに注意してください。そうでないとMCUは起動復帰しません。

タイマ/カウンタ0

AT90S1200には8ビットの汎用タイマ/カウンタが1つあります。このタイマ/カウンタ0にはシステムクロックを分周する10ビット前置分周器があります。このタイマ/カウンタ0は、内部クロックを基準とするタイマや、外部ピンに接続された起動信号によるカウンタなどの使用ができます。

タイマ/カウンタ0 前置分周器部

図18.にタイマ/カウンタ0の前置分周器の概略を示します。

前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、CK/8、CK/64、CK/256、CK/1024です。タイマ/カウンタ0では、更なる選択として、CK、外部クロック信号、または停止がクロック元として選べます。図19.にタイマ/カウンタ0の構成図を示します。

8ビットのタイマ/カウンタ0は、CK、分周されたCK、または外部ピンからクロック元を選べます。加えて、**タイマ/カウンタ0制御レジスタ(TCCR0)**の詳細で説明されるように停止もできます。溢れ状態フラグ(TOV0)は**タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)**にあります。制御ビットはタイマ/カウンタ0制御レジスタ(TCCR0)にあります。タイマ/カウンタ0に関する割り込みの許可/禁止設定は**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**内にあります。

タイマ/カウンタ0が外部的にクロック駆動されるとき、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

8ビットのタイマ/カウンタ0は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ0を有効にします。

図18. タイマ/カウンタ0 前置分周器部構成

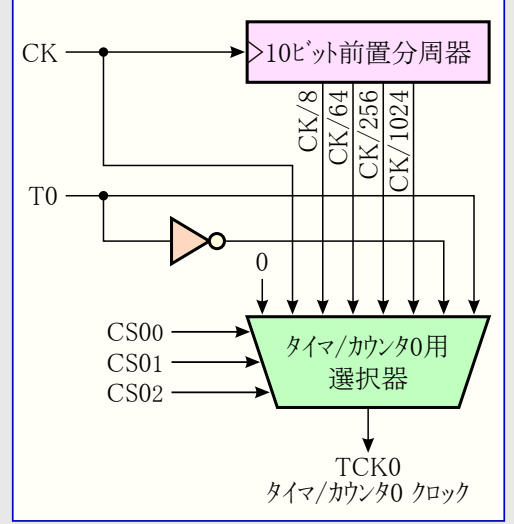
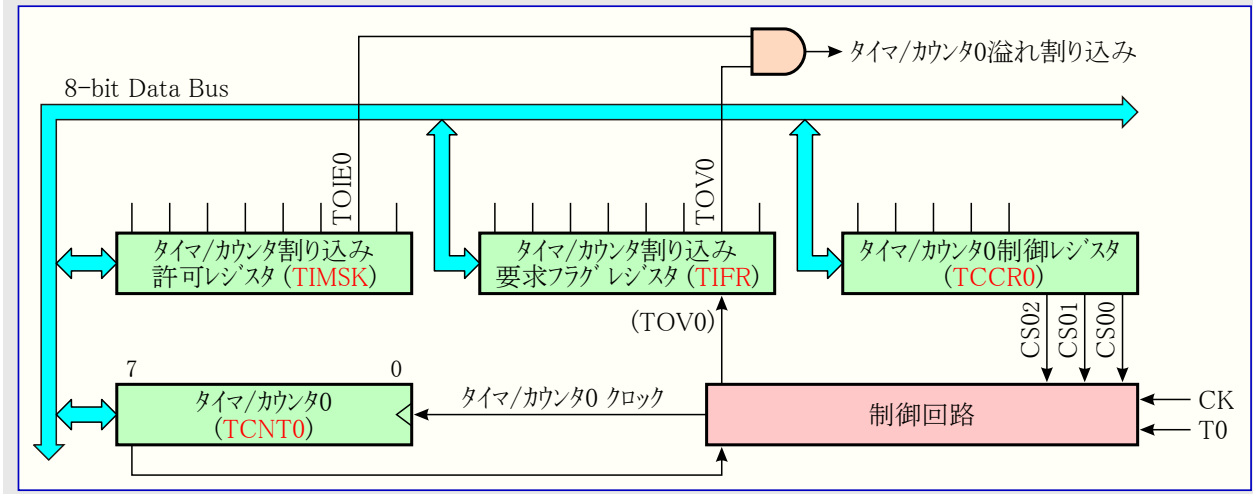


図19. タイマ/カウンタ0構成図



タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33	—	—	—	—	—	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット2～0 – CS02～0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

クロック選択0ビット2～0はタイマ/カウンタ0に供給するクロック元を定義します。

表5. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T0(PD4)ピンの下降端
1	1	1	外部T0(PD4)ピンの上昇端

停止状態はタイマ/カウンタの許可/禁止機能を提供します。CKの分周出力動作では、発振器クロック(CK)から直接的に分周されます。タイマ/カウンタ0に外部ピン動作が使われると、例えばT0(PD4)が出力として設定されていても、このピン上の変移がタイマ/カウンタを計数します。この特徴が計数動作のソフトウェア制御を提供します。

タイマ/カウンタ0 (Timer/Counter0) TCNT0

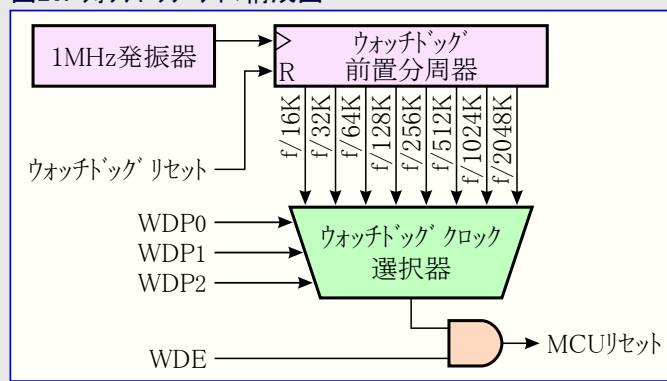
ビット	7	6	5	4	3	2	1	0	
\$32	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタ0は、読み書きできる上昇カウンタとして実現されます。タイマ/カウンタ0が書かれ、クロック元が存在すると、タイマ/カウンタ0は書き込み動作の次に来るタイマ/カウンタ クロック周期で計数を開始/継続します。

ウォッチドッグ タイマ

このウォッチドッグ タイマは、1MHzで動作する独立した内蔵発振器から駆動されます。この周波数はVCC=5Vでの代表値です。他の電源電圧での代表値については**特性データ**を参照してください。ウォッチドッグ タイマの前置分周器を制御することにより、ウォッチドッグ リセット周期は調整できます。詳細説明については**表6**を参照してください。ウォッチドッグ リセット(WDR)命令は、ウォッチドッグ タイマをリセットします。8つの異なるクロック周期は、ウォッチドッグ タイマがMCUをリセットしないよう防止するための2つのWDR命令間の最大周期を決めるために選ばれます。WDR命令なしで、このリセット周期が経過すると、AT90S1200はリセットし、リセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては**10頁**を参照してください。

図20. ウォッチドッグ タイマ構成図



ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCSR

ビット	7	6	5	4	3	2	1	0	
\$21	—	—	—	—	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 – WDE : ウォッチドッグ許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。

• ビット2~0 – WDP2~0 : ウォッチドッグ タイマ前置分周器選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2~0は、ウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は**表6**に示されます。

表6. ウォッチドッグ 前置分周器選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

注: 36頁の「代表特性」内で示されるように、ウォッチドッグ 発振器の周波数は電圧に依存します。

ウォッチドッグ タイマが許可される前に、常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周器設定に一致するリセット周期を保証します。このリセット操作なしにウォッチドッグ が許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

予期せぬMCUリセットを避けるため、ウォッチドッグ タイマ前置分周器選択の変更前には、ウォッチドッグ タイマが禁止されるかリセットされるべきです。

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間はVCC電圧に依存し、2.5～4msの範囲です。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。嚴重に濾波した電源では、電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの条件下のCPU動作はプログラムカウンタが予期せぬ分岐を実行し、結果的にEEPROM書き込みプログラムを実行するような原因になります。この場合、完全にEEPROMを保護するために外部低電圧リセット回路の使用が推奨されます。

不測のEEPROM書き込みを防ぐため、特別な書き込み手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ (EECR)**」を参照してください。(訳注:他のAVRと異なりEEMWEが存在しないため、本文は無効と思われます。)

EEPROMが読み書きされるとき、CPUは次の命令が実行される前に2クロック周期停止されます。(訳注:本文と矛盾、要確認)

EEPROMアドレス レジスタ (EEPROM Address Register) EEAR

ビット	7	6	5	4	3	2	1	0	
\$1E	—	—	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット5～0 – EEAR5～0 : EEPROMアドレス (EEPROM Address)

これらのビットは64バイトのEEPROM空間のアドレスを指定します。EEPROMデータのバイトは0～63間で直線的に配置されています。

EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレスレジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C	—	—	—	—	—	—	EEWE	EERE	EECR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1 – EEWE : EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みストローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEWEビットを設定(1)しなければなりません。書き込み時間(代表値で、2.5ms/5V, 4ms/2.7V)が経過してしまうと、EEWEは自動的に解除(0)されます。次バイト書き込み前に、このビットをポーリングして0まで待機できます。EEWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

• ビット0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

警告: EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARまたはEEDRを変更すると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、EEPROM書き込み操作中、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**は解除(0)されていることが推奨されます。

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

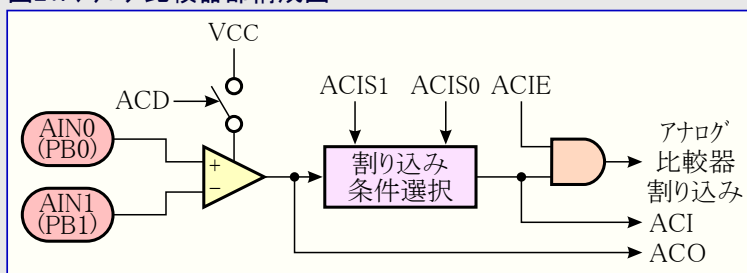
次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。これは外部低VCCリセット保護回路による実現が最善で、これは低電圧検出器(BOD)として度々参照されます。電源ONリセットと低電圧検出に関する設計上の考慮については、応用記述のAVR180を参照してください。
- 低VCCの時間中、AVRコアをパワーダウン/休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュメモリに定数を格納します。フラッシュメモリはCPUにより更新されることができないので、データ化けの問題はありません。

アナログ比較器

アナログ比較器は非反転入力AIN0(PB0)と反転入力AIN1(PB1)の入力値を比較します。非反転入力AIN0(PB0)の電圧が反転入力AIN1(PB1)の電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はアナログ比較器割り込みを起動するのにも設定できます。比較器出力の上昇端、下降端、またはその両方での割り込み起動を選べます。この比較器とその周辺回路の構成図は図21.で示されます。

図21. アナログ比較器部構成図



アナログ比較器制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08	ACD	—	ACO	ACI	ACIE	—	ACIS1	ACIS0	ACSR
Read/Write	R/W	R	R	R/W	R/W	R	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

• ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFにするため、何時でも設定(1)できます。このACDビットを変更するとき、**アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器割り込み許可(ACIE)ビットを解除(0)することにより**、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

• ビット6 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

• ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが、**アナログ比較器割り込み条件(ACIS1, ACIS0)ビット**で定義された割り込み動作を起こす時にこのビットは設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)されて、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行する時にACIは自動的に解除(0)されます。代わりにこのフラグへ論理1を書くことによっても、ACIは解除(0)されます。けれども、このレジスタの他のビットがCBIまたはSBI命令を使って変更される場合、この操作前にACIビットが1になっていると、ACIが解除(0)されることに注意してください。

• ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、アナログ比較器割り込みが有効化されます。解除(0)されると、この割り込みは禁止されます。

• ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は表7.に示されます。

表7. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: このACIS1, ACIS0ビットを変更するとき、**アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器割り込み許可(ACIE)ビットを解除(0)することにより**、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

入出力ポート

AVRの全てのポートは標準デジタルI/Oポートとして使われる時に真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしにポートピンの1つの方向が変更できることを意味します。駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用します。

ポートB

ポートBは8ビットの双方向I/Oポートです。

ポートBについては3つのI/Oメモリ アドレス位置が、各々、データ出力レジスタ(PORTB), \$18、データ方向レジスタ(DDRB), \$17、データ入力レジスタ(PINB), \$16に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには個別に選択可能なプルアップ抵抗があります。ポートB出力緩衝部は20mAの吸い込み電流を流せるので、LED表示器を直接駆動できます。PB0～7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートBピンの交換機能は表8.に示されます。

表8. ポートBピンの交換機能

ポートピン	交換機能
PB0	AIN0 (アナログ比較器非反転入力)
PB1	AIN1 (アナログ比較器反転入力)
PB5	MOSI (直列プログラミング用データ入力)
PB6	MISO (直列プログラミング用データ出力)
PB7	SCK (直列プログラミング用直列クロック入力)

ピンが交換機能で使われる時にポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は交換機能の説明に従って設定されなければなりません。

ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読まれます。

ポートB 標準デジタル入出力

標準I/Oピンとして使われる時にポートBの8ピンは全て同じ機能動作です。

標準I/OピンPB_nは**ポートB方向レジスタ(DDRB)**のDDB_nビットがそのピンの入出力方向を選び、DDB_nが設定(1)されると、出力ピンとして設定されます。DDB_nが解除(0)されると、入力ピンとして設定されます。**ポートB出力レジスタ(PORTB)**のPORTB_nが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTB_nが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートBピンはリセット状態が有効になると、例えクロックが有効でなくてもHi-Z状態にされます。

表9. ポートBピンに対するDDB_nの関係

DDB _n	PORTB _n	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PB _n に外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7～0でビット番号を示します。

ポートBの交換機能

ポートBの交換ピン機能を以下に示します。

- SCK – ポートB ビット7 : PB7

SCK : 直列プログラミング用直列クロック入力です。

- MISO – ポートB ビット6 : PB6

MISO : 直列プログラミング用直列データ出力です。

- MOSI – ポートB ビット5 : PB5

MOSI : 直列プログラミング用直列データ入力です。

- AIN1 – ポートB ビット1 : PB1

AIN1 : アナログ比較器の反転入力です。ポートB方向レジスタ(DDRB)のDDB1=0で入力として設定され、ポートB出力レジスタ(PORTB)のPORTB1=0で内蔵MOSプルアップ抵抗がOFFに切り替えられているとき、内蔵アナログ比較器の反転入力として扱えます。

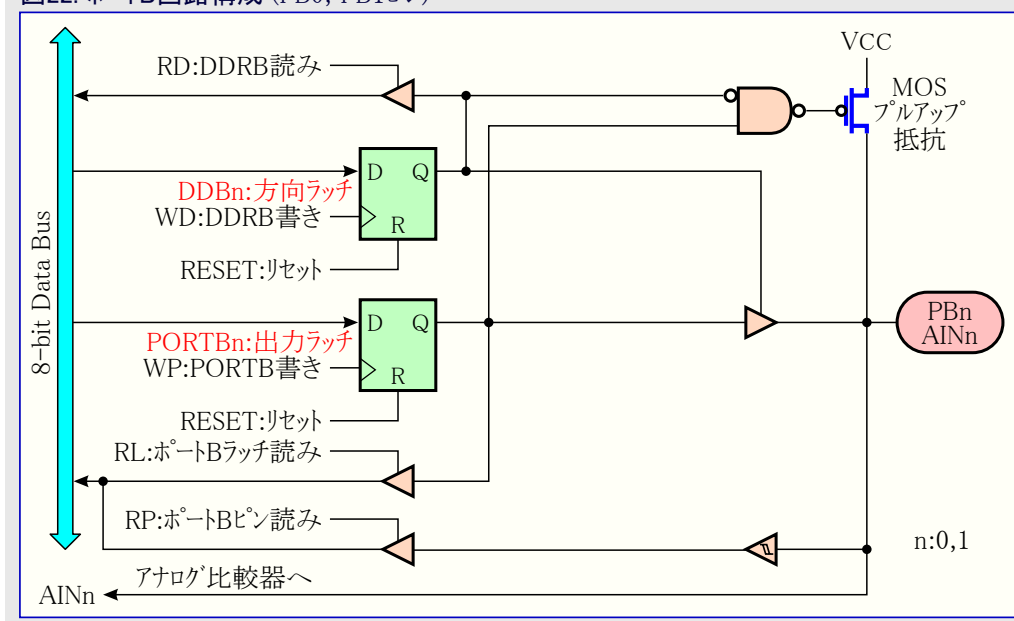
- AIN0 – ポートB ビット0 : PB0

AIN0 : アナログ比較器の非反転入力です。ポートB方向レジスタ(DDRB)のDDB0=0で入力として設定され、ポートB出力レジスタ(PORTB)のPORTB0=0で内蔵MOSプルアップ抵抗がOFFに切り替えられていると、内蔵アナログ比較器の非反転入力として扱えます。

ポートB回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図22. ポートB回路構成 (PB0, PB1ピン)



[illegible]

図24. ホートB回路構成 (PB5ピン)

8-bit Data Bus

RD:DDR B読み

DDB5:方向ラッチ
WD:DDR B書き

RESET:リセット

PORTB5:出力ラッチ
WP:PORT B書き

RESET:リセット

RL:ポート Bラッチ読み

RP:ポート Bピン読み

SPI MOSI

SPI 許可

VCC

MOS
プルアップ
抵抗

PB5
(MOSI)

図25. ホートB回路構成 (PB6ピン)

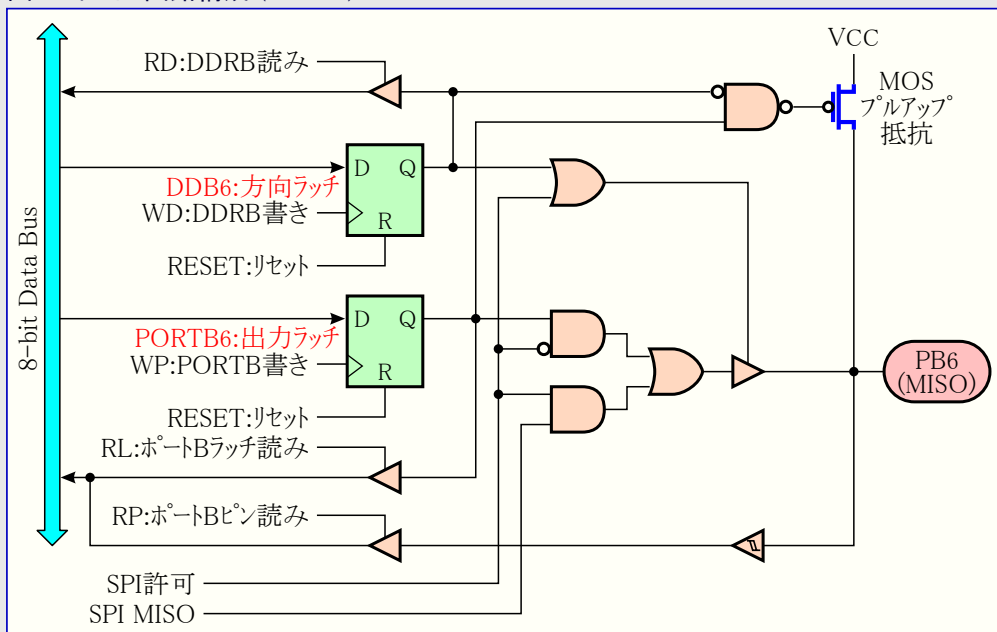
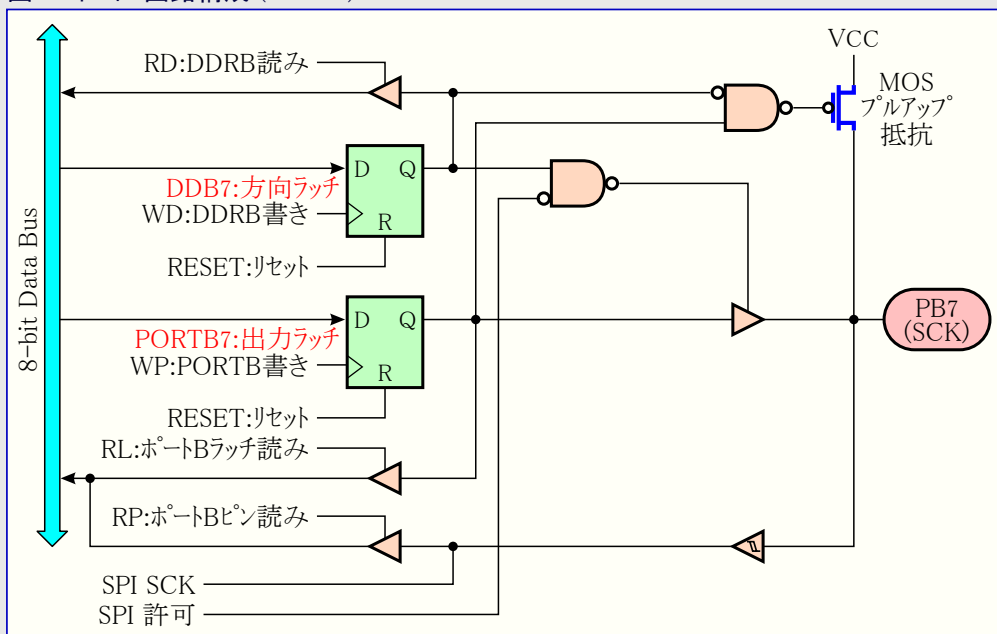


図26. ホートB回路構成 (PB7ピン)



ポートD

ポートDについては3つのI/Oメモリアドレス位置が各々、データ出力レジスタ(PORTD), \$12、データ方向レジスタ(DDRD), \$11、データ入力レジスタ(PIND), \$10に割り当てられます。ポートDデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートD(PD6~0)は個別に**選択可能な内蔵プルアップ抵抗**付きの7ビットの双方向I/Oポートです。ポートD出力緩衝部は20mAの吸い込み電流を流せます。入力として、内蔵プルアップ抵抗が有効化されていると、外部的にLowへ引き込まれるポートDピンには吐き出し電流が流れます。

いくつかのポートDピンには、表10.で示される交換機能があります。

表10. ポートDピンの交換機能

ポートピン	交換機能
PD2	INT0 (外部割り込み0入力)
PD4	T0 (タイマ/カウンタ0外部クロック入力)

ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$12	—	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$11	—	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD入力レジスタ (Port D Input Address) PIND

ビット	7	6	5	4	3	2	1	0	
\$10	—	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	不定	不定	不定	不定	不定	不定	不定	

実際のポートD入力レジスタ(PIND)はレジスタではなく、このアドレスはポートD各ピンの物理的な値へのアクセスができます。ポートD出力レジスタ(PORTD)を読む時はポートD出力ラッチが読まれ、ポートD入力レジスタ(PIND)を読む時は、このピン上に存在する論理値が読まれます。

ポートD 標準デジタル入出力

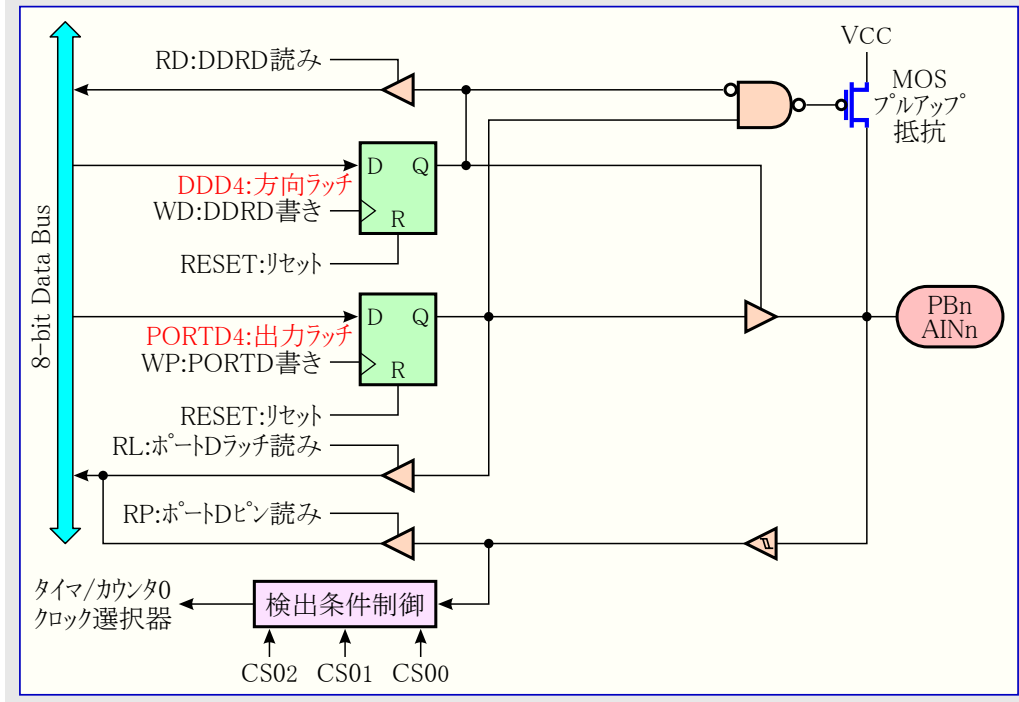
標準I/OピンPDnは**ポートD方向レジスタ(DDRD)のDDDnビット**がそのピンの入出力方向を選び、DDDnが設定(1)されると、出力ピンとして設定されます。DDDnが解除(0)されると、入力ピンとして設定されます。**ポートD出力レジスタ(PORTD)のPORTDn**が設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTDnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートDピンはリセット状態が有効になると、例えクロックが有効でなくてもHi-Z状態にされます。

表11. ポートDピンに対するDDDnの関係

DDDn	PORTDn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PDnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは6~0でビット番号を示します。

図29. ホートD回路構成 (PD4ピン)



メモリプログラミング

プログラムメモリとデータメモリ用施錠ビット

AT90S1200は、非プログラム(1)のままか、表12.で示される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表12. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュメモリとEEPROMのプログラミング機能が禁止されます。(注)
3	0	0	保護種別2と同様、更に照合も禁止されます。

注: 並列動作でのヒューズビットの書き込みも禁止されます。施錠ビットの書き込み前にヒューズビットを書いてください。

ヒューズビット

AT90S1200には、2つのヒューズビット、SPIENとRCENがあります。

- SPIENがプログラム(0)されると、直列プログラミングが許可されます。SPIENの既定値はプログラム(0)です。
- RCENがプログラム(0)されると、内蔵RC発振器からのMCUクロックが選ばれます。RCENの既定値は非プログラム(1)です。このビットが予めプログラム(0)された製品も供給できます。

これらのヒューズビットは直列プログラミング動作ではアクセスできません。ヒューズビットの状態はチップ消去による影響を受けません。

識票バイト

全てのAtmelマイクロコントローラはデバイス識別用に3バイトの識票符号を持ちます。この符号は直列と並列の両プログラミング動作で読めます。この3バイトは他から分離された空間に存在します。

AT90S1200の識票符号を次に示します。

- ① \$00 : \$1E 製造業者Atmelを示します。
- ② \$01 : \$90 フラッシュメモリ容量1Kバイトを示します。
- ③ \$02 : \$01 ②値\$90と合せ、AT90S1200を示します。

注: 両方の施錠ビットがプログラム(0)される(保護種別3)と、識票バイトは直列動作で読めません。識票バイトの読み込みは、\$00, \$01, \$02が戻ります。

フラッシュメモリとEEPROMのプログラミング

AtmelのAT90S1200は、実装再書き込み可能な1Kバイトのプログラム用フラッシュメモリと、64バイトのデータ用EEPROMメモリを提供します。

AT90S1200には、プログラム用内蔵フラッシュメモリとデータ用EEPROMメモリが、消去(全ビット=1)され、プログラムされる準備が整った状態で搭載されています。このデバイスは高電圧(12V)並列プログラミング動作と低電圧直列プログラミング動作を支援します。+12Vはプログラム許可のためだけに使われ、このピンにより特筆すべき電流は流されません。直列プログラミング動作は実装済みのAT90S1200にプログラムとデータを書き込む便利な方法を提供します。

AT90S1200のフラッシュメモリとEEPROMはどちらのプログラミング動作でもバイト単位でプログラムされます。EEPROMについては直列プログラミング動作での自動書き込み命令で自動消去周期が提供されます。プログラミング中の供給電圧は表13.に従っていなければなりません。

表13. プログラミング中の供給電圧

デバイス	直列プログラミング	並列プログラミング
AT90S1200	2.7~6.0V	4.5~5.5V

並列プログラミング

この章では、AT90S1200でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。

信号名

この章では、AT90S1200のいくつかのピンはピン名よりもむしろ図30.と表14.で示される並列プログラミング中の機能を示す信号名によって参照されます。表14.で示されないピンはピン名で参照されます。

XA0とXA1ピンは、XTAL1ピンに正パルスが与えられる時に実行される動作を決めます。この規約は表15.で示されます。

WRまたはOEパルス時、取得された指令が実行される動作を決めます。この指令は表16.で示されるように各ビットで機能が示されるバイトです。

図30. 並列プログラミング構成図

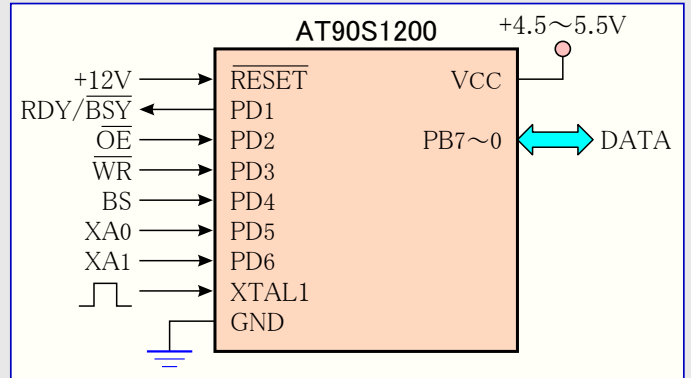


表14. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0: プログラミング多忙 1: 準備可(指令受付可)
OE	PD2	入力	出力許可(負論理)
WR	PD3	入力	書き込み(負論理)
BS	PD4	入力	上位/下位バイト選択 (0: 下位, 1: 上位)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
DATA	PB7~0	入出力	データ (OE=L時出力)

表15. XA0とXA1の機能

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位/下位はBSで指示)
0	1	データ取得 (フラッシュ時の上位/下位はBSで指示)
1	0	指令取得
1	1	アイドル (動作なし)

表16. ビット規約による指令バイト

指令バイト	指令の機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	施錠ビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$11 (0001 0001)	EEPROM書き込み
\$08 (0000 1000)	識別バイト読み出し
\$04 (0000 0100)	ヒューズビットと施錠ビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し
\$03 (0000 0011)	EEPROM読み出し

プログラミング動作への移行

次の方法がデバイスを並列プログラミング動作にします。

- ① 表13に従った供給電圧をVCCとGND間に印加します。
- ② RESETとBSピンをLow(0)にし、最低100ns待機します。
- ③ RESETに11.5～12.5Vを印加します。RESETに+12V印加後100ns以内の如何なるBSの動き(値)も、デバイスのプログラミング動作移行失敗の原因になります。

チップ消去

チップ消去指令はフラッシュメモリ、EEPROM、施錠ビットを消去します。施錠ビットはフラッシュメモリとEEPROMが完全に消去されてしまうまで消去されません。チップ消去でヒューズビットは変化しません。フラッシュメモリまたはEEPROMの再書き込み前には、チップ消去が実行されなければなりません。

チップ消去の手順を次に示します。

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BSをLow(0)にします。
- ③ DATAを\$80(1000 0000)にします。これはチップ消去指令です。
- ④ XTAL1に正パルスを与えます。これで指令を設定します。
- ⑤ チップ消去を実行するため、WRにtWLWH_{CE}幅(表17参照)の負パルスを与えます。チップ消去はRDY/BSYピンにどんな動きも生成しません。

フラッシュメモリ書き込み (図31.タイミングを参照)

A. フラッシュメモリ書き込み指令設定

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BSをLow(0)にします。
- ③ DATAを\$10(0001 0000)にします。これはフラッシュメモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これでフラッシュメモリ書き込み指令を設定します。

B. 上位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BSをHigh(1)にします。これは上位バイト選択です。
- ③ DATAにアドレス上位バイト(\$00～\$01)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス上位バイトを設定します。

C. 下位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BSをLow(0)にします。これは下位バイト選択です。
- ③ DATAにアドレス下位バイト(\$00～\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス下位バイトを設定します。

D. データ下位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ② DATAにデータ下位バイト(\$00～\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これでデータ下位バイトを設定します。

E. データ下位バイト書き込み

- ① BSをLow(0)にします。これは下位バイト選択です。
- ② WRに負パルスを与えます。これでバイトデータの書き込みが開始され、RDY/BSYがLow(0)になります。
- ③ 次バイト書き込みのため、RDY/BSYがHigh(1)になるまで待機します。

F. データ上位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ② DATAにデータ上位バイト(\$00～\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これでデータ上位バイトを設定します。

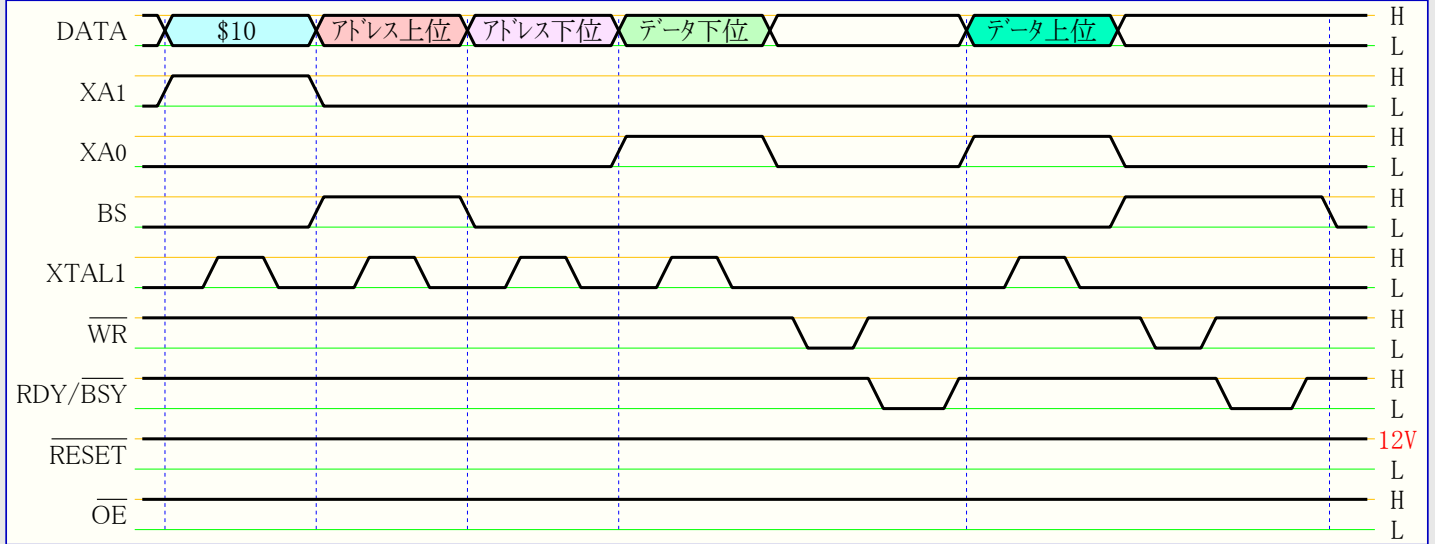
G. データ上位バイト書き込み

- ① BSをHigh(1)にします。これは上位バイト選択です。
- ② WRに負パルスを与えます。これでバイトデータの書き込みが開始され、RDY/BSYがLow(0)になります。
- ③ 次バイト書き込みのため、RDY/BSYがHigh(1)になるまで待機します。

設定された指令とアドレスはプログラム中、保持されます。効率的なプログラミングを行うには次の点が考慮されるべきです。

- 複数のメモリ位置を読み書きする時に指令は一度の設定だけです。
 - アドレス上位バイトはフラッシュメモリの新規256語ページのプログラミング前に設定されることが必要です。
 - チップ消去後のフラッシュメモリとEEPROMの全ての内容は\$FFなので、値\$FFのデータ書き込みは行わないようにします。
- これらの考慮はEEPROM書き込みと、フラッシュメモリ、EEPROM、**識別バイト**の読み出しでも適用されます。

図31. フラッシュメモリ書き込みタイミング



(訳注) 図31.と図32.は図31.として結合しました。

フラッシュメモリ読み出し

フラッシュメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については、「**フラッシュメモリ書き込み**」を参照)

1. フラッシュメモリ読み出し指令\$02(0000 0010)を設定します。(「**フラッシュメモリ書き込み**」のA.を参照)
 2. アドレス上位バイト(\$00～\$01)を設定します。(「**フラッシュメモリ書き込み**」のB.を参照)
 3. アドレス下位バイト(\$00～\$FF)を設定します。(「**フラッシュメモリ書き込み**」のC.を参照)
- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これでフラッシュメモリの語(ワード)の下位バイトがDATAに読み出されます。
- ② BSをHigh(1)にします。これでフラッシュメモリの語(ワード)の上位バイトがDATAに読み出されます。
- ③ $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

EEPROM書き込み

データ用EEPROMメモリの書き込み方法を次に示します。(指令、アドレス、データ設定の詳細は「**フラッシュメモリ書き込み**」を参照)

1. EEPROM書き込み指令\$11(0001 0001)を設定します。(「**フラッシュメモリ書き込み**」のA.を参照)
2. アドレス下位バイト(\$00～\$3F)を設定します。(「**フラッシュメモリ書き込み**」のC.を参照)
3. データ下位バイト(\$00～\$FF)を設定します。(「**フラッシュメモリ書き込み**」のD.を参照)
4. データ下位バイトを書き込みます。(「**フラッシュメモリ書き込み**」のE.を参照)

EEPROM読み出し

EEPROMメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「**フラッシュメモリ書き込み**」を参照)

1. EEPROM読み出し指令\$03(0000 0011)を設定します。(「**フラッシュメモリ書き込み**」のA.を参照)
 2. アドレス下位バイト(\$00～\$3F)を設定します。(「**フラッシュメモリ書き込み**」のC.を参照)
- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これでEEPROMメモリのバイトデータがDATAに読み出されます。
- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

ヒューズ・ビット書き込み

ヒューズ・ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズ・ビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュメモリ書き込み」のD.を参照)

ビット5	SPIEN ヒューズ・ビット	
ビット0	RCEN ヒューズ・ビット	
ビット7,6,4~1	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。

- ① 書き込みを実行するため、 $\overline{WR}$ に t_{WLWH_PFB} 幅(表17.参照)の負パルスを与えます。ヒューズ・ビット書き込みはRDY/ $\overline{BSY}$ ピンに如何なる動きも生成しません。

施錠ビット書き込み

施錠ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=無変化(状態維持)です。(「フラッシュメモリ書き込み」のD.を参照)

ビット2	施錠ビット2 (LB2)	
ビット1	施錠ビット1 (LB1)	
ビット7~3,0	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。

3. データ下位バイトを書き込みます。(「フラッシュメモリ書き込み」のE.を参照)

施錠ビットはチップ消去の実行によってのみ消去(1)できます。

ヒューズ・ビットと施錠ビットの読み出し

ヒューズ・ビットと施錠ビットの読み出し方法を次に示します。(指令設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズ・ビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュメモリ書き込み」のA.を参照)

- ① BSをHigh(1)、 $\overline{OE}$ をLow(0)にします。これでヒューズ・ビットと施錠ビットの状態がDATAに読み出されます。(0=プログラム)

ビット7	施錠ビット1 (LB1)	
ビット6	施錠ビット2 (LB2)	
ビット5	SPIEN ヒューズ・ビット	
ビット0	RCEN ヒューズ・ビット	

- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

BSがHigh(1)に設定される必要があることに、特に注意してください。

識別バイト読み出し

識別バイトの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 識別バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. アドレス下位バイト(\$00~\$02)を設定します。(「フラッシュメモリ書き込み」のC.を参照)

- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これで識別バイトがDATAに読み出されます。

- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

並列プログラミング特性

図33. 並列プログラミング タイミング

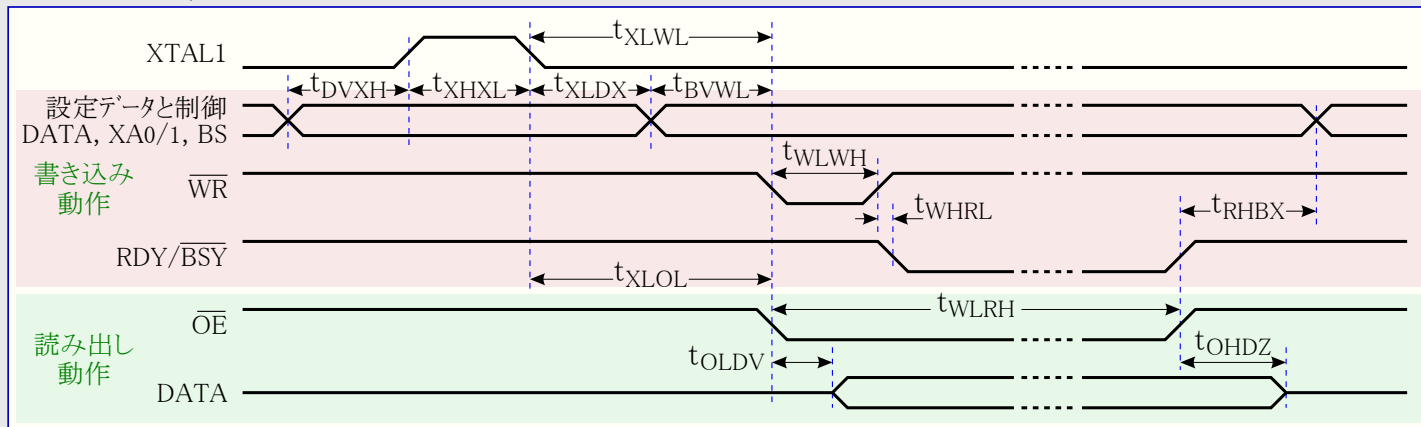


表17. 並列プログラミング特性 (TA=25°C±10%, VCC=5V±10%)

シンボル	項目	最小	代表	最大	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
tDVXH	XTAL1に対するデータと制御の準備時間	67			ns
tXHXL	XTAL1パルス幅	67			
tXLDX	XTAL1に対するデータと制御の保持時間	67			
tXLWL	XTAL1パルスの↓に対するWR↓待機時間	67			
tBVWL	BS(有効から)に対するWR↓待機時間	67			
tRHBX	RDY/BSY↑後のBS保持時間	67			
tWLWH	WRパルス幅 (注1)	67			
tWHRL	WRパルス後(↑)のRDY/BSY↓遅延時間 (注2)		20		
tWLRH	書き込み時間 (WR↓からRDY/BSY↑) (注2)	0.5	0.7	0.9	ms
tXLOL	XTAL1パルスの↓に対するOE↓待機時間	67			ns
tOLDV	OE↓に対するデータ出力遅延時間		20		
tOHDZ	OE↑に対する浮き遅延時間			20	
tWLWH_CE	チップ消去時のWRパルス幅	5	10	15	ms
tWLWH_PFB	ヒューズビット書き込み時のWRパルス幅	1.0	1.5	1.8	

注1: チップ消去時はtWLWH_CEを、ヒューズビット書き込み時はtWLWH_PFBを使います。

注2: tWLWHがtWLRHよりも長い場合、RDY/BSYの負パルスは現れません。

直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがLowレベルの間に直列SPIバスを使ってプログラミングを行うことができます。この直列インターフェースはSCK入力、MOSI入力、MISO出力で構成されます(図34.参照)。RESETをLowレベルに設定後、プログラムや消去命令が実行される前に、**プログラミング許可命令**が最初に実行されなければなりません。

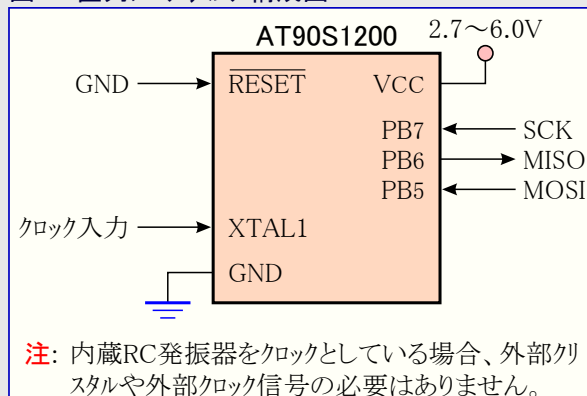
EEPROMについては、自己タイミングによる**書き込み命令**内で先行して自動消去周期が提供される(直列プログラミングのみ)ので、最初に**チップ消去命令**を実行する必要はありません。チップ消去命令はフラッシュメモリとEEPROMの全内容を\$FFにします。

フラッシュメモリとEEPROMメモリはプログラム用フラッシュメモリが\$0000~\$01FF、データ用EEPROMメモリが\$0000~\$003Fの独立したアドレス空間を持ちます。

内蔵RC発振器を使わない場合、XTAL1とXTAL2ピン間にXtalを接続するか、XTAL1ピンに外部クロックを供給するかのどちらかが必要です。直列クロック(SCK)のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 > 1 XTAL1 クロック周期
High区間 > 4 XTAL1 クロック周期

図34. 直列プログラミング構成図



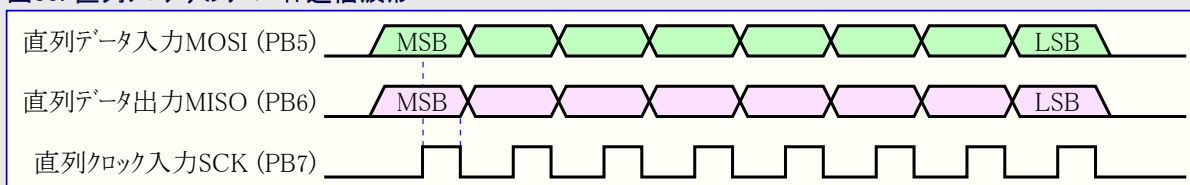
直列プログラミング手順

AT90S1200に直列データを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細タイミングについては図35、図36、表20を参照してください。

直列プログラミング動作でのAT90S1200のプログラミングと検証は次の手順が推奨されます。(4バイトの命令形式は表19を参照)

- 次の手順で電源を投入します。
RESETとSCKがLow(0)に設定されている間中に、VCCとGND間へ電源を供給します。XTAL1とXTAL2ピン間にXtalが接続されていないか、または内蔵RC発振器で動作していない場合、XTAL1ピンにクロック信号を供給します。電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できない場合、SCKがLow(0)に設定された後、RESETに正パルスを与えなければなりません。
- 最低20ms待機し、MOSI(PB5)ピンに**プログラミング許可命令**を送ることによって直列プログラミングを可能にします。
- チップ消去が実行される場合(フラッシュメモリの消去のために実行が必要)、本命令実行後tWD_ERASE(34頁の表21.参照)時間待機し、RESETに正パルスを与え、手順2.からを行います。
- フラッシュメモリやEEPROMは、適切な**書き込み命令**内でアドレスとデータを供給することにより、1バイト単位で書き込まれます。EEPROMメモリ位置は、新規(今回)データが書かれる前、最初に自動消去されます。**データポーリング**を使うと、次のバイトの書き込みタイミングを検出することができます。データポーリングを使わない場合は、命令送出後tWD_PROG(34頁の表22.参照)時間待機します。消去されているデバイスでは、\$FFのデータを書く必要がありません。
- 何れのメモリ位置も、選ばれたアドレスの内容を直列出力MISO(PB6)ピンに読み戻す、**読み出し命令**の使用で検証ができます。プログラミング終了時、通常動作とするためには、RESETをHigh(1)に設定します。
- 電源OFF手順 (必要な場合)
 - クリスタルが使われないか、または内蔵RC発振器で動作する場合は、XTAL1をLow(0)にします。
 - RESETをHigh(1)にします。
 - VCC電源をOFFにします。

図35. 直列プログラミング バイト通信波形



EEPROMのデータホーリング

EEPROM内にバイトデータが書かれつつある時に書かれているアドレス位置を読むと、自動消去が完了されるまでは値P1が、その後は値P2が得られます。P1,P2は表18を参照してください。

書かれた値が正しく読めると同時に、デバイスは新規EEPROMデータの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値P1とP2については行えないので、これらの値を書く時は次バイト書き込み前に少なくとも規定されたtWD_PROG(表22参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。最初にチップ消去せずにEEPROMが再書き込みされる場合、これは適用されません。

表18. EEPROMホーリング中の読み出し値

デバイス	P1	P2
AT90S1200	\$00	\$FF

フラッシュメモリのデータホーリング

フラッシュメモリ内にバイトデータが書かれつつある時に書かれているアドレス位置を読むと、値\$FFが得られます。書かれた値が正しく読めると同時に、デバイスは新規バイトの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値\$FFについては行えないので、この値を書く時は次バイト書き込み前に少なくともtWD_PROG(表22参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。

表19. 直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリとEEPROMを消去します。
フラッシュメモリ読み出し	0010 P000	xxxx xxH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
フラッシュメモリ書き込み	0100 P000	xxxx xxH	LLLL LLLL	WWW WWW	アドレスH:LのP(H/L)バイトに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxxx	xxLL LLLL	RRRR RRRR	アドレスLのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxxx	xxLL LLLL	WWW WWW	アドレスLのバイトに書き込みます。
施錠ビット書き込み	1010 1100	1111 1211	xxxx xxxx	xxxx xxxx	施錠ビット(LB1, LB2)を書き込みます。
識別バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識別バイトを読み出します。

注1: H = アドレス上位バイトのビット P = 0 = 下位バイト, 1 = 上位バイト W = 書き込みデータ(MCU入力) 1 = 施錠ビット1 (LB1)
L = アドレス下位バイトのビット R = 読み出しデータ(MCU出力) x = 0か1 (どちらでもよい) 2 = 施錠ビット2 (LB2)

注2: 識別バイトは保護種別3(LB1=0, LB2=0)の状態では読み出せません。

直列プログラミング特性

図36. 直列プログラミングタイミング

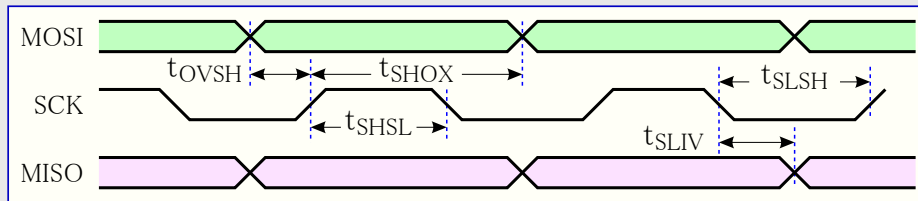


表20. 直列プログラミング特性 (特記条件を除いて、TA=-40℃～85℃, VCC=2.7～6.0V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	2.7～4.0V	0	4	MHz
		4.0～6.0V	0	12	
tCLCL	発振器周期	2.7～4.0V	250		ns
		4.0～6.0V	83.3		
tSHSL	SCKパルスHレベル幅	4tCLCL			
tSLSH	SCKパルスLレベル幅	tCLCL			
tOVSH	SCK↑に対するMOSI準備時間	1.25tCLCL			
tSHOX	SCK↑に対するMOSI保持時間	2.5tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間	10	16	32	

表21. チップ消去命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_ERASE	18ms	14ms	12ms	8ms

表22. フラッシュメモリ, EEPROM書き込み命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_PROG	9ms	7ms	6ms	4ms

電氣的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-1.0V ~ VCC+0.5V
RESETピン許容電圧	-1.0V ~ +13.0V
最大動作電圧	6.6V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=2.7V~6.0V (特に指示された条件を除く)

シンボル	項目	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧	XTAL1を除く	-0.5		0.3VCC (注1)	V
V _{IL1}	Lowレベル入力電圧	XTAL1	-0.5		0.3VCC (注1)	
V _{IH}	Highレベル入力電圧	XTAL1, RESETを除く	0.6VCC (注2)		VCC+0.5	
V _{IH1}	Highレベル入力電圧	XTAL1	0.7VCC (注2)		VCC+0.5	
V _{IH2}	Highレベル入力電圧	RESET	0.85VCC (注2)		VCC+0.5	
V _{OL}	Lレベル出力電圧 (ポートB,D) (注3)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	
V _{OH}	Hレベル出力電圧 (ポートB,D) (注4)	IOH=-3mA, VCC=5V	4.3			
		IOH=-1.5mA, VCC=3V	2.3			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=6V			8.0	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	(確実なH/L範囲)			980	nA
R _{RST}	RESETピンプルアップ抵抗		100		500	kΩ
R _{I/O}	I/Oピンプルアップ抵抗		35		120	
I _{CC}	活動動作消費電流	VCC=3V, 4MHz			3.0	mA
	アイドル動作消費電流				1.0	
	パワーダウン動作消費電流 (注5)	VCC=3V, WDT有効		9.0	15.0	μA
		VCC=3V, WDT禁止		<1.0	2.0	
V _{ACIO}	アナログ比較器入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2			40	mV
I _{ACLK}	アナログ比較器入力漏れ電流		-50		50	nA
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで20mA、VCC=3Vで10mA)より多くの吸い込み電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOLの合計が200mAを超えるべきではありません。
2. ポートD0~D5とXTAL2のIOLの合計が100mAを超えるべきではありません。
3. ポートB0~B7とD6のIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで3mA、VCC=3Vで1.5mA)より多くの吐き出し電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOHの合計が200mAを超えるべきではありません。
2. ポートD0~D5とXTAL2のIOHの合計が100mAを超えるべきではありません。
3. ポートB0~B7とD6のIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きな吐き出し電流を流すことは保証されません。

注5: パワーダウン動作時の最小電源電圧(VCC)は2.0Vです。

外部クロック特性

図37. 外部クロック

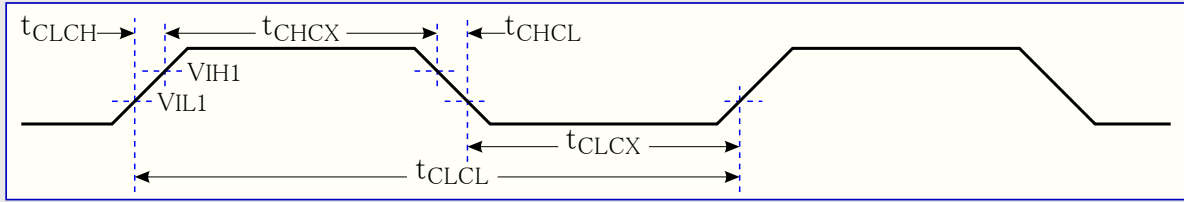


表23. 外部クロック特性

シンボル	項目	VCC=2.7V~6.0V		VCC=4.0V~6.0V		単位
		最小	最大	最小	最大	
$1/t_{CLCL}$	クロック周波数	0	4	0	12	MHz
t_{CLCL}	クロック周期	250		83.3		ns
t_{CHCX}	Highレベル時間	100		33.3		
t_{CLCX}	Lowレベル時間	100		33.3		
t_{CLCH}	上昇時間		1.6		0.5	μ s
t_{CHCL}	下降時間		1.6		0.5	

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $C_L(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマにより引き込んだ(消費した)差電流を表します。

図38. 活動動作消費電流 対 周波数 (TA=25°C)

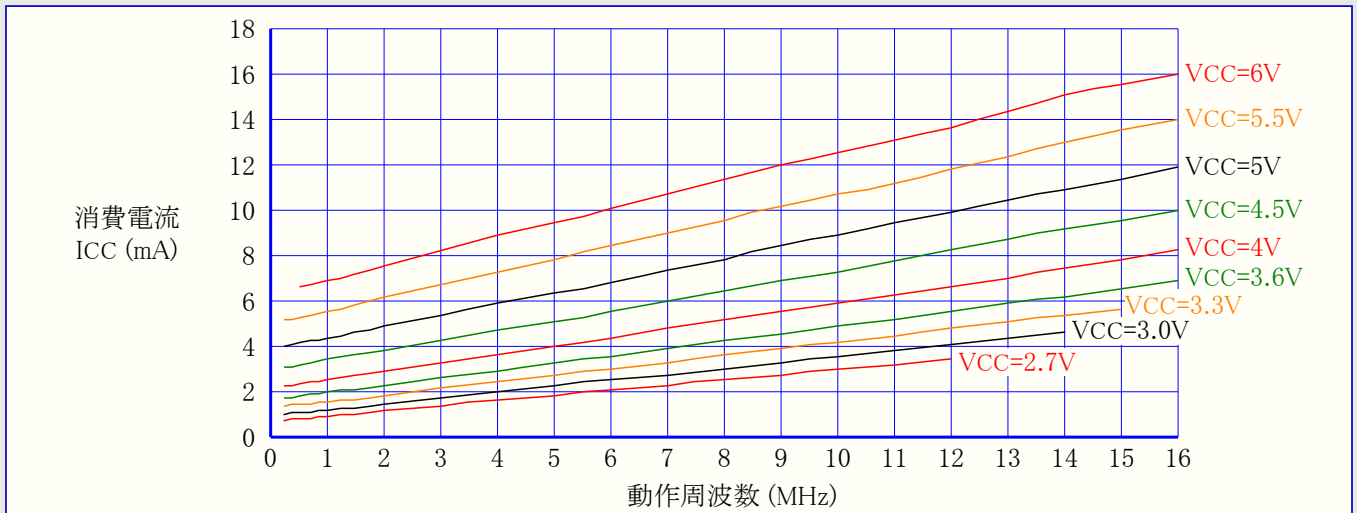


図39. 活動動作消費電流 対 動作電圧 (周波数=4MHz)

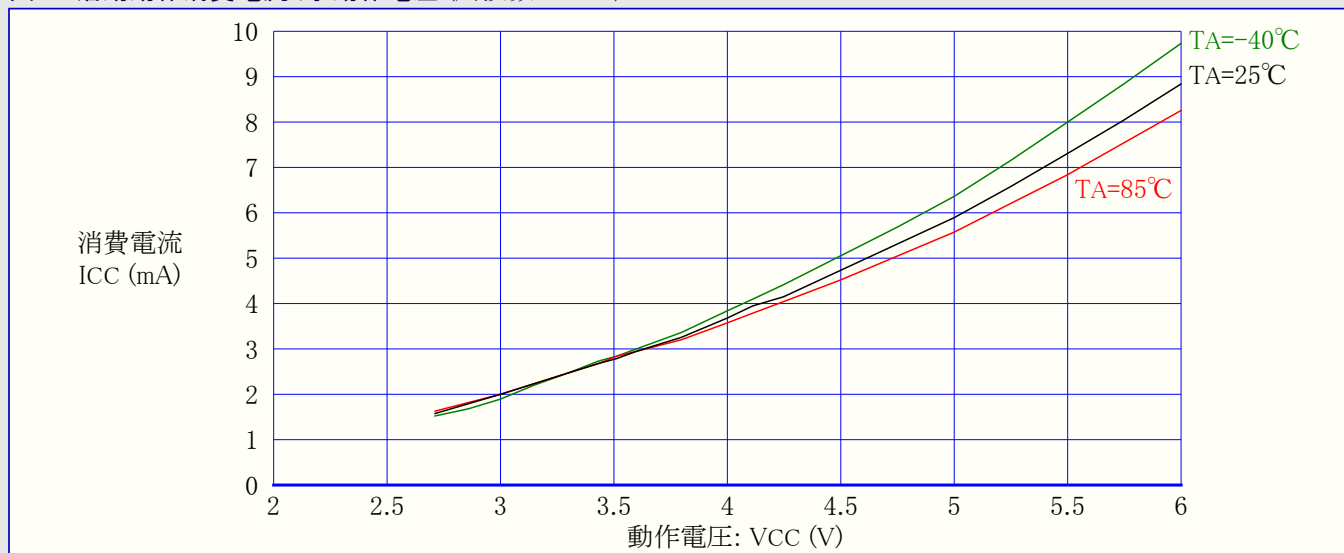


図40. 活動動作消費電流 対 動作電圧 (内蔵RC発振器)

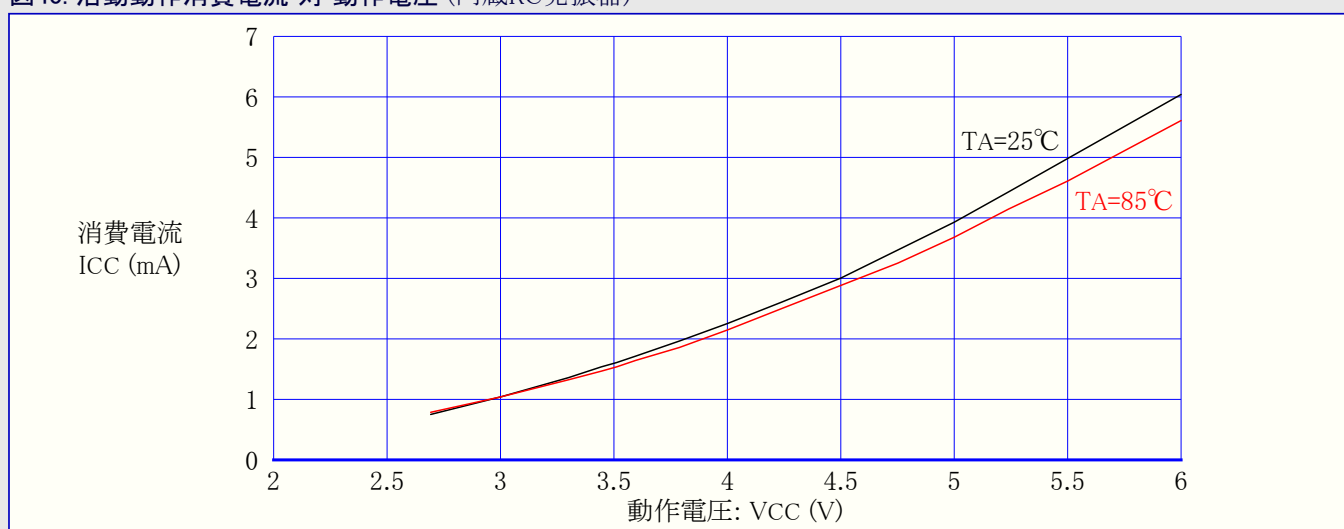


図41. アイドル動作消費電流 対 周波数 (TA=25°C)

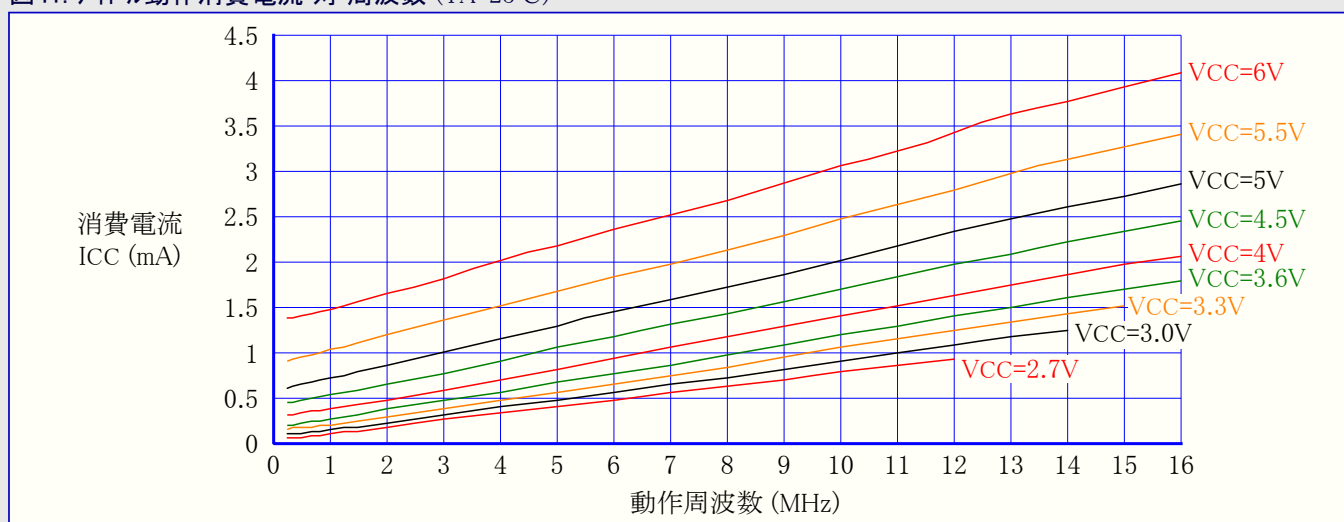


図42. アイドル動作消費電流 対 動作電圧 (周波数=4MHz)

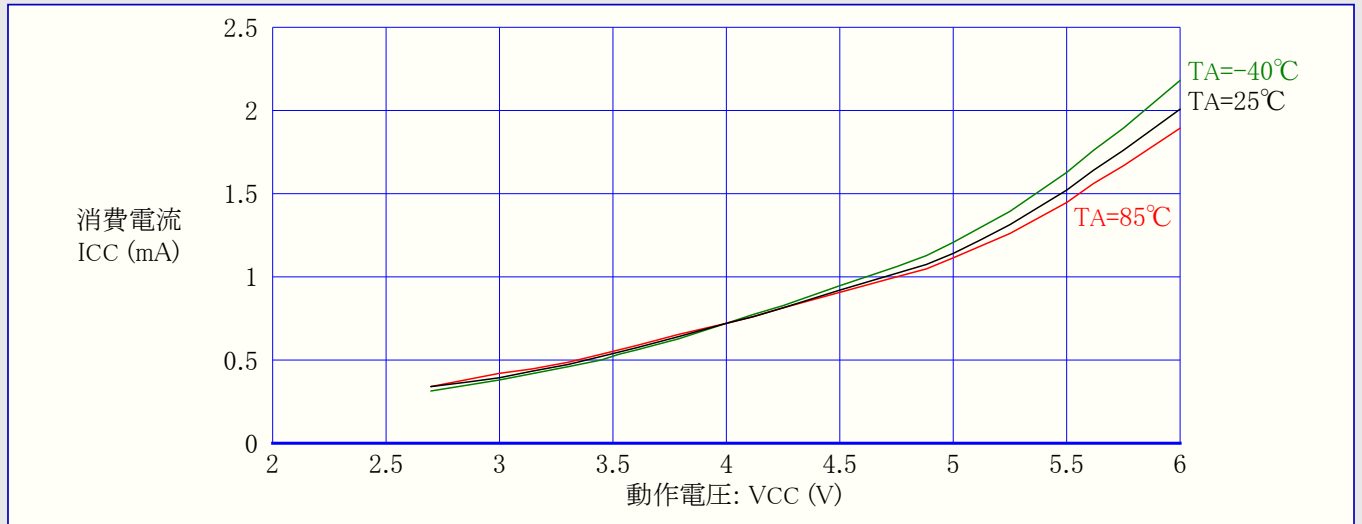


図43. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器)

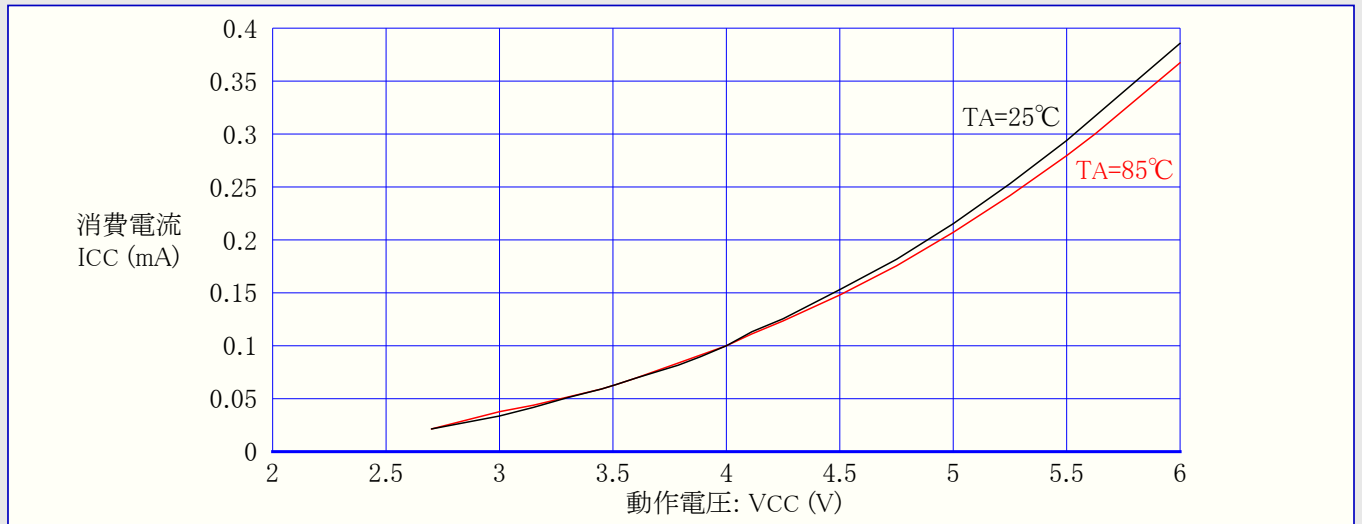


図44. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイム停止)

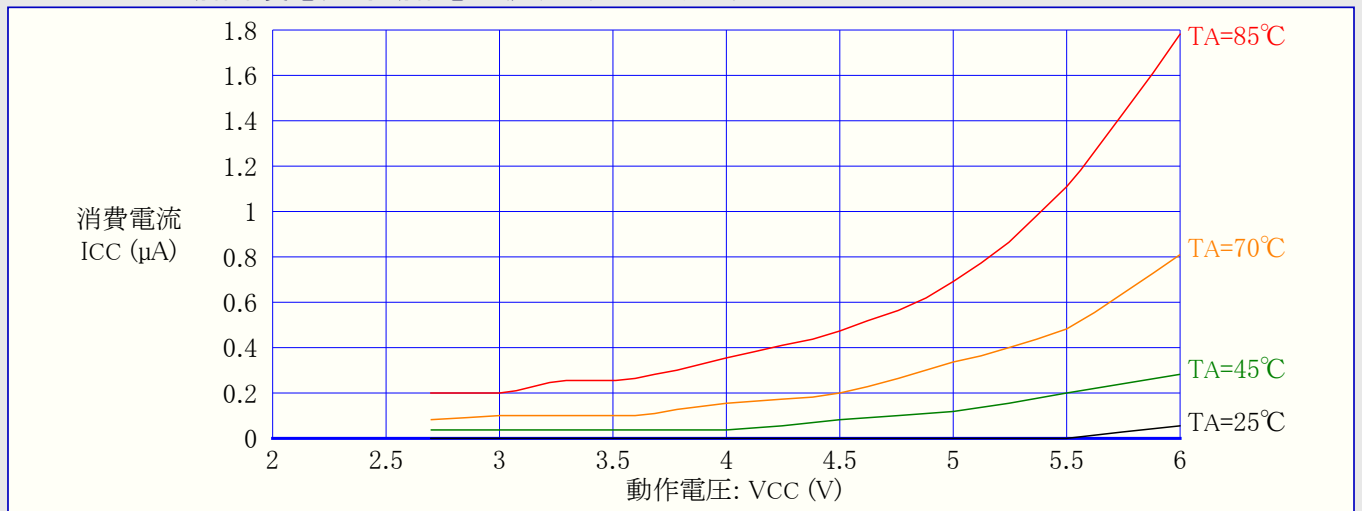


図45. パワーダウンストック消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)

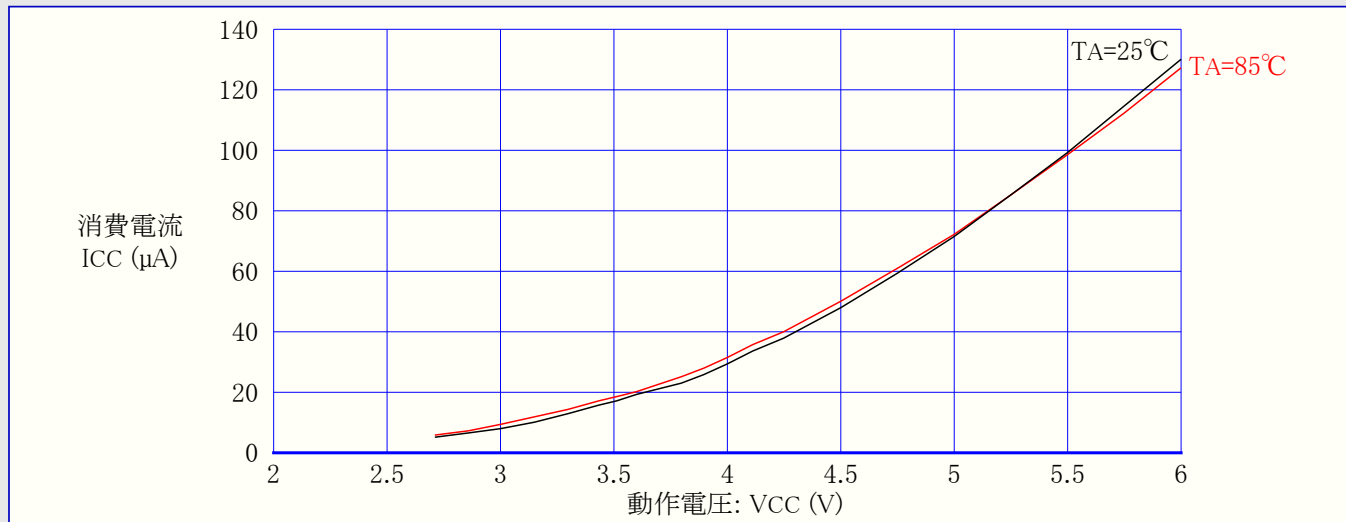


図46. 内蔵RC発振周波数 対 動作電圧

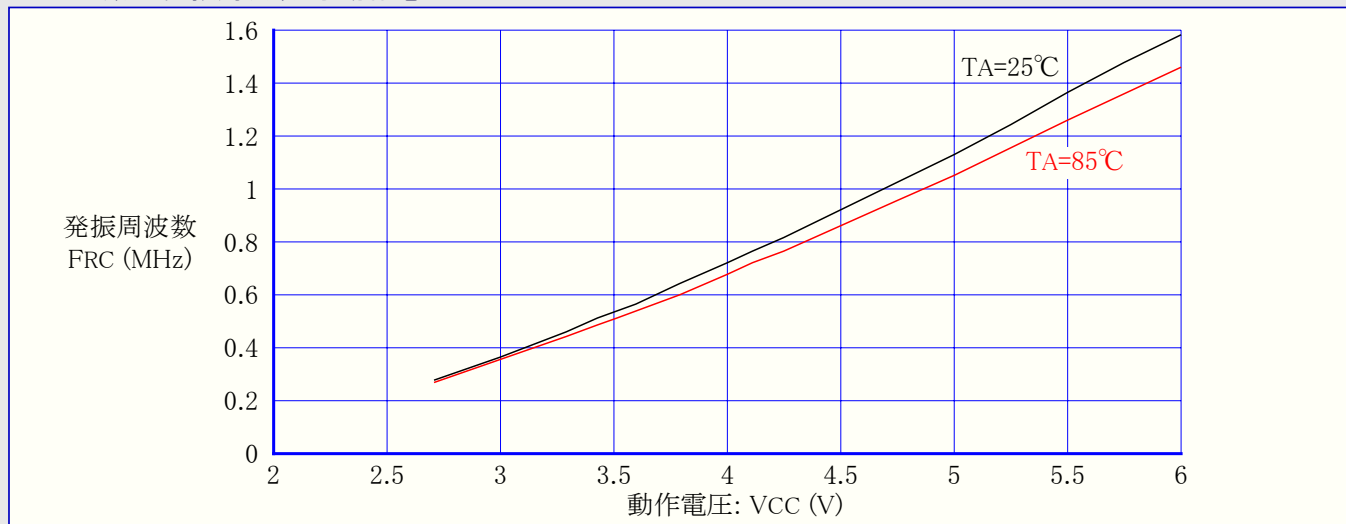


図47. アナログ比較器消費電流 対 動作電圧

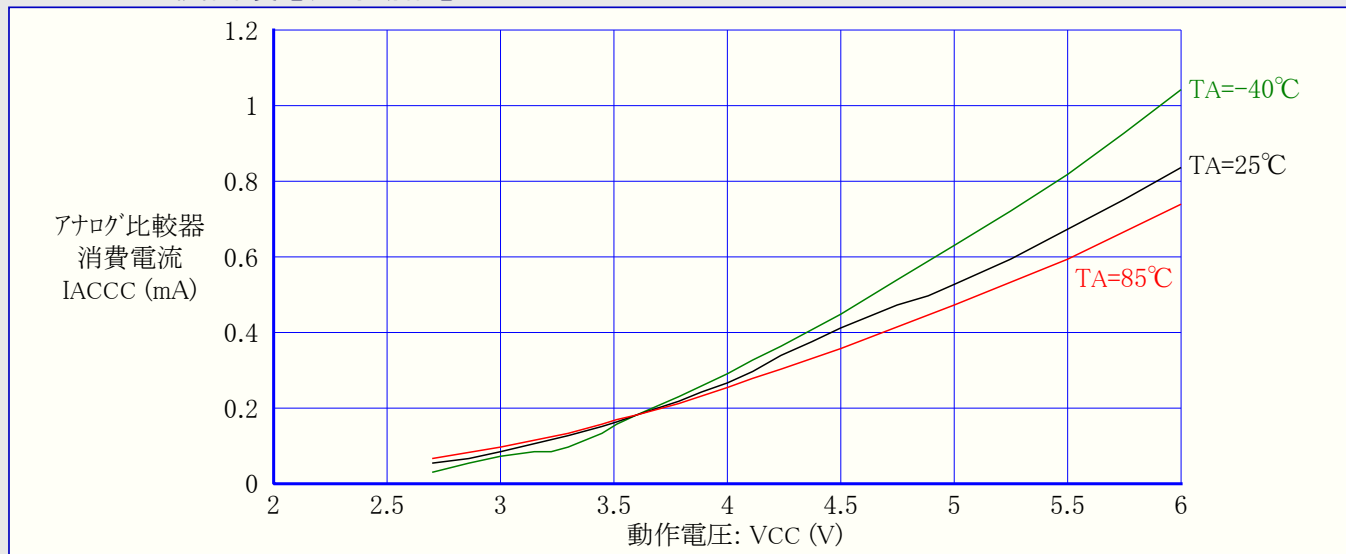
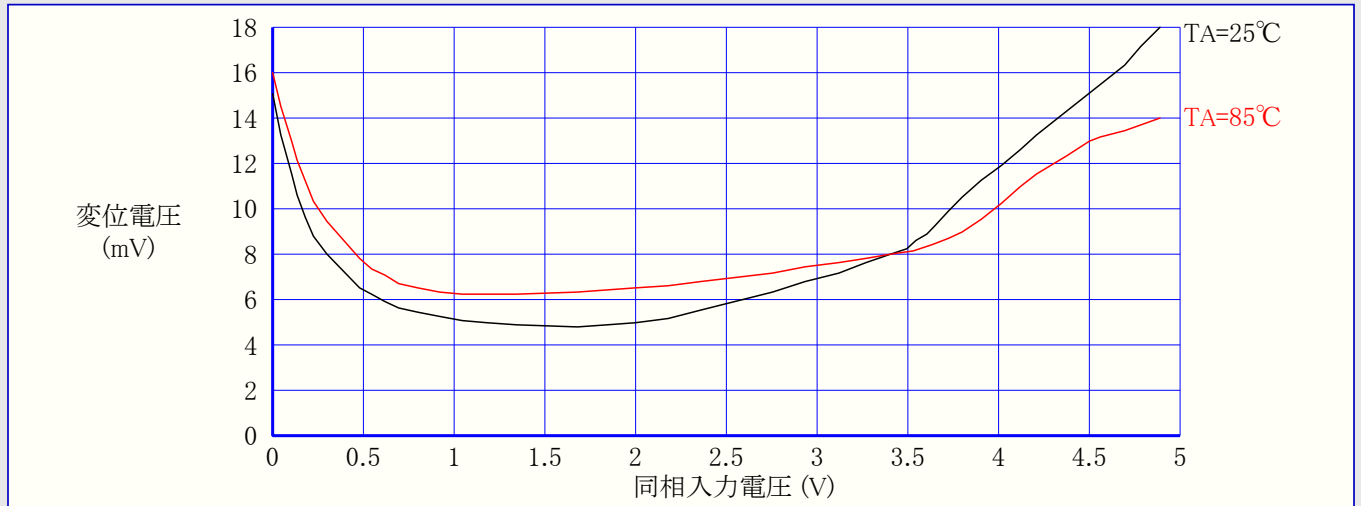
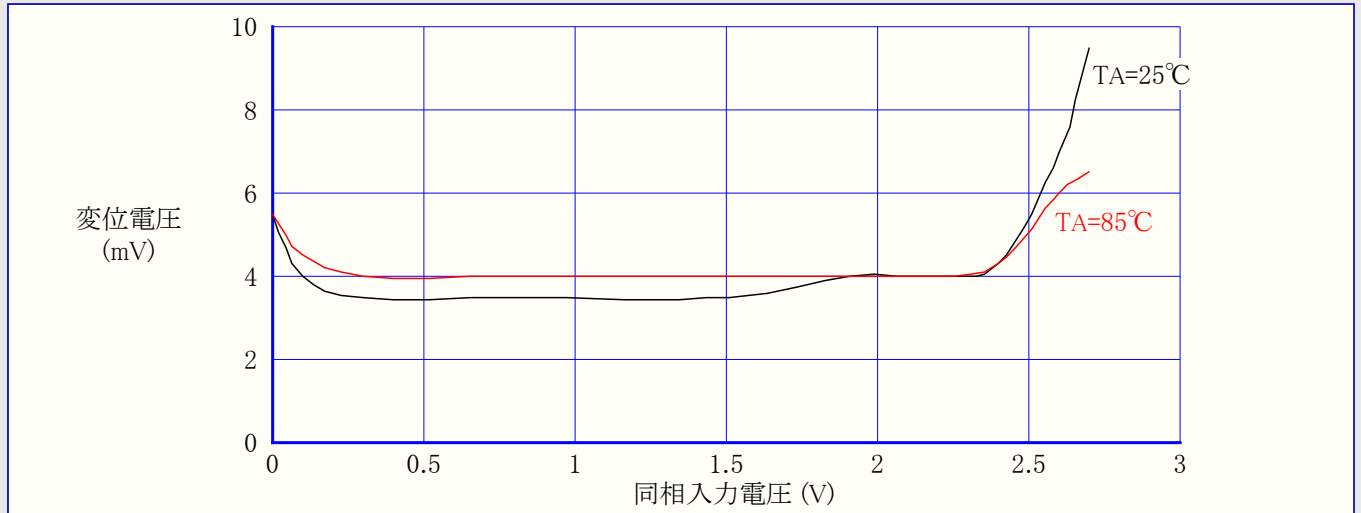


図48. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=5V)



注: 変位(オフセット)電圧は絶対値です。

図49. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=2.7V)



注: 変位(オフセット)電圧は絶対値です。

図50. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25°C)

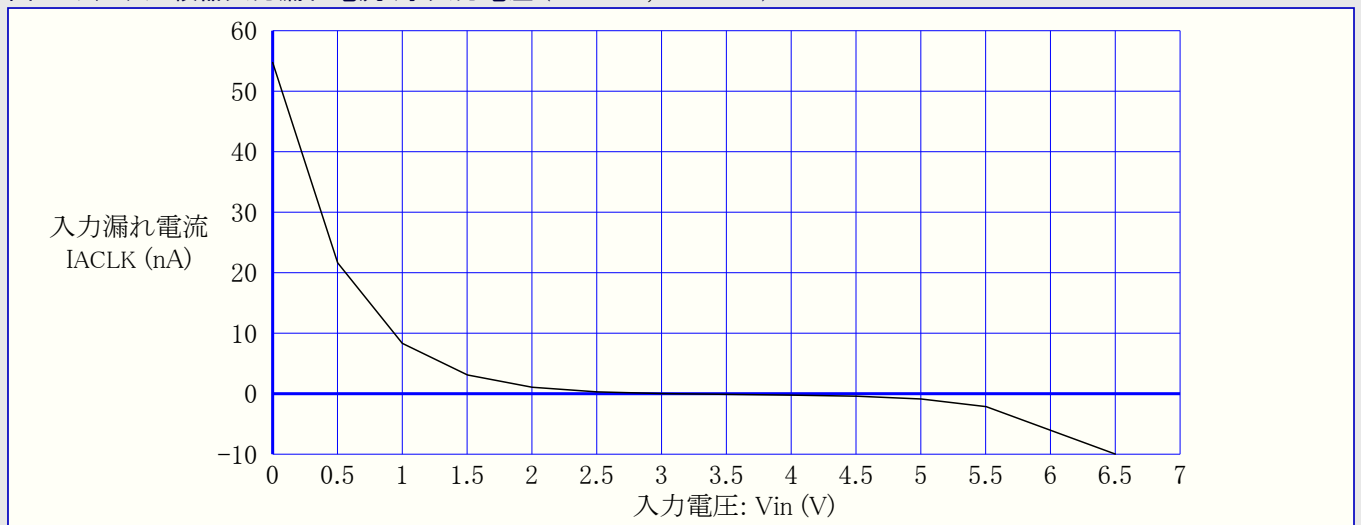
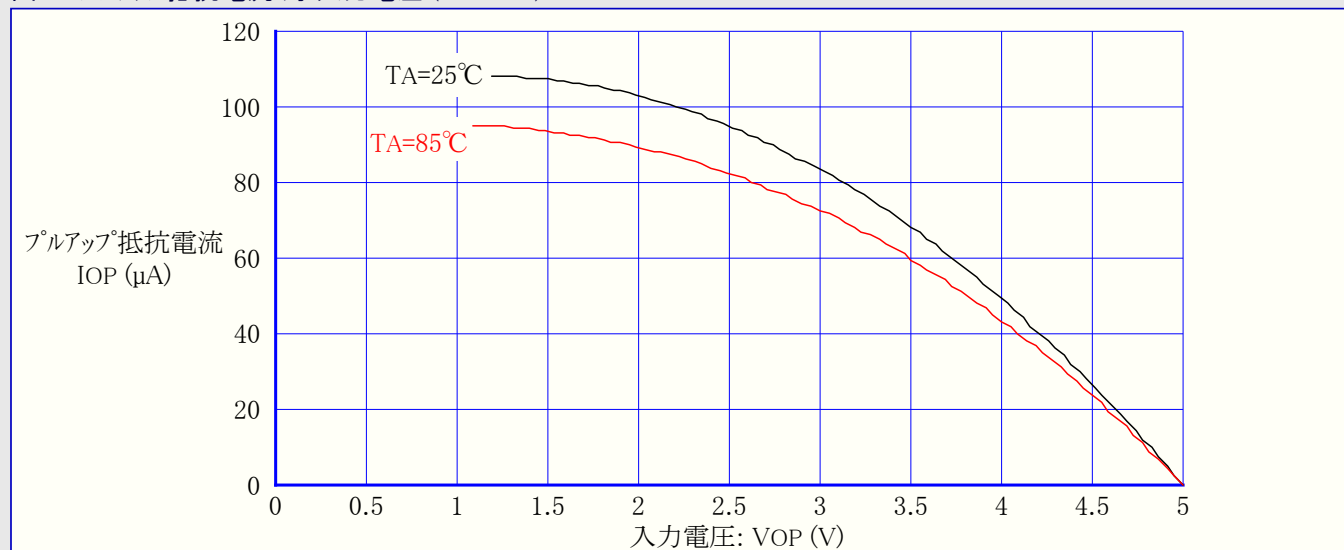
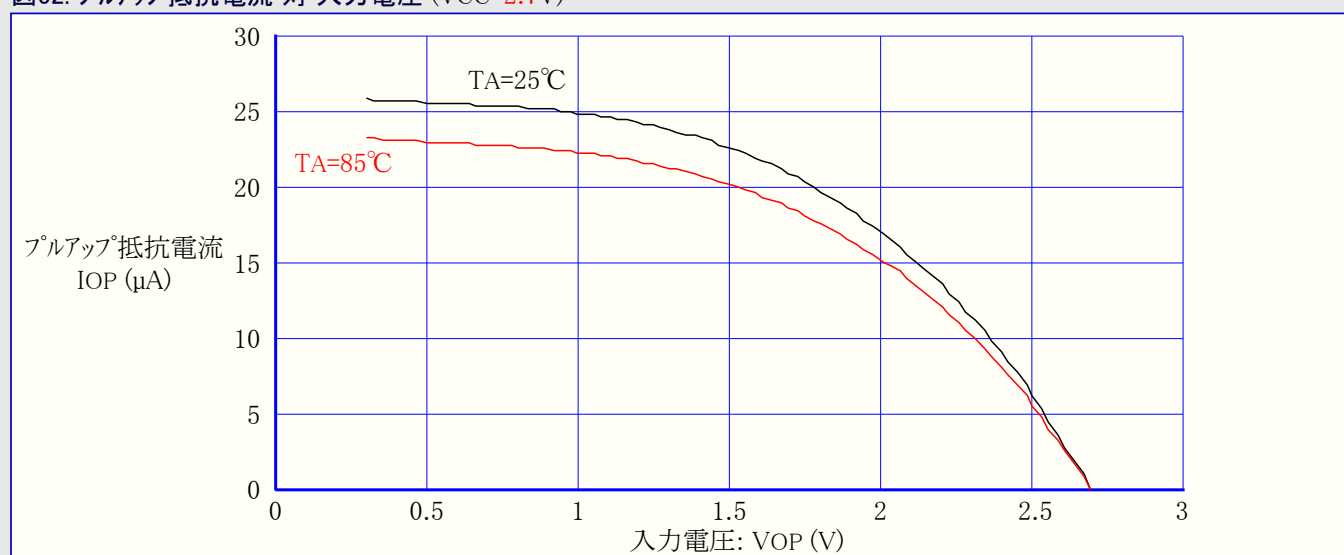


図51. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



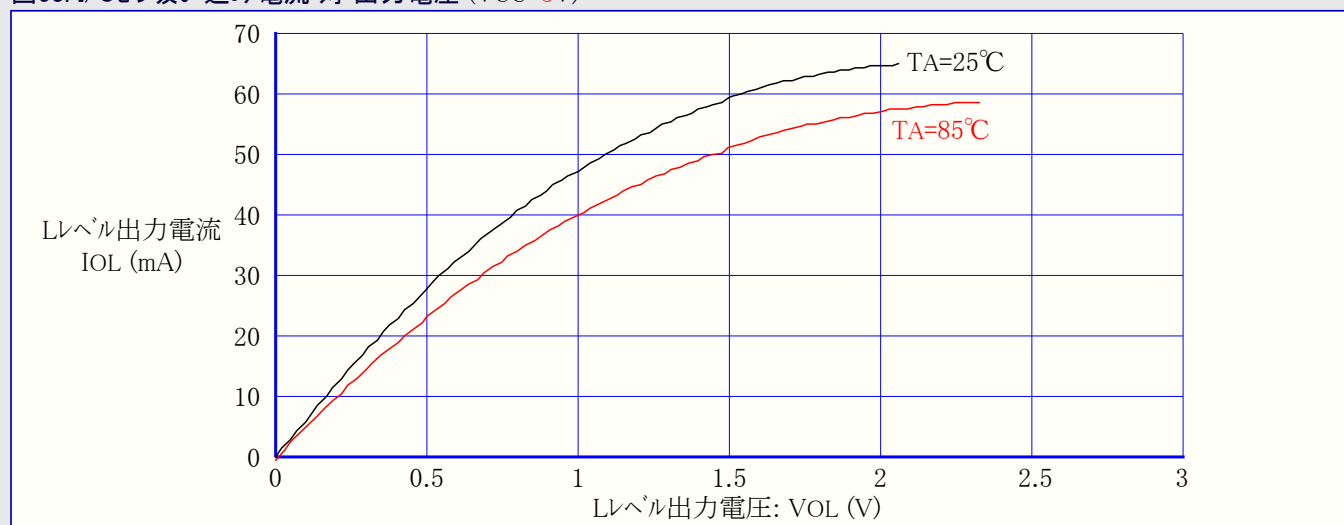
注: 測定は1ピン単位です。

図52. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



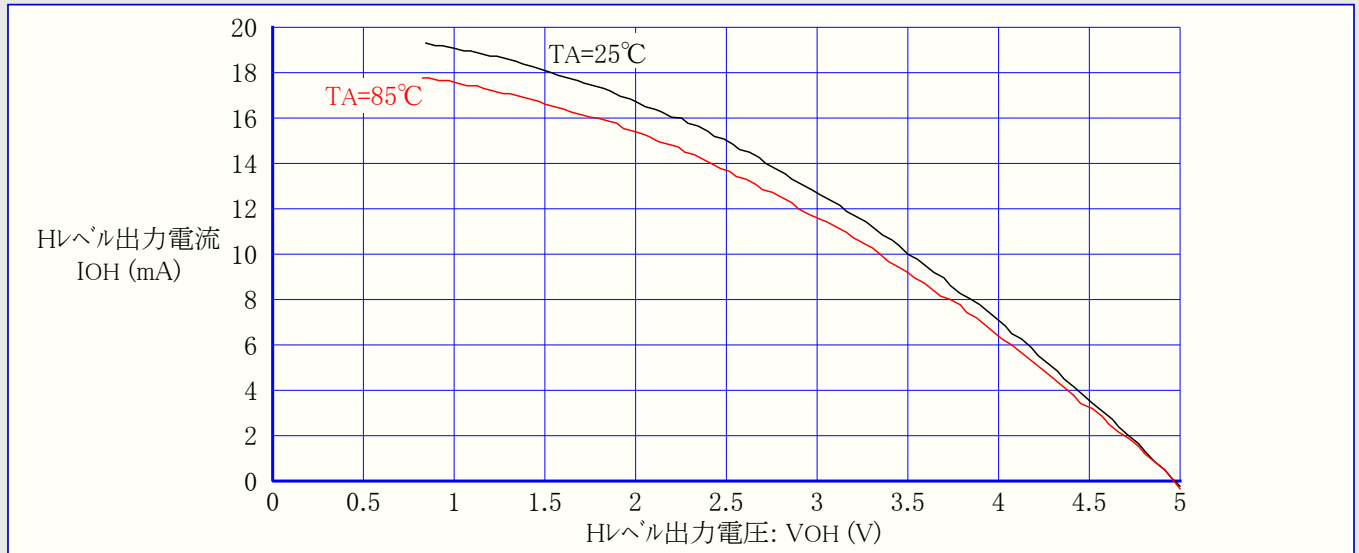
注: 測定は1ピン単位です。

図53. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



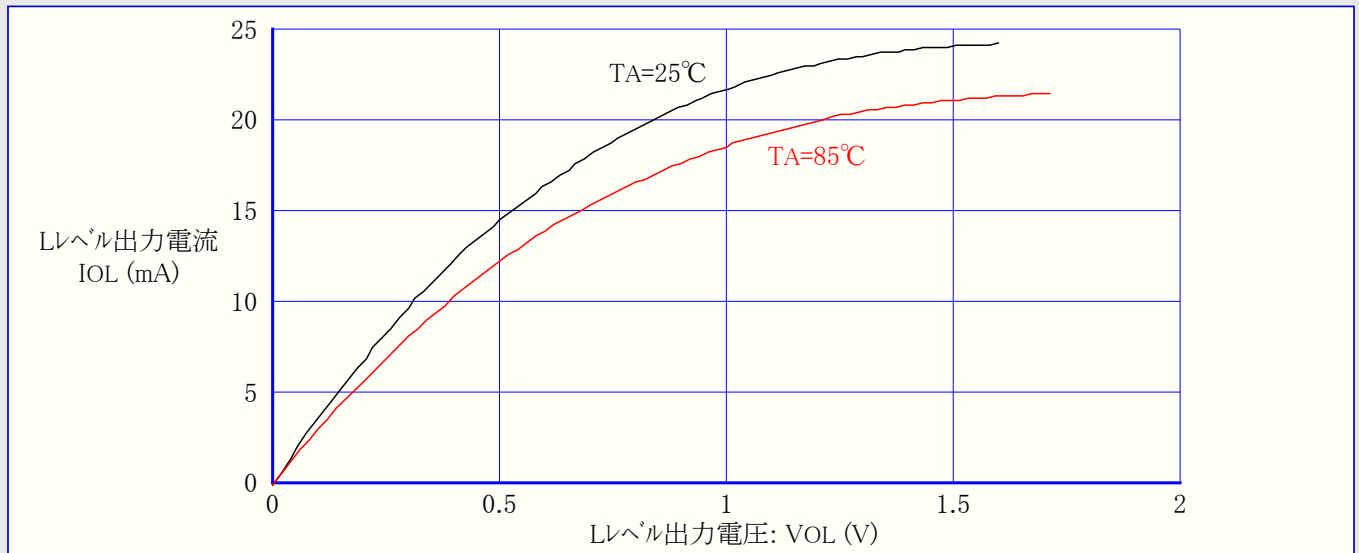
注: 測定は1ピン単位です。

図54. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



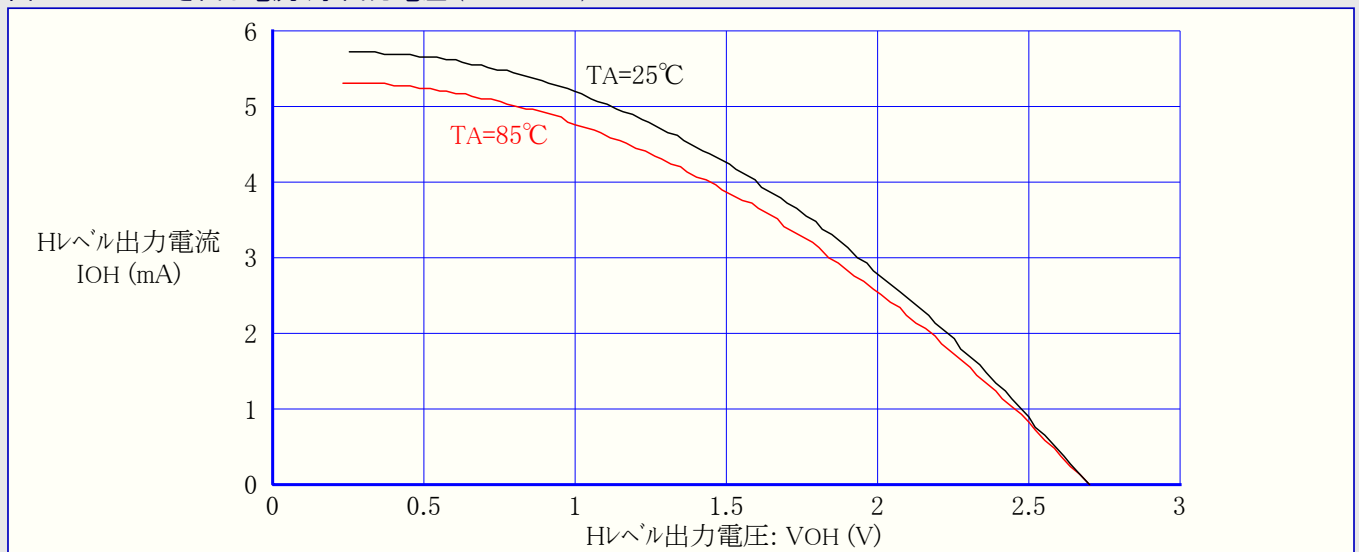
注: 測定は1ピン単位です。

図55. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図56. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図57. I/Oピン入力閾値電圧 対 動作電圧 (TA=25°C)

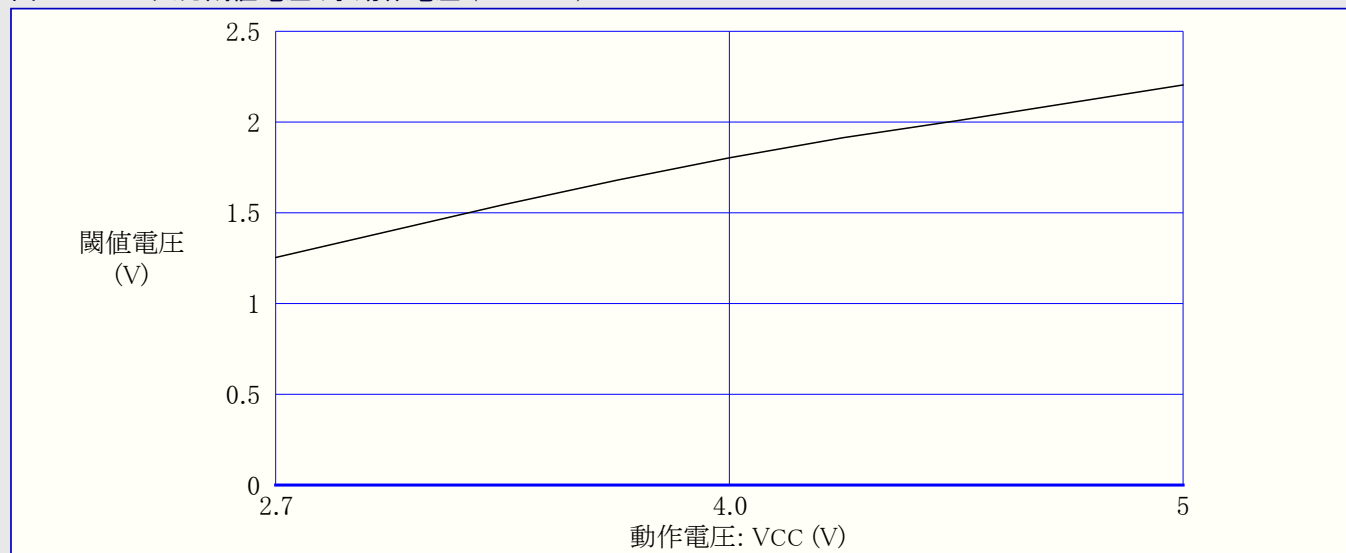
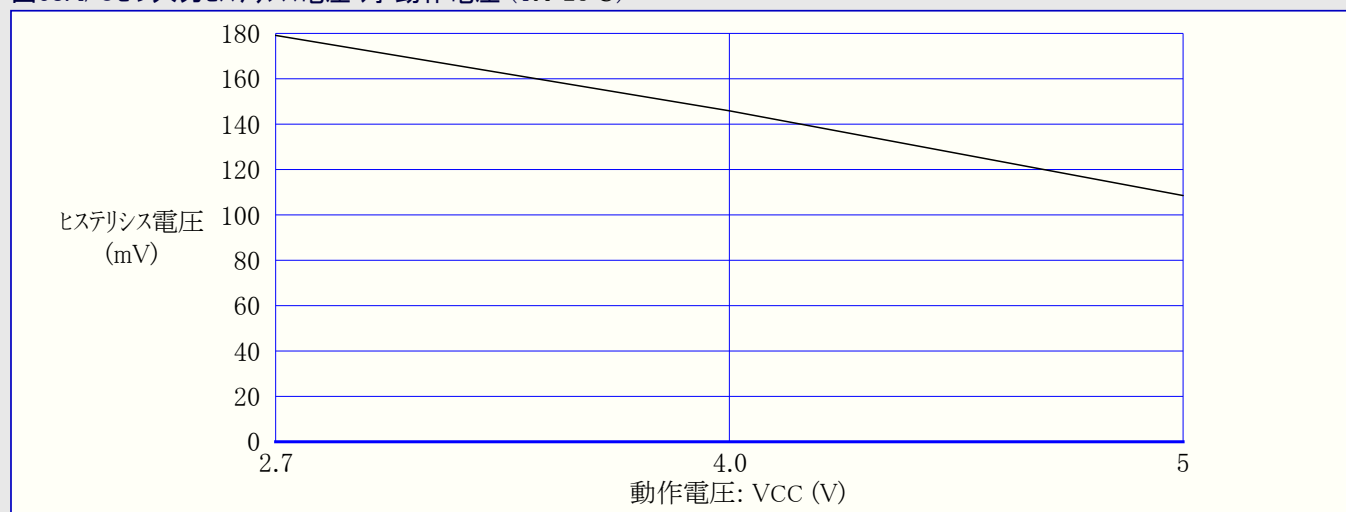


図58. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F	SREG	I	T	H	S	V	N	Z	C	8
\$3E	予約									
\$3D	予約									
\$3C	予約									
\$3B	GIMSK	-	INT0	-	-	-	-	-	-	11
\$3A	予約									
\$39	TIMSK	-	-	-	-	-	-	TOIE0	-	11
\$38	TIFR	-	-	-	-	-	-	TOV0	-	12
\$37	予約									
\$36	予約									
\$35	MCUCR	-	-	SE	SM	-	-	ISC01	ISC00	13
\$34	予約									
\$33	TCCR0	-	-	-	-	-	CS02	CS01	CS00	15
\$32	TCNT0	タイマ/カウンタ0								15
\$31	予約									
\$30	予約									
\$2F	予約									
\$2E	予約									
\$2D	予約									
\$2C	予約									
\$2B	予約									
\$2A	予約									
\$29	予約									
\$28	予約									
\$27	予約									
\$26	予約									
\$25	予約									
\$24	予約									
\$23	予約									
\$22	予約									
\$21	WDTCSR	-	-	-	-	WDE	WDP2	WDP1	WDP0	16
\$20	予約									
\$1F	予約									
\$1E	EEAR	-	-	EEPROM アドレスレジスタ						17
\$1D	EEDR	EEPROM データレジスタ								17
\$1C	EECR	-	-	-	-	-	-	EEWE	EERE	17
\$1B	予約									
\$1A	予約									
\$19	予約									
\$18	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	20
\$17	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	20
\$16	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	20
\$15	予約									
\$14	予約									
\$13	予約									
\$12	PORTD	-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	24
\$11	DDRD	-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	24
\$10	PIND	-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	24
\$09～\$0F	予約									
\$08	ACSR	ACD	-	ACO	ACI	ACIE	-	ACIS1	ACIS0	19
\$01～\$07	予約									
\$00	予約									

注: ・ 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリ アドレスへは決して書くべきではありません。

- ・ いくつかの状態フラグは論理1を書くことにより解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00~\$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの $\geq$ で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの $\geq$ で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	なら, $H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K : 8ビット定数

P : I/Oレジスタ

Rd, Rr : 汎用レジスタ(R0~R31)

Z : Zレジスタ

b : ビット(0~7)

k : アドレス定数(7,12ビット)

s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニフル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文符号	外囲器	動作範囲
4	2.7~6.0V	AT90S1200-4PC	20P3	一般用 (0°C~70°C)
		AT90S1200-4SC	20S	
		AT90S1200-4YC	20Y	
		AT90S1200-4PI	20P3	工業用 (-40°C~85°C)
		AT90S1200-4SI	20S	
		AT90S1200-4YI	20Y	
12	4.0~6.0V	AT90S1200-12PC	20P3	一般用 (0°C~70°C)
		AT90S1200-12SC	20S	
		AT90S1200-12YC	20Y	
		AT90S1200-12PI	20P3	工業用 (-40°C~85°C)
		AT90S1200-12SI	20S	
		AT90S1200-12YI	20Y	

注: RCENヒューズ' ヒットがプログラム(0)された製品については、AT90S1200A-XXXで注文してください。

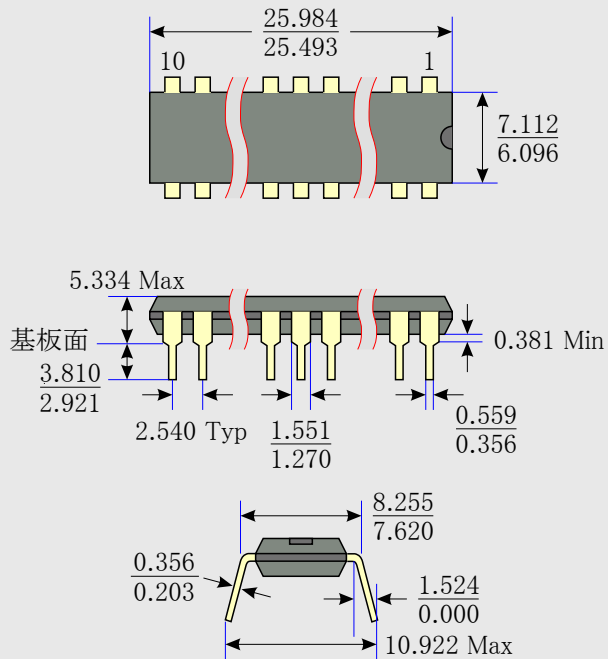
外囲器形式	
20P3	20ピン 300mil幅 プラスティック2列直線外囲器 (PDIP)
20S	20リード 300mil幅 プラスティック小型外形外囲器 (SOIC)
20Y	20リード 5.3mm幅 プラスティック縮小小型外形外囲器 (SSOP)

外周器情報

20P3

20ピン 300mil幅 プラスチック2列直線外周器 (PDIP)

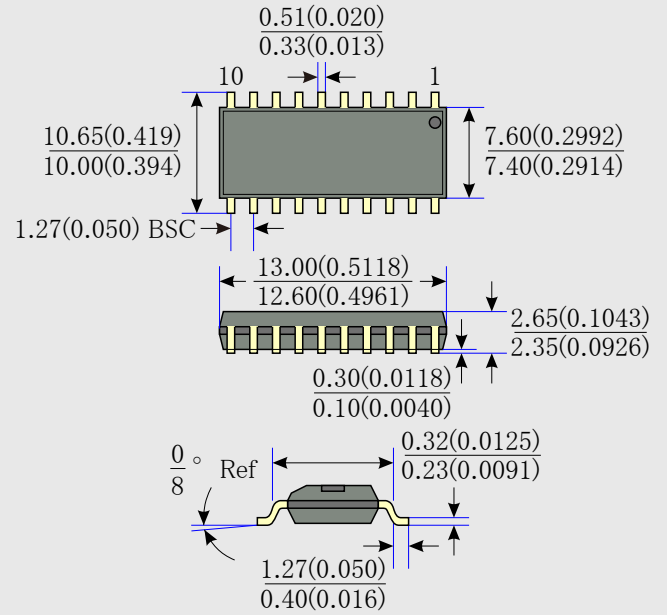
寸法: mm
JEDEC規格 MS-001 AD



20S

20リード* 300mil幅 プラスチック小型外形外周器 (SOIC)

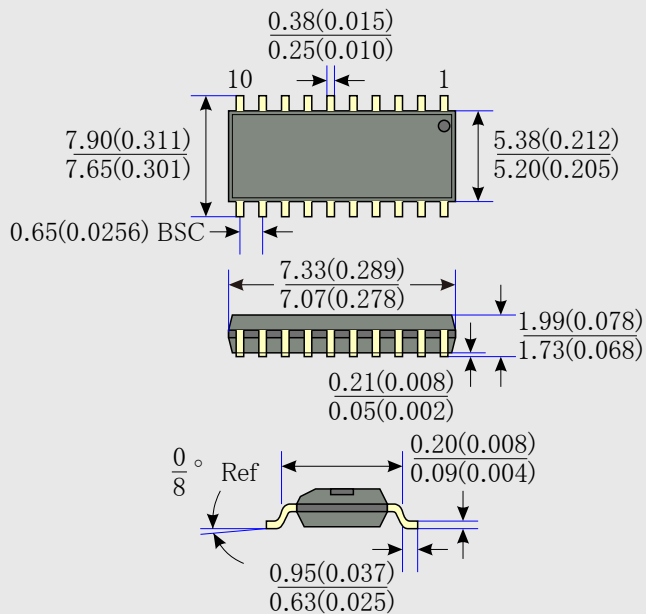
寸法: mm、()内はインチ
JEDEC規格 MS-013



20Y

20リード* 5.3mm幅 プラスチック縮小小型外形外周器 (SSOP)

寸法: mm、()内はインチ



障害情報

この章の改訂番号はAT90S1200デバイスの改訂版を参照してください。

改訂F (Rev. 1190D-09/01)

- | | |
|-------------------------|---|
| • 供給電圧2.9V未満での直列プログラミング | F |
| • EEPROM書き込み中に於けるリセット | F |
| • クロック停止によるリセット状態の解除 | F |

1. 供給電圧2.9V未満での直列プログラミング (F)

供給電圧2.9V未満での直列プログラミングは失敗する可能性があります。

対策/対処

直列プログラミング中のVCCは2.9V以上に保ってください。

2. EEPROM書き込み中に於けるリセット (F)

EEPROM書き込み中にリセットを行うと予期せぬ結果となります。EEPROM書き込み周期は通常の完了となりますが、リセットによってEEPROMアドレスレジスタが\$00となってしまいます。この結果、EEPROMのアドレス\$00にも不正な書き込みを行ってしまいます。

対策/対処

アドレス\$00を一時変数とすれば、この問題を無視できます。また、EEPROM書き込み中にリセットを行わない場合、アドレス\$00の内容は保証されます。

3. クロック停止によるリセット状態の解除 (F)

クロック停止中に外部リセットまたはウォッチドッグリセットが発生すると、クロック再起動前にリセットが解除されます。内部リセットは外部クロックと無関係に、リセット遅延時間後、解除されます。内部リセットが有効な間に、外部クロックパルスが無かった場合、リセットはI/OをHi-Z状態に保ちます。しかし、クロック再起動前に内部リセットが解除されると、I/O部が解除されず、また、PC(プログラムカウンタ)も解除されません。これは外部クロック入力でクロックをゲートする構造のため、内部クロックが停止することによります。この問題は、パワーダウン動作には無関係です。

対策/対処

外部リセットが予測される全ての期間、クロックが動作中であることを保証してください。ウォッチドッグを使っている場合、外部クロックを停止しないようにします。

目次

特徴	1
ピン配置	1
概要	2
構成図	2
ピン説明	3
クリスタル用発振器	3
内蔵RC発振器	3
構造概要	4
汎用レジスタ ファイル	5
ALU (Arithmetic Logic Unit)	5
実装書き換え可能なプログラム用フラッシュ メモリ	5
データ用EEPROMメモリ	5
サブルーチン、割り込み用スタック	5
プログラム/データ空間に対するアドレス指定種別	6
メモリ アクセスと命令実行タイミング	7
I/Oレジスタ	7
リセットと割り込みの扱い	9
休止形態	13
タイマ/カウンタ0	14
タイマ/カウンタ0前置分周器	14
ウォッチドッグ タイマ	16
EEPROMアクセス	17
EEPROMデータ化けの防止	18
アナログ比較器	19
入出力ポート	20
ポートB	20
ポートD	24
メモリプログラミング	27
プログラム メモリとデータ メモリ用施錠ビット	27
ヒューズ ビット	27
識別バイト	27
フラッシュ メモリとEEPROMのプログラミング	27
並列プログラミング	28
並列プログラミング特性	32
直列プログラミング	33
直列プログラミング特性	34
電気的特性	35
絶対最大定格	35
DC特性	35
外部クロック特性	36
代表特性	36
レジスタ要約	44
命令要約	45
注文情報	47
外圍器情報	48
障害情報	49



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantnerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2002.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2022.

本データシートはAtmelのAT90S1200英語版データシート(Rev.0838H-03/02)の翻訳日本語版で、Rev.F障害情報(Rev.1190D-09/01)の内容も含まれています。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。