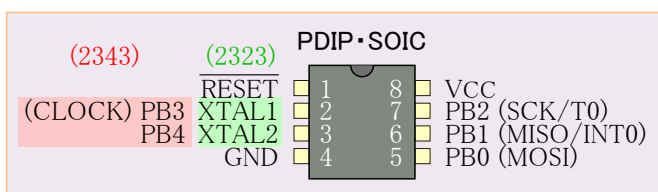


特徴

- AVR[®] RISC構造
- AVR –高性能、低消費RISC構造
 - 強力な118命令(多くは1周期で実行)
 - 32個の1バイト長汎用レジスタ
 - 10MHz時、10MIPSに達する高速動作
- 不揮発性プログラム用メモリとデータ用メモリ
 - 実装書き換え(ISP: In-System Program)可能な2Kバイト(1K語)フラッシュメモリ内蔵
1000回の書き換えが可能
 - 128バイトのSRAM
 - 実装書き換え(ISP)可能な128バイトのEEPROM
100,000回の書き換えが可能
 - ソフトウェア保護用の設定可能な施錠機能
- 内蔵周辺機能
 - 独立した前置分周器付き8ビットタイマ/カウンタ
 - 設定可能な専用発振器付きウォッチドッグタイマ
 - 実装書き換え(ISP)用SPI直列インターフェース
- 特殊マイクロコントローラ機能
 - アイドルとパワーダウンの2つの低消費動作
 - 外部及び内部の割り込み
 - 電源ONリセット回路
 - 選択可能な内蔵RC発振器 (AT90S/LS2343)
- 電気的特長
 - 高速、低消費なCMOS製法
 - 完全なスタティック動作
- 消費電流 (条件: 4MHz, 3V, 25°C)
 - 活動動作 2.4mA
 - アイドル動作 0.5mA
 - パワーダウン動作 1μA未満
- I/Oと外圍器
 - 3ビットの設定可能なI/O (AT90S/LS2323)
 - 5ビットの設定可能なI/O (AT90S/LS2343)
 - 8ピンPDIP、8リードSOIC
- 動作電圧
 - 2.7~6.0V (AT90LS2323/AT90LS2343)
 - 4.0~6.0V (AT90S2323/AT90S2343)
- 動作速度
 - 0~1MHz (AT90LS2343-1)
 - 0~4MHz (AT90LS2323/AT90LS2343-4)
 - 0~10MHz (AT90S2323/AT90S2343-10)

ピン配置



8ビット AVR[®]
マイクロコントローラ
実装書き換え可能な
2Kバイト
フラッシュメモリ内蔵

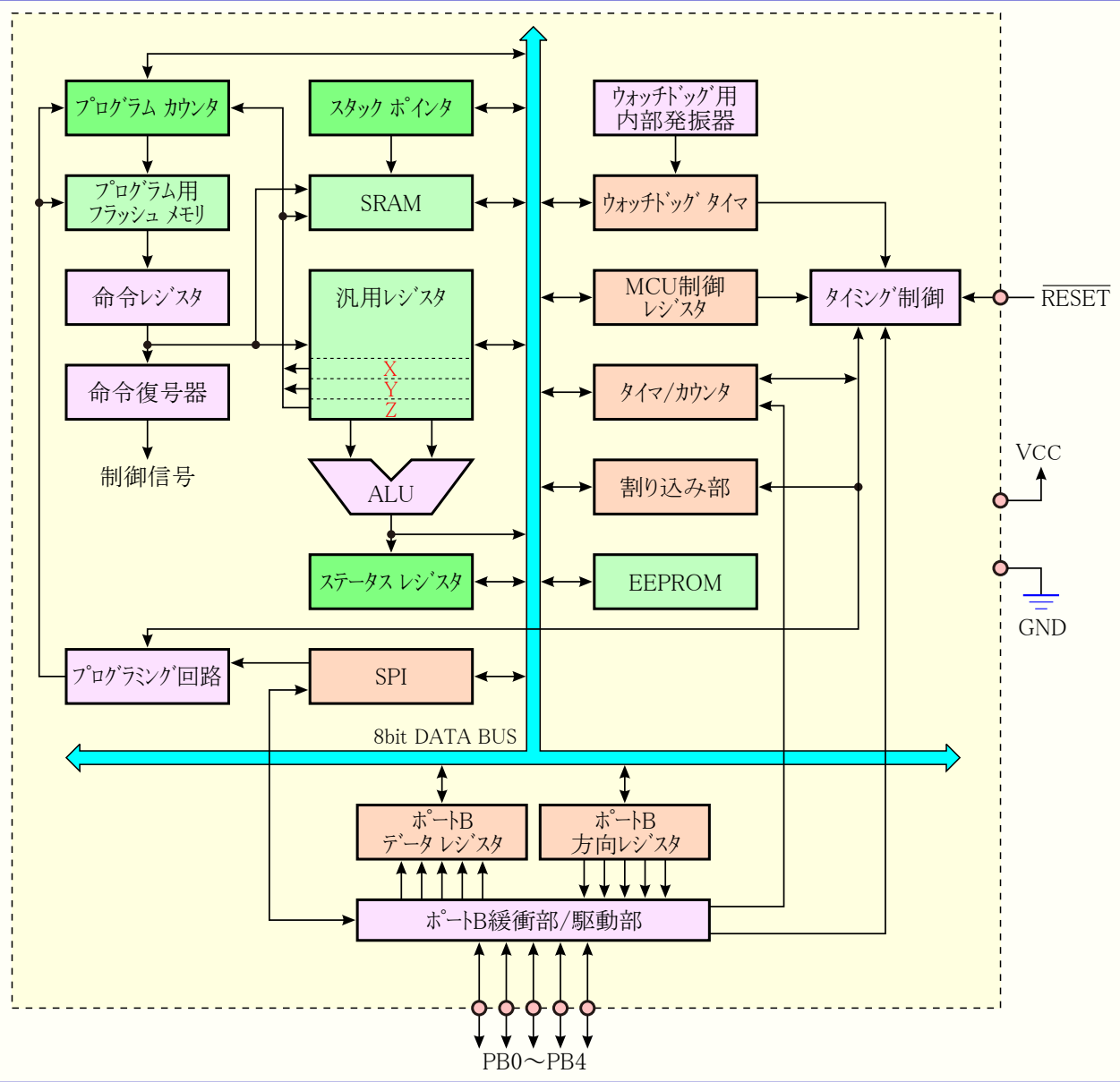
AT90S2323
AT90LS2323
AT90S2343
AT90LS2343

本製品での新規設計は推奨されません。

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 1004D-09/01, 1004DJ16-08/22

図2. AT90S/LS2343構成図



AT90S/LS2323とAT90S/LS2343の違い

AT90S/LS2323はクロック元として、外部のクリスタル発振子またはセラミック振動子の使用が意図されています。起動時間は1ms(セラミック振動子用)か16ms(クリスタル発振子用)のどちらかが**ヒューズビット**で選べます。このデバイスには3本の入出力ピンがあります。

AT90S/LS2343はクロック元として、外部クロック信号または内蔵RC発振器の使用が意図されています。このデバイスには5本の入出力ピンがあります。

表1.はこの2つのデバイスの特徴の違いを示します。

デバイス名	AT90S/LS2323	AT90S/LS2343
クロック発振形態	発振増幅器内蔵	RC発振器内蔵
PB3ピン	なし	汎用入出力または外部クロック入力
PB4ピン	なし	汎用入出力
起動時間	1または16ms	16μs固定

ピン概要

VCC

電源ピン。

GND

接地ピン。

PB2～PB0 (AT90S/LS2323) / PB4～PB0 (AT90S/LS2343) (ポートB)

ポートBは内蔵プルアップ抵抗付き、3(AT90S/LS2323)/5(AT90S/LS2343)ビットの双方向入出力ポートです。ポートBの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。

ポートBは各特殊機能動作も扱います。

ポートピンは(ビット毎に選ばれる)内蔵プルアップ抵抗を提供できます。リセット条件が有効になると、ポートBピンはHi-Zになります。

RESET

リセット入力。外部リセットはRESETピンのLowレベルにより生成されます。50nsより長いリセットパルスはクロックが動作していなくてもリセットを発生します。短すぎるパルスはリセットの生成が保証されません。

XTAL1 (AT90S/LS2323のみ)

発振増幅器の反転入力。または外部発振入力。

XTAL2 (AT90S/LS2323のみ)

発振増幅器の出力。

CLOCK (AT90S/LS2343のみ)

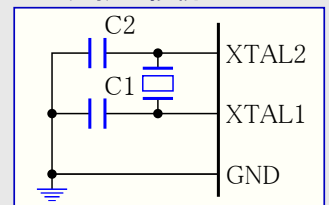
外部クロック動作での外部クロック信号入力。

クロック任意選択

クリスタル発振器 (AT90S/LS2323のみ)

図3.で示されるように、AT90S/LS2323は内蔵発振器としての使用が形成できる反転増幅器を含みます。XTAL1とXTAL2は各々入力と出力です。クリスタル発振子かセラミック発振子どちらかが使えます。外部クロック元が使われる場合、余剰I/Oピンが生じるため、AT90S/LS2343の使用が推奨されます。

図3. 発振子接続図



外部クロック

AT90S/LS2343は図4.で示されるような外部クロック信号、または内蔵RC発振器によりクロック駆動できます。このRC発振器は公称周波数1MHz(VCC=5V)で動作します。フラッシュメモリ内のRCENヒューズビットは、プログラム(0)されると、クロック元としてRC発振器を選びます。AT90S/LS2343は、このビットがプログラム(0)されて出荷されます。余剰I/Oピンが生じるため、外部クロック元が使われる場合はAT90S/LS2343が推奨されます。

尚、AT90S/LS2323は図4.で示されるように、外部クロックによりクロック駆動もできます。AT90S/LS2323には、ヒューズビットのクロック元選択はありません。

図4. 外部ク電圧レベル接続図



構造概要

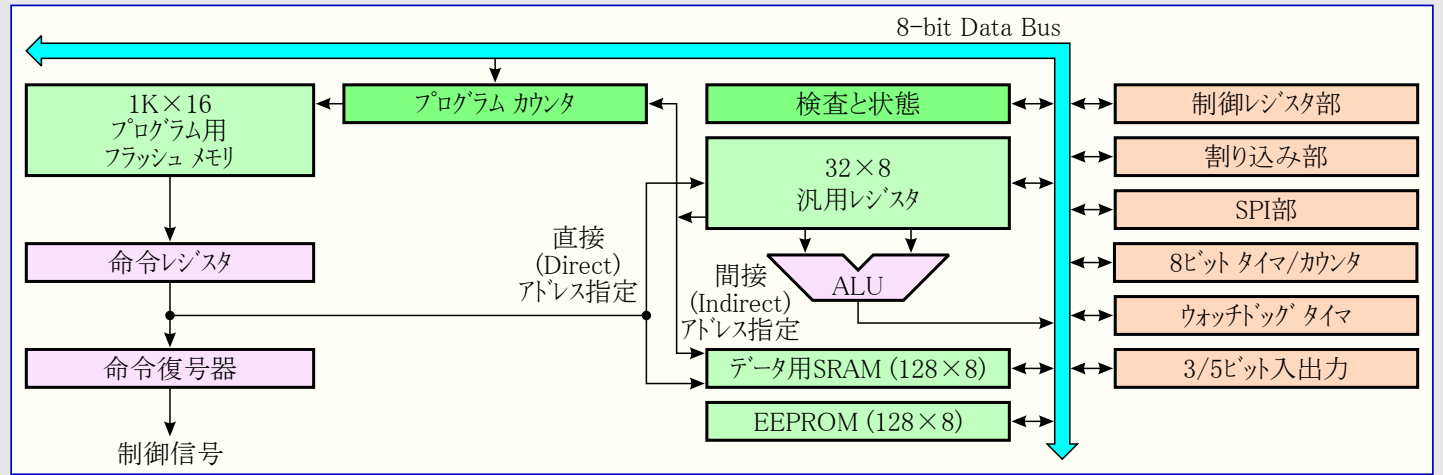
高速**レジスタ ファイル**の概念は1クロック周期アクセス時間の32個の8ビット長汎用レジスタを含みます。これは1クロック周期中に1つのALU (Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタ ファイルから出力され、命令が実行され、その結果がレジスタ ファイルに書き戻されます。

32個中の6つのレジスタは、データ空間についてアドレス計算が効率的に行える3つの16ビット長間接アドレス ポインタとして使えます。3つのアドレス ポインタの1つは定数表参照用アドレス ポインタとしても使われます。これらの付加機能レジスタは16ビット長の**Xレジスタ**、**Yレジスタ**、**Zレジスタ**です。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図5.はAT90S2323/2343 AVR RISCマイクロ コントローラの構造を示します。

付加的なレジスタ操作として、通常のメモリ アドレス指定をレジスタ ファイルにも使えます。実際にはレジスタ ファイルがデータ空間の最下位32バイト(\$00~\$1F)に割り当てられ、通常のメモリ位置としてのアクセスができることにより行えます。

図5. AT90S2323/2343 AVR RISC構造



I/Oメモリ空間は、制御レジスタ、タイマ/カウンタ、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタ ファイルに後続するデータ空間位置\$20~\$5Fとしてアクセスできます。

AVRのメモリとバスはプログラム用とデータ用に各々分離されたハーバード構造で構成されています。プログラム メモリは2段のパイプラインでアクセスされます。1命令の実行中に、次の命令をプログラム メモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラム メモリは実装書き換え可能な**フラッシュ メモリ**です。

プログラム カウンタ(PC)相対の無条件分岐(**RJMP**)命令と呼び出し(**RCALL**)命令で1Kアドレス空間全てが直接的にアクセスされます。AVRの多くの命令は、16ビット1語の形式です。全てのプログラム メモリのアドレスに16または32ビット命令を配置できます。

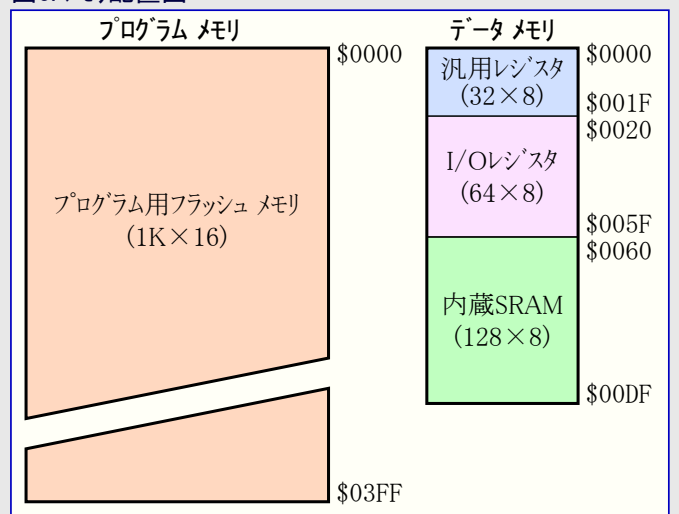
割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラム カウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用**SRAM**に配置され、スタック容量はSRAM容量とSRAM使用量でのみ制限されます。プログラムでは、リセット時の初期化ルーチンで(サブルーチンや割り込みが実行される前に)、スタック ポインタ(SP)を初期化しなければなりません。SPIはI/O空間にあり、読み書き可能です。

128バイトのデータSRAMと**レジスタ ファイル**や**I/Oレジスタ**は、AVR構造で支援される5つの異なる**アドレス指定種別**で容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタと**ステータスレジスタ(SREG)**の**全割り込み許可(I)**ビットがあります。全ての**割り込み要因**はプログラム メモリの先頭に割り込みベクタ表として個別の割り込みベクタがあります。各割り込みは、この割り込みベクタ表の位置に従った優先順位です。下位側割り込みベクタ アドレスが高い優先順位です。

図6. メモリ配置図



汎用レジスタ ファイル

図7.は32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令は**レジスタ直接指定**ができ、1周期でアクセスします。**SBCI,SUBI,CPI,ANDI,ORI**の5つの算術、論理定数演算命令と、定数をレジスタに設定する**LDI**命令だけは例外です。これらの命令はレジスタファイル後半のR16～R31に対してだけ適用されます。通常の**SBC,SUB,CP,AND,OR**や他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

図7.で示されるように、各レジスタはデータ メモリ領域の先頭からの32アドレスに配置されています。レジスタ ファイルは物理的にSRAMのような配置構成ではなく、この特別な構成のため、X,Y,Zレジスタを指標とする任意のレジスタ指定のような、非常に柔軟なアクセスができます。

図7. AVR CPU 汎用レジスタ構成図

	7	0	アドレス
汎用 レジスタ ファイル	R0		\$00
	{		
	R15		\$0F
	R16		\$10
	{		
	R26		\$1A
	R27		\$1B
	R28		\$1C
	R29		\$1D
	R30		\$1E
	R31		\$1F
			Xレジスタ 下位バイト 上位バイト Yレジスタ 下位バイト 上位バイト Zレジスタ 下位バイト 上位バイト

Xレジスタ, Yレジスタ, Zレジスタ

レジスタR26～R31には通常の汎用用途以外にいくつかの付加機能があります。これらのレジスタはデータ空間の**間接アドレス指定**ポインタにもなります。この3つの間接アドレス用レジスタX,Y,Zは図8.で定義されます。

これらのアドレスレジスタは**定数変位付き**、**自動増加/減少付き**のアドレス指定が行えます。(これらの概要は個別命令を参照してください。)

図8. X,Y,Zレジスタ構成図

	15	(上位)		(下位)	0	
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)	0
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)	0
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)	0

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは、32個の全汎用レジスタに直接接続され、動作します。レジスタファイル内のレジスタ間ALU操作は、1クロック周期内で実行されます。ALU操作は、算術演算、論理演算、ビット操作の3つの主な種類に大別されます。

実装書き換え(ISP: In-System Program)可能なプログラム用フラッシュメモリ

AT90S2323/2343にはプログラム用に実装書き換え可能な2Kバットのフラッシュメモリが内蔵されています。全ての命令が16または32ビット語のため、フラッシュメモリは1K×16ビットとして構成されています。フラッシュメモリは最低1000回再書き込みの耐久性があります。

AT90S2323/2343のプログラム カウンタ(PC)は10ビットで、プログラム メモリ内の1024アドレスを指定します。フラッシュ メモリ書き込みの詳細説明については[25頁](#)を参照してください。

定数表はアドレス0～1K内に割り当てられなければなりません。(LPM命令の説明参照)

プログラムメモリの各アドレス指定種別については7頁を参照してください。

データ用EEPROMメモリ

AT90S2323/2343には128バイトのデータ用EEPROMがあります。これは1バイト単位で読み書きできる独立したデータ空間として構成されます。EEPROMには最低100,000回書き換えの耐久性があります。EEPROMとCPU間のアクセスは[21頁のEEPROMアドレスレジスタ](#)、[EEPROMデータレジスタ](#)、[EEPROM制御レジスタ](#)で詳細に説明されます。

SPI書き込み(直列プログラミング)の詳細説明については29頁を参照してください。

内蔵SRAM

図9. はAT90S2323/2343のデータメモリの構成を示します。

224のデータ メモリ位置は汎用レジスタ ファイル、I/Oレジスタ、データ用内蔵SRAMを指定します。最初の96位置はレジスタ ファイルとI/Oレジスタ、次の128位置がデータ用内蔵SRAMを指定します。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つのアドレス指定種別がデータメモリ空間を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定時のポインタレジスタです。

直接アドレス指定は全てのデータアドレス空間に届きます。

変位付き間接アドレス指定はYまたはZレジスタで与えられる基準アドレスから届く63アドレス位置が特徴です。

事前減少付き間接、事後増加付き間接アドレス指定を使う時はアドレスレジスタX,YまたはZが使われ、自動的に減少または増加されます。

AT90S2323/2343の32個の汎用レジスタ、64個のI/Oレジスタ、128バイトのデータ用内蔵SRAMはこれら全てのアドレス指定種別を通して全て直接的にアクセス可能です。

図9. データ空間とSRAMの配置

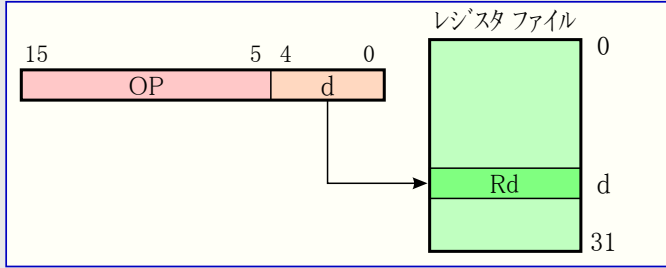
		アドレス
レジスタ ファイル	R0	\$0000
	R1	\$0001
	⋮	
	R30	\$001E
	R31	\$001F
I/O レジスタ (赤字は I/O アドレス)	\$00	\$0020
	\$01	\$0021
	⋮	
	\$3E	\$005E
	\$3F	\$005F
内蔵 SRAM	\$0060	\$0060
	\$0061	\$0061
	⋮	
	\$00DE	\$00DE
	\$00DF	\$00DF

プログラム及びデータ空間に対するアドレス指定種別

AT90S2323/2343 AVR RISCマイクロ コントローラは、プログラム(フラッシュ)メモリとデータ(SRAM,レジスタ ファイル,I/O)メモリのアクセス用に強力に効率的なアドレス指定種別を支援します。本項はAVRの構造によって支援される各アドレス指定種別を記述します。図内のOPは命令語の動作符号部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

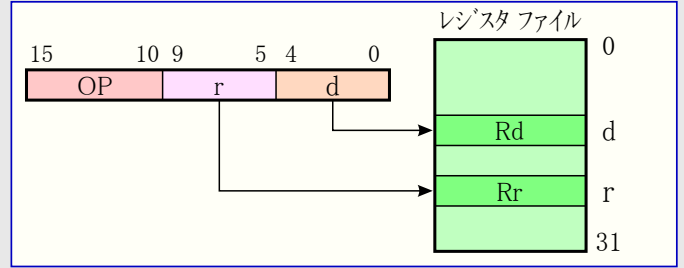
図10. 単一レジスタ直接



オペランドはレジスタd(Rd)を示します。

レジスタ間(Rd, Rr)直接

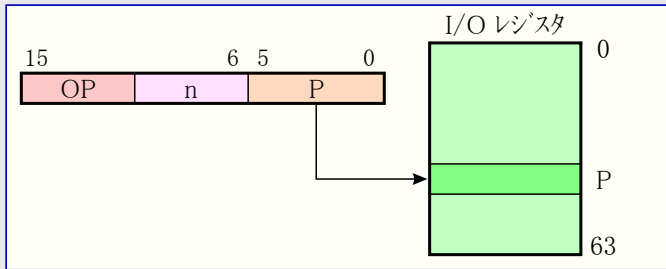
図11. レジスタ間直接



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

I/O直接

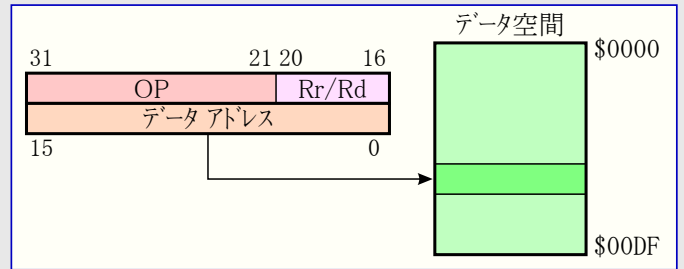
図12. I/O直接



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

データ直接

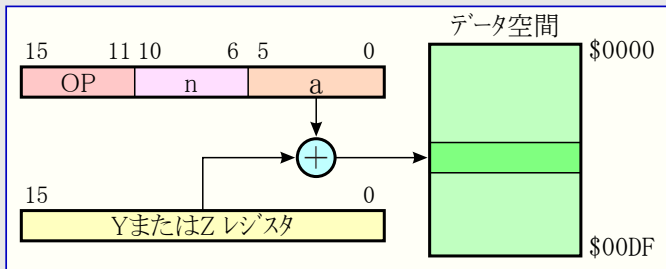
図13. データ直接



オペランドは2語命令の下位16ビットでデータ空間のアドレス位置を示し、Rr/Rdは転送元または転送先となるレジスタを示します。

変位付きデータ間接

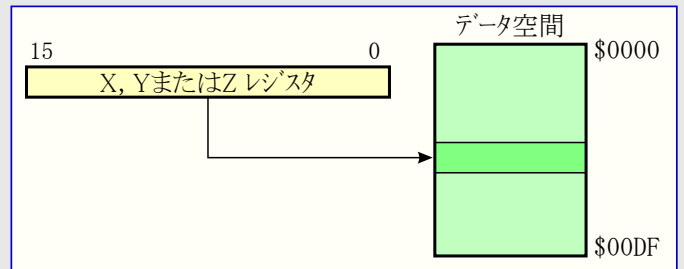
図14. 変位付きデータ間接



オペランド アドレスは、YまたはZレジスタの内容と命令語内の6ビット値aを加算した値となり、他方が転送元または転送先となるレジスタn(Rn)を示します。

データ間接

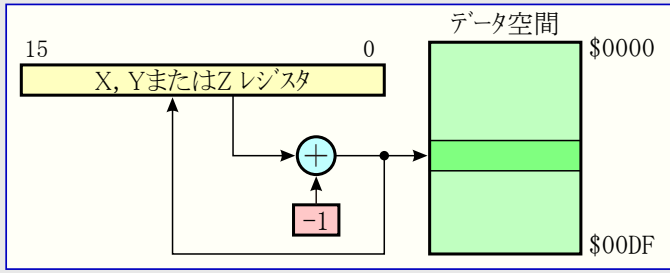
図15. データ間接



オペランド アドレスは、X, YまたはZレジスタの内容となります。

事前減少付きデータ間接

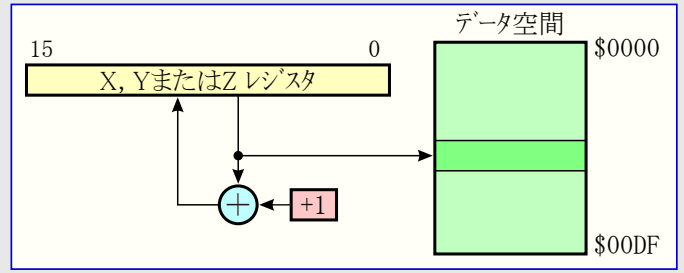
図16. 事前減少付きデータ間接



X,YまたはZレジスタはアクセス動作前に内容が減少されます。オペランドアドレスは減少されたX,YまたはZレジスタの内容となります。

事後増加付きデータ間接

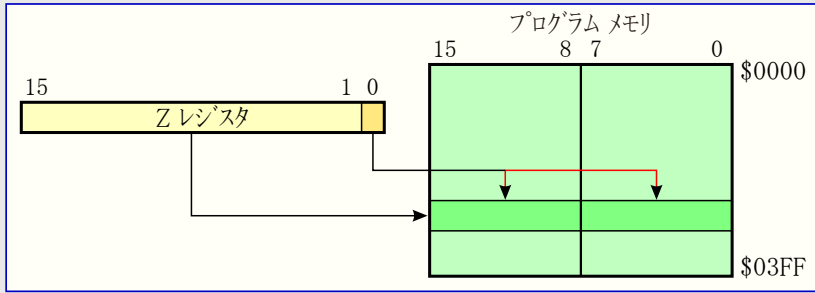
図17. 事後増加付きデータ間接



X,YまたはZレジスタはアクセス動作後に内容が増加されます。オペランドアドレスは増加される前のX,YまたはZレジスタの内容となります。

LPM命令による定数アドレス指定

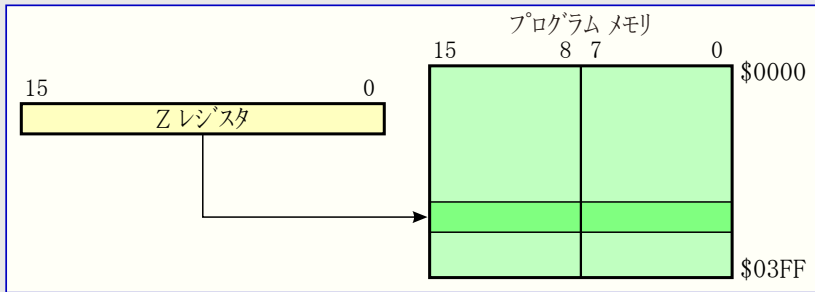
図18. プログラム空間定数アドレス指定



バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0～1Kの語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

JMP, ICALL命令によるプログラム間接アドレス指定

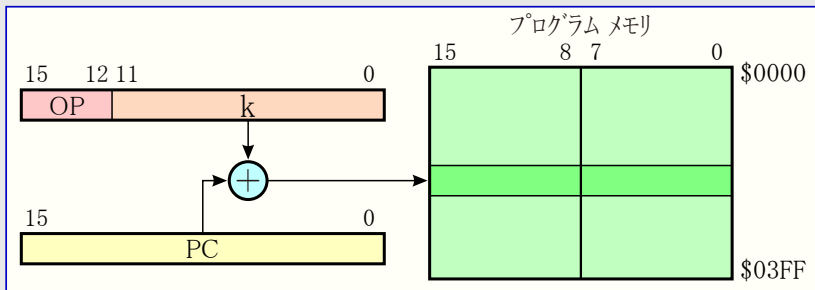
図19. プログラム空間間接アドレス指定



プログラムはZレジスタの内容のアドレスから実行が継続されます。(PCにZレジスタの内容を設定します。)

RJMP, RCALL命令によるプログラム相対アドレス指定

図20. プログラム相対アドレス指定



注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048～2047です。

メモリアクセスと命令実行タイミング

本項は命令実行と内部メモリアクセスについての一般的なアクセスタイミングの概念を記述します。

AVR CPUはCLOCKピンに印加した外部クロック信号(訳補: AT90S2323は外部クリスタル)から直接的に生成されるシステムクロックφにより駆動されます。内部クロック分周は使われません。

図21.はハーバート構造と高速アクセスレジスタファイルの概念により可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、機能対クロック、機能対電源部での好結果に相当するMHzあたり1 MIPSまでを得る基本的なパイプラインの概念です。

図21. 命令の取得と実行の並列動作

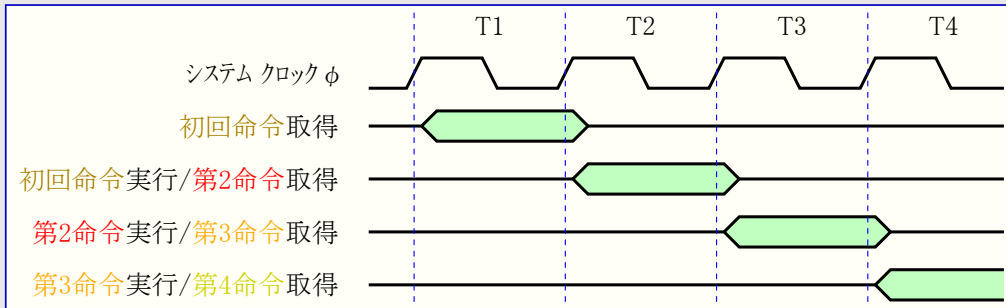
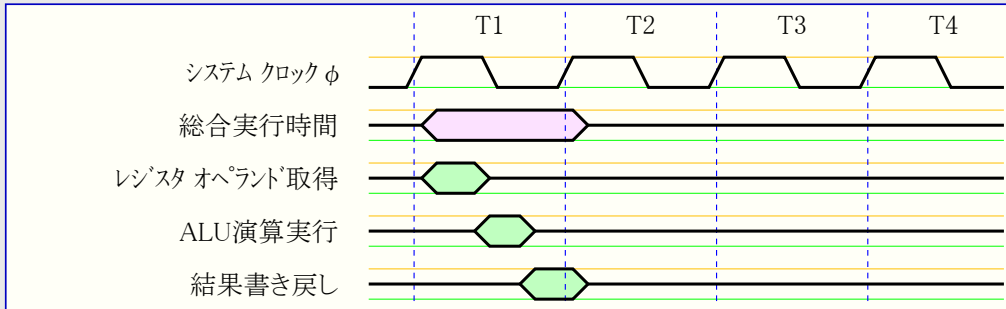


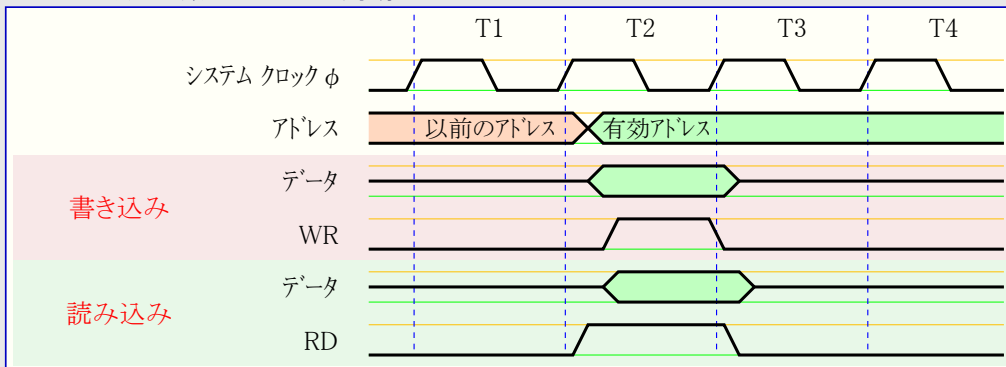
図22.はレジスタファイルに対する内部タイミングの概念を示します。2つのレジスタオペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図22. 1周期ALU命令



データ用内蔵SRAMのアクセスは、図23.で示されるように、2システムクロック周期で実行されます。

図23. データ用内蔵SRAMアクセス周期



注: T1,T2が命令実行周期です。

I/O レジスタ

AT90S2323/2343のI/O領域定義は表2.に示されます。

表2. AT90S2323/2343 I/Oレジスタ

アドレス	レジスタ名	機能
\$3F (\$5F)	SREG	ステータス レジスタ Status Register
\$3D (\$5D)	SPL	スタック ポインタ下位 Stack Pointer Low
\$3B (\$5B)	GIMSK	一般割り込み許可レジスタ General Interrupt MaSK register
\$3A (\$5A)	GIFR	一般割り込み要求フラグ レジスタ General Interrupt Flag register
\$39 (\$59)	TIMSK	タイマ/カウンタ割り込み許可レジスタ Timer/Counter Interrupt MaSK register
\$38 (\$58)	TIFR	タイマ/カウンタ割り込み要求フラグ レジスタ Timer/Counter Interrupt Flag register
\$35 (\$55)	MCUCR	MCU制御レジスタ MCU general Control Register
\$34 (\$54)	MCUSR	MCU状態レジスタ MCU Status Register
\$33 (\$53)	TCCR0	タイマ/カウンタ0 制御レジスタ Timer/Counter 0 Control Register
\$32 (\$52)	TCNT0	タイマ/カウンタ0 カウンタ Timer/CouNter 0 (8bit)
\$21 (\$41)	WDTCR	ウォッチドッグ タイマ制御レジスタ WatchDog Timer Control Register
\$1E (\$3E)	EEAR	EEPROMアドレス レジスタ EEPROM Address Register
\$1D (\$3D)	EEDR	EEPROMデータ レジスタ EEPROM Data Register
\$1C (\$3C)	EECR	EEPROM制御レジスタ EEPROM Control Register
\$18 (\$38)	PORTB	ポートB出力データ レジスタ Data Register, Port B
\$17 (\$37)	DDRB	ポートB方向レジスタ Data Direction Register, Port B
\$16 (\$36)	PINB	ポートB入力データ レジスタ Input Pins, Port B

注: 予約と未使用の位置は、この表で示されていません。()内のアドレスはデータ空間の一部としてアクセスする場合のアドレスです。

AT90S2323/2343の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。I/OレジスタをSRAMとしてアクセスする時はこのアドレスに\$20が加算されなければなりません。本文書を通して、全てのI/Oレジスタアドレスは、()内でデータ空間アドレスが示されます。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

状態フラグのいくつかは、論理1を書くことで解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読むフラグは1が書き戻され、従ってフラグを解除(0)することに注意してください。CBIとSBI命令は、レジスタ\$00～\$1Fでのみ動作します。

I/Oと周辺制御レジスタは次章で説明されます。

ステータスレジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は、I/O領域の\$3F(\$5F)で、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合に設定(1)しなければなりません。各割り込みの許可は、各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令によって設定(1)されます。

• ビット6 – T: ビット変数 (Bit Copy Storage)

このTビットは、BLD(Bit LoaD)命令とBST(Bit STore)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

• ビット5 – H: ハーフキャリーフラグ (Half Carry Flag)

このHフラグは、いくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については命令要約を参照してください。

• ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

• ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは、2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

• ビット2 – N: 負フラグ (Negative Flag)

このNフラグは、算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

• ビット1 – Z: ゼロフラグ (Zero Flag)

このZフラグは、算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

• ビット0 – C: キャリーフラグ (Carry Flag)

このCフラグは、算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないうことに注意してください。これはソフトウェアにより操作しなければなりません。

スタックポインタ (Stack Pointer) SPL (SP)

I/Oアドレス\$3D(\$5D)の8ビットレジスタがAT90S2323/2343のスタックポインタを形成します。この8ビットが領域\$60～\$DF内の128バイトSRAMを指し示すために使われます。

ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

スタックポインタはサブルーチンと割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック領域は、割り込みの許可や、何れかのサブルーチン呼び出しが実行される前にプログラムによって定義されなければなりません。スタックポインタは\$60以上を指示するために設定されなければなりません。スタックポインタは、PUSH命令でデータがスタック上に格納されるとき-1され、サブルーチン呼び出しや割り込みでアドレスがスタック上に格納されるとき-2されます。POP命令でデータをスタックから引き出すとき+1され、サブルーチンからの復帰(RET命令)や割り込みからの復帰(RETI命令)でアドレスをスタックから引き出すとき+2されます。

リセットと割り込みの扱い

AT90S2323/2343には2つの割り込みがあります。これらの割り込みとリセットのベクタはプログラムメモリ空間内に各々個別のベクタを持っています。全ての割り込みは、割り込みを許可するために、個別の許可ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットを設定(1)しなければなりません。

プログラムメモリ空間の最下位アドレスはリセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は表3.に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

リセットと割り込みのベクタの最も代表的な設定例を右に示します。

表3. リセットと割り込みのベクタ

ベクタ番号	プログラムアドレス	発生元	備考
1	\$000	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$001	INT0	外部割り込み要求0
3	\$002	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ

アドレス	ラベル	命令	注釈
\$000		RJMP RESET	; 各種リセット
\$001		RJMP EXT_INT0	; 外部割り込み要求0
\$002		RJMP TIM_OVF0	; タイマ/カウンタ0溢れ
\$003	RESET:	LDI R16, LOW (RAMEND)	; RAM最終アドレスを取得
\$004		OUT SPL, R16	; スタックポインタを初期化
		}	; 以下、I/O初期化など

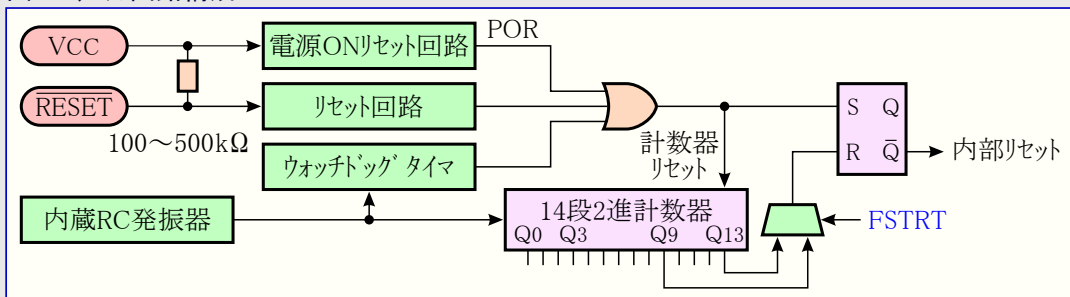
リセット発生元

AT90S2323/2343には、次の3つのリセット発生元があります。

- **電源ONリセット** 電源電圧が電源ONリセット閾値電圧(V_{POT})以下でリセットになります。
- **外部リセット** RESETピンが50ns以上Lowレベルに保たれるとリセットになります。
- **ウォッチドッグリセット** ウォッチドッグが許可され、ウォッチドッグタイマ周期が経過するとリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、その後にはアドレス\$000からプログラム実行が始まります。アドレス\$000に配置される命令はリセット処理ルーチンへの無条件相対分岐(RJMP)命令でなければなりません。プログラムで決して割り込みを許可しないならば、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。図24.にリセット部の回路構成を示します。表4.はリセット回路の電気的特性とタイミングを定義します。

図24. リセット回路構成



(訳注)

FSTRTヒューズによる遅延時間選択回路はAT90S/LS2323だけです。AT90S/LS2343の場合は14段2進カウンタのQ3がフリップフロップのリセットに直接接続されます。

AT90S/LS2323は起動時間が設定可能です。フラッシュメモリ内のFSTRTヒューズビットは、プログラム(0)されると、短い起動時間を選びます。AT90S/LS2323はこのビットが非プログラム(1)で出荷されます。

AT90S/LS2343は固定の遅延時間です。

表4. リセット電気的特性

シンボル	項目	VCC=3.0V			VCC=5.0V			単位
		最小	代表	最大	最小	代表	最大	
V _{POT}	上昇時電源ONリセット閾値電圧	1.0	1.4	1.8	1.0	1.4	1.8	V
	下降時電源ONリセット閾値電圧 (注1)	0.4	0.6	0.8	0.4	0.6	0.8	
V _{RST}	RESETピン閾値電圧		0.6VCC			0.6VCC		
t _{TOUT}	AT90S/LS2323							ms
	リセット遅延時間							
	AT90S/LS2343 リセット遅延時間	22	32	42	11	16	21	μs

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

(訳注) 原書での表4.と表5.は表4.として統合しました。

電源ONリセット

AT90S2323/2343は内蔵RC発振器(AT90S/LS2343)、内蔵発振器(AT90S/LS2323)で動作できるシステム、または外部クロック元から供給されるクロック信号での応用で使うように設計されています。VCCが電源ON閾値電圧(V_{POT})に達した後、デバイスは t_{TOUT} 時間後実行を始めます(図25.参照)。クロック信号が外部クロック元から供給される場合、VCCが適用される周波数に対して定義された最小電圧に達してしまうまで、このクロックが供給されてはいけません。

AT90S2323に対しては代表的な発振器の起動に対応する起動時間を選べます。各時間経過に使われるウォッチドッグ(WDT)用発振器の周期数は表6.で示されます。AT90S2343に対してはこの起動時間が1つのウォッチドッグ周期だけです。32頁の「代表特性」内で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。

表6. ウォッチドッグ発振器の周期数

FSTRT	遅延時間 (VCC=5V)	WDT発振器周期数
プログラム(0)	1.1ms	1K
非プログラム(1)	16.0ms	16K

図25. 内蔵電源ONリセット ($\overline{\text{RESET}}$ はVCCに接続)

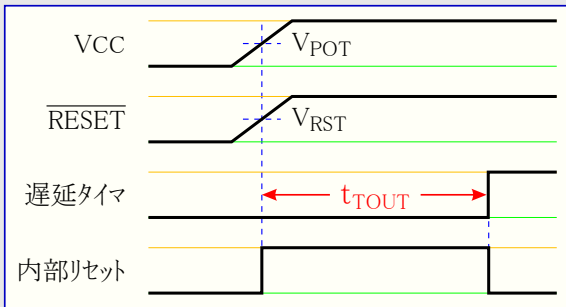
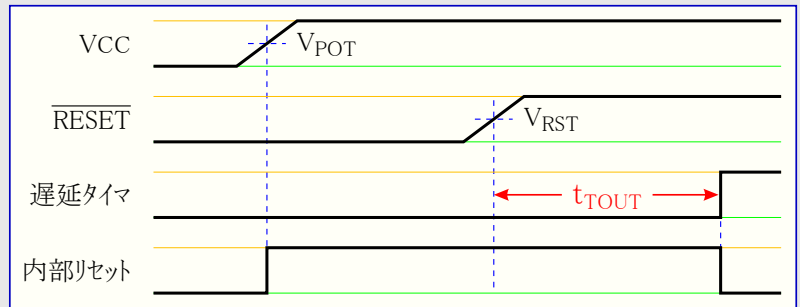


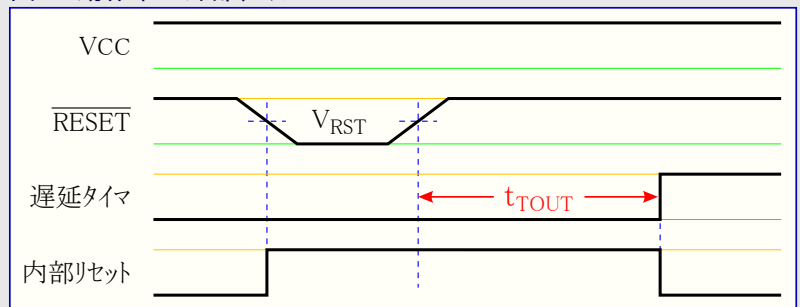
図26. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットは $\overline{\text{RESET}}$ ピン上のLowレベルによって生成されます。例えばクロックが動いていなくても、50nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセットが保証されません。供給された信号の上昇がリセット閾値電圧(V_{RST})に達すると、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを起動します。

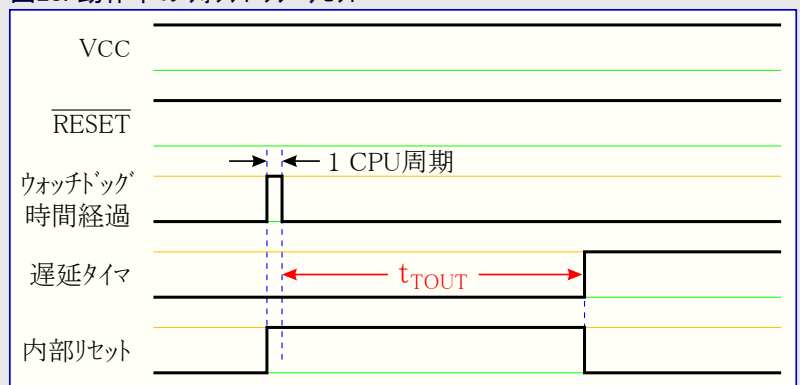
図27. 動作中の外部リセット



ウォッチドッグ リセット

ウォッチドッグ時間経過で1 CPU周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ操作の詳細については20頁を参照してください。

図28. 動作中のウォッチドッグ リセット



MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元でMCUリセットが起きたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	–	–	–	–	–	–	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	内容参照	内容参照	

• ビット7～2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

電源ONリセット後、このビットは不定です。このビットは外部リセットによって設定(1)されます。ウォッチドッグ リセットは、このビットを無変化、そのままにします。

• ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットによって設定(1)されます。外部リセットやウォッチドッグ リセットは、このビットを無変化、そのままにします。

要約のため、表7.は3つのリセット動作後の、これら2ビットの値を示します。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くEXTRFとPORF両方を解除(0)すべきです。EXTRFとPORF値の検査は、このビットが解除(0)される前に行います。外部またはウォッチドッグ リセットが起こる前に、これらのビットが解除(0)される場合、リセット元は次の真理値表(表8.)を使うことで見つけられます。

表7. リセット発生元によるフラグの変化

リセット発生元	EXTRF	PORF
電源ON リセット	不定	1
外部リセット	1	不変
ウォッチドッグ リセット	不変	不変

表8. フラグによるリセット発生元判定

EXTRF	PORF	リセット発生元
0	0	ウォッチドッグ リセット
0	1	電源ON リセット
1	0	外部リセット
1	1	電源ON リセット

割り込みの扱い

AT90S2323/2343には、**一般割り込み許可レジスタ(GIMSK)**と**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**の2つの8ビット割り込み許可レジスタがあります。

割り込みが起こると、**ステータスレジスタ(SREG)**の**全割り込み許可(I)**ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RET)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータスレジスタ(SREG)は割り込み処理ルーチンへの移行時の保存と割り込み処理ルーチンからの復帰時の再設定が自動的に行われないことに注意してください。これはソフトウェアにより操作しなければなりません。

一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	—	INT0	—	—	—	—	—	—	GIMSK
Read/Write	R	R/W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の**全割り込み許可(I)**ビットと外部割り込み0許可(INT0)ビットが共に設定(1)されると、外部(INT0)ピン割り込みが許可されます。**MCU制御レジスタ(MCUCR)**の**割り込み条件制御0のビット1と0(ISC01,ISC00)**は外部割り込みがINT0ピン上の上昇端、下降端またはLowレベルのどれで動作されるかを定義します。INT0ピンが出力に設定されていても、このピンは割り込み要求を起こします。外部割り込み要求0に対応する割り込みはプログラムメモリアドレス\$001から実行されます。「**外部割り込み**」も参照してください。

• ビット5~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

一般割り込み要求フラグ レジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	—	INTF0	—	—	—	—	—	—	GIFR
Read/Write	R	R/W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上の端(エッジ)が割り込み要求を起こすと、対応する割り込み要求フラグ(INTF0)が設定(1)になります。この時に、**ステータスレジスタ(SREG)**の**全割り込み許可(I)**ビットと対応する**一般割り込み許可レジスタ(GIMSK)**の**外部割り込み0許可(INT0)**ビットがともに設定(1)されていれば、MCUは割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されると、自動的に解除(0)されます。このフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されるとき、このフラグは常に解除(0)されます。

• ビット5~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	–	–	–	–	–	–	TOIE0	–	TIMSK
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7～2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットが共に設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言すると、**タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)**が設定(1)されると、対応する割り込み(ベクタ \$002)が実行されます。

• ビット0 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	–	–	–	–	–	–	TOV0	–	TIFR
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7～2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、このTOV0ビットが設定(1)されます。対応する割り込みベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。**ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット**とTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

• ビット0 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

外部割り込み

外部割り込みは、INT0ピンにより起動されます。許可されていれば、INT0ピンが出力として設定されていても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端またはLowレベルで起動できます。これは**MCU制御レジスタ(MCUCR)**についての詳細で説明されるように設定します。外部割り込みが許可され、レベル起動として設定されるとき、ピンがLowに保持されている限り、この割り込みは継続的に発生します。

外部割り込みは、MCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4クロックです。割り込み要求フラグが設定(1)されてしまった後の4クロック周期で、実際の割り込み処理ルーチン用の**割り込みベクタアドレス**が実行されます。この4クロック周期中、プログラムカウンタ(2バイト)がスタック上に保存(プッシュ)され、**スタックポインタ**が減少(-2)されます。通常、このベクタは割り込み処理ルーチンに対する無条件相対分岐(RJMP)命令で、この分岐に2クロック周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前に、その命令が完了されます。

割り込み処理ルーチンからの復帰は4クロック周期要します。この4クロック周期中にスタックからプログラムカウンタ(2バイト)が回復(ポップ)され、スタックポインタが増加(+2)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されます。割り込みを抜ける時は常に主(元)プログラムへ復帰し、保留されている割り込みが扱われる前に、1つ以上の命令を実行します。

MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは、一般的なMCU機能の制御ビットで構成されます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	—	—	SE	SM	—	—	ISC01	ISC00	MCUCR
Read/Write	R	R	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行されるときにMCUを休止形態へ移行させるには、休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的外休止形態移行をなくするため、**SLEEP**命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

• ビット4 – SM : 休止種別 (Sleep Mode)

このビットは利用可能な2つの休止形態種別を選びます。SMが解除(0)されると休止形態としてアイドル動作が選ばれます。SMが設定(1)されると休止形態としてパワーダウン動作が選ばれます。詳細については、次の「**休止形態**」を参照してください。

• ビット3,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0は**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**と**一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビット**が、ともに設定(1)されている場合の外部割り込み0(INT0)ピンにより起動されます。この割り込みを起動する外部割り込み0(INT0)ピンの端(エッジ)やレベルは表9.で定義されます。

INT0ピンの値は端検出以前から採取比較されています。端割り込みが選ばれると、1 CPUクロック周期より長いパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選ばれると、割り込みを発生するには、現在実行中の命令の完了までLowレベルが保持されなければなりません。許可されていれば、レベル起動割り込みはピンがLowに保持されている限り、割り込み要求を発生し続けます。

表9. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	(予約)
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

休止形態

休止形態へ移行するには、**MCU制御レジスタ(MCUCR)の休止許可(SE)ビット**が設定(1)され、**SLEEP**命令が実行されなければなりません。MCUが休止形態中に許可されている割り込みが発生すると、MCUは起動復帰して、その割り込み処理ルーチンを実行し、そして**SLEEP**命令の次から実行を再開します。レジスタファイルとI/Oレジスタの内容は変化しません。休止形態中にリセットが起こると、MCUは起動復帰し、リセットベクタから実行します。

アイドル動作

休止種別(SM)ビットが解除(0)されていると、**SLEEP**命令でMCUがアイドル動作へ移行し、CPUは停止しますが、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これは、タイマ溢れなどのような内部割り込みやウォッチドッグのリセットだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。アイドル動作から起動復帰すると、CPUは直ちにプログラムの実行を始めます。

パワーダウン動作

休止種別(SM)ビットが設定(1)されていると、**SLEEP**命令でMCUがパワーダウン動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ウォッチドッグは動作を継続します。外部リセット、(許可されていれば)ウォッチドッグリセット、またはINT0の外部レベル割り込みだけがMCUを起動復帰できます。

パワーダウン動作からの復帰にレベルで起動された割り込みが使われる場合、MCUを起動するため、変更されたレベルは一定時間保持されなければならないことに注意してください。これはMCUの雑音不安定性を減らします。変更されたレベルはウォッチドッグ用発振器クロックにより2度採取され、この入力がこの時間中、必要とされるレベルであれば、MCUは起動復帰します。ウォッチドッグ用発振器の周期は公称1μs(5V, 25°C)です。33頁の「**代表特性**」内で示されるように、ウォッチドッグ用発振器の周波数は電圧に依存します。

パワーダウン動作から復帰するとき、起動復帰条件発生から起動復帰の効果が現れるまで遅延を伴います。これは停止されてしまった後で再開のためのクロックが許可され、安定状態になるためです。この起動時間は12頁の表4.で示される**リセット遅延時間(tTOUT)**と同じです。

MCUが起動復帰し実行を始める前に起動復帰条件が失われる(例えば、Lowレベルが充分長く保持されない)と、起動復帰を起こす割り込みが実行されません。

タイマ/カウンタ0

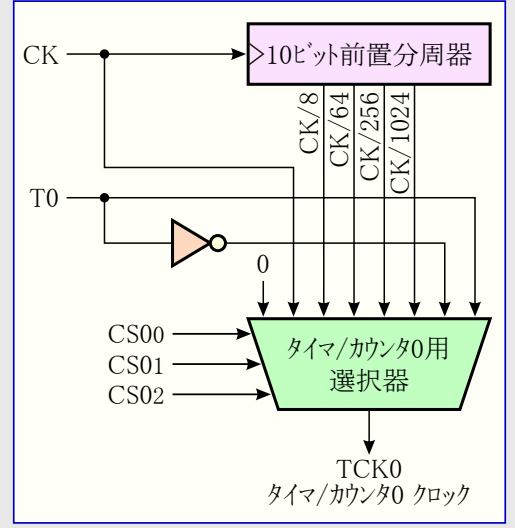
AT90S2323/2343には8ビットの汎用タイマ/カウンタが1つあります。このタイマ/カウンタ0には、システムクロックを分周する10ビット前置分周器があります。このタイマ/カウンタ0は、内部クロックを基準とするタイマや、外部ピンに接続された起動信号によるカウンタなどの使用ができます。

タイマ/カウンタ0 前置分周器部

図29.はタイマ/カウンタ0の前置分周器を示します。

前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、CK/8、CK/64、CK/256、CK/1024です。CK、外部クロック信号、停止もクロック元として選べます。

図29. タイマ/カウンタ前置分周器部構成



8ビット タイマ/カウンタ0

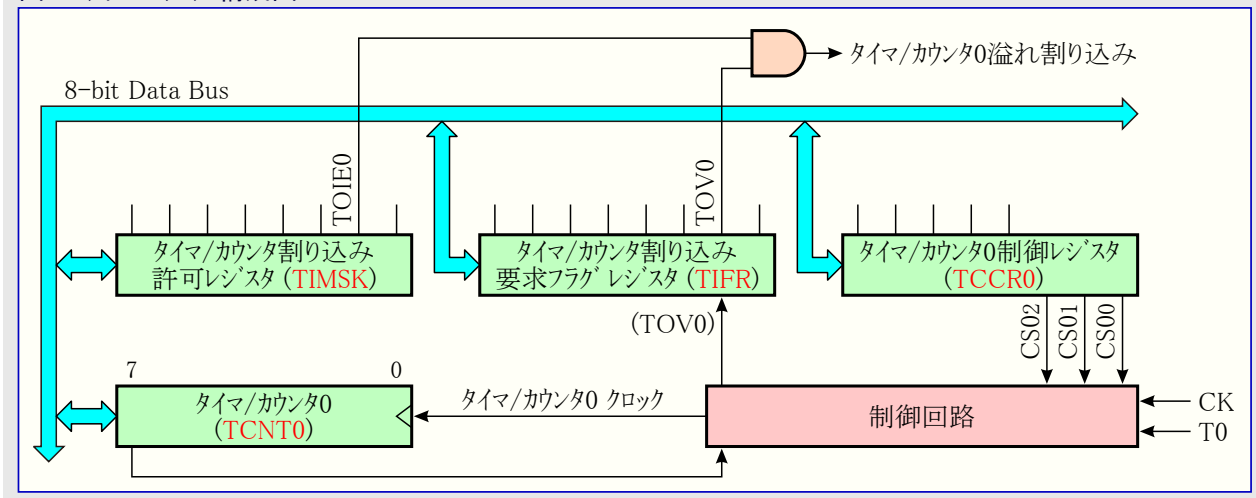
図30.はタイマ/カウンタ0の構成図を示します。

8ビットのタイマ/カウンタ0は、CK、分周されたCK、外部ピンからクロック元を選べます。加えて、**タイマ/カウンタ0制御レジスタ(TCCR0)**の詳細で説明されるように停止もできます。溢れ状態フラグ(**TOV0**)は**タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)**にあります。制御ビットはタイマ/カウンタ0制御レジスタ(TCCR0)にあります。タイマ/カウンタ0に関する割り込みの許可/禁止設定は**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**内にあります。

タイマ/カウンタ0が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が、少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

8ビットのタイマ/カウンタ0は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ0を有効にします。

図30. タイマ/カウンタ0構成図



タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	—	—	—	—	—	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット2～0 – CS02～0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

クロック選択0ビット2～0はタイマ/カウンタ0に供給するクロック元を定義します。

表10. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T0(PB2)ピンの下降端
1	1	1	外部T0(PB2)ピンの上昇端

停止状態はタイマ/カウンタの許可/禁止機能を提供します。CKの分周出力動作では、発振器クロック(CK)から直接的に分周されます。タイマ/カウンタ0に外部ピン動作が使われると、例えばT0(PB2)が出力として設定されていても、このピン上の変移がタイマ/カウンタを計数します。この特徴は計数動作のソフトウェア制御を提供します。

タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

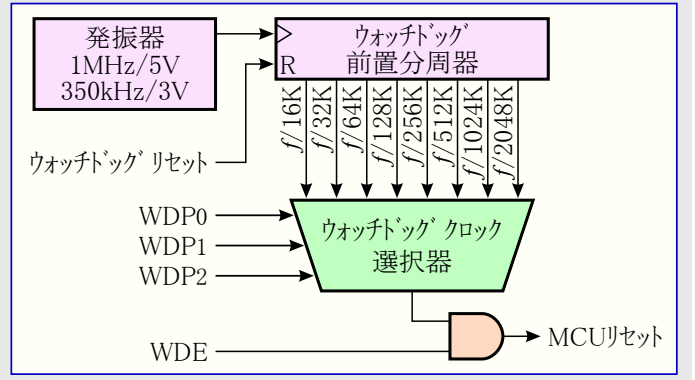
このタイマ/カウンタ0は、読み書きできる上昇カウンタとして実現されます。タイマ/カウンタ0が書かれ、クロック元が存在すると、タイマ/カウンタ0は書き込み動作の次に来るタイマ/カウンタ クロック周期で計数を開始/継続します。

ウォッチドッグ タイマ

このウォッチドッグ タイマは内蔵発振器から駆動されます。ウォッチドッグ タイマの前置分周器を制御することによって表11.で示されるようにウォッチドッグ リセット周期は調整できます。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。リセット周期を決めるために8種の異なるクロック周期が選べます。WDR命令なしで、このリセット周期が経過すると、AT90S2323/2343はリセットしてリセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては13頁を参照してください。

予期せぬウォッチドッグ 禁止を防止するため、ウォッチドッグ が禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの説明を参照してください。

図31. ウォッチドッグ タイマ構成図



ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCSR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～5 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット4 – WDTOE : ウォッチドッグ 停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ 許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグ は禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に解除します。ウォッチドッグ 禁止手順についてはWDEビットの説明を参照してください。

• ビット3 – WDE : ウォッチドッグ 許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ 停止移行許可(WDTOE)ビットが設定(1)されている場合のみ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック以内に、WDEへ論理0を書きます。これがウォッチドッグ を禁止します。

• ビット2～0 – WDP2～0 : ウォッチドッグ タイマ前置分周器選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2～0は、ウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は表11.に示されます。

表11. ウォッチドッグ 前置分周器選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

注: 33頁の「代表特性」内で示されるように、ウォッチドッグ 発振器の周波数は電圧に依存します。

ウォッチドッグ タイマが許可される前に、常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周器設定に一致するリセット周期を保証します。このリセット操作なしにウォッチドッグ が許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

予期せぬMCUリセットを避けるため、ウォッチドッグ タイマ前置分周器選択の変更前には、ウォッチドッグ タイマが禁止されるかリセットされるべきです。

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間はVCC電圧に依存し、2.5～4msの範囲です。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。

予期せぬEEPROM書き込みを防ぐため、特別な書き込み手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ(EECR)**」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止されます。EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止されます。

EEPROMアドレス レジスタ (EEPROM Address Register) EEAR

ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	–	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読みます。

- **ビット6～0 – EEAR6～0 : EEPROMアドレス (EEPROM Address)**

EEPROMアドレス レジスタ(EEAR6～0)は128バイトのEEPROM空間のEEPROMアドレスを指定します。EEPROMデータのバイトは0～127間で直線的に配置されています。

EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)**

EEPROM書き込み操作について、EEDRはEEPROMアドレス レジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	–	–	–	–	–	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7～3 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

- **ビット2 – EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)**

このEEMWEビットは、**EEPROM書き込み許可(EEWE)ビットの1**設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEWEの1設定は選ばれたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「**書き込み許可(EEWE)ビット**」の記述を参照してください。

• ビット1 – EEW: EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みストローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEWEビットを設定(1)しなければなりません。論理1がEEWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならず、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2.と3.の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEAR)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。(EEMWEビットに論理1が書けるためには、同一周期内でEEWEビットは0が書かれなければなりません。)
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EEWE)ビットへ論理1を書きます。

警告: 手順4.と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARまたはEEDRを変更すると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順2.～5.の間中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み時間(代表値で、2.5ms/VCC=5V, 4ms/VCC=2.7V)が経過してしまうと、EEWEビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EEWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

• ビット0 – EERE: EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEEWEビットをポーリングすべきです。新規データまたはアドレスがEEPROM I/Oレジスタに書かれるときに書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。これは外部低VCCリセット保護回路による実現が最善で、これはブラウンアウト検出器(BOD)として度々参照されます。電源ONリセットと低電圧検出に関する設計上の考慮については、応用記述のAVR180を参照してください。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュメモリに定数を格納します。フラッシュメモリはCPUによって更新され得ないため、データ化けの問題はありません。

入出力ポートB

AVRの全てのポートは標準デジタルI/Oポートとして使われる時に真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で他の何れのピンの方向をも不測の変化なしに、ポートピンの1つの方向が変更できることを意味します。駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

AT90S/LS2323のポートBは3ビットの双方向I/Oポートです。AT90S/LS2343のポートBは5ビットの双方向I/Oポートです。

注意: 出力データレジスタ(PORTB)、データ方向レジスタ(DDRB)、入力データレジスタ(PINB)のビット3と4は、AT90S/LS2323に適用されません。これらは0の値が読めるだけです。

ポートBについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTB), \$18(\$38)、データ方向レジスタ(DDRB), \$17(\$37)、データ入力レジスタ(PINB), \$16(\$36)に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートB出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PB0～4ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートBピンの交換機能は表12.に示されます。

表12. ポートBピンの交換機能

ポートピン	交換機能	
PB0	MOSI	(直列プログラミング用直列データ入力)
PB1	MISO INT0	(直列プログラミング用直列データ出力) (外部割り込み0入力)
PB2	SCK T0	(直列プログラミング用直列クロック入力) (タイマ/カウンタ0 外部クロック入力)
PB3	CLOCK	(システムクロック入力, AT90S/LS2343のみ)

ピンが交換機能で使われる時に、ポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は**交換機能の説明に従って設定**されなければなりません。

ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	—	—	—	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	—	—	—	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	—	—	—	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読むときはポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読むときは、このピン上に存在する論理値が読まれます。

ポートB 標準デジタル入出力

標準I/Oピンとして使われる時にポートBの全てのピンは同じ機能動作です。

標準I/OピンP_{Bn}はポートB方向レジスタ(DDRB)のDDB_nビットがそのピンの入出力方向を選び、DDB_nが設定(1)されると、出力ピンとして設定されます。DDB_nが解除(0)されると、入力ピンとして設定されます。ポートB出力レジスタ(PORTB)のPORTB_nが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTB_nが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートBピンはリセット状態が有効になると、例えクロックが動作していてもHi-Z状態にされます。

表13. ポートBピンに対するDDB_nの関係

DDB _n	PORTB _n	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PB _n に外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

ポートBの交換機能

ポートBの交換ピン機能を以下に示します。

- CLOCK – ポートB ビット3 : PB3 (AT90S/LS2343のみ)

CLOCK : システム クロック入力です。RCENヒューズがプログラム(0)され、デバイスが内蔵RC発振器で動かされるとき、このピンは標準入出力ピンです。RCENヒューズが非プログラム(1)のとき、外部クロック元が、このピンに接続されなければなりません。

- SCK/T0 – ポートB ビット2 : PB2

SCK : 直列プログラミング用直列クロック入力です。直列プログラミング動作では、このピンを直列クロック入力として扱います。

T0 : タイマ/カウンタ0の外部クロック入力です。通常動作中は、このピンをタイマ/カウンタ0の外部クロック入力として取り扱います。詳細については「タイマ/カウンタ0」の説明を参照してください。タイマ/カウンタ0の外部クロックが選ばれる場合、このピンが出力として設定されていても、ピン上の有効動作はカウンタを駆動します。

- MISO/INT0 – ポートB ビット1 : PB1

MISO : 直列プログラミング用直列データ出力です。直列プログラミング動作では、このピンを直列データ出力として扱います。

INT0 : 外部割り込み0入力です。通常動作中は、このピンを外部割り込み0入力として取り扱います。詳細と許可の方法については「割り込みの扱い」の説明を参照してください。このピンが出力として設定されていても、このピン上の有効動作は割り込みを起動します。

- MOSI – ポートB ビット0 : PB0

MOSI : 直列プログラミング用直列データ入力です。直列プログラミング動作では、このピンを直列データ入力として扱います。

メモリプログラミング

プログラムメモリとデータメモリ用施錠ビット

AT90S2323/2343 MCUは、非プログラム(1)のままか、表14.で示される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表14. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュメモリとEEPROMのプログラミング機能が禁止されます。(注)
3	0	0	保護種別2と同様、更に照合も禁止されます。

注: 高電圧直列プログラミング動作でのヒューズビットの書き込みも禁止されます。施錠ビットの書き込み前にヒューズビットを書いてください。

ヒューズビット

AT90S/LS2323には2つのヒューズビット、SPIENとFSTRTがあります。AT90S/LS2343には2つのヒューズビット、SPIENとRCENがあります。

- SPIENがプログラム(0)されると、低電圧直列プログラミングが許可されます。既定値はプログラム(0)です。このビットは低電圧直列プログラミング動作ではアクセスできません。
- FSTRTがプログラム(0)されると、13頁の表6.で示されるように短い起動時間が選ばれます。既定値はプログラム(0)です。FSTRTヒューズの変更は次の電源ONリセットまで効果がありません。AT90S/LS2343の起動時間は固定です。
- RCENがプログラム(0)されると、MCUクロック元として内蔵RC発振器が選ばれます。AT90LS2343-1の既定値はプログラム(0)です。AT90LS2343-4とAT90S2343-10の既定値は非プログラム(1)です。RCENヒューズの変更は次の電源ONリセットまで効果がありません。AT90S/LS2323はMCUクロック元として内蔵RC発振器を選ぶことができません。

ヒューズビットの状態はチップ消去による影響を受けません。

識票バイト

全てのAtmelマイクロコントローラはデバイス識別用に3バイトの識票符号を持ちます。この3バイトは他から分離された空間に存在します。

AT90S/LS2323の識票符号を次に示します。

AT90S/LS2343の識票符号を次に示します。

- ① \$00 : \$1E 製造業者Atmelを示します。
- ② \$01 : \$91 フラッシュメモリ容量2Kバイトを示します。
- ③ \$02 : \$02 ②値\$91と合せ、AT90S/LS2323を示します。

- ① \$00 : \$1E 製造業者Atmelを示します。
- ② \$01 : \$91 フラッシュメモリ容量2Kバイトを示します。
- ③ \$02 : \$03 ②値\$91と合せ、AT90S/LS2343を示します。

注: 両方の施錠ビットがプログラム(0)される(保護種別3)と、識票バイトは低電圧直列動作で読めません。識票バイトの読み込みは\$00, \$01, \$02が戻ります。

フラッシュメモリとEEPROMのプログラミング

AtmelのAT90S2323/2343は、実装再書き込み可能な2Kバイトのプログラム用フラッシュメモリと128バイトのデータ用EEPROMメモリを提供します。

AT90S2323/2343にはプログラム用内蔵フラッシュメモリとデータ用EEPROMメモリが、消去(全ビット=1)され、プログラムされる準備が整った状態で搭載されています。

このデバイスは高電圧(12V)直列プログラミング動作と低電圧直列プログラミング動作を支援します。+12Vはプログラム許可のためだけに使われ、このピンにより特筆すべき電流は流されません。低電圧直列プログラミング動作は実装済みのデバイスにプログラムとデータを書き込む便利な方法を提供します。

AT90S2323/2343のフラッシュメモリとEEPROMはどちらのプログラミング動作でもバイト単位でプログラムされます。EEPROMについては低電圧直列プログラミング動作での自動書き込み命令で自動消去周期が提供されます。

プログラミング中の供給電圧は、表15.に従っていなければなりません。

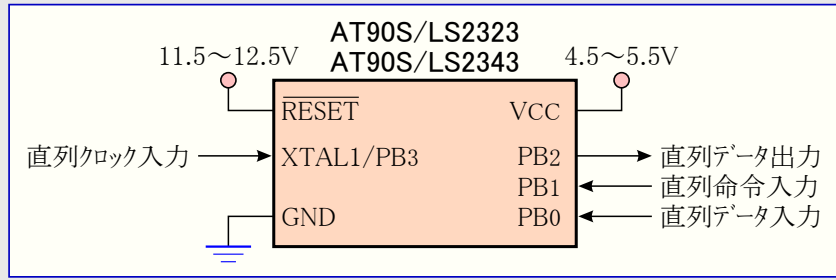
表15. プログラミング中の供給電圧

デバイス	低電圧直列プログラミング	高電圧直列プログラミング
AT90LS2323/2343	2.7~6.0V	4.5~5.5V
AT90S2323/2343	4.0~6.0V	4.5~5.5V

高電圧直列プログラミング

本項はAT90S2323/2343でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**の高電圧直列プログラミングと照合の方法を記述します。

図32. 高電圧直列プログラミング構成図



高電圧直列プログラミング手順

高電圧直列プログラミング動作でのAT90S/LS2323とAT90S/LS2343のプログラミングと照合は次の手順が推奨されます(命令形式は表16. 参照)。

1. 次の手順で電源を投入します。

VCCとGND間に4.5~5.5Vを供給します。RESETとPB0をLow(0)に設定し、最低100ns待機します。RCENヒューズが非プログラム(1)の場合、その後、最小100nsパルス幅で少なくとも4回、XTAL1/PB3を交互切り替え(H/L)します。XTAL1/PB3をLow(0)に設定し、最低100ns待機します。また、RCENヒューズがプログラム(0)の場合、XTAL1/PB3をLow(0)に設定し、最低4μs待機します。両方の場合ともPB0を変更する前に、RESETへ12Vを供給して最低100ns待機します。何れかの命令を与える前に8μs待機します。

2. フラッシュメモリは最初にアドレス、次に下位、上位バイトデータを供給することにより、1バイト単位で書き込まれます。書き込み命令は自己タイミングで行われ、PB2(RDY/BSY)ピンがHighになるまで待機します。
3. EEPROMは最初にアドレス、次にバイトデータを供給することにより、1バイト単位で書き込まれます。書き込み命令は自己タイミングで行われ、PB2(RDY/BSY)ピンがHighになるまで待機します。
4. 何れのメモリ位置も、選ばれたアドレスの内容を直列出力(PB2)ピンに読み戻す、読み出し命令の使用で検証ができます。
5. 電源OFF手順
 - ・ XTAL1/PB3をLow(0)にします。
 - ・ RESETをLow(0)にします。
 - ・ VCC電源をOFFにします。

デバイスとの直列データ読み書き時、データは直列クロックの上昇端で作動されます。詳細については図33.、図34.、表17.を参照してください。

図33. 高電圧直列プログラミング バイト通信波形

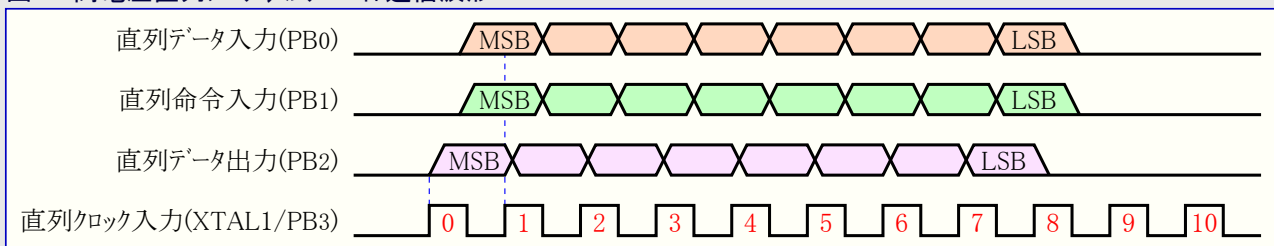


表16. 高電圧直列プログラミング命令一式

命令	PB	命令形式				備考
		第1バイト	第2バイト	第3バイト	第4バイト	
チップ消去	0	0 1000 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	チップ消去周期終了のため、第3バイト後 t_{WLWH_CE} 時間待機します。
	1	0 0100 1100 00	0 0110 0100 00	0 0110 1100 00	0 0100 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	
フラッシュメモリ 書き込みアドレス設定	0	0 0001 0000 00	0 0000 00HH 00	0 LLLL LLLL 00		第3バイトは新規アドレス毎、第2バイトは新規ページ(256バイト単位)毎に繰り返します。
	1	0 0100 1100 00	0 0001 1100 00	0 0000 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
フラッシュメモリ 下位バイト書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第3バイト後PB2=Highまで待機します。新規アドレス毎に第1～3バイトを繰り返します。
	1	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
フラッシュメモリ 上位バイト書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0010 1100 00	0 0111 0100 00	0 0111 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
フラッシュメモリ 読み出しアドレス設定	0	0 0000 0010 00	0 0000 00HH 00	0 LLLL LLLL 00		第2,3バイトは新規アドレス毎に繰り返します
	1	0 0100 1100 00	0 0001 1100 00	0 0000 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
フラッシュメモリ 下位バイト読み出し	0	0 0000 0000 00	0 0000 0000 00			新規アドレス毎に第1,2バイトを繰り返します。
	1	0 0110 1000 00	0 0110 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
フラッシュメモリ 上位バイト読み出し	0	0 0000 0000 00	0 0000 0000 00			
	1	0 0111 1000 00	0 0111 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
EEPROM 書き込みアドレス設定	0	0 0001 0001 00	0 0LLL LLLL 00			第2バイトは新規アドレス毎に繰り返します。
	1	0 0100 1100 00	0 0000 1100 00			
	2	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROM バイト書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第3バイト後PB2=Highまで待機します。新規アドレス毎に第1～3バイトを繰り返します。
	1	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
EEPROM 読み出しアドレス設定	0	0 0000 0011 00	0 0LLL LLLL 00			第2バイトは新規アドレス毎に繰り返します。
	1	0 0100 1100 00	0 0000 1100 00			
	2	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROM バイト読み出し	0	0 0000 0000 00	0 0000 0000 00			新規アドレス毎に第2バイトを繰り返します。
	1	0 0110 1000 00	0 0110 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
ヒューズビット 書き込み	0	0 0100 0000 00	0 11S1 111F 00	0 0000 0000 00	0 0000 0000 00	ヒューズ書き込み周期終了のため、第3バイト後 t_{WLWH_PFB} 時間待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	
施錠ビット 書き込み	0	0 0010 0000 00	0 1111 1211 00	0 0000 0000 00	0 0000 0000 00	第4バイト後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00	
ヒューズ/施錠ビット 読み出し	0	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0100 1100 00	0 0111 1000 00	0 0111 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	1 2Sxx xxFx xx		
識票バイト 読み出し	0	0 0000 1000 00	0 0000 00LL 00	0 0000 0000 00	0 0000 0000 00	新規アドレス毎に第2～4バイトを繰り返します。
	1	0 0100 1100 00	0 0000 1100 00	0 0110 1000 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	R RRRR RRRx xx	

注1: F = FSTRTヒューズビット(AT90S/LS2323)、RCENヒューズビット(AT90S/LS2343)

H = アドレス上位バイトのビット

R = 読み出しデータ (MCU出力)

S = SPIENヒューズビット

L = アドレス下位バイトのビット

W = 書き込みデータ (MCU入力)

1 = 施錠ビット1 (LB1)

x = 0か1 (どちらか)

2 = 施錠ビット2 (LB2)

注2: 施錠/ヒューズビットは0=プログラム、1=非プログラムです。

高電圧直列プログラミング特性

図34. 高電圧直列プログラミング タイミング

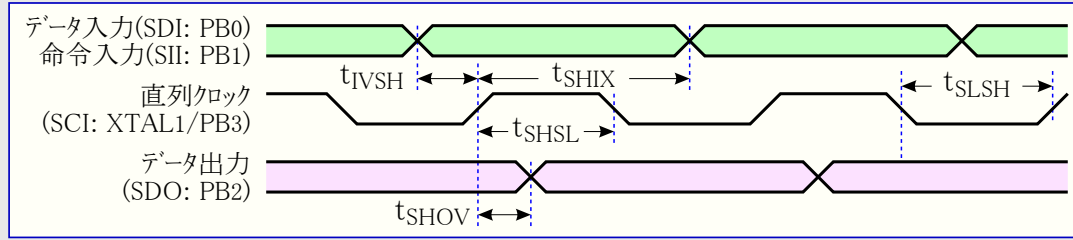


表17. 高電圧直列プログラミング特性 (特記条件を除いて、 $T_A=25^{\circ}\text{C} \pm 10\%$, $V_{CC}=5.0\text{V} \pm 10\%$)

シンボル	項目	最小	代表	最大	単位
t_{SHSL}	SCIパルスHレベル幅	100			ns
t_{SLSH}	SCIパルスLレベル幅	100			
t_{IVSH}	SCI $\uparrow$ に対するSDI,SII準備時間	50			
t_{SHIX}	SCI $\uparrow$ に対するSDI,SII保持時間	50			
t_{SHOV}	SCI $\uparrow$ に対するSDO出力遅延時間	10	16	32	
t_{WLWH_CE}	チップ消去第3バイト後待機時間	5	10	15	ms
t_{WLWH_PFB}	ヒューズ書き込み第3バイト後待機時間	1.0	1.5	1.8	

低電圧直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがLowレベルの間に直列SPIバスを使ってプログラミングを行うことができます。この直列インターフェースはSCK入力、MOSI入力、MISO出力で構成されます(図35.参照)。RESETをLowレベルに設定後、プログラムや消去命令が実行される前に、**プログラミング許可命令**が最初に実行されなければなりません。

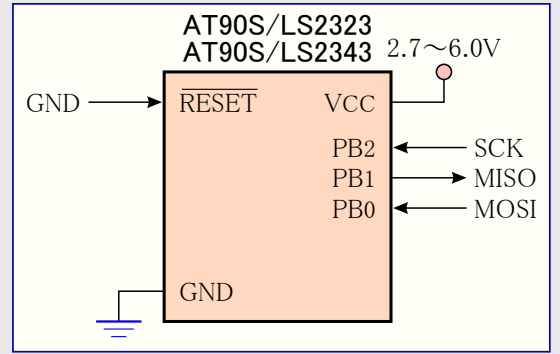
EEPROMに対しては自己タイミングによる**書き込み命令**内で先行して自動消去周期が提供される(低電圧直列プログラミングのみ)ので、最初に**チップ消去命令**を実行する必要はありません。チップ消去命令はフラッシュメモリとEEPROMの全内容を\$FFにします。

フラッシュメモリとEEPROMメモリはプログラム用フラッシュメモリが\$0000～\$03FF、データ用EEPROMメモリが\$0000～\$007Fの分離されたアドレス空間を持ちます。

外部クロックがXTAL1/PB3ピンに供給されるか、またはデバイスが内蔵RC発振器から駆動されるか(AT90S/LS2343のみ)のどちらかでなければなりません。直列クロック(SCK)入力のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 > 2 MCU クロック周期
High区間 > 2 MCU クロック周期

図35. 低電圧直列プログラミング構成図



低電圧直列プログラミング手順

AT90S2323/2343に直列データを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細タイミングについては図36、図37、表20を参照してください。

低電圧直列プログラミング動作でのAT90S2323/2343のプログラミングと検証は次の手順が推奨されます。(4バイトの命令形式は表19を参照)

- 次の手順で電源を投入します。
RESETとSCKがLow(0)に設定されている間中に、VCCとGND間へ電源を供給します。(電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できない場合、SCKがLow(0)に設定されてしまった後、RESETは正パルスが与えられなければなりません。)デバイスが外部クロックに設定される場合、XTAL1/PB3ピンに0～8MHzのクロックを供給します。クロック元として内蔵RC発振器が選ばれる場合、外部クロックが供給される必要はありません(AT90S/LS2343のみ)。
- 最低20ms待機し、MOSI(PB0)ピンに**プログラミング許可命令**を送ることによって直列プログラミングを可能にします。直列クロック(SCK)入力のLowとHighの最小時間について、上の章を参照してください。
- 通信の同期が外れていると、直列プログラミング命令が動作しません。同期しているとき、プログラム許可命令の第3バイト送出時に第2バイト(\$53)を送り返します。この送り返しが成功か失敗かによらず、命令の4バイト全てが送信されなければなりません。送り返しが\$53でなかった場合、SCKに正パルスを与え、新規プログラミング許可命令を行います。32回の試行で\$53が検出できない場合、低電圧直列プログラミング機能のないデバイスが接続されています。
- チップ消去が実行される場合(フラッシュメモリの消去のために実行が必要)、この命令実行後tWD_ERASE(31頁の表21.参照)時間待機して、RESETに正パルスを与え、手順2.からを行います。
- フラッシュメモリやEEPROMは適切な**書き込み命令**内でアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMメモリ位置は新規(今回)データが書かれるのに先立って最初に自動消去されます。フラッシュメモリやEEPROMの次のバイトが書ける時を検出するために**データポーリング**を使ってください。ポーリングが使われない場合、次の命令送出前にtWD_PROG(31頁の表22.参照)時間待機します。消去されているデバイスでは、\$FFのデータを書く必要がありません。
- 何れのメモリ位置も、選ばれたアドレスの内容を直列出力MISO(PB1)ピンに読み戻す、**読み出し命令**の使用で検証ができます。
- プログラミング終了時、通常動作とするためには、RESETをHigh(1)に設定します。
- 電源OFF手順(必要な場合)
 - XTAL1/PB3(CLOCK)をLow(0)にします。
 - RESETをHigh(1)にします。
 - VCC電源をOFFにします。

EEPROMのデータポーリング

EEPROM内にバイトデータが書かれつつある時に書かれているアドレス位置を読むと、自動消去が完了されるまでは値P1が、その後は値P2が得られます。P1,P2は表18を参照してください。

書かれた値が正しく読めると同時に、デバイスは新規EEPROMデータの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値P1とP2については行えないので、これらの値を書く時は次バイト書き込み前に少なくとも規定されたtWD_PROG(表22.参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。最初にチップ消去せずにEEPROMが再書き込みされる場合、これは適用されません。

表18. EEPROMポーリング中の読み出し値

デバイス	P1	P2
AT90S/LS2323	\$00	\$FF
AT90S/LS2343	\$00	\$FF

フラッシュメモリのデータホーリング

フラッシュメモリ内にバイトデータが書かれつつある時に書かれているアドレス位置を読むと、値\$FFが得られます。書かれた値が正しく読めると同時に、デバイスが新規バイトの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値\$FFについては行えないので、この値を書く時は次バイト書き込み前に少なくともtWD_PROG(表22参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。

図36. 低電圧直列プログラミングバイト通信波形

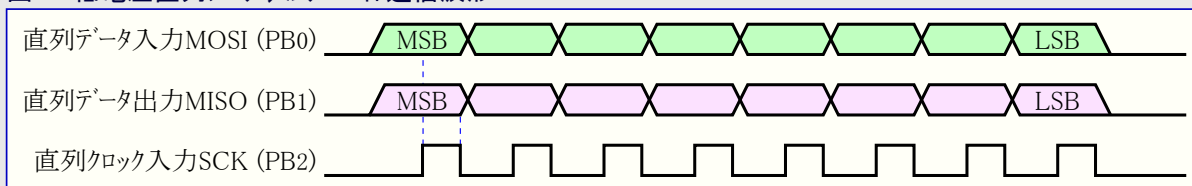


表19. 低電圧直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリとEEPROMを消去します。
フラッシュメモリ読み出し	0010 P000	xxxx xxHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
フラッシュメモリ書き込み	0100 P000	xxxx xxHH	LLLL LLLL	WWW WWW	アドレスH:LのP(H/L)バイトに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxxx	xLLL LLLL	RRRR RRRR	アドレスLのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxxx	xLLL LLLL	WWW WWW	アドレスLのバイトに書き込みます。
施錠ビット書き込み	1010 1100	1111 1211	xxxx xxxx	xxxx xxxx	施錠ビット(LB1, LB2)を書き込みます。
ヒューズビット書き込み	1010 1100	1011 111F	xxxx xxxx	xxxx xxxx	FSTRT/RCENヒューズビットを書き込みます。
識票バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。

注1: F = FSTRTヒューズビット(AT90S/LS2323)、RCENヒューズビット(AT90S/LS2343)

H = アドレス上位バイトのビット P = 0=下位バイト、1=上位バイト W = 書き込みデータ(MCU入力) 1 = 施錠ビット1 (LB1)
L = アドレス下位バイトのビット R = 読み出しデータ(MCU出力) x = 0か1 (無視または無効) 2 = 施錠ビット2 (LB2)

注2: FSTRT/RCENビットの状態が変更されるとき、変更の効果をだすには電源がOFF/ONされなければなりません。

注3: 識票バイトは保護種別3(LB1=0, LB2=0)の状態では読み出せません。

低電圧直列プログラミング特性

図37. 低電圧直列プログラミング タイミング

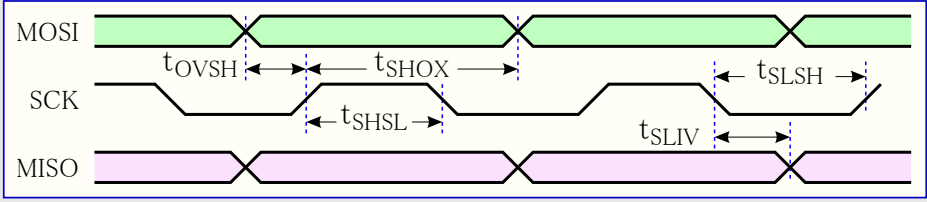


表20. 低電圧直列プログラミング特性 (特記条件を除いて、TA=-40℃～85℃，VCC=2.7～6.0V)

シンボル	項目		最小	代表	最大	単位
1/tCLCL	発振器周波数	2.7～4.0V	0		4	MHz
		4.0～6.0V	0		8	
tCLCL	発振器周期	2.7～4.0V	250			ns
		4.0～6.0V	125			
tSHSL	SCKパルスHレベル幅		2tCLCL			
tSLSH	SCKパルスLレベル幅		2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間		tCLCL			
tSHOX	SCK↑に対するMOSI保持時間		2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間		10	16	32	

表21. チップ消去命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_ERASE	18ms	14ms	12ms	8ms

表22. フラッシュメモリ、EEPROM書き込み命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_PROG	9ms	7ms	6ms	4ms

電気的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-1.0V ~ VCC+0.5V
RESETピン許容電圧	-1.0V ~ +13.0V
最大動作電圧	6.6V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=2.7V~6.0V (特に指示された条件を除く)

シンボル	項目	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧	XTAL1を除く	-0.5		0.3VCC (注1)	V
V _{IL1}	Lowレベル入力電圧	XTAL1	-0.5		0.1 (注1)	
V _{IH}	Highレベル入力電圧	XTAL1, RESETを除く	0.6VCC (注2)		VCC+0.5	
V _{IH1}	Highレベル入力電圧	XTAL1	0.7VCC (注2)		VCC+0.5	
V _{IH2}	Highレベル入力電圧	RESET	0.85VCC (注2)		VCC+0.5	
V _{OL}	Lレベル出力電圧 (ポートB)	IOL=20mA, VCC=5V			0.5	
		IOL=10mA, VCC=3V			0.4	
V _{OH}	Hレベル出力電圧 (ポートB)	IOH=-3mA, VCC=5V	4.2			
		IOH=-1.5mA, VCC=3V	2.4			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=6V			8.0	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	(確実なH/L範囲)			8.0	
R _{RST}	RESETピンプルアップ抵抗		100		500	kΩ
R _{I/O}	I/Oピンプルアップ抵抗		30		150	
I _{CC}	AT90S/LS 2323	活動動作消費電流	VCC=3V, 4MHz		4.0	mA
		アイドル動作消費電流		1.0	1.2	
		パワーダウン動作消費電流 (注3)	VCC=3V, WDT有効	9.0	15.0	μA
			VCC=3V, WDT禁止	<1	2.0	
	AT90S/LS 2343	活動動作消費電流	VCC=3V, 4MHz		3.0	mA
		アイドル動作消費電流			1.1	
		パワーダウン動作消費電流 (注3)	VCC=3V, WDT有効		25.0	μA
			VCC=3V, WDT禁止		20.0	

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: パワーダウン動作時の最小電源電圧(VCC)は2.0Vです。

外部クロック特性

図38. 外部クロック

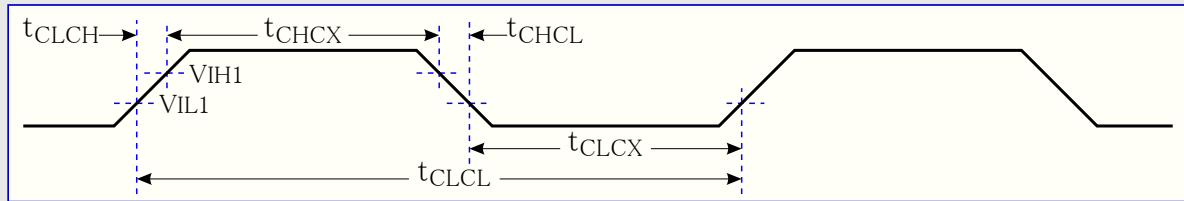


表23. 外部クロック特性

シンボル	項目	VCC=2.7V~6.0V		VCC=4.0V~6.0V		単位
		最小	最大	最小	最大	
$1/t_{CLCL}$	クロック周波数	0	4	0	10	MHz
t_{CLCL}	クロック周期	250		100		ns
t_{CHCX}	Highレベル時間	100		40		
t_{CLCX}	Lowレベル時間	100		40		
t_{CLCH}	上昇時間		1.6		0.5	μ s
t_{CHCL}	下降時間		1.6		0.5	

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $C_L(\text{負荷容量}) \times V_{CC}(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマにより引き込んだ(消費した)差電流を表します。

図39. 活動動作消費電流 対 周波数 (TA=25°C)

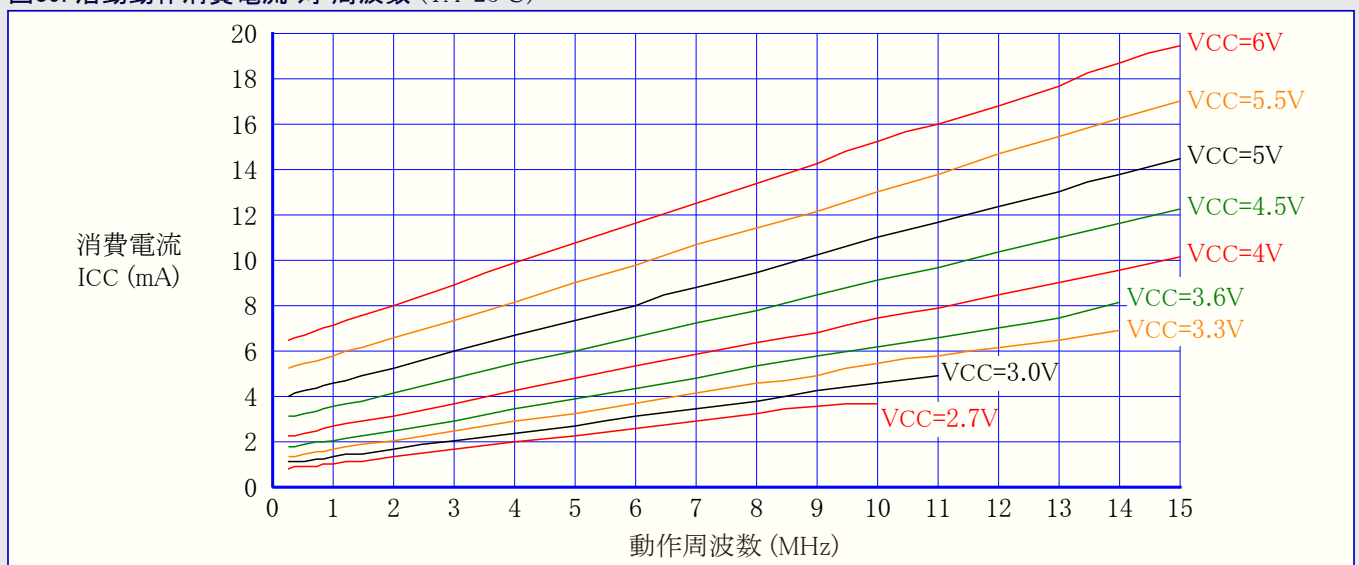


図40. 活動動作消費電流 対 動作電圧 (周波数=4MHz)

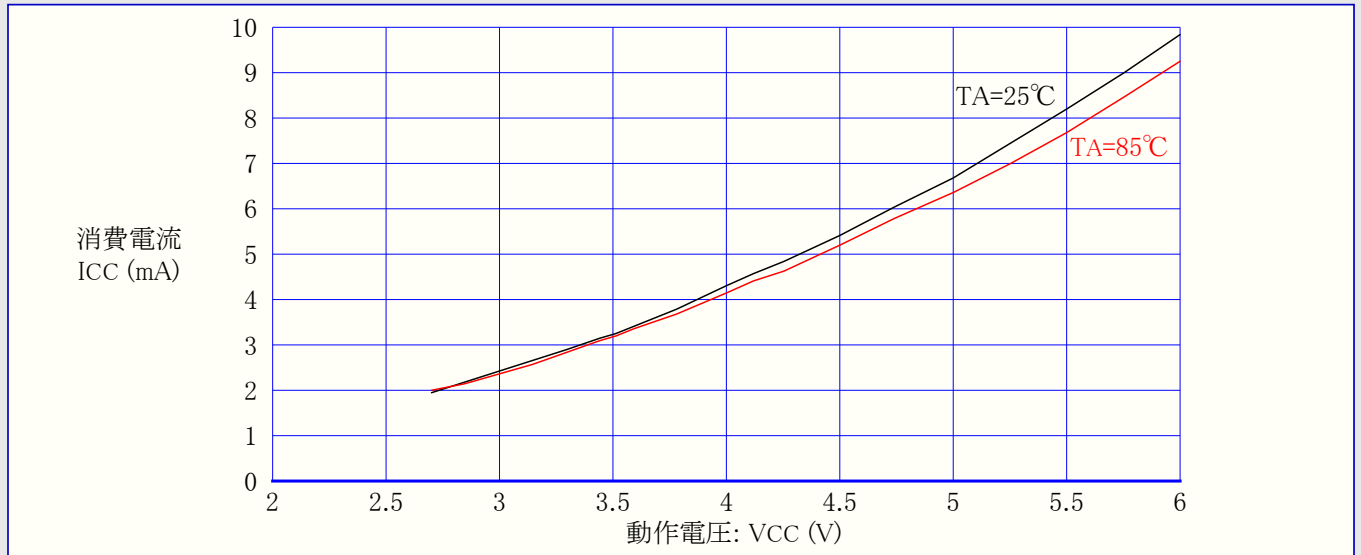


図41. 活動動作消費電流 対 動作電圧 (内蔵RC発振器)

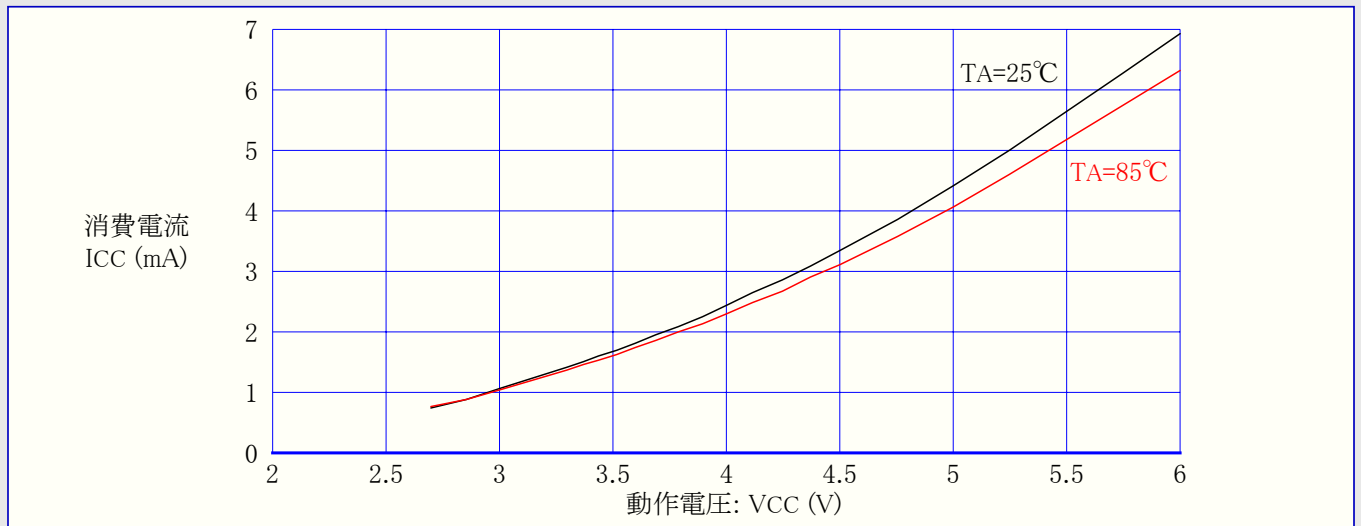


図42. アイドル動作消費電流 対 周波数 (TA=25°C)

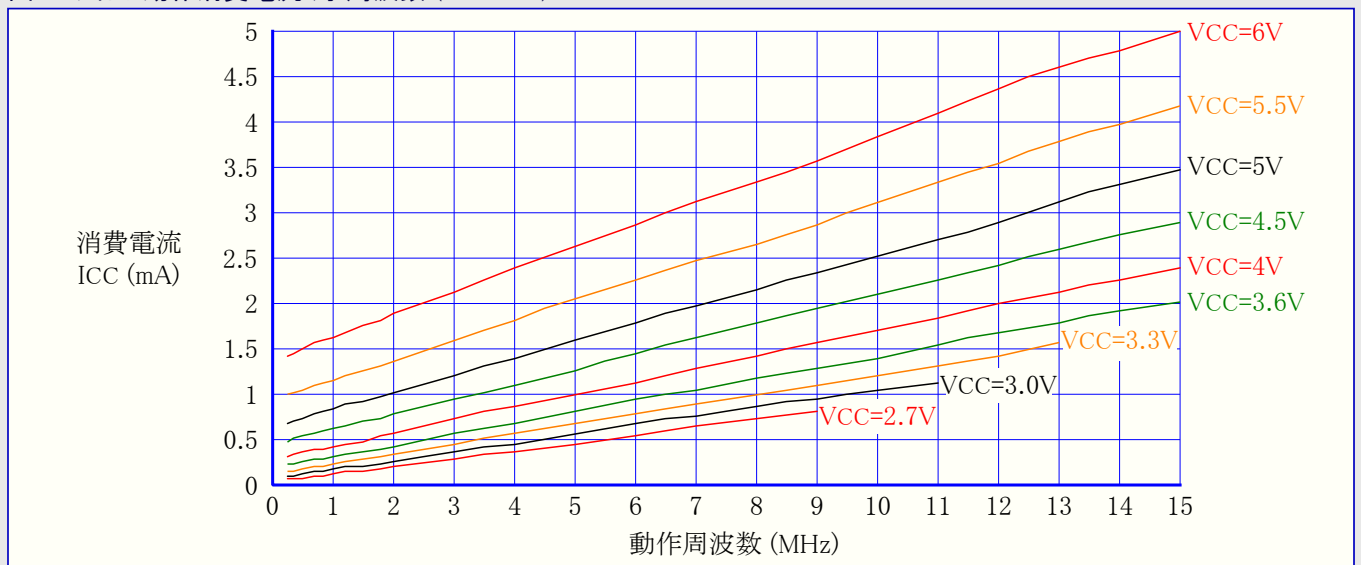


図43. アイドル動作消費電流 対 動作電圧 (周波数=4MHz)

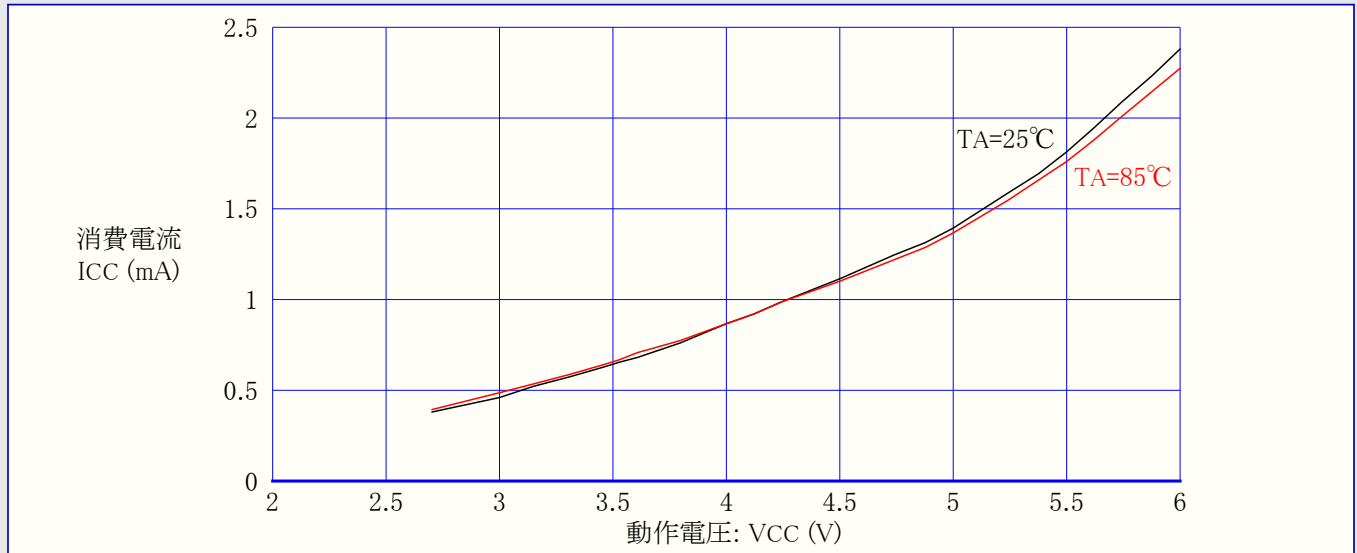


図44. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器)

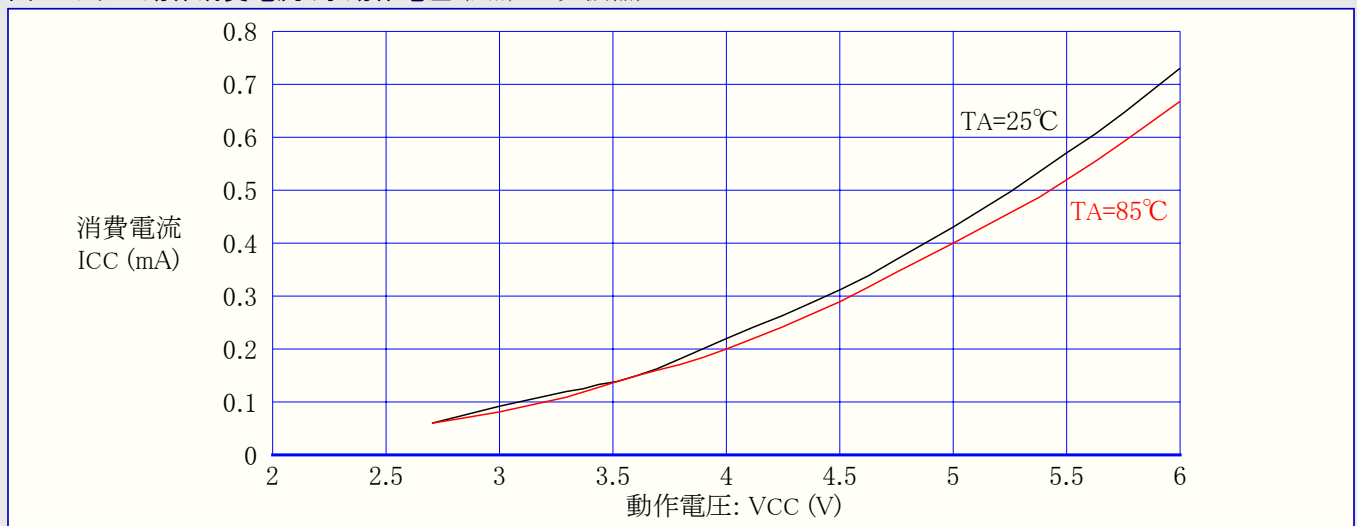


図45. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイム停止)

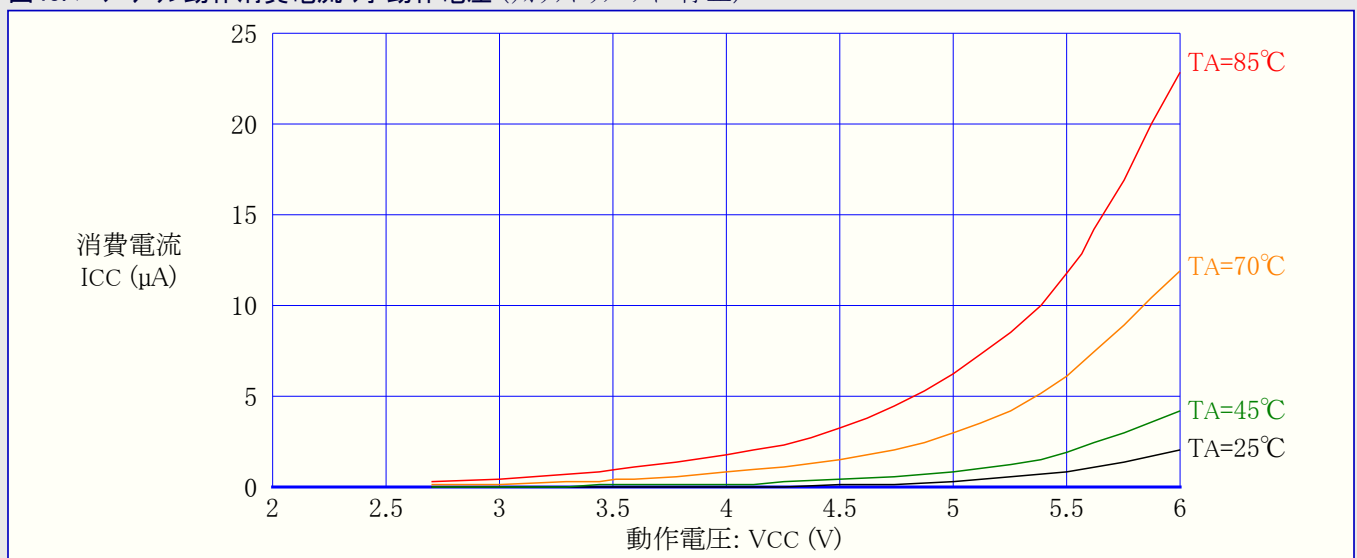


図46. パワーダウソ動作消費電流 対 動作電圧 (ウォッチバック タイマ許可)

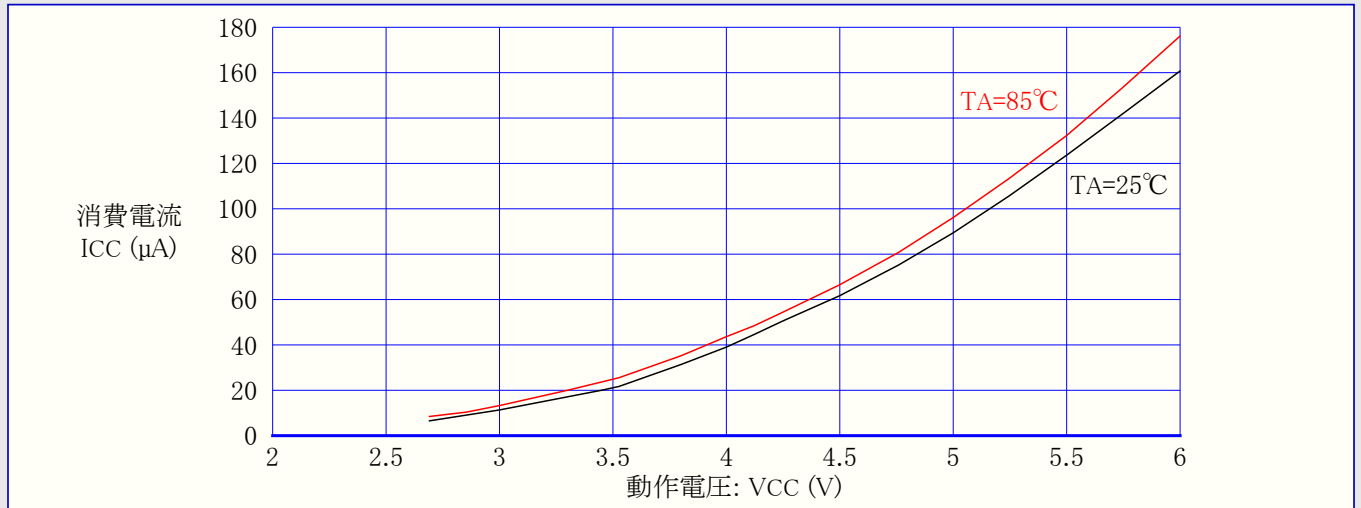


図47. ウォッチバック用発振器 発振周波数 対 動作電圧

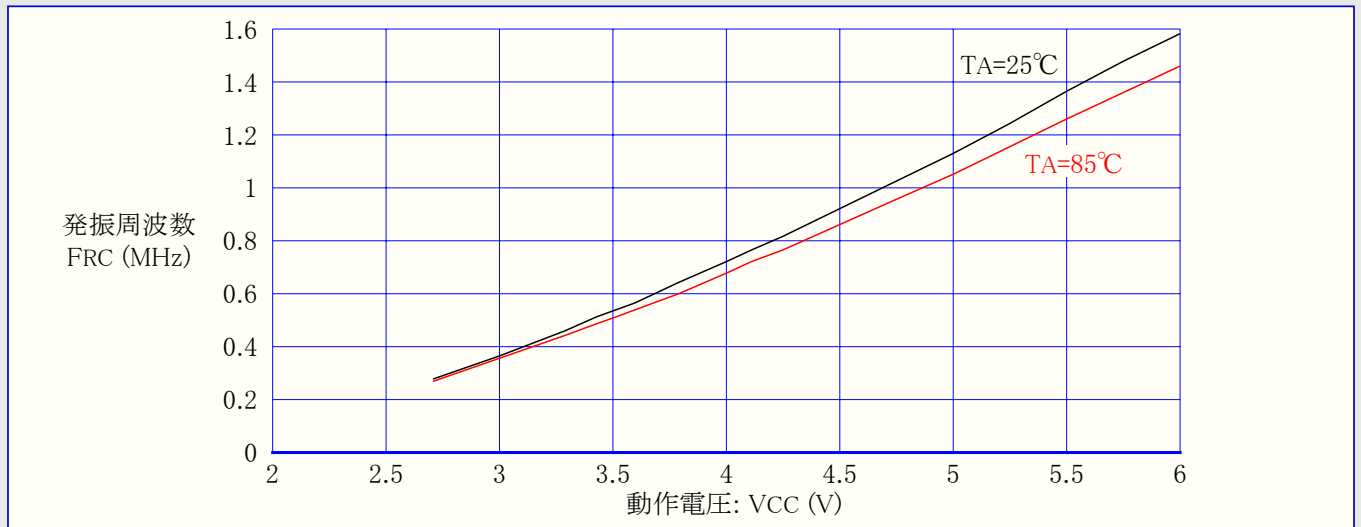
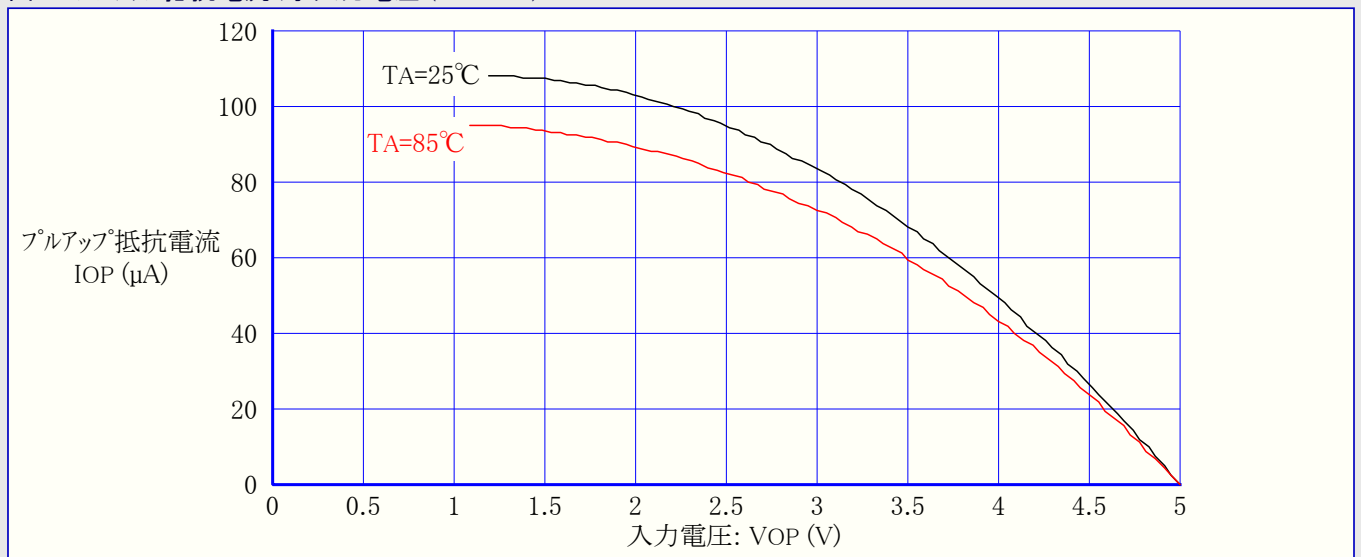
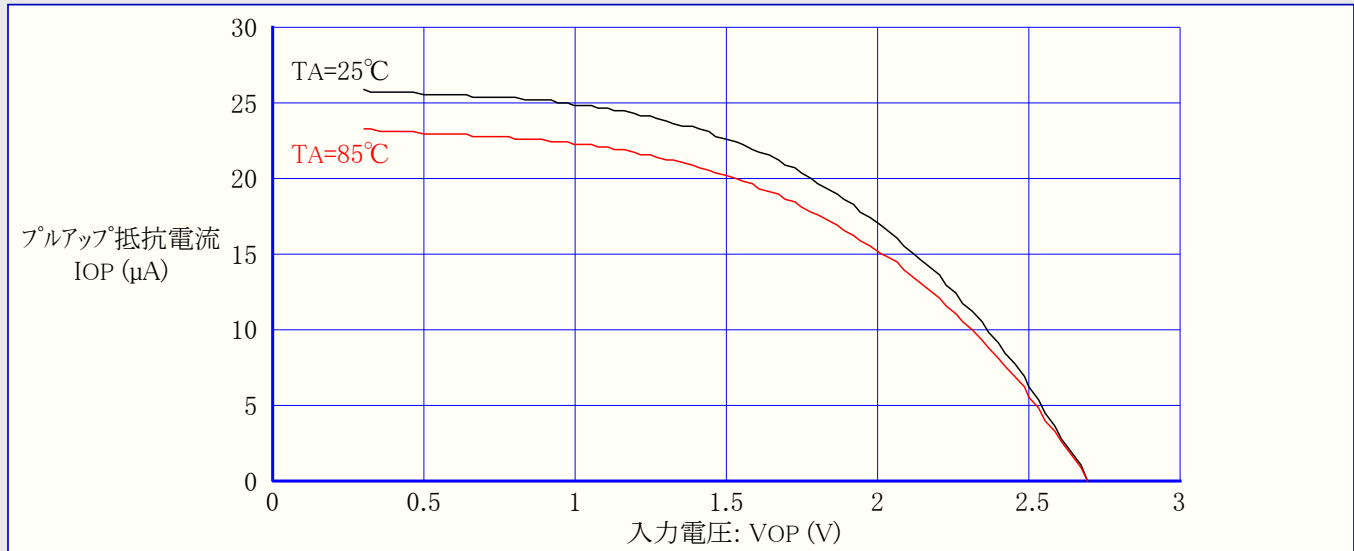


図48. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



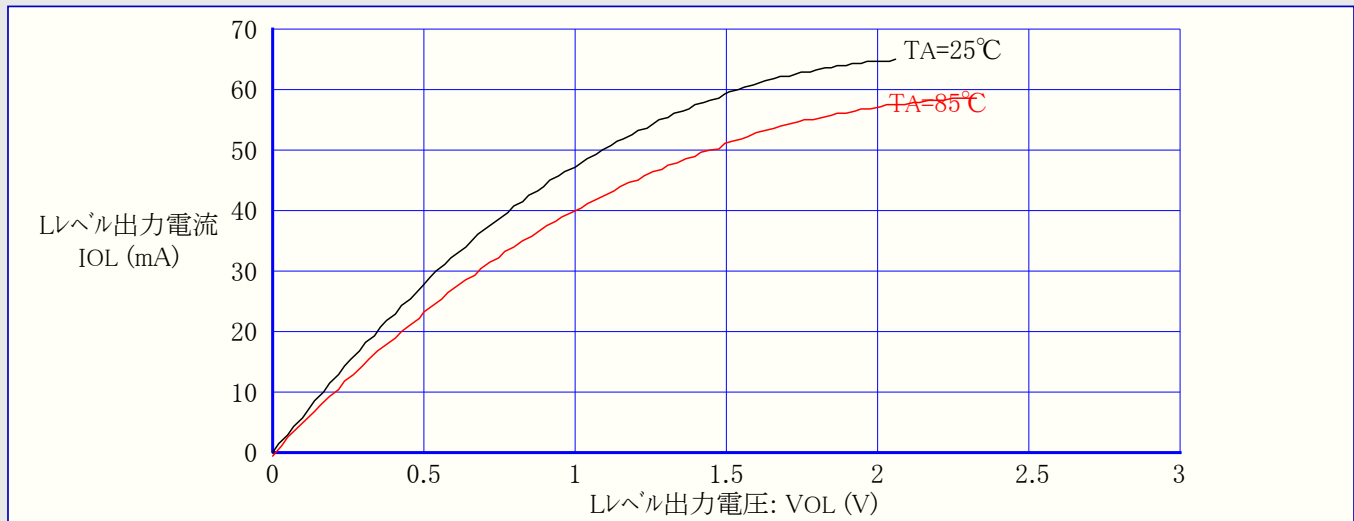
注: 測定は1ピン単位です。

図49. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



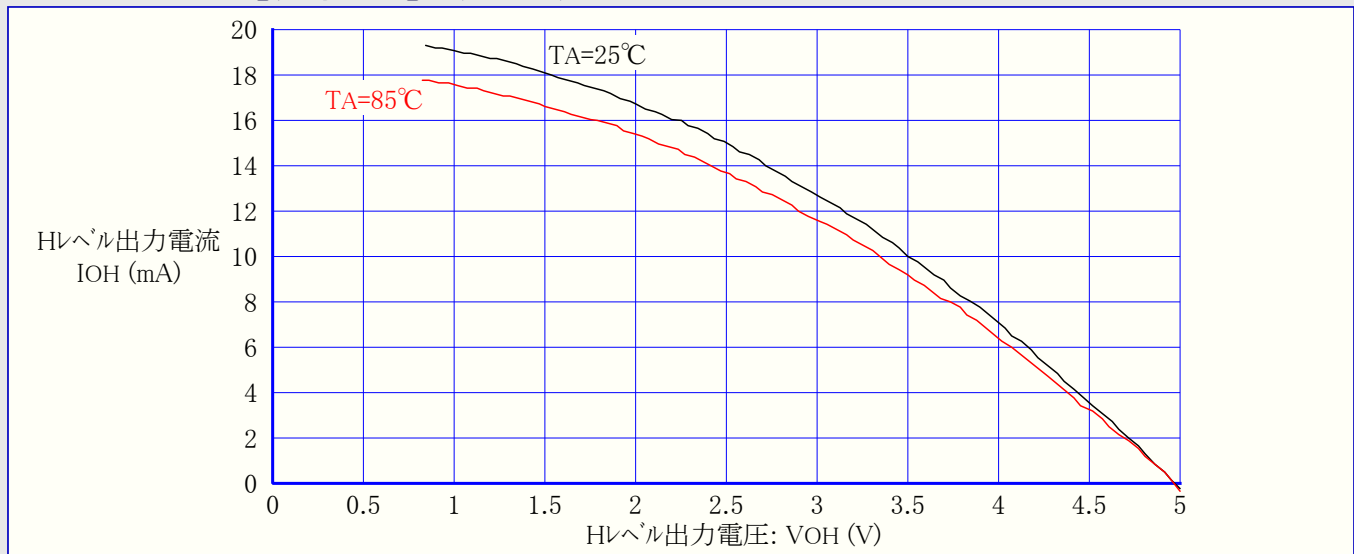
注: 測定は1ピン単位です。

図50. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



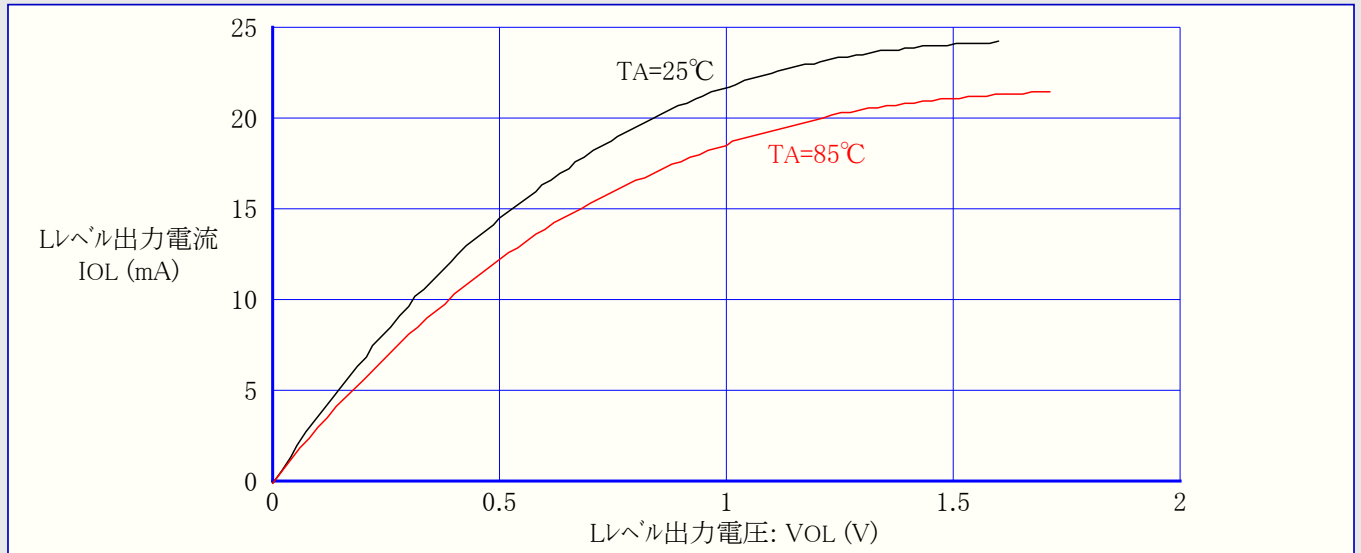
注: 測定は1ピン単位です。

図51. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



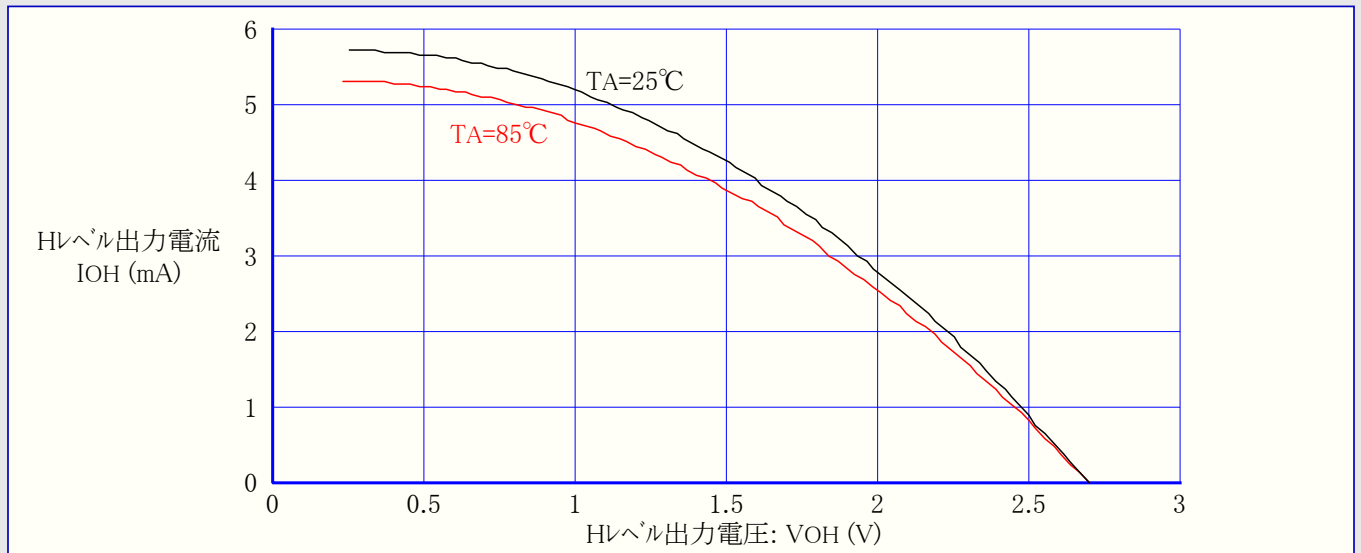
注: 測定は1ピン単位です。

図52. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図53. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図54. I/Oピン入力閾値電圧 対 動作電圧 (TA=25°C)

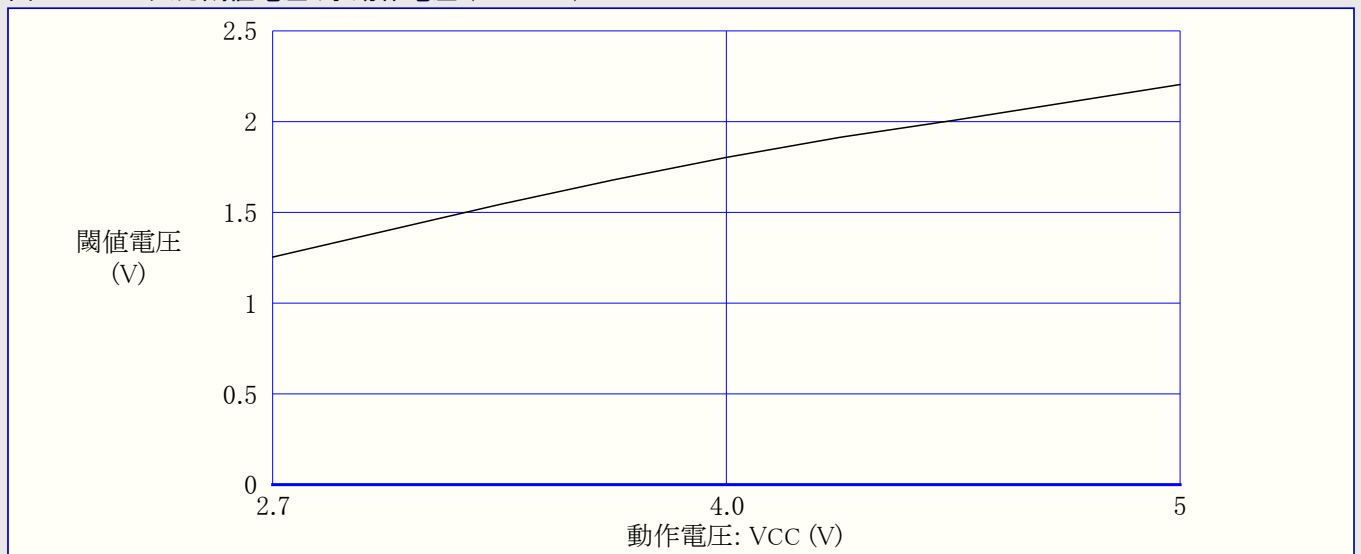
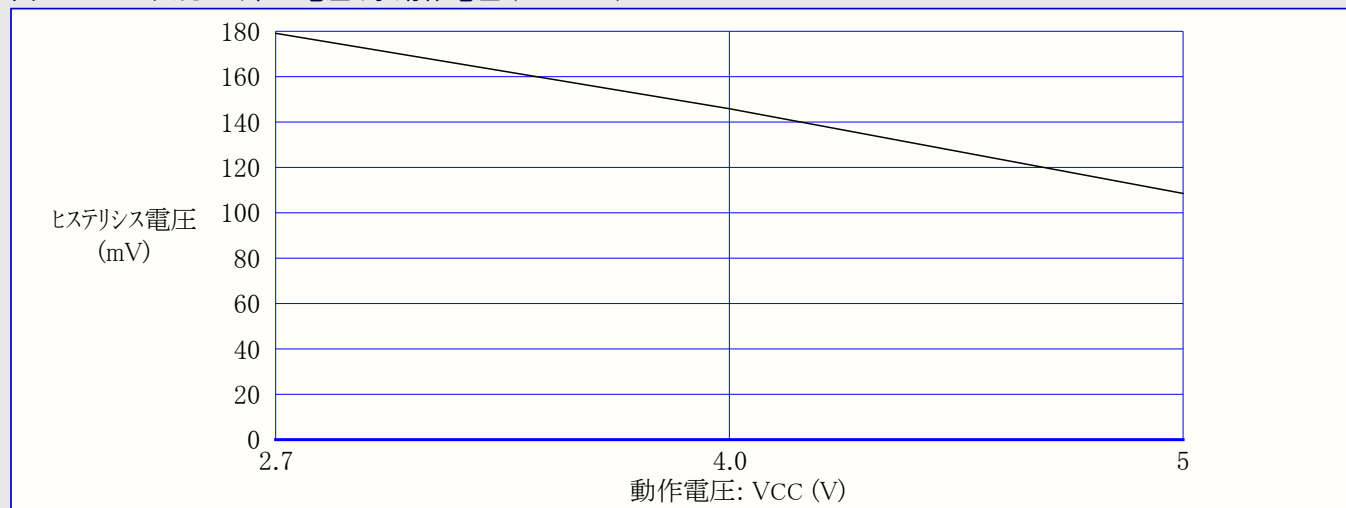


図55. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	11
\$3E (\$5E)	予約									
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	11
\$3C (\$5C)	予約									
\$3B (\$5B)	GIMSK	—	INT0	—	—	—	—	—	—	15
\$3A (\$5A)	GIFR	—	INTF0	—	—	—	—	—	—	15
\$39 (\$59)	TIMSK	—	—	—	—	—	—	TOIE0	—	16
\$38 (\$58)	TIFR	—	—	—	—	—	—	TOV0	—	16
\$37 (\$57)	予約									
\$36 (\$56)	予約									
\$35 (\$55)	MCUCR	—	—	SE	SM	—	—	ISC01	ISC00	17
\$34 (\$54)	MCUSR	—	—	—	—	—	—	EXTRF	PORF	14
\$33 (\$53)	TCCR0	—	—	—	—	—	CS02	CS01	CS00	19
\$32 (\$52)	TCNT0	タイマ/カウンタ0								19
\$31 (\$51)	予約									
\$30 (\$50)	予約									
\$2F (\$4F)	予約									
\$2E (\$4E)	予約									
\$2D (\$4D)	予約									
\$2C (\$4C)	予約									
\$2B (\$4B)	予約									
\$2A (\$4A)	予約									
\$29 (\$49)	予約									
\$28 (\$48)	予約									
\$27 (\$47)	予約									
\$26 (\$46)	予約									
\$25 (\$45)	予約									
\$24 (\$44)	予約									
\$23 (\$43)	予約									
\$22 (\$42)	予約									
\$21 (\$41)	WDTCR	—	—	—	WDTOE	WDE	WDP2	WDP1	WDP0	20
\$20 (\$40)	予約									
\$1F (\$3F)	予約									
\$1E (\$3E)	EEAR	—	EEPROM アドレス レジスタ							21
\$1D (\$3D)	EEDR	EEPROM データ レジスタ								21
\$1C (\$3C)	EECR	—	—	—	—	—	EEMWE	EEWE	EERE	21
\$1B (\$3B)	予約									
\$1A (\$3A)	予約									
\$19 (\$39)	予約									
\$18 (\$38)	PORTB	—	—	—	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	23
\$17 (\$37)	DDRB	—	—	—	DDB4	DDB3	DDB2	DDB1	DDB0	23
\$16 (\$36)	PINB	—	—	—	PINB4	PINB3	PINB2	PINB1	PINB0	23
\$15 (\$35)	予約									
\$01～\$14	予約									
\$00 (\$20)	予約									

注: ・ 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリ アドレスへは決して書くべきではありません。

- ・ いくつかの状態フラグは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00~\$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		レジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの $\geq$ で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの $\geq$ で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0 \sim 6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7 \sim 4) \leftrightarrow Rd(3 \sim 0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグ タイマ リセット	ウォッチドッグ タイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文符号	外囲器	動作範囲
4	2.7~6.0V	AT90LS2323-4PC	8P3	一般用 (0°C~70°C)
		AT90LS2323-4SC	8S2	
		AT90LS2323-4PI	8P3	工業用 (-40°C~85°C)
		AT90LS2323-4SI	8S2	
10	4.0~6.0V	AT90S2323-10PC	8P3	一般用 (0°C~70°C)
		AT90S2323-10SC	8S2	
		AT90S2323-10PI	8P3	工業用 (-40°C~85°C)
		AT90S2323-10SI	8S2	
1	2.7~6.0V	AT90LS2343-1PC	8P3	一般用 (0°C~70°C)
		AT90LS2343-1SC	8S2	
		AT90LS2343-1PI	8P3	工業用 (-40°C~85°C)
		AT90LS2343-1SI	8S2	
4	2.7~6.0V	AT90LS2343-4PC	8P3	一般用 (0°C~70°C)
		AT90LS2343-4SC	8S2	
		AT90LS2343-4PI	8P3	工業用 (-40°C~85°C)
		AT90LS2343-4SI	8S2	
10	4.0~6.0V	AT90S2343-10PC	8P3	一般用 (0°C~70°C)
		AT90S2343-10SC	8S2	
		AT90S2343-10PI	8P3	工業用 (-40°C~85°C)
		AT90S2343-10SI	8S2	

外囲器形式	
8P3	8ピン 300mil幅 プラスティック 2列直線外囲器 (PDIP)
8S2	8リード 200mil幅 プラスティック 小型外形外囲器 (SOIC)

注: ・ 速度分類は外部クリスタルまたは外部クロック駆動時の最大クロック速度です。内蔵RC発振器は全ての速度品種について同じ公称クロック周波数です。

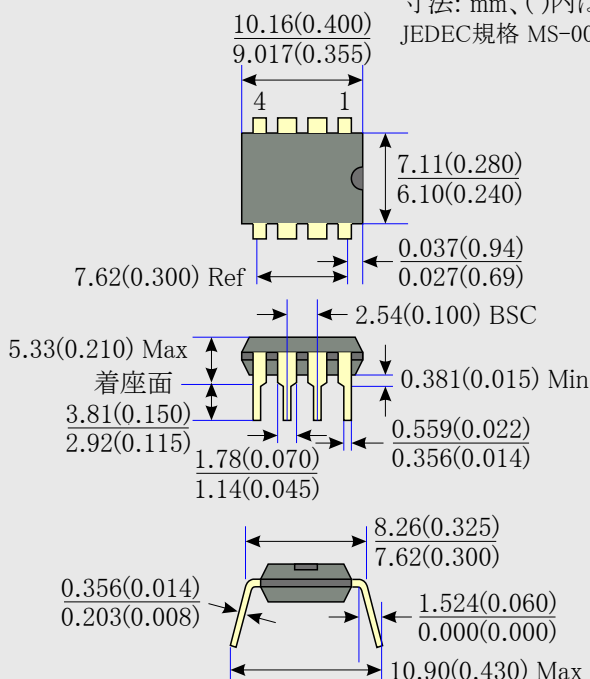
・ AT90LS2343-1xxはAtmel出荷時に既定のMCUクロック元として内蔵RC発振が選択(RCENヒューズ=プログラム(0))されています。AT90LS2343-4xxとAT90S2343-10xxでは既定のMCUクロック元がクロック入力ピン(RCENヒューズ=非プログラム(1))です。このヒューズ設定は高電圧直列プログラミングによって変更できます。

外囲器情報

8P3

8ピン 300mil幅 プラスティック2列直線外囲器 (PDIP)

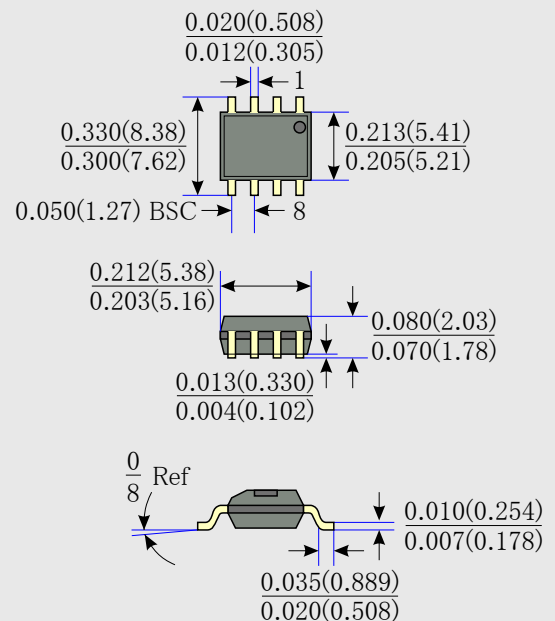
寸法: mm、()内はインチ
JEDEC規格 MS-001 BA



8S2

8リード 200mil幅 プラスティック小型外形外囲器 (EIAJ SOIC)

寸法: インチ、()内はmm



障害情報

この章の改訂番号はAT90S/LS2323及びAT90S/LS2343デバイスの改訂版を参照してください。

AT90S/LS2323 改訂F (Rev. 1192D-09/01) **改訂G** (Rev. 2496A-10/01)

AT90S/LS2343 改訂F (Rev. 1193D-09/01) **改訂G** (Rev. 2495A-10/01)

• FSTRT/RCENヒューズの不正なラッチ	2323-F, 2343-F
• 外部クロックでのパワーダウン時の高消費電流	2343-F/G
• 供給電圧3.0V未満での直列プログラミング	2323-F/G, 2343-F/G
• 低電圧直列プログラミングでのEEPROM照合	2323-F/G, 2343-F/G
• EEPROM書き込み中に於けるリセット	2323-F/G, 2343-F/G
• リセット状態ビット書き込み異常	2323-F/G, 2343-F/G
• 高温、高電圧での施錠ビット消去	2323-F/G, 2343-F/G
• クロック停止によるリセット状態の解除	2323-F/G, 2343-F/G

1. FSTRT/RCENヒューズの不正なラッチ (2323-F, 2343-F)

VCCをGND以下から動作電圧にした場合、FSTRT/RCENヒューズビットがプログラム(0)であっても非プログラム(1)と認識します。このため、デバイスは内蔵RC発振器選択であっても外部クロックを求めます。この結果ハング状態となります。

対策/対処

内部発振器が必要な場合はATtiny22Lを使います。ATtiny22Lの命令とピンは100%互換性があります。ATtiny22Lは内蔵RC発振器専用です。

2. 外部クロックでのパワーダウン時の高消費電流 (2343-F/G)

パワーダウン中に外部クロックが動作すると、仕様以上の消費電流が流れます。

対策/対処

パワーダウン中は外部クロックを停止してください。

3. 供給電圧3.0V未満での直列プログラミング (2323-F/G, 2343-F/G)

供給電圧3.0V未満での直列プログラミングは失敗する可能性があります。

対策/対処

直列プログラミング中のVCCは3.0V以上に保ってください。

4. 低電圧直列プログラミングでのEEPROM照合 (2323-F/G, 2343-F/G)

直列プログラムでのEEPROM照合は最高クロック周波数で行えません。これはSPIクロックが独立していることに起因します。

対策/対処

クロック速度を落とすか、EEPROM照合なしにします。

5. EEPROM書き込み中に於けるリセット (2323-F/G, 2343-F/G)

EEPROM書き込み中にリセットを行うと予期せぬ結果となります。EEPROM書き込み周期は通常の完了となりますが、リセットによりEEPROMアドレスレジスタが\$00となってしまいます。この結果、EEPROMのアドレス\$00にも不正な書き込みを行ってしまいます。

対策/対処

アドレス\$00を一時変数とすれば、この問題を無視できます。また、EEPROM書き込み中にリセットを行わない場合、アドレス\$00の内容は保証されます。

6. リセット状態ビット書き込み異常 (2323-F/G, 2343-F/G)

MCU状態レジスタ(MCUSR)の電源ONリセットフラグ(PORF)の解除(0)で、外部リセットフラグ(EXTRF)も解除(0)されます。EXTRFは0の書き込みで解除(0)されません。

対策/対処

これらのフラグ検査後、両方のフラグに0を同時に書き込み、両フラグ共解除(0)します。

7. 高温、高電圧での施錠ビット消去 (2323-F/G, 2343-F/G)

高温または高電圧でのチップ消去で施錠ビットが消去されません。

対策/対処

室温、5.0V以下のVCCでチップ消去を行います。

8. クロック停止によるリセット状態の解除 (2323-F/G, 2343-F/G)

クロック停止中に外部リセットまたはウォッチドッグリセットが発生すると、クロック再起動前にリセットが解除されます。内部リセットは外部クロックと無関係に、リセット遅延時間後、解除されます。内部リセットが有効な間に、外部クロックパルスがなかった場合、リセットはI/OをHi-Z状態に保ちます。しかし、クロック再起動前に内部リセットが解除されると、I/O部が解除されず、また、PC(プログラムカウンタ)も解除されません。これは外部クロック入力でクロックをゲートする構造のため、内部クロックが停止することによります。この問題は、パワーダウン動作では無関係です。

対策/対処

外部リセットが予測される全ての期間、クロックが動作中であることを保証してください。ウォッチドッグを使っている場合、外部クロックを停止しないようにします。

目次

特徴	1
ピン配置	1
概要	2
AT90S/LS2323構成図	2
AT90S/LS2343構成図	3
AT90S/LS2323とAT90S/LS2343の違い	4
ピン説明	4
クロック任意選択	4
構造概要	5
汎用レジスタ ファイル	6
ALU (Arithmetic Logic Unit)	6
実装書き換え可能なプログラム用フラッシュ メモリ	6
データ用EEPROMメモリ	6
内蔵SRAM	6
プログラム/データ空間に対するアドレス指定種別	7
メモリ アクセスと命令実行タイミング	9
I/Oレジスタ	10
リセットと割り込みの扱い	12
休止形態	17
タイマ/カウンタ0	18
タイマ/カウンタ0前置分周器	18
8ビット タイマ/カウンタ0	18
ウォッチドッグ タイマ	20
EEPROMアクセス	21
EEPROMデータ化けの防止	22
入出力ポートB	23
メモリ プログラミング	25
プログラム メモリとデータ メモリ用施錠ビット	25
ヒューズ ビット	25
識票バイト	25
フラッシュ メモリとEEPROMのプログラミング	25
高電圧直列プログラミング	26
高電圧直列プログラミング特性	28
低電圧直列プログラミング	29
低電圧直列プログラミング特性	30
電気的特性	32
絶対最大定格	32
DC特性	32
外部クロック特性	33
代表特性	33
レジスタ要約	40
命令要約	41
注文情報	43
外圍器情報	43
障害情報	44



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantreterie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2001.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2022.

本データシートはAtmelのAT90S2323/2343英語版データシート(Rev.1004D-09/01)の翻訳日本語版で、AT90S/LS2323 Rev.F障害情報(Rev. 1192D-09/01)、Rev.G障害情報(Rev. 2496A-09/01)とAT90S/LS2343 Rev.F障害情報(Rev.1193D-09/01)、Rev.G障害情報(Rev. 2495A-09/01)の内容も含まれています。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。