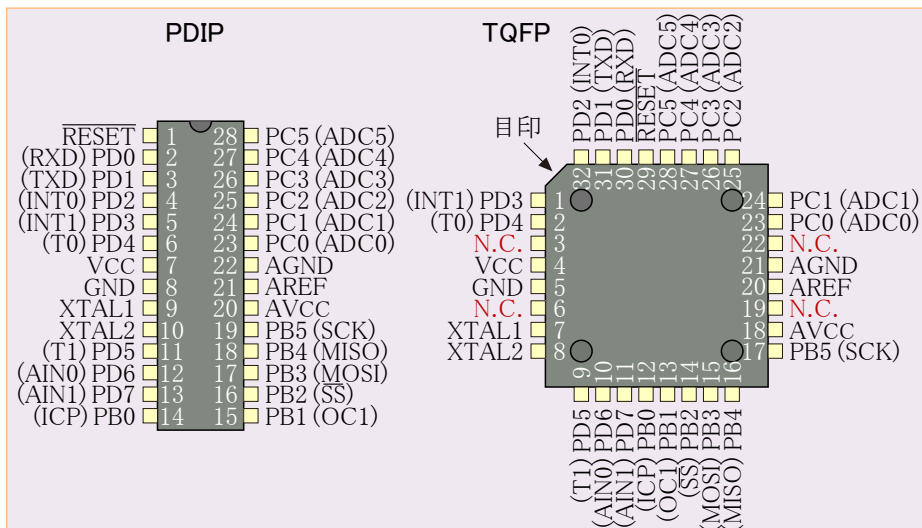


特徴

- AVR –高性能、低消費AVR[®] RISC構造
 - 強力な118命令(多くは1周期で実行)
 - 32個の1バイト長汎用レジスタ
 - 8MHz時、8MIPSに達する高速動作
- 不揮発性プログラム用メモリとデータ用メモリ
 - 実装書き換え(ISP: In-System Program)可能な2K/4Kバイト(1K/2K語)フラッシュメモリ内蔵
1000回の書き換えが可能
 - 128バイトのSRAM
 - 実装書き換え(ISP)可能な128/256バイトのEEPROM
100,000回の書き換えが可能
 - ソフトウェア保護用の設定可能な施錠機能
- 内蔵周辺機能
 - 分離された前置分周器付き1つの8ビットタイマ/カウンタ
 - 分離された前置分周器付きの拡張された16ビットタイマ/カウンタ
比較、捕獲、8,9または10ビットPWM
 - アナログ比較器
 - 設定可能な専用発振器付きウォッチドッグタイマ
 - 設定可能なUART
 - 6チャンネル 10ビット A/D変換器
 - 主装置/従装置動作SPI直列インターフェース
- 特殊マイクロコントローラ機能
 - 低電圧検出(BOD)リセット回路
 - 増強された電源ONリセット回路
 - アイドルとパワーダウンの2つの低消費動作
- 消費電流 (条件: 4MHz, 3V, 25°C)
 - 標準動作 3.4mA
 - アイドル動作 1.4mA
 - パワーダウン動作 1μA未満
- I/Oと外周器
 - 20ビットの設定可能なI/O
 - 28ピンPDIP、32リードTQFP
- 動作電圧
 - 2.7~6.0V (AT90LS2333, AT90LS4433)
 - 4.0~6.0V (AT90S2333, AT90S4433)
- 動作速度
 - 0~4MHz (AT90LS2333, AT90LS4433)
 - 0~8MHz (AT90S2333, AT90S4433)

ピン配置



8ビット **AVR[®]**
 マイクロコントローラ
 実装書き換え可能な
 2K/4Kバイト
 フラッシュメモリ内蔵

AT90S2333
 AT90LS2333
 AT90S4433
 AT90LS4433

本製品での新規設計は推奨
 されません。
 ATmega8をお使いください。

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

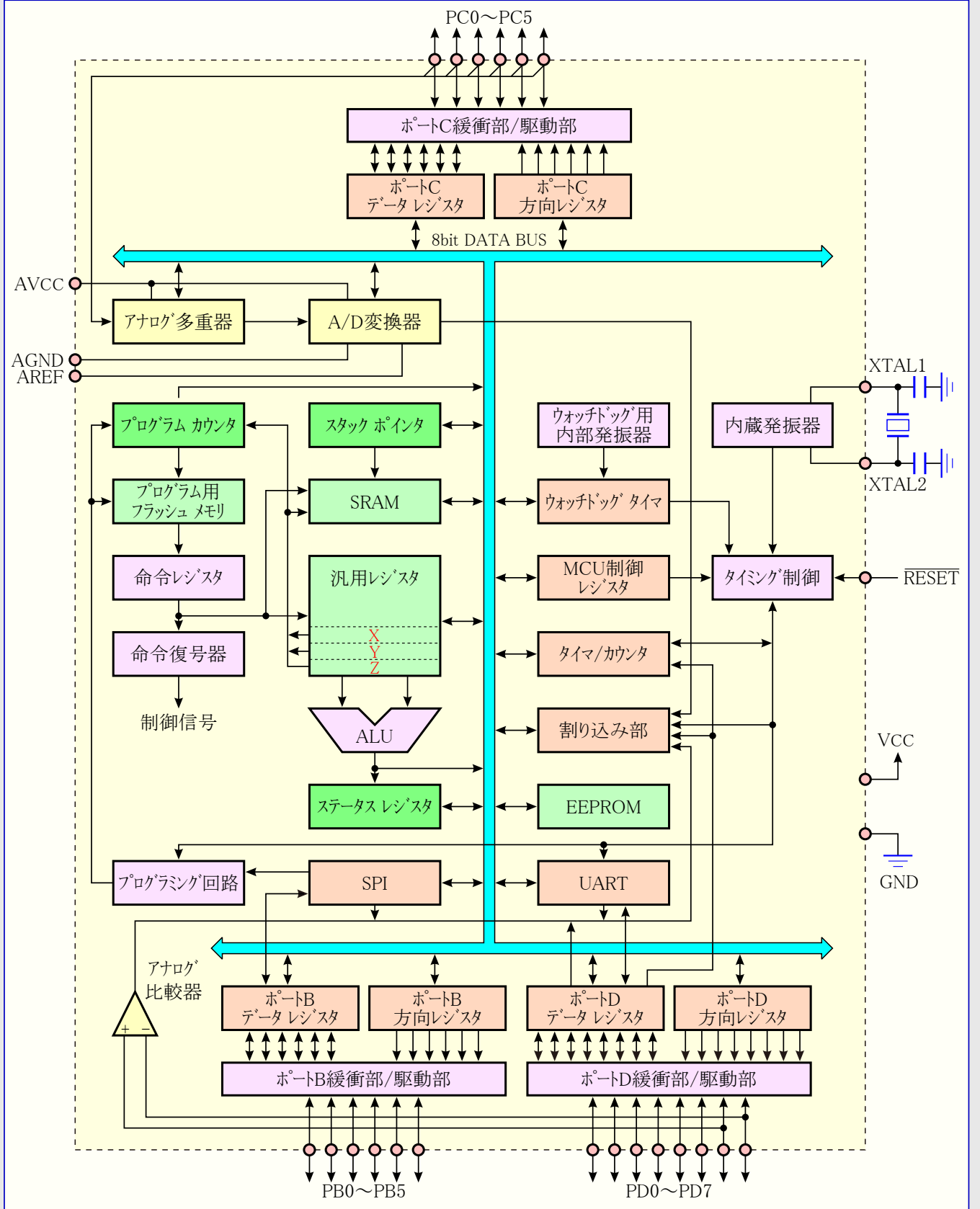
Rev. 1042D-04/99, 1042DJ14-08/22
 Rev. 1042H-04/03, 1042HJ14-08/22

概要

AT90S2333/4433はAVR RISC構造の低消費CMOS 8ビット マイクロ コントローラです。1周期で実行する強力な命令はMHzあたり1 MIPSにも達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えます。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロ コントローラに対して最大10倍の単位処理量向上効果があります。

図1. AT90S2333/4433構成図



AT90S2333/4433は、2K/4Kバイトの実装書き換え可能なフラッシュメモリ、128/256バイトのEEPROM、128バイトのSRAM、20ビットの汎用入出力、32個の汎用レジスタ、比較動作を含む柔軟な2つのタイマ/カウンタ、内部及び外部割り込み、設定変更可能な直列UART、6チャンネル10ビットA/D変換器、設定変更可能な内部発振器付きウォッチドッグタイマ、SPI直列ポート、ソフトウェアで選べる2つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPIポート、割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで他の全機能を無効にします。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なフラッシュメモリはプログラムメモリに使い、規定の不揮発性メモリ書き込み器かSPI直列インターフェース経由によって再書き込みができます。モノリシックチップ上の実装書き換え可能なフラッシュメモリと拡張された8ビットRISC型CPUの組み合わせによるAT90S2333/4433は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

AT90S2333/4433 AVRはCコンパイラ、マクロアセンブラ、デバッガ、シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

AT90S/LS2333とAT90S/LS4433の違い

AT90S/LS2333は実装書き換え可能なフラッシュメモリが2Kバイト、EEPROMが128バイト、内蔵SRAMが128バイトです。AT90S/LS4433は実装書き換え可能なフラッシュメモリが4Kバイト、EEPROMが256バイト、内蔵SRAMが128バイトです。

表1. メモリ容量対比表

デバイス名	フラッシュメモリ	EEPROM	SRAM
AT90S/LS2333	2Kバイト	128バイト	128バイト
AT90S/LS4433	4Kバイト	256バイト	

ピン概要

VCC

デジタル電源ピン。

GND

デジタル接地ピン。

PB5～PB0 (ポートB)

ポートBは内蔵プルアップ抵抗付きの6ビットの双方向入出力ポートです。ポートBの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。

ポートBは48頁で示されるAT90S2333/4433の各特殊機能としても扱います。

リセット条件が有効になるとき、クロックが動作していなくても、ポートBピンはHi-Zになります。

PC5～PC0 (ポートC)

ポートCは内蔵プルアップ抵抗付きの6ビットの双方向入出力ポートです。ポートCの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートCピンには吐き出し電流が流れます。ポートCはA/D変換器へのアナログ入力としても扱います。

リセット条件が有効になるとき、クロックが動作していなくても、ポートCピンはHi-Zになります。

PD7～PD0 (ポートD)

ポートDは内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートDの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートDピンには吐き出し電流が流れます。

ポートDは55頁で示されるAT90S2333/4433の各特殊機能としても扱います。

リセット条件が有効になるとき、クロックが動作していなくても、ポートDピンはHi-Zになります。

RESET

リセット入力。外部リセットはRESETピンのLowレベルにより生成されます。50nsより長いリセットパルスは、クロックが動作していなくてもリセットを発生します。短すぎるパルスはリセットの生成が保証されません。

XTAL1

発振器用反転増幅器の入力、内部クロック動作回路の入力。

XTAL2

発振器用反転増幅器の出力。

AVCC

AVCCはポートC(アナログ入力)とA/D変換器用の供給電圧です。A/D変換が使われない場合、このピンはVCCに接続されなければなりません。A/D変換が使われる場合、このピンは低域通過濾波器を経由してVCCに接続されるべきです。A/D変換の操作詳細については42頁を参照してください。

AREF

AREFはA/D変換器のアナログ基準電圧入力です。A/D変換動作では、2.0V～AVCCの範囲内の電圧がこのピンに供給されなければなりません。

AGND

基板に分離されたアナログGND面がある場合、このピンはそのGND面に接続されるべきです。その他の場合はGNDに接続します。

クロック任意選択

クリスタル発振器

XTAL1とXTAL2は、図2と図3.に示される内蔵発振器として使える反転増幅器の各々入力と出力です。クリスタル発振子かセラミック振動子のどちらでも使えます。

外部クロック

この発振器が外部デバイス用クロックとして使われる場合、図3.で示されるように、負荷容量(C2)を5pF程度に低減し、XTAL2からのクロック信号は1つのHC緩衝器に配線できます。外部クロック信号でデバイスを駆動するには、図4.で示されるようにXTAL1が駆動され、XTAL2は未接続のままにすべきです。

図2. 発振器接続図

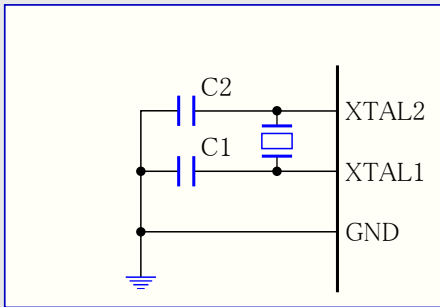


図3. 外部クロック出力接続図

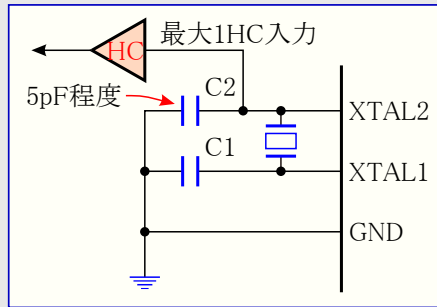
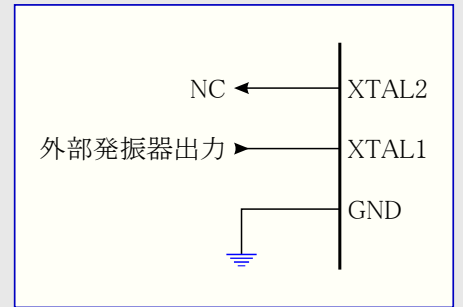


図4. 外部クロック信号駆動接続図



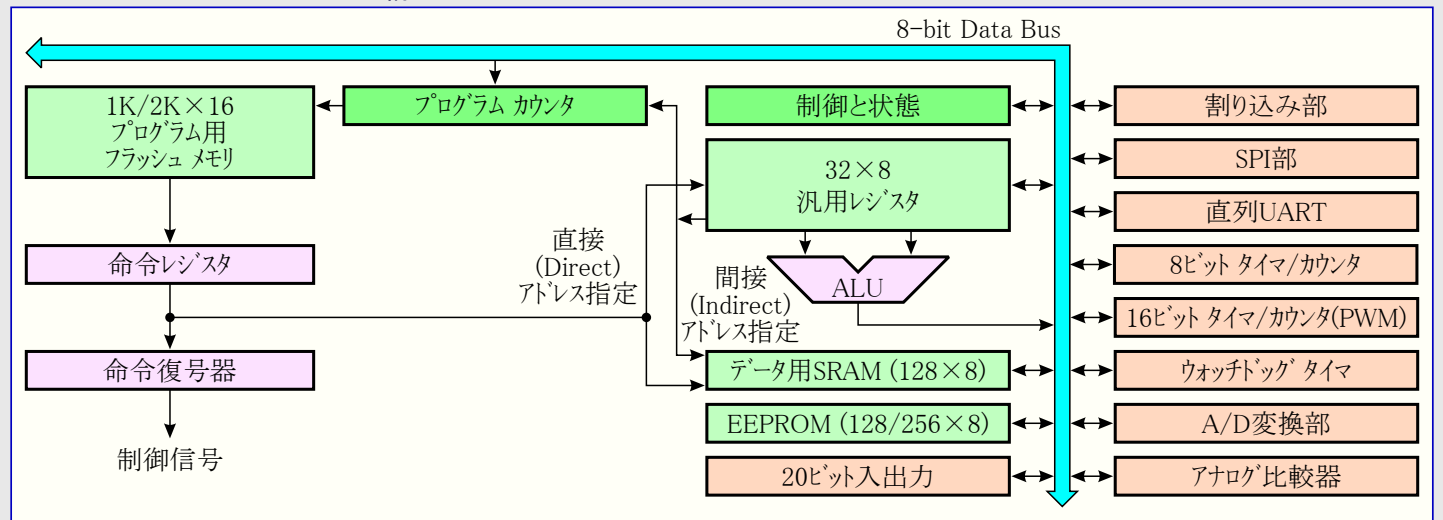
構造概要

高速**レジスタ ファイル**の概念は、1クロック周期アクセス時間の32個の8ビット長汎用レジスタを含みます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタ ファイルから出力され、命令が実行され、その結果がレジスタ ファイルに書き戻されます。

32個中の6つのレジスタはデータ空間についてアドレス計算が効率的に行える、3つの16ビット長間接アドレス ポインタとして使えます。3つのアドレス ポインタの1つは定数表参照用アドレス ポインタとしても使われます。これらの付加機能レジスタは16ビット長の**Xレジスタ**、**Yレジスタ**、**Zレジスタ**です。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図5.はAT90S2333/4433 AVR RISCマイクロ コントローラの構造を示します。

図5. AT90S2333/4433 AVR RISC構造



付加的なレジスタ操作として、通常のメモリ アドレス指定をレジスタ ファイルにも使えます。実際にはレジスタ ファイルがデータ空間の最下位32バイト(\$00~\$1F)に割り当てられ、通常のメモリ位置としてのアクセスができることによって行えます。

I/Oメモリ空間は、制御レジスタ、タイマ/カウンタ、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタ ファイルに後続するデータ空間位置\$20~\$5Fとしてアクセスできます。

AVRのメモリとバスはプログラム用とデータ用に各々分離されたハーバード構造で構成されています。プログラム メモリは2段のパイプラインでアクセスされます。1命令の実行中に、次の命令をプログラム メモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラム メモリは実装書き換え可能な**フラッシュ メモリ**です。

プログラム カウンタ(PC)相対の無条件分岐(**RJMP**)命令と呼び出し(**RCALL**)命令で1K/2Kアドレス空間全てがアクセスされます。AVRの多くの命令は16ビット1語の形式です。全てのプログラム メモリのアドレスに16または32ビット命令を配置できます。

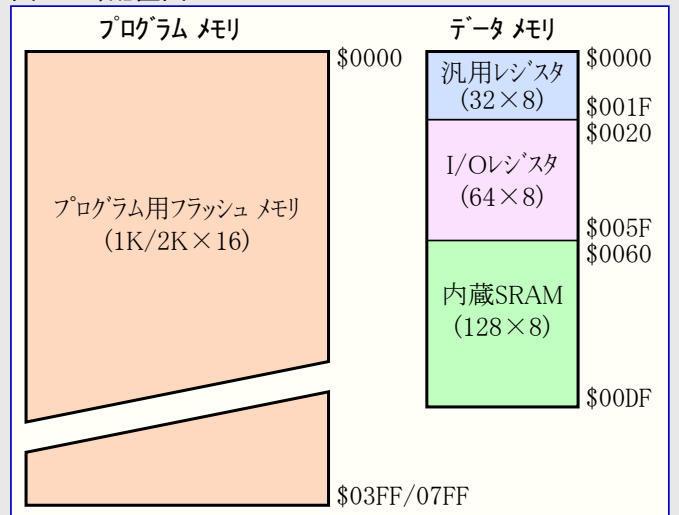
割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラム カウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用**SRAM**に配置され、スタック容量はSRAM容量とSRAM使用量でのみ制限されます。プログラムでは、リセット時の初期化ルーチンで(サブルーチンや割り込みが実行される前に)、スタック ポインタ(SP)を初期化しなければなりません。SPIはI/O空間にあり、読み書き可能です。

128バイトのデータSRAMと**レジスタ ファイル**や**I/Oレジスタ**はAVR構造で支援される5つの異なる**アドレス指定種別**で容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタと**ステータスレジスタ(SREG)**の**全割り込み許可(I)**ビットがあります。全ての**割り込み要因**はプログラム メモリの先頭に割り込みベクタ表として個別の割り込みベクタがあります。各割り込みは、この割り込みベクタ表の位置に従った優先順位です。下位側割り込みベクタ アドレスが高い優先順位です。

図6. メモリ配置図



汎用レジスタ ファイル

図7.は32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令は**レジスタ直接指定**ができ、1周期でアクセスします。**SBCI,SUBI,CPI,ANDI,ORI**の5つの算術、論理定数演算命令と、定数をレジスタに設定する**LDI**命令だけは例外です。これらの命令はレジスタファイル後半のR16～R31に対してだけ適用されます。通常の**SBC,SUB,CP,AND,OR**や他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

図7.で示されるように、各レジスタはデータメモリ領域の先頭からの32アドレスに配置されています。レジスタファイルは物理的にSRAMのような配置構成ではなく、この特別な構成のため、X,Y,Zレジスタを指標とする任意のレジスタ指定のような、非常に柔軟なアクセスができます。

図7. AVR CPU 汎用レジスタ構成図

	7	0	アドレス
汎用 レジスタ ファイル	R0		\$00
	}		
	R15		\$0F
	R16		\$10
	}		
	R26		\$1A
	R27		\$1B
	R28		\$1C
	R29		\$1D
	R30		\$1E
	R31		\$1F

Xレジスタ, Yレジスタ, Zレジスタ

レジスタR26～R31には、通常の汎用用途以外に、いくつかの付加機能があります。これらのレジスタはデータ空間の**間接アドレス指定**用ポインタにもなります。この3つの間接アドレス用レジスタX,Y,Zは図8.で定義されます。

これらのアドレスレジスタは**定数変位付き**、**自動増加/減少付き**のアドレス指定が行えます。(これらの概要は個別命令を参照してください。)

図8. X,Y,Zレジスタ構成図

	15	(上位)		(下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは、32個の全汎用レジスタに直接接続され、動作します。レジスタファイル内のレジスタ間ALU操作は、1クロック周期内で実行されます。ALU操作は、算術演算、論理演算、ビット操作の3つの主な種類に大別されます。

実装書き換え(ISP: In-System Program)可能なプログラム用フラッシュメモリ

AT90S2333/4433には、プログラム用に実装書き換え可能な2K/4Kバイトのフラッシュメモリが内蔵されています。全ての命令が16または32ビット語のため、フラッシュメモリは1K/2K×16ビットとして構成されています。フラッシュメモリは少なくとも1000回書き込みの耐久性があります。AT90S2333/4433のプログラムカウンタ(PC)は10/11ビットで、プログラムメモリ内の1024/2048アドレスを指定します。フラッシュメモリ書き込みの詳細説明については59頁を参照してください。各アドレス指定種別については7頁を参照してください。

データ用EEPROMメモリ

AT90S2333/4433には128/256バイトのデータ用EEPROMがあります。これは1バイト単位で読み書きできる独立データ空間として構成されます。EEPROMは少なくとも100,000回書き換えの耐久性があります。EEPROMとCPU間のアクセスは30頁の**EEPROMアドレスレジスタ**、**EEPROMデータレジスタ**、**EEPROM制御レジスタ**で詳細に説明されます。

SPI書き込み(直列プログラミング)の詳細説明については65頁を参照してください。データ用EEPROMメモリはSPIポートを通して実装書き換えができます。EEPROMアクセスの詳細説明については、30頁の「**EEPROMアクセス**」を参照してください。

内蔵SRAM

図9.はAT90S2333/4433のデータメモリ構成を示します。

224のデータメモリ位置は汎用レジスタファイル、I/Oレジスタ、データ用内蔵SRAMを指定します。最初の96位置はレジスタファイルとI/Oレジスタ、次の128位置がデータ用内蔵SRAMを指定します。

直接、**間接**、**変位付き間接**、**事前減少付き間接**、**事後増加付き間接**の5つのアドレス指定種別がデータメモリ空間を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定時のポインタレジスタです。

直接アドレス指定は全てのデータアドレス空間に届きます。

変位付き間接アドレス指定はYまたはZレジスタで与えられる基準アドレスから届く63アドレス位置が特徴です。

事前減少付き間接、事後増加付き間接アドレス指定を使う時はアドレスレジスタX,YまたはZが使われ、自動的に減少または増加されます。

AT90S2333/4433の32個の汎用レジスタ、64個のI/Oレジスタ、128バイトのデータ用内蔵SRAMはこれら全てのアドレス指定種別を通して全て直接的にアクセス可能です。

図9. データ空間とSRAMの配置

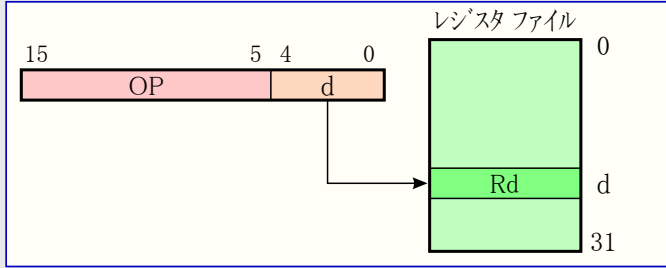
		アドレス
レジスタ ファイル	R0	\$0000
	R1	\$0001
	}	
	R30	\$001E
	R31	\$001F
I/O レジスタ (赤字は I/O アドレス)	\$00	\$0020
	\$01	\$0021
	}	
	\$3E	\$005E
	\$3F	\$005F
内蔵 SRAM	\$0060	\$0060
	\$0061	\$0061
	}	
	\$00DE	\$00DE
	\$00DF	\$00DF

プログラム及びデータ空間に対するアドレス指定種別

AT90S2333/4433 AVR RISCマイクロ コントローラはプログラム フラッシュ メモリ、SRAM、レジスタ ファイル、I/Oデータ メモリのアクセス用に強力で効率的なアドレス指定種別を支援します。本項はAVR構造によって支援される各アドレス指定種別を記述します。図内のOPは命令語の動作コード部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

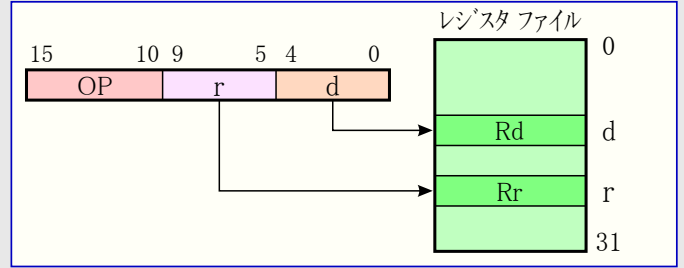
図10. 単一レジスタ直接



オペラントはレジスタd(Rd)を示します。

レジスタ間(Rd, Rr)直接

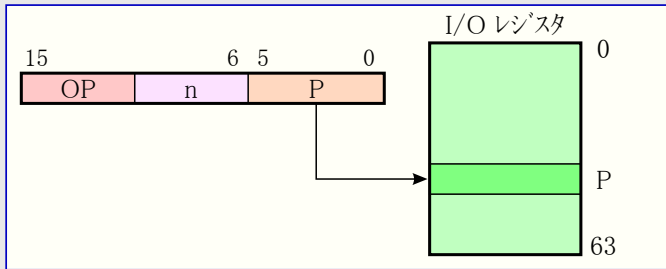
図11. レジスタ間直接



オペラントはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

I/O直接

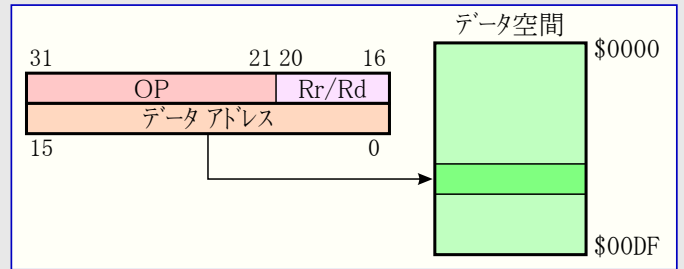
図12. I/O直接



オペラントはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

データ直接

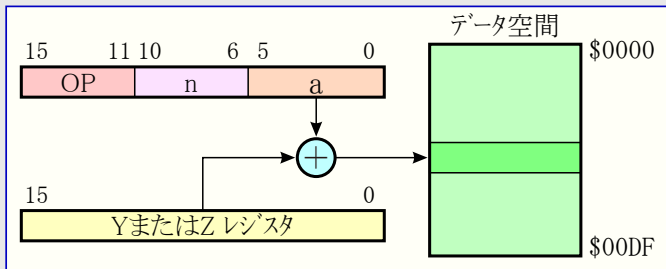
図13. データ直接



オペラントは2語命令の下位16ビットでデータ空間のアドレス位置を示し、Rr/Rdは転送元または転送先となるレジスタを示します。

変位付きデータ間接

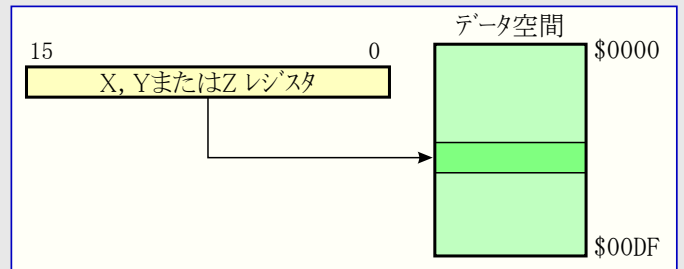
図14. 変位付きデータ間接



オペラント アドレスは、YまたはZレジスタの内容と命令語内の6ビット値aを加算した値となり、他方が転送元または転送先となるレジスタn(Rn)を示します。

データ間接

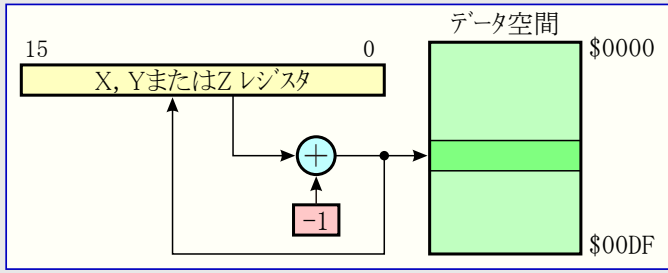
図15. データ間接



オペラント アドレスは、X, YまたはZレジスタの内容となります。

事前減少付きデータ間接

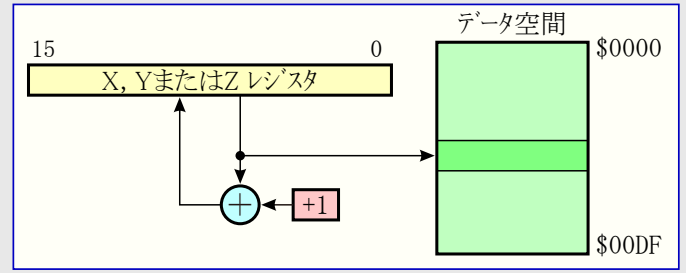
図16. 事前減少付きデータ間接



X,YまたはZレジスタはアクセス動作前に内容が減少されます。オペランドアドレスは減少されたX,YまたはZレジスタの内容となります。

事後増加付きデータ間接

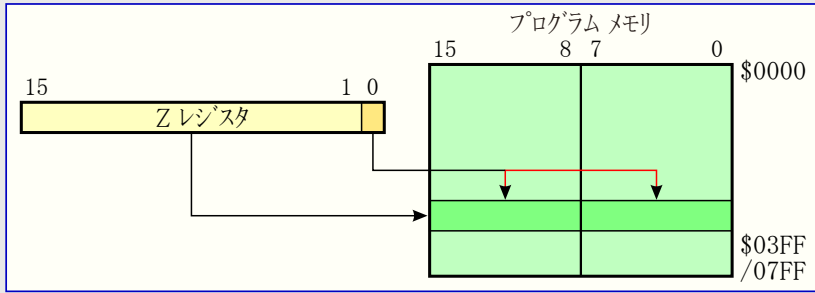
図17. 事後増加付きデータ間接



X,YまたはZレジスタはアクセス動作後に内容が増加されます。オペランドアドレスは増加される前のX,YまたはZレジスタの内容となります。

LPM命令による定数アドレス指定

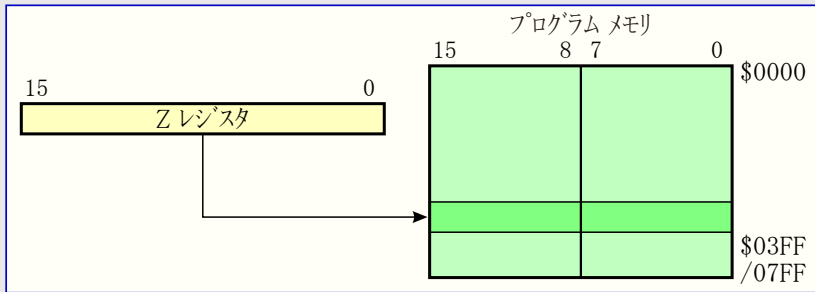
図18. プログラム空間定数アドレス指定



バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0～1K/2Kの語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

JMP, ICALL命令によるプログラム間接アドレス指定

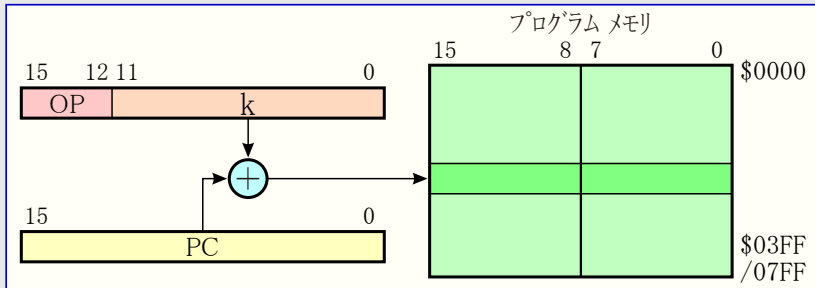
図19. プログラム空間間接アドレス指定



プログラムはZレジスタの内容のアドレスから実行が継続されます。(PCにZレジスタの内容を設定します。)

RJMP, RCALL命令によるプログラム相対アドレス指定

図20. プログラム相対アドレス指定



注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048～2047です。

メモリアクセスと命令実行タイミング

本項は命令実行と内部メモリアクセスについての一般的なアクセスタイミングの概念を記述します。

AVR CPUは外部クロック クリスタルから直接的に生成されるシステムクロック ϕ により駆動されます。内部クロック分周は使われません。

図21.はハーバード構造と高速アクセスレジスタファイルの概念により可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、機能対クロック、機能対電源部での好結果に相当するMHzあたり1 MIPSまでを得る基本的なパイプラインの概念です。

図21. 命令の取得と実行の並列動作

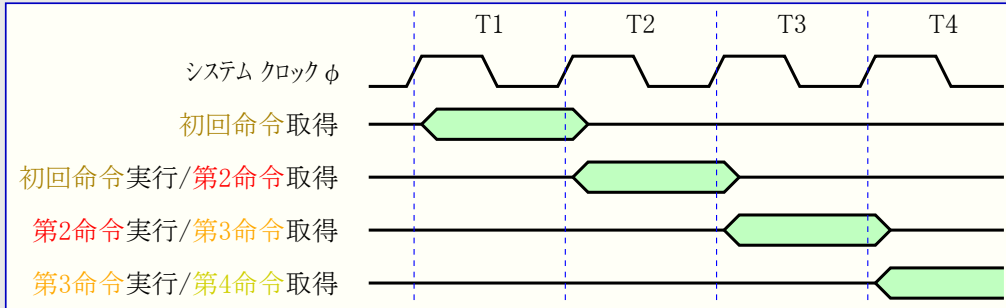
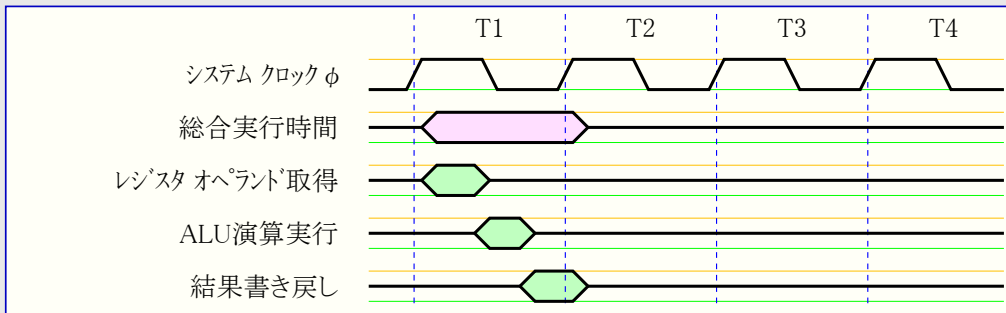


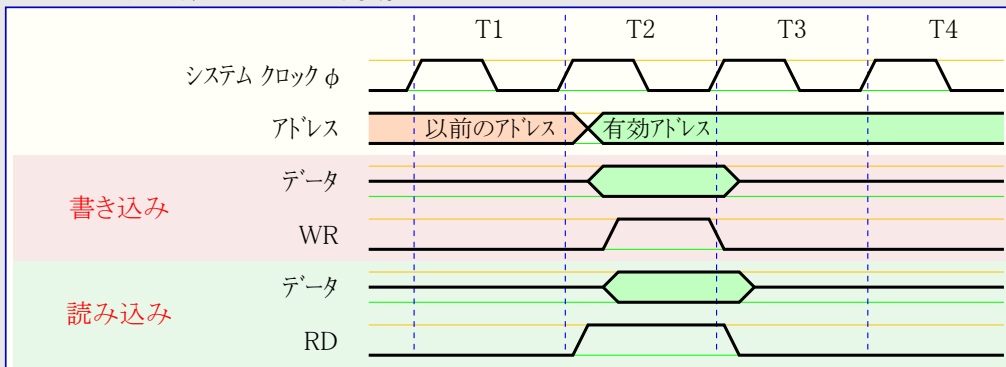
図22.はレジスタファイルに対する内部タイミングの概念を示します。2つのレジスタオペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図22. 1周期ALU命令



データ用内蔵SRAMのアクセスは、図23.で示されるように、2システムクロック周期で実行されます。

図23. データ用内蔵SRAMアクセス周期



注: T1,T2が命令実行周期です。

I/O レジスタ

AT90S2333/4433のI/O領域定義は表2.に示されます。

表2. AT90S2333/4433 I/Oレジスタ

アドレス	レジスタ略名	レジスタ名
\$3F (\$5F)	SREG	ステータスレジスタ Status Register
\$3D (\$5D)	SPL	スタックポインタ下位 Stack Pointer Low
\$3B (\$5B)	GIMSK	一般割り込み許可レジスタ General Interrupt Mask register
\$3A (\$5A)	GIFR	一般割り込み要求フラグレジスタ General Interrupt Flag register
\$39 (\$59)	TIMSK	タイマ/カウンタ割り込み許可レジスタ Timer/Counter Interrupt Mask register
\$38 (\$58)	TIFR	タイマ/カウンタ割り込み要求フラグレジスタ Timer/Counter Interrupt Flag register
\$35 (\$55)	MCUCR	MCU制御レジスタ MCU general Control Register
\$34 (\$54)	MCUSR	MCU状態レジスタ MCU general Status Register
\$33 (\$53)	TCCR0	タイマ/カウンタ0 制御レジスタ Timer/Counter 0 Control Register
\$32 (\$52)	TCNT0	タイマ/カウンタ0 カウンタ Timer/Counter 0 (8bit)
\$2F (\$4F)	TCCR1A	タイマ/カウンタ1 制御レジスタ A Timer/Counter 1 Control Register A
\$2E (\$4E)	TCCR1B	タイマ/カウンタ1 制御レジスタ B Timer/Counter 1 Control Register B
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 カウンタ上位 Timer/Counter 1 High byte
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 カウンタ下位 Timer/Counter 1 Low byte
\$2B (\$4B)	OCR1H	タイマ/カウンタ1 比較レジスタ上位 Timer/Counter 1 Output Compare Register 1 High byte
\$2A (\$4A)	OCR1L	タイマ/カウンタ1 比較レジスタ下位 Timer/Counter 1 Output Compare Register 1 Low byte
\$27 (\$47)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位 Timer/Counter 1 Input Capture Register High byte
\$26 (\$46)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位 Timer/Counter 1 Input Capture Register Low byte
\$21 (\$41)	WDTCR	ウォッチドッグタイマ制御レジスタ WatchDog Timer Control Register
\$1E (\$3E)	EEAR	EEPROM アドレスレジスタ EEPROM Address Register
\$1D (\$3D)	EEDR	EEPROM データレジスタ EEPROM Data Register
\$1C (\$3C)	EECR	EEPROM 制御レジスタ EEPROM Control Register
\$18 (\$38)	PORTB	ポートB 出力データレジスタ Data Register, Port B
\$17 (\$37)	DDRB	ポートB 方向レジスタ Data Direction Register, Port B
\$16 (\$36)	PINB	ポートB 入力データレジスタ Input Pins, Port B
\$15 (\$35)	PORTC	ポートC 出力データレジスタ Data Register, Port C
\$14 (\$34)	DDRC	ポートC 方向レジスタ Data Direction Register, Port C
\$13 (\$33)	PINC	ポートC 入力データレジスタ Input Pins, Port C
\$12 (\$32)	PORTD	ポートD 出力データレジスタ Data Register, Port D
\$11 (\$31)	DDRD	ポートD 方向レジスタ Data Direction Register, Port D
\$10 (\$30)	PIND	ポートD 入力データレジスタ Input Pins, Port D
\$0F (\$2F)	SPDR	SPI データレジスタ SPI I/O Data Register
\$0E (\$2E)	SPSR	SPI 状態レジスタ SPI Status Register
\$0D (\$2D)	SPCR	SPI 制御レジスタ SPI Control Register
\$0C (\$2C)	UDR	UART データレジスタ UART Data Register
\$0B (\$2B)	USR	UART 状態レジスタ UART Status Register
\$0A (\$2A)	UCR	UART 制御レジスタ UART Control Register
\$09 (\$29)	UBRR	UART ボーレートレジスタ下位 UART Baud Rate Register Low
\$08 (\$28)	ACSR	アナログ比較器 制御/状態レジスタ Analog Comparator Control and Status Register
\$07 (\$27)	ADMUX	A/D 多重器選択レジスタ ADC Multiplexer Select Register
\$06 (\$26)	ADCSR	A/D 制御/状態レジスタ ADC Control and Status Register
\$05 (\$25)	ADCH	A/D データレジスタ上位 ADC Data Register High
\$04 (\$24)	ADCL	A/D データレジスタ下位 ADC Data Register Low
\$03 (\$23)	UBRRH	UART ボーレートレジスタ上位 UART Baud Rate Register High

注: 予約と未使用の位置は、この表で示されていません。()内のアドレスはデータ空間の一部としてアクセスする場合のアドレスです。

AT90S2333/4433の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。I/OレジスタをSRAMとしてアクセスする時はこのアドレスに\$20が加算されなければなりません。本文書を通して、全てのI/Oレジスタアドレスは、()内でデータ空間アドレスが示されます。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

状態フラグのいくつかは、論理1を書くことで解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読むフラグは1が書き戻され、従ってフラグを解除(0)することに注意してください。CBIとSBI命令は、レジスタ\$00～\$1Fでのみ動作します。

I/Oと周辺制御レジスタは次章で説明されます。

ステータスレジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は、I/O領域の\$3F(\$5F)で、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – I: 全割り込み許可** (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合、設定(1)しなければなりません。各割り込みの許可は、各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令により設定(1)されます。

• **ビット6 – T: ビット変数** (Bit Copy Storage)

このTビットはBLD(Bit Load)命令とBST(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

• **ビット5 – H: ハーフキャリーフラグ** (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については命令要約を参照してください。

• **ビット4 – S: 符号** (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

• **ビット3 – V: 2の補数溢れフラグ** (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

• **ビット2 – N: 負フラグ** (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

• **ビット1 – Z: ゼロフラグ** (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

• **ビット0 – C: キャリーフラグ** (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないうことに注意してください。これはソフトウェアにより操作しなければなりません。

スタックポインタ (Stack Pointer) SPL (SP)

AT90S2333/4433のスタックポインタはI/Oアドレス\$3D(\$5D)の8ビットレジスタとして実装されています。AT90S2333/4433のデータメモリ空間は\$00E0個の場所を持っていますので、8ビットが使われます。

ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

スタックポインタはサブルーチンと割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック領域は、割り込みの許可や、何れかのサブルーチン呼び出しが実行される前にプログラムによって定義されなければなりません。スタックポインタは\$60以上を指示するために設定されなければなりません。スタックポインタは、PUSH命令でデータがスタック上に格納されるとき-1され、サブルーチン呼び出しや割り込みでアドレスがスタック上に格納されるとき-2されます。POP命令でデータをスタックから引き出すとき+1され、サブルーチンからの復帰(RET命令)や割り込みからの復帰(RETI命令)でアドレスをスタックから引き出すとき+2されます。

リセットと割り込みの扱い

AT90S2333/4433には13種類の割り込みがあります。これらの割り込みとリセットのベクタは、プログラムメモリ空間内に各々個別のベクタを持っています。全ての割り込みは、割り込みを許可するために、個別の許可ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットを共に設定(1)しなければなりません。

プログラムメモリ空間の最下位アドレスは、リセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は表3.に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表3. リセットと割り込みのベクタ

ベクタ番号	プログラムアドレス	発生元	備考
1	\$000	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$001	INT0	外部割り込み要求0
3	\$002	INT1	外部割り込み要求1
4	\$003	タイマ/カウンタ1 CAPT	タイマ/カウンタ1捕獲発生
5	\$004	タイマ/カウンタ1 COMP	タイマ/カウンタ1比較一致
6	\$005	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
7	\$006	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
8	\$007	SPI STC	SPI 転送完了
9	\$008	UART RX	UART 受信完了
10	\$009	UART UDRE	UART 送信緩衝部空き
11	\$00A	UART TX	UART 送信完了
12	\$00B	A/D変換 ADC	A/D変換完了
13	\$00C	EEPROM EE_RDY	EEPROM 操作可
14	\$00D	アナログ比較器 ANA_COMP	アナログ比較器出力遷移

リセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$000		RJMP RESET	;各種リセット
\$001		RJMP EXT_INT0	;外部割り込み要求0
\$002		RJMP EXT_INT1	;外部割り込み要求1
\$003		RJMP TIM1_CAPT	;タイマ/カウンタ1捕獲発生
\$004		RJMP TIM1_COMP	;タイマ/カウンタ1比較一致
\$005		RJMP TIM1_OVF	;タイマ/カウンタ1溢れ
\$006		RJMP TIM0_OVF	;タイマ/カウンタ0溢れ
\$007		RJMP SPI_STC	;SPI転送完了
\$008		RJMP UART_RXC	;UART受信完了
\$009		RJMP UART_DRE	;UART送信緩衝部空
\$00A		RJMP UART_TXC	;UART送信完了
\$00B		RJMP ADC	;A/D変換完了
\$00C		RJMP EE_RDY	;EEPROM操作可
\$00D		RJMP ANA_COMP	;アナログ比較器出力遷移
;			
\$00E	RESET:	LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$00F		OUT SPL, R16	;スタックポインタを初期化
		}	;以下、I/O初期化など

リセット発生元

AT90S2333/4433には、次の4つのリセット発生元があります。

- **電源ONリセット** 電源電圧が**電源ONリセット閾値電圧(V_{POT})**以下でリセットになります。
- **外部リセット** RESETピンが50ns以上Lowレベルに保たれるとリセットになります。
- **ウォッチドッグリセット** ウォッチドッグが許可され、ウォッチドッグタイマ周期が経過するとリセットになります。
- **低電圧検出(BOD)リセット** ... 供給電圧(VCC)が**或る電圧**以下に下がるとリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、その後にアドレス\$000からプログラム実行が始まります。アドレス\$000に配置される命令はリセット処理ルーチンへの無条件相対分岐(RJMP)命令でなければなりません。プログラムで決して割り込みを許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムを配置できます。図24.にリセット部の回路構成を示します。表4.と表5.はリセット回路の電気的特性とタイミングを定義します。

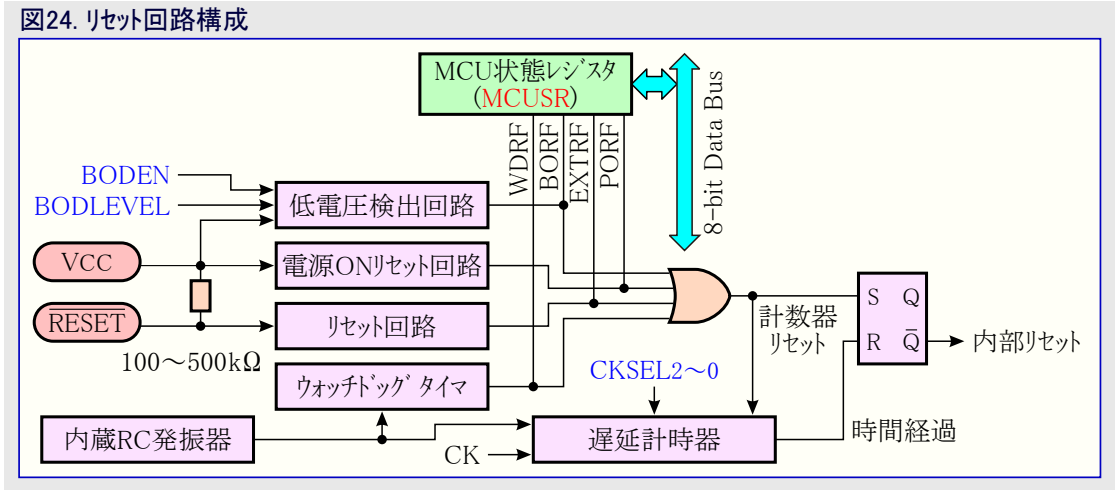


表4. リセット電気的特性 (VCC=5.0V)

シンボル	項目	最小	代表	最大	単位
V _{POT}	上昇時電源ONリセット閾値電圧	1.0	1.4	1.8	V
	下降時電源ONリセット閾値電圧 (注1)	0.4	0.6	0.8	
V _{RST}	RESETピン閾値電圧		0.6VCC		
V _{BOT}	低電圧検出(BOD) 閾値電圧	BODLEVEL=非プログラム(1)	2.2	2.7	
		BODLEVEL=プログラム(0)	3.5	4.0	4.5

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

表5. CKSELヒューズによるリセット遅延選択

CKSEL2~0	リセット遅延時間(t _{TOUT})		推奨使用種別
	VCC=2.7V	VCC=5.0V	
0 0 0	16ms + 6 × CK	4ms + 6 × CK	外部クロック、低速起動電源
0 0 1	6 × CK	6 × CK	外部クロック、低電圧検出(BOD)許可または外部リセット
0 1 0	256ms + 16K × CK	64ms + 16K × CK	クリスタル発振器
0 1 1	16ms + 16K × CK	4ms + 16K × CK	クリスタル発振器、高速起動電源
1 0 0	16K × CK	16K × CK	クリスタル発振器、低電圧検出許可または外部リセット
1 0 1	256ms + 1K × CK	64ms + 1K × CK	セラミック発振器
1 1 0	16ms + 1K × CK	4ms + 1K × CK	セラミック発振器、高速起動電源
1 1 1	1K × CK	1K × CK	セラミック発振器、低電圧検出許可または外部リセット

この表はリセットからの起動遅延時間を示します。休止形態からは、起動遅延時間のCK計数部のみが使われます。起動遅延時間の実時間部のタイミングについては、ウォッチドッグ発振器が使われます。各遅延時間で使われるウォッチドッグ(WDT)発振器の周期数は表6.に示されます。

「代表特性」内で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。

表6. ウォッチドッグ発振器の周期数

CKSEL2~0	周期数
110, 011, 000	4K
101, 010	64K

電源ONリセット

電源ONリセット(POR)パルスは内蔵検出回路により生成されます。この検出電圧は公称2.2Vです。PORはVCCが検出電圧以下で必ず有効にされます。このPOR回路は供給電圧低下の検出だけでなく開始時のリセット起動にも使われます。

電源ONリセット回路は電源投入時のデバイスリセットを保証します。電源ONリセット閾値電圧(V_{POT})への到達は、VCC上昇後、デバイスがリセットを保持する遅延を決める遅延タイマ(カウンタ)を起動します。遅延タイマの計時終了時間は内蔵RC発振器周期と外部発振器周期の組み合わせで、CKSELヒューズにより定義できます。8つの各遅延選択は表5.で示されます。VCCが検出電圧以下に低下するとき、リセット信号は遅延なしで再び有効にされます。

図25. 内蔵電源ONリセット (RESETはVCCに接続)

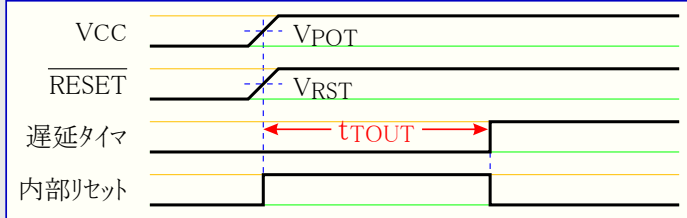
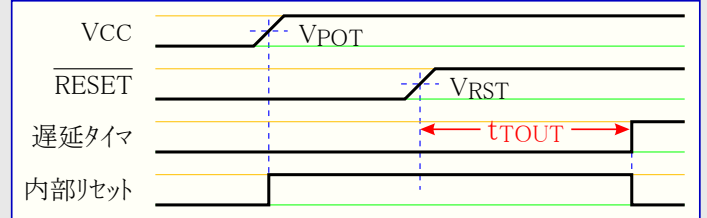


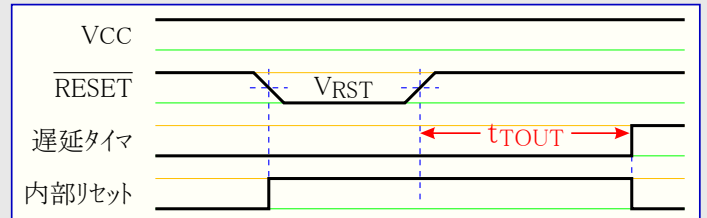
図26. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピン上のLowレベルによって生成されます。例えばクロックが動いていなくても、50nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセットが保証されません。供給された信号の上昇がリセット閾値電圧($VRST$)に達すると、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを起動します。

図27. 動作中の外部リセット

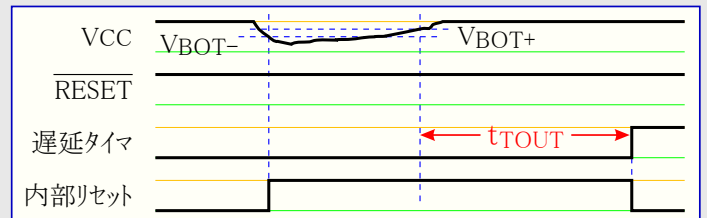


低電圧(ブラウンアウト)検出リセット

動作中のVCC電圧を監視する内蔵低電圧検出(BOD)回路があります。BOD機能が使われる場合、供給電源は0.047~0.1μFで雑音分離(デカップ)しなければなりません。BOD回路はBODENヒューズによって許可/禁止ができます。BODENが許可(BODEN=プログラム(0))され、VCCが検出電圧以下の値に低下すると、低電圧検出リセットは直ちに有効とされます。VCCが検出電圧以上に上昇すると、遅延後に無効とされます。この遅延はPOR信号の遅延(表5.参照)と同じ方法で使用者により定義されます。BOD検出電圧はBODLEVELヒューズにより、2.7V(非プログラム(1))、または4.0V(プログラム(0))を選べます。この検出電圧にはスパイク無効の低電圧検出を保証するために50mVのヒステリシスがあります。

このBOD回路は電圧が4.0Vで3μs、2.7Vで7μs(代表値)より長く検出電圧以下に留まった場合だけ、VCCの低下を検出します。

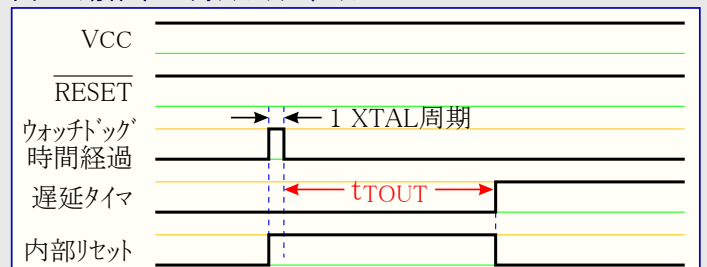
図28. 動作中の低電圧検出リセット



ウォッチドッグリセット

ウォッチドッグ時間経過で1 XTAL周期幅の短いリセットパルスを生成します。このパルスの下降端で、遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ操作の詳細については29頁を参照してください。

図29. 動作中のウォッチドッグリセット



MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元でMCUリセットが起こされたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	–	–	–	–	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

- ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

- ビット2 – BORF : 低電圧検出(BOD)リセット フラグ (Brown-out Reset Flag)

このビットは低電圧検出(BOD)リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みにより解除(0)されます。

- ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みにより解除(0)されます。

- ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットにより設定(1)されます。このビットは、このフラグへの論理0書き込みによってのみ解除(0)されます。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くMCUSRを読み、その後解除(0)すべきです。他のリセットが起こる前に、このレジスタ(MCUSR)が解除(0)される場合、そのリセット元はこれらのリセット フラグを調べることによって見つけられます。

割り込みの扱い

AT90S2333/4433には、一般割り込み許可レジスタ(GIMSK)とタイマ/カウンタ割り込み許可レジスタ(TIMSK)の2つの8ビット割り込み許可レジスタがあります。

割り込みが起こると、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラム カウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータス レジスタ(SREG)は割り込み処理ルーチンへの移行時の保存と割り込み処理ルーチンからの復帰時の再設定が自動的に行われないことに注意してください。これはソフトウェアにより操作しなければなりません。

一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	INT1	INT0	—	—	—	—	—	—	GIMSK
Read/Write	R/W	R/W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – INT1 : 外部割り込み1許可 (External Interrupt Request 1 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み1許可(INT1)ビットがともに設定(1)で、INT1ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御1のビット1と0(ISC11, ISC10)が、外部割り込みINT1ピンの動作を上昇端、下降端またはLowレベルの何れか定義します。Lowレベル割り込み条件にされると、外部割り込み1要求(INTF1)フラグが設定(1)されないことに注意してください。けれども、GIMSKのINT1ビットが設定(1)されていれば、INT1割り込みは生成されます。INT1ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求1に対応する割り込みはプログラムメモリアドレス\$002から実行されます。「外部割り込み」も参照してください。

• ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み0許可(INT0)ビットがともに設定(1)で、INT0ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット1と0(ISC01, ISC00)が、外部割り込みINT0ピンの動作を上昇端、下降端またはLowレベルの何れか定義します。Lowレベル割り込み条件にされると、外部割り込み0要求(INTF0)フラグが設定(1)されないことに注意してください。けれども、GIMSKのINT0ビットが設定(1)されていれば、INT0割り込みは生成されます。INT0ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求0に対応する割り込みはプログラムメモリアドレス\$001から実行されます。「外部割り込み」も参照してください。

• ビット5～0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

一般割り込み要求フラグレジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	INTF1	INTF0	—	—	—	—	—	—	GIFR
Read/Write	R/W	R/W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – INTF1 : 外部割り込み1要求フラグ (External Interrupt Flag1)

INT1ピン上の端(エッジ)が割り込み要求を起こすと、対応する割り込み要求フラグ(INTF1)が設定(1)になります。このときに、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと対応する一般割り込み許可レジスタ(GIMSK)の外部割り込み1許可(INT1)ビットがともに設定(1)されていれば、MCUは割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されると、常に解除(0)されます。代わりに、このフラグは論理1を書くことによっても解除(0)されます。INT1がレベル割り込みとして設定されるとき、このフラグは常に解除(0)されます。

• ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上の端(エッジ)が割り込み要求を起こすと、対応する割り込み要求フラグ(INTF0)が設定(1)になります。このときに、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと対応する一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットがともに設定(1)されていれば、MCUは割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されると、常に解除(0)されます。代わりに、このフラグは論理1を書くことによっても解除(0)されます。INT0がレベル割り込みとして設定されるとき、このフラグは常に解除(0)されます。

• ビット5～0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	TOIE1	OCIE1	—	—	TICIE1	—	TOIE0	—	TIMSK
Read/Write	R/W	R/W	R	R	R/W	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – TOIE1 : タイマ/カウンタ1 溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ1 溢れ割り込み許可(TOIE1)ビットが共に設定(1)で、タイマ/カウンタ1 溢れ割り込みが許可されます。タイマ/カウンタ1 溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)のタイマ/カウンタ1 溢れ割り込み要求フラグ(TOV1)が設定(1)されると、対応する割り込み(ベクタ \$005)が実行されます。

• ビット6 – OCIE1 : 比較一致割り込み許可 (Timer/Counter1 Output Compare Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと比較一致割り込み許可(OCIE1)ビットが共に設定(1)で、比較一致割り込みが許可されます。タイマ/カウンタ1で比較一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)の比較一致割り込み要求フラグ(OCF1)が設定(1)されると、対応する割り込み(ベクタ \$004)が実行されます。

• ビット5,4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 – TICIE1 : 捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと捕獲割り込み許可(TICIE1)ビットが共に設定(1)で、捕獲割り込みが許可されます。ICP(PB0)上に捕獲要求が起こる、換言すると、タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)の捕獲割り込み要求フラグ(ICF1)が設定(1)されると、対応する割り込み(ベクタ \$003)が実行されます。

• ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット1 – TOIE0 : タイマ/カウンタ0 溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ0 溢れ割り込み許可(TOIE0)ビットが共に設定(1)で、タイマ/カウンタ0 溢れ割り込みが許可されます。タイマ/カウンタ0 溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)のタイマ/カウンタ0 溢れ割り込み要求フラグ(TOV0)が設定(1)されると、対応する割り込み(ベクタ \$006)が実行されます。

• ビット0 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み要求フラグ レジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	TOV1	OCF1	—	—	ICF1	—	TOV0	—	TIFR
Read/Write	R/W	R/W	R	R	R/W	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Interrupt Flag)

タイマ/カウンタ1溢れが起こると、TOV1が設定(1)されます。対応する割り込み処理ベクタを実行すると、このTOV1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットとTOV1が設定(1)されると、タイマ/カウンタ1溢れ割り込みが実行されます。PWM動作では、タイマ/カウンタ1が\$0000で計数方向を変更するとき、このフラグが設定(1)されます。

• ビット6 – OCF1 : 比較一致割り込み要求フラグ (Output Compare Interrupt Flag1)

タイマ/カウンタ1と比較レジスタ(OCR1)の値間で比較一致が起こる時にOCF1が設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)の比較一致割り込み許可(OCIE1)ビットとOCF1が設定(1)されると、比較一致割り込みが実行されます。

• ビット5,4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 – ICF1 : 捕獲割り込み要求フラグ (Input Capture Interrupt Flag1)

このICF1ビットは、タイマ/カウンタ1の値が捕獲レジスタ(ICR1)に転送されてしまったことを示す、捕獲発生フラグのため設定(1)されます。対応する割り込み処理ベクタを実行すると、ICF1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもICF1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)の捕獲割り込み許可(TICIE1)ビットとICF1が設定(1)されると、捕獲割り込みが実行されます。

• ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット1 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、このTOV0ビットが設定(1)されます。対応する割り込みベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

• ビット0 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

外部割り込み

外部割り込みはINT0とINT1ピンにより起動されます。許可されていれば、INT0、INT1ピンが出力として設定されていても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端またはLowレベルで起動できます。これはMCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。外部割り込みが許可され、レベル起動として設定されるとき、ピンがLowに保持されている限り、この割り込みは継続的に発生します。

外部割り込みは、MCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4クロックです。割り込み要求フラグが設定(1)されてしまった後の4クロック周期で、実際の割り込み処理ルーチン用の割り込みベクタアドレスが実行されます。この4クロック周期期間中、プログラムカウンタ(2バイト)がスタック上に保存(プッシュ)され、スタックポインタが減少(-2)されます。通常、このベクタは割り込み処理ルーチンに対する無条件相対分岐(RJMP)命令で、この分岐に2クロック周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前にその命令が完了されます。

割り込み処理ルーチンからの復帰(サブルーチン呼び出しについてと同じように)は4クロック周期要します。この4クロック周期中に、スタックからプログラムカウンタ(2バイト)が回復(ポップ)され、スタックポインタが増加(+2)されて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。割り込みを抜けるときは常に主(元)プログラムへ復帰し、保留されている割り込みが扱われる前に、1つ以上の命令を実行します。

MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは、一般的なMCU機能の制御ビットで構成されます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	–	–	SE	SM	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行されるときにMCUを休止形態へ移行させるには、休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的外休止形態移行をなくすため、**SLEEP**命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

• ビット4 – SM : 休止種別 (Sleep Mode)

このビットは利用可能な2つの休止形態種別を選びます。SMが解除(0)されると休止形態としてアイドル動作が選ばれます。SMが設定(1)されると休止形態としてパワーダウン動作が選ばれます。詳細については、次の「**休止形態**」項を参照してください。

• ビット3,2 – ISC11,0 : 外部割り込み1条件制御 (Interrupt Sense Control 1 bit1 and 0)

外部割り込み1は、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み許可レジスタ(GIMSK)の外部割り込み1許可(INT1)ビットが共に設定(1)されている場合の外部割り込み1(INT1)ピンによって起動されます。この割り込みを起動する外部割り込み1(INT1)ピン上の端(エッジ)やレベルは表7で定義されます。

INT1ピンの値は端検出以前から採取比較されています。端や切り替え(両端)割り込みが選ばれると、1 CPUクロック周期より長いパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選ばれると、割り込みを発生するためには、現在実行中の命令の完了までLowレベルが保持されなければなりません。

表7. 外部割り込み1(INT1)割り込み条件

ISC11	ISC10	割り込み発生条件
0	0	INT1ピンがLowレベルで発生。
	1	INT1ピンのレベル変化(両端)。
1	0	INT1ピンの下降端で発生。
	1	INT1ピンの上昇端で発生。

• ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0は、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが共に設定(1)されている場合の外部割り込み0(INT0)ピンによって起動されます。この割り込みを起動する外部割り込み0(INT0)ピン上の端(エッジ)やレベルは表8で定義されます。

INT0ピンの値は端検出以前から採取比較されています。端や切り替え(両端)割り込みが選ばれると、1 CPUクロック周期より長いパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選ばれると、割り込みを発生するためには、現在実行中の命令の完了までLowレベルが保持されなければなりません。

表8. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	INT0ピンのレベル変化(両端)。
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

休止形態

休止形態へ移行するには、MCU制御レジスタ(MCUCR)の**休止許可(SE)ビット**が設定(1)され、**SLEEP**命令が実行されなければなりません。MCUCRの**休止種別(SM)ビット**が選ぶ休止形態(アイドル動作またはパワーダウン動作)は**SLEEP**命令により有効にされます。MCUが休止形態中に許可されている割り込みが発生すると、MCUは起動復帰して、その割り込み処理ルーチンを実行し、そして**SLEEP**命令の次から実行を再開します。レジスタ ファイルとI/Oレジスタの内容は変化しません。休止形態中にリセットが起こると、MCUは起動復帰し、リセットベクタから実行します。

パワーダウン動作からの復帰にレベルで起動された割り込みが使われる場合、そのLowレベルが**リセット遅延時間(t_{TOUT})**より長い時間保持されなければならないことに注意してください。そうでないと、デバイスは起動復帰しません。

アイドル動作

休止種別(SM)ビットが解除(0)されていると、**SLEEP**命令でMCUがアイドル動作へ移行し、CPUは停止しますが、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これは、タイマ溢れなどのような内部割り込みや**ウォッチドッグ**のリセットだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。アナログ比較器割り込みからの起動復帰が必要とされない場合には、**アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビット**を設定(1)することにより、アナログ比較器を電源断にできます。これはアイドル動作での消費電力削減になります。

パワーダウン動作

休止種別(SM)ビットが設定(1)されていると、**SLEEP**命令でMCUがパワーダウン動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ウォッチドッグは動作を継続します。外部リセット、(許可されていれば)ウォッチドッグ リセット、または外部レベル割り込みだけがMCUを起動復帰できます。

パワーダウン動作からの復帰にレベルで起動された割り込みが使われる場合、MCUを起動するため、変更されたレベルは一定時間保持されなければならないことに注意してください。これはMCUの雑音不安定性を低減します。この起動時間は**リセット遅延時間のCK計数部(表5.参照)**と同じです。入力に2回のウォッチドッグ発振器周期で必要とされるレベルだと、MCUはパワーダウン動作から起動復帰します。起動時間が2つのウォッチドッグ発振器周期より短い場合、入力が起動時間の幅分、必要とされるレベルであれば、MCUは起動復帰します。起動時間が終了される前に起動復帰条件が消滅すると、MCUは対応する割り込みの実行を除いて、パワーダウン動作から起動復帰します。

ウォッチドッグ発振器の周期は公称2.7 μ s(3V, 25°C)です。「**代表特性**」章内で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。

パワーダウン動作から復帰するとき、起動復帰条件発生から起動復帰の効果が現れるまで遅延を伴います。これは停止されてしまっている後に、再開のためのクロックが許可され、安定状態になるためです。この起動時間は**リセット遅延時間**を定義する**CKSELヒューズ**により同じく定義されます。

タイマ/カウンタ

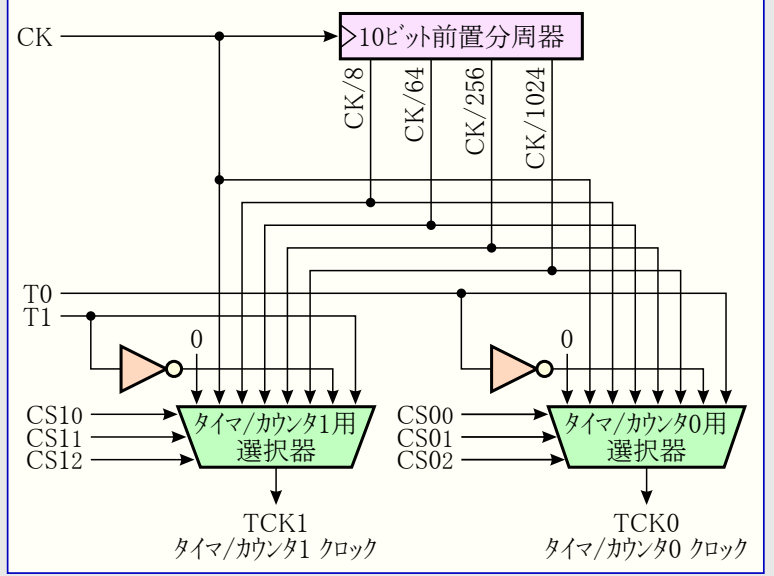
AT90S2333/4433には8ビットと16ビットの2つの汎用タイマ/カウンタがあります。タイマ/カウンタには、同じ10ビット前置分周器用タイマから選ぶ個別の前置分周器があります。タイマ/カウンタは、内部クロックを基準とするタイマや、外部ピンに接続された起動信号によるカウンタなどの使用ができます。

タイマ/カウンタ前置分周器部

図30.はタイマ/カウンタの前置分周器の概略を示します。

前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、CK/8、CK/64、CK/256、CK/1024です。2つのタイマ/カウンタではクロック元として、CK、外部クロック信号、または停止も選べます。

図30. タイマ/カウンタ前置分周器部構成



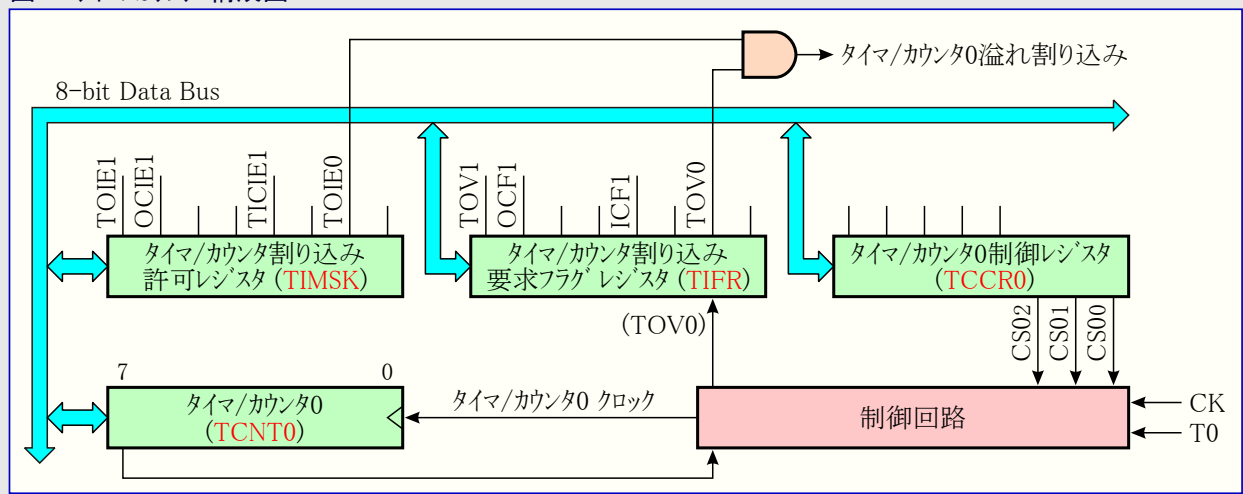
タイマ/カウンタ0

8ビットのタイマ/カウンタ0は、CK、分周されたCK、または外部ピンからクロック元を選べます。更に、**タイマ/カウンタ0制御レジスタ(TCCR0)**の詳細で説明されるように停止もできます。溢れ状態フラグ(**TOV0**)は**タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)**にあります。制御ビットはタイマ/カウンタ0制御レジスタ(TCCR0)にあります。タイマ/カウンタ0に関する割り込みの許可/禁止設定は**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**内にあります。

タイマ/カウンタ0が外部的にクロック駆動されるとき、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が、少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

8ビットのタイマ/カウンタ0は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ0を有効にします。

図31. タイマ/カウンタ0構成図



タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	—	—	—	—	—	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット2～0 – CS02～0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

クロック選択0ビット2～0はタイマ/カウンタ0に供給するクロック元を定義します。

表9. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T0(PD4)ピンの下降端
1	1	1	外部T0(PD4)ピンの上昇端

停止状態はタイマ/カウンタの許可/禁止機能を提供します。CKの分周出力動作では、発振器クロック(CK)から直接的に分周されます。タイマ/カウンタ0に外部ピン動作が使われると、例えばT0(PD4)が出力として設定されていても、このピン上の変移がタイマ/カウンタを計数します。この特徴が計数動作のソフトウェア制御を提供します。

タイマ/カウンタ0 (Timer/Counter0) TCNT0

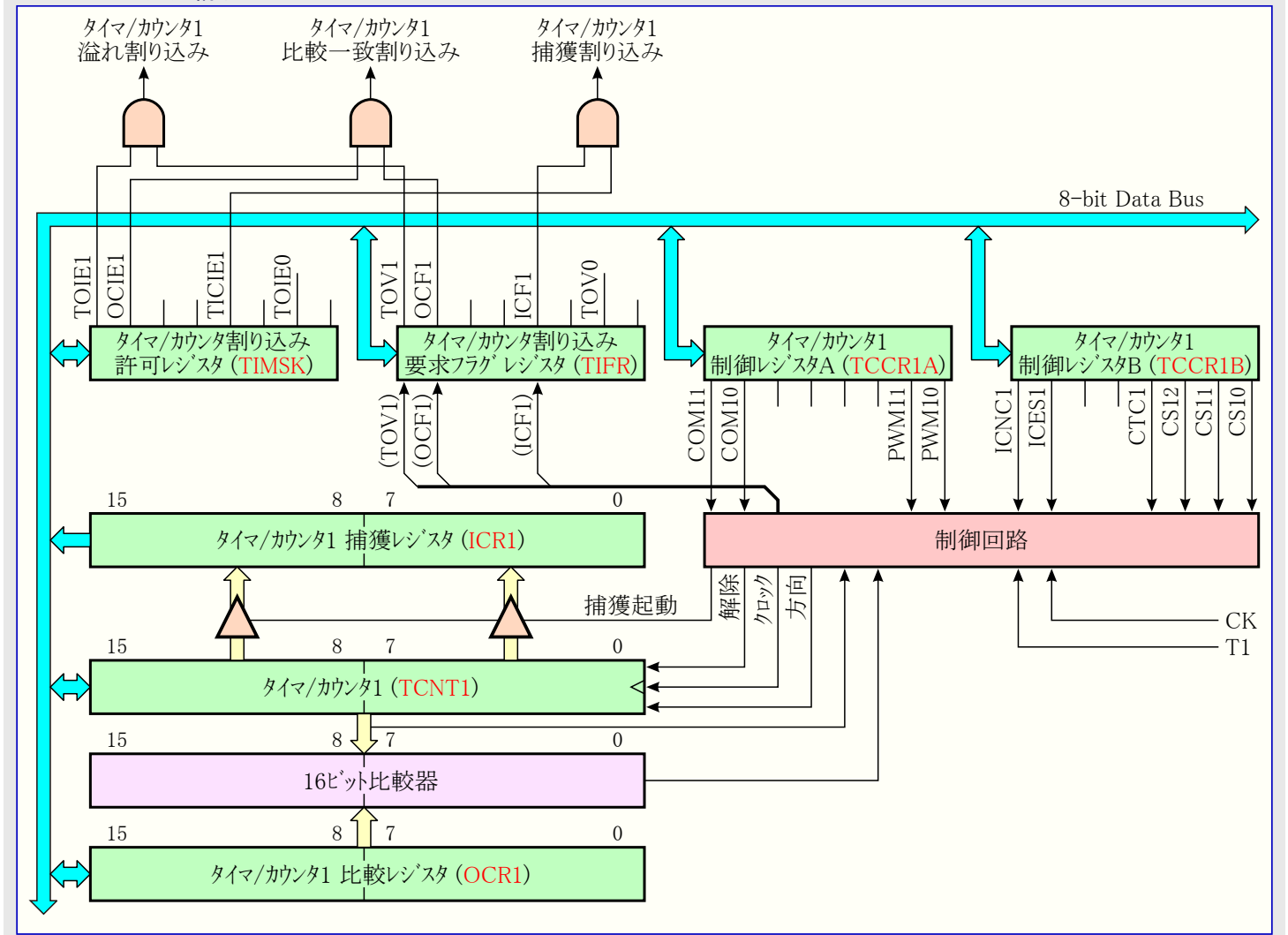
ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタ0は、読み書きできる上昇カウンタとして実現されます。タイマ/カウンタ0が書かれ、クロック元が存在すると、タイマ/カウンタ0は書き込み動作の次に来るタイマ/カウンタ クロック周期で計数を開始/継続します。

16ビット タイマ/カウンタ1

図32.はタイマ/カウンタ1についての構成図を示します。

図32. タイマ/カウンタ1構成図



16ビットのタイマ/カウンタ1は、クロック元にCK、分周されたCK、または外部ピンからのクロック元を選べます。更にタイマ/カウンタ1制御レジスタB(TCCR1B)の詳細で説明されるように停止もできます。各種状態フラグ(溢れ:TOV1、比較一致:OCF1、捕獲発生:ICF1)はタイマ/カウンタ1割り込み要求フラグレジスタ(TIFR)にあります。制御ビットはタイマ/カウンタ1制御レジスタA(TCCR1A)とタイマ/カウンタ1制御レジスタB(TCCR1B)にあります。タイマ/カウンタ1に関する割り込みの許可/禁止設定はタイマ/カウンタ1割り込み許可レジスタ(TIMSK)内にあります。

タイマ/カウンタ1が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が、少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

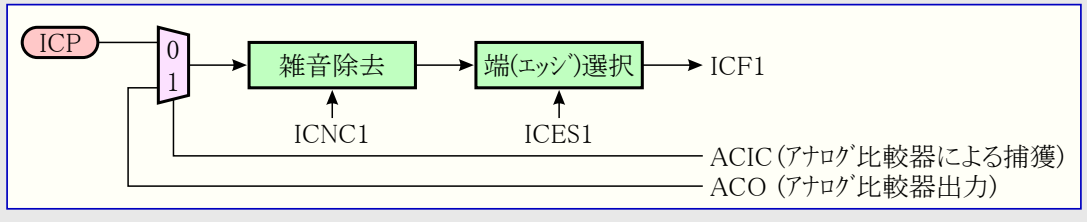
16ビットのタイマ/カウンタ1は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ1を有効にします。

タイマ/カウンタ1は、タイマ/カウンタ1の内容と比較されるデータ元として比較レジスタ(OCR1)を使う比較出力機能を支援します。この比較出力機能は、選択可能な比較一致でのカウンタの解除(=0000)や、比較一致での比較出力(OC1)ピン上の動作を含みます。

タイマ/カウンタ1は8,9または10ビットのパルス幅変調器(PWM)としても使えます。この動作ではタイマ/カウンタ1(TCNT1)と比較レジスタ(OCR1)は不具合の無い周期中央パルス方式の独立したPWMとして扱えます。この機能の詳細説明については28頁を参照してください。

タイマ/カウンタ1の捕獲機能はICP(PB0)ピンの外部要因により起動される、タイマ/カウンタ1の内容の捕獲レジスタ(ICR1)への捕獲(複写)を提供します。実際の捕獲要因(条件)はタイマ/カウンタ1制御レジスタB(TCCR1B)によって定義されます。加えて、アナログ比較器は捕獲の起動に設定できます。この詳細については、「アナログ比較器」章を参照してください。ICPピンの回路は図33.で示されます。

図33. ICPピン回路構成



雑音除去機能が許可されると、捕獲についての実際の起動条件は4回の採取にわたり監視され、捕獲フラグを有効とするには4回全てが同じでなければなりません。この入力ピン信号はCPUクロック周波数で採取されます。

タイマ/カウンタ1制御レジスタ (Timer/Counter1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM11	COM10	—	—	—	—	PWM11	PWM10	TCCR1A
Read/Write	R/W	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – COM11,0 : 比較出力選択 (Compare Output Mode1 bit 1 and 0)

このCOM11とCOM10制御ビットは、**タイマ/カウンタ1(TCNT1)**での比較一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC1/PB1(比較出力)ピンに影響を及ぼします。これはI/Oポートの交換機能で、対応する方向制御ビットは出力ピンを制御するため、設定(1)されなければなりません(**DDB1=1**)。制御設定は**表10**で示されます。

PWM動作では、これらのビットは異なる機能を持ちます。詳細説明については、**表14**を参照してください。

表10. 比較出力選択

COM11	COM10	意味
0	0	OC1切断 (PB3として機能)
0	1	OC1ピン トグル(交互)出力
1	0	OC1ピン Lowレベル出力
1	1	OC1ピン Highレベル出力

• ビット5~2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1,0 – PWM11,0 : PWM動作選択 (Pulse Width Modulator Select bit 1 and 0)

これらのビットは**表11**に示されるタイマ/カウンタ1のPWM動作を選びます。この動作は**28頁**で説明されます。

表11. PWM動作選択

PWM11	PWM10	意味
0	0	PWM動作禁止
0	1	8ビットPWM
1	0	9ビットPWM
1	1	10ビットPWM

タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット \$2E (\$4E)	7	6	5	4	3	2	1	0	
	ICNC1	ICES1	—	—	CTC1	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – ICNC1 : 捕獲起動入力雑音除去 (Input Capture1 Noise Canceler)

ICNC1ビットが解除(0)されると、捕獲起動入力の雑音除去機能が禁止されます。捕獲は説明されたようにICP(捕獲起動入力)ピンで採取された最初の上昇端/下降端で起動されます。ICNC1が設定(1)されると、ICP(捕獲起動入力)ピンで連続する4回の採取が揃い、全ての採取がICES1ビットでの捕獲起動条件設定に対応するhigh/Lowでなければなりません。実際の採取周波数はXTAL (システム)クロック周波数です。

• ビット6 – ICES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

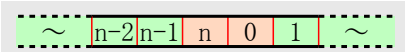
ICES1が解除(0)されている間中、タイマ/カウンタ1の内容は捕獲起動入力(ICP)ピンの下降端で捕獲レジスタ(ICR1)へ転送されます。ICES1ビットが設定(1)されている間中、タイマ/カウンタ1の内容は捕獲起動入力(ICP)ピンの上昇端で捕獲レジスタへ転送されます。

• ビット5,4 – Res : 予約 (Reserved)

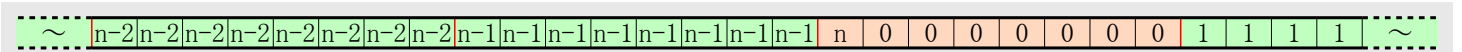
これらのビットは予約されており、常に0として読みます。

• ビット3 – CTC1 : 一致解除許可 (Clear Timer/Counter1 on Compare Match)

CTC1制御ビットが設定(1)されると、タイマ/カウンタ1は比較一致後のクロック周期で\$0000にリセットされます。CTC1制御ビットが解除(0)されると、タイマ/カウンタ1は比較一致による影響を受けず、計数動作を続けます。比較一致は一致に続くCPUクロック周期で検出されるため、1より大きい前置分周値が使われる時はこの動作が違う動作になります。前置分周値が1で、比較レジスタ(OCR1)にnが設定されている時にCTC1が設定(1)されていると、タイマ/カウンタ1は次のように計数します。



前置分周器がCK/8分周に設定されていると、タイマ/カウンタ1は次のように計数します。



PWM動作では、このビットは無効です。

• ビット2~0 – CS12~0 : クロック選択1 (Clock Select1, bit 2,1 and 0)

このクロック選択1ビット2~0はタイマ/カウンタ1(TCNT1)に供給するクロックを定義します。

表12. タイマ/カウンタ1入力クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ1は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T1(PD5)ピンの下降端
1	1	1	外部T1(PD5)ピンの上昇端

停止状態はタイマ/カウンタの動作許可/禁止機能を提供します。CKが分周される動作では発振器クロックCKから直接的に分周されます。タイマ/カウンタ1に外部ピン動作が使われると、T1(PD5)が出力として設定されていても、このピン上の変移はカウンタを駆動します。この特徴が計数動作のソフトウェア制御を可能にします。

タイマ/カウンタ1 (Timer/Counter1) TCNT1H, TCNT1L (TCNT1)

ビット	15	14	13	12	11	10	9	8	
\$2D (\$4D)	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)								(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この16ビットレジスタは16ビットのタイマ/カウンタ1の前置分周された値を含みます。CPUがこれらのレジスタをアクセスするとき、上位と下位のバイトの両方が同時に読み書きされることを保証するため、このアクセスは8ビットの一時レジスタ(TEMP)を使って実行されます。この一時レジスタは、**比較レジスタ(OCR1)**や**捕獲レジスタ(ICR1)**をアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、割り込みが(再)許可されるならば、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

・タイマ/カウンタ1(TCNT1)書き込み (Timer/Counter1 Write)

CPUが上位バイト(TCNT1H)に書くとき、書かれたデータは一時レジスタ(TEMP)に置かれます。次にCPUが下位バイト(TCNT1L)に書くとき、TEMP内のバイトデータと組み合わせられ、16ビット全てがタイマ/カウンタ1(TCNT1)へ同時に書かれます。従って、完全な16ビットレジスタ書き込み操作では、**上位バイト(TCNT1H)が先にアクセス**されなければなりません。

・タイマ/カウンタ1(TCNT1)読み込み (Timer/Counter1 Read)

CPUが下位バイト(TCNT1L)を読むとき、下位バイト(TCNT1L)のデータがCPUへ送られ、上位バイト(TCNT1H)のデータが一時レジスタ(TEMP)に置かれます。CPUが上位バイト(TCNT1H)を読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビットレジスタ読み込み操作では、**下位バイト(TCNT1L)が先にアクセス**されなければなりません。

タイマ/カウンタ1は読み書き可能な上昇/下降(PWM動作時)カウンタとして実現されます。クロック供給元が選ばれ、タイマ/カウンタ1が書かれると、タイマ/カウンタ1は書かれた値を設定後、次のタイマ/カウンタ1クロック周期で計数を開始/継続します。

タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register) OCR1H, OCR1L (OCR1)

ビット	15	14	13	12	11	10	9	8	
\$2B (\$4B)	(MSB)								OCR1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)								(LSB)	OCR1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタは読み書き可能な16ビットのレジスタです。

このタイマ/カウンタ1比較レジスタ(OCR1)は、**タイマ/カウンタ1(TCNT1)**と継続的に比較されるべきデータを保持します。比較一致での動作は**タイマ/カウンタ1の制御と状態のレジスタ**で詳細に説明されます。

この比較レジスタ(OCR1)が16ビットレジスタのため、両方のバイトが同時に更新されるのを保証するために、OCR1が書かれるときには一時レジスタ(TEMP)が使われます。CPUが上位バイト(OCR1H)に書くとき、データはTEMP内に保存されます。CPUが下位バイト(OCR1L)に書くとき、TEMPの値が同時に上位バイト(OCR1H)へ書かれます。従って、完全な16ビットレジスタの書き込み操作では、**上位バイト(OCR1H)が先に書かれ**なければなりません。

この一時レジスタは**タイマ/カウンタ1(TCNT1)**や**捕獲レジスタ(ICR1)**をアクセスするときにも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、割り込みが(再)許可されるならば、主プログラムや割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 捕獲レジスタ (Timer/Counter1 Input Capture Register) ICR1H, ICR1L (ICR1)

ビット	15	14	13	12	11	10	9	8	
\$27 (\$47)	(MSB)								ICR1H
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)								(LSB)	ICR1L
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

捕獲レジスタは読み込みのみ可能な16ビットのレジスタです。

捕獲起動入力(ICP)ピンで、**タイマ/カウンタ1制御レジスタB(TCCR1B)**の**捕獲起動入力選択(ICES1)**に従った信号の上昇端/下降端が検出されると、現在の**タイマ/カウンタ1(TCNT1)**の値が捕獲レジスタ(ICR1)に転送されます。同時に**タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)**の**捕獲割り込み要求フラグ(ICF1)**が設定(1)されます。

この捕獲レジスタ(ICR1)が16ビット レジスタのため、両方のバイトが同時に読まれるのを保証するために、ICR1が読まれる時には一時レジスタ(TEMP)が使われます。CPUが下位バイト(ICR1L)を読むとき、そのデータがCPUへ送られ、上位バイト(ICR1H)のデータがTEMPに置かれます。CPUが上位バイト(ICR1H)のデータを読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビット レジスタ読み込み操作では、**下位バイト(ICR1L)が先に**読まれなければなりません。

この一時レジスタはタイマ/カウンタ1(TCNT1)や**比較レジスタ(OCR1)**をアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、割り込みが(再)許可されるならば、主プログラムや割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 PWM動作

PWM動作が選ばれると、**タイマ/カウンタ1(TCNT1)**と**比較レジスタ(OCR1)**は自走動作で不具合のない位相基準の8, 9または10ビットPWMとOC1(PB1)ピン出力を形成します。タイマ/カウンタ1は上昇/下降カウンタとして動作し、\$0000からTOP(上限値:表13.参照)まで上昇計数して、その周期が繰り返される前に、向きを変えて再び\$0000まで下降計数します。タイマ/カウンタ1値が比較レジスタ(OCR1)の最下位側8, 9または10ビットの内容と一致すると、OC1(PB1)ピンは**タイマ/カウンタ1制御レジスタA(TCCR1A)**の**比較出力選択(COM11,COM10)**の設定に従って設定(High)または解除(Low)されます。詳細については表14.を参照してください。

表13. PWM分解能対計数上限値、PWM周波数の関係

PWM分解能	TOP (計数上限値)	PWM周波数	備考
8ビット	\$00FF (255)	fTCK1/510	fTCK1=タイマ/カウンタ1のクロック入力周波数
9ビット	\$01FF (511)	fTCK1/1022	
10ビット	\$03FF (1023)	fTCK1/2046	

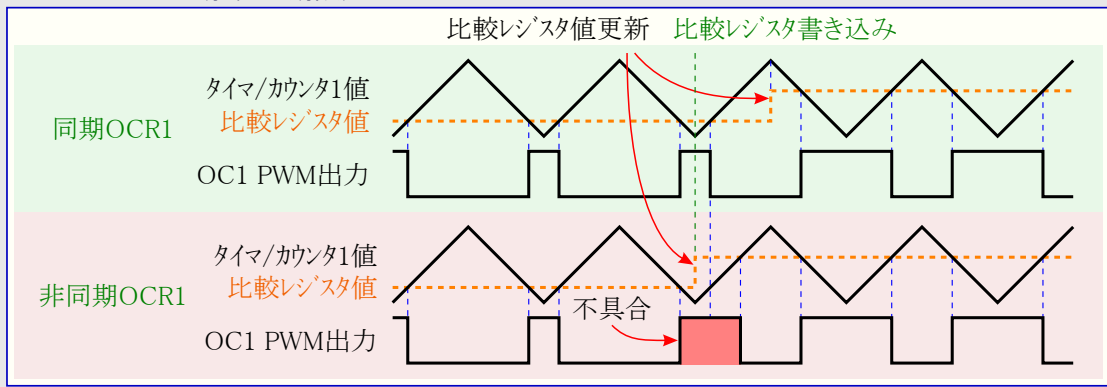
注: 比較レジスタ(OCR1)が上限値(TOP)で、前置分周器を使わない(**CS12~0=001**)場合、上昇計数と下降計数の値が同時に到達されるため、PWM出力は全くパルスを生成しません。前置分周器を使う(**CS12~0≠001**または**000**)と、タイマ/カウンタ1が上限値に達すると、PWM出力は動きますが、次回にタイマ/カウンタ1が上限値へ達する前の下降計数での至るべき比較一致が判定されませんので、1周期(回)のPWMパルスになってしまいます。

表14. PWM出力選択 (比較出力選択と兼用)

COM11	COM10	OC1(PB1)出力
0	0	OC1出力切断 (PB1は標準I/Oとして動作)
0	1	
1	0	上昇計数時の一致で解除(Low)、下降計数時の一致で設定(High) [非反転出力]
1	1	下降計数時の一致で解除(Low)、上昇計数時の一致で設定(High) [反転出力]

PWM動作では、比較レジスタ(OCR1)が書かれるとき、最下位側10ビットが一時領域に転送されることに注意してください。これらはタイマ/カウンタ1(TCNT1)が上限値(TOP)に到達するとき、比較レジスタに設定されます。これはOCR1非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図34.を参照してください。

図34. OCR1の同期/非同期設定



書き込みと実際の設定間、OCR1読み込みは一時領域の内容が読まれます。これは常に最も最近書かれた値がOCR1の読み出しとなることを意味します。

比較レジスタ(OCR1)が\$0000または上限値(TOP)を含むと、OC1出力は次の比較一致で、TCCR1Aの**COM11**と**COM10**の指定に従って、**High**または**Low**に更新/保持されます。これは表15.で示されます。

PWM動作では、タイマ/カウンタ1が\$0000から進む時に**タイマ/カウンタ1溢れ(TOV1)フラグ**が設定(**1**)されます。タイマ/カウンタ1溢れ割り込みは通常動作、換言すると、**ステータスレジスタ(SREG)**の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(**TOIE1**)ビットが許可されていれば、TOV1が設定(**1**)される時に割り込みが実行されるように、正確に動作します。これは**比較一致割り込み(ICF1)フラグ**と割り込みについても適用されます。

表15. 上限値、下限値でのPWM出力

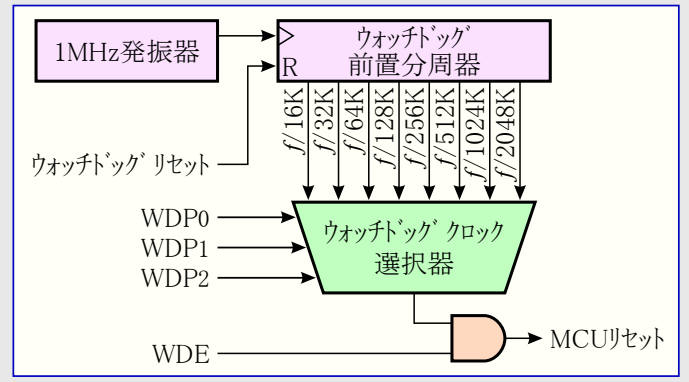
COM11	COM10	OCR1	OC1出力
1	0	\$0000	L
		上限値	H
1	1	\$0000	H
		上限値	L

ウォッチドッグ タイマ

ウォッチドッグ タイマは独立した内蔵発振器から駆動されます。ウォッチドッグ タイマの前置分周器を制御することにより、表16. で示されるようにウォッチドッグ リセット周期は調整できます。他の電源電圧での代表値については特性データを参照してください。ウォッチドッグ リセット(WDR)命令は、ウォッチドッグ タイマをリセットします。8つの異なるクロック周期はウォッチドッグ タイマがMCUをリセットしないように防止するための2つのWDR命令間の最大周期を決めるために選ばれます。WDR命令なしで、このリセット周期が経過すると、AT90S2333/4433はリセットし、リセットベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては14頁を参照してください。

予期せぬウォッチドッグ 禁止を防止するため、ウォッチドッグ が禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの説明を参照してください。

図35. ウォッチドッグ タイマ構成図



ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCSR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	—	—	—	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～5 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット4 – WDTOE : ウォッチドッグ 停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ 許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグ は禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に解除します。ウォッチドッグ 禁止手順についてはWDEビットの説明を参照してください。

• ビット3 – WDE : ウォッチドッグ 許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ 停止移行許可(WDTOE)ビットが設定(1)されている場合のみ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック以内に、WDEへ論理0を書きます。これがウォッチドッグ を禁止します。

• ビット2～0 – WDP2～0 : ウォッチドッグ タイマ前置分周器選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2～0は、ウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は表16. に示されます。

表16. ウォッチドッグ 前置分周器選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

注: 「代表特性」章内で示されるように、ウォッチドッグ 発振器の周波数は電圧に依存します。

ウォッチドッグ タイマが許可される前に、常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周器設定に一致するリセット周期を保証します。このリセット操作なしにウォッチドッグ が許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

予期せぬMCUリセットを避けるため、ウォッチドッグ タイマ前置分周器選択の変更前には、ウォッチドッグ タイマが禁止されるかリセットされるべきです。

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間はVCC電圧に依存し、2.5～4msの範囲です。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。EEPROMが新規データを受け入れる準備ができているときに起動するために、特別なEEPROM操作可割り込みが設定できます。

実行中のEEPROM書き込み動作は例えばリセット条件が起きても完了(最後まで実行)します。

不測のEEPROM書き込みを防ぐため、2段階の書き込み手順に従わなければなりません。この詳細については「[EEPROM制御レジスタ\(EECR\)](#)」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止されます。EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止されます。

EEPROMアドレス レジスタ (EEPROM Address Register) EEAR

ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	-/EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

• ビット7～0 – EEAR7～0 : EEPROMアドレス (EEPROM Address)

AT90S2333ではEEAR6～0で128バイト、AT90S4433ではEEAR7～0で256バイトのEEPROM空間のアドレスを指定します。EEPROMデータのバイトは0～127/255間で直線的に配置されています。EEARの初期値は不定です。EEPROMにアクセスしようとする前に、正確な値が書かれなければなりません。

EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレス レジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

• ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(1)ビットとこのEERIEが設定(1)されると、EEPROM操作可割り込みが許可されます。解除(0)されると、この割り込みは禁止されます。EEWEが解除(0)されていると、EEPROM操作可割り込みは継続する割り込みを発生します。

• ビット2 – EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)

このEEMWEビットは、**EEPROM書き込み許可(EEWE)ビットの1**設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEWEの1設定は選ばれたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがソフトウェアにより設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「**書き込み許可(EEWE)ビット**」の記述を参照してください。

• ビット1 – EEW: EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みストローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEWEビットを設定(1)しなければなりません。論理1がEEWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならず、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2と3の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEAR)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。(EEMWEビットに論理1が書けるためには、同一周期内でEEWEビットは0が書かれなければなりません。)
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EEWE)ビットへ論理1を書きます。

警告: 手順4と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARまたはEEDRを変更すると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順2～5.の間中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み時間(代表値で、2.5ms/VCC=5V, 4ms/VCC=2.7V)が経過してしまうと、EEWEビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EEWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

• ビット0 – EERE: EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEEWEビットをポーリングすべきです。新規データまたはアドレスがEEPROM I/Oレジスタに書かれるときに書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。これは外部低VCCリセット保護回路による実現が最善で、これは低電圧検出器(BOD)として度々参照されます。電源ONリセットと低電圧検出に関する設計上の考慮については、応用記述のAVR180を参照してください。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュメモリに定数を格納します。フラッシュメモリはCPUにより更新されることができないので、データ化けの問題はありません。

直列周辺インターフェース (SPI: Serial Peripheral Interface)

直列周辺インターフェースはAT90S2333/4433と多くのAVRデバイスや周辺デバイス間的高速同期データ転送を行います。SPIは次の特徴を含みます。

- 3線式全二重同期通信
- 主装置/従装置動作
- LSB/MSB先行のデータ通信
- 4つの設定変更可能なビット速度
- 送信終了割り込み
- 送信上書き検出
- **アイドル動作**からの起動復帰

SPIでの主装置と従装置CPU間の相互連結は図37.で示されます。SCK(PB5)ピンは主装置動作でのクロック出力、従装置動作でのクロック入力です。主装置CPUのSPIデータレジスタ(SPCR)書き込みはSPIクロック発生器を起動し、書かれたデータがMOSI(PB3)ピンへ移動出力され、従装置CPUのMOSI(PB3)ピンに移動入力されます。1バイト移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の送信終了フラグ(SPIF)が設定(1)されます。SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置選択入力SS(PB2)は個々の従装置SPIデバイスを選ぶため、Lowに設定します。主装置と従装置の2つの移動レジスタは分配された1つの循環型16ビット長移動レジスタとみなせます。方向にも移動されます。これは1移動周期中

このシステムは送信方向が単一緩衝、受信方向が2重緩衝です。これは移動周期全てが完了される前に送信すべきバイトをSPIデータレジスタ(SPDR)に書けないことを意味します。しかし、データ受信時、次のバイトが完全に移動入力されてしまう前に受信されたバイトがSPIデータレジスタ(SPDR)から読まれなければなりません。そうしないと、最初のバイトが失われます。

SPIが許可されると、MOSI, MISO, SCK, $\overline{SS}$ ピンのデータ方向は表17に従って強制されます。

図36. SPI構成図

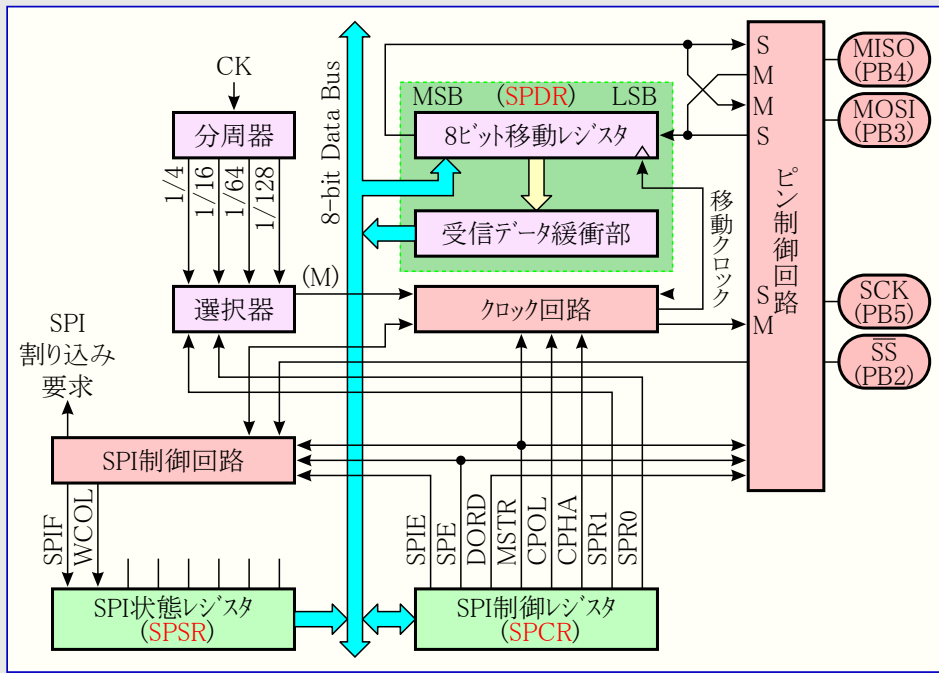


図37. SPI主装置/従装置の連結

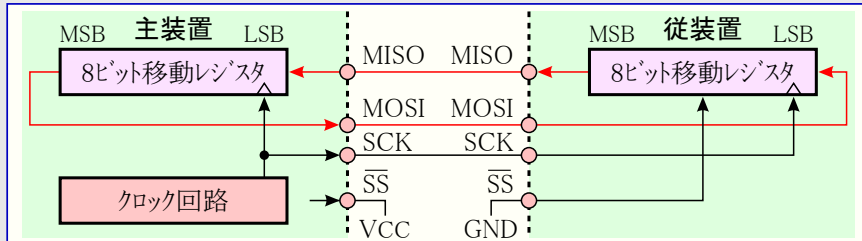


表17. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
SS	ポートB方向レジスタ(DDRB)の指定	入力

注: DDRBの指定については48頁の「ポートBの交換機能」を参照してください。

SSピンの機能

SPI制御レジスタ(SPCR)の主装置(MSTR)ビットの設定(1)でSPIが主装置として設定されると、使用者がSSピンの方向を決められます。SSが出力として設定されると、このピンはSPIシステムに影響を及ぼさない標準出力です。SSが入力として設定されると、SPI主装置動作を保証するため、それはHighを保持しなければなりません。SPIが主装置として設定され、SSピンが入力として定義される時にSSピンが周辺回路によってLowに駆動されると、他の主装置が従装置としてSPIを選び、データの送出を始めると解釈します。バスの衝突を避けるため、SPIシステムは次の動作を行います。

1. SPI制御レジスタ(SPCR)の主装置(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIが従装置になる結果、MOSIとSCKピンは入力になります。
2. SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可され、かつステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていれば、割り込み処理ルーチンが実行されます。

従って、割り込み駆動SPI送信が主装置動作で使われ、SSがLowに駆動される可能性があるとき、割り込み処理はMSTRビットが未だ設定(1)されているかを常に検査すべきです。一旦MSTRビットが従装置選択によって解除(0)されてしまうと、SPI主装置動作を再び許可するため、それは使用者によって設定(1)されなければなりません。

SPIが従装置として設定されると、SSピンは常に入力です。SSがLowに保持されると、SPIは活性化され、MISOは使用者によってそのよう(出力)に設定されるなら出力になります。他の全ピンは入力です。SSがHighに駆動されると、出力として使用者設定され得るMISOを除く全ピンが外部的に inputs で、SPIは到着データを受信しないことを意味する受動状態です。一旦SSピンがHighにされると、SPI回路がリセットすることに注意してください。送信中にSSピンがHighにされると、SPIは直ちに送受信を停止し、送受信両方のデータが失われるとみなさなければなりません。

データ転送形式

直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)ビットとSCK極性(CPOL)ビットで決められるSCKの位相と極性での4つの組み合わせがあります。SPIデータ転送形式は図38.と図39.で示されます。

図38. SPIデータ転送形式 (CPHA=0,DORD=0)

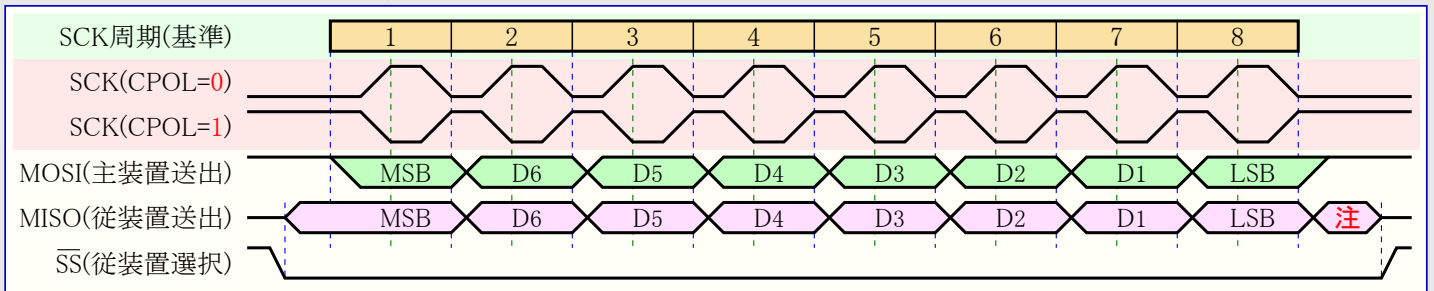
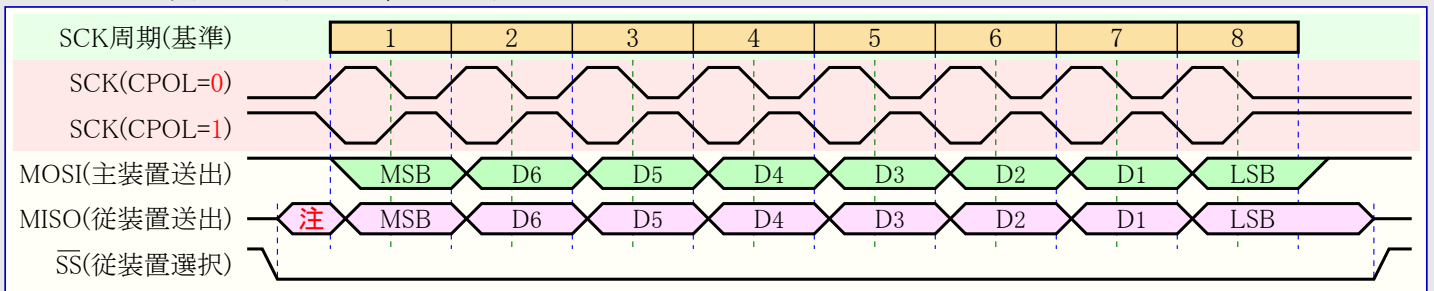


図39. SPIデータ転送形式 (CPHA=1,DORD=0)



SPIデータレジスタ (SPI Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータレジスタはSPI移動レジスタと汎用レジスタ間のデータ転送に使われる読み書きレジスタです。このレジスタへ書くとデータ送信を開始します。このレジスタを読むと移動レジスタの受信緩衝部を読みます。

SPI状態レジスタ (SPI Status Register) SPSR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	SPIF	WCOL	—	—	—	—	—	—	SPSR
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIF : SPI割り込み要求フラグ (SPI Interrupt Flag)

直列転送が完了すると、このSPIFが設定(1)され、**SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビット**と**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が共に設定(1)されていれば、割り込みが生成されます。SPIが主装置動作の時にSSが☐でLowに駆動されると、これもSPIFフラグを設定(1)します。SPIFは対応する割り込みベクタを実行すると、自動的に解除(0)されます。代わりに、SPIFが設定(1)されたSPSRを最初に読み、その後の**SPIデータレジスタ(SPDR)のアクセス**によってもSPIFは解除(0)されます。

• ビット6 – WCOL : 上書き発生フラグ (Write Collision Flag)

データ転送中にSPIデータレジスタ(SPDR)が書かれると、このWCOLフラグが設定(1)されます。このWCOLフラグ(とSPIFフラグ)はWCOLが設定(1)されたSPI状態レジスタ(SPSR)を最初に読み、その後のSPIデータレジスタ(SPDR)のアクセスによって解除(0)されます。

• ビット5~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

AT90S2333/4433のSPIインターフェースはフラッシュメモリやEEPROMの書き換え(読み書き)にも使われます。直列プログラミングと照合については65頁を参照してください。

SPI制御レジスタ (SPI Control Register) SPCR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIE : SPI割り込み許可 (SPI Interrupt Enable)

全割り込みが許可(SREGのI=1)され、**SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)**が設定(1)される場合、このビットがSPI割り込みを実行させます。

• ビット6 – SPE : SPI許可 (SPI Enable)

SPEビットが設定(1)されるとSPIが許可されます。どのSPI操作でも、可能とするには、このビットが設定(1)されなければなりません。

• ビット5 – DORD : データ順選択 (Data Order)

DORDビットが設定(1)されるとLSBから送受信されます。DORDビットが解除(0)されるとMSBから送受信されます。

• ビット4 – MSTR : 主装置/従装置選択 (Master/Slave Select)

このビットは設定(1)されると主装置SPI動作、解除(0)されると従装置SPI動作を選びます。SSピンが☐として設定され、MSTRが設定(1)されている間にLowへ駆動されると、MSTRが解除(0)されて**SPI状態レジスタ(SPCR)のSPI割り込み要求フラグ(SPIF)**が設定(1)になります。SPI主装置動作を再び許可するには、その後MSTRを設定(1)しなければなりません。

• ビット3 – CPOL : SCK極性選択 (Clock Polarity)

このビットが設定(1)されるとSCKはアイドル時にHighとなります。CPOLが解除(0)されるとSCKはアイドル時にLowとなります。付加情報については図38.と図39.を参照してください。

• ビット2 – CPHA : SCK位相選択 (Clock Phase)

このビットの機能については図38.と図39.を参照してください。

• ビット1,0 – SPR1,0 : クロック選択 (SPI Clock Rate Select 1 and 0)

これら2つのビットは主装置として設定されるデバイスのSCK速度を制御します。従装置でのSPR1,0は無効です。SCKと発振器周波数(f_{CL})間の関連は表18.で示されます。

表18. SCK速度選択 (f_{CL}=発振器周波数)

SPR1	SPR0	SCK周波数
0	0	f _{CL} /4
0	1	f _{CL} /16
1	0	f _{CL} /64
1	1	f _{CL} /128

UART

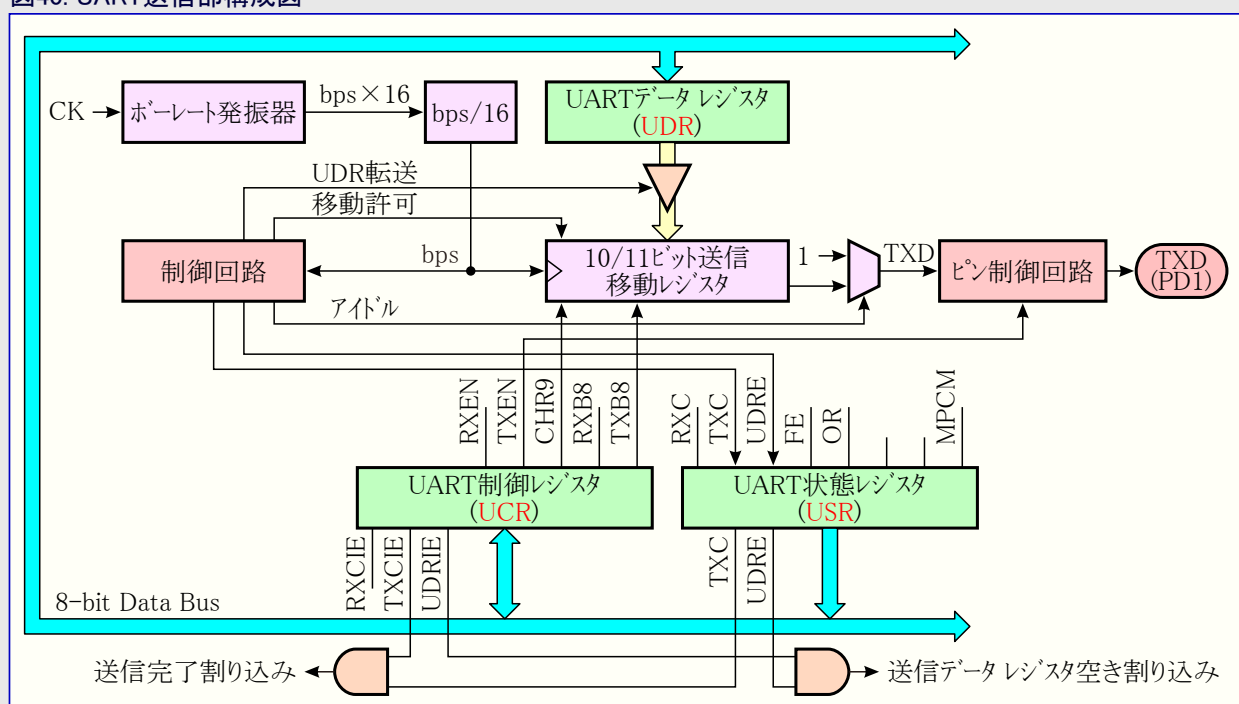
AT90S2333/4433は送受信レジスタが分離された、全二重(フルデュプレックス)のUART(Universal Asynchronous Receiver and Transmitter)が特徴です。主な特徴を次に示します。

- 多数のボーレート速度(bps)を発生できる**ボーレート発振器**
- 低いクリスタル周波数での高ボーレート
- 8または9ビットデータ
- 雑音濾波器機能
- オーバーラン検出
- フレーミング異常検出
- 不正開始ビット検出
- 受信完了、送信完了、送信データレジスタ空きの3つの独立した割り込み
- **複数プロセッサ通信機能**

データ送信

UART送信部の構成図は図40.で示されます。

図40. UART送信部構成図



データ送信は、**UARTデータレジスタ(UDR)**への送信すべきデータの書き込みにより開始されます。データは次のとき、UDRから送信移動レジスタへ転送されます。

- 直前のデータが移動出力されてしまったから停止ビットの**後**に、新データがUDRに書かれると、移動レジスタは直ちに設定されます。
- 直前のデータが移動出力されてしまったから停止ビットの**前**に、新データがUDRに書かれると、正しく送信されている(直前の)データの停止ビットが移動出力されてしまうときに、移動レジスタは設定されます。

データがUARTデータレジスタ(UDR)から送信移動レジスタへ転送されるとき、UART状態レジスタ(USR)のUARTデータレジスタ空き(UDRE)ビットが設定(1)されます。このビットが設定(1)されると、UARTは次データを受け取る用意ができています。UDRから10/11ビット移動レジスタへ転送されると同時に移動レジスタのビット0が解除(0)され(開始ビット)、ビット9または10が設定(1)されます(停止ビット)。UART制御レジスタ(UCR)の9ビット選択(CHR9)ビット=1で、9ビット長データが選ばれていると、UCRの送信ビット8(TXB8)ビットが送信移動レジスタのビット9に転送されます。

移動レジスタへの転送操作に続くホーレート クロックで開始ビットはTXDPEN上に移動出力されます。その後LSBが先でデータを続けます。停止ビットが移動出力されてしまうとき、送信(移動)中に何れかの新規データが書かれてしまっている場合、移動レジスタはそのデータで設定されます。この設定中にUDREが設定(1)されます。停止ビットが移動出力される時に送るためのUDR内の新規データがない場合、UDREフラグはUDRが再び書かれるまで設定(1)に留まります。新規データが書かれず、停止ビットが1ビット長分、TXD上に存在してしまうと、USRの送信完了(TXC)フラグが設定(1)されます。

UCRの送信許可(TXEN)ビットは設定(1)時にUART送信部を許可します。このビットが解除(0)されると、PD1/TXDピンは標準I/Oで使えます。TXENが設定(1)されると、UART送信部はPD1/TXDピンに接続され、それはポートD方向レジスタ(DDRD)のDDD1ビットの設定に拘らず、強制的に出力とされます。

データ受信

図41.はUART受信部の構成図を示します。

受信部前処理回路はボーレート周波数の16倍のクロックでRXDピン上の信号を採取します。信号線がアイドルの間、1つの論理0の採取は開始ビットの上昇端として判定され、開始ビット検出手順が開始されます。第1採取は、この最初の0採取を示します。1から0への遷移に続き、受信部は第8、9、10採取でRXDピンを採取します。これら3つの採取で2回以上の論理1を見つければ、開始ビットは尖頭雑音として破棄され、受信部は次の1から0への遷移(開始ビット開始)検出を始めます。

そうでなければ、有効な開始ビットが検出され、開始ビットに続くデータビットの採取が実行されます。これらのビットは同様に第8、9、10採取で採取されます。3つの採取の内、少なくとも2つが見つかった論理値がビット値として取得されます。全てのビットは採取されると、受信移動レジスタ内に移動入力されます。到着フレームの採取は図42.で示されます。

図41. UART受信部構成図

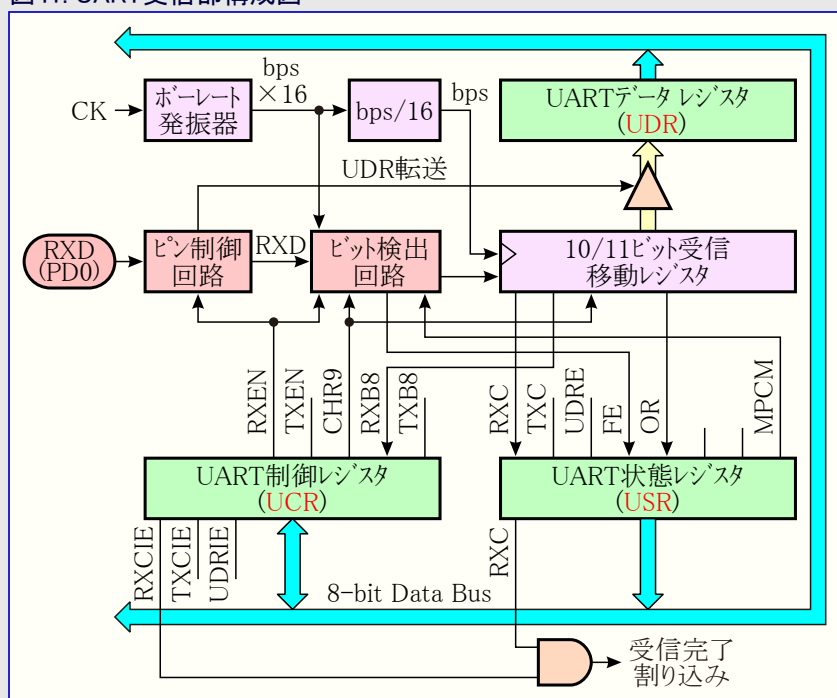
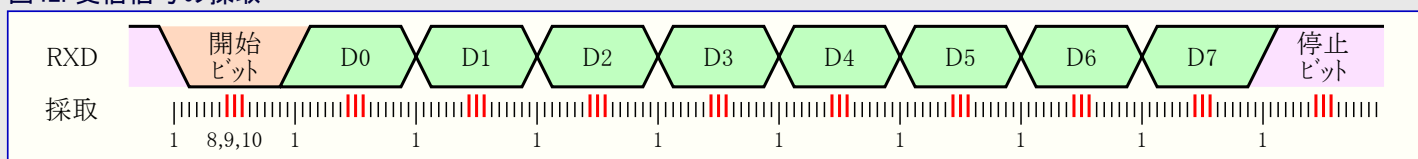


図42. 受信信号の採取



停止ビットが受信部に入るとき、停止ビットを受け入れるためには3採取の多数が1でなければなりません。2つ以上の採取が論理0だとUART状態レジスタ(USR)のフレーミング異常(FE)フラグが設定(1)されます。フレーミング異常を検出するため、常にUARTデータレジスタ(UDR)を読む前に、このFEフラグを検査すべきです。

フレーム受信周期の最後で有効な停止ビットが検出されるかによらず、データはUDRへ送られ、USRの受信完了(RXC)フラグが設定(1)されます。実際のUDRは2つの物理的に分離したレジスタで、受信データ用に1つと送信データ用に1つです。UDRが読まれると受信データレジスタが、UDRが書かれると送信データレジスタがアクセスされます。UART制御レジスタ(UCR)の9ビット選択(CHR9)ビット=1で、9ビット長データが選ばれていると、データがUDRに転送される時にUCRの受信ビット8(RXB8)ビットは受信移動レジスタのビット9が設定されます。

受信されたフレーム(データ)があるのに、直前の受信以降、UDRが読まれていないと、USRのオーバーラン(OR)フラグが設定(1)されます。これは、受信移動レジスタに移動入力された最後の受信データがUDRに転送できないために失われてしまうことを意味します。ORビットは緩衝されており、UDR内の有効な受信データが読まれる時に更新されます。従って、速いボーレートやCPU負荷が重い場合、何れのオーバーランをも検出するために、UDR読み込み後、常にこのORフラグを検査すべきです。

UCRの受信許可(RXEN)ビットが解除(0)されると、受信部が禁止されます。これはPD0/RXDピンが標準I/Oピンとして使えることを意味します。RXENが設定(1)されると、UART受信部がPD0/RXDピンに接続され、それはポートD方向レジスタ(DDRD)のDDD0の設定に拘らず、強制的に入力とされます。ポートD出力レジスタ(PORTD)のPORTD0は、このピンのプルアップ抵抗を制御するために未だ使えます。

UCRの9ビット選択(CHR9)ビットが設定(1)されると、送受信されるフレームは開始ビット+9ビットデータ+停止ビットです。送信される第9ビットデータはUCRの送信ビット8(TXB8)ビットです。このビットは、UDR書き込みにより送信が開始される前に、必要とされる値を設定しなければなりません。受信された第9ビットデータは、UCRの受信ビット8(RXB8)ビットです。

複数プロセッサ通信動作

複数プロセッサ通信動作は、多くの従装置MCUでの主装置MCUからのデータ受信を可能にします。これはMCUが指定されてしまっているかを検出するアドレスバイトを最初に調査判定することにより行われます。特定の従装置MCUが指定されてしまったなら、そのMCUは続くデータバイトを通常通り受信し、一方他の従装置MCUは次のアドレスバイトが受信されるまで、このデータバイトを無視します。

主装置MCUとして動作するMCUはUART制御レジスタ(UCR)の9ビット選択(CHR9)ビット=1で9ビット送信動作へ移行すべきです。この第9ビットは、アドレスバイトが送信されることを示すためには1、データバイトが送信されることを示すためには0でなければなりません。

従装置MCUでは8/9ビット受信動作でこの機構に僅かな違いが現れます。8ビット受信動作(UCRのCHR9=0)では、停止ビットがアドレスバイトで1、データバイトで0です。9ビット受信動作(UCRのCHR9=1)では、第9ビットがアドレスバイトで1、データバイトで0になり、ところが停止ビットは常に1です。

複数プロセッサ通信動作でのデータ交換には次の手順が使われるべきです。

1. 全ての従装置MCUはUART状態レジスタ(USR)の複数プロセッサ通信動作(MPCM)ビットを設定(1)し、複数プロセッサ通信動作にします。
2. 主装置MCUはアドレスバイトを送信し、このアドレスバイトを全ての従装置MCUが受信して読みます。従装置CPUでは通常通りUSRの受信完了(RXC)フラグが設定(1)されます。
3. 各従装置MCUはUARTデータレジスタ(UDR)を読み、選ばれたかを判定します。選ばれたならばUSRの複数プロセッサ通信動作(MPCM)ビットを解除(0)し、そうでなければ次のアドレスバイトを待ちます。
4. 受信されたデータバイト毎に受信するMCUはUSRの受信完了(RXC)フラグを設定(1)します。8ビット動作では停止ビットが0のため、USRのフレーミング異常(FE)も発生します。MPCMビットが未だ設定(1)されている他の従装置MCUはデータバイトを無視します。この場合、UDRとUSRの受信完了(RXC)またはフレーミング異常(FE)フラグは影響を受けません。
5. 最後のデータバイトが送出されてしまった後、この手順は2.から繰り返します。

UART制御

UARTデータレジスタ (UART I/O Data Register) UDR

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	(MSB)							(LSB)	UDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

実際には、UDRは同じI/Oアドレスを共有する物理的に分離した2つのレジスタです。このレジスタに書くとUART送信データレジスタが書かれます。UDRから読むとUART受信データレジスタが読めます。

UART状態レジスタ (UART Status Register) USR

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	RXC	TXC	UDRE	FE	OR	–	–	MPCM	USR
Read/Write	R	R/W	R	R	R	R	R	R/W	
初期値	0	0	1	0	0	0	0	0	

• ビット7 – RXC : UART受信完了フラグ (UART Receive Complete)

受信されたデータが受信移動レジスタからUARTデータレジスタ(UDR)へ転送される時、このビットが設定(1)されます。このビットは、検出されたどんなフレーミング異常にも関係なく設定されます。UART制御レジスタ(UCR)の受信完了割り込み許可(RXCIE)ビットが設定(1)されていると、RXCが設定(1)されたときに、UART受信完了割り込みが実行されます。RXCはUDR読み込みにより解除(0)されます。割り込み駆動データ受信が使われる時に、UART受信完了割り込み処理ルーチンはRXCを解除(0)するためにUDRを読まなければなりません。そうしないと、一旦割り込み処理ルーチンを終了しても、新規割り込みが発生します。

• ビット6 – TXC : UART送信完了フラグ (UART Transmit Complete)

送信移動レジスタ内の完全なデータ(含む停止ビット)が移動出力されてしまい、新規データがUARTデータレジスタ(UDR)に書かれてしまっていないとき、このビットは設定(1)されます。このビットは、送信側が送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない半二重(ハーフデュプレックス)通信で特に有用です。

UART制御レジスタ(UCR)の送信完了割り込み許可(TXCIE)ビットが設定(1)されていると、TXCの設定(1)は、UART送信完了割り込みを実行させます。対応する割り込みベクタを実行すると、TXCは自動的に解除(0)されます。代わりに、このビットに論理1を書くことによっても、TXCは解除(0)されます。

• ビット5 – UDRE : UART送信データレジスタ空きフラグ (UART Data Register Empty)

UARTデータレジスタ(UDR)に書かれたデータが送信移動レジスタへ転送される時、このビットは設定(1)されます。このビットの設定(1)は、送信部が新規送信データを受け取る用意ができていることを示します。

UART制御レジスタ(UCR)の送信データレジスタ空き割り込み許可(UDRIE)ビットが設定(1)されていると、UDREが設定(1)されている限り、UART送信データレジスタ空き割り込みが実行されます。UDREはUDR書き込みにより解除(0)されます。割り込み駆動データ送信が使われる時に、UART送信データレジスタ空き割り込み処理ルーチンはUDREを解除(0)するためにUDRに書かなければなりません。そうしないと、一旦割り込み処理ルーチンを終了しても、新規割り込みが発生します。

UDREは送信可を示すため、リセット中に設定(1)されます。

• ビット4 – FE : フレーミング異常フラグ (Framing Error)

このフラグはフレーミング異常条件が検出されると、換言すると、到着フレームの停止ビットが0のとき、設定(1)されます。

FEフラグは受信されるデータの停止ビットが1のときに解除(0)されます。

• ビット3 – OR : オーバーラン発生フラグ (Overrun)

このフラグはオーバーラン条件(換言すると、次のデータが受信移動レジスタに移動入力されてしまう前に、UARTデータレジスタ(UDR)内の既に存在するデータが読めないとき)が検出されると設定(1)されます。ORは緩衝されており、そしてそれは一度UDRの有効なデータを読んでも未だ設定(1)されることを意味します。

ORフラグはデータが受信され、UDRへ転送される時に解除(0)されます。

• ビット2,1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット0 – MPCM : 複数プロセッサ通信動作 (Multi-Processor Communication Mode)

このビットは複数プロセッサ通信動作への移行に使われます。従装置MCUがアドレスパイトを受信するために待機するとき、このビットは設定(1)されます。MCUがアドレス指定されてしまうと、MPCMビットをOFF(0)に切り替え、データ受信を開始します。

詳細説明については「複数プロセッサ通信動作」を参照してください。

UART制御レジスタ (UART Control Register) UCR

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	UCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	1	0	

• ビット7 – RXCIE : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、UART状態レジスタ(USR)の受信完了(RXC)フラグの設定(1)は受信完了割り込み処理ルーチンを実行させます。

• ビット6 – TXCIE : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、USRの送信完了(TXC)フラグの設定(1)は送信完了割り込み処理ルーチンを実行させます。

• ビット5 – UDRIE : 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、USRの送信データレジスタ空き(UDRE)フラグの設定(1)は送信データレジスタ空き割り込み処理ルーチンを実行させます。

• ビット4 – RXEN : 受信許可 (Receiver Enable)

設定(1)されると、このビットはUART受信(部)を許可します。受信(部)が禁止されると、UART状態レジスタ(USR)の受信完了(RXC)、フレーミング異常(FE)、オーバラン(OR)状態フラグは設定(1)になることができません。これらのフラグが設定(1)の場合、RXENの解除(0)への切り替えは、それらを解除(0)しません。

• ビット3 – TXEN : 送信許可 (Transmitter Enable)

設定(1)されると、このビットはUART送信(部)を許可します。データ送信中に送信(部)を禁止すると、送信移動レジスタのデータと送信データレジスタ(UDR)の続くデータが完全に送信されてしまう前には、送信部が禁止されません。

• ビット2 – CHR9 : 9ビットデータ選択 (9Bits Character)

このビットが設定(1)されると、送受信フレームは開始ビット+9ビットデータ+停止ビットです。第9ビットは各々、UART制御レジスタ(UCR)の受信ビット8(RXB8)、送信ビット8(TXB8)を使うことで読み書きされます。この第9データビットは、パリティビットや拡張停止ビットとして使えます。

• ビット1 – RXB8 : 受信データビット8 (Receive Data Bit 8)

9ビットデータ選択(CHR9)が設定(1)されていると、RXB8は受信されたデータの第9データビット(ビット8)です。

• ビット0 – TXB8 : 送信データビット8 (Transmit Data Bit 8)

9ビットデータ選択(CHR9)が設定(1)されていると、TXB8は送信されるべきデータの第9データビット(ビット8)です。

ボーレート発振器

ボーレート発振器は、次式に従ってボーレートを生成する周波数分周器です。

$$BAUD = \frac{f_{CK}}{16 \times (UBR + 1)}$$

BAUD ボーレート(bps)
 f_{CK} Xtal発振(CPUクロック)周波数
 UBR UARTボーレートレジスタ(UBRRHI,UBRR)値(0~4095)

UARTボーレートレジスタ (UART Baud Rate Register) UBRRHI, UBRR (UBR)

ビット	15	14	13	12	11	10	9	8	
\$03 (\$23)	—	—	—	—	MSB				UBRRHI
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)								LSB	UBRR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

これは上記の式に従うUARTボーレートを含む12ビットレジスタです。UBRRHIがUARTボーレートの上位4ビット、UBRRが下位8ビットです。(設定例は表19参照)

表19.のUBR設定を使うことにより、標準的なクリスタル周波数について、一般的に使われる多くのホーレートが発生できます。実際のホーレートが目的のホーレートに対して誤差2%未満を有効なホーレートとし、それ以外は赤字で示されます。しかし、誤差1%を越えるホーレートの使用は推奨されません。高い誤差率は雑音耐性が低下します。

表19. Xtal、ホーレート対UBRRHI,UBRR設定 (UBR=UBRRHI,UBRR)

ホーレート	1MHz		1.8432MHz		2MHz		2.4576MHz		3.2768MHz		3.6864MHz	
	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)
1200	51	0.2	95	0.0	103	0.2	127	0.0	170	0.2	191	0.0
2400	25	0.2	47	0.0	51	0.2	63	0.0	84	0.4	95	0.0
4800	12	0.2	23	0.0	25	0.2	31	0.0	42	0.8	47	0.0
9600	6	7.5	11	0.0	12	0.2	15	0.0	20	1.6	23	0.0
14400	3	7.8	7	0.0	8	3.7	10	3.1	13	1.6	15	0.0
19200	2	7.8	5	0.0	6	7.5	7	0.0	10	3.1	11	0.0
28800	1	7.8	3	0.0	3	7.8	4	6.3	6	1.6	7	0.0
38400	1	22.9	2	0.0	2	7.8	3	0.0	4	6.3	5	0.0
57600	0	7.8	1	0.0	1	7.8	2	12.5	3	12.5	3	0.0
76800	0	22.9	1	33.3	1	22.9	1	0.0	2	12.5	2	0.0
115200	0	84.3	0	0.0	0	7.8	0	25.0	1	12.5	1	0.0

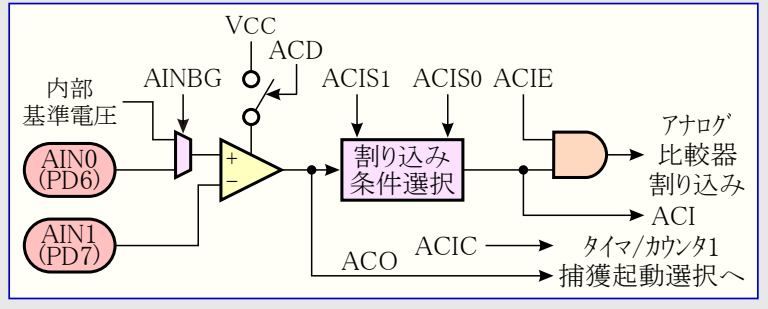
ホーレート	4MHz		4.608MHz		4.9152MHz		6.144MHz		7.3728MHz		8MHz	
	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)
1200	207	0.2	239	0.0	255	0.0	-	-	-	-	-	-
2400	103	0.2	119	0.0	127	0.0	159	0.0	191	0.0	207	0.2
4800	51	0.2	59	0.0	63	0.0	79	0.0	95	0.0	103	0.2
9600	25	0.2	29	0.0	31	0.0	39	0.0	47	0.0	51	0.2
14400	16	2.1	19	0.0	20	1.6	26	1.3	31	0.0	34	0.8
19200	12	0.2	14	0.0	15	0.0	19	0.0	23	0.0	25	0.2
28800	8	3.7	9	0.0	10	3.1	12	2.6	15	0.0	16	2.1
38400	6	7.5	7	6.7	7	0.0	9	0.0	11	0.0	12	0.2
57600	3	7.8	4	0.0	4	6.3	6	4.8	7	0.0	8	3.7
76800	2	7.8	3	6.7	3	0.0	4	0.0	5	0.0	6	7.5
115200	1	7.8	2	20.0	2	12.5	2	11.2	3	0.0	3	7.8

ホーレート	9.216MHz		9.8304MHz		10MHz		11.059MHz		MHz		MHz	
	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)
2400	239	0.0	255	0.0	-	-	-	-				
4800	119	0.0	127	0.0	129	0.2	143	0.0				
9600	59	0.0	63	0.0	64	0.2	71	0.0				
14400	39	0.0	42	0.8	42	1.0	47	0.0				
19200	29	0.0	31	0.0	32	1.4	35	0.0				
28800	19	0.0	20	1.6	21	1.4	23	0.0				
38400	14	0.0	15	0.0	15	1.8	17	0.0				
57600	9	0.0	10	3.1	10	1.4	11	0.0				
76800	7	6.7	7	0.0	7	1.8	8	0.0				
115200	4	0.0	4	6.3	4	8.6	5	0.0				

アナログ比較器

アナログ比較器は非反転入力AIN0(PD6)と反転入力AIN1(PD7)の入力値を比較します。非反転入力AIN0(PD6)の電圧が反転入力AIN1(PD7)の電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はタイマ/カウンタ1の捕獲機能を開始するために設定できます。加えて、比較器はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端またはその両方での割り込み起動を選べます。この比較器とその周辺回路の構成図は図43.で示されます。

図43. アナログ比較器部構成図



アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	AINBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFにするため、何時でも設定(1)できます。ACDビットを変更するとき、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

ビット6 – AINBG : 内部基準電圧選択 (Analog Comparator Bandgap Select)

BODENヒューズがプログラム(0)、**低電圧検出(BOD)リセット**が許可で、本ビットが設定(1)されると、比較器非反転入力の標準入力(AIN0)を内部基準電圧 $1.22 \pm 0.1V$ に置換します。このビットが解除(0)されると、標準入力AIN0(PD6)ピンが比較器非反転入力に供給されます。

ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが、**アナログ比較器割り込み条件(ACIS1, ACIS0)ビット**で定義された割り込み動作を起こすとき、このビットは設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)されて、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行するとき、ACIは自動的に解除(0)されます。代わりに本フラグへ論理1を書くことによって、ACIは解除(0)されます。

ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、アナログ比較器割り込みが有効化されます。解除(0)されると、この割り込みは禁止されます。

ビット2 – ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

設定(1)されると、このビットはアナログ比較器により起動されるタイマ/カウンタ1の捕獲機能を許可します。この場合、比較器出力は直接、**捕獲起動入力の前処理回路**に接続され、比較器はタイマ/カウンタ1捕獲割り込みの**雑音除去と端(エッジ)選択機能**が利用できます。解除(0)されると、アナログ比較器と捕獲機能間の関係がなくなります。比較器がタイマ/カウンタ1捕獲割り込みを起動するには、**タイマ/カウンタ割り込み許可レジスタ(TIMSK)の捕獲割り込み許可(TICIE1)ビット**が設定(1)されなければなりません。

ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は表20.に示されます。

表20. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: ACIS1, ACIS0ビットを変更するとき、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

警告: このレジスタのACI以外のビットに対するCBIまたはSBI命令の使用は、ACIが1として読まれる場合に1が書き戻されるため、このフラグを解除(0)してしまいます。

特徴

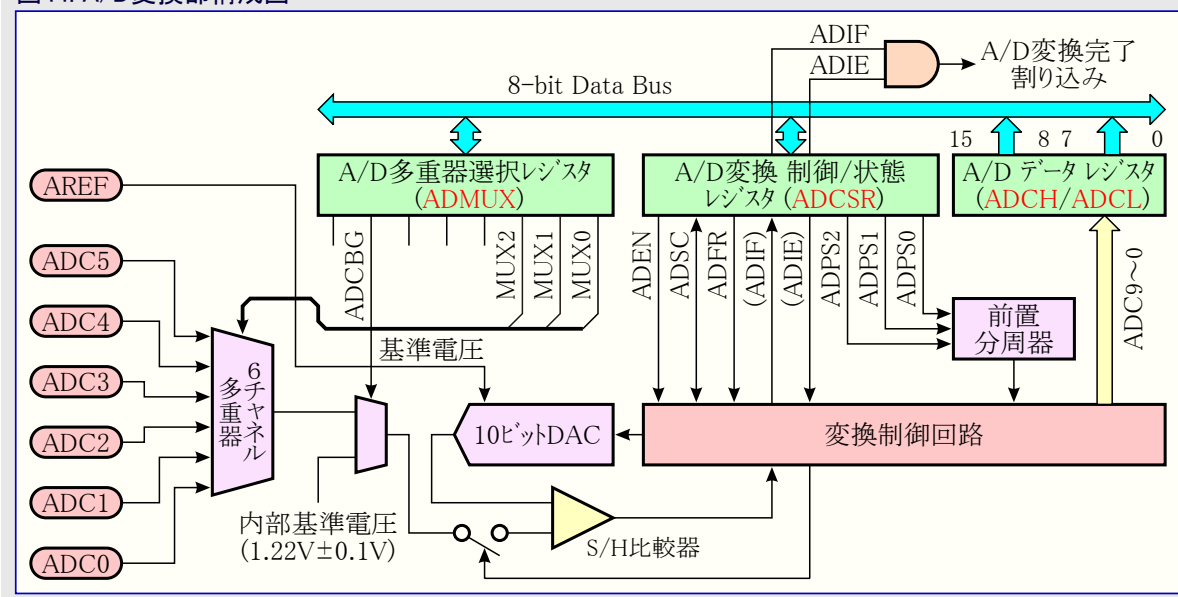
- 10ビット分解能
- 精度 ± 2 LSB
- 積分非直線性0.5 LSB
- 変換時間65~260 μ s
- 15k採/ sまでの採取速度
- 6チャンネル多重器内蔵
- 全電圧範囲(AGND~AVCC)入力可能
- 連続と単独の変換動作
- A/D変換完了割り込み
- 休止形態雑音低減機能

AT90S2333/4433は10ビットの逐次比較A/D変換部が特徴です。このA/D変換部は、A/D変換器の入力として使われるポートCの各ピンが供される6チャンネルの多重器に接続されます。A/D変換部は、A/D変換器が変換中の一定レベルを保持するための入力電圧を保証する採取&保持(S/H)を含みます。A/D変換部の構成図は図44に示されます。

A/D変換部には分離された2つの電源(AVCC, AGND)ピンがあります。AGNDはGNDに接続されなければならない、AVCCの電圧はVCC±0.3V以内でなければなりません。これらのピンの接続方法は、[45ページの「雑音低減技術」](#)を参照してください。

外部基準電圧はAREFピンに供給されなければなりません。この電圧は2.0V～AVCCの範囲でなければなりません。

図44. A/D変換部構成図



操作

A/D変換は単独と連続の2つの動作ができます。単独変換動作では、変換毎に使用者により開始されなければなりません。連続変換動作では、常に採取とA/Dデータレジスタ(ADCH/ADCL)の更新が行われます。A/D制御/状態レジスタ(ADCSR)のA/D動作選択(ADFR)ビットは、この2つの利用可能な動作間を選びます。

A/D多重器選択レジスタ(ADMUX)はA/D変換器の入力として使われる6つのアナログ入力チャネルの1つを選びます。

A/D変換部はADCSRのA/D許可(ADEN)ビットへの論理1書き込みにより許可されます。A/D変換部許可後の最初の変換はA/D変換部を初期化するために擬似変換が先行して行われます。違いは、この変換が標準変換より12変換クロック余計にかかることです。

変換はADCSRの**変換開始(ADSC)**ビットに論理**1**を書くことにより開始されます。このビットは変換が実行中である限り**1**に留まり、変換が完了されると、ハードウェアにより**0**に設定されます。変換実行中に違うデータチャネルが選ばれると、チャネル変更を行う前に現在の変換を完了します。

A/D変換は10ビットの結果を2つのデータレジスタ(ADCH, ADCL)に生成し、変換完了時に結果を得るため読まなければなりません。それらが読まれるとき、データレジスタの内容が同じ変換からであることを保証するため、特別なデータ保護回路が使われます。この機構は次のように動作します。データを読むとき、ADCLが最初に読まなければなりません。一度ADCLが読まれると、データレジスタへのA/D変換器アクセスは防止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタも更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCHとADCLへのA/D変換器アクセスが許可されます。

A/D変換部には、変換完了時に起動できる自身の割り込み(ADIF)があります。データレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されていると、結果は失われてしまいますが、割り込みは起動します。

前置分周と変換タイミング

A/D変換部はシステムクロックを受け入れ可能なA/D変換クロック周波数に分周する前置分周器を含みます。A/D変換器は50～200kHz範囲の入力クロック周波数を受け入れます。

A/D制御/状態レジスタ(ADCSR)のA/Dクロック選択(ADPS2～0)ビットは、100kHz以上の何れかのシステムクロック周波数から適当なA/D変換クロック周波数を生成するために使われます。この前置分周器はADCSRのA/D許可(ADEN)ビットを設定(1)することによりA/D変換部がONに切り替えられる時から計数を始めます。前置分周器はADENビットが設定(1)である限り動作し続け、ADENが解除(0)の時は継続的にリセットされます。

ADCSRのA/D変換開始(ADSC)ビットを設定(1)することによって変換を開始するとき、直後の変換クロック周期の上昇端で変換が始まります。実際の採取&保持は変換開始後1.5変換クロック周期の位置で行われます。13変換クロック周期後に結果が用意でき、A/Dデータレジスタ(ADCH,ADCL)に書かれます。単独変換動作(ADFR=0)では次の変換開始前に1変換クロック周期以上が必要(図47.参照)です。この期間にA/D変換開始(ADSC)ビットが1に設定されると、直ちに新規変換が始まります。連続変換動作(ADFR=1)では結果がA/Dデータレジスタ(ADCH,ADCL)に書かれた後、直ぐに新規変換が開始されます。変換クロックが200kHzで連続変換動作を使うと、最小変換時間65μs(約15.4k採取/s)が得られます。変換時間の概要については表21.を参照してください。

図45. A/D変換前置分周器部構成

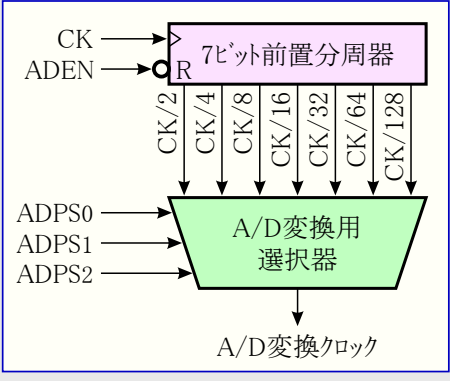


図46. 初回変換タイミング (単独変換動作)

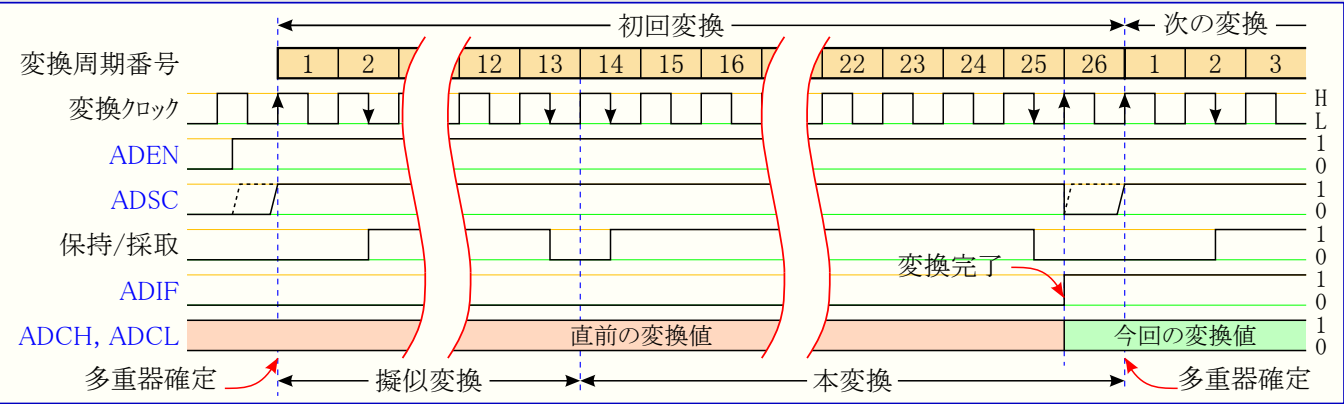


図47. 通常変換タイミング (単独変換動作)

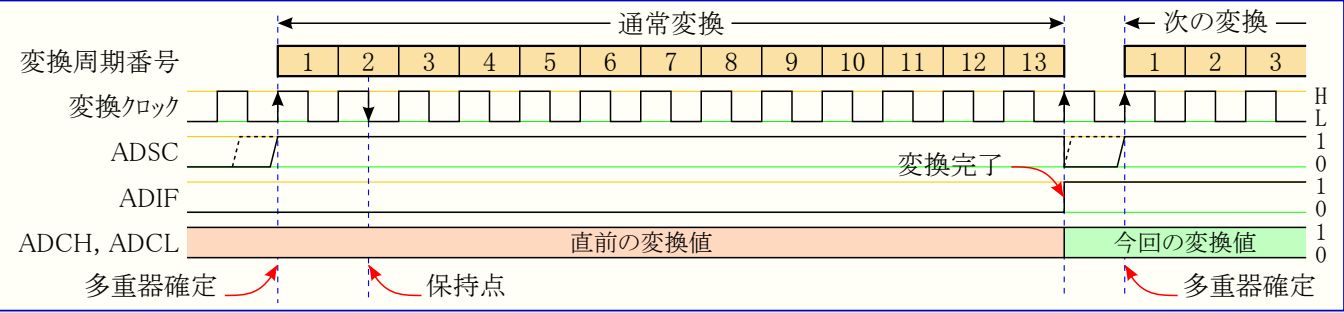


図48. 連続変換動作タイミング

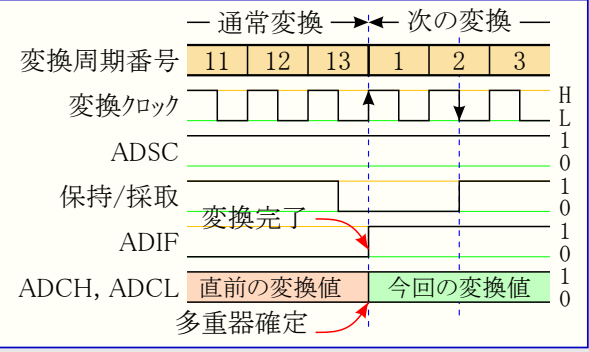


表21. A/D変換時間

変換種別	保持点	変換終了	総変換時間	変換時間(μs)
連続(初回)	13.5	25	25	125～500
単独(初回)	13.5	25	26	130～520
連続(通常)	1.5	13	13	65～260
単独(通常)	1.5	13	14	70～280

注: 変換時間を除く各番号は変換開始からの変換クロック数です。

雑音低減機能

A/D変換部は、CPUコアから誘導される雑音を低減するため、**アイドル動作**中にA/D変換を可能にする雑音低減機能が特徴です。この機能の使用を行うには、次の手順が使われるべきです。

1. A/D変換が許可(**ADEN=1**)され、変換中でない(**ADSC=0**)ことを確認します。単独変換動作が選択(**ADFR=0**)され、A/D変換完了割り込みが許可(**ADIE=1**)されなければなりません。
2. アイドル動作に移行します。一旦CPUが停止されてしまうと、A/D変換部は変換を開始します。
3. A/D変換完了前に他の割り込みが起きなければ、A/D変換完了割り込みがMCUを起動復帰し、A/D変換完了割り込み処理ルーチンを実行します。

A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	–	ADCBG	–	–	–	MUX2	MUX1	MUX0	ADMUX
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット6 – ADCBG : A/D基準電圧選択 (ADC Bandgap Select)

低電圧検出(BOD)リセットが許可(**BODENヒューズ=プログラム(0)**)され、このビットが設定(**1**)されると、内部基準電圧 $1.22 \pm 0.1V$ がA/D変換器の標準入力に置き換わります。このビットが解除(**0**)されると、MUX2~0で選ばれた標準入力ピンがA/D変換器に供給されます。

• ビット5~3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット2~0 – MUX2~0 : A/Dチャネル選択 (Analog Channel Select Bits 2~0)

これらの3ビットの値はアナログ入力5~0のどれがA/D変換器に接続されるかを選びます。

表A. アナログ入力チャネル選択

MUX2~0	000	001	010	011	100	101	110	111
アナログ入力チャネル	ADC0	ADC1	ADC2	ADC3	ADC4	ADC5	(予約)	(予約)

A/D変換 制御/状態レジスタ (ADC Control and Status Register) ADCSR

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – ADEN : A/D許可 (ADC Enable)

このビットへの論理1書き込みがA/D動作を可能にします。このビットを0に解除することにより、A/D変換部はOFFに切り替えられます。A/D変換中のOFFへの切り替えは、その変換を終了します。

• ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作では、変換毎に変換を開始するため、このビットに論理1が書かれなければなりません。連続変換動作では、最初の変換を開始するため、このビットに論理1が書かれなければなりません。A/D許可(**ADEN=1**)後の最初のADSCの設定(**1**)か、A/D許可時の同時設定(**1**)で、擬似変換が実際の変換開始に先行します。この擬似変換はA/D変換部の初期化を行います。

A/D変換中、ADSCは1に留まります。ADSCは変換完了後、0になりますが、その前に結果が**A/Dデータレジスタ(ADCH,ADCL)**に書かれます。これは現在の変換が完了する前に新規変換が開始されることを許します。現在の変換完了後、直ちに新規変換が始まります。擬似変換が実際の変換に先行するとき、ADSCは実際の変換が終了されるまで1に留まります。

このビットへの0書き込みは無効です。

• ビット5 – ADFR : 連続/単独変換動作選択 (ADC Free Running Select)

このビットが設定(**1**)されるとA/D変換は連続変換動作で動きます。この動作では採取とA/Dデータレジスタの更新を連続的に行います。このビットの解除(**0**)は連続変換を終了し、単独変換動作になります。

•ビット4 – ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新されるとき、このビットが設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとA/D変換完了割り込み許可(ADIE)ビットが設定(1)されていると、A/D変換完了割り込みが実行されます。ADIFは対応する割り込みベクタ実行時、自動的に解除(0)されます。代わりに、このフラグへの論理1書き込みによっても解除(0)されます。ADCSRで読み-変更-書き(リード モデファイライト)を行う場合、保留割り込みが禁止されることに注意してください。これはSBI, CBI命令が使われる場合にも適用されます。

•ビット3 – ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、A/D変換完了割り込みが有効にされます。

•ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットは、システムクロック周波数とA/D変換器への入力クロック間の分周比を決めます。

表22. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

A/Dデータレジスタ (ADC Data Register) ADCH,ADCL

ビット	15	14	13	12	11	10	9	8	
\$05 (\$25)	–	–	–	–	–	–	ADC9	ADC8	ADCH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

A/D変換完了時、その結果がこれら2つのレジスタ内にあります。連続変換動作では、2つのレジスタが読まれること、ADCHの前にADCLが読まれることが重要です。

複数チャネル走査

アナログ入力チャネルの変更は常に変換が終了されるまで遅らされるため、**連続変換動作**はA/D変換部の割り込みなしでの複数チャネル走査に使えます。通常、**A/D変換完了割り込み**がチャネル移動を行うために使われます。しかし、次の要素が考慮されるべきです。一旦読まれるべき結果が用意されると、割り込みが起動します。連続変換動作では、割り込みが起動するとき、次の変換が直ちに始まります。割り込み起動後に**A/D多重器選択レジスタ(ADMUX)**が変更される場合、次の変換は既に開始されており、これには変更前の設定が使われます。

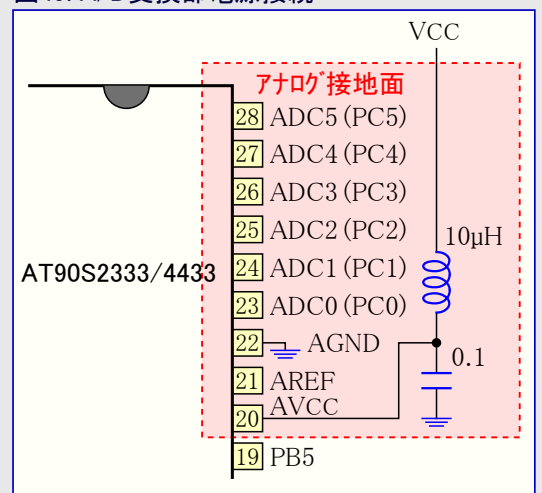
雑音低減技術

AT90S2333/4433内外のデジタル回路はアナログ測定精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要な場合、次の技法を適用することにより、雑音レベルが減少できます。

1. AT90S2333/4433のアナログ部と応用回路内の全てのアナログ部品は、基板上で分離したアナログGND面を持つべきです。このアナログGND面は基板上の1点でデジタルGND面に接続されます。
2. アナログ信号経路は可能な限り最短を維持します。アナログ信号線がアナログGND面上走っているか確認し、高速切り替えのデジタル信号線から充分離すことを厳守します。
3. AT90S2333/4433のAVCCピンは図49.で示されるように、LC濾波器を経由してVCC(デジタル供給電圧)に接続されるべきです。
4. CPUからの誘導雑音を低減するため、**A/D変換雑音低減機能**を使います。
5. ポートCピンのいくつかがデジタル出力として使われる場合、変換実行中はそれらを切り替えないことが重要です。

AVCCがポートC出力駆動部に(電源)供給するため、ポートCの何れかが出力を扱う場合、示されるLC濾波器が使われるべきではないことに注意してください。

図49. A/D変換部電源接続



A/D変換器特性

TA=-40℃～85℃

シンボル	項目	条件	最小	代表	最大	単位
	分解能			10		ビット
	絶対精度	VREF=4V	変換クロック=200kHz	1	2	LSB
			変換クロック=1MHz	4		
			変換クロック=2MHz	16		
	積分非直線性誤差	VREF > 2V		0.5		
	微分非直線性誤差	VREF > 2V		0.5		
	変位(オフセット)(ゼロ)誤差			1		
	変換時間		65		260	μs
	変換クロック周波数		50		200	kHz
AVCC	アナログ供給電圧		VCC-0.3(注1)		VCC+0.3(注2)	V
VREF	基準電圧		2		AVCC	
RREF	基準電圧入力インピーダンス		6	10	13	kΩ
RAIN	アナログ入力インピーダンス			100		MΩ

注1: AVCCの最小値は2.7Vです。

注2: AVCCの最大値は6.0Vです。

入出力ポート

AVRの全てのポートは標準デジタルI/Oポートとして使われる時に真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で他の何れのピンの方向をも不測の変化なしに、ポートピンの1つの方向が変更できることを意味します。駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ポートB

ポートBは6ビットの双方向I/Oポートです。

ポートBについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTB), \$18(\$38)、データ方向レジスタ(DDRB), \$17(\$37)、データ入力レジスタ(PINB), \$16(\$36)に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートB出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PB0～5ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートBピンの交換機能は表23.に示されます。

表23. ポートBピンの交換機能

ポートピン	交換機能
PB0	ICP (タイマ/カウンタ1 捕獲起動入力)
PB1	OC1 (タイマ/カウンタ1 比較一致出力)
PB2	$\overline{SS}$ (SPI 従装置選択入力)
PB3	MOSI (SPI 主装置側データ出力/従装置側データ入力)
PB4	MISO (SPI 主装置側データ入力/従装置側データ出力)
PB5	SCK (SPI 直列クロック 主装置側出力/従装置側入力)

ピンが交換機能で使われる時に、ポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は**交換機能の説明に従って設定**されなければなりません。

ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	—	—	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	—	—	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	—	—	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読まれます。

ポートB 標準デジタル入出力

デジタルI/Oピンとして使われる時にポートBの6ピンは全て同じ機能動作です。

標準I/OピンPBnは**ポートB方向レジスタ(DDRB)のDDBnビット**がそのピンの入出力方向を選び、DDBnが設定(1)されると、出力ピンとして設定されます。DDBnが解除(0)されると、入力ピンとして設定されます。**ポートB出力レジスタ(PORTB)のPORTBn**が設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTBnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートピンはリセット条件が有効になると、例えばクロックが動作していなくてもHi-Z状態にされます。

表24. ポートBピンに対するDDBnの関係

DDBn	PORTBn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PBnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは5〜0でビット番号を示します。

ポートBの交換機能

ポートBの交換ピン機能を以下に示します。

• SCK – ポートB ビット5 : PB5

SCK : SPI用主装置クロック出力、従装置クロック入力ピンです。SPIが従装置として許可されると、ピンは**ポートB方向レジスタ(DDRB)のDDB5**設定に拘らず、入力として設定されます。SPIが主装置として許可されると、ピンのデータ方向はDDB5により制御されます。ピンが強制的に入力とされたとき、プルアップは**ポートB出力レジスタ(PORTB)のPORTB5**により未だ制御できます。詳細については「**SPI**」の説明を参照してください。

• MISO – ポートB ビット4 : PB4

MISO : SPI用主装置データ入力、従装置データ出力ピンです。SPIが主装置として許可されると、**ポートB方向レジスタ(DDRB)のDDB4**設定に拘らず、入力として設定されます。SPIが従装置として許可されると、ピンのデータ方向はDDB4により制御されます。ピンが強制的に入力とされたとき、プルアップは**ポートB出力レジスタ(PORTB)のPORTB4**により未だ制御できます。詳細については「**SP I**」の説明を参照してください。

• MOSI – ポートB ビット3 : PB3

MOSI : SPI用主装置データ出力、従装置データ入力ピンです。SPIが従装置として許可されると、**ポートB方向レジスタ(DDRB)のDDB3**設定に拘らず、入力として設定されます。SPIが主装置として許可されると、ピンのデータ方向はDDB3により制御されます。ピンが強制的に入力とされたとき、プルアップは**ポートB出力レジスタ(PORTB)のPORTB3**により未だ制御できます。詳細については「**SP I**」の説明を参照してください。

• $\overline{SS}$ – ポートB ビット2 : PB2

$\overline{SS}$: 従装置選択入力です。SPIが従装置として許可されると、**ポートB方向レジスタ(DDRB)のDDB2**設定に拘らず、入力として設定されます。従装置では、このピンが**Low**に駆動されるとSPIが活性化(実動作)されます。SPIが主装置として許可されると、ピンのデータ方向はDDB2により制御されます。ピンが強制的に入力とされたとき、プルアップは**ポートB出力レジスタ(PORTB)のPORTB2**により未だ制御できます。詳細については「**SPI**」の説明を参照してください。

• OC1 – ポートB ビット1 : PB1

OC1 : タイマ/カウンタ1の比較一致出力です。PB1ピンはタイマ/カウンタ1の比較一致についての外部出力として扱えます。この機能を扱うには、PB1ピンが**ポートB方向レジスタ(DDRB)のDDB1=1**で出力として設定されなければなりません。同様に、**PWM動作**時の出力にもなります。出力を許可する方法と詳細については「**タイマ/カウンタ1**」の説明を参照してください。

• ICP – ポートB ビット0 : PB0

ICP : タイマ/カウンタ1の捕獲起動入力です。PB0ピンはタイマ/カウンタ1の捕獲起動についての外部入力として扱えます。この機能を扱うには、PB0ピンが**ポートB方向レジスタ(DDRB)のDDB0=0**で入力として設定されなければなりません。詳細については「**タイマ/カウンタ1**」の説明を参照してください。

ポートB回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図50. ポートB回路構成 (PB0ピン)

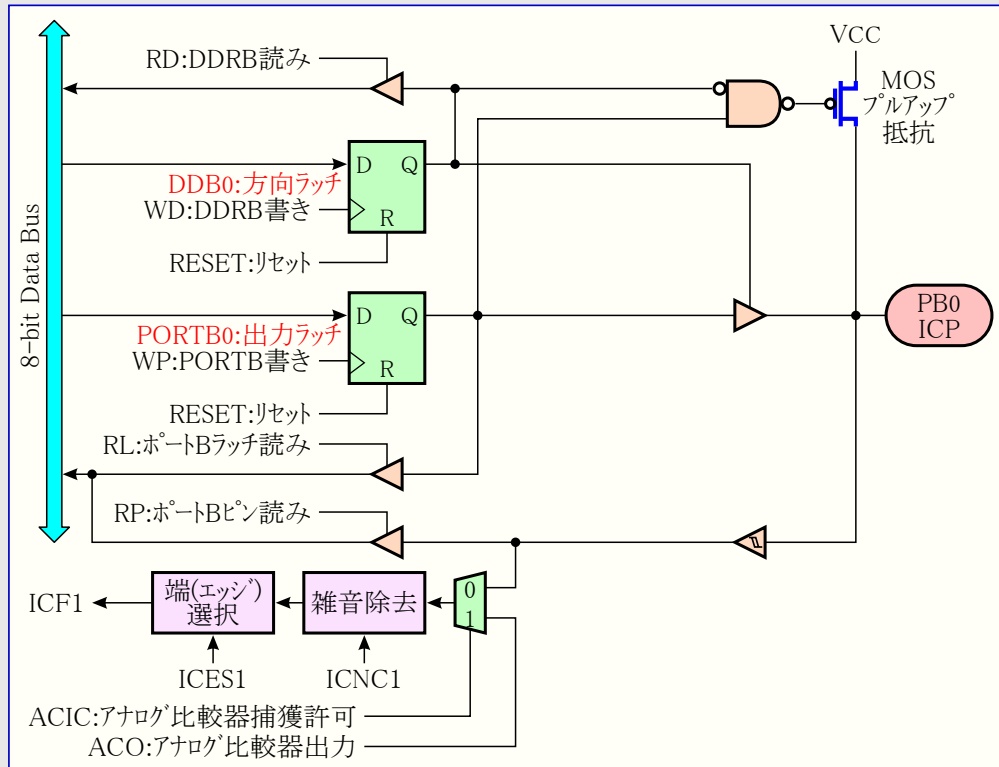


図51. ポートB回路構成 (PB1ピン)

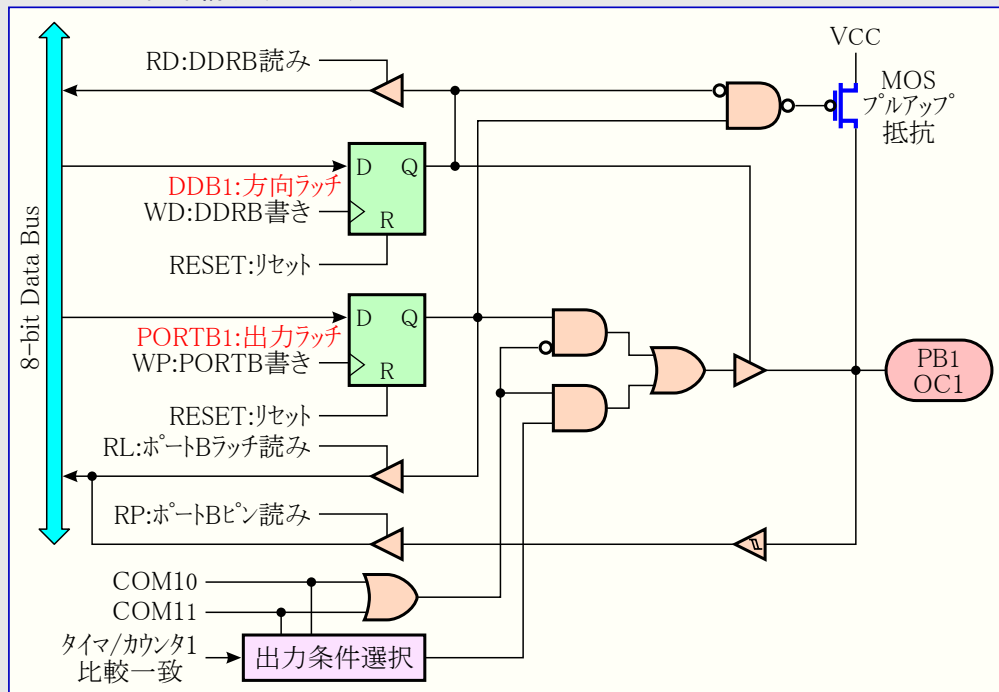


図52. ポートB回路構成 (PB2ピン)

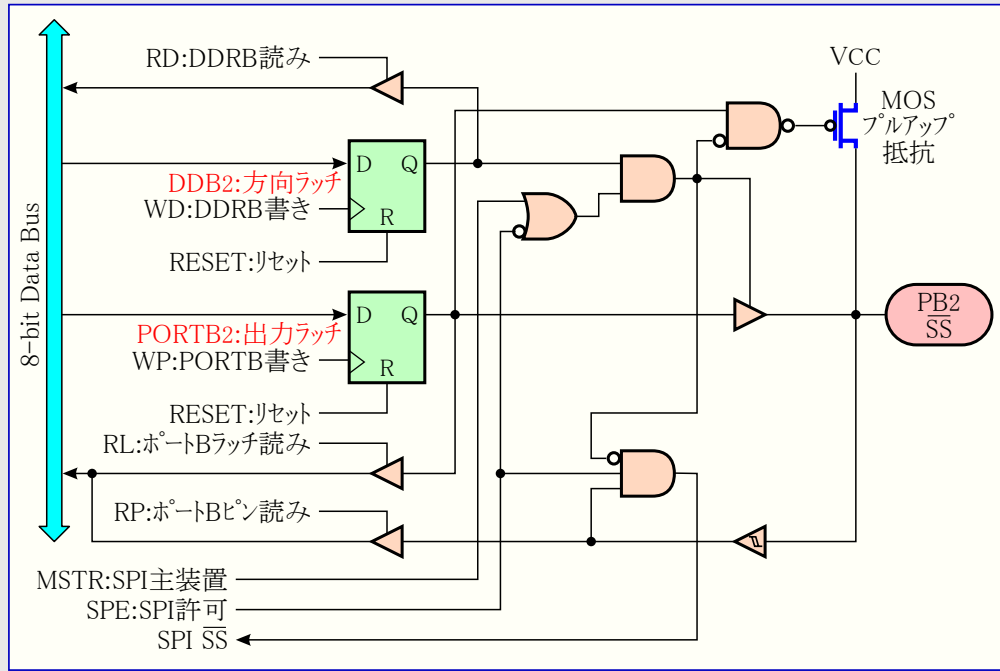


図53. ポートB回路構成 (PB3ピン)

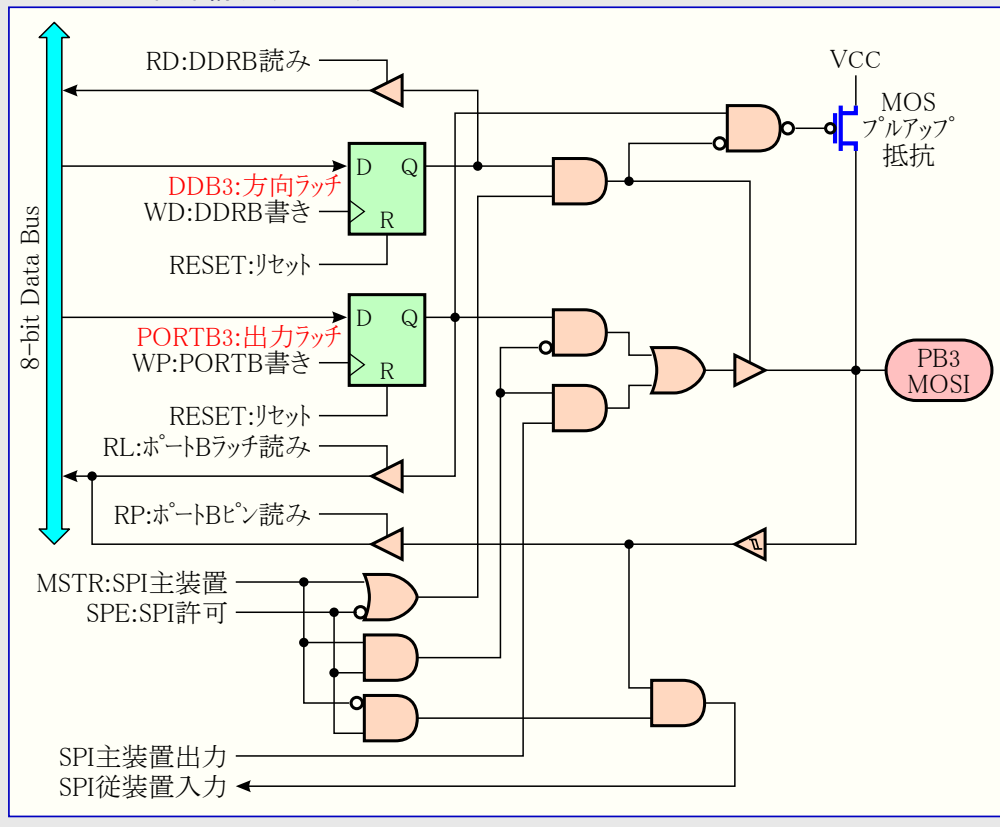


図54. ホートB回路構成 (PB4ピン)

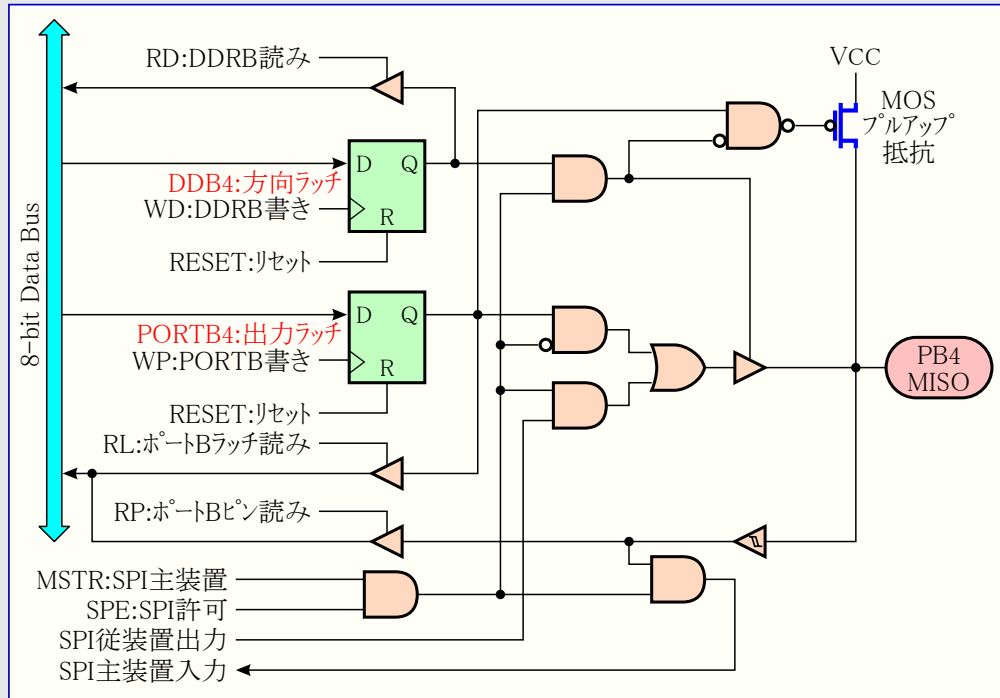
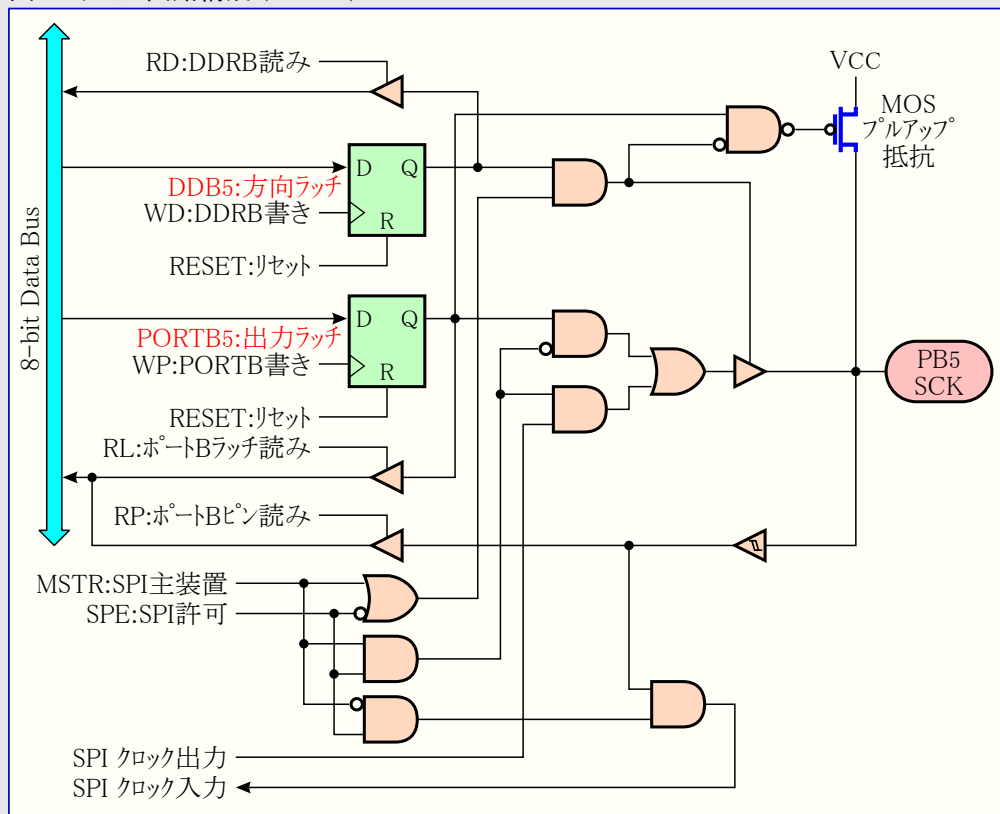


図55. ホートB回路構成 (PB5ピン)



ポートC

ポートCは6ビットの双方向I/Oポートです。

ポートCについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTC), \$15(\$35)、データ方向レジスタ(DDRC), \$14(\$34)、データ入力レジスタ(PINC), \$13(\$33)に割り当てられます。ポートCデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートC出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PC0~5ピンが入力として使われ、外部的に**Low**へ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートCには**A/D変換器**のアナログ入力としての交換機能があります。ポートCピンのいくつかが出力として設定される場合、A/D変換実行中に、それらが切り替わらないことが重要です。これは変換の結果を不正にする可能性があります。

パワーダウン動作中、シュミットトリガデジタル入力(ピンから)切り離されます。これはパワーダウン動作中、過大な電力消費の原因とならずにVCC/2近辺のアナログ電圧が存在するのを許容します。

ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	—	—	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC方向レジスタ (Port C Data Direction Register) DDRC

ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	—	—	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC入力レジスタ (Port C Input Address) PINC

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	—	—	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	不定	不定	不定	不定	不定	不定	

実際のポートC入力レジスタ(PINC)はレジスタではなく、このアドレスはポートC各ピンの物理的な値へのアクセスができます。ポートC出力レジスタ(PORTC)を読む時はポートC出力ラッチが読まれ、ポートC入力レジスタ(PINC)を読む時は、このピン上に存在する論理値が読まれます。

ポートC 標準デジタル入出力

デジタルI/Oピンとして使われる時にポートCの6ピンは全て同じ機能動作です。

標準I/OピンPCnは**ポートC方向レジスタ(DDRC)のDDCnビット**がそのピンの入出力方向を選び、DDCnが設定(1)されると、出力ピンとして設定されます。DDCnが解除(0)されると、入力ピンとして設定されます。**ポートC出力レジスタ(PORTC)のPORTCn**が設定(1)され、そのピンが**入力ピン**として設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTCnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートピンはリセット条件が有効になると、例えクロックが動作していてもHi-Z状態にされます。

表25. ポートCピンに対するDDCnの関係

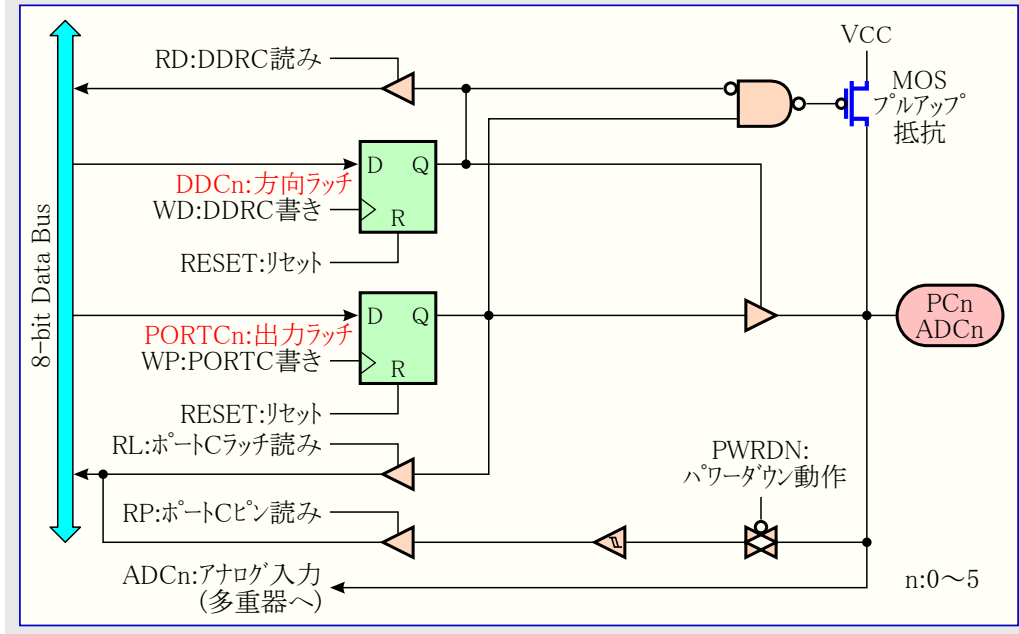
DDCn	PORTCn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PCnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは5~0でビット番号を示します。

ポートC回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図56. ポートC回路構成 (PC0～PC5ピン)



ポートD

ポートDは個別に**選択可能な内蔵プルアップ抵抗**付きの8ビット双方向I/Oポートです。

ポートDについては3つのI/Oメモリアドレス位置が各々、データ出力レジスタ(PORTD), \$12(\$32)、データ方向レジスタ(DDRD), \$11(\$31)、データ入力レジスタ(PIND), \$10(\$30)に割り当てられます。ポートDデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートD出力緩衝部は20mAの吸い込み電流を流せます。入力として、内蔵プルアップ抵抗が有効化されていると、外部的にLowへ引き込まれるポートDピンには吐き出し電流が流れます。

いくつかのポートDピンには、表26.で示される交換機能があります。

表26. ポートDピンの交換機能

ポートピン	交換機能
PD0	RXD (UART受信データ入力)
PD1	TXD (UART送信データ出力)
PD2	INT0 (外部割り込み0入力)
PD3	INT1 (外部割り込み1入力)
PD4	T0 (タイマ/カウンタ0 外部クロック入力)
PD5	T1 (タイマ/カウンタ1 外部クロック入力)
PD6	AIN0 (アナログ比較器非反転入力)
PD7	AIN1 (アナログ比較器反転入力)

ピンが交換機能で使われる時に、ポートD方向レジスタ(DDRD)とポートD出力レジスタ(PORTD)は**交換機能の説明に従って設定**されなければなりません。

ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD入力レジスタ (Port D Input Address) PIND

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R/W	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートD入力レジスタ(PIND)はレジスタではなく、このアドレスはポートD各ピンの物理的な値へのアクセスができます。ポートD出力レジスタ(PORTD)を読む時はポートD出力ラッチが読まれ、ポートD入力レジスタ(PIND)を読む時は、このピン上に存在する論理値が読まれます。

ポートD 標準デジタル入出力

標準I/OピンPDnはポートD方向レジスタ(DDRD)のDDDnビットがそのピンの入出力方向を選び、DDDnが設定(1)されると、出力ピンとして設定されます。DDDnが解除(0)されると、入力ピンとして設定されます。ポートD出力レジスタ(PORTD)のPORTDnが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTDnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートDピンはリセット条件が有効になると、例えクロックが動作していてもHi-Z状態にされます。

表27. ポートDピンに対するDDDnの関係

DDDn	PORTDn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PDnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7〜0でビット番号を示します。

ポートDの交換機能

ポートDの交換機能を以下に示します。

• AIN1 – ポートD ビット7 : PD7

AIN1 : アナログ比較器の反転入力です。ポートD方向レジスタ(DDRD)のDDD7=0で入力として設定され、ポートD出力レジスタ(PORTD)のPORTD7=0で内蔵MOSプルアップ抵抗がOFFにされているとき、このピンは内蔵アナログ比較器の反転入力としても扱えます。パワーダウン動作中、シュミットトリガ デジタル入力が(ピンから)切り離されます。これはパワーダウン動作中、過大な電力消費の原因とならずに、VCC/2近辺のアナログ電圧が存在するのを許容します。

• AIN0 – ポートD ビット6 : PD6

AIN0 : アナログ比較器の非反転入力です。ポートD方向レジスタ(DDRD)のDDD6=0で入力として設定され、ポートD出力レジスタ(PORTD)のPORTD6=0で内蔵MOSプルアップ抵抗がOFFにされているとき、このピンは内蔵アナログ比較器の非反転入力として扱えます。パワーダウン動作中、シュミットトリガ デジタル入力が(ピンから)切り離されます。これはパワーダウン動作中、過大な電力消費の原因とならずに、VCC/2近辺のアナログ電圧が存在するのを許容します。

• T1 – ポートD ビット5 : PD5

T1 : タイマ/カウンタ1の外部クロック入力です。外部入力信号で使うには、ポートD方向レジスタ(DDRD)のDDD5を解除(0)し、入力として設定しなければなりません。詳細については「タイマ/カウンタ1」の説明を参照してください。

• T0 – ポートD ビット4 : PD4

T0 : タイマ/カウンタ0の外部クロック入力です。外部入力信号で使うには、ポートD方向レジスタ(DDRD)のDDD4を解除(0)し、入力として設定しなければなりません。詳細については「タイマ/カウンタ0」の説明を参照してください。

• INT1 – ポートD ビット3 : PD3

INT1 : 外部割り込み1入力です。PD3ピンはMCUへの外部割り込み元として扱えます。外部入力信号で使うには、ポートD方向レジスタ(DDRD)のDDD3を解除(0)し、入力として設定しなければなりません。詳細と許可の方法については「割り込みの扱い」の説明を参照してください。

• INT0 – ポートD ビット2 : PD2

INT0 : 外部割り込み0入力です。PD2ピンはMCUへの外部割り込み元として扱えます。外部入力信号で使うには、ポートD方向レジスタ(DDRD)のDDD2を解除(0)し、入力として設定しなければなりません。詳細と許可の方法については「割り込みの扱い」の説明を参照してください。

• TXD – ポートD ビット1 : PD1

TXD : UARTの送信データ出力です。UART送信(部)が許可されると、このピンはポートD方向レジスタ(DDRD)のDDD1の値に拘らず、出力として設定されます。

• RXD – ポートD ビット0 : PD0

RXD : UARTの受信データ入力です。UART受信(部)が許可されると、このピンはポートD方向レジスタ(DDRD)のDDD0の値に拘らず、入力として設定されます。UARTがこのピンを強制的に入力とするときでも、ポートD出力レジスタ(PORTD)のPORTD0の論理1は内蔵プルアップ抵抗をONに切り替えます。

ポートD回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図57. ポートD回路構成 (PD0ピン)

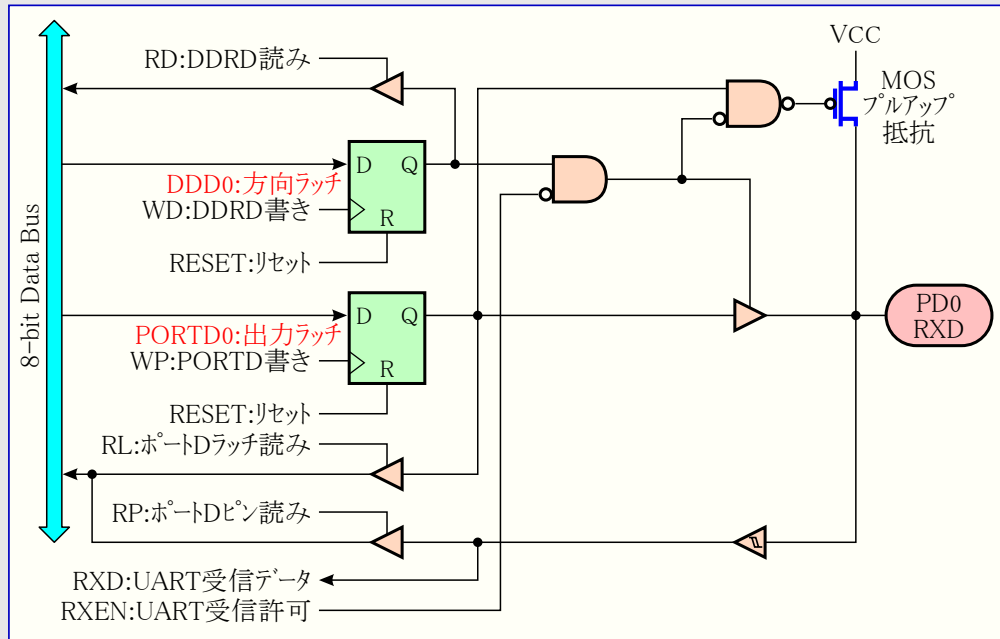
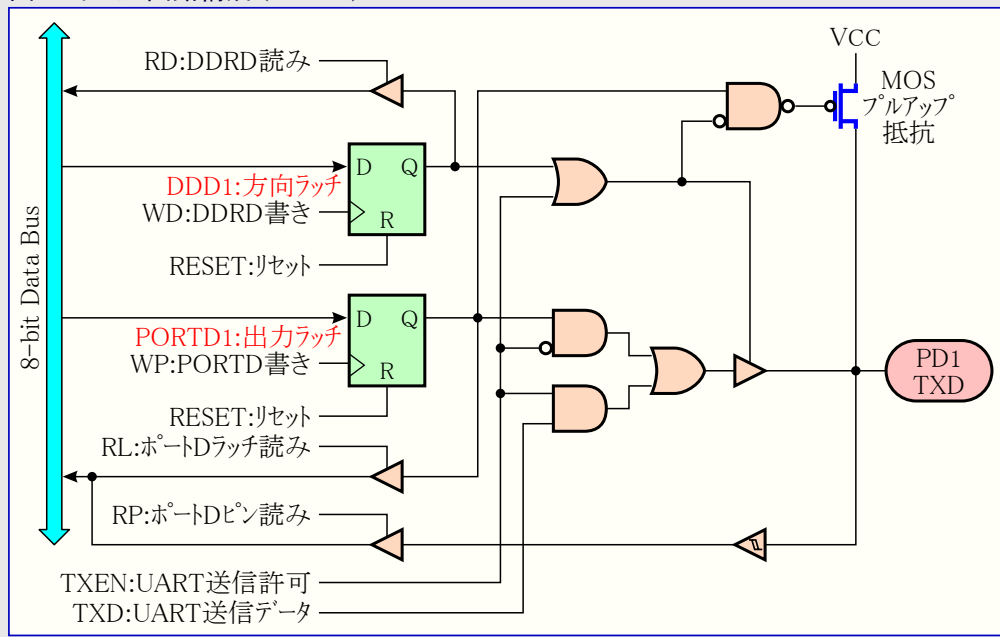


図58. ポートD回路構成 (PD1ピン)



[illegible]

図60. ポートD回路構成 (PD4, PD5ピン)

8-bit Data Bus

RD:DDR読み

DDDn:方向ラッチ

WD:DDR書き

RESET:リセット

PORTDn:出力ラッチ

WP:PORTD書き

RESET:リセット

RL:ポートDラッチ読み

RP:ポートDピン読み

タイマ/カウンタ_mクロック選択器

検出条件制御

CS_{m2} CS_{m1} CS_{m0}

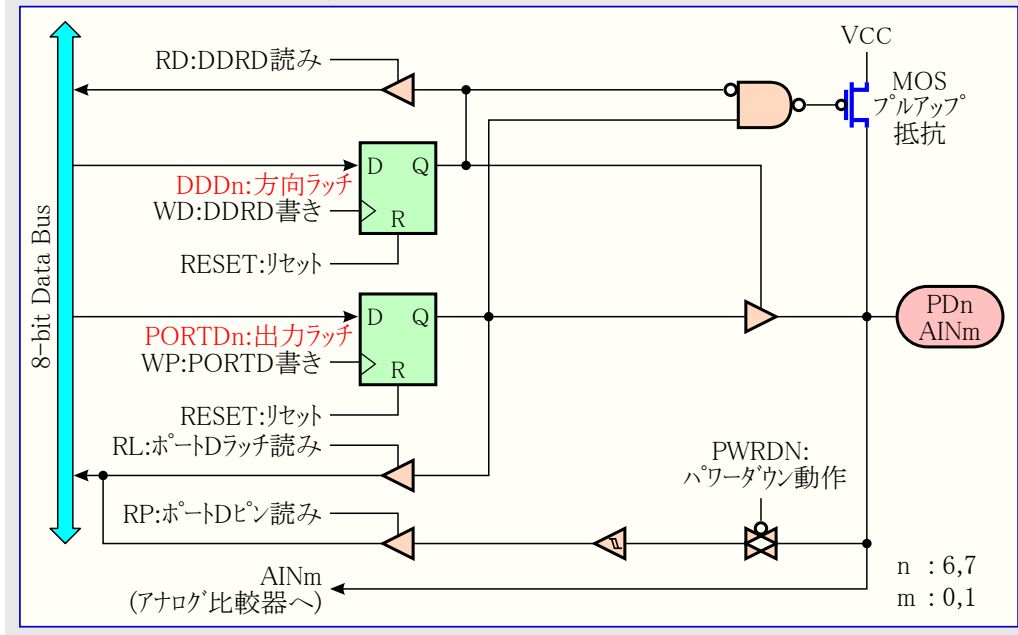
VCC

MOSプルアップ抵抗

PD_n T_m

n : 4,5
m : 0,1

図61. ホートD回路構成 (PD6, PD7ピン)



メモリプログラミング

プログラムメモリとデータメモリ用施錠ビット

AT90S2333/4433は、非プログラム(1)のままか、表28.で示される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表28. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュメモリとEEPROMのプログラミング機能が禁止されます。(注)
3	0	0	保護種別2と同様、更に照合も禁止されます。

注: 並列動作でのヒューズビットの書き込みも禁止されます。施錠ビットの書き込み前にヒューズビットを書いてください。

ヒューズビット

AT90S2333/4433には、6つのヒューズビット、SPIEN, BODLEVEL, BODEN, CKSEL2~0があります。

- SPIENヒューズがプログラム(0)されると、直列プログラミングが許可されます。既定値はプログラム(0)です。このビットは直列プログラミング動作ではアクセスできません。
- BODLEVELヒューズは低電圧検出(BOD)電圧を選び、起動時間を変更します。14頁の「低電圧(ブラウンアウト)検出リセット」を参照してください。既定値は非プログラム(1)です。
- BODENヒューズがプログラム(0)されると、低電圧検出器(BOD)が許可されます。14頁の「低電圧(ブラウンアウト)検出リセット」を参照してください。既定値は非プログラム(1)です。
- CKSEL2~0はリセット遅延時間を選びます。CKSEL2~0のどの組み合わせを使うかについては13頁の表5.を参照してください。既定値は"010"です。

ヒューズビットの状態はチップ消去による影響を受けません。

識票バイト

全てのAtmelマイクロコントローラはデバイス識別用に3バイトの識票符号を持ちます。この3バイトは他から分離された空間に存在します。

AT90S2333の識票符号を次に示します。

AT90S4433の識票符号を次に示します。

- ① \$00 : \$1E 製造業者Atmelを示します。
- ② \$01 : \$91 フラッシュメモリ容量2Kバイトを示します。
- ③ \$02 : \$05 ②値\$91と合せ、AT90S2333を示します。

- ① \$00 : \$1E 製造業者Atmelを示します。
- ② \$01 : \$92 フラッシュメモリ容量4Kバイトを示します。
- ③ \$02 : \$03 ②値\$92と合せ、AT90S4433を示します。

注: 両方の施錠ビットがプログラム(0)される(保護種別3)と、識票バイトは直列動作で読めません。識票バイトの読み込みは\$00,\$01,\$02が戻ります。

フラッシュメモリとEEPROMのプログラミング

AtmelのAT90S2333/4433は実装再書き込み可能な2K/4Kバイトのプログラム用フラッシュメモリと128/256バイトのデータ用EEPROMメモリを提供します。

AT90S2333/4433にはプログラム用内蔵フラッシュメモリとデータ用EEPROMメモリが消去(全ビット=1)されてプログラムされる準備が整った状態で搭載されています。このデバイスは高電圧(12V)並列プログラミング動作と低電圧直列プログラミング動作を支援します。+12Vはプログラム許可のためだけに使われ、このピンにより特筆すべき電流は流されません。直列プログラミング動作は実装済みのデバイスにプログラムとデータを書き込む便利な方法を提供します。

AT90S2333/4433のフラッシュメモリとEEPROMはどちらのプログラミング動作でもバイト単位でプログラムされます。EEPROMについては直列プログラミング動作での自動書き込み命令で自動消去周期が提供されます。プログラミング中の供給電圧は表29.に従っていなければなりません。

表29. プログラミング中の供給電圧

デバイス	直列プログラミング	並列プログラミング
AT90S2333	4.0~6.0V	4.5~5.5V
AT90LS2333	2.7~6.0V	
AT90S4433	4.0~6.0V	
AT90LS4433	2.7~6.0V	

並列プログラミング

この章では、AT90S2333/4433でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。

信号名

この章ではAT90S2333/4433のいくつかのピンが並列プログラミング中の機能を示す信号名によって参照されます。**図62**と**表30**を参照してください。**表30**で示されないピンはピン名で参照されます。

XA0とXA1ピンはXTAL1ピンに正パルスが与えられる時に実行される動作を決めます。この規約は**表31**で示されます。

$\overline{WR}$ または $\overline{OE}$ パルス時、取得された指令が実行される動作を決めます。この指令は**表32**で示されるように各ビットで機能が示されるバイトです。

図62. 並列プログラミング構成図

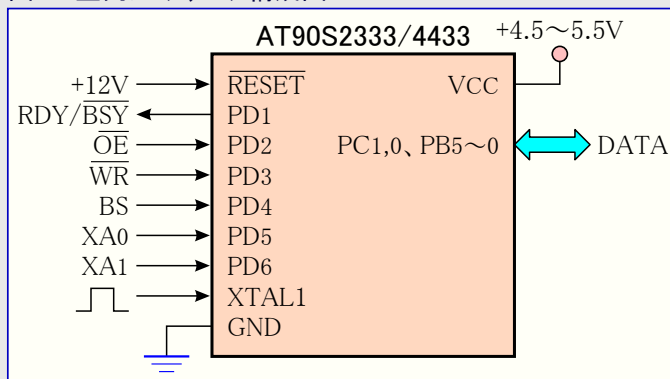


表30. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/ $\overline{BSY}$	PD1	出力	0: プログラミング多忙 1: 準備可(指令受付可)
$\overline{OE}$	PD2	入力	出力許可(負論理)
$\overline{WR}$	PD3	入力	書き込み(負論理)
BS	PD4	入力	上位/下位バイト選択 (0: 下位, 1: 上位)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
DATA	PC1,0, PB5~0	入出力	データ ($\overline{OE}$ =L時出力)

表31. XA0とXA1の機能

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位/下位はBSで指示)
0	1	データ取得 (フラッシュ時の上位/下位はBSで指示)
1	0	指令取得
1	1	アイドル (動作なし)

表32. ビット規約による指令バイト

指令バイト	指令の機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	施錠ビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$11 (0001 0001)	EEPROM書き込み
\$08 (0000 1000)	識別バイト読み出し
\$04 (0000 0100)	ヒューズビットと施錠ビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し
\$03 (0000 0011)	EEPROM読み出し

プログラミング動作への移行

次の方法がデバイスを並列プログラミング動作にします。

- ① 表29に従った供給電圧をVCCとGND間に印加します。
- ② RESETとBSピンをLow(0)にし、最低100ns待機します。
- ③ RESETに11.5～12.5Vを印加します。RESETに+12V印加後100ns以内のどんなBSの動き(値)も、デバイスのプログラミング動作移行失敗の原因になります。

チップ消去

チップ消去指令はフラッシュメモリ、EEPROM、施錠ビットを消去します。施錠ビットはフラッシュメモリとEEPROMが完全に消去されてしまうまで消去されません。チップ消去でヒューズビットは変化しません。フラッシュメモリまたはEEPROMの再書き込み前には、チップ消去が実行されなければなりません。

チップ消去の手順を次に示します。

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BSをLow(0)にします。
- ③ DATAを\$80(1000 0000)にします。これはチップ消去指令です。
- ④ XTAL1に正パルスを与えます。これで指令を設定します。
- ⑤ チップ消去を実行するため、WRにtWLWH_CE幅(表33参照)の負パルスを与えます。チップ消去はRDY/BSYピンにどんな動きも生成しません。

フラッシュメモリ書き込み (図63タイミングを参照)

A. フラッシュメモリ書き込み指令設定

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BSをLow(0)にします。
- ③ DATAを\$10(0001 0000)にします。これはフラッシュメモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これでフラッシュメモリ書き込み指令を設定します。

B. 上位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BSをHigh(1)にします。これは上位バイト選択です。
- ③ DATAにアドレス上位バイト(\$00～\$03/\$07)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス上位バイトを設定します。

C. 下位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BSをLow(0)にします。これは下位バイト選択です。
- ③ DATAにアドレス下位バイト(\$00～\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス下位バイトを設定します。

D. データ下位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ② DATAにデータ下位バイト(\$00～\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これでデータ下位バイトを設定します。

E. データ下位バイト書き込み

- ① BSをLow(0)にします。これは下位バイト選択です。
- ② WRに負パルスを与えます。これでバイトデータの書き込みが開始され、RDY/BSYがLow(0)になります。
- ③ 次バイト書き込みのため、RDY/BSYがHigh(1)になるまで待機します。

F. データ上位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ② DATAにデータ上位バイト(\$00～\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これでデータ上位バイトを設定します。

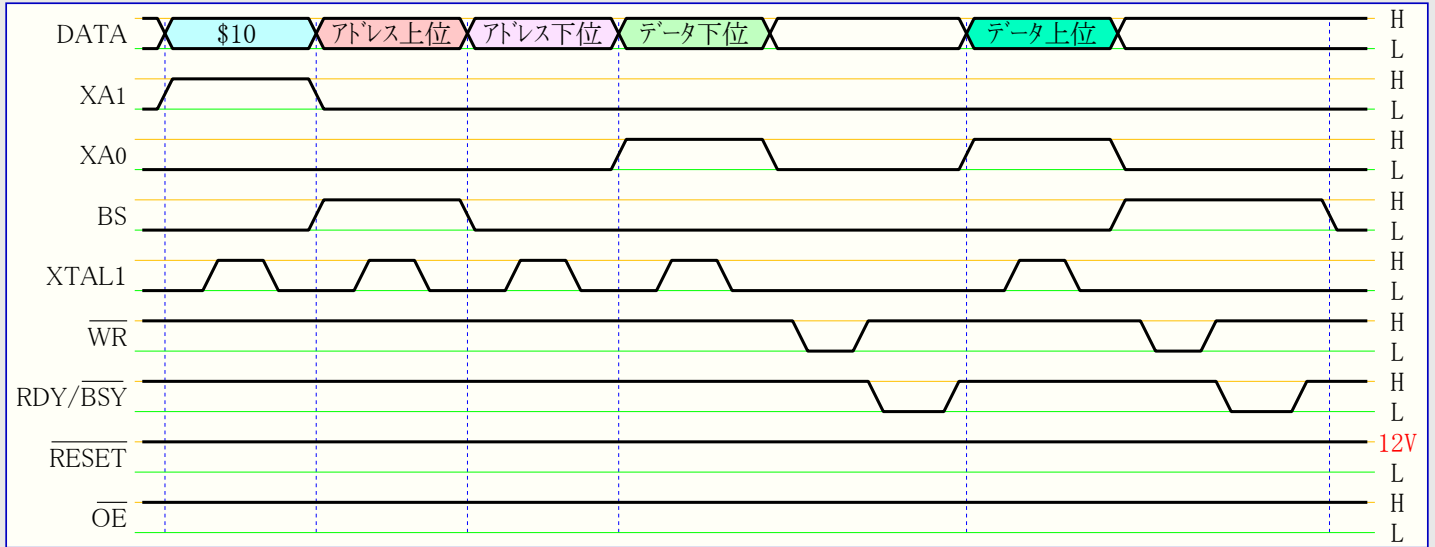
G. データ上位バイト書き込み

- ① BSをHigh(1)にします。これは上位バイト選択です。
- ② WRに負パルスを与えます。これでバイトデータの書き込みが開始され、RDY/BSYがLow(0)になります。
- ③ 次バイト書き込みのため、RDY/BSYがHigh(1)になるまで待機します。

設定された指令とアドレスはプログラム中、保持されます。効率的なプログラミングを行うには次の点が考慮されるべきです。

- 複数のメモリ位置を読み書きする時に指令は一度の設定だけです。
 - アドレス上位バイトはフラッシュメモリの新規256語ページのプログラミング前に設定されることが必要です。
 - チップ消去後のフラッシュメモリとEEPROMの全ての内容は\$FFなので、値\$FFのデータ書き込みは行わないようにします。
- これらの考慮はEEPROM書き込みと、フラッシュメモリ、EEPROM、**識別バイト**の読み出しでも適用されます。

図63. フラッシュメモリ書き込みタイミング



(訳注) 原書での図63.と図64.は図63.として結合しました。

フラッシュメモリ読み出し

フラッシュメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. フラッシュメモリ読み出し指令\$02(0000 0010)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
 2. アドレス上位バイト(\$00~\$03/\$07)を設定します。(「フラッシュメモリ書き込み」のB.を参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のC.を参照)
- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これでフラッシュメモリの語(ワード)の下位バイトがDATAに読み出されます。
- ② BSをHigh(1)にします。これでフラッシュメモリの語(ワード)の上位バイトがDATAに読み出されます。
- ③ $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

EEPROM書き込み

データ用EEPROMメモリの書き込み方法を次に示します。(指令、アドレス、データ設定の詳細は「フラッシュメモリ書き込み」を参照)

1. EEPROM書き込み指令\$11(0001 0001)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. アドレス下位バイト(\$00~\$7F/\$FF)を設定します。(「フラッシュメモリ書き込み」のC.を参照)
3. データ下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のD.を参照)
4. データ下位バイトを書き込みます。(「フラッシュメモリ書き込み」のE.を参照)

EEPROM読み出し

EEPROMメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. EEPROM読み出し指令\$03(0000 0011)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
 2. アドレス下位バイト(\$00~\$7F/\$FF)を設定します。(「フラッシュメモリ書き込み」のC.を参照)
- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これでEEPROMメモリのバイトデータがDATAに読み出されます。
- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

ヒューズ・ビット書き込み

ヒューズ・ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュ・メモリ書き込み」を参照)

1. ヒューズ・ビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュ・メモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュ・メモリ書き込み」のD.を参照)

ビット7,6	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。
ビット5	SPIEN ヒューズ・ビット	
ビット4	BODLEVEL ヒューズ・ビット	
ビット3	BODEN ヒューズ・ビット	
ビット2	CKSEL2 ヒューズ・ビット	
ビット1	CKSEL1 ヒューズ・ビット	
ビット0	CKSEL0 ヒューズ・ビット	

- ① 書き込みを実行するため、 $\overline{WR}$ に t_{WLWH_PFB} 幅(表33.参照)の負パルスを与えます。ヒューズ・ビット書き込みはRDY/ $\overline{BSY}$ ピンに如何なる動きも生成しません。

施錠ビット書き込み

施錠ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュ・メモリ書き込み」を参照)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュ・メモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=無変化(状態維持)です。(「フラッシュ・メモリ書き込み」のD.を参照)

ビット2	施錠ビット2 (LB2)	
ビット1	施錠ビット1 (LB1)	
ビット7~3,0	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。

3. データ下位バイトを書き込みます。(「フラッシュ・メモリ書き込み」のE.を参照)

施錠ビットはチップ消去の実行によってのみ消去(1)できます。

ヒューズ・ビットと施錠ビットの読み出し

ヒューズ・ビットと施錠ビットの読み出し方法を次に示します。(指令設定の詳細については「フラッシュ・メモリ書き込み」を参照)

1. ヒューズ・ビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュ・メモリ書き込み」のA.を参照)

- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これでヒューズ・ビットの状態がDATAに読み出されます。(0=プログラム)

ビット5	SPIEN ヒューズ・ビット	
ビット4	BODLEVEL ヒューズ・ビット	
ビット3	BODEN ヒューズ・ビット	
ビット2	CKSEL2 ヒューズ・ビット	
ビット1	CKSEL1 ヒューズ・ビット	
ビット0	CKSEL0 ヒューズ・ビット	

- ② BSをHigh(1)、 $\overline{OE}$ をLow(0)にします。これで施錠ビットの状態がDATAに読み出されます。(0=プログラム)

ビット2	施錠ビット2 (LB2)	
ビット1	施錠ビット1 (LB1)	

- ③ $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

識票バイト読み出し

識票バイトの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュ・メモリ書き込み」を参照)

1. 識票バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュ・メモリ書き込み」のA.を参照)
2. アドレス下位バイト(\$00~\$02)を設定します。(「フラッシュ・メモリ書き込み」のC.を参照)

- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これで識票バイトがDATAに読み出されます。

- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

並列プログラミング特性

図65. 並列プログラミング タイミング

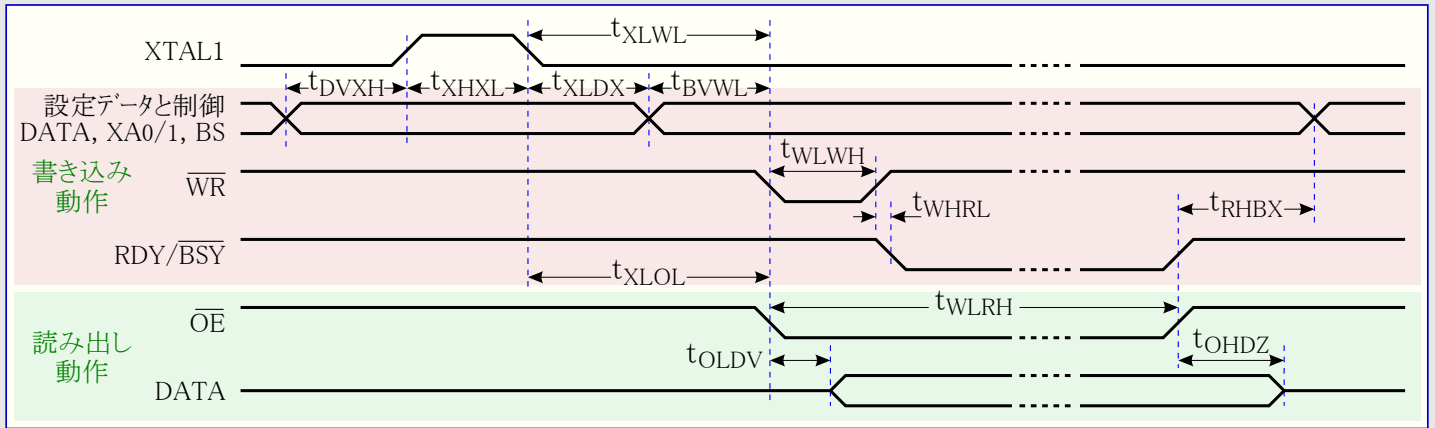


表33. 並列プログラミング特性 (TA=25°C±10%, VCC=5V±10%)

シンボル	項目	最小	代表	最大	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
tDVXH	XTAL1に対するデータと制御の準備時間	67			ns
tXHXL	XTAL1パルス幅	67			
tXLDX	XTAL1に対するデータと制御の保持時間	67			
tXLWL	XTAL1パルスの↓に対するWR↓待機時間	67			
tBVWL	BS(有効から)に対するWR↓待機時間	67			
tRHBX	RDY/BSY↑後のBS保持時間	67			
tWLWH	WRパルス幅 (注1)	67			
tWHRL	WRパルス後(↑)のRDY/BSY↓遅延時間 (注2)		20		
tWLRH	書き込み時間 (WR↓からRDY/BSY↑) (注2)	0.5	0.7	0.9	ms
tXLOL	XTAL1パルスの↓に対するOE↓待機時間	67			ns
tOLDV	OE↓に対するデータ出力遅延時間		20		
tOHDZ	OE↑に対する浮き遅延時間			20	
tWLWH_CE	チップ消去時のWRパルス幅	5	10	15	ms
tWLWH_PFB	ヒューズビット書き込み時のWRパルス幅	1.0	1.5	1.8	

注1: チップ消去時はtWLWH_CEを、ヒューズビット書き込み時はtWLWH_PFBを使います。

注2: tWLWHがtWLRHよりも長い場合、RDY/BSYの負パルスは現れません。

直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがLowレベルの間に直列SPIバスを使ってプログラミングを行うことができます。この直列インターフェースはSCK入力、MOSI入力、MISO出力で構成されます(図66.参照)。RESETをLowレベルに設定後、プログラムや消去命令が実行される前に、**プログラミング許可命令**が最初に実行されなければなりません。

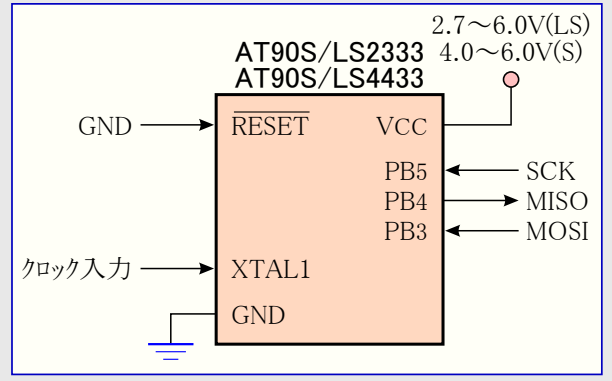
EEPROMに対しては自己タイミングによる**書き込み命令**内で先行して自動消去周期が提供される(直列プログラミングのみ)ので、最初に**チップ消去命令**を実行する必要はありません。チップ消去命令はフラッシュメモリとEEPROMの全内容を\$FFにします。

フラッシュメモリとEEPROMはプログラム用フラッシュメモリが\$0000～\$03FF/\$07FFでデータ用EEPROMメモリが\$0000～\$007F/\$00FFの分離されたアドレス空間を持ちます。

XTAL1とXTAL2ピン間にXtalを接続するか、XTAL1ピンに外部クロックを供給するかのどちらかが必要です。直列クロック(SCK)のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 > 2 XTAL1 クロック周期
High区間 > 2 XTAL1 クロック周期

図66. 直列プログラミング構成図



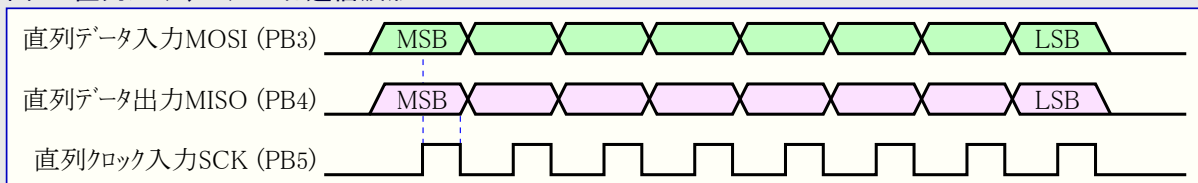
直列プログラミング手順

AT90S2333/4433に直列データを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細タイミングについては図67、図68、表36を参照してください。

直列プログラミング動作でのAT90S2333/4433のプログラミングと検証は次の手順が推奨されます。(4バイトの命令形式は表35を参照)

- 次の手順で電源を投入します。
RESETとSCKがLow(0)に設定されている間中に、VCCとGND間へ電源を供給します。XTAL1とXTAL2ピン間にXtalが接続されていない場合、XTAL1ピンにクロック信号を供給します。いくつかのシステムに於いて、電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETには最低XTAL1周期幅2つ分の正パルスを与えられなければなりません。
- 最低20ms待機し、MOSI(PB3)ピンに**プログラミング許可命令**を送ることによって直列プログラミングを可能にします。
- 通信の同期が外れていると、直列プログラミング命令が動作しません。同期しているとき、プログラム許可命令の第3バイト送出時に第2バイト(\$53)を送り返します。この送り返しが成功か失敗かによらず、命令の4バイト全てが送信されなければなりません。送り返しが\$53でなかった場合、SCKに正パルスを与え、新規プログラミング許可命令を行います。32回の試行で\$53が検出できない場合、直列プログラミング機能のないデバイスが接続されています。
- チップ消去が実行される場合(フラッシュメモリの消去のために実行が必要)、本命令実行後tWD_ERASE(67頁の表37.参照)時間待機し、RESETに正パルスを与え、手順2.からを行います。
- フラッシュメモリやEEPROMは適切な**書き込み命令**内でアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMメモリ位置は、新規(今回)データが書かれる前、最初に自動消去されます。フラッシュメモリやEEPROMの次のバイトが書ける時を検出するために**データポーリング**を使ってください。ポーリングが使われない場合、次の命令送出前にtWD_PROG(67頁の表38.参照)時間待機します。消去されているデバイスでは\$FFのデータを書く必要がありません。
- 何れのメモリ位置も、選ばれたアドレスの内容を直列出力MISO(PB4)ピンに読み戻す、**読み出し命令**の使用で検証ができます。
- プログラミング終了時、通常動作とするためには、RESETをHigh(1)に設定します。
- 電源OFF手順 (必要な場合)
 - クリスタルが使われない場合は、XTAL1をLow(0)にします。
 - RESETをHigh(1)にします。
 - VCC電源をOFFにします。

図67. 直列プログラミング バイト通信波形



EEPROMのデータホーリング

EEPROM内にバイトデータが書かれつつある時に書かれているアドレス位置を読むと、自動消去が完了されるまでは値P1が、その後は値P2が得られます。P1,P2は表34を参照してください。

書かれた値が正しく読めると同時に、デバイスは新規EEPROMデータの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値P1とP2については行えないので、これらの値を書く時は次バイト書き込み前に少なくとも規定されたtWD_PROG(表38参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。最初にチップ消去せずにEEPROMが再書き込みされる場合、これは適用されません。

表34. EEPROMホーリング中の読み出し値

デバイス	P1	P2
AT90S/LS2333	\$00	\$FF
AT90S/LS4433	\$00	\$FF

フラッシュメモリのデータホーリング

フラッシュメモリ内にバイトデータが書かれつつある時に書かれているアドレス位置を読むと、値\$FFが得られます。書かれた値が正しく読めると同時に、デバイスは新規バイトの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値\$FFについては行えないので、この値を書く時は次バイト書き込み前に少なくともtWD_PROG(表38参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。

表35. 直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリとEEPROMを消去します。
フラッシュメモリ読み出し	0010 P000	xxxx xHHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
フラッシュメモリ書き込み	0100 P000	xxxx xHHH	LLLL LLLL	WWW WWW	アドレスH:LのP(H/L)バイトに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxxx	LLLL LLLL	RRRR RRRR	アドレスH:Lのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxxx	LLLL LLLL	WWW WWW	アドレスH:Lのバイトに書き込みます。
施錠ビット読み出し	0101 1000	xxxx xxxx	xxxx xxxx	xxxx x21x	施錠ビット(LB1, LB2)を読み出します。
施錠ビット書き込み	1010 1100	1111 1211	xxxx xxxx	xxxx xxxx	施錠ビット(LB1, LB2)を書き込みます。
ヒューズビット読み出し	0101 0000	xxxx xxxx	xxxx xxxx	xx87 6543	ヒューズビットを読み出します。
ヒューズビット書き込み	1010 1100	1017 6543	xxxx xxxx	xxxx xxxx	ヒューズビットを書き込みます。
識票バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。

注1: H = アドレス上位バイトのビット
L = アドレス下位バイトのビット
P = 0=下位バイト、1=上位バイト
R = 読み出しデータ(MCU出力)
W = 書き込みデータ(MCU入力)
x = 0か1 (無意味)

1 = 施錠ビット1 (LB1)
2 = 施錠ビット2 (LB2)

3 = CKSEL0 ヒューズビット
4 = CKSEL1 ヒューズビット
5 = CKSEL2 ヒューズビット
6 = BODEN ヒューズビット
7 = BODLEVEL ヒューズビット
8 = SPIEN ヒューズビット

注2: 識票バイトは保護種別3(LB1=0, LB2=0)の状態では読み出せません。

直列プログラミング特性

図68. 直列プログラミング タイミング

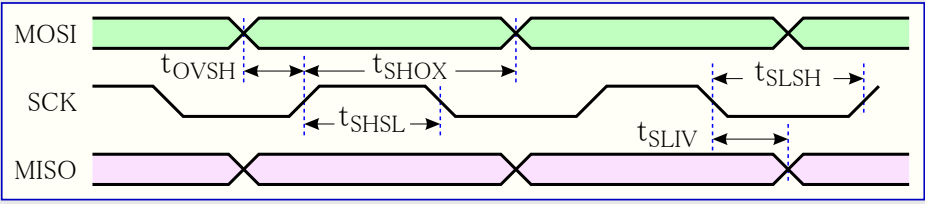


表36. 直列プログラミング特性 (特記条件を除いて、TA=-40℃～85℃，VCC=2.7～6.0V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	2.7～6.0V	0	4	MHz
		4.0～6.0V	0	8	
tCLCL	発振器周期	2.7～6.0V	250		ns
		4.0～6.0V	125		
tSHSL	SCKパルスHレベル幅	2tCLCL			
tSLSH	SCKパルスLレベル幅	2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間	tCLCL			
tSHOX	SCK↑に対するMOSI保持時間	2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間	10	16	32	

表37. チップ消去命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_ERASE	18ms	14ms	12ms	8ms

表38. フラッシュメモリ、EEPROM書き込み命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_PROG	9ms	7ms	6ms	4ms

電気的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-1.0V ~ VCC+0.5V
RESETピン許容電圧	-1.0V ~ +13.0V
最大動作電圧	6.6V
入出力ピン出力電流	40.0mA
消費電流	300.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=2.7V~6.0V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧	XTAL1, RESETを除く	-0.5		0.3VCC (注1)	V
V _{IL1}	Lowレベル入力電圧	XTAL1, RESET	-0.5		0.2VCC (注1)	
V _{IH}	Highレベル入力電圧	XTAL1, RESETを除く	0.7VCC (注2)		VCC+0.5	
V _{IH1}	Highレベル入力電圧	XTAL1	0.7VCC (注2)		VCC+0.5	
V _{IH2}	Highレベル入力電圧	RESET	0.85VCC (注2)		VCC+0.5	
V _{OL}	Lレベル出力電圧 (ポートB,C,D) (注3)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	μA
V _{OH}	Hレベル出力電圧 (ポートB,C,D) (注4)	IOH=-3mA, VCC=5V	4.3			
		IOH=-1.5mA, VCC=3V	2.2			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=6V			8.0	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	(確実なH/L範囲)			8.0	
R _{RST}	RESETピンプルアップ抵抗		100		500	kΩ
R _{I/O}	I/Oピンプルアップ抵抗		35		120	
I _{CC}	活動動作消費電流	VCC=3V, 4MHz			5.0	mA
	アイドル動作消費電流				2.0	
	パワーダウン動作消費電流 (注5)	VCC=3V, WDT有効			20.0	μA
		VCC=3V, WDT禁止			10.0	
V _{ACIO}	アナログ比較器入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2			40	mV
I _{ACLK}	アナログ比較器入力漏れ電流		-50		50	nA
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで20mA、VCC=3Vで10mA)より多くの吸い込み電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOLの合計が300mAを超えるべきではありません。
2. ポートC0~C5のIOLの合計が100mAを超えるべきではありません。
3. ポートB0~B5、D0~D7とXTAL2のIOLの合計が200mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで3mA、VCC=3Vで1.5mA)より多くの吐き出し電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOHの合計が300mAを超えるべきではありません。
2. ポートC0~C5のIOHの合計が100mAを超えるべきではありません。
3. ポートB0~B5、D0~D7とXTAL2のIOHの合計が200mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きな吐き出し電流を流すことは保証されません。

注5: パワーダウン動作時の最小電源電圧(VCC)は2.0Vです。

外部クロック特性

図69. 外部クロック

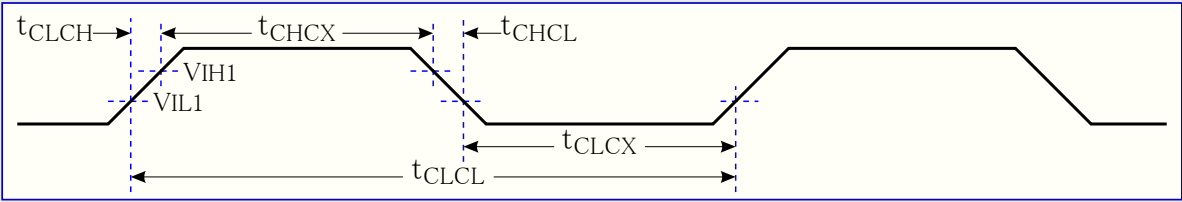


表39. 外部クロック特性

シンボル	項目	VCC=2.7V~6.0V		VCC=4.0V~6.0V		単位
		最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	4	0	8	MHz
tCLCL	クロック周期	250		125		ns
tCHCX	Highレベル時間	100		50		
tCLCX	Lowレベル時間	100		50		
tCLCH	上昇時間		1.6		0.5	μs
tCHCL	下降時間		1.6		0.5	

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $C_L(\text{負荷容量}) \times V_{CC}(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマにより引き込んだ(消費した)差電流を表します。

図70. 活動動作消費電流 対 周波数 (TA=25°C)

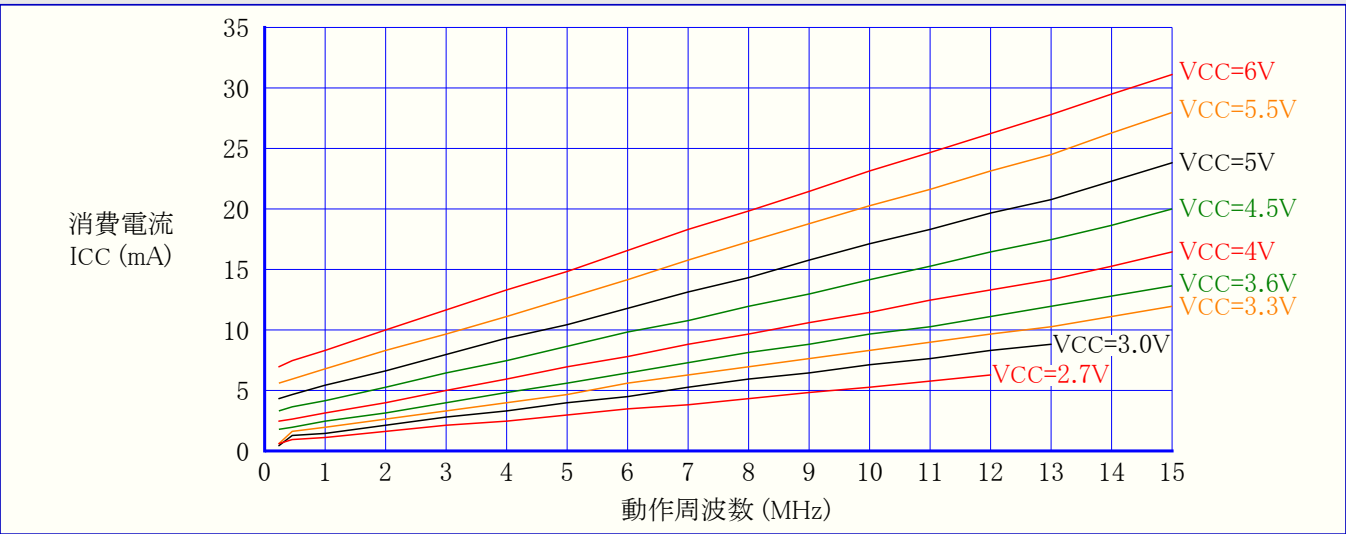


図71. 活動動作消費電流 対 動作電圧 (周波数=4MHz)

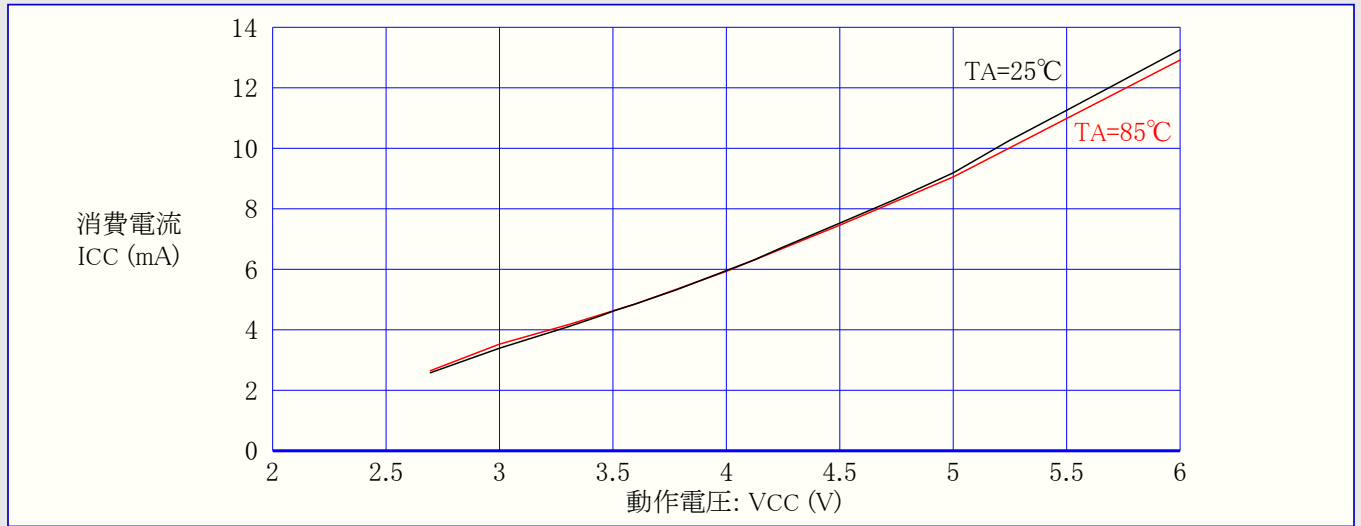


図72. アイドル動作消費電流 対 周波数 (TA=25°C)

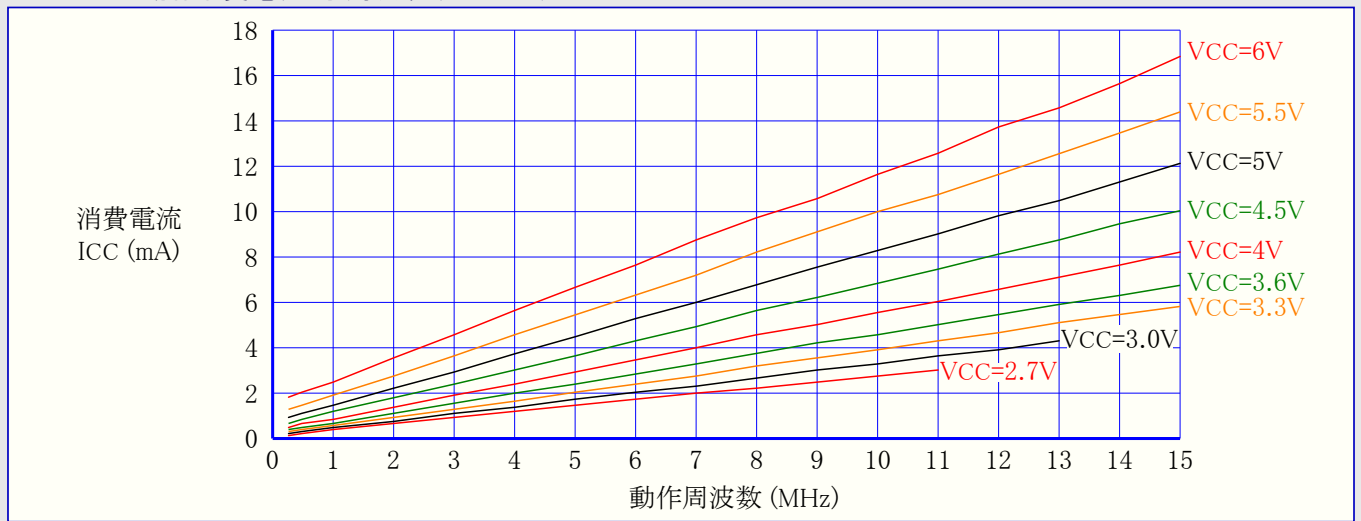


図73. アイドル動作消費電流 対 動作電圧 (周波数=4MHz)

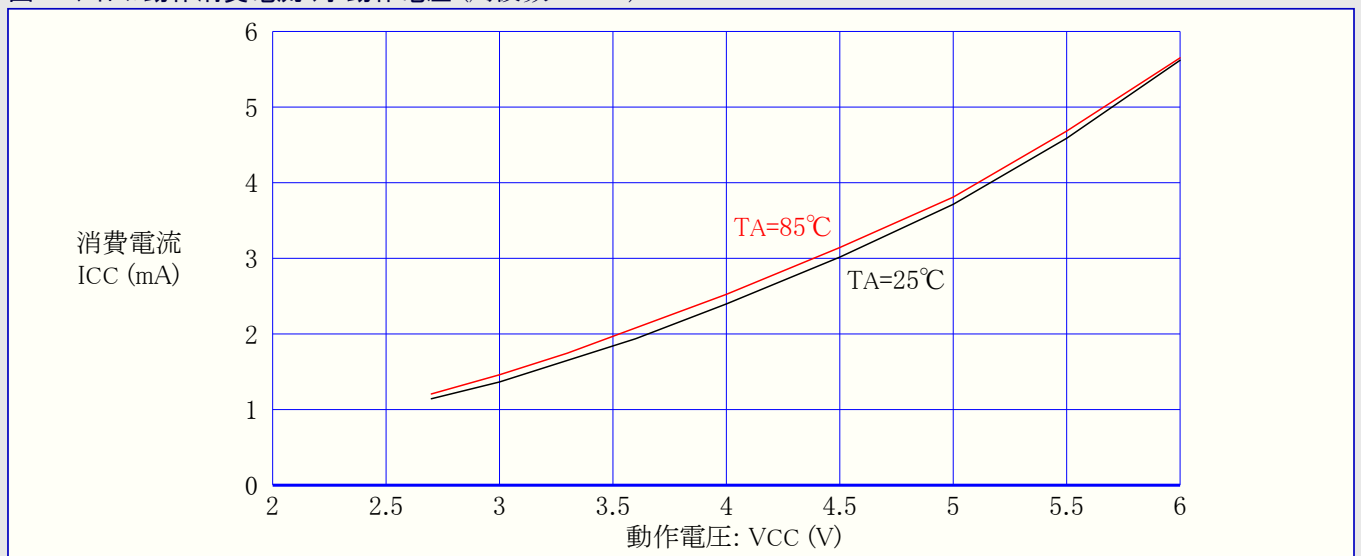


図74. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイム停止)

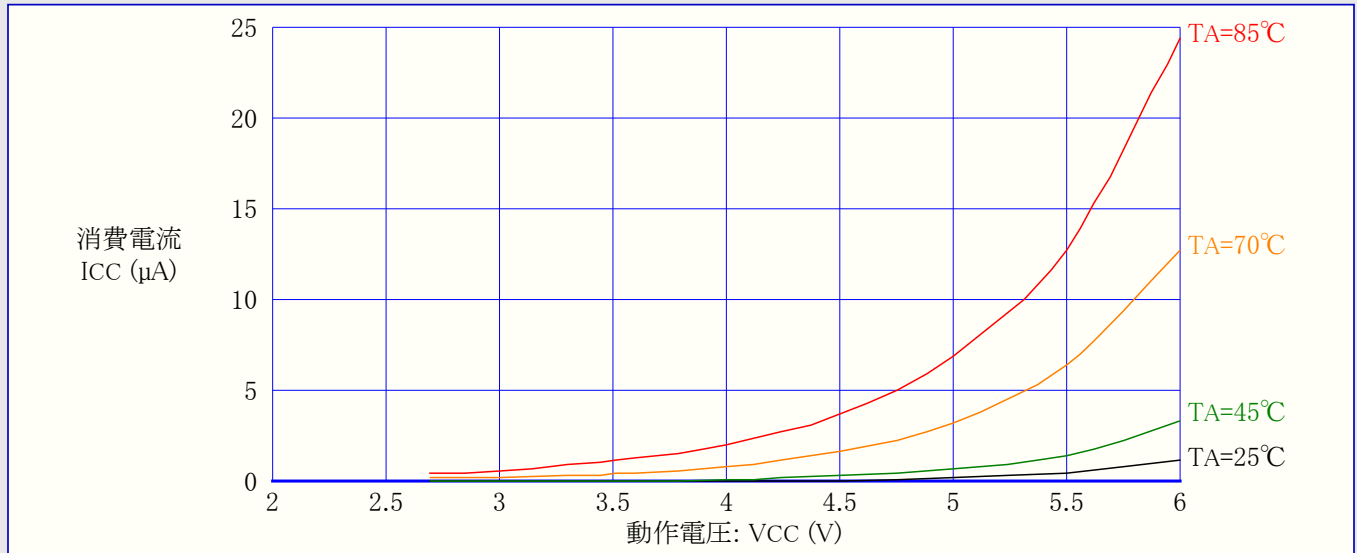


図75. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイム許可)

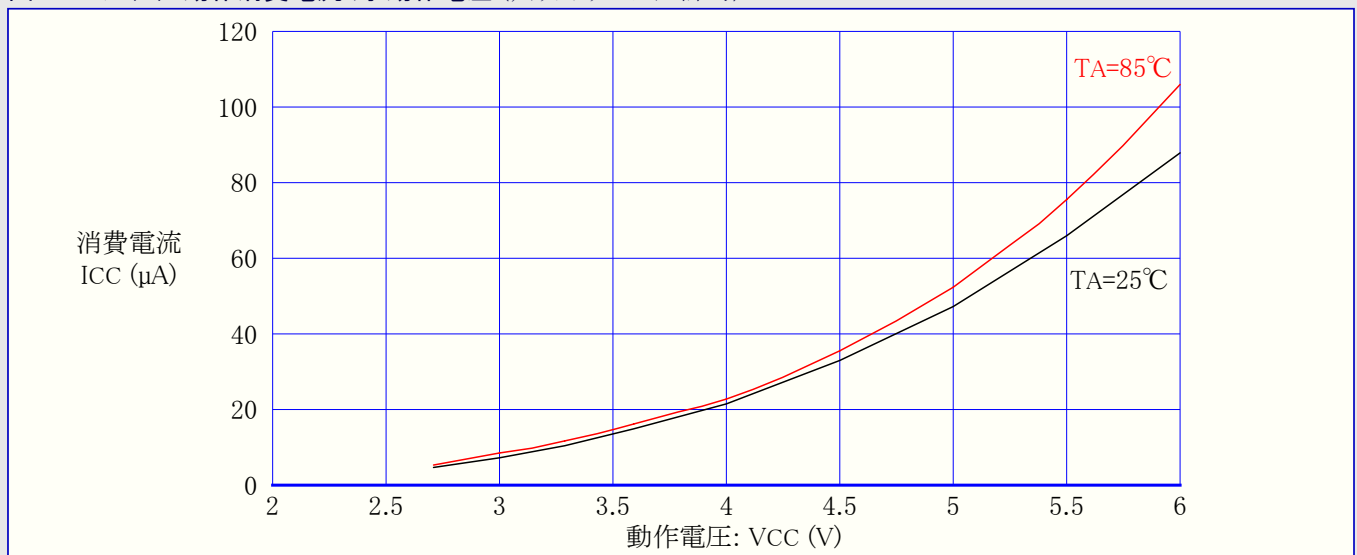


図76. パワーダウン動作消費電流 対 動作電圧 (低電圧検出(BOD)リセット許可)

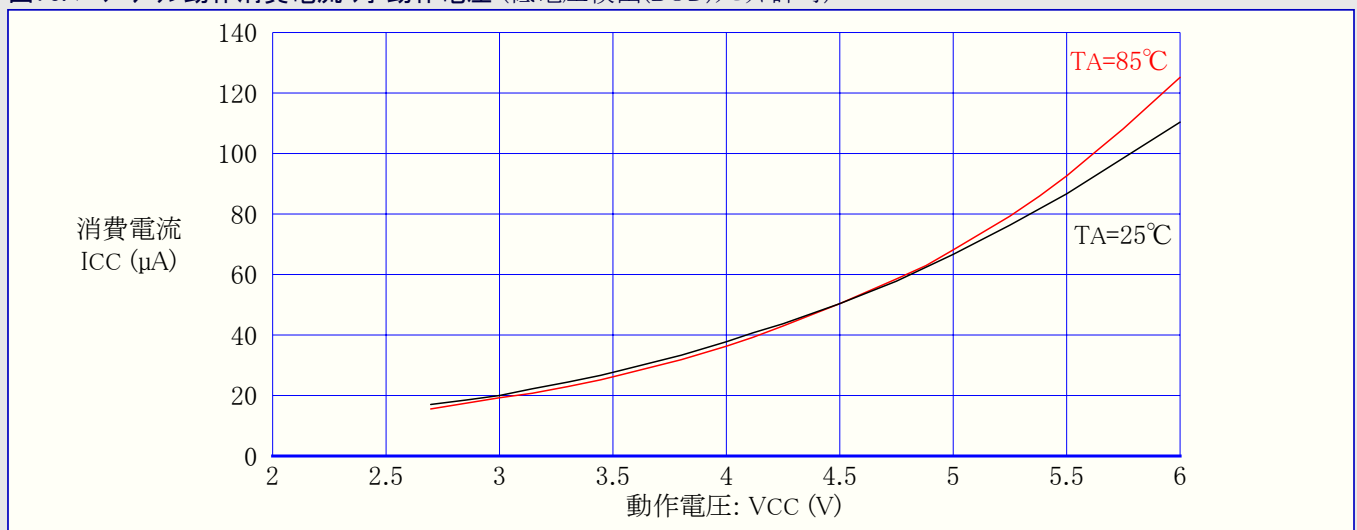


図77. アナログ比較器消費電流 対 動作電圧

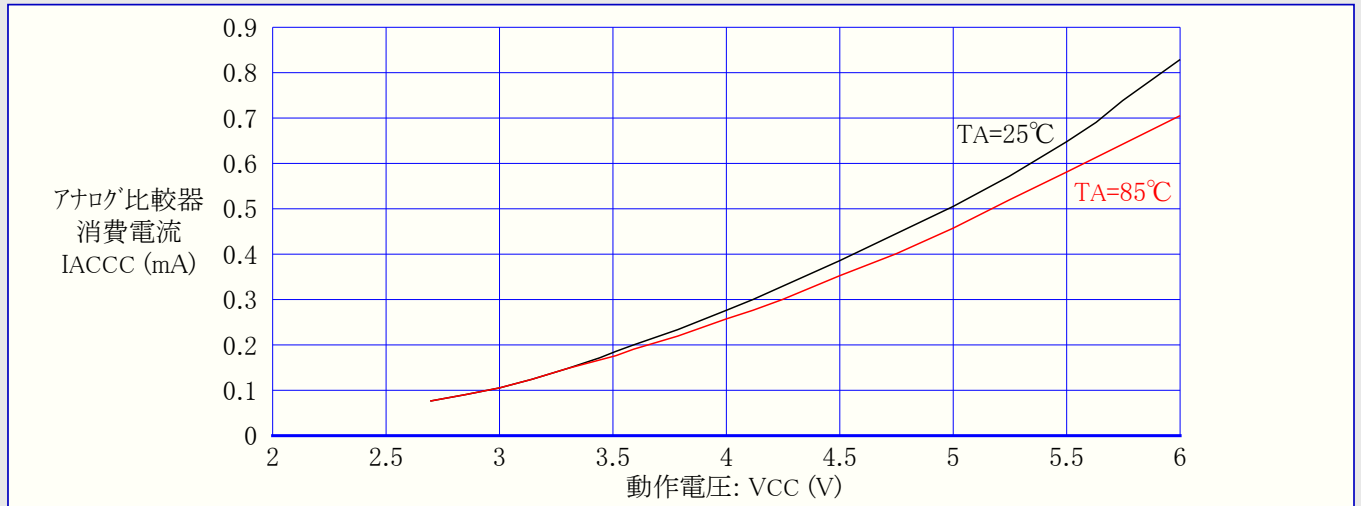
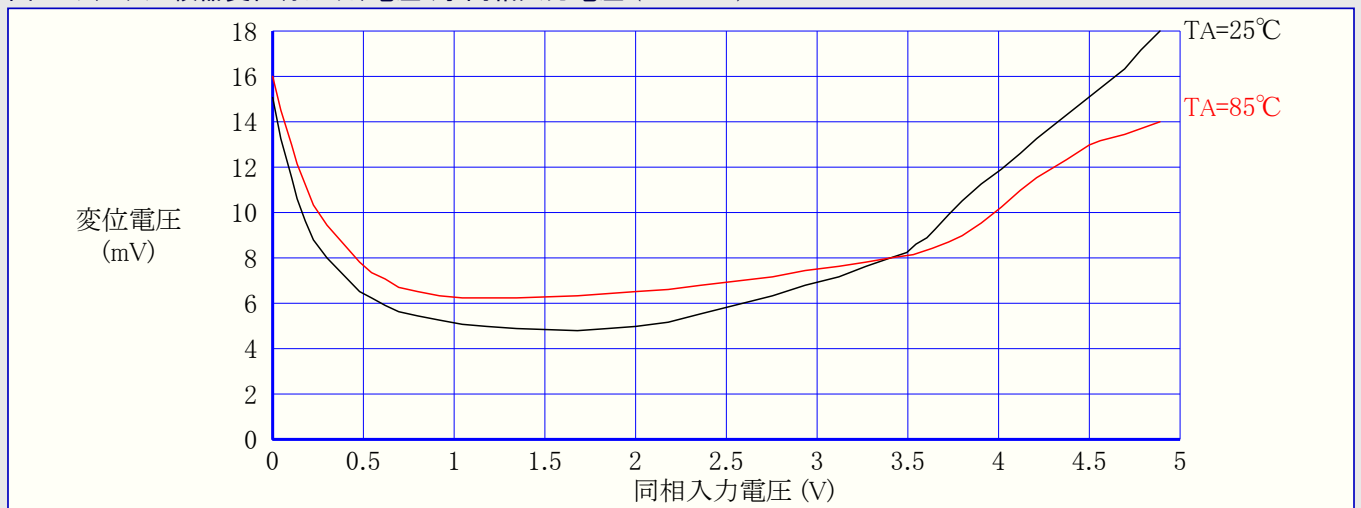
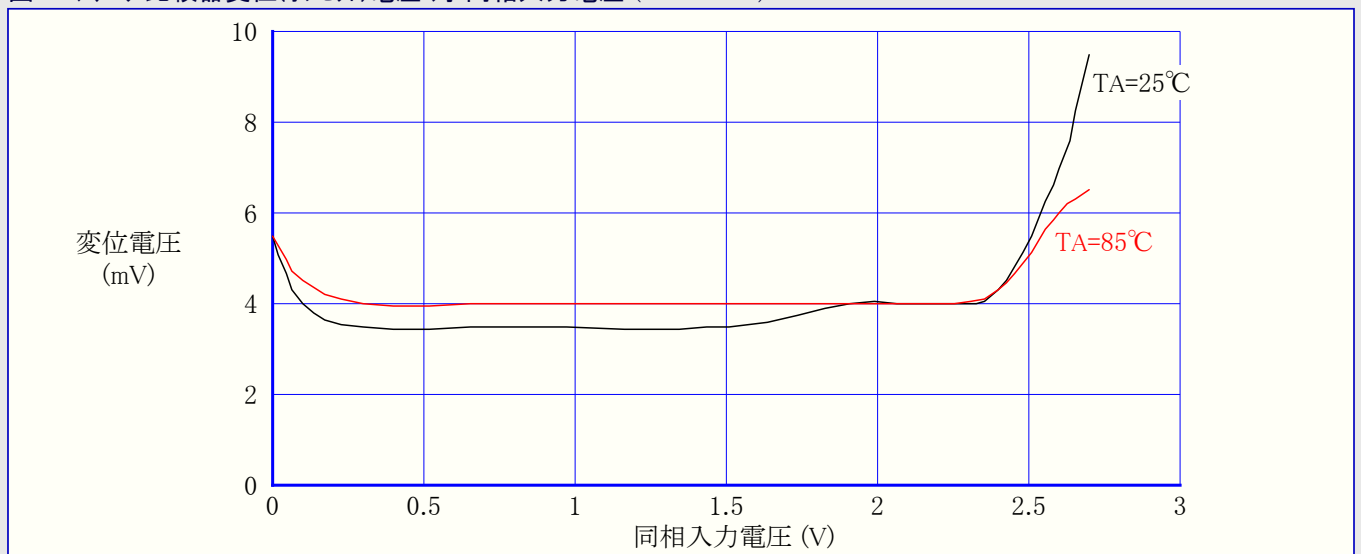


図78. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=5V)



注: 変位(オフセット)電圧は絶対値です。

図79. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=2.7V)



注: 変位(オフセット)電圧は絶対値です。

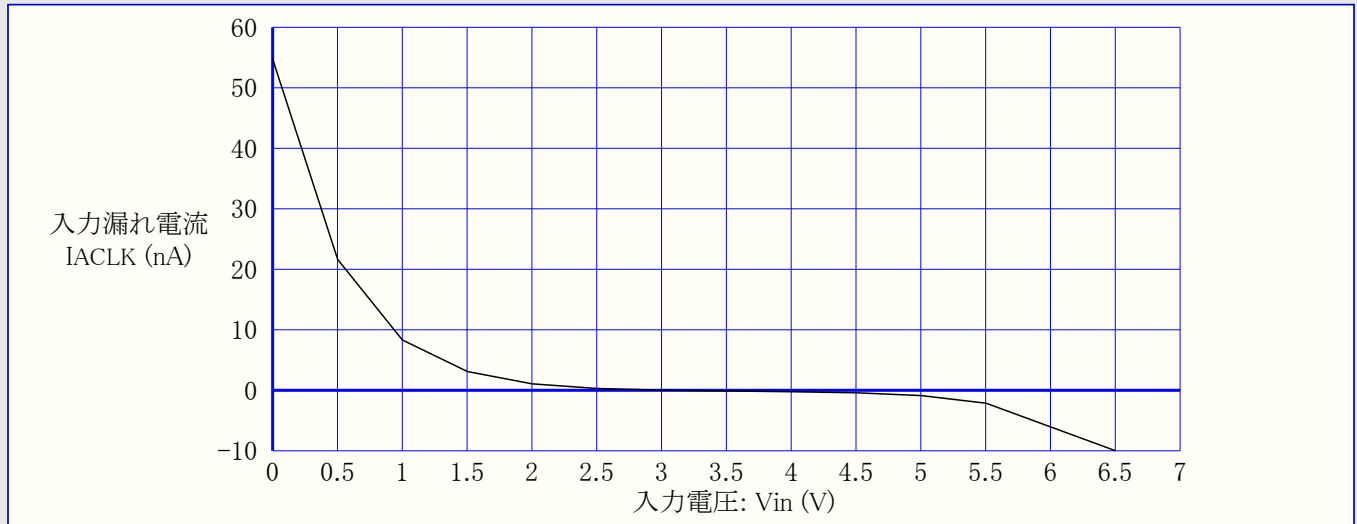
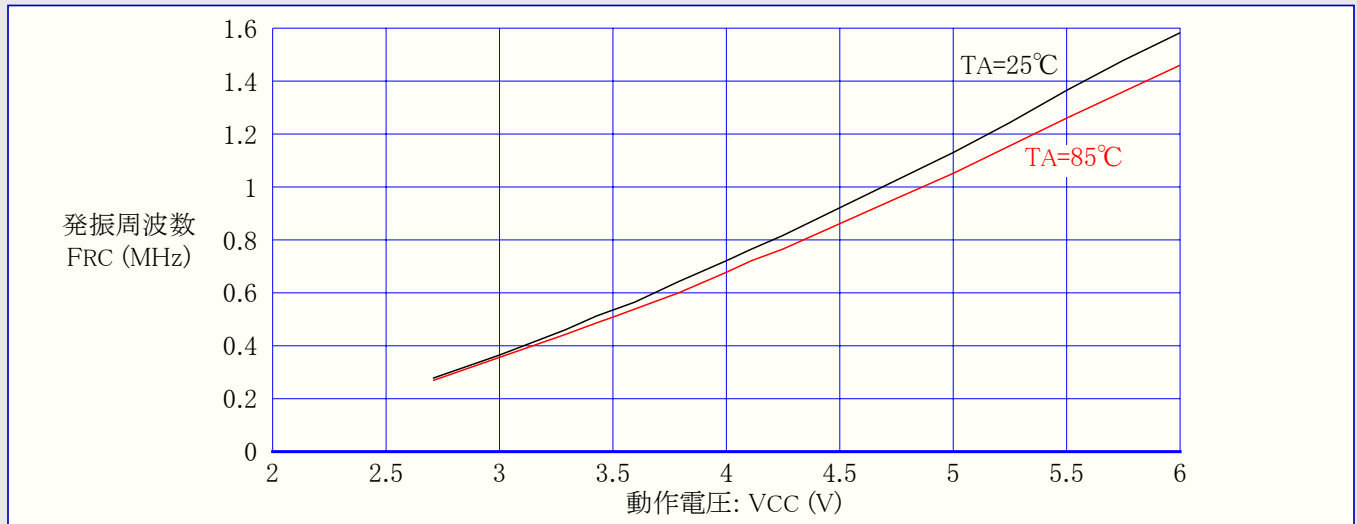
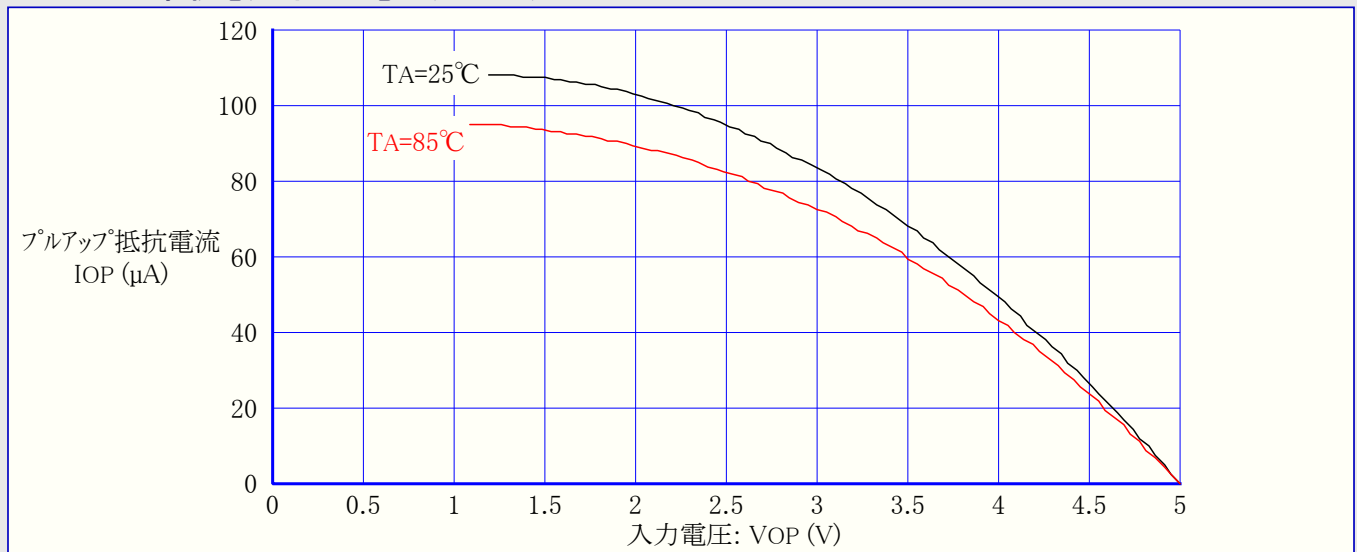
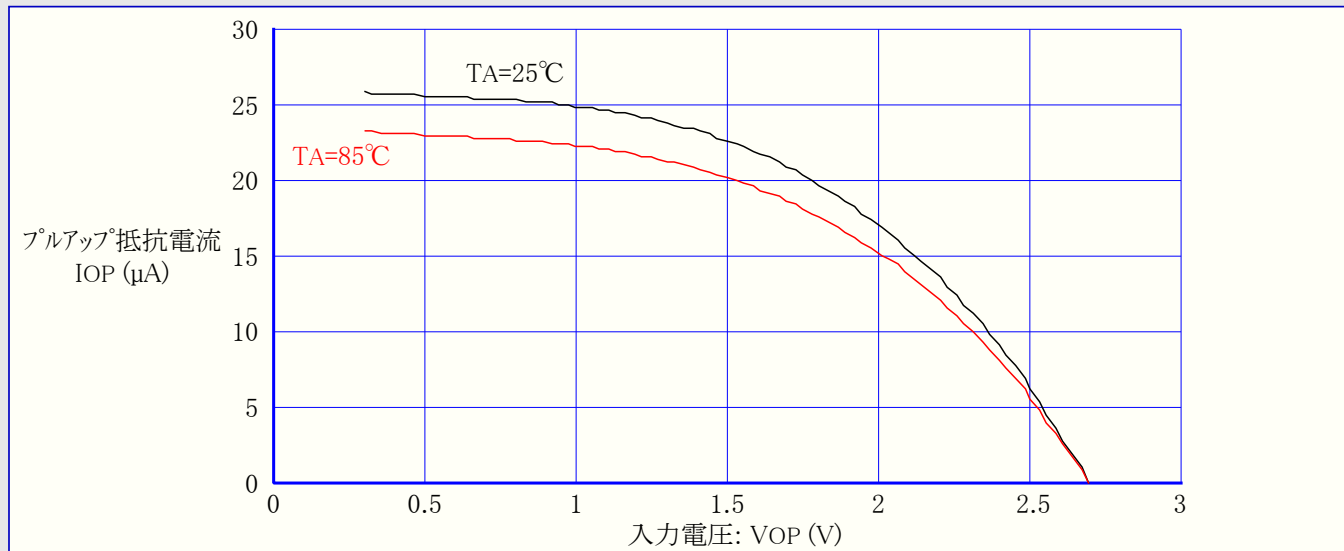
図80. アナログ比較器入力漏れ電流 対 入力電圧 ($V_{CC}=6V$, $T_A=25^{\circ}C$)

図81. ウォッチドッグ用発振器 発振周波数 対 動作電圧

図82. プルアップ抵抗電流 対 入力電圧 ($V_{CC}=5V$)

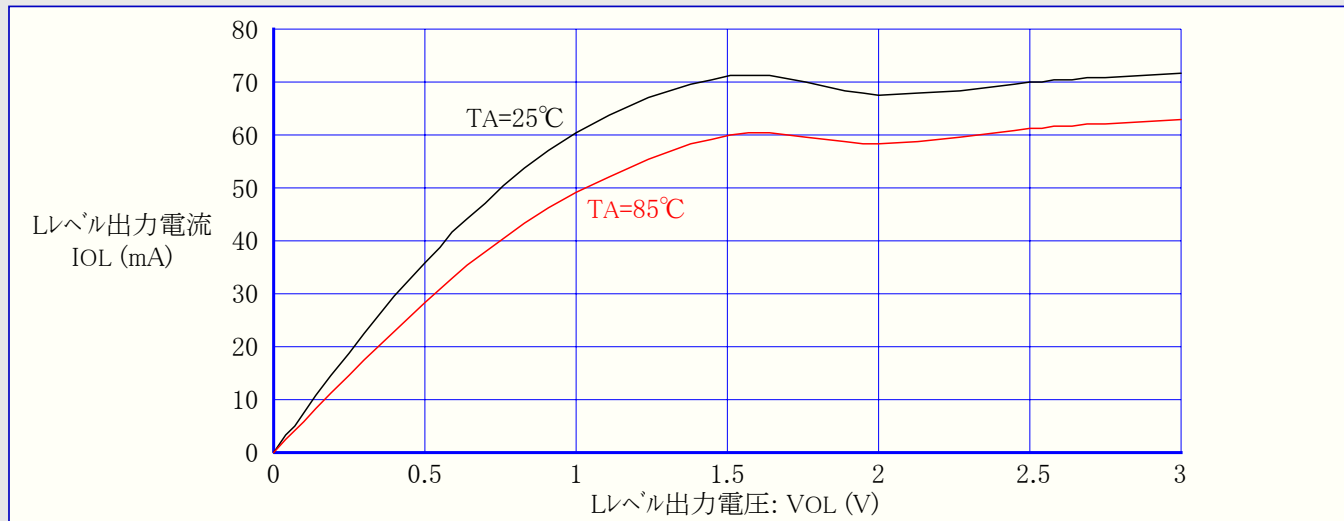
注: 測定は1ピン単位です。

図83. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



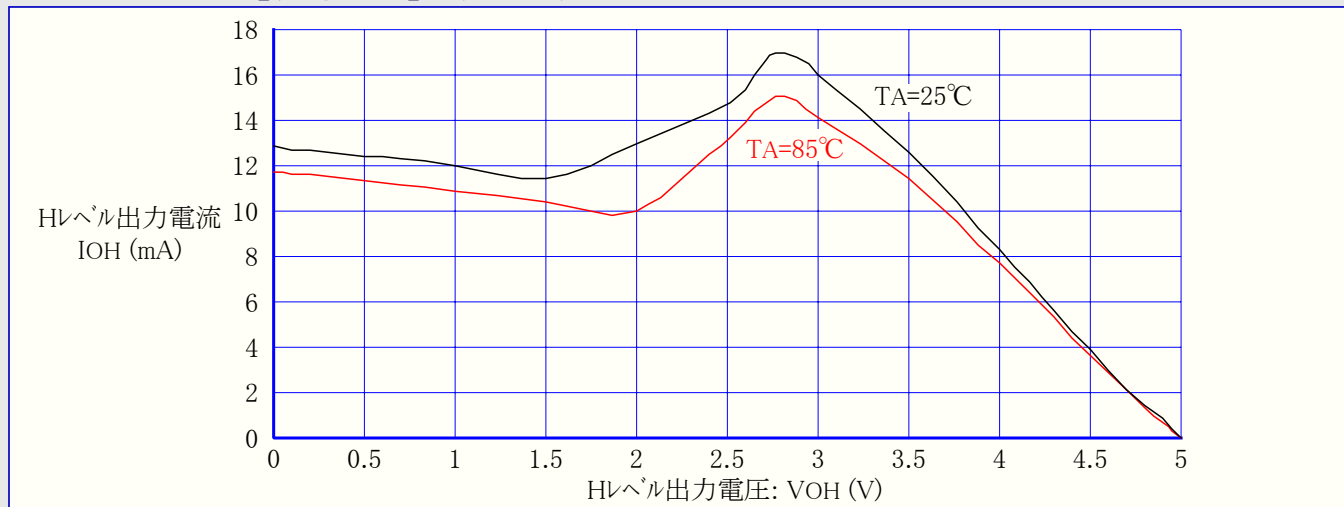
注: 測定は1ピン単位です。

図84. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



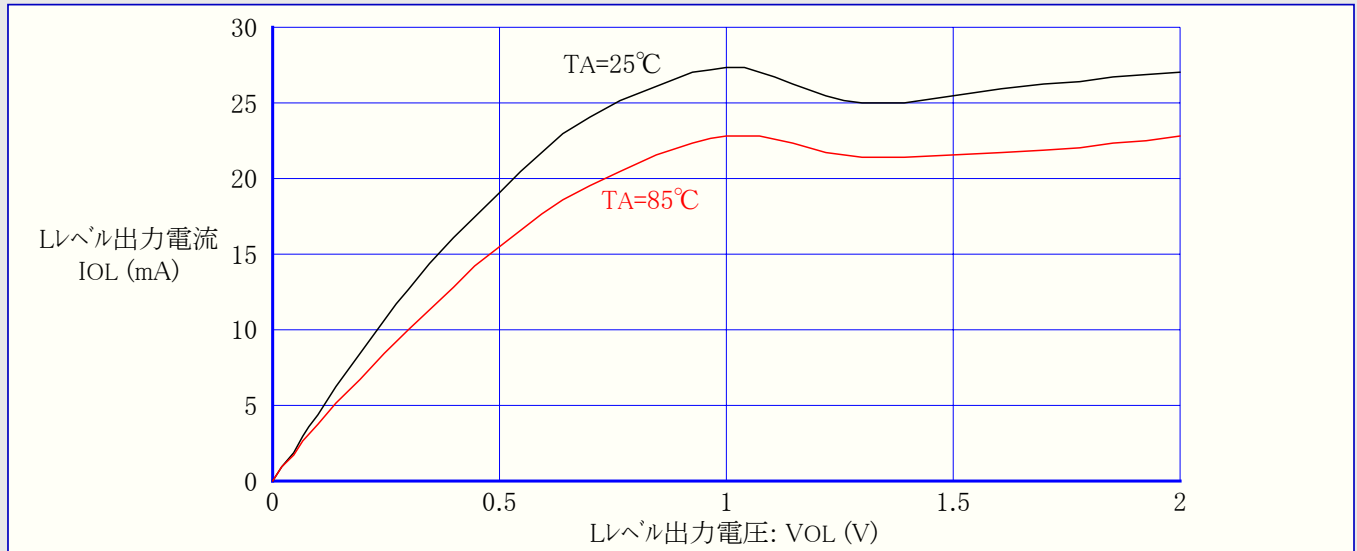
注: 測定は1ピン単位です。

図85. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



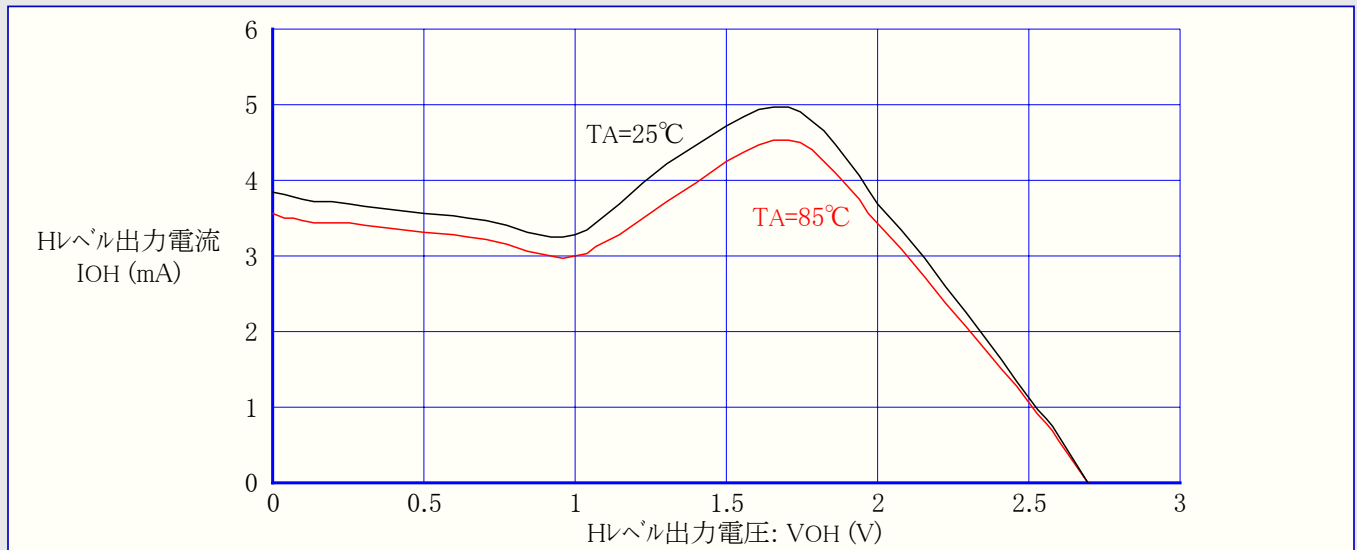
注: 測定は1ピン単位です。

図86. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図87. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図88. I/Oピン入力閾値電圧 対 動作電圧 (TA=25°C)

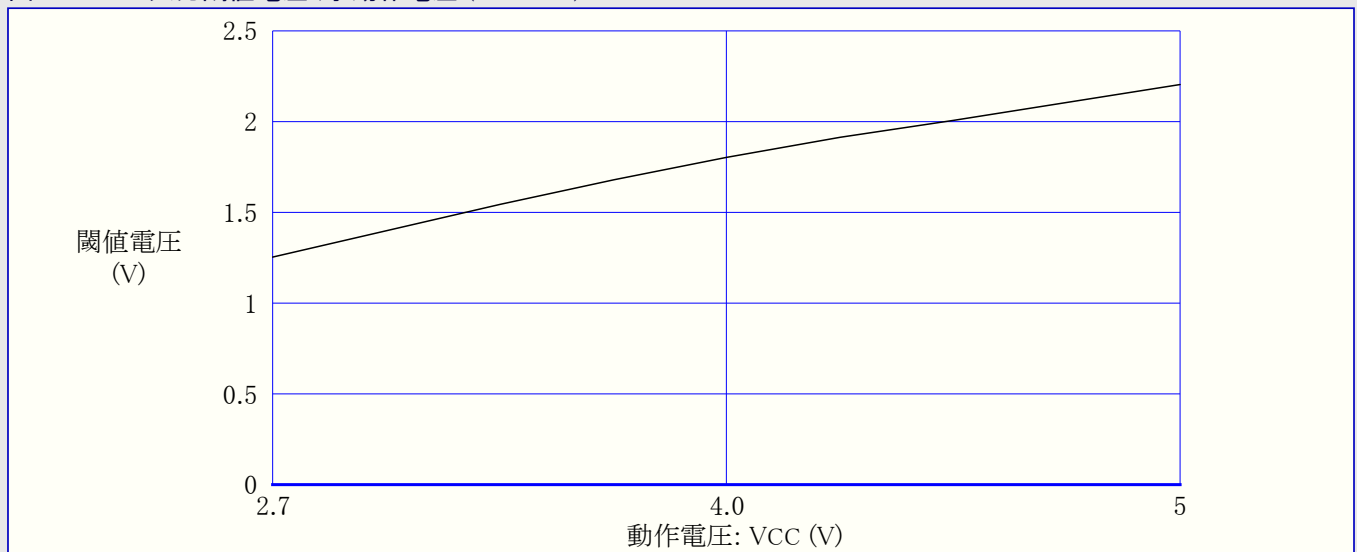
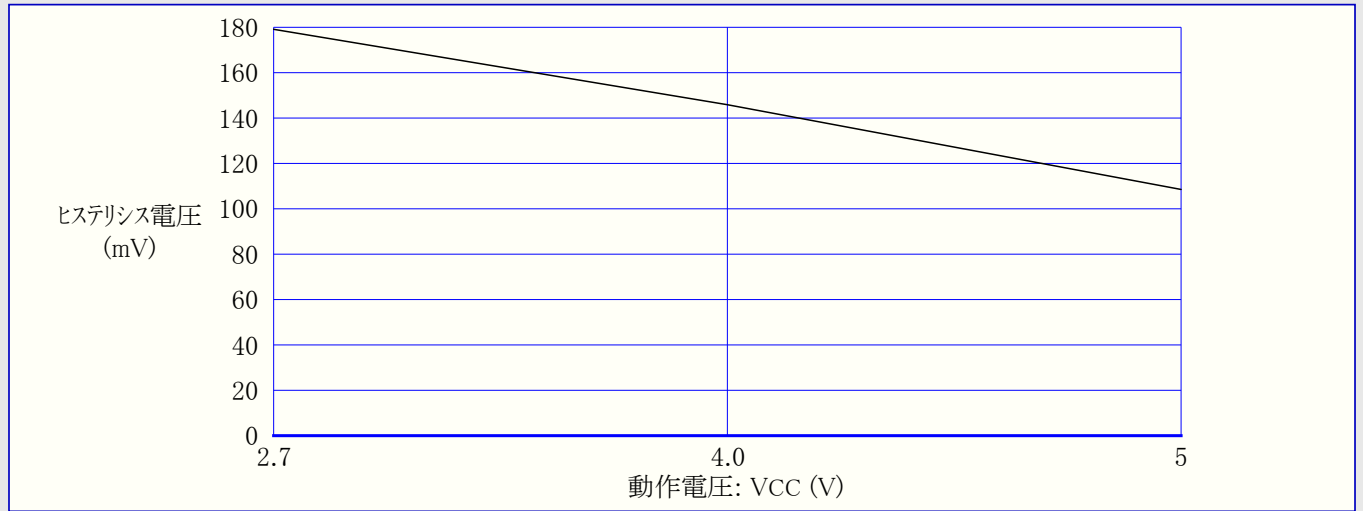


図89. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	11
\$3E (\$5E)	予約									
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	11
\$3C (\$5C)	予約									
\$3B (\$5B)	GIMSK	INT1	INT0	-	-	-	-	-	-	16
\$3A (\$5A)	GIFR	INTF1	INTF0	-	-	-	-	-	-	16
\$39 (\$59)	TIMSK	TOIE1	OCIE1	-	-	TICIE1	-	TOIE0	-	17
\$38 (\$58)	TIFR	TOV1	OCF1	-	-	ICF1	-	TOV0	-	18
\$37 (\$57)	予約									
\$36 (\$56)	予約									
\$35 (\$55)	MCUCR	-	-	SE	SM	ISC11	ISC10	ISC01	ISC00	19
\$34 (\$54)	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	15
\$33 (\$53)	TCCR0	-	-	-	-	-	CS02	CS01	CS00	22
\$32 (\$52)	TCNT0	タイマ/カウンタ0								22
\$31 (\$51)	予約									
\$30 (\$50)	予約									
\$2F (\$4F)	TCCR1A	COM11	COM10	-	-	-	-	PWM11	PWM10	24
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	25
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 上位バイト								26
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 下位バイト								
\$2B (\$4B)	OCR1H	タイマ/カウンタ1 比較レジスタ上位バイト								26
\$2A (\$4A)	OCR1L	タイマ/カウンタ1 比較レジスタ下位バイト								
\$29 (\$49)	予約									
\$28 (\$48)	予約									
\$27 (\$47)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト								27
\$26 (\$46)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト								
\$25 (\$45)	予約									
\$24 (\$44)	予約									
\$23 (\$43)	予約									
\$22 (\$42)	予約									
\$21 (\$41)	WDTCSR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	29
\$20 (\$40)	予約									
\$1F (\$3F)	予約									
\$1E (\$3E)	EEAR	EEPROM アドレスレジスタ下位バイト (EEAR7~0)								30
\$1D (\$3D)	EEDR	EEPROM データレジスタ								30
\$1C (\$3C)	EECR	-	-	-	-	EERIE	EEMWE	EEWE	EERE	30
\$1B (\$3B)	予約									
\$1A (\$3A)	予約									
\$19 (\$39)	予約									
\$18 (\$38)	PORTB	-	-	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	47
\$17 (\$37)	DDRB	-	-	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	47
\$16 (\$36)	PINB	-	-	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	47
\$15 (\$35)	PORTC	-	-	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	52
\$14 (\$34)	DDRC	-	-	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	52
\$13 (\$33)	PINC	-	-	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	52
\$12 (\$32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	54
\$11 (\$31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	54
\$10 (\$30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	54
\$0F (\$2F)	SPDR	SPI データレジスタ								33
\$0E (\$2E)	SPSR	SPIF	WCOL	-	-	-	-	-	-	34
\$0D (\$2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	34
\$0C (\$2C)	UDR	UART データレジスタ								38
\$0B (\$2B)	USR	RXC	TXC	UDRE	FE	OR	-	-	MPCM	38
\$0A (\$2A)	UCR	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	39
\$09 (\$29)	UBRR	UART ボーレートレジスタ下位								39
\$08 (\$28)	ACSR	ACD	AINBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	41
\$07 (\$27)	ADMUX	-	ADCBG	-	-	-	MUX2	MUX1	MUX0	44
\$06 (\$26)	ADCSR	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	44
\$05 (\$25)	ADCH	-	-	-	-	-	-	ADC9	ADC8	45
\$04 (\$24)	ADCL	A/Dデータレジスタ下位バイト (ADC7~0)								
\$03 (\$23)	UBRRHI	-	-	-	-	UART ボーレートレジスタ上位				39
\$00~\$02	予約									

注: ・ 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリアドレスへは決して書くべきではありません。

- ・ いくつかの状態フラグは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00~\$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		レジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの $\geq$ で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの $\geq$ で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	XLレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXLレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXLレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	YLレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYLレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYLレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYLレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	XLレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXLレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXLレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	YLレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYLレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYLレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYLレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0 \sim 6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7 \sim 4) \leftrightarrow Rd(3 \sim 0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグ タイマ リセット	ウォッチドッグ タイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文符号	外囲器	動作範囲
4	2.7~6.0V	AT90LS2333-4AC	32A	一般用 (0°C~70°C)
		AT90LS2333-4PC	28P3	
		AT90LS2333-4AI	32A	工業用 (-40°C~85°C)
		AT90LS2333-4PI	28P3	
8	4.0~6.0V	AT90S2333-8AC	32A	一般用 (0°C~70°C)
		AT90S2333-8PC	28P3	
		AT90S2333-8AI	32A	工業用 (-40°C~85°C)
		AT90S2333-8PI	28P3	

速度(MHz)	電源電圧	注文符号	外囲器	動作範囲
4	2.7~6.0V	AT90LS4433-4AC	32A	一般用 (0°C~70°C)
		AT90LS4433-4PC	28P3	
		AT90LS4433-4AI	32A	工業用 (-40°C~85°C)
		AT90LS4433-4PI	28P3	
8	4.0~6.0V	AT90S4433-8AC	32A	一般用 (0°C~70°C)
		AT90S4433-8PC	28P3	
		AT90S4433-8AI	32A	工業用 (-40°C~85°C)
		AT90S4433-8PI	28P3	

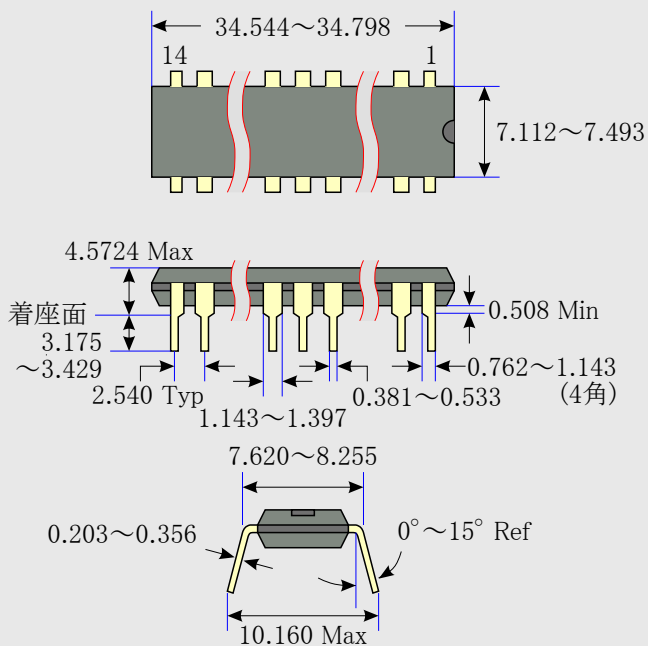
外囲器形式	
32A	32リード 1.0mm厚 プラスチック4方向平板外囲器 (TQFP)
28P3	28ピン 300mil幅 プラスチック2列直線外囲器 (PDIP)

外囲器情報

28P3

28ピン 300mil幅 プラスチック2列直線外囲器 (PDIP)

寸法: mm

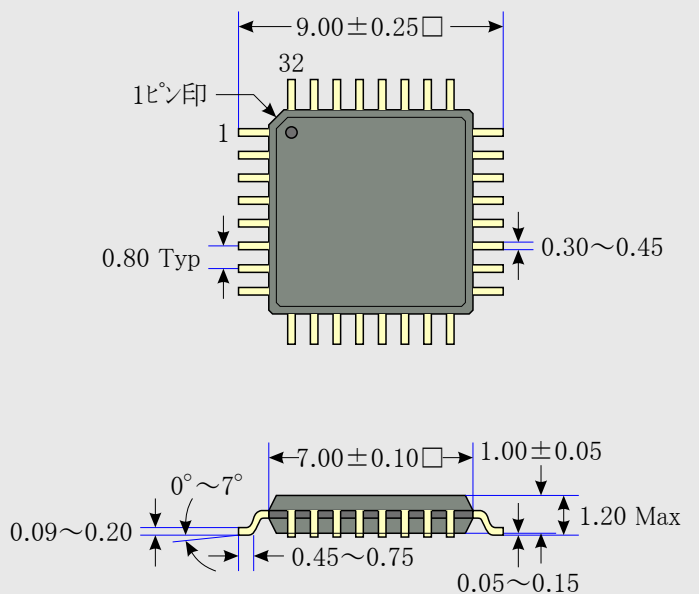


32A

32リード 0.8mmピッチ プラスチック4方向平板外囲器 (TQFP)

寸法: mm

JEDEC規格 MS-026 ABA



データシート変更記録

以下は本データシートの変更記録です。ここでの頁番号は本データシートが基準です。

1042E – 2001年9月から1042F – 2002年3月への変更

1. 3頁と42頁の最低AREF電圧値を更新しました。
2. 13頁、表4.のBODLEVEL=**1**の最大V_{BOT}電圧値を修正しました。
3. 会社一覧を更新しました。

1042F – 2002年3月から1042G – 2002年9月への変更

1. 製造終了予告記載を追加しました。
2. データシートに障害情報を追加しました。

1042G – 2002年9月から1042H – 2003年4月への変更

1. 82頁の「障害情報」を更新しました。
2. 80頁の「外囲器情報」を更新しました。

障害情報

改訂C/D/E/F

この章の改訂番号はAT90S/LS4433デバイスの改訂版を参照してください。

- UART受信禁止時のRXD信号Lowレベルによる同期化異常 4433-C/D/E/F
- 供給電圧2.9V未満での直列プログラミング 4433-C/D/E/F
- 低電圧検出の基準電圧増加 4433-C/D/E/F
- アナログ比較器内部基準電圧時の安定遅延時間 4433-C/D/E/F
- 連続A/D変換動作での不正なチャネル変更 4433-C/D/E/F
- ヒューズプログラミング後のプログラミング異常 4433-C/D/E/F
- 低電圧検出器(BOD)がデバイスをリセットに保持 4433-C/D/E/F

1. UART受信禁止時のRXD信号Lowレベルによる同期化異常 (4433-C/D/E/F)

UARTは**禁止状態**でも**開始ビットの検出処理**が行われています。このため、UART受信許可後の最初のバイトで不正な受信が発生します。

対策/対処

起動時やUART禁止時のRXD信号をHighレベルにします。起動時の外部RS-232Cレシーバ出力をHighレベルに保ちます。

2. 供給電圧2.9V未満での直列プログラミング (4433-C/D/E/F)

供給電圧2.9V未満での**直列プログラミング**は失敗する可能性があります。

対策/対処

直列プログラミング中のVCCは2.9V以上に保ってください。

3. 低電圧検出の基準電圧増加 (4433-C/D/E/F)

入出力ポートのいくつかの出力ピンが重い負荷の場合、**低電圧検出リセット**回路の**検出電圧**が高くなります。

対策/対処

電源電圧(VCC)を上げます。高容量性負荷を無くするか抵抗性負荷とします。

4. アナログ比較器内部基準電圧時の安定遅延時間 (4433-C/D/E/F)

アナログ比較器の内部基準電圧の安定時間が仕様より長くなり、10秒程度要します。

対策/対処

低電圧検出リセットを有効にしておくと、直ちに安定します。

5. 連続A/D変換動作での不正なチャネル変更 (4433-C/D/E/F)

連続変換動作でA/D制御/状態レジスタ(ADCSR)のA/D変換完了割り込み要求フラグ(ADIF)が設定(1)された直後に、A/D多重器選択レジスタ(ADMUX)に次のチャネル番号を書き込むと、その時の変換に反映される場合があります。

対策/対処

単独変換動作で行うか、ADIF=1後、0.5 A/D変換クロック以上経過後にチャネル変更を行います。

6. ヒューズプログラミング後のプログラミング異常 (4433-C/D/E/F)

直列プログラミングでヒューズ書き込み後、フラッシュメモリやEEPROMのプログラミングができなくなります。プログラミング動作終了後、プログラミング動作への再移行ができなくなります。

対策/対処

ヒューズの書き込みまたはプログラミング動作終了後は、一度電源を切り、再び電源投入からやり直してください。

7. 低電圧検出器(BOD)が低温でデバイスをリセットに保持 (4433-C/D/E/F)

デバイスが低温(0℃以下)で動き、低電圧検出器(BOD)が許可されるとき、起動に失敗するかもしれません。低温でのBODは決してリセットを開放しないかもしれませんが、デバイスは応用(プログラム)を始めないでしょう。この問題は起動中にだけ起き、既に走行している応用(プログラム)は例え温度が0℃以下になってもリセットになりません。

対策/対処

デバイスが低温(0℃以下)で動き、低電圧検出器(BOD)が必要とされる場合、外部BOD回路が使われなければなりません。代替としてAT90S/LS4433の代わりにATmega8を使えます。

目次

特徴	1	DC特性	68
ピン配置	1	外部クロック特性	69
概要	2	代表特性	69
構成図	2	レジスタ要約	77
AT90S/LS2333とAT90S/LS4433の違い	3	命令要約	78
ピン説明	3	注文情報	80
クロック任意選択	4	外圍器情報	80
構造概要	5	データシート変更記録	81
汎用レジスタ ファイル	6	障害情報	82
ALU (Arithmetic Logic Unit)	6		
実装書き換え可能なプログラム用フラッシュ メモリ	6		
データ用EEPROMメモリ	6		
内蔵SRAM	6		
プログラム/データ空間に対するアドレス指定種別	7		
メモリ アクセスと命令実行タイミング	9		
I/Oレジスタ	10		
リセットと割り込みの扱い	12		
休止形態	20		
タイマ/カウンタ	21		
タイマ/カウンタ前置分周器	21		
8ビット タイマ/カウンタ0	21		
16ビット タイマ/カウンタ1	23		
ウォッチドッグ タイマ	29		
EEPROMアクセス	30		
EEPROMデータ化けの防止	31		
SPI (直列周辺インターフェース)	32		
SSピンの機能	33		
データ転送形式	33		
UART	35		
データ送信	35		
データ受信	36		
UART制御	38		
アナログ比較器	41		
A/D変換器	42		
操作	42		
前置分周と変換タイミング	43		
雑音低減機能	44		
複数チャネル走査	45		
雑音低減技術	45		
A/D変換器特性	46		
入出力ポート	47		
ポートB	47		
ポートC	52		
ポートD	54		
メモリプログラミング	59		
プログラム メモリとデータ メモリ用施錠ビット	59		
ヒューズ ビット	59		
識票バイト	59		
フラッシュ メモリとEEPROMのプログラミング	59		
並列プログラミング	60		
並列プログラミング特性	64		
直列プログラミング	65		
直列プログラミング特性	67		
電気的特性	68		
絶対最大定格	68		



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2003.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2022.

データシートはAtmelの英語版データシートAT90S2333/4433(Rev.1042D-04/99)とAT90S4433(Rev.1042H-04/03)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。比較1は比較、捕獲1は捕獲と省略されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。