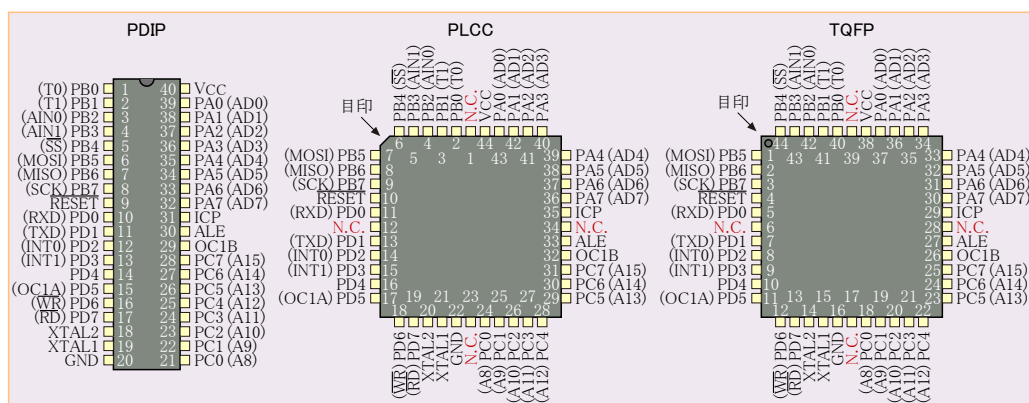


特徴

- AVR[®] RISC構造
- AVR –高性能、低消費RISC構造
 - 強力な118命令(多くは1周期で実行)
 - 32個の1バイト長汎用レジスタ
 - 8MHz時、8MIPSに達する高速動作
- 不揮発性プログラム用メモリとデータ用メモリ
 - 実装書き換え(ISP: In-System Program)可能な8Kバイト(4K語)フラッシュメモリ内蔵
1000回の書き換えが可能
 - 512バイトのSRAM
 - 実装書き換え(ISP)可能な512バイトのEEPROM
100,000回の書き換えが可能
 - 64Kバイトまでの任意外部SRAM(メモリ)空間
 - ソフトウェア保護用の設定可能な施錠機能
- 内蔵周辺機能
 - 分離された前置分周器付き1つの8ビットタイマ/カウンタ
 - 分離された前置分周器付き1つの16ビットタイマ/カウンタ
比較、捕獲、2つの8,9または10ビットPWM
 - アナログ比較器
 - 設定可能な専用発振器付きウォッチドッグタイマ
 - 設定可能なUART
 - 主装置/従装置動作SPI直列インターフェース
- 特殊マイクロコントローラ機能
 - アイドルとパワーダウンの2つの低消費動作
 - 外部及び内部の割り込み
- 電気的特長
 - 高速、低消費なCMOS製法
 - 完全なスタティック動作
- 消費電流 (条件: 4MHz, 3V, 25°C)
 - 活動動作 3.0mA
 - アイドル動作 1.0mA
 - パワーダウン動作 1μA未満
- I/Oと外圍器
 - 32ビットの設定可能なI/O
 - 40ピンPDIP、44ピンPLCC, TQFP
- 動作電圧
 - 2.7~6.0V (AT90S8515-4)
 - 4.0~6.0V (AT90S8515-8)
- 動作速度
 - 0~4MHz (AT90S8515-4)
 - 0~8MHz (AT90S8515-8)

ピン配置



8ビット **AVR[®]**

マイクロコントローラ

実装書き換え可能な
8Kバイト
フラッシュメモリ内蔵

AT90S8515

本製品での新規設計は推奨されません。
ATmega8515をお使いください。

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの「はじめに」での内容にご注意ください。

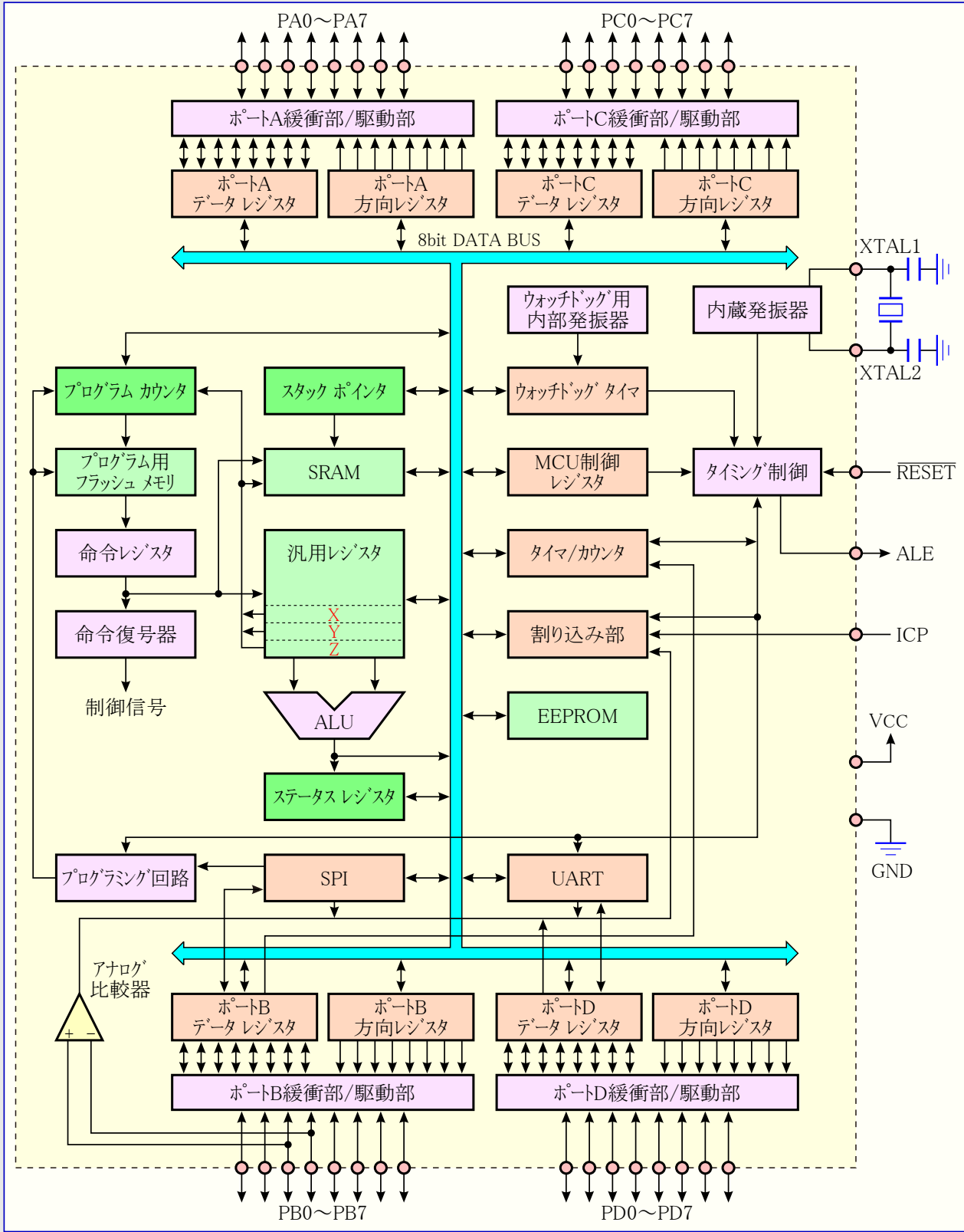
Rev. 0841G-09/01, 0841GJ19-08/22

概要

AT90S8515はAVR RISC構造の低消費CMOS 8ビット マイクロ コントローラです。1周期で実行する強力な命令はMHzあたり1 MIPSに達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えます。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロ コントローラに対して最大10倍の単位処理量向上効果があります。

図1. AT90S8515構成図



AT90S8515は、8Kバイトの実装書き換え可能なフラッシュメモリ、512バイトのEEPROM、512バイトのSRAM、32ビットの汎用入出力、32個の汎用レジスタ、比較動作を含む柔軟なタイマ/カウンタ、内部及び外部割り込み、設定変更可能な直列UART、設定変更可能な内部発振器付きウォッチドッグタイマ、SPI直列ポート、ソフトウェアで選べる2つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPIポート、割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで他の全機能を無効にします。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なフラッシュメモリはプログラムメモリに使い、規定の不揮発性メモリ書き込み器かSPI直列インターフェース経由によって再書き込みができます。モノリシックチップ上の実装書き換え可能なフラッシュメモリと拡張された8ビットRISC型CPUの組み合わせによるAT90S8515は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

AT90S8515 AVRはコンパイラ、マクロアセンブラ、デバッガ、シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

ピン概要

VCC

電源ピン。

GND

接地ピン。

PA7~PA0 (ポートA)

ポートAは8ビットの双方向入出力ポートです。ポートピンは(ビット毎に選ばれる)内蔵プルアップ抵抗を提供できます。ポートA出力緩衝部は20mAの吸い込み電流を流せ、LED表示器を直接駆動できます。PA0~7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効の場合、吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートAピンはHi-Zになります。

外部SRAM使用時、ポートAは切り替え使用されるアドレス/データの入出力として扱います。

PB7~PB0 (ポートB)

ポートBは内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。ポートBの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートBピンはHi-Zになります。

ポートBは44頁で示されるAT90S8515の各特殊機能としても扱います。

PC7~PC0 (ポートC)

ポートCは内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートCの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートCピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートCピンはHi-Zになります。

外部SRAM使用時、ポートCはアドレス出力としても扱います。

PD7~PD0 (ポートD)

ポートDは内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートDの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートDピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートDピンはHi-Zになります。

ポートDは51頁で示されるAT90S8515の各特殊機能としても扱います。

RESET

リセット入力。このピンの50nsより長いLowレベルは、例えクロックが動作していなくてもリセットを発生します。短すぎるパルスはリセットの生成が保証されません。

XTAL1

発振器用反転増幅器の入力、内部クロック動作回路の入力。

XTAL2

発振器用反転増幅器の出力。

ICP

ICPはタイマ/カウンタ1捕獲機能用(起動)入力ピンです。

OC1B

OC1Bはタイマ/カウンタ1比較B出力機能用出力ピンです。

ALE

ALEは外部メモリが許可される時に使われるアドレスラッチ許可信号です。このALEストロブは第1アクセス周期(High)間にアドレスラッチ内へ下位側アドレス(8ビット)をラッチするために使われ、第2アクセス周期(Low)間、AD7~0ピンはデータ用に使われます。

クロック発振器

クリスタル用発振器

XTAL1とXTAL2は、図2に示される内蔵発振器として使える反転増幅器の各々入力と出力です。クリスタル発振子、セラミック振動子のどちらでも使えます。外部クロック信号でデバイスを駆動するには、図3で示されるようにXTAL1が駆動され、XTAL2は未接続のままにすべきです。

図2. 発振子接続図

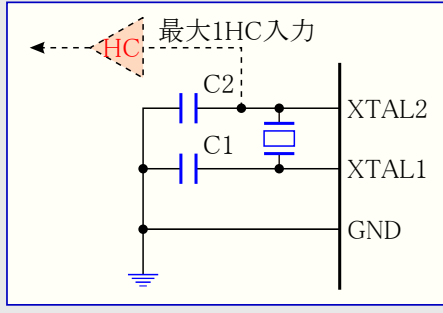
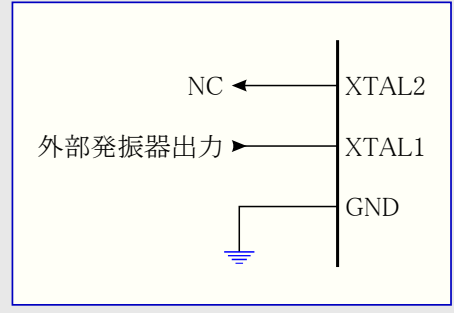


図3. 外部クロック接続図



注: 内蔵発振器の出力で外部デバイスを駆動する場合、図で示されるようにHC緩衝器が接続されるべきです。

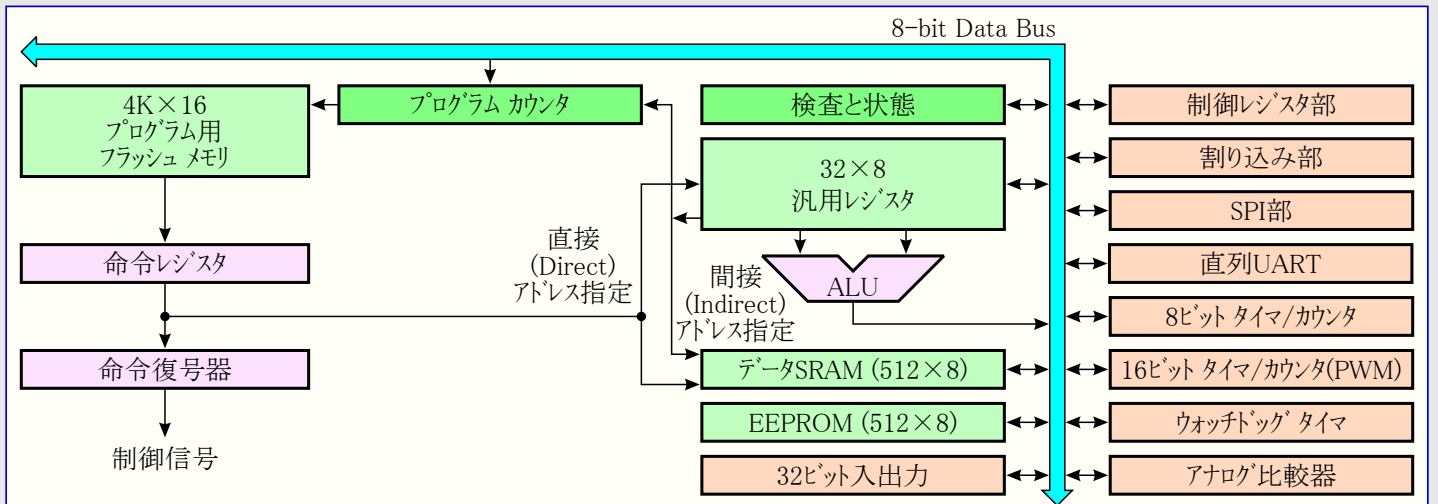
構造概要

高速レジスタファイルの概念は1クロック周期アクセス時間の32個の8ビット長汎用レジスタを含みます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタファイルから出力され、命令が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタはデータ空間についてアドレス計算が効率的に行える、3つの16ビット長間接アドレスポイントとして使えます。3つのアドレスポイントの1つは定数表参照用アドレスポイントとしても使われます。これらの付加機能レジスタは16ビット長のXレジスタ、Yレジスタ、Zレジスタです。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図4はAT90S8515 AVR RISCマイクロコントローラの構造を示します。

図4. AT90S8515 AVR RISC構造



付加的なレジスタ操作として、通常のメモリアドレス指定をレジスタファイルにも使えます。実際にはレジスタファイルがデータ空間の最下位32バイト(\$00~\$1F)に割り当てられ、通常のメモリ位置としてのアクセスができることにより行えます。

I/Oメモリ空間は、制御レジスタ、タイマ/カウンタ、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルに後続するデータ空間位置\$20~\$5Fとしてアクセスできます。

AVRのメモリとバスはプログラム用とデータ用に各々分離されたハーバード構造で構成されています。プログラムメモリは2段のパイプラインでアクセスされます。1命令の実行中に、次の命令をプログラムメモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

プログラムカウンタ(PC)相対の無条件分岐(RJMP)命令と呼び出し(RCALL)命令で4Kアドレス空間全てがアクセスされます。AVRの多くの命令は16ビット1語の形式です。全てのプログラムメモリのアドレスに16または32ビット命令を配置できます。

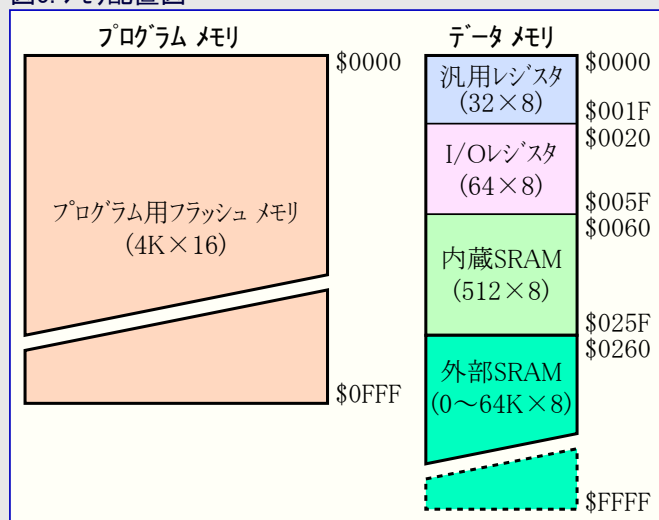
割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAMに配置され、スタック容量はSRAM容量とSRAM使用量でのみ制限されます。プログラムではリセット時の初期化ルーチンで(サブルーチンや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。16ビットのSPはI/O空間にあり、読み書き可能です。

512バイトのデータSRAMとレジスタファイルやI/OレジスタはAVR構造で支援される5つの異なるアドレス指定種別で容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の全割り込み許可(I)ビットがあります。全ての割り込み要因はプログラムメモリの先頭に割り込みベクタ表として、個別の割り込みベクタがあります。各割り込みは、この割り込みベクタ表の位置に従った優先順位です。下位側割り込みベクタアドレスが高い優先順位です。

図5. メモリ配置図



汎用レジスタファイル

図6. は32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令はレジスタ直接指定ができ、1周期でアクセスします。SBCI, SUBI, CPI, ANDI, ORIの5つの算術、論理定数演算命令と、定数をレジスタに設定するLDI命令だけは例外です。これらの命令はレジスタファイル後半のR16~R31に対してだけ適用されます。通常のSBC, SUB, CP, AND, ORや他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

図6. で示されるように、各レジスタはデータメモリ領域の先頭からの32アドレスに配置されています。レジスタファイルは物理的にSRAMのような配置構成ではなく、この特別な構成のため、X, Y, Zレジスタをインデックスとする任意のレジスタ指定のような、非常に柔軟なアクセスができます。

図6. AVR CPU 汎用レジスタ構成図

	7		0		アドレス
	7	0	7	0	
汎用 レジスタ ファイル	R0				\$00
	{				
	R15				\$0F
	R16				\$10
	{				
	R26				\$1A
	R27				\$1B
	R28				\$1C
	R29				\$1D
	R30				\$1E
	R31				\$1F

Xレジスタ, Yレジスタ, Zレジスタ

レジスタR26~R31には通常の汎用用途以外にいくつかの付加機能があります。これらのレジスタはデータ空間の間接アドレス指定ポインタにもなります。この3つの間接アドレス用レジスタX, Y, Zは図7. で定義されます。

これらのアドレスレジスタは定数変位付き、自動増加/減少付きのアドレス指定が行えます(これらの概要は個別命令を参照してください)。

図7. X, Y, Zレジスタ構成図

	15	(上位)		(下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは、32個全ての汎用レジスタに直接接続され、動作します。レジスタファイル内のレジスタ間ALU操作は、1クロック周期内で実行されます。ALU操作は、算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。

実装書き換え(ISP: In-System Program)可能なプログラム用フラッシュメモリ

AT90S8515にはプログラム用に実装書き換え可能な8Kバイトのフラッシュメモリが内蔵されています。全ての命令が16または32ビット語のため、フラッシュメモリは4K×16ビットとして構成されています。フラッシュメモリは少なくとも1000回再書き込みの耐久性があります。AT90S8515のプログラムカウンタ(PC)は12ビットで、プログラムメモリ内の4096アドレスを指定します。

フラッシュメモリ書き込みの詳細説明については[56頁](#)を参照してください。

各アドレス指定種別については[7頁](#)を参照してください。

データ用EEPROMメモリ

AT90S8515には512バイトのデータ用EEPROMがあります。これは1バイト単位で読み書きできる独立データ空間として構成されます。EEPROMは少なくとも100,000回書き換えの耐久性があります。EEPROMとCPU間のアクセスは、[29頁](#)のEEPROMアドレスレジスタ、EEPROMデータレジスタ、EEPROM制御レジスタで詳細に説明されます。

SPI書き込み(直列プログラミング)の詳細説明については[62頁](#)を参照してください。

内蔵SRAMと外部SRAM

図8はAT90S8515のデータメモリ構成を示します。

下位側608のデータメモリ位置は汎用レジスタファイル、I/Oレジスタ、データ用内蔵SRAMを指定します。最初の96位置はレジスタファイルとI/Oレジスタ、次の512位置がデータ用内蔵SRAMを指定します。任意の外部データ用SRAMが同じSRAMメモリ空間内に配置できます。このSRAMはSRAM容量に依存し、64K-1までの内蔵SRAMに続く位置を占有します。

アドレスが内蔵データSRAMを越えるデータメモリ空間にアクセスするとき、外部データSRAMは内蔵データSRAMのアクセス時と同じ命令を使ってアクセスされます。内部データ空間がアクセスされるとき、読み書きスロープピン(RDとWR)は、そのアクセス周期中全てで無効(High)です。外部SRAM動作はMCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットの設定(1)によって許可されます。詳細については[18頁](#)を参照してください。

外部SRAMのアクセスは内蔵SRAMのアクセスに比べてバイト毎に1つの付加クロック周期を必要とします。これはLD, ST, LDS, STS, PUSH, POP命令が1つの付加クロック周期を必要とすることを意味します。スタックが外部SRAMに配置されると、割り込み、サブルーチン呼び出し、その復帰は2バイトのプログラムカウンタがプッシュ/ポップされるため、2クロック周期の追加が必要になります。外部SRAMインターフェースが待ち状態付きで使われると、バイト毎に2つの付加クロック周期が費やされます。これは次の影響があります。データ転送命令は2つの追加クロック周期が必要になり、然るに、割り込み、サブルーチン呼び出し、その復帰は命令一式手引書で示されるより4クロック周期多く必要です。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つのアドレス指定種別が、データメモリ空間を網羅します。レジスタファイル内のレジスタR26～R31が間接アドレス指定時のポインタレジスタです。

直接アドレス指定は全てのデータアドレス空間に届きます。

変位付き間接アドレス指定はYまたはZレジスタで与えられる基準アドレスから届く63アドレス位置が特徴です。

事前減少付き間接、事後増加付き間接アドレス指定を使う時はアドレスレジスタX,YまたはZが使われ、自動的に減少または増加されます。

AT90S8515の32個の汎用レジスタ、64個のI/Oレジスタ、512バイトのデータ用内蔵SRAM、任意のデータ用外部SRAMの64Kバイトは、これら全てのアドレス指定種別を通して、全て直接的にアクセス可能です。

各アドレス指定種別の詳細な説明については[次章](#)を参照してください。

図8. データ空間とSRAMの配置

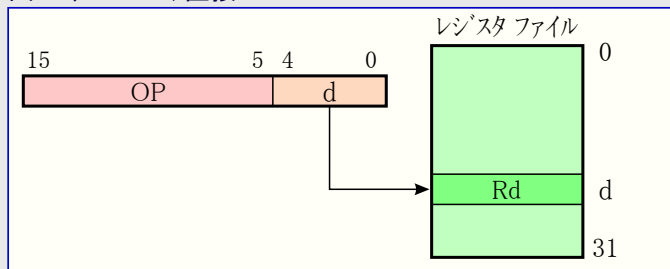
	アドレス
レジスタ ファイル	R0 \$0000
	R1 \$0001
	}
	R30 \$001E
	R31 \$001F
I/O レジスタ (赤字は I/O アドレス)	\$00 \$0020
	\$01 \$0021
	}
	\$3E \$005E
	\$3F \$005F
内蔵 SRAM	\$0060 \$0060
	\$0061 \$0061
	}
	\$025E \$025E
	\$025F \$025F
外部 SRAM	\$0260 \$0260
	\$0261 \$0261
	}
	\$FFFE \$FFFE
	\$FFFF \$FFFF

プログラム及びデータ空間に対するアドレス指定種別

AT90S8515 AVR RISCマイクロ コントローラはプログラム メモリ(フラッシュ メモリ)とデータ メモリ(SRAM、レジスタ ファイル、I/Oメモリ)アクセス用に強力で効率的なアドレス指定種別を支援します。本項はAVR構造によって支援される各アドレス指定種別を記述します。図内のOPは命令語の動作符号部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

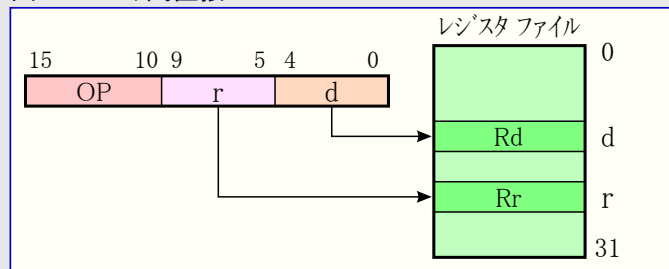
図9. 単一レジスタ直接



オペランドはレジスタd(Rd)を示します。

レジスタ間(Rd, Rr)直接

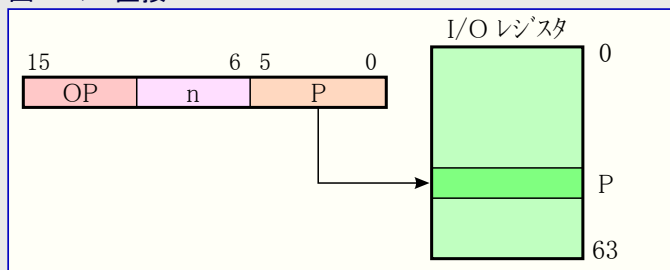
図10. レジスタ間直接



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

I/O直接

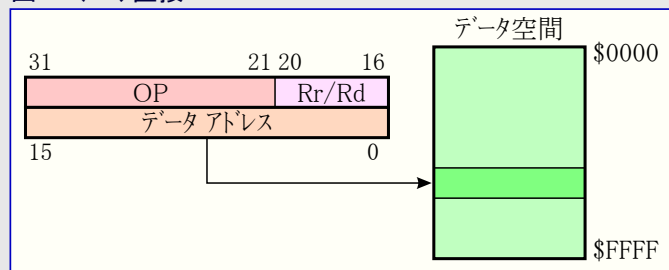
図11. I/O直接



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

データ直接

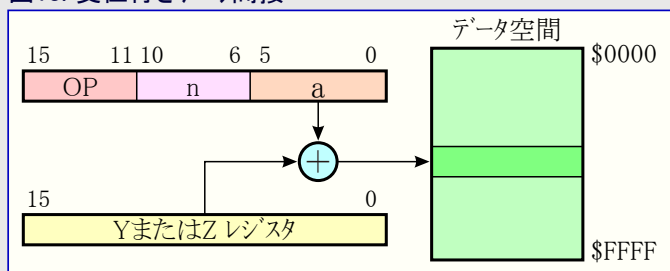
図12. データ直接



オペランドは2語命令の下位16ビットでデータ空間のアドレス位置を示し、Rr/Rdは転送元または転送先となるレジスタを示します。

変位付きデータ間接

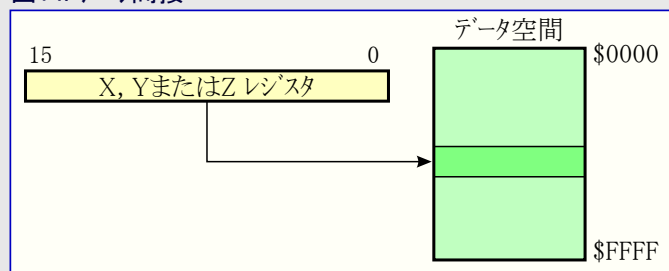
図13. 変位付きデータ間接



オペランド アドレスは、YまたはZレジスタの内容と命令語内の6ビット値aを加算した値となり、他方が転送元または転送先となるレジスタn(Rn)を示します。

データ間接

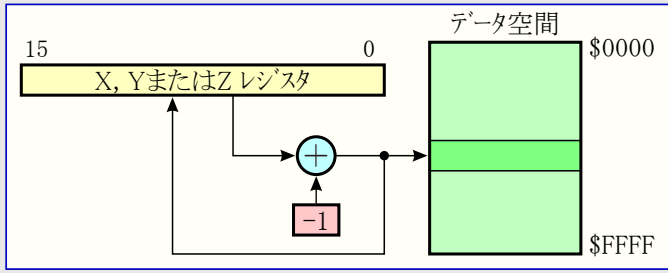
図14. データ間接



オペランド アドレスは、X, YまたはZレジスタの内容となります。

事前減少付きデータ間接

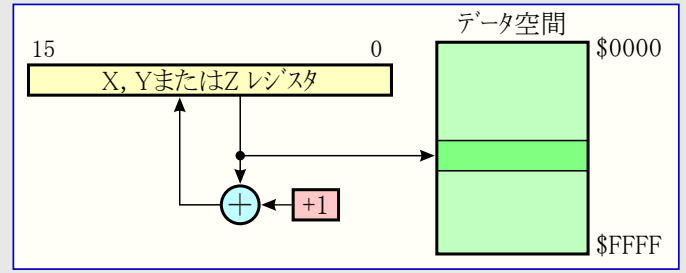
図15. 事前減少付きデータ間接



X,YまたはZレジスタはアクセス動作前に内容が減少されます。オペランドアドレスは減少されたX,YまたはZレジスタの内容となります。

事後増加付きデータ間接

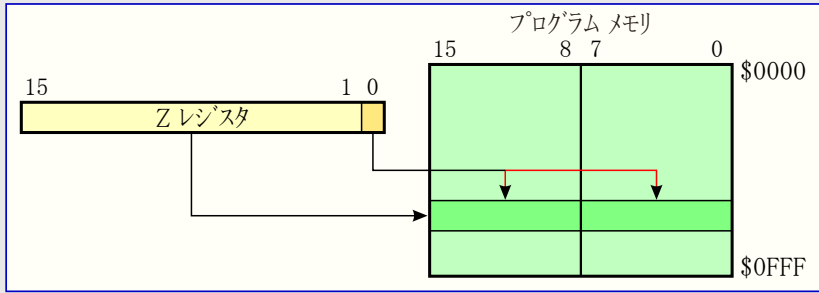
図16. 事後増加付きデータ間接



X,YまたはZレジスタはアクセス動作後に内容が増加されます。オペランドアドレスは増加される前のX,YまたはZレジスタの内容となります。

LPM命令による定数アドレス指定

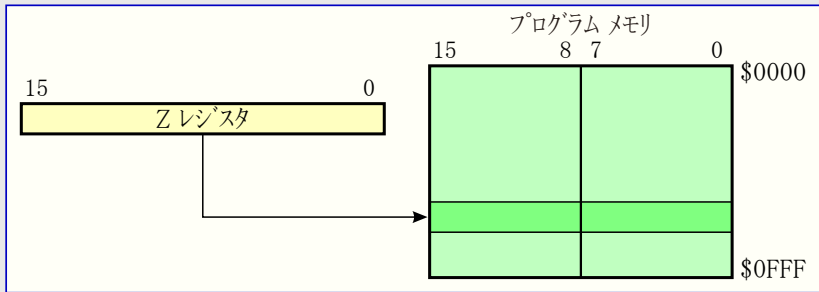
図17. プログラム空間定数アドレス指定



バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0～4Kの語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

JMP, ICALL命令によるプログラム間接アドレス指定

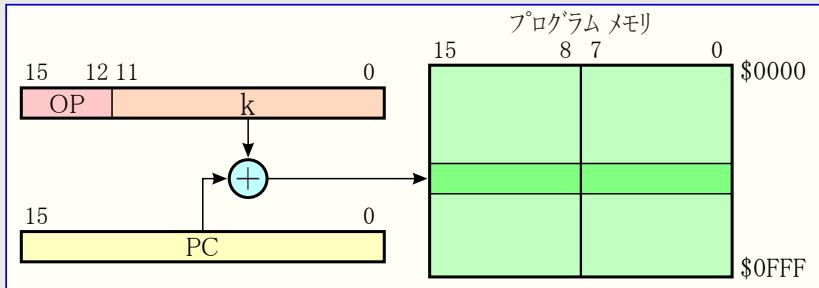
図18. プログラム空間間接アドレス指定



プログラムはZレジスタの内容のアドレスから実行が継続されます。(PCにZレジスタの内容を設定します。)

RJMP, RCALL命令によるプログラム相対アドレス指定

図19. プログラム相対アドレス指定



注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048～2047です。

メモリアクセスと命令実行タイミング

本項は命令実行と内部メモリアクセスについての一般的なアクセスタイミングの概念を記述します。

AVR CPUは外部クロック クリスタルから直接的に生成されるシステム クロック ϕ により駆動されます。内部クロック分周は使われません。

図20.はハーバード構造と高速アクセスレジスタファイルの概念により可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、機能対クロック、機能対電源部での好結果に相当するMHzあたり1 MIPSまでを得る基本的なパイプラインの概念です。

図20. 命令の取得と実行の並列動作

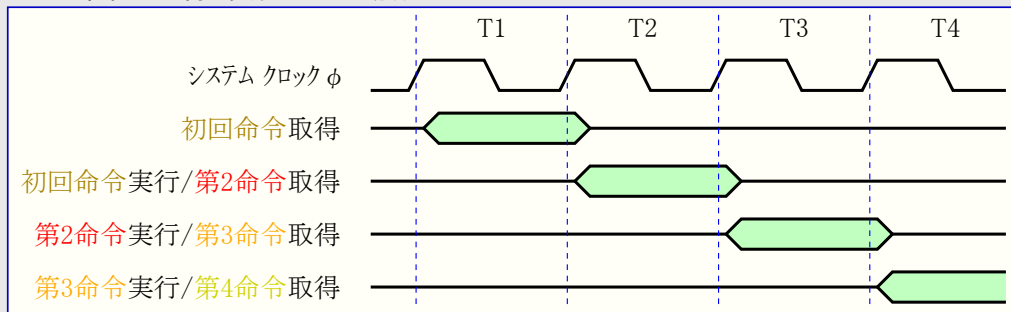
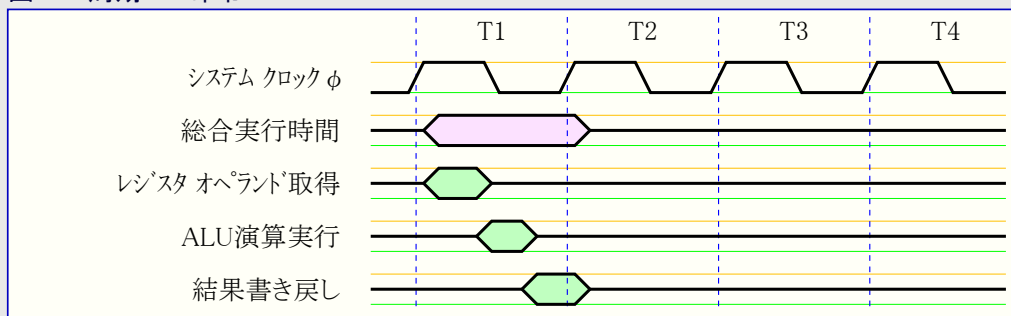


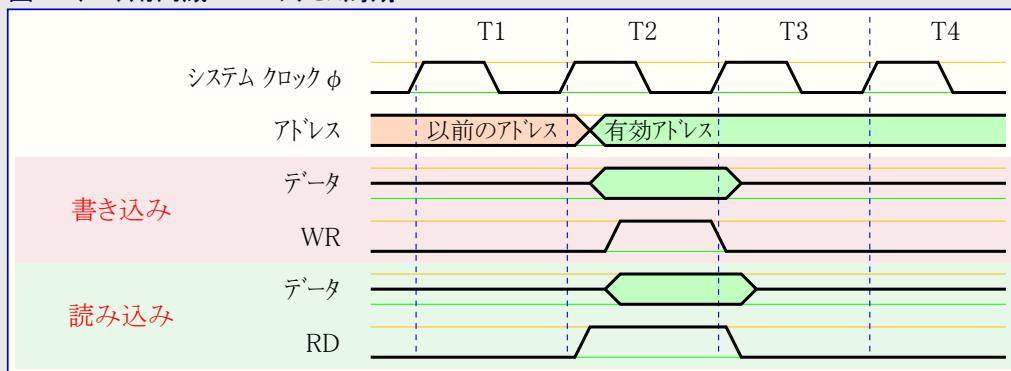
図21.はレジスタファイルに対する内部タイミングの概念を示します。2つのレジスタオペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図21. 1周期ALU命令



データ用内蔵SRAMのアクセスは、図22.で示されるように、2システムクロック周期で実行されます。

図22. データ用内蔵SRAMアクセス周期



注: T1,T2が命令実行周期です。

外部SRAMアクセスの説明については、40頁の「外部SRAM(メモリ)インターフェース」を参照してください。

I/O レジスタ

AT90S8515のI/O領域定義は表1.に示されます。

表1. AT90S8515 I/Oレジスタ

アドレス	レジスタ略名	レジスタ名
\$3F (\$5F)	SREG	ステータスレジスタ Status Register
\$3E (\$5E)	SPH	スタックポインタ上位 Stack Pointer High
\$3D (\$5D)	SPL	スタックポインタ下位 Stack Pointer Low
\$3B (\$5B)	GIMSK	一般割り込み許可レジスタ General Interrupt MaSK register
\$3A (\$5A)	GIFR	一般割り込み要求フラグレジスタ General Interrupt Flag register
\$39 (\$59)	TIMSK	タイマ/カウンタ割り込み許可レジスタ Timer/Counter Interrupt MaSK register
\$38 (\$58)	TIFR	タイマ/カウンタ割り込み要求フラグレジスタ Timer/Counter Interrupt Flag register
\$35 (\$55)	MCUCR	MCU制御レジスタ MCU general Control Register
\$33 (\$53)	TCCR0	タイマ/カウンタ0 制御レジスタ Timer/Counter 0 Control Register
\$32 (\$52)	TCNT0	タイマ/カウンタ0 カウンタ Timer/CouNTER 0 (8bit)
\$2F (\$4F)	TCCR1A	タイマ/カウンタ1 制御レジスタ A Timer/Counter 1 Control Register A
\$2E (\$4E)	TCCR1B	タイマ/カウンタ1 制御レジスタ B Timer/Counter 1 Control Register B
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 カウンタ上位 Timer/CouNTER 1 High byte
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 カウンタ下位 Timer/CouNTER 1 Low byte
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1 比較Aレジスタ上位 Timer/Counter 1 Output Compare Register 1A High byte
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1 比較Aレジスタ下位 Timer/Counter 1 Output Compare Register 1A Low byte
\$29 (\$49)	OCR1BH	タイマ/カウンタ1 比較Bレジスタ上位 Timer/Counter 1 Output Compare Register 1B High byte
\$28 (\$48)	OCR1BL	タイマ/カウンタ1 比較Bレジスタ下位 Timer/Counter 1 Output Compare Register 1B Low byte
\$25 (\$45)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位 Timer/Counter 1 Input Capture Register High byte
\$24 (\$44)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位 Timer/Counter 1 Input Capture Register Low byte
\$21 (\$41)	WDTCSR	ウォッチドッグ タイマ制御レジスタ WatchDog Timer Control Register
\$1F (\$3F)	EEARH	EEPROM アドレス上位 レジスタ EEPROM Address Register high byte
\$1E (\$3E)	EEARL	EEPROM アドレス下位 レジスタ EEPROM Address Register low byte
\$1D (\$3D)	EEDR	EEPROM データ レジスタ EEPROM Data Register
\$1C (\$3C)	EECR	EEPROM 制御レジスタ EEPROM Control Register
\$1B (\$3B)	PORTA	ポートA 出力データ レジスタ Data Register, Port A
\$1A (\$3A)	DDRA	ポートA 方向レジスタ Data Direction Register, Port A
\$19 (\$39)	PINA	ポートA 入力データ レジスタ Input Pins, Port A
\$18 (\$38)	PORTB	ポートB 出力データ レジスタ Data Register, Port B
\$17 (\$37)	DDRB	ポートB 方向レジスタ Data Direction Register, Port B
\$16 (\$36)	PINB	ポートB 入力データ レジスタ Input Pins, Port B
\$15 (\$35)	PORTC	ポートC 出力データ レジスタ Data Register, Port C
\$14 (\$34)	DDRC	ポートC 方向レジスタ Data Direction Register, Port C
\$13 (\$33)	PINC	ポートC 入力データ レジスタ Input Pins, Port C
\$12 (\$32)	PORTD	ポートD 出力データ レジスタ Data Register, Port D
\$11 (\$31)	DDRD	ポートD 方向レジスタ Data Direction Register, Port D
\$10 (\$30)	PIND	ポートD 入力データ レジスタ Input Pins, Port D
\$0F (\$2F)	SPDR	SPI データ レジスタ SPI I/O Data Register
\$0E (\$2E)	SPSR	SPI 状態レジスタ SPI Status Register
\$0D (\$2D)	SPCR	SPI 制御レジスタ SPI Control Register
\$0C (\$2C)	UDR	UART データ レジスタ UART Data Register
\$0B (\$2B)	USR	UART 状態レジスタ UART Status Register
\$0A (\$2A)	UCR	UART 制御レジスタ UART Control Register
\$09 (\$29)	UBRR	UART ボーレート レジスタ UART Baud Rate Register
\$08 (\$28)	ACSR	アナログ比較器 制御/状態レジスタ Analog Comparator Control and Status Register

注: 予約と未使用の位置は、この表で示されていません。()内のアドレスはデータ空間の一部としてアクセスする場合のアドレスです。

AT90S8515の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。I/OレジスタをSRAMとしてアクセスする時はこのアドレスに\$20が加算されなければなりません。本文書を通して、全てのI/Oレジスタ アドレスは、()内でデータ空間アドレスが示されます。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

状態フラグのいくつかは、論理1を書くことで解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読むフラグは1が書き戻され、従ってフラグを解除(0)することに注意してください。CBIとSBI命令は、レジスタ\$00～\$1Fでのみ動作します。

I/Oと周辺制御レジスタは次章で説明されます。

ステータス レジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は、I/O領域の\$3F(\$5F)で、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – I: 全割り込み許可** (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合に設定(1)しなければなりません。各割り込みの許可は各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令によって設定(1)されます。

• **ビット6 – T: ビット変数** (Bit Copy Storage)

このTビットはBLD(Bit Load)命令とBST(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

• **ビット5 – H: ハーフキャリー フラグ** (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については命令要約を参照してください。

• **ビット4 – S: 符号** (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

• **ビット3 – V: 2の補数溢れフラグ** (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは、2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

• **ビット2 – N: 負フラグ** (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

• **ビット1 – Z: ゼロフラグ** (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

• **ビット0 – C: キャリーフラグ** (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われなことに注意してください。これはソフトウェアにより操作しなければなりません。

スタック ポインタ (Stack Pointer) SPH, SPL (SP)

AVRの一般16ビットスタックポインタは、実際にはI/O空間位置\$3E(\$5E)と\$3D(\$5D)の2つの8ビットレジスタの構造です。AT90S8515は64Kバイトまでの外部SRAMを支援するため、16ビット全てが使われます。

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

スタックポインタはサブルーチンと割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック領域は、割り込みの許可や、何れかのサブルーチン呼び出しが実行される前にプログラムによって定義されなければなりません。スタックポインタは\$60以上を指示するために設定されなければなりません。スタックポインタは、PUSH命令でデータがスタック上に格納されるとき-1され、サブルーチン呼び出しや割り込みでアドレスがスタック上に格納されるとき-2されます。POP命令でデータをスタックから引き出すとき+1され、サブルーチンからの復帰(RET命令)や割り込みからの復帰(RETI命令)でアドレスをスタックから引き出すとき+2されます。

リセットと割り込みの扱い

AT90S8515には12種類の割り込みがあります。これらの割り込みとリセットのベクタは、プログラム メモリ空間内に各々 個別のベクタを持っています。全ての割り込みは、割り込みを許可するために、個別の許可ビットと**ステータス レジスタ(SREG)の全割り込み許可(I)ビット**を共に設定(1)しなければなりません。

プログラム メモリ空間の最下位アドレスは、リセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は**表2.**に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表2. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$000	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$001	INT0	外部割り込み要求0
3	\$002	INT1	外部割り込み要求1
4	\$003	タイマ/カウンタ1 CAPT	タイマ/カウンタ1捕獲発生
5	\$004	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
6	\$005	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
7	\$006	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
8	\$007	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
9	\$008	SPI STC	SPI 転送完了
10	\$009	UART RX	UART 受信完了
11	\$00A	UART UDRE	UART 送信緩衝部空き
12	\$00B	UART TX	UART 送信完了
13	\$00C	アナログ比較器 ANA_COMP	アナログ比較器出力遷移

リセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$000		RJMP RESET	;各種リセット
\$001		RJMP EXT_INT0	;外部割り込み要求0
\$002		RJMP EXT_INT1	;外部割り込み要求1
\$003		RJMP TIM1_CAPT	;タイマ/カウンタ1捕獲発生
\$004		RJMP TIM1_COMPA	;タイマ/カウンタ1比較A一致
\$005		RJMP TIM1_COMPB	;タイマ/カウンタ1比較B一致
\$006		RJMP TIM1_OVF	;タイマ/カウンタ1溢れ
\$007		RJMP TIM0_OVF	;タイマ/カウンタ0溢れ
\$008		RJMP SPI_STC	;SPI転送完了
\$009		RJMP UART_RXC	;UART受信完了
\$00A		RJMP UART_DRE	;UART送信緩衝部空
\$00B		RJMP UART_TXC	;UART送信完了
\$00C		RJMP ANA_COMP	;アナログ比較器出力遷移
;			
\$00D	RESET:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得
\$00E		OUT SPH, R16	;スタック ポインタ上位を初期化
\$00F		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$010		OUT SPL, R16	;スタック ポインタ下位を初期化
			;以下、I/O初期化など

リセット発生元

AT90S8515には、次の3つのリセット発生元があります。

- **電源ONリセット** 電源電圧が電源ONリセット閾値電圧(V_{POT})以下でリセットになります。
- **外部リセット** RESETピンが50ns以上Lowレベルに保たれるとリセットになります。
- **ウォッチドッグリセット** ウォッチドッグが許可され、ウォッチドッグ タイマ周期が経過するとリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、その後にアドレス\$000からプログラム実行が始まります。アドレス\$000に配置される命令は、リセット処理ルーチンへの無条件相対分岐(RJMP)命令でなければなりません。プログラムで決して割り込みを許可しないなら、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。図23.にリセット部の回路構成を示します。表3.はリセット回路の電気的特性とタイミングを定義します。

図23. リセット回路構成

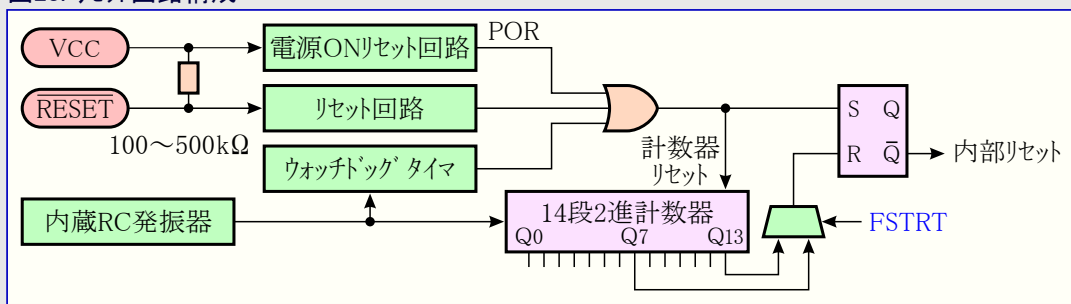


表3. リセット電気的特性 (VCC=5.0V)

シンボル	項目	最小	代表	最大	単位
V _{POT}	上昇時電源ONリセット閾値電圧	0.8	1.2	1.6	V
	下降時電源ONリセット閾値電圧 (注1)	0.2	0.4	0.6	
V _{RST}	RESETピン閾値電圧			0.9VCC	
t _{TOUT}	リセット遅延時間	FSTRT=非プログラム(1)	11	16	ms
		FSTRT=プログラム(0)	0.25	0.28	

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

代表的な発振器起動に従った起動時間が選べます。各計時終了(リセット遅延時間)で使われるウォッチドッグ発振器周期数は表4.で示されます。ウォッチドッグ発振器の周波数は、68頁の「代表特性」内で示されるように、電圧に依存します。

表4. ウォッチドッグ発振器の周期数

FSTRT	リセット遅延時間 (VCC=5V)	ウォッチドッグ発振器周期数
プログラム(0)	0.28ms	256
非プログラム(1)	16.0ms	16K

電源ONリセット

電源ONリセット(POR)回路は、電源投入時のデバイスリセットを保証します。図23.で示されるように、内部タイマはウォッチドッグ発振器で駆動されます。この内部タイマはVCC上昇時間に拘らず、VCCが電源ON閾値電圧(V_{POT})に達した後の或る期間後まで、MCUを開始から保護します(図24.参照)。フラッシュメモリ内のFSTRTヒューズビットはセラミック振動子や他の高速起動発振器がMCUのクロックに使われる場合、短い起動遅延時間とするためにプログラム(0)することができます。

内蔵起動遅延時間で十分な場合、RESETを直接または外部プルアップ抵抗を介してVCCに接続できます。VCC供給後も、RESETピンをLowレベルに保持することで、起動遅延時間を延長することができます。このタイミング例は図25.を参照してください。

図24. 内蔵電源ONリセット (RESETはVCCに接続)

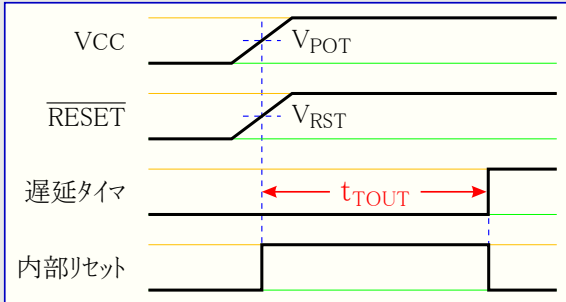
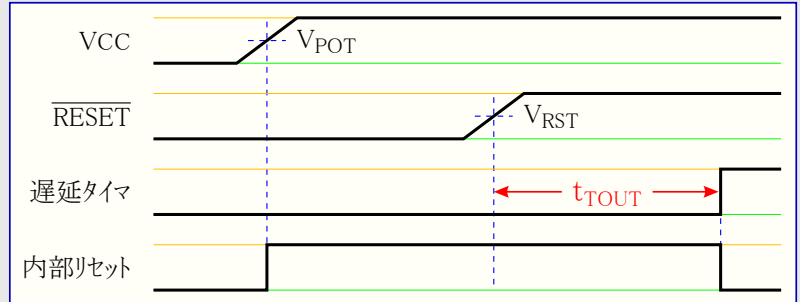


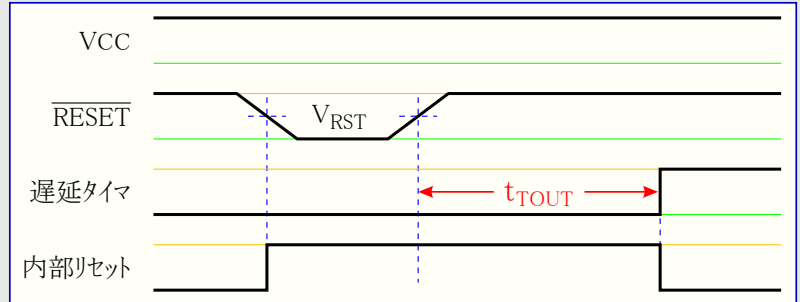
図25. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピン上のLowレベルにより生成されます。例えばクロックが動いていなくても、50nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセットが保証されません。供給された信号の上昇がリセット閾値電圧(V_{RST})に達すると、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを起動します。

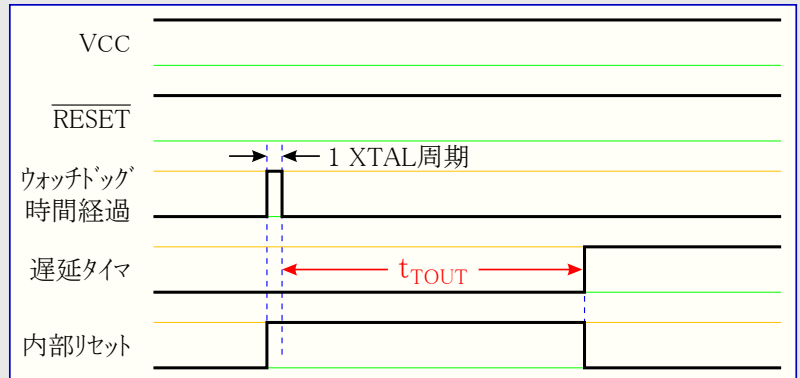
図26. 動作中の外部リセット



ウォッチドッグリセット

ウォッチドッグ時間経過で1 XTAL周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ操作の詳細については28頁を参照してください。

図27. 動作中のウォッチドッグリセット



割り込みの扱い

AT90S8515には、一般割り込み許可レジスタ(GIMSK)とタイマ/カウンタ割り込み許可レジスタ(TIMSK)の2つの8ビット割り込み許可レジスタがあります。

割り込みが起こると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

安定して維持できる要因(例えば、比較レジスタとタイマ/カウンタ1の一致)により割り込み要求が起動されると、その要因発生時に割り込み要求フラグが設定(1)されます。割り込み要求フラグが解除(0)され、その割り込み条件が持続されると、次の要因発生まで設定(1)されません。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	INT1	INT0	—	—	—	—	—	—	GIMSK
Read/Write	R/W	R/W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – INT1 : 外部割り込み1許可 (External Interrupt Request 1 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み1許可(INT1)ビットがともに設定(1)で、INT1ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御1のビット1と0(ISC11,ISC10)が、外部割り込みINT1ピンの動作を上昇端、下降端またはLowレベルの何れか定義します。INT1ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求1に対応する割り込みは、プログラムメモリアドレス\$002から実行されます。「外部割り込み」も参照してください。

• ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み0許可(INT0)ビットがともに設定(1)で、INT0ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット1と0(ISC01,ISC00)が、外部割り込みINT0ピンの動作を上昇端、下降端またはLowレベルの何れか定義します。INT0ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求0に対応する割り込みは、プログラムメモリアドレス\$001から実行されます。「外部割り込み」も参照してください。

• ビット5～0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

一般割り込み要求フラグ レジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	INTF1	INTF0	—	—	—	—	—	—	GIFR
Read/Write	R/W	R/W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – INTF1 : 外部割り込み1要求フラグ (External Interrupt Flag1)

INT1ピン上の端(エッジ)が割り込み要求を起こすとき、対応する割り込み要求フラグ(INTF1)が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、対応する一般割り込み許可レジスタ(GIMSK)の外部割り込み1許可(INT1)ビットが共に設定(1)されていれば、MCUは割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されるときに解除(0)されます。このフラグは論理1を書くことによっても解除(0)できます。INT1がレベル割り込みとして設定されるとき、このフラグは常に解除(0)されます。

• ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上の端(エッジ)が割り込み要求を起こすとき、対応する割り込み要求フラグ(INTF0)が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、対応する一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが共に設定(1)されていれば、MCUは割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されるときに解除(0)されます。このフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されるとき、このフラグは常に解除(0)されます。

•ビット5~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	TOIE1	OCIE1A	OCIE1B	–	TICIE1	–	TOIE0	–	TMSK
Read/Write	R/W	R/W	R/W	R	R/W	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

•ビット7 – TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットが共に設定(1)で、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1溢れ割り込み要求フラグ(TOV1)が設定(1)されると、対応する割り込み(ベクタ \$006)が実行されます。

•ビット6 – OCIE1A : 比較A一致割り込み許可 (Timer/Counter1 Output Compare A Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと比較A一致割り込み許可(OCIE1A)ビットが共に設定(1)で、比較A一致割り込みが許可されます。タイマ/カウンタ1で比較A一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)の比較A一致割り込み要求フラグ(OCF1A)が設定(1)されると、対応する割り込み(ベクタ \$004)が実行されます。

•ビット5 – OCIE1B : 比較B一致割り込み許可 (Timer/Counter1 Output Compare B Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと比較B一致割り込み許可(OCIE1B)ビットが共に設定(1)で、比較B一致割り込みが許可されます。タイマ/カウンタ1で比較B一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)の比較B一致割り込み要求フラグ(OCF1B)が設定(1)されると、対応する割り込み(ベクタ \$005)が実行されます。

•ビット4 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

•ビット3 – TICIE1 : 捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと捕獲割り込み許可(TICIE1)ビットが共に設定(1)で、捕獲割り込みが許可されます。ICPピン上に捕獲要求が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)の捕獲割り込み要求フラグ(ICF1)が設定(1)されると、対応する割り込み(ベクタ \$003)が実行されます。

•ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

•ビット1 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットが共に設定(1)で、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)が設定(1)されると、対応する割り込み(ベクタ \$007)が実行されます。

•ビット0 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	TOV1	OCF1A	OCF1B	–	ICF1	–	TOV0	–	TIFR
Read/Write	R/W	R/W	R/W	R	R/W	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

•ビット7 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Interrupt Flag)

タイマ/カウンタ1溢れが起こると、TOV1が設定(1)されます。対応する割り込み処理ベクタを実行すると、このTOV1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットとTOV1が設定(1)されると、タイマ/カウンタ1溢れ割り込みが実行されます。PWM動作では、タイマ/カウンタ1が\$0000で計数方向を変更するとき、このフラグが設定(1)されます。

•ビット6 – OCF1A : 比較A一致割り込み要求フラグ (Output Compare Interrupt Flag1A)

タイマ/カウンタ1と比較Aレジスタ(OCR1A)の値間で比較一致が起こると、OCF1Aが設定(1)されます。対応する割り込み処理ベクタを実行すると、このOCF1Aは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TMSK)の比較A一致割り込み許可(OCIE1A)ビットとOCF1Aが設定(1)されると、比較A一致割り込みが実行されます。

•ビット5 – OCF1B : 比較B一致割り込み要求フラグ (Output Compare Interrupt Flag1B)

タイマ/カウンタ1と比較Bレジスタ(OCR1B)の値間で比較一致が起こると、OCF1Bが設定(1)されます。対応する割り込み処理ベクタを実行すると、このOCF1Bは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)の比較B一致割り込み許可(OCIE1B)ビットとOCF1Bが設定(1)されると、比較B一致割り込みが実行されます。

•ビット4 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

•ビット3 – ICF1 : 捕獲割り込み要求フラグ (Input Capture Interrupt Flag1)

このICF1ビットは、タイマ/カウンタ1の値が捕獲レジスタ(ICR1)に転送されてしまったことを示す、捕獲発生フラグのため設定(1)されます。対応する割り込み処理ベクタを実行すると、このICF1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもICF1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)の捕獲割り込み許可(TICIE1)ビットとICF1が設定(1)されると、捕獲割り込みが実行されます。

•ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

•ビット1 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、このTOV0ビットが設定(1)されます。対応する割り込みベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

•ビット0 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

外部割り込み

外部割り込みは、INT0とINT1ピンにより起動されます。許可されていれば、INT0、INT1ピンが出力として設定されていても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端またはLowレベルで起動できます。これはMCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。外部割り込みが許可され、レベル起動として設定されるとき、ピンがLowに保持されている限り、この割り込みは継続的に発生します。

外部割り込みは、MCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4クロックです。割り込み要求フラグが設定(1)されてしまった後の4クロック周期で、実際の割り込み処理ルーチン用の割り込みベクタアドレスが実行されます。この4クロック周期中、プログラムカウンタ(2バイト)がスタック上に保存(プッシュ)され、スタックポインタが減少(-2)されます。通常、このベクタは割り込み処理ルーチンに対する無条件相対分岐(RJMP)命令で、この分岐に2クロック周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前に、その命令が完了されます。

割り込み処理ルーチンからの復帰(サブルーチン呼び出しについてと同じように)は4クロック周期要します。この4クロック周期中に、スタックからプログラムカウンタ(2バイト)が再設定(ポップ)され、スタックポインタが増加(+2)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。割り込みを抜けるときは常に主(元)プログラムへ復帰し、保留されている割り込みが扱われる前に、1つ以上の命令を実行します。

ステータスレジスタ(SREG)が割り込みまたはサブルーチンのどちらについてもAVRハードウェアにより操作されないことに注意してください。SREGの保存を必要とする割り込み処理ルーチンについて、これは使用者ソフトウェアにより実行されなければなりません。

安定して維持できる要因(例えば、比較レジスタとタイマ/カウンタ1の一致)により割り込み要求が起動されると、その要因発生時に割り込み要求フラグが設定(1)されます。割り込み要求フラグが解除(0)され、その割り込み条件が持続されると、次の要因発生まで設定(1)されません。外部レベル割り込みは、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは、MCU機能一般についての制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW	SE	SM	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SRE : 外部SRAM許可 (External SRAM Enable)

このSREビットが設定(1)されるとデータ用外部SRAMが許可され、AD7~0(ポートA)、A15~8(ポートC)、RD(PD7)、WR(PD6)のピン機能は交換ピン機能として活性化(有効に)されます。その時、SREビットは各ポート方向レジスタでのどんなピン方向設定も無視します。外部SRAMピン機能の説明については、6頁の「[内蔵SRAMと外部SRAM](#)」と40頁の「[外部SRAM\(メモリ\)インターフェース](#)」を参照してください。SREビットが解除(0)されると、データ用外部SRAMが禁止され、標準ピンとデータ方向設定が使われます。

• ビット6 – SRW : 外部SRAM待ち (External SRAM Wait State)

このSRWビットが設定(1)されると、データ用外部SRAMアクセス周期に1周期の待ち状態が挿入されます。SRWビットが解除(0)されると、データ用外部SRAMアクセスは標準の3周期構造で実行されます。[図43](#)と[図44](#)を参照してください。

• ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行されるときにMCUを休止形態へ移行させるには、休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的外休止形態移行をなくすため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

• ビット4 – SM : 休止種別 (Sleep Mode)

このビットは利用可能な2つの休止形態種別を選びます。SMが解除(0)されると休止形態としてアイドル動作が選ばれます。SMが設定(1)されると休止形態としてパワーダウン動作が選ばれます。詳細については、次の「[休止形態](#)」項を参照してください。

• ビット3,2 – ISC11,0 : 外部割り込み1条件制御 (Interrupt Sense Control 1 bit1 and 0)

外部割り込み1はステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み許可レジスタ(GIMSK)の外部割り込み1許可(INT1)ビットが、共に設定(1)されている場合の外部割り込み1(INT1)ピンによって起動されます。この割り込みを起動する外部割り込み1(INT1)ピン上の端(エッジ)やレベルは表5.で定義されます。

表5. 外部割り込み1(INT1)割り込み条件

ISC11	ISC10	割り込み発生条件
0	0	INT1ピンがLowレベルで発生。
	1	(予約)
1	0	INT1ピンの下降端で発生。
	1	INT1ピンの上昇端で発生。

• ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが、共に設定(1)されている場合の外部割り込み0(INT0)ピンによって起動されます。この割り込みを起動する外部割り込み0(INT0)ピン上の端(エッジ)やレベルは表6.で定義されます。

表6. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	(予約)
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

INTnピンの値は端検出以前から採取比較されています。端割り込みが選ばれると、1 CPUクロック周期より長い幅のパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選ばれると、割り込みを発生するためには、現在実行中の命令の完了まで、Lowレベルが保持されなければなりません。許可されていれば、レベル起動割り込みはピンがLowに保持されている限り、割り込み要求を発生し続けます。

休止形態

休止形態へ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが設定(1)されて、SLEEP命令が実行されなければなりません。MCUが休止形態中に許可されている割り込みが発生すると、MCUは起動復帰して、その割り込み処理ルーチンを実行し、そしてSLEEP命令の次から実行を再開します。レジスタファイル、SRAM、I/Oレジスタの内容は変化しません。休止形態中にリセットが起これば、MCUは起動復帰し、リセットベクタから実行します。

アイドル動作

休止種別(SM)ビットが解除(0)されていると、SLEEP命令でMCUがアイドル動作へ移行し、CPUは停止しますが、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これは、タイマ溢れのような内部割り込みやウォッチドッグのリセットだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。アナログ比較器割り込みからの起動復帰が必要ない場合、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することにより、アナログ比較器を電源断にできます。これはアイドル動作での消費電力削減になります。アイドル動作から起動復帰すると、CPUは直ちにプログラムの実行を始めます。

パワーダウン動作

休止種別(SM)ビットが設定(1)されていると、SLEEP命令でMCUがパワーダウン動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ウォッチドッグは動作を継続します。外部リセット、(許可されていれば)ウォッチドッグリセット、INT0またはINT1の外部レベル割り込みだけがMCUを起動復帰できます。

パワーダウン動作からの起動復帰にレベルで起動された割り込みが使われる時は、このLowレベルがリセット遅延時間(t_{TOUT})より長い時間保持されなければならないことに注意してください。そうでないとMCUは起動復帰しません。

タイマ/カウンタ

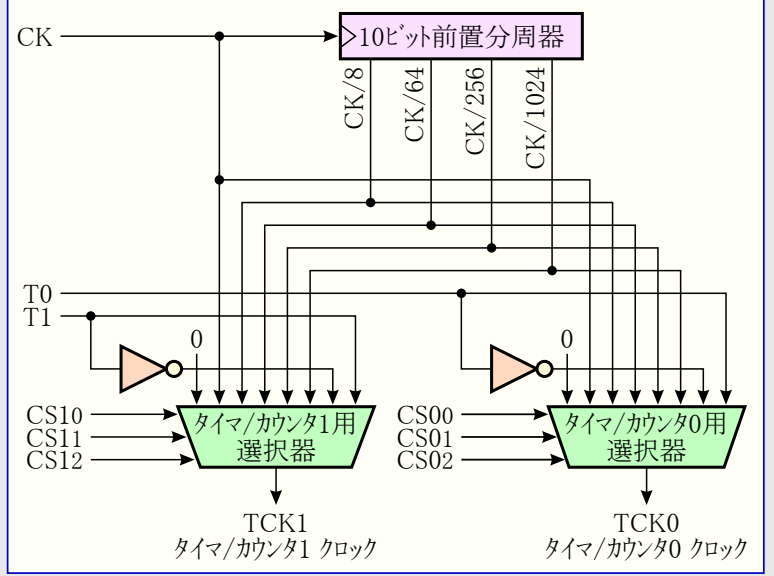
AT90S8515には8ビットと16ビットの2つの汎用タイマ/カウンタがあります。タイマ/カウンタには、同じ10ビット前置分周器用タイマから選ぶ個別の前置分周器があります。タイマ/カウンタは、内部クロックを基準とするタイマや、外部ピンに接続された起動信号によるカウンタなどの使用ができます。

タイマ/カウンタ前置分周器部

図28.はタイマ/カウンタの前置分周器の概略を示します。

前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、CK/8、CK/64、CK/256、CK/1024です。2つのタイマ/カウンタでは更なる選択として、CK、外部クロック信号、または停止がクロック元として選べます。

図28. タイマ/カウンタ前置分周器部構成



タイマ/カウンタ0

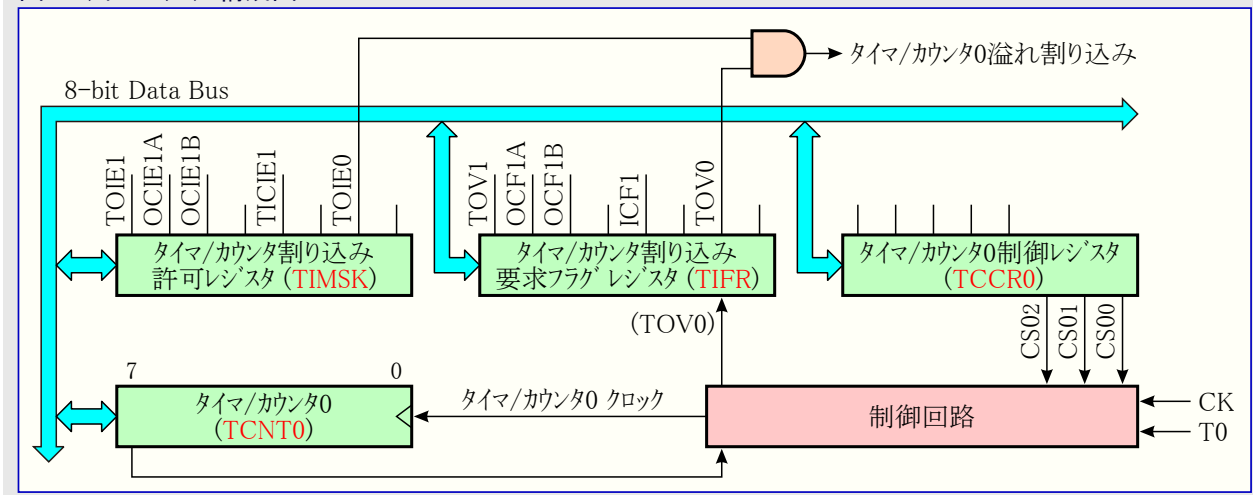
図29.はタイマ/カウンタ0の構成図を示します。

8ビットのタイマ/カウンタ0は、CK、分周されたCK、または外部ピンからクロック元を選べます。更に、[タイマ/カウンタ0制御レジスタ\(TCCR0\)](#)の詳細で説明されるように停止もできます。溢れ状態フラグ(TOV0)は[タイマ/カウンタ割り込み要求フラグレジスタ\(TIFR\)](#)にあります。制御ビットはタイマ/カウンタ0制御レジスタ(TCCR0)にあります。タイマ/カウンタ0に関する割り込みの許可/禁止設定は[タイマ/カウンタ割り込み許可レジスタ\(TIMSK\)](#)内にあります。

タイマ/カウンタ0が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が、少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

8ビットのタイマ/カウンタ0は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会は低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ0を有効にします。

図29. タイマ/カウンタ0構成図



タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	—	—	—	—	—	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット2～0 – CS02～0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

クロック選択0ビット2～0はタイマ/カウンタ0に供給するクロック元を定義します。

表7. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T0(PB0)ピンの下降端
1	1	1	外部T0(PB0)ピンの上昇端

停止状態はタイマ/カウンタの許可/禁止機能を提供します。CKの分周出力動作では、発振器クロック(CK)から直接的に分周されます。タイマ/カウンタ0に外部ピン動作が使われると、例えばT0(PB0)が出力として設定されていても、このピン上の変移がタイマ/カウンタを計数します。この特徴が計数動作のソフトウェア制御を提供します。

タイマ/カウンタ0 (Timer/Counter0) TCNT0

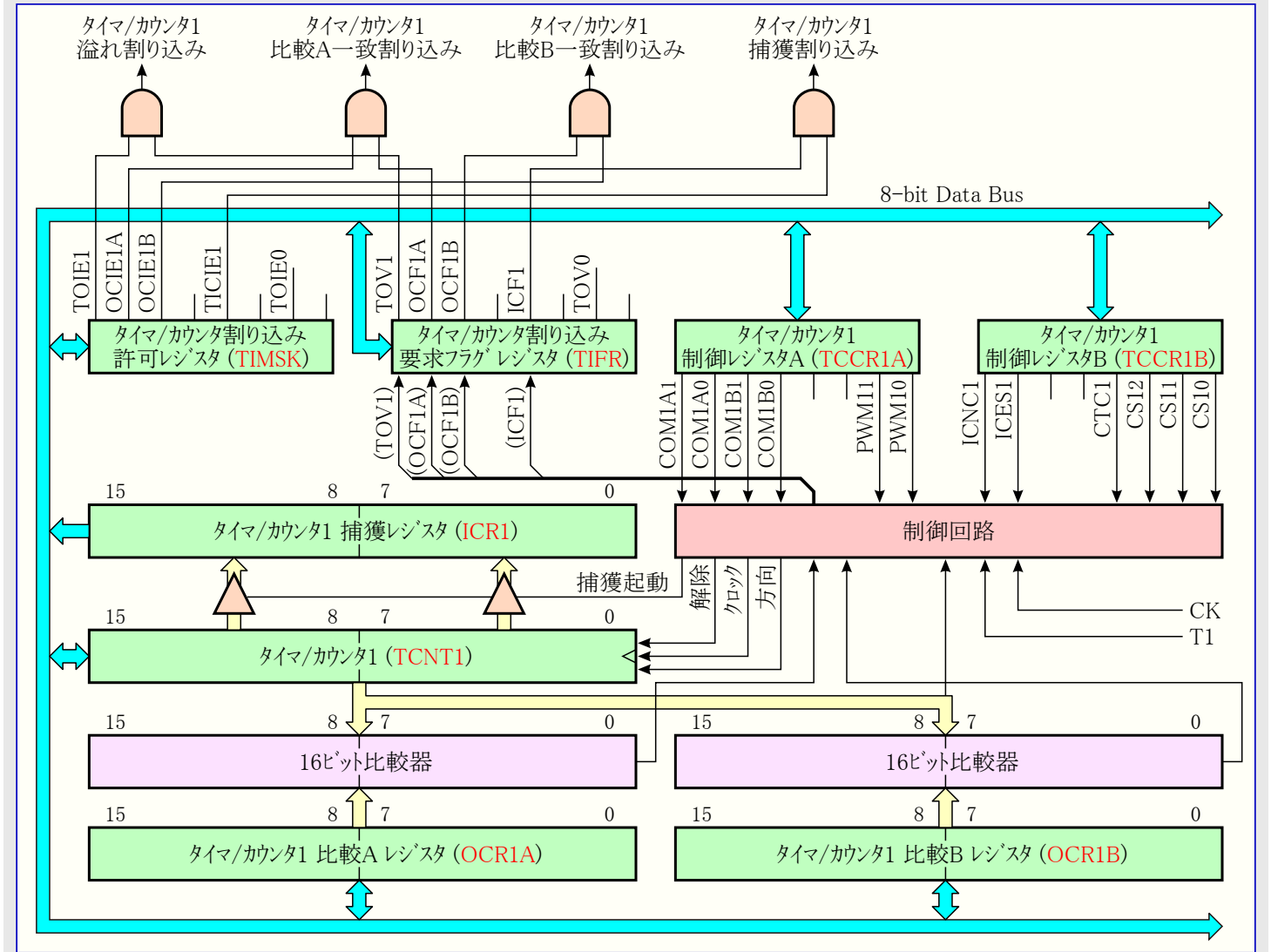
ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタ0は、読み書きできる上昇カウンタとして実現されます。タイマ/カウンタ0が書かれ、クロック元が存在すると、タイマ/カウンタ0は書き込み動作の次に来るタイマ/カウンタ クロック周期で計数を開始/継続します。

16ビット タイマ/カウンタ1

図30.はタイマ/カウンタ1についての構成図を示します。

図30. タイマ/カウンタ1構成図



16ビットのタイマ/カウンタ1はクロック元にCK、分周されたCK、または外部ピンからのクロック元を選べます。更に、[タイマ/カウンタ1制御レジスタB\(TCCR1B\)](#)の詳細で説明されるように停止もできます。各種状態フラグ(溢れ:TOV1、比較A一致:OCF1A、比較B一致:OCF1B、捕獲発生:ICF1)は[タイマ/カウンタ割り込み要求フラグレジスタ\(TIFR\)](#)にあります。制御ビットは[タイマ/カウンタ1制御レジスタA\(TCCR1A\)](#)と[タイマ/カウンタ1制御レジスタB\(TCCR1B\)](#)にあります。タイマ/カウンタ1に関する割り込みの許可/禁止設定は[タイマ/カウンタ割り込み許可レジスタ\(TIMSK\)](#)内にあります。

タイマ/カウンタ1が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が、少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

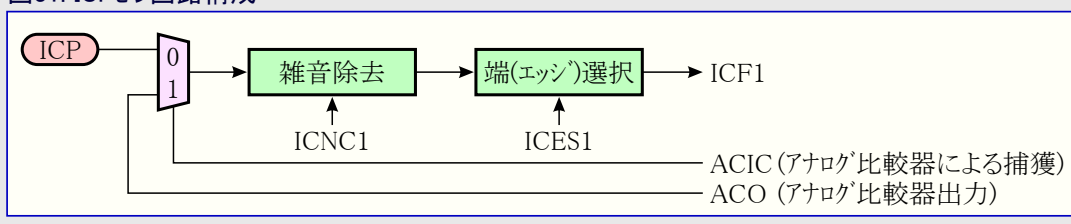
16ビットのタイマ/カウンタ1は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ1を有効にします。

タイマ/カウンタ1は、タイマ/カウンタ1の内容と比較されるデータ元として比較レジスタ(OCR1AとOCR1B)を使う比較出力機能を支援します。この比較出力機能は、選択可能な比較一致でのカウンタの解除(=0000)や、両方の比較一致での比較出力(OC1AとOC1B)ピン上の動作を含みます。

タイマ/カウンタ1は8、9または10ビットのパルス幅変調器(PWM)としても使えます。この動作では、タイマ/カウンタ1(TCNT1)と比較レジスタ(OCR1AとOCR1B)は、不具合の無い周期中央パルス方式の独立したPWMとして扱えます。この機能の詳細説明については[27頁](#)を参照してください。

タイマ/カウンタ1の捕獲機能は、ICPピンの外部要因により起動される、タイマ/カウンタ1の内容の捕獲レジスタ(ICR1)への捕獲(複写)を提供します。実際の捕獲要因(条件)は、タイマ/カウンタ1制御レジスタB(TCCR1B)により定義されます。加えて、アナログ比較器は捕獲の起動に設定できます。この詳細については、[39頁](#)の「[アナログ比較器](#)」を参照してください。ICPピンの回路は[図31](#)で示されます。

図31. ICPピン回路構成



雑音除去機能が許可されると、捕獲についての実際の起動条件は4回の採取に渡って監視され、捕獲フラグを有効とするには4回全てが同じでなければなりません。

タイマ/カウンタ1制御レジスタ (Timer/Counter1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	—	—	PWM11	PWM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – COM1A1,0 : 比較A出力選択 (Compare Output ModelA bit 1 and 0)

このCOM1A1とCOM1A0制御ビットは、**タイマ/カウンタ1(TCNT1)**での比較A一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC1A/PD5(比較A出力)ピンに影響を及ぼします。これはI/Oポートの交換機能で、対応する方向制御ビットは出力ピンを制御するため、設定(1)されなければなりません(DDD5=1)。制御設定は表8.で示されます。

• ビット5,4 – COM1B1,0 : 比較B出力選択 (Compare Output ModelB bit 1 and 0)

このCOM1B1とCOM1B0制御ビットは、**タイマ/カウンタ1(TCNT1)**での比較B一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC1B(比較B出力)ピンに影響を及ぼします。制御設定は表8.で示されます。

表8. 比較出力選択

COM1x1	COM1x0	意味
0	0	OC1x切断
0	1	OC1xピン トグル(交互)出力
1	0	OC1xピン Lowレベル出力
1	1	OC1xピン Highレベル出力

注: • x=AまたはB

• PWM動作では、これらのビットは異なる機能をちます。詳細説明については27頁の表12.を参照してください。

• ビット3,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1,0 – PWM11,0 : PWM動作選択 (Pulse Width Modulator Select bit 1 and 0)

これらのビットは表9.に示されるタイマ/カウンタ1のPWM動作を選びます。この動作は27頁で説明されます。

表9. PWM動作選択

PWM11	PWM10	意味
0	0	PWM動作禁止
0	1	8ビットPWM
1	0	9ビットPWM
1	1	10ビットPWM

タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	ICNC1	ICES1	—	—	CTC1	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – ICNC1 : 捕獲起動入力雑音除去 (Input Capture1 Noise Canceler)

ICNC1ビットが解除(0)されると、捕獲起動入力の雑音除去機能が禁止されます。捕獲は説明されたように、ICP(捕獲起動入力)ピンで採取された最初の上昇端/下降端で起動されます。ICNC1が設定(1)されると、ICP(捕獲起動入力)ピンで連続する4回の採取が揃い、全ての採取がICES1ビットでの捕獲起動条件設定に対応するhigh/Lowでなければなりません。実際の採取周波数はXTAL(システム)クロック周波数です。

• ビット6 – ICES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

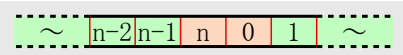
ICES1が解除(0)されている間中、タイマ/カウンタ1の内容は捕獲起動入力(ICP)ピンの下降端で捕獲レジスタ(ICR1)へ転送されます。ICES1ビットが設定(1)されている間中、タイマ/カウンタ1の内容は捕獲起動入力(ICP)ピンの上昇端で捕獲レジスタへ転送されます。

• ビット5,4 – Res : 予約 (Reserved)

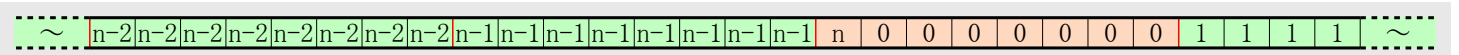
これらのビットは予約されており、常に0として読みます。

• ビット3 – CTC1 : 一致解除許可 (Clear Timer/Counter1 on Compare Match)

CTC1制御ビットが設定(1)されると、タイマ/カウンタ1は比較A一致後のクロック周期で\$0000にリセットされます。CTC1制御ビットが解除(0)されると、タイマ/カウンタ1は比較一致による影響を受けず計数動作を続けます。比較一致は一致に続くCPUクロック周期で検出されるため、1より大きい前置分周値が使われる時はこの動作が違う動作になります。前置分周値が1で、比較Aレジスタ(OCR1A)にnが設定されている時にCTC1が設定(1)されていると、タイマ/カウンタ1は次のように計数します。



前置分周器がCK/8分周に設定されていると、タイマ/カウンタ1は次のように計数します。



PWM動作では、このビットは無効です。

• ビット2~0 – CS12~0 : クロック選択1 (Clock Select1, bit 2,1 and 0)

このクロック選択1ビット2~0はタイマ/カウンタ1(TCNT1)に供給するクロックを定義します。

表10. タイマ/カウンタ1入力クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ1は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T1(PB1)ピンの下降端
1	1	1	外部T1(PB1)ピンの上昇端

停止状態はタイマ/カウンタの動作許可/禁止機能を提供します。CKが分周される動作では発振器クロックCKから直接的に分周されます。タイマ/カウンタ1に外部ピン動作が使われると、T1(PB1)が出力として設定されていても、このピン上の変移はカウンタを駆動します。この特徴が計数動作のソフトウェア制御を可能にします。

タイマ/カウンタ1 (Timer/Counter1) TCNT1H, TCNT1L (TCNT1)

ビット	15	14	13	12	11	10	9	8	
\$2D (\$4D)	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)								(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この16ビットレジスタは16ビットのタイマ/カウンタ1の前置分周された値を含みます。CPUがこれらのレジスタをアクセスするとき、上位と下位のバイトの両方が同時に読み書きされることを保証するため、このアクセスは8ビットの一時レジスタ(TEMP)を使って実行されます。この一時レジスタは、比較レジスタ(OCR1A, OCR1B)や捕獲レジスタ(ICR1)をアクセスするときにも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

- タイマ/カウンタ1(TCNT1)書き込み (Timer/Counter1 Write)

CPUが上位バイト(TCNT1H)に書くとき、書かれたデータは一時レジスタ(TEMP)に置かれます。次にCPUが下位バイト(TCNT1L)に書くとき、TEMP内のバイトデータと組み合わせられ、16ビット全てがタイマ/カウンタ1(TCNT1)へ同時に書かれます。従って、完全な16ビットレジスタ書き込み操作では、**上位バイト(TCNT1H)が先にアクセス**されなければなりません。

- タイマ/カウンタ1(TCNT1)読み込み (Timer/Counter1 Read)

CPUが下位バイト(TCNT1L)を読むとき、下位バイト(TCNT1L)のデータがCPUへ送られ、上位バイト(TCNT1H)のデータが一時レジスタ(TEMP)に置かれます。CPUが上位バイト(TCNT1H)を読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビットレジスタ読み込み操作では、**下位バイト(TCNT1L)が先にアクセス**されなければなりません。

タイマ/カウンタ1は読み書き可能な上昇/下降(PWM動作時)カウンタとして実現されます。クロック供給元が選ばれ、タイマ/カウンタ1が書かれると、タイマ/カウンタ1は書かれた値を設定後、次のタイマ/カウンタ1クロック周期で計数を開始/継続します。

タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register A) OCR1AH,OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
\$2B (\$4B)	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)								(LSB)	OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register B) OCR1BH,OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
\$29 (\$49)	(MSB)								OCR1BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)								(LSB)	OCR1BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタは読み書き可能な16ビットのレジスタです。

このタイマ/カウンタ1比較レジスタ(OCR1A, OCR1B)は、[タイマ/カウンタ1\(TCNT1\)](#)と継続的に比較されるべきデータを保持します。比較一致での動作は[タイマ/カウンタ1の制御と状態のレジスタ](#)で詳細に示されます。比較一致はタイマ/カウンタ1がOCR値を計数する場合のみ起きます。TCNT1とOCR1AまたはOCR1Bに同じ値を設定するソフトウェア書き込みでは、比較一致を生成しません。

比較一致は比較での出来事に続くCPUクロック周期で比較一致割り込み要求フラグ([OCF1A](#), [OCF1B](#))を設定(1)します。

この比較レジスタ(OCR1AとOCR1B)は16ビットレジスタなので、両方のバイトが同時に更新されるのを保証するため、OCR1A/Bが書かれる時には一時レジスタ(TEMP)が使われます。CPUが上位バイト(OCR1AHまたはOCR1BH)に書くとき、データはTEMP内に保存されます。CPUが下位バイト(OCR1ALまたはOCR1BL)に書くとき、TEMPの値が同時に上位バイト(OCR1AHまたはOCR1BH)へ書かれます。従って、完全な16ビットレジスタの書き込み操作では、[上位バイト\(OCR1AHまたはOCR1BH\)](#)が先に書かれなければなりません。

この一時レジスタは[タイマ/カウンタ1\(TCNT1\)](#)や[捕獲レジスタ\(ICR1\)](#)にアクセスするときにも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 捕獲レジスタ (Timer/Counter1 Input Capture Register) ICR1H,ICR1L (ICR1)

ビット	15	14	13	12	11	10	9	8	
\$25 (\$45)	(MSB)								ICR1H
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)								(LSB)	ICR1L
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

捕獲レジスタは読み込みのみ可能な16ビットのレジスタです。

捕獲起動入力(ICP)ピンで、[タイマ/カウンタ1制御レジスタB\(TCCR1B\)](#)の[捕獲起動入力選択\(ICES1\)](#)に従った信号の上昇端/下降端が検出されると、現在の[タイマ/カウンタ1\(TCNT1\)](#)の値が捕獲レジスタ(ICR1)に転送されます。同時に[タイマ/カウンタ割り込み要求フラグ レジスタ\(TIFR\)](#)の[捕獲割り込み要求フラグ\(ICF1\)](#)が設定(1)されます。

この捕獲レジスタ(ICR1)が16ビットレジスタのため、両方のバイトが同時に読まれるのを保証するために、ICR1が読まれるときには一時レジスタ(TEMP)が使われます。CPUが下位バイト(ICR1L)を読むとき、そのデータがCPUへ送られ、上位バイト(ICR1H)のデータがTEMPに置かれます。CPUが上位バイト(ICR1H)のデータを読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビットレジスタ読み込み操作では、[下位バイト\(ICR1L\)](#)が先に読まれなければなりません。

この一時レジスタは、[タイマ/カウンタ1\(TCNT1\)](#)や比較レジスタ([OCR1A](#), [OCR1B](#))にアクセスするときにも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 PWM動作

PWM動作が選ばれると、**タイマ/カウンタ1(TCNT1)**、**比較レジスタ(OCR1A)**、**比較レジスタ(OCR1B)**は自走動作で不具合のない位相基準の8,9または10ビットPWMとOC1A(PD5)とOC1Bピン出力を形成します。タイマ/カウンタ1は上昇/下降カウンタとして動作し、\$0000からTOP(上限値:表11参照)まで上昇計数し、その周期が繰り返される前に向きを変えて再び\$0000まで下降計数します。タイマ/カウンタ1値がOCR1AまたはOCR1Bの最下位側8,9または10ビットの内容と一致すると、OC1A(PD5)またはOC1Bピンは**タイマ/カウンタ1制御レジスタA(TCCR1A)の比較A出力選択(COM1A1,COM1A0)**または**比較B出力選択(COM1B1,COM1B0)**の設定に従って設定(High)または解除(Low)されます。詳細については表12を参照してください。

表11. PWM分解能対計数上限値、PWM周波数の関係

PWM分解能	TOP (計数上限値)	PWM周波数	備考
8ビット	\$00FF (255)	fTCK1/510	fTCK1=タイマ/カウンタ1のクロック入力周波数
9ビット	\$01FF (511)	fTCK1/1022	
10ビット	\$03FF (1023)	fTCK1/2046	

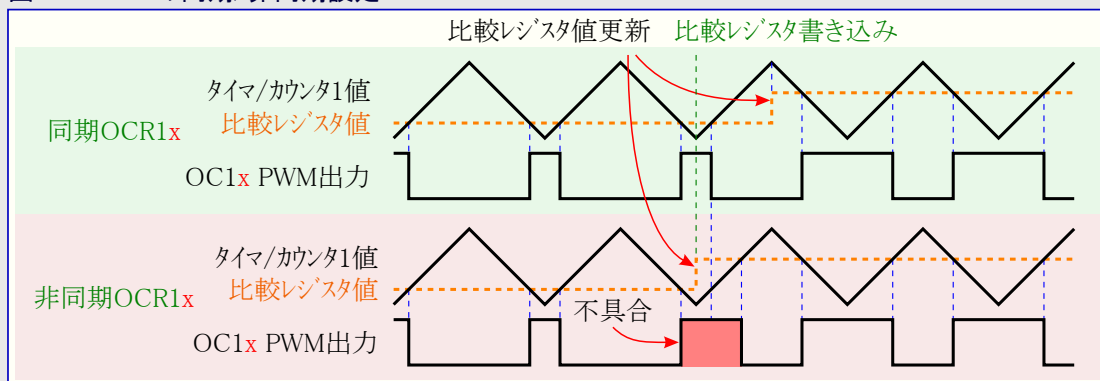
表12. PWM出力選択 (比較出力選択と兼用)

COM1x1	COM1x0	OC1x出力
0	0	OC1x出力切断 (PD5は標準I/Oとして動作)
0	1	
1	0	上昇計数時の一致で解除(Low)、下降計数時の一致で設定(High) [非反転出力]
1	1	下降計数時の一致で解除(Low)、上昇計数時の一致で設定(High) [反転出力]

注: x=AまたはB

PWM動作では、比較レジスタ(OCR1A/OCR1B)が書かれるとき、最下位側10ビットが一時領域に転送されることに注意してください。これらはタイマ/カウンタ1(TCNT1)が上限値(TOP)に到達するとき、比較レジスタに設定されます。これはOCR1A/OCR1B非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図32を参照してください。

図32. OCR1xの同期/非同期設定



注: x=AまたはB

書き込みと実際の設定間、OCR1AまたはOCR1B読み込みは一時領域の内容が読まれます。これは常に最も最近書かれた値がOCR1A/OCR1Bの読み出しとなることを意味します。

OCR1A/OCR1Bが\$0000または上限値(TOP)を含むと、OC1A/OC1B出力は次の比較一致で、TCCR1AのCOM1A1とCOM1A0またはCOM1B1とCOM1B0の指定に従って、HighまたはLowに更新/保持されます。これは表13で示されます。

注: 比較レジスタ(OCR1A/OCR1B)が上限値(TOP)で、前置分周器を使わない(CS12~0=001)場合、上昇計数と下降計数の値が同時に到達されるため、PWM出力はまったくパルスを生成しません。前置分周器を使う(CS12~0≠001または000)と、タイマ/カウンタ1が上限値に達すると、PWM出力は動きますが、次回にタイマ/カウンタ1が上限値へ達する前の下降計数での至るべき比較一致が判定されませんので、1周期(回)のPWMパルスになってしまいます。

表13. 上限値、下限値でのPWM出力

COM1x1	COM1x0	OCR1x	OC1x出力
1	0	\$0000	L
		上限値	H
1	1	\$0000	H
		上限値	L

注: x=AまたはB

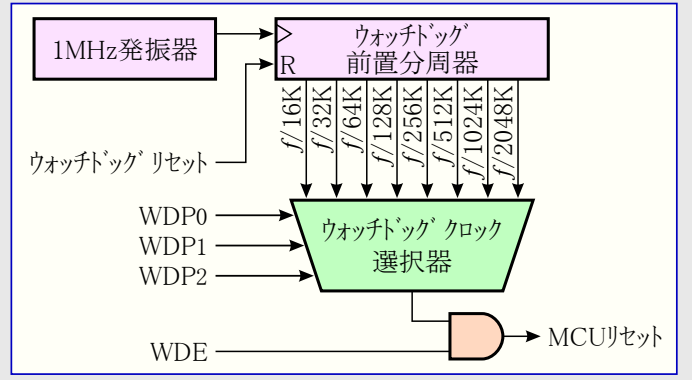
PWM動作ではタイマ/カウンタ1が\$0000から進む時に**タイマ/カウンタ1溢れ(TOV1)フラグ**が設定(1)されます。タイマ/カウンタ1溢れ割り込みは通常動作、換言すると、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**と**タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビット**が許可されていれば、TOV1が設定(1)される時に割り込みが実行されるように、正確に動作します。これは比較一致割り込み(OCF1A,OCF1B)フラグと割り込みについても適用されます。

ウォッチドッグ タイマ

このウォッチドッグ タイマは、1MHzで動作する独立した内蔵発振器から駆動されます。この周波数はVCC=5Vでの代表値です。他の電源電圧での代表値については**特性データ**を参照してください。ウォッチドッグ タイマの前置分周器を制御することにより、ウォッチドッグ リセット周期は調整できます。詳細説明については**表14**を参照してください。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。8つの異なるクロック周期はこのリセット周期を決めるために選ばれます。他のウォッチドッグ リセット(WDR命令)なしで、このリセット周期が経過すると、AT90S8515はリセットし、リセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては、**14頁**を参照してください。

予期せぬウォッチドッグ 禁止を防止するため、ウォッチドッグ が禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの説明を参照してください。

図33. ウォッチドッグ タイマ構成図



ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCSR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	—	—	—	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～5 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット4 – WDTOE : ウォッチドッグ 停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ 許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグ は禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に周期します。ウォッチドッグ 禁止手順についてはWDEビットの説明を参照してください。

• ビット3 – WDE : ウォッチドッグ 許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ 停止移行許可(WDTOE)ビットが設定(1)されている場合のみ解除(0)できます。許可されたウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック以内に、WDEへ論理0を書きます。これがウォッチドッグ を禁止します。

• ビット2～0 – WDP2～0 : ウォッチドッグ タイマ前置分周器選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2～0は、ウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は**表14**に示されます。

表14. ウォッチドッグ 前置分周器選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

注: 68頁の「代表特性」内で示されるように、ウォッチドッグ 発振器の周波数は電圧に依存します。

ウォッチドッグ タイマが許可される前に、常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周器設定に一致するリセット周期を保証します。このリセット操作なしにウォッチドッグ が許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

予期せぬMCUリセットを避けるため、ウォッチドッグ タイマ前置分周器選択の変更前には、ウォッチドッグ タイマが禁止されるかリセットされるべきです。

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間はVCC電圧に依存し、2.5～4msの範囲です。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。嚴重に濾波した電源では、電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの条件下のCPU動作はプログラムカウンタに予期せぬ分岐を実行させるかもしれない、結果的にEEPROM書き込みコードを実行する原因になりそうです。この場合、完全にEEPROMを保護するために外部低電圧リセット回路の使用が推奨されます。

不測のEEPROM書き込みを防ぐため、特別な書き込み手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ (EECR)**」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止されます。EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止されます。

EEPROMアドレス レジスタ (EEPROM Address Register) EEARH,EEARL (EEAR)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	—	—	—	—	—	—	—	EEAR8	EEARH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット8～0 – EEAR8～0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレス レジスタ(EEARHとEEARLのEEAR8～0)は512バイトのEEPROM空間のEEPROMアドレスを指定します。EEPROMデータのバイトは0～511間で直線的に配置されています。

EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレスレジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	—	—	—	—	—	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット2 – EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)

このEEMWEビットは、EEPROM書き込み許可(EEWE)ビットの1設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEWEの1設定は選ばれたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「**書き込み許可(EEWE)ビット**」の記述を参照してください。

• ビット1 – EEW: EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEW)はEEPROMへの書き込みストローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEWビットを設定(1)しなければなりません。論理1がEEWに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならず、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2.と3.の順番は重要ではありません)。

1. EEPROM書き込み許可(EEW)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEARHとEEARL)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。(EEMWEビットに論理1が書けるためには、同一周期内でEEWビットは0が書かれなければなりません。)
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EEW)ビットへ論理1を書きます。

書き込み時間(代表値で、2.5ms/VCC=5V, 4ms/VCC=2.7V)が経過してしまうと、EEWビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EEWが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

警告: 手順4.と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARまたはEEDRを変更すると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順2.～5.の間中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

• ビット0 – EERE: EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEEWビットをポーリングすべきです。新規データまたはアドレスがEEPROM I/Oレジスタに書かれるときに書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。これは外部低VCCリセット保護回路による実現が最善で、これはブラウンアウト検出器(BOD)として度々参照されます。電源ONリセットと低電圧検出に関する設計上の考慮については、応用記述のAVR180を参照してください。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュメモリに定数を格納します。フラッシュメモリはCPUにより更新されることができないので、データ化けの問題はありません。

直列周辺インターフェース (SPI: Serial Peripheral Interface)

直列周辺インターフェースはAT90S8515と多くのAVRデバイスや周辺デバイス間の高速同期データ転送を行います。SPIは次の特徴を含みます。

- 3線式全二重同期通信
- 主装置/従装置動作
- LSB/MSB先行のデータ通信
- 4つの設定変更可能なビット速度
- 送信終了割り込み
- 送信上書き検出
- **アイドル動作からの起動復帰**
(従装置動作のみ)

SPIでの主装置と従装置CPU間の相互連結は図35.で示されます。SCK(PB7)ピンは主装置動作でのクロック出力、従装置動作でのクロック入力です。主装置CPUのSPIデータレジスタ(SPDR)書き込みはSPIクロック発生器を起動し、書かれたデータがMOSI(PB5)ピンへ移動出力され、従装置CPUのMOSI(PB5)ピンに移動入力されます。1バイト移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の送信終了フラグ(SPIF)が設定(1)されます。SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置選択入力SS(PB4)は個々の従装置SPIデバイスを選ぶため、**Low**に設定します。主装置と従装置の2つの移動レジスタは分配された1つの循環型16ビット長移動レジスタとみなせます。これは図35.で示されます。主装置から従装置へデータが移動されると同時にデータは逆方向にも移動されます。これは1移動周期中に主装置と従装置間のデータが交換されたことを意味します。

このシステムは送信方向が単一緩衝、受信方向が2重緩衝です。これは移動周期全てが完了される前に送信すべきバイトをSPIデータレジスタ(SPDR)に書けないことを意味します。しかし、データ受信時、次のバイトが完全に移動入力されてしまう前に、受信されたバイトがSPIデータレジスタ(SPDR)から読まれなければなりません。そうしないと、最初のバイトが失われます。

SPIが許可されると、MOSI, MISO, SCK, $\overline{SS}$ ピンのデータ方向は表15.に従って強制されます。

図34. SPI構成図

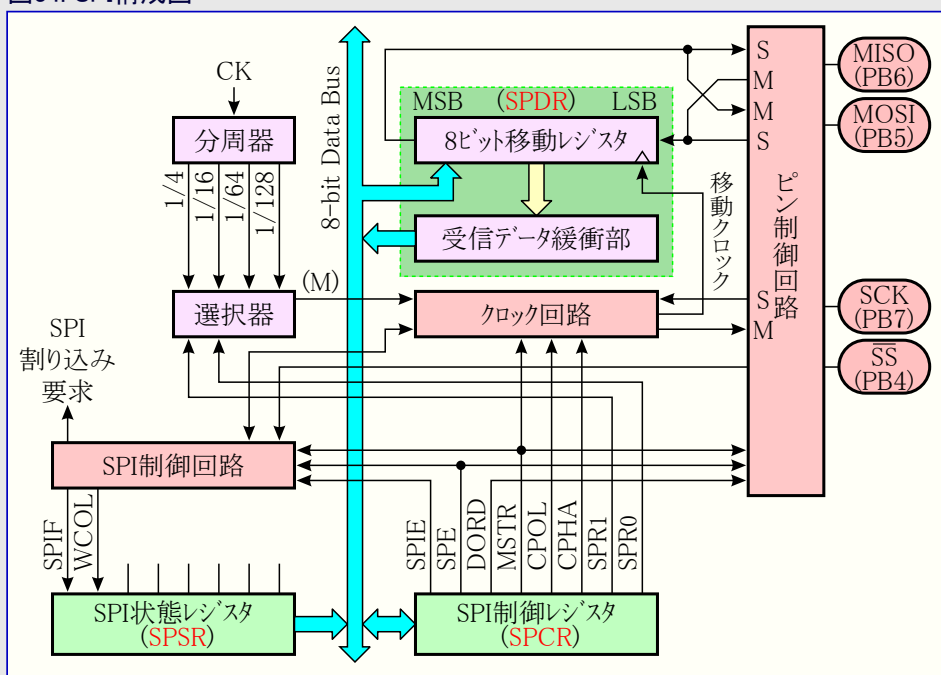


図35. SPI主装置/従装置の連結

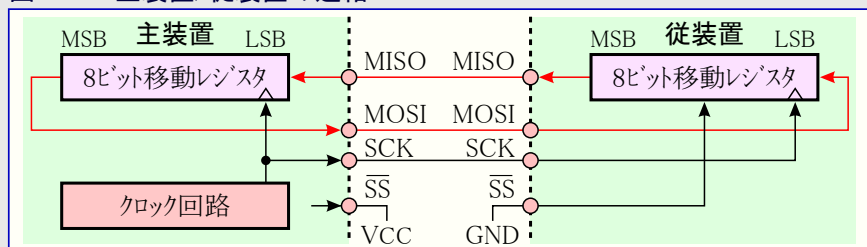


表15. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
$\overline{SS}$	ポートB方向レジスタ(DDRB)の指定	入力

注: DDRBの指定については44頁の「ポートBの交換機能」を参照してください。

SSピンの機能

SPI制御レジスタ(SPCR)の主装置(MSTR)ビットの設定(1)でSPIが主装置として設定されると、使用者がSSピンの方向を決められます。SSが出力として設定されると、このピンはSPIシステムに影響を及ぼさない標準出力です。SSが入力として設定されると、SPI主装置動作を保証するため、それはHighを保持しなければなりません。SPIが主装置として設定され、SSピンが入力として定義される時にSSピンが周辺回路によってLowに駆動されると、他の主装置が従装置としてSPIを選び、データの送受を開始すると解釈します。バスの衝突を避けるため、SPIシステムは次の動作を行います。

1. SPI制御レジスタ(SPCR)の主装置(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIが従装置になる結果、MOSIとSCKピンは入力になります。
2. SPI状態レジスタ(PSR)のSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていれば、割り込み処理ルーチンが実行されます。

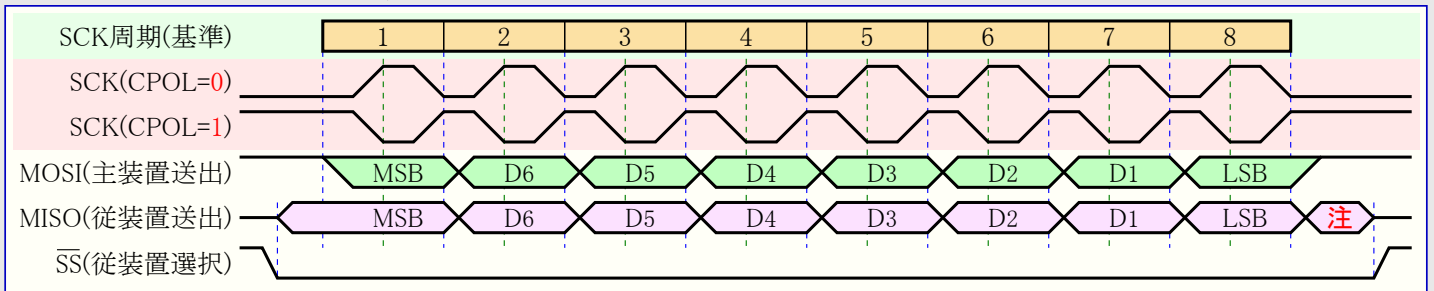
従って、割り込み駆動SPI送信が主装置動作で使われ、SSがLowに駆動される可能性があるとき、割り込み処理はMSTRビットが未だ設定(1)されているかを常に検査すべきです。一旦MSTRビットが従装置選択によって解除(0)されてしまうと、SPI主装置動作を再び許可するため、それは使用者によって設定(1)されなければなりません。

SPIが従装置として設定されると、SSピンは常に入力です。SSがLowに保持されると、SPIは活性化され、MISOは使用者によってそのよう(出力)に設定されるなら出力になります。他の全ピンは入力です。SSがHighに駆動されると、出力として使用者設定され得るMISOを除く全ピンが外部的に入力で、SPIは到着データを受信しないことを意味する受動状態です。一旦SSピンがHighにされると、SPI回路がリセットすることに注意してください。送信中にSSピンがHighにされると、SPIは直ちに送受信を停止し、送受信両方のデータが失われるとみなさなければなりません。

データ転送形式

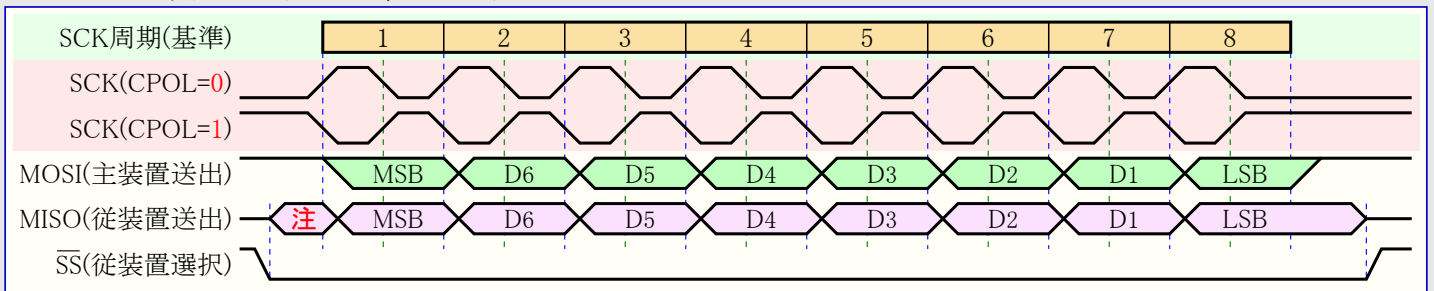
直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)ビットとSCK極性(CPOL)ビットで決められるSCKの位相と極性での4つの組み合わせがあります。SPIデータ転送形式は図36と図37で示されます。

図36. SPIデータ転送形式 (CPHA=0, DORD=0)



注: 未定義ですが、通常、受信されたデータのMSBです。

図37. SPIデータ転送形式 (CPHA=1, DORD=0)



注: 未定義ですが、通常、直前に送出されたデータのLSBです。

SPIデータレジスタ (SPI Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータレジスタはSPI移動レジスタと汎用レジスタ間のデータ転送に使われる読み書きレジスタです。このレジスタへ書くとデータ送信を開始します。このレジスタを読むと移動レジスタの受信緩衝部を読みます。

SPI状態レジスタ (SPI Status Register) SPSR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	SPIF	WCOL	—	—	—	—	—	—	SPSR
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIF : SPI割り込み要求フラグ (SPI Interrupt Flag)

直列転送が完了すると、このSPIFが設定(1)され、SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットが共に設定(1)されていれば、割り込みが生成されます。SPIが主装置動作の時にSSが入力でLowに駆動されると、これもSPIFフラグを設定(1)します。SPIFは対応する割り込みベクタを実行すると、自動的に解除(0)されます。代わりに、SPIFが設定(1)されたSPSRを最初に読み、その後のSPIデータレジスタ(SPDR)のアクセスによってもSPIFは解除(0)されます。

• ビット6 – WCOL : 上書き発生フラグ (Write Collision Flag)

データ転送中にSPIデータレジスタ(SPDR)が書かれると、このWCOLフラグが設定(1)されます。このWCOLフラグ(とSPIFフラグ)はWCOLが設定(1)されたSPI状態レジスタ(SPSR)を最初に読み、その後のSPIデータレジスタ(SPDR)のアクセスによって解除(0)されます。

• ビット5～0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

AT90S8515のSPIインターフェースはフラッシュメモリやEEPROMの書き換え(読み書き)にも使われます。直列プログラミングと照合については62頁を参照してください。

SPI制御レジスタ (SPI Control Register) SPCR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIE : SPI割り込み許可 (SPI Interrupt Enable)

全割り込みが許可(SREGのI=1)され、SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)が設定(1)される場合、このビットがSPI割り込みを実行させます。

• ビット6 – SPE : SPI許可 (SPI Enable)

SPEビットが設定(1)されるとSPIが許可されます。どのSPI操作でも、可能とするには、このビットが設定(1)されなければなりません。

• ビット5 – DORD : データ順選択 (Data Order)

DORDビットが設定(1)されるとLSBから送受信されます。DORDビットが解除(0)されるとMSBから送受信されます。

• ビット4 – MSTR : 主装置/従装置選択 (Master/Slave Select)

このビットは設定(1)されると主装置SPI動作、解除(0)されると従装置SPI動作を選びます。SSピンが入力として設定され、MSTRが設定(1)されている間にLowへ駆動されると、MSTRは解除(0)され、SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)が設定(1)になります。SPI主装置動作を再び許可するには、その後MSTRを設定(1)しなければなりません。

• ビット3 – CPOL : SCK極性選択 (Clock Polarity)

このビットが設定(1)されるとSCKはアイドル時にHighとなります。CPOLが解除(0)されるとSCKはアイドル時にLowとなります。付加情報については図36.と図37.を参照してください。

• ビット2 – CPHA : SCK位相選択 (Clock Phase)

このビットの機能については図36.と図37.を参照してください。

• ビット1,0 – SPR1,0 : クロック選択 (SPI Clock Rate Select 1 and 0)

これら2つのビットは主装置として設定されるデバイスのSCK速度を制御します。従装置でのSPR1,0は無効です。SCKと発振器周波数(f_{CL})間の関連は表16.で示されます。

表16. SCK速度選択 (f_{CL}=発振器周波数)

SPR1	SPR0	SCK周波数
0	0	f _{CL} /4
0	1	f _{CL} /16
1	0	f _{CL} /64
1	1	f _{CL} /128

UART

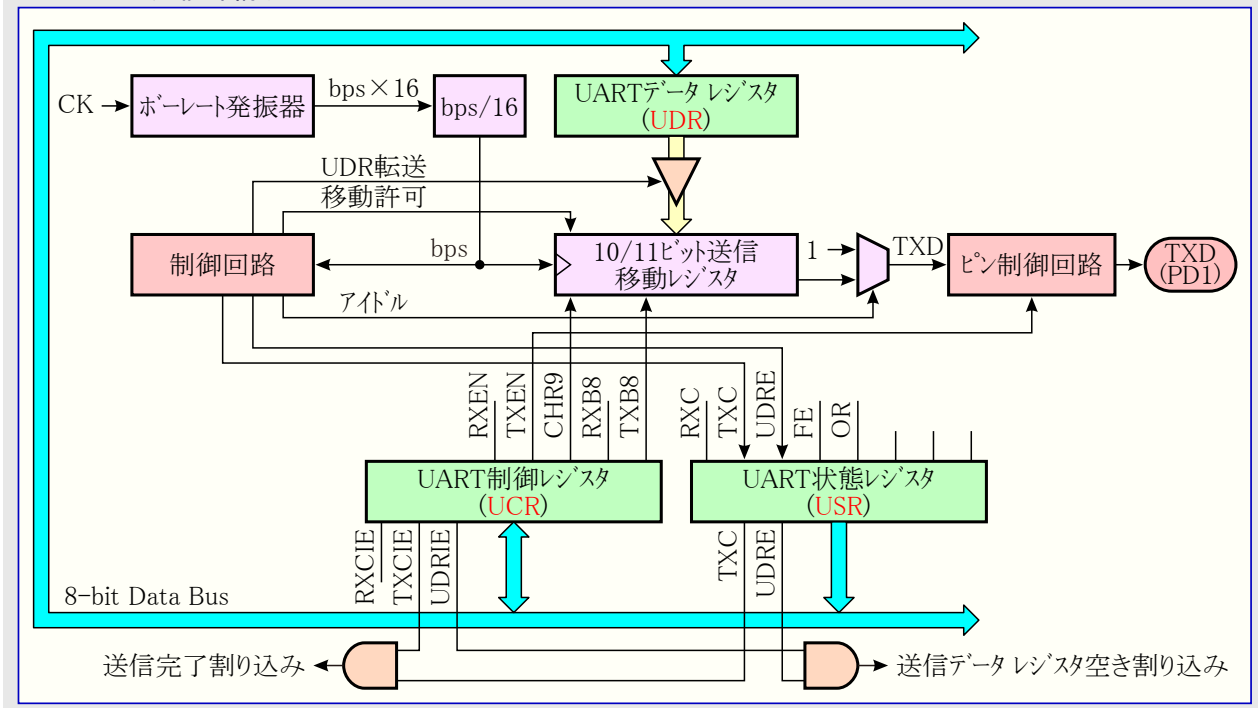
AT90S8515は送受信のレジスタが分離された全二重(フルデュプレックス)のUART(Universal Asynchronous Receiver and Transmitter)が特徴です。主な特徴を次に示します。

- 多数のボーレート速度(bps)を発生できる**ボーレート発振器**
- 低いクリスタル周波数での高ボーレート
- 8または9ビットデータ
- 雑音濾波器機能
- オーバーラン検出
- フレーミング異常検出
- 不正開始ビット検出
- 受信完了、送信完了、送信データレジスタ空きの3つの独立した割り込み

データ送信

UART送信部の構成図は図38.で示されます。

図38. UART送信部構成図



データ送信は**UARTデータレジスタ(UDR)**への送信すべきデータの書き込みにより開始されます。データは次の時にUDRから送信移動レジスタへ転送されます。

- 直前のデータが移動出力されてしまった後、新データがUDRに書かれると、移動レジスタは直ちに設定されます。
- 直前のデータが移動出力されてしまった前、新データがUDRに書かれると、正しく送信されている(直前の)データの停止ビットが移動出力されてしまうときに、移動レジスタは設定されます。

10/11ビット送信移動レジスタが空の場合、データはUARTデータレジスタ(UDR)から、この移動レジスタへ転送されます。このとき、**UART状態レジスタ(USR)**の**UARTデータレジスタ空き(UDRE)**ビットが設定(1)されます。このビットが設定(1)されると、UARTは次データを受け取る用意ができています。UDRから10/11ビット移動レジスタへ転送されると同時に、移動レジスタのビット0が解除(0)され(開始ビット)、ビット9または10が設定(1)されます(停止ビット)。UART制御レジスタ(UCR)の9ビット選択(CHR9)ビット=1で、9ビット長データが選ばれていると、UCRの**送信ビット8(TXB8)**ビットが送信移動レジスタのビット9に転送されます。

移動レジスタへの転送操作に続くボーレートクロックで開始ビットがTXDピン上に移動出力されます。その後LSBが先でデータが続けます。停止ビットが移動出力されてしまうとき、送信(移動)中に何れかの新規データが書かれてしまっている場合、移動レジスタは(そのデータ)で設定されます。この設定中にUDREが設定(1)されます。停止ビットが移動出力される時に送るためのUDR内の新規データがない場合、UDREはUDRが再び書かれるまで設定(1)に留まります。新規データが書かれず、停止ビットが1ビット長分、TXD上に存在してしまうと、USRの**送信完了(TXC)**フラグが設定(1)されます。

UCRの**送信許可(TXEN)**ビットは設定(1)時にUART送信部を許可します。このビットが解除(0)されると、PD1/TXDピンは標準I/Oで使えます。TXENが設定(1)されると、UART送信部はPD1/TXDピンに接続され、それは**ポートD方向レジスタ(DDRD)**の**DDD1**ビットの設定に拘らず、強制的に出力とされます。

データ受信

図39.はUART受信部の構成図を示します。

受信部前処理回路はボーレート周波数の16倍のクロックでRXDピン上の信号を採取します。信号線がアイドルの間、1つの論理0の採取は開始ビットの上昇端として判定され、開始ビット検出手順が開始されます。第1採取は、この最初の0採取を示します。1から0への遷移に続き、受信部は第8、9、10採取でRXDピンを採取します。これら3つの採取で2回以上の論理1を見つければ、開始ビットは尖頭雑音として破棄され、受信部は次の1から0への遷移(開始ビット開始)検出を始めます。

そうでなければ、有効な開始ビットが検出され、開始ビットに続くデータビットの採取が実行されます。これらのビットは同様に第8、9、10採取で採取されます。3つの採取の内、少なくとも2つが見つかった論理値がビット値として取得されます。全てのビットは採取されると、受信移動レジスタ内に移動入力されます。到着フレームの採取は図40.で示されます。

図39. UART受信部構成図

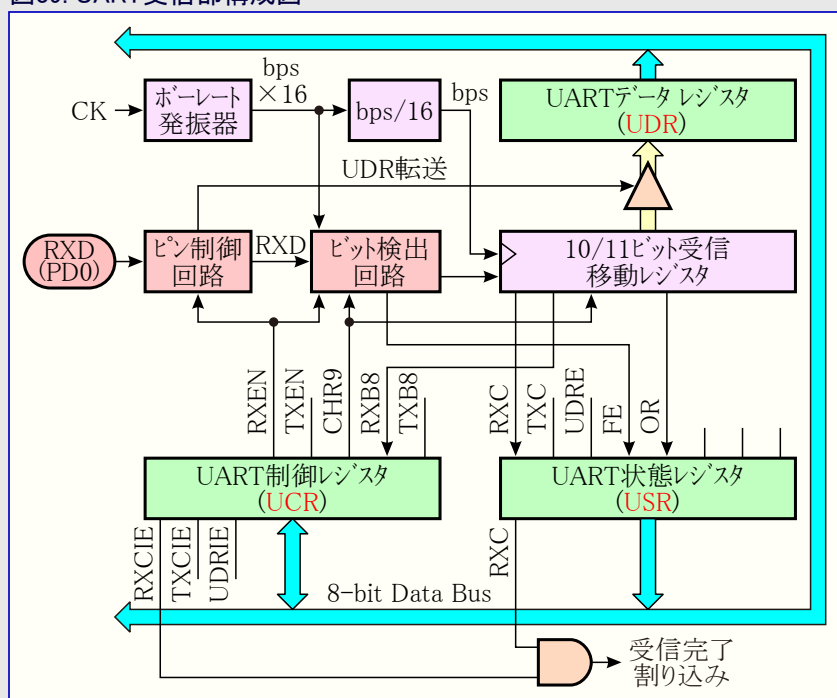
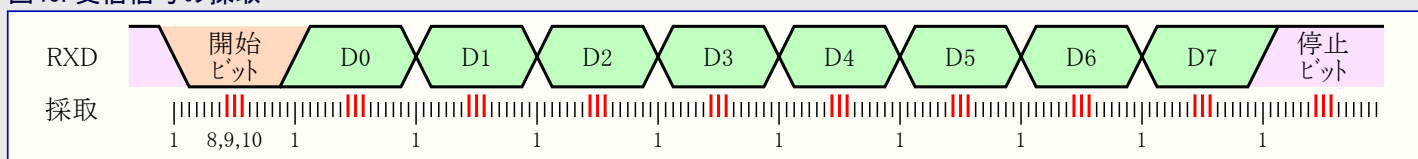


図40. 受信信号の採取



停止ビットが受信部に入るとき、停止ビットを受け入れるためには、3採取の多数が1でなければなりません。2つ以上の採取が論理0だと、UART状態レジスタ(USR)のフレーミング異常(FE)フラグが設定(1)されます。フレーミング異常を検出するため、常にUARTデータレジスタ(UDR)を読む前に、このFEフラグを検査すべきです。

フレーム受信周期の最後で有効な停止ビットが検出されるかによらず、データはUDRへ送られ、USRの受信完了(RXC)フラグが設定(1)されます。実際のUDRは2つの物理的に分離したレジスタで、受信データ用に1つと送信データ用に1つです。UDRが読まれると受信データレジスタが、UDRが書かれると送信データレジスタがアクセスされます。UART制御レジスタ(UCR)の9ビット選択(CHR9)ビット=1で、9ビット長データが選ばれていると、データがUDRに転送されるときに、UCRの受信ビット8(RXB8)ビットは受信移動レジスタのビット9が設定されます。

受信されたフレーム(データ)があるのに、直前の受信以降、UDRが読まれていないと、USRのオーバーラン(OR)フラグが設定(1)されます。これは、受信移動レジスタに移動入力された最後の受信データが、UDRに転送できないために、失われてしまうことを意味します。ORビットは緩衝されており、UDR内の有効な受信データが読まれる時に更新されます。従って、速いボーレートやCPU負荷が重い場合、どのオーバーランをも検出するには、UDR読み込み後、常にこのORフラグを検査すべきです。

UCRの受信許可(RXEN)ビットが解除(0)されると、受信部が禁止されます。これはPD0/RXDピンが標準I/Oピンとして使えることを意味します。RXENが設定(1)されると、UART受信部がPD0/RXDピンに接続され、それはポートD方向レジスタ(DDRD)のDDD0の設定に拘らず、強制的に入力とされます。ポートD出力レジスタ(PORTD)のPORTD0は、このピンのプルアップ抵抗を制御するために未だ使えます。

UCRの9ビット選択(CHR9)ビットが設定(1)されると、送受信されるフレームは開始ビット+9ビットデータ+停止ビットです。送信される第9ビットデータはUCRの送信ビット8(TXB8)ビットです。このビットは、UDR書き込みにより送信が開始される前に、必要とされる値を設定しなければなりません。受信された第9ビットデータは、UCRの受信ビット8(RXB8)ビットです。

UART制御

UARTデータレジスタ (UART I/O Data Register) UDR

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	(MSB)							(LSB)	UDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

実際には、UDRは同じI/Oアドレスを共有する物理的に分離した2つのレジスタです。このレジスタに書くとUART送信データレジスタが書かれます。UDRから読むとUART受信データレジスタが読めます。

UART状態レジスタ (UART Status Register) USR

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	RXC	TXC	UDRE	FE	OR	–	–	–	USR
Read/Write	R	R/W	R	R	R	R	R	R	
初期値	0	0	1	0	0	0	0	0	

USRはUARTの状態情報を提供する読み込みのみ可能なレジスタです。

• ビット7 – RXC : UART受信完了フラグ (UART Receive Complete)

受信されたデータが受信移動レジスタからUARTデータレジスタ(UDR)へ転送されるとき、このビットが設定(1)されます。このビットは、検出されたどんなフレーミング異常にも関係なく設定されます。UART制御レジスタ(UCR)の受信完了割り込み許可(RXCIE)ビットが設定(1)されていると、RXCが設定(1)された時にUART受信完了割り込みが実行されます。RXCはUDR読み込みによって解除(0)されます。割り込み駆動データ受信が使われる時に、UART受信完了割り込み処理ルーチンはRXCを解除(0)するためにUDRを読まなければなりません。そうしないと、一旦割り込み処理ルーチンを終了しても、新規割り込みが発生します。

• ビット6 – TXC : UART送信完了フラグ (UART Transmit Complete)

送信移動レジスタ内の完全なデータ(含む停止ビット)が移動出力されてしまい、新規データがUARTデータレジスタ(UDR)に書かれてしまっていないとき、このビットは設定(1)されます。このビットは、送信側が送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない半二重(ハーフデュプレックス)通信で特に有効です。

UART制御レジスタ(UCR)の送信完了割り込み許可(TXCIE)ビットが設定(1)されていると、TXCの設定(1)は、UART送信完了割り込みを実行させます。対応する割り込みベクタを実行すると、TXCは自動的に解除(0)されます。代わりに、このビットに論理1を書くことによって、TXCは解除(0)されます。

• ビット5 – UDRE : UART送信データレジスタ空きフラグ (UART Data Register Empty)

UARTデータレジスタ(UDR)に書かれたデータが送信移動レジスタへ転送されるとき、このビットは設定(1)されます。このビットの設定(1)は、送信部が新規送信データを受け取る用意ができていることを示します。

UART制御レジスタ(UCR)の送信データレジスタ空き割り込み許可(UDRIE)ビットが設定(1)されていると、UDREが設定(1)されている限り、UART送信データレジスタ空き割り込みが実行されます。UDREはUDR書き込みにより解除(0)されます。割り込み駆動データ送信が使われる時に、UART送信データレジスタ空き割り込み処理ルーチンはUDREを解除(0)するためにUDRに書かなければなりません。そうしないと、一旦割り込み処理ルーチンを終了しても、新規割り込みが発生します。

UDREは送信可を示すため、リセット中に設定(1)されます。

• ビット4 – FE : フレーミング異常フラグ (Framing Error)

このフラグはフレーミング異常条件が検出されると、換言すると、到着フレームの停止ビットが0のとき、設定(1)されます。

FEフラグは受信されるデータの停止ビットが1のときに解除(0)されます。

• ビット3 – OR : オーバーラン発生フラグ (Overrun)

このフラグはオーバーラン条件(換言すると、次のデータが受信移動レジスタに移動入力されてしまう前に、UARTデータレジスタ(UDR)内の既に存在するデータが読まれないとき)が検出されると設定(1)されます。ORは緩衝されており、そしてそれは一度UDRの有効なデータを読んでも未だ設定(1)されることを意味します。

ORフラグはデータが受信され、UDRへ転送されるときに解除(0)されます。

• ビット2~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

UART制御レジスタ (UART Control Register) UCR

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	UCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	1	0	

• ビット7 – RXCIE : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、UART状態レジスタ(USR)の受信完了(RXC)フラグの設定(1)は受信完了割り込み処理ルーチンを実行させます。

• ビット6 – TXCIE : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、USRの送信完了(TXC)フラグの設定(1)は送信完了割り込み処理ルーチンを実行させます。

• ビット5 – UDRIE : 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、USRの送信データレジスタ空き(UDRE)フラグの設定(1)は送信データレジスタ空き割り込み処理ルーチンを実行させます。

• ビット4 – RXEN : 受信許可 (Receiver Enable)

設定(1)されると、このビットはUART受信(部)を許可します。受信(部)が禁止されると、UART状態レジスタ(USR)の受信完了(RXC)、フレーミング異常(FE)、オーバラン(OR)状態フラグは設定(1)になることができません。これらのフラグが設定(1)の場合、RXENの解除(0)への切り替えは、それらを解除(0)しません。

• ビット3 – TXEN : 送信許可 (Transmitter Enable)

設定(1)されると、このビットはUART送信(部)を許可します。データ送信中に送信(部)を禁止すると、送信移動レジスタのデータと送信データレジスタ(UDR)の続くデータが完全に送信されてしまう前には、送信部が禁止されません。

• ビット2 – CHR9 : 9ビットデータ選択 (9Bits Character)

このビットが設定(1)されると、送受信フレームは開始ビット+9ビットデータ+停止ビットです。第9ビットは各々、UART制御レジスタ(UCR)の受信ビット8(RXB8)、送信ビット8(TXB8)を使うことで読み書きされます。この第9データビットは、パリティビットや拡張停止ビットとして使えます。

• ビット1 – RXB8 : 受信データビット8 (Receive Data Bit 8)

9ビットデータ選択(CHR9)が設定(1)されていると、RXB8は受信されたデータの第9データビット(ビット8)です。

• ビット0 – TXB8 : 送信データビット8 (Transmit Data Bit 8)

9ビットデータ選択(CHR9)が設定(1)されていると、TXB8は送信されるべきデータの第9データビット(ビット8)です。

ボーレート発振器

ボーレート発振器は、次式に従ってボーレートを生成する周波数分周器です。

$$BAUD = \frac{f_{CK}}{16 \times (UBRR + 1)}$$

BAUD ボーレート(bps)
 f_{CK} Xtal発振(CPUクロック)周波数
 UBRR UARTボーレートレジスタ値(0~255)

UARTボーレートレジスタ (UART Baud Rate Register) UBRR

ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	(MSB)							(LSB)	UBRR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

UBRRは上記の式に従ってUARTボーレートを示す、読み書き可能な8ビットレジスタです。(設定例は表17.参照)

表17.のUBRR設定を使うことにより、標準的なクリスタル周波数について、共通的に使用される多くのボーレートが発生できます。実際のボーレートが目的のボーレートに対して誤差2%未満を有効なボーレートとし、それ以外は赤字で示されます。しかし、誤差1%を越えるボーレートの使用は推奨されません。高い誤差率は雑音耐性が低下します。

表17. Xtal、ボーレート対UBRR設定

ボーレート	1MHz		1.8432MHz		2MHz		2.4576MHz		3.2768MHz		3.6864MHz	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	95	0.0	103	0.2	127	0.0	170	0.2	191	0.0
2400	25	0.2	47	0.0	51	0.2	63	0.0	84	0.4	95	0.0
4800	12	0.2	23	0.0	25	0.2	31	0.0	42	0.8	47	0.0
9600	6	7.5	11	0.0	12	0.2	15	0.0	20	1.6	23	0.0
14400	3	7.8	7	0.0	8	3.7	10	3.1	13	1.6	15	0.0
19200	2	7.8	5	0.0	6	7.5	7	0.0	10	3.1	11	0.0
28800	1	7.8	3	0.0	3	7.8	4	6.3	6	1.6	7	0.0
38400	1	22.9	2	0.0	2	7.8	3	0.0	4	6.3	5	0.0
57600	0	7.8	1	0.0	1	7.8	2	12.5	3	12.5	3	0.0
76800	0	22.9	1	33.3	1	22.9	1	0.0	2	12.5	2	0.0
115200	0	84.3	0	0.0	0	7.8	0	25.0	1	12.5	1	0.0

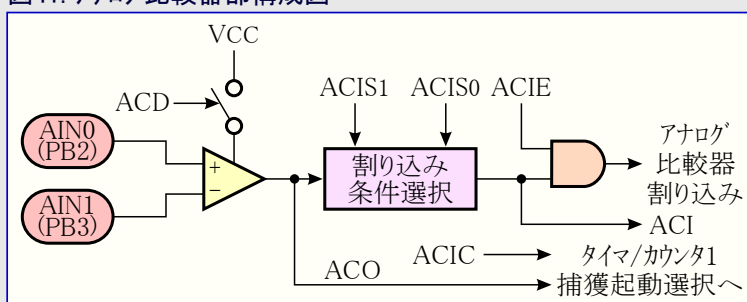
ボーレート	4MHz		4.608MHz		4.9152MHz		6.144MHz		7.3728MHz		8MHz	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	207	0.2	239	0.0	255	0.0	—	—	—	—	—	—
2400	103	0.2	119	0.0	127	0.0	159	0.0	191	0.0	207	0.2
4800	51	0.2	59	0.0	63	0.0	79	0.0	95	0.0	103	0.2
9600	25	0.2	29	0.0	31	0.0	39	0.0	47	0.0	51	0.2
14400	16	2.1	19	0.0	20	1.6	26	1.3	31	0.0	34	0.8
19200	12	0.2	14	0.0	15	0.0	19	0.0	23	0.0	25	0.2
28800	8	3.7	9	0.0	10	3.1	12	2.6	15	0.0	16	2.1
38400	6	7.5	7	6.7	7	0.0	9	0.0	11	0.0	12	0.2
57600	3	7.8	4	0.0	4	6.3	6	4.8	7	0.0	8	3.7
76800	2	7.8	3	6.7	3	0.0	4	0.0	5	0.0	6	7.5
115200	1	7.8	2	20.0	2	12.5	2	11.2	3	0.0	3	7.8

ボーレート	9.216MHz		9.8304MHz		10MHz		11.059MHz		MHz		MHz	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
2400	239	0.0	255	0.0	—	—	—	—				
4800	119	0.0	127	0.0	129	0.2	143	0.0				
9600	59	0.0	63	0.0	64	0.2	71	0.0				
14400	39	0.0	42	0.8	42	1.0	47	0.0				
19200	29	0.0	31	0.0	32	1.4	35	0.0				
28800	19	0.0	20	1.6	21	1.4	23	0.0				
38400	14	0.0	15	0.0	15	1.8	17	0.0				
57600	9	0.0	10	3.1	10	1.4	11	0.0				
76800	7	6.7	7	0.0	7	1.8	8	0.0				
115200	4	0.0	4	6.3	4	8.6	5	0.0				

アナログ比較器

アナログ比較器は、非反転入力AIN0(PB2)と反転入力AIN1(PB3)の入力値を比較します。非反転入力AIN0(PB2)の電圧が反転入力AIN1(PB3)の電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はタイマ/カウンタ1の捕獲機能を起動するために設定できます。加えて、比較器はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端またはその両方での割り込み起動が選べます。この比較器とその周辺回路の構成図は図41.で示されます。

図41. アナログ比較器部構成図



アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	—	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

• ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFにするため、何時でも設定(1)できます。これは活動動作やアイドル動作での消費電力を削減します。このACDビットを変更するとき、**アナログ比較器 制御/状態レジスタ(ACSR)のアナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

• ビット6 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

• ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが、**アナログ比較器割り込み条件(ACIS1,ACIS0)ビット**で定義された割り込み動作を起こすとき、このビットは設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)されて、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行するとき、ACIは自動的に解除(0)されます。代わりにこのフラグへ論理1を書くことによっても、ACIは解除(0)されます。けれども、このレジスタの他のビットがCBIまたはSBI命令を使って変更される場合、この操作前にACIビットが1になっていると、ACIが解除(0)されることに注意してください。

• ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、アナログ比較器割り込みが有効化されます。解除(0)されると、この割り込みは禁止されます。

• ビット2 – ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

設定(1)されると、このビットはアナログ比較器により起動されるタイマ/カウンタ1の捕獲機能を許可します。この場合、比較器出力は直接、**捕獲起動入力の前処理回路**に接続され、比較器はタイマ/カウンタ1捕獲割り込みの**雑音除去と端(エッジ)選択機能**が利用できます。解除(0)されると、アナログ比較器と捕獲機能間の関係がなくなります。比較器がタイマ/カウンタ1捕獲割り込みを起動するには、**タイマ/カウンタ割り込み許可レジスタ(TIMSK)の捕獲割り込み許可(TICIE1)ビット**が設定(1)されなければなりません。

• ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は表18.に示されます。

表18. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: このACIS1,ACIS0ビットを変更するとき、**アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

外部SRAM(メモリ)インターフェース

外部SRAMとのインターフェースは次の信号で構成されます。

- ポートA 下位アドレスとデータの多重化バス
- ポートC 上位アドレスバス
- ALE アドレスラッチ許可(下位アドレスのラッチ)
- $\overline{RD}$, $\overline{WR}$ リード・ストロブ、ライト・ストロブ

データ用外部SRAMはMCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットの設定(1)によって許可され、ポートA方向レジスタ(DDRA)の設定を無効にします。SREビットが解除(0)されると、データ用外部SRAMは禁止され、標準ピンとデータ方向設定が使われます。SREが解除(0)されるとき、外部SRAMインターフェースを持たないAVRデバイス同様、内蔵SRAM境界より上のアドレス空間は内蔵SRAMにも割り当てられません。

ALEがHighからLowになるとき、それらはポートAの有効な(下位)アドレスです。データ転送中、ALEはLowです。 $\overline{RD}$ と $\overline{WR}$ は外部SRAMをアクセスするときのみ有効(動作)です。

外部SRAMが許可されると、ALE信号には内蔵SRAMをアクセスするとき短いパルスがあるかもしれませんが、外部SRAMをアクセスするとき、このALE信号は安定しています。

図42.はG=Highで通過(トランスパレント)となる8つのラッチを使うAVRと外部SRAMの接続方法を示します。

既定の外部SRAMアクセスは、図43.で示されるように、3周期構造です。アクセス周期内に1つの追加待ち状態が必要とされる時は、MCUCRの外部SRAM待ち(SRW)ビットを設定(1)します。この結果のアクセス構造は図44.に示されます。どちらの場合も、ポートAが1回だけデータバスであることに注意してください。データアクセスが終わると直ぐに、ポートAは再び下位アドレスになります。

外部SRAMインターフェースのタイミングの詳細については、66頁から始まる図68.、表38.、表39.、表40.、表41.を参照してください。SRAMについてのアドレス空間を含むメモリ配置の説明については、4頁の「構造概要」を参照してください。

図42. AVRと外部SRAMの接続

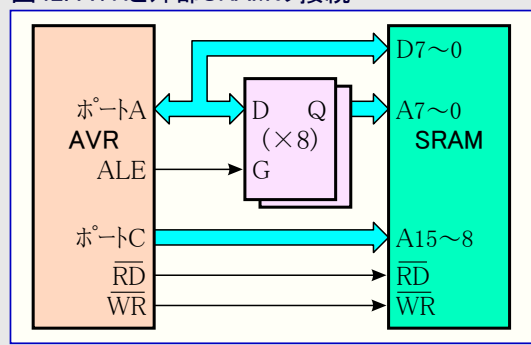
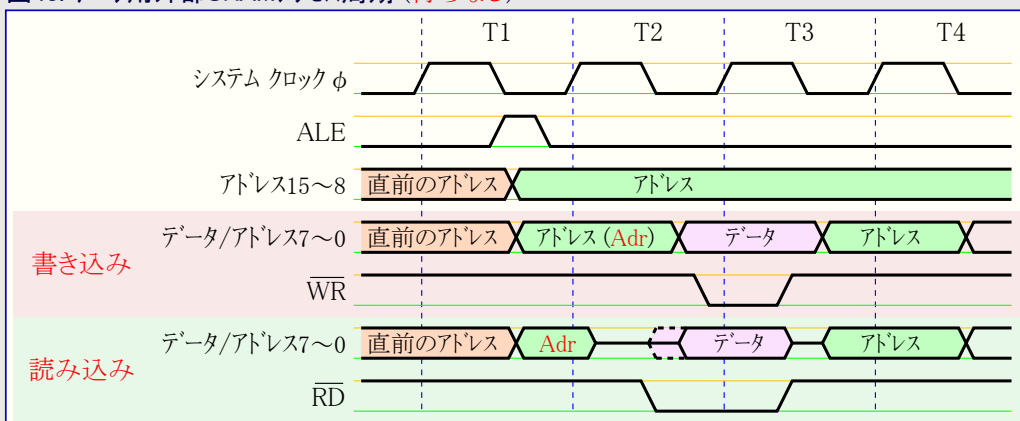
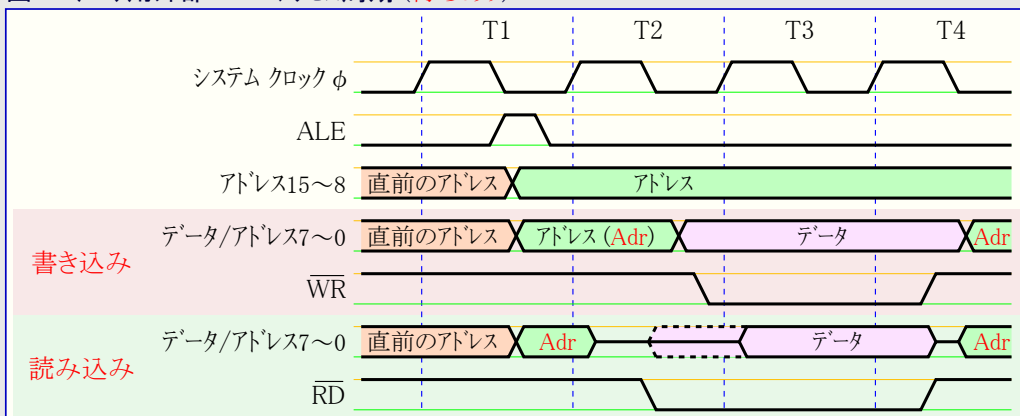


図43. データ用外部SRAMアクセス周期 (待ちなし)



注: T1~T3が命令実行周期です。

図44. データ用外部SRAMアクセス周期 (待ちあり)



注: T1~T4が命令実行周期です。

入出力ポート

AVRの全てのポートは標準デジタルI/Oポートとして使われる時に真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしに、ポートピンの1つの方向が変更できることを意味します。(出力として設定されている場合の)駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ポートA

ポートAは8ビットの双方向I/Oポートです。

ポートAについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTA), \$1B(\$3B)、データ方向レジスタ(DDRA), \$1A(\$3A)、データ入力レジスタ(PINA), \$19(\$39)に割り当てられます。ポートAデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に選択可能なプルアップ抵抗があります。ポートA出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PA0～7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートAピンには任意のデータ用外部SRAMに関連する交換機能があります。ポートAは外部メモリアクセス中の多重化された下位アドレス/データバスに設定できます。この動作では、ポートAが内蔵プルアップ抵抗を持ちます。

MCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットにより、ポートAがこの交換機能に設定されると、この交換設定はデータ方向レジスタ(DDRA)を無視します。

ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA入力レジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートA入力レジスタ(PINA)はレジスタではなく、このアドレスはポートA各ピンの物理的な値へのアクセスができます。ポートA出力レジスタ(PORTA)を読む時はポートA出力ラッチが読まれ、ポートA入力レジスタ(PINA)を読む時は、このピン上に存在する論理値が読まれます。

ポートA 標準デジタル入出力

標準I/Oピンとして使われる時にポートAの8ピンは全て同じ機能動作です。

標準I/OピンPAnはポートA方向レジスタ(DDRA)のDDAnビットがそのピンの入出力方向を選び、DDAnが設定(1)されると、出力ピンとして設定されます。DDAnが解除(0)されると、入力ピンとして設定されます。ポートA出力レジスタ(PORTA)のPORTAnが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTAnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートAピンはリセット条件が有効になると、例えクロックが動作していてもHi-Z状態にされます。

表19. ポートAピンに対するDDAnの関係

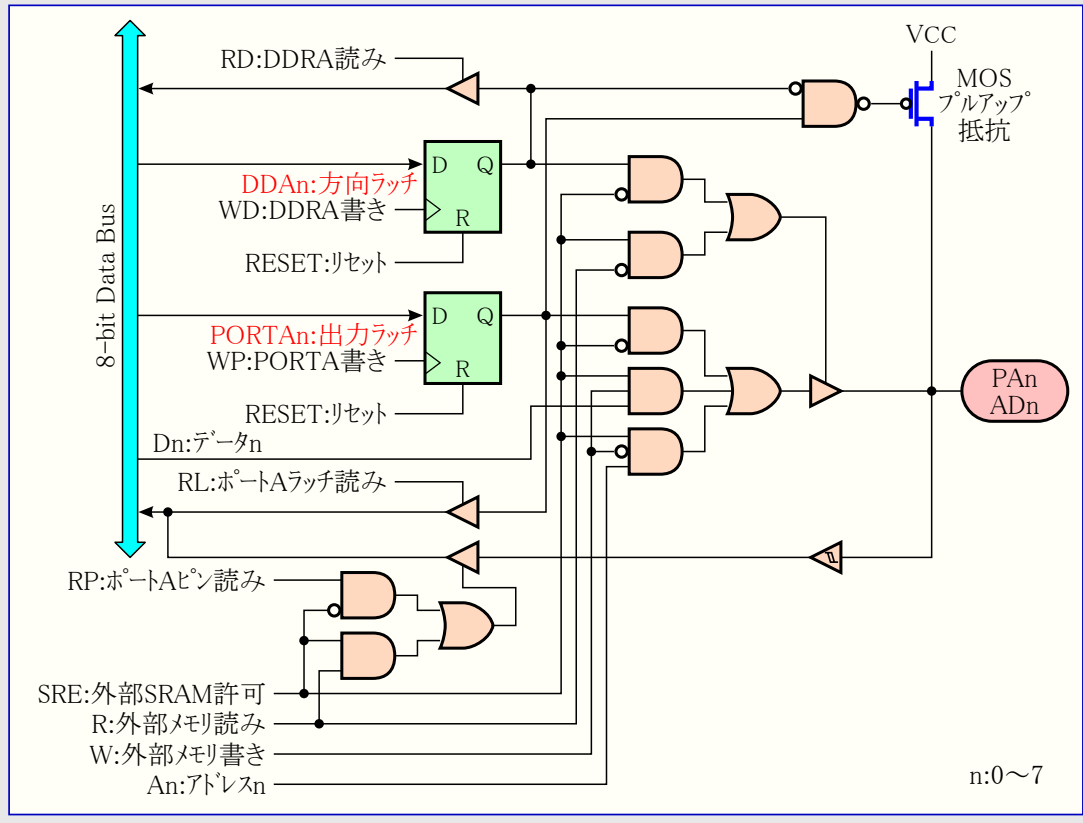
DDAn	PORTAn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PAnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7～0でビット番号を示します。

ポートA回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図45. ポートA回路構成 (PA0～PA7ピン)



ポートB

ポートBは8ビットの双方向I/Oポートです。

ポートBについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTB), \$18(\$38)、データ方向レジスタ(DDRB), \$17(\$37)、データ入力レジスタ(PINB), \$16(\$36)に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートB出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PB0～7ピンが入力として使われ、外部的に**Low**へ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートBピンの交換機能は表20.に示されます。

表20. ポートBピンの交換機能

ポートピン	交換機能
PB0	T0 (タイマ/カウンタ0 外部クロック入力)
PB1	T1 (タイマ/カウンタ1 外部クロック入力)
PB2	AIN0 (アナログ比較器非反転入力)
PB3	AIN1 (アナログ比較器反転入力)
PB4	SS (SPI 従装置選択入力)
PB5	MOSI (SPI 主装置側データ出力/従装置側データ入力)
PB6	MISO (SPI 主装置側データ入力/従装置側データ出力)
PB7	SCK (SPI 直列クロック 主装置側出力/従装置側入力)

ピンが交換機能で使われる時に、ポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は**交換機能の説明に従って設定**されなければなりません。

ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読まれます。

ポートB 標準デジタル入出力

デジタルI/Oピンとして使われる時にポートBの8ピンは全て同じ機能動作です。

標準I/OピンP_{Bn}はポートB方向レジスタ(DDRB)のDDB_nビットがそのピンの入出力方向を選び、DDB_nが設定(1)されると、出力ピンとして設定されます。DDB_nが解除(0)されると、入力ピンとして設定されます。ポートB出力レジスタ(PORTB)のPORT_{Bn}が設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORT_{Bn}が解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートピンはリセット条件が有効になると、例えばクロックが動作していなくてもHi-Z状態にされます。

表21. ポートBピンに対するDDB_nの関係

DDB _n	PORT _{Bn}	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	P _{Bn} に外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7〜0でビット番号を示します。

ポートBの交換機能

ポートBの交換ピン機能を以下に示します。

• SCK – ポートB ビット7 : PB7

SCK : SPI用主装置クロック出力、従装置クロック入力ピンです。SPIが従装置として許可されると、ピンはポートB方向レジスタ(DDRB)のDDB7設定に拘らず、入力として設定されます。SPIが主装置として許可されると、ピンのデータ方向はDDB7により制御されます。ピンが強制的に入力とされたとき、プルアップはポートB出力レジスタ(PORTB)のPORTB7により未だ制御できます。詳細については「SPI」の説明を参照してください。

• MISO – ポートB ビット6 : PB6

MISO : SPI用主装置データ入力、従装置データ出力ピンです。SPIが主装置として許可されると、DDRBのDDB6設定に拘らず、入力として設定されます。SPIが従装置として許可されると、ピンのデータ方向はDDB6により制御されます。ピンが強制的に入力とされたとき、プルアップはPORTBのPORTB6により未だ制御できます。詳細については「SPI」の説明を参照してください。

• MOSI – ポートB ビット5 : PB5

MOSI : SPI用主装置データ出力、従装置データ入力ピンです。SPIが従装置として許可されると、DDRBのDDB5設定に拘らず、入力として設定されます。SPIが主装置として許可されると、ピンのデータ方向はDDB5により制御されます。ピンが強制的に入力とされたとき、プルアップはPORTBのPORTB5により未だ制御できます。詳細については「SPI」の説明を参照してください。

• $\overline{SS}$ – ポートB ビット4 : PB4

$\overline{SS}$: 従装置選択入力です。SPIが従装置として許可されると、DDRBのDDB4設定に拘らず、入力として設定されます。従装置のとき、このピンがLowに駆動されるとSPIが活性化(実際に動作)されます。SPIが主装置として許可されると、ピンのデータ方向はDDB4により制御されます。このピンが強制的に入力とされたとき、プルアップはPORTBのPORTB4により未だ制御できます。詳細については「SPI」の説明を参照してください。

• AIN1 – ポートB ビット3 : PB3

AIN1 : アナログ比較器の反転入力です。DDRBのDDB3=0で入力として設定され、PORTBのPORTB3=0で内蔵MOSプルアップ抵抗がOFFに切り替えられているとき、このピンは内蔵アナログ比較器の反転入力としても扱えます。

• AIN0 – ポートB ビット2 : PB2

AIN0 : アナログ比較器の非反転入力です。DDRBのDDB2=0で入力として設定され、PORTBのPORTB2=0で内蔵MOSプルアップ抵抗がOFFに切り替えられているとき、このピンは内蔵アナログ比較器の非反転入力としても扱えます。

• T1 – ポートB ビット1 : PB1

T1 : タイマ/カウンタ1の外部クロック入力です。外部入力信号で使うには、DDRBのDDB1を解除(0)し、入力として設定しなければなりません。詳細については「タイマ/カウンタ1」の説明を参照してください。

• T0 – ポートB ビット0 : PB0

T0 : タイマ/カウンタ0の外部クロック入力です。外部入力信号で使うには、DDRBのDDB0を解除(0)し、入力として設定しなければなりません。詳細については「タイマ/カウンタ0」の説明を参照してください。

ポートB回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図46. ポートB回路構成 (PB0, PB1ピン)

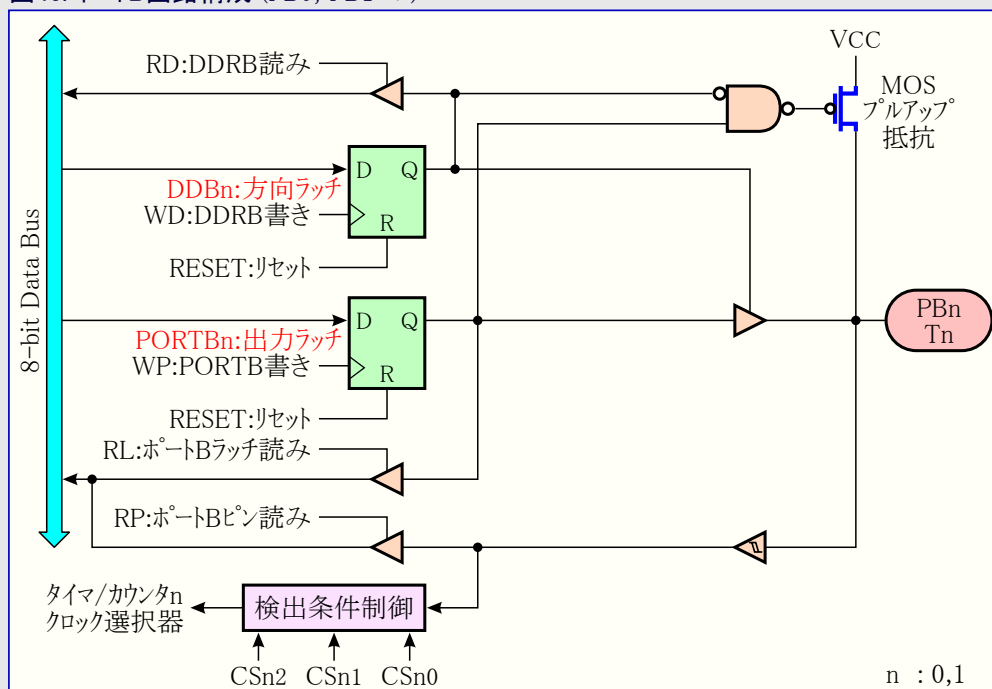


図47. ポートB回路構成 (PB2, PB3ピン)

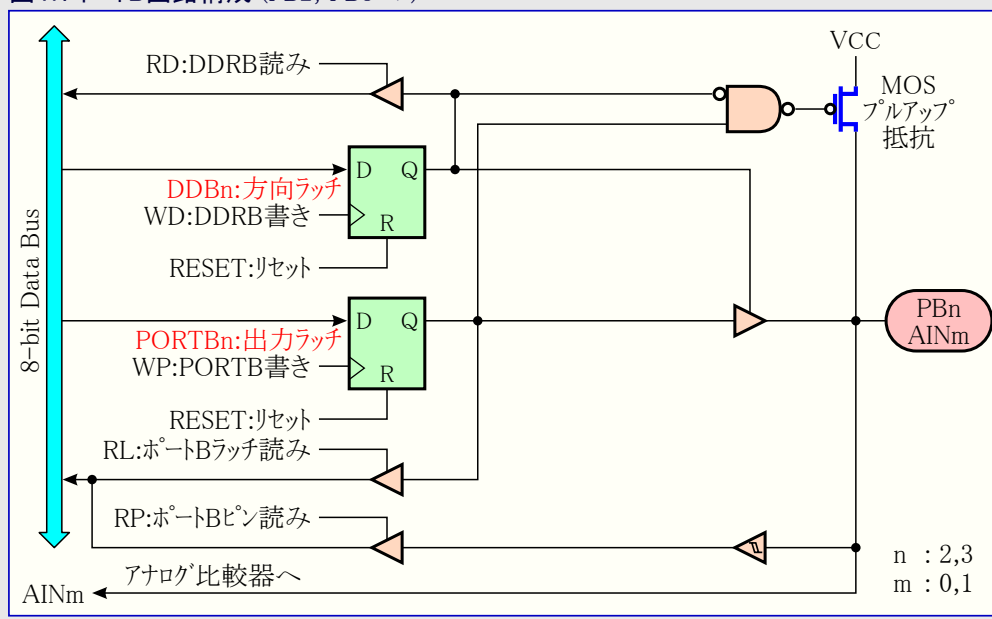


図48. ホートB回路構成 (PB4ピン)

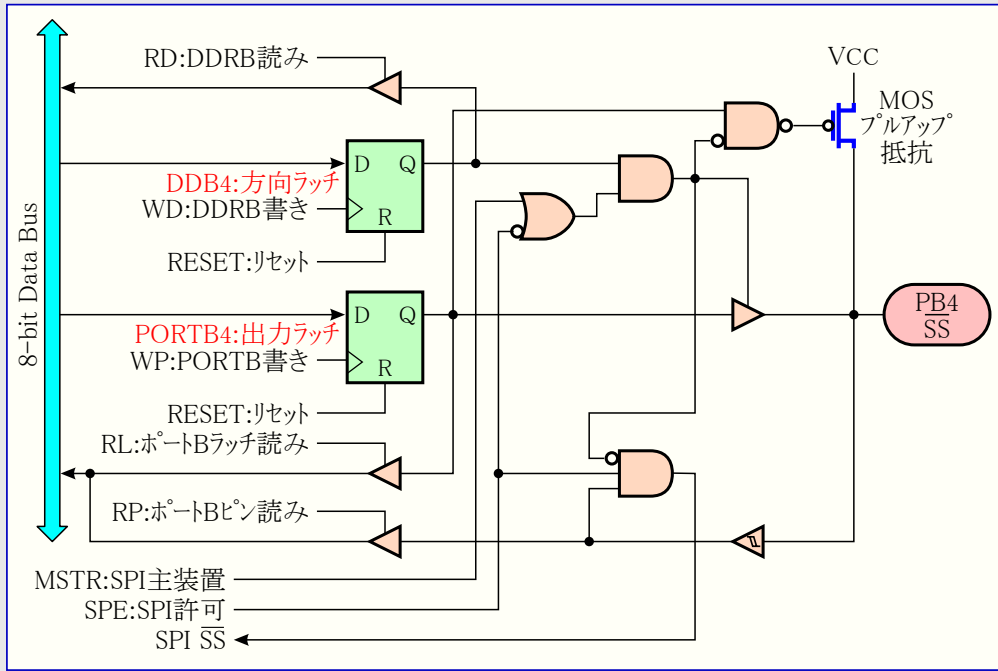


図49. ホートB回路構成 (PB5ピン)

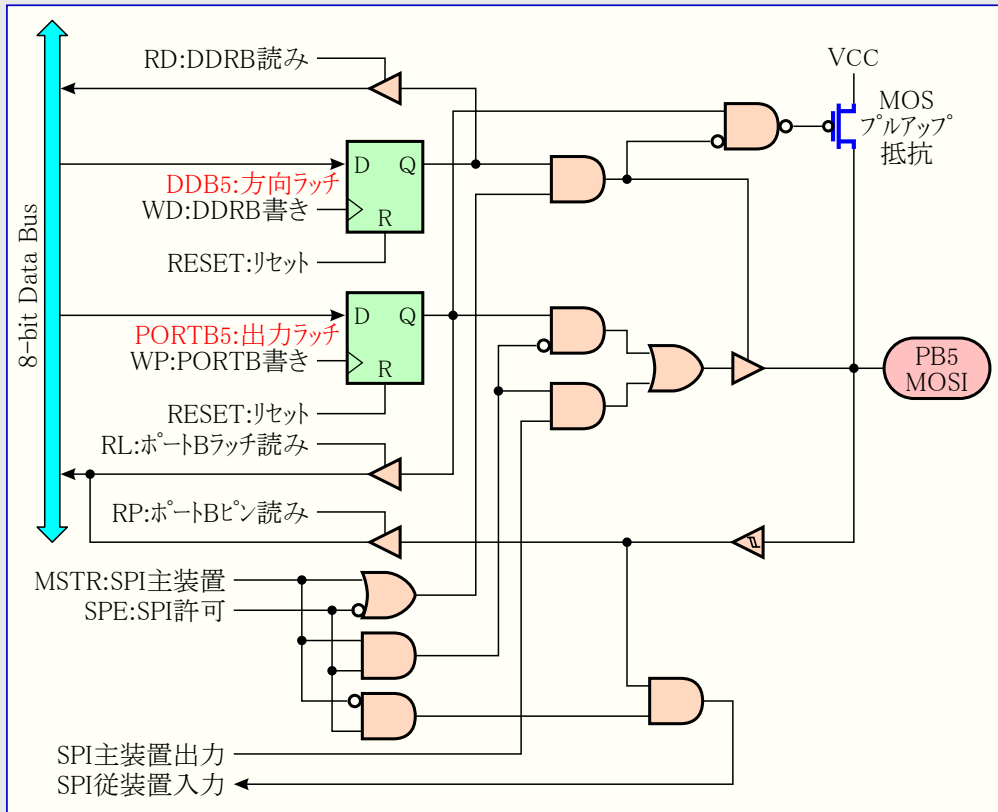


図50. ポートB回路構成 (PB6ピン)

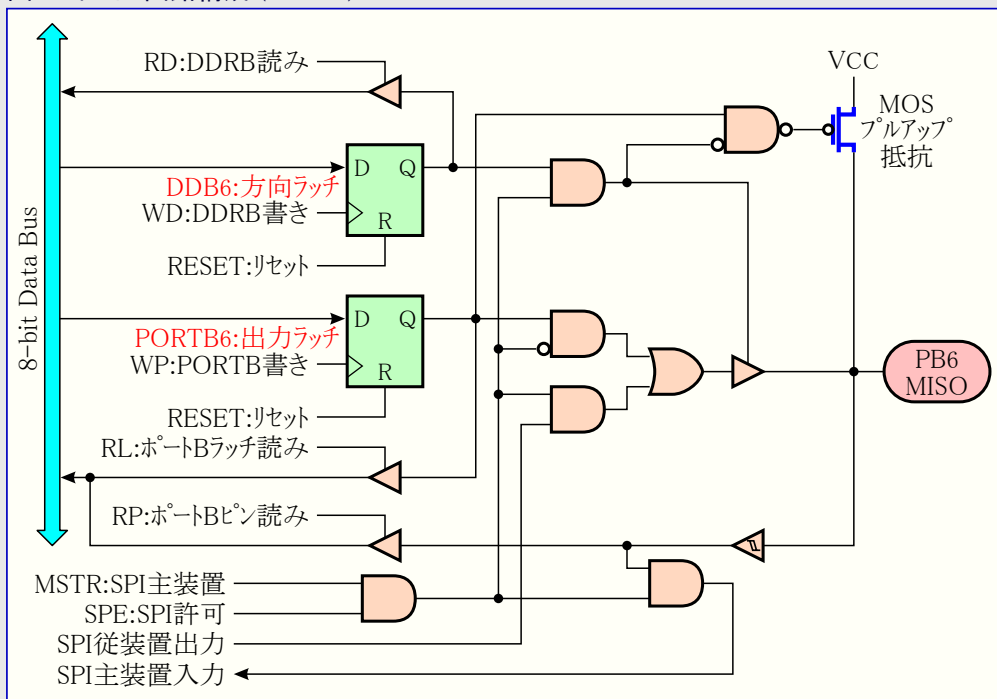
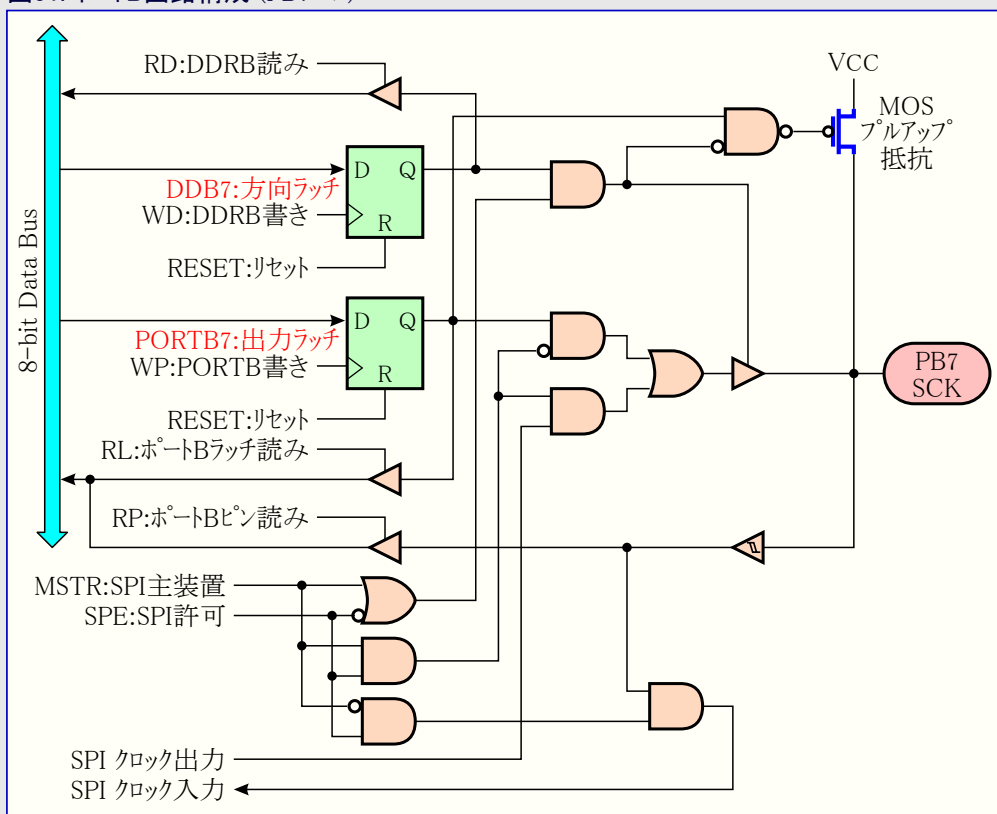


図51. ポートB回路構成 (PB7ピン)



ポートC

ポートCは8ビットの双方向I/Oポートです。ポートCについては3つのI/Oメモリ アドレス位置が、各々、データ出力レジスタ(PORTC), \$15(\$35)、データ方向レジスタ(DDRC), \$14(\$34)、データ入力レジスタ(PINC), \$13(\$33)に割り当てられます。ポートCデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートC出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PC0~7ピンが入力として使われ、外部的に**Low**へ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートCピンには任意の**データ用外部SRAMに関連する交換機能**があります。ポートCは外部メモリ アクセス中の上位アドレス バイト(バス)に設定できます。**MCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビット**により、ポートCがこの交換機能に設定されると、この交換設定はデータ方向レジスタ(DDRC)を無視します。

ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC方向レジスタ (Port C Data Direction Register) DDRC

ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC入力レジスタ (Port C Input Address) PINC

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートC入力レジスタ(PINC)はレジスタではなく、このアドレスはポートC各ピンの物理的な値へのアクセスができます。ポートC出力レジスタ(PORTC)を読む時はポートC出力ラッチが読まれ、ポートC入力レジスタ(PINC)を読む時は、このピン上に存在する論理値が読まれます。

ポートC 標準デジタル入出力

標準I/Oピンとして使われる時にポートCの8ピンは全て同じ機能動作です。

標準I/OピンPCnは**ポートC方向レジスタ(DDRC)のDDCnビット**がそのピンの入出力方向を選び、DDCnが設定(**1**)されると、出力ピンとして設定されます。DDCnが解除(**0**)されると、入力ピンとして設定されます。**ポートC出力レジスタ(PORTC)のPORTCn**が設定(**1**)され、そのピンが**入力ピン**として設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTCnが解除(**0**)されるか、またはそのピンが出力として設定されなければなりません。ポートCピンはリセット条件が有効になると、例えばクロックが動作していなくてもHi-Z状態にされます。

表22. ポートCピンに対するDDCnの関係

DDCn	PORTCn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PCnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7~0でビット番号を示します。

ポートD

ポートDは個別に**選択可能な内蔵プルアップ抵抗**付きの8ビットの双方向I/Oポートです。

ポートDについては3つのI/Oメモリアドレス位置が各々、データ出力レジスタ(PORTD), \$12(\$32)、データ方向レジスタ(DDRD), \$11(\$31)、データ入力レジスタ(PIND), \$10(\$30)に割り当てられます。ポートDデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートD出力緩衝部は20mAの吸い込み電流を流せます。入力として、内蔵プルアップ抵抗が有効化されていると、外部的にLowへ引き込まれるポートDピンには吐き出し電流が流れます。

いくつかのポートDピンには、表23.で示される交換機能があります。

表23. ポートDピンの交換機能

ポートピン	交換機能
PD0	RXD (UART受信データ入力)
PD1	TXD (UART送信データ出力)
PD2	INT0 (外部割り込み0入力)
PD3	INT1 (外部割り込み1入力)
PD5	OC1A (タイマ/カウンタ1 比較A一致出力)
PD6	$\overline{\text{WR}}$ (外部メモリ用ライト ストローブ出力)
PD7	$\overline{\text{RD}}$ (外部メモリ用リード ストローブ出力)

ピンが交換機能で使われる時に、ポートD方向レジスタ(DDRD)とポートD出力レジスタ(PORTD)は**交換機能の説明に従って設定**されなければなりません。

ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD入力レジスタ (Port D Input Address) PIND

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R/W	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートD入力レジスタ(PIND)はレジスタではなく、このアドレスはポートD各ピンの物理的な値へのアクセスができます。ポートD出力レジスタ(PORTD)を読む時はポートD出力ラッチが読まれ、ポートD入力レジスタ(PIND)を読む時は、このピン上に存在する論理値が読めます。

ポートD 標準デジタル入出力

標準I/OピンPDnはポートD方向レジスタ(DDRD)のDDDnビットがそのピンの入出力方向を選び、DDDnが設定(1)されると、出力ピンとして設定されます。DDDnが解除(0)されると、入力ピンとして設定されます。ポートD出力レジスタ(PORTD)のPORTDnが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTDnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートDピンはリセット条件が有効になると、例えばクロックが動作していなくてもHi-Z状態にされます。

表24. ポートDピンに対するDDDnの関係

DDDn	PORTDn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PDnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7～0でビット番号を示します。

ポートDの交換機能

ポートDの交換機能を以下に示します。

• $\overline{RD}$ – ポートD ビット7 : PD7

$\overline{RD}$: 外部データメモリの読み込み制御スロープです。外部SRAMが許可されると、ポートD方向レジスタ(DDRD)のDDD7設定に関係なく出力になります。詳細情報については、40頁の「外部SRAM(メモリ)インターフェース」を参照してください。

• $\overline{WR}$ – ポートD ビット6 : PD6

$\overline{WR}$: 外部データメモリの書き込み制御スロープです。外部SRAMが許可されると、DDRDのDDD6設定に関係なく出力になります。詳細情報については、40頁の「外部SRAM(メモリ)インターフェース」を参照してください。

• OC1A – ポートD ビット5 : PD5

OC1A : タイマ/カウンタ1の比較A一致出力です。PD5ピンはタイマ/カウンタ1の比較A一致時の外部出力として扱えます。この機能を取り扱うには、PD5ピンがDDRDのDDD5=1で出力として設定されなければなりません。出力を許可する方法と詳細については「タイマ/カウンタ1」の説明を参照してください。このOC1AピンはPWM動作時の出力ピンでもあります。

• INT1 – ポートD ビット3 : PD3

INT1 : 外部割り込み1入力です。PD3ピンはMCUへの外部割り込み元として扱えます。外部入力で使うにはDDRDのDDD3を解除(0)し、入力として設定しなければなりません。詳細と許可の方法については「割り込みの扱い」の説明を参照してください。

• INT0 – ポートD ビット2 : PD2

INT0 : 外部割り込み0入力です。PD2ピンはMCUへの外部割り込み元として扱えます。外部入力で使うにはDDRDのDDD2を解除(0)し、入力として設定しなければなりません。詳細と許可の方法については「割り込みの扱い」の説明を参照してください。

• TXD – ポートD ビット1 : PD1

TXD : UARTの送信データ出力です。UART送信(部)が許可されると、このピンはDDRDのDDD1の値に拘らず出力として設定されます。

• RXD – ポートD ビット0 : PD0

RXD : UARTの受信データ入力です。UART受信(部)が許可されると、このピンはDDRDのDDD0の値に拘らず入力として設定されます。UARTがこのピンを強制的に入力とするときでも、ポートD出力レジスタ(PORTD)のPORTD0の論理1は内蔵プルアップ抵抗をONに切り替えます。

ポートD回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図53. ポートD回路構成 (PD0ピン)

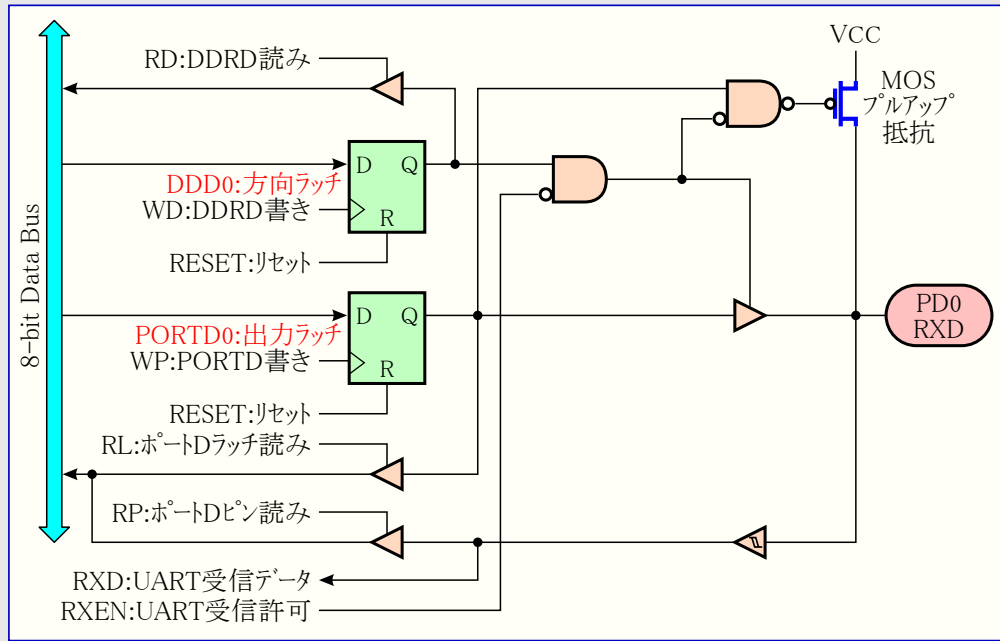


図54. ポートD回路構成 (PD1ピン)

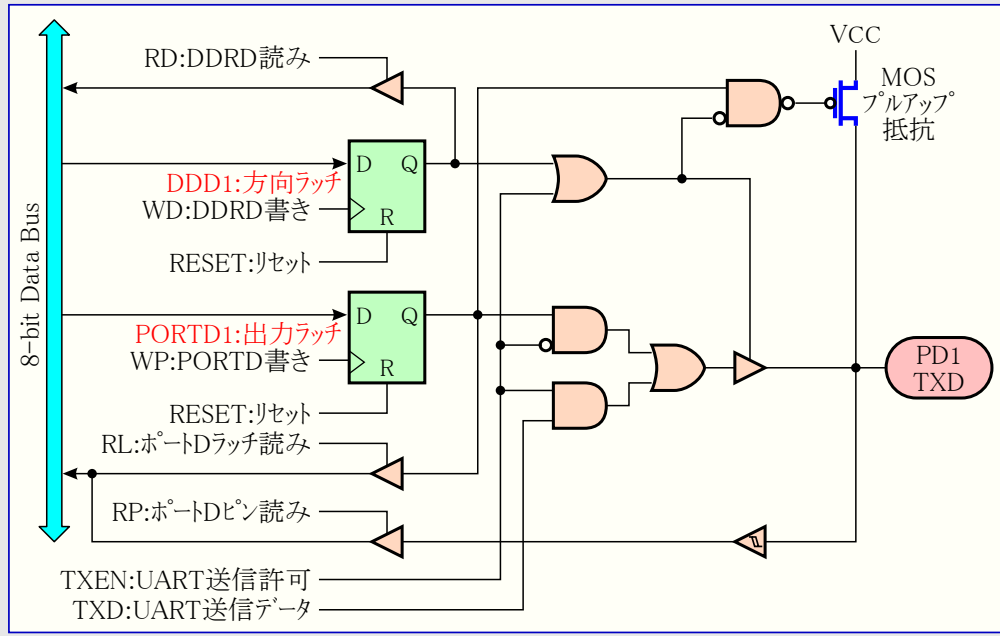


図55. ホートD回路構成 (PD2, PD3ピン)

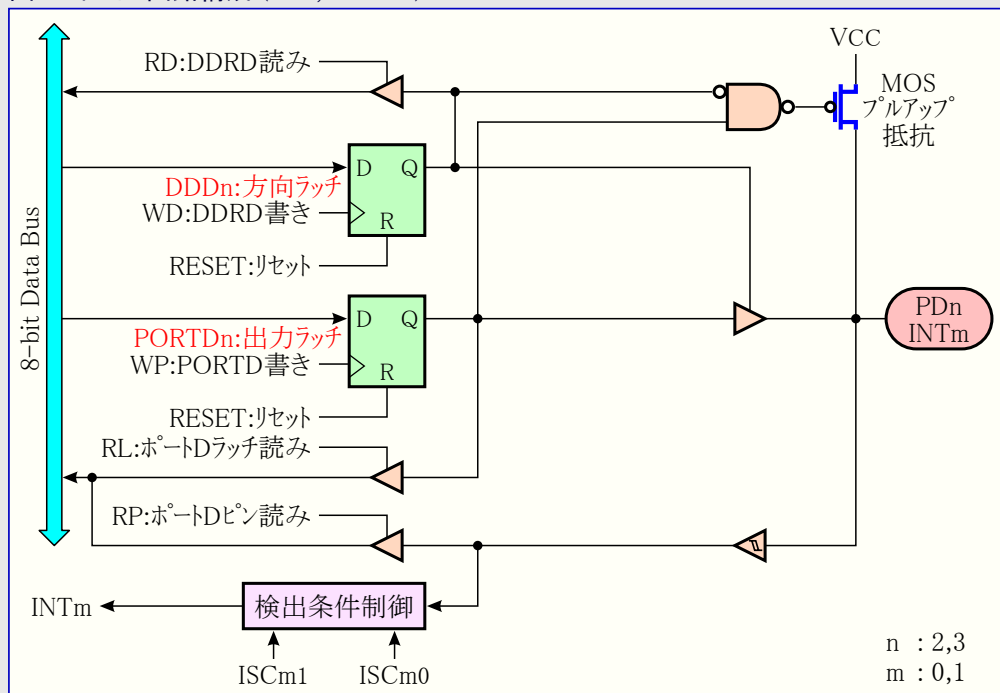
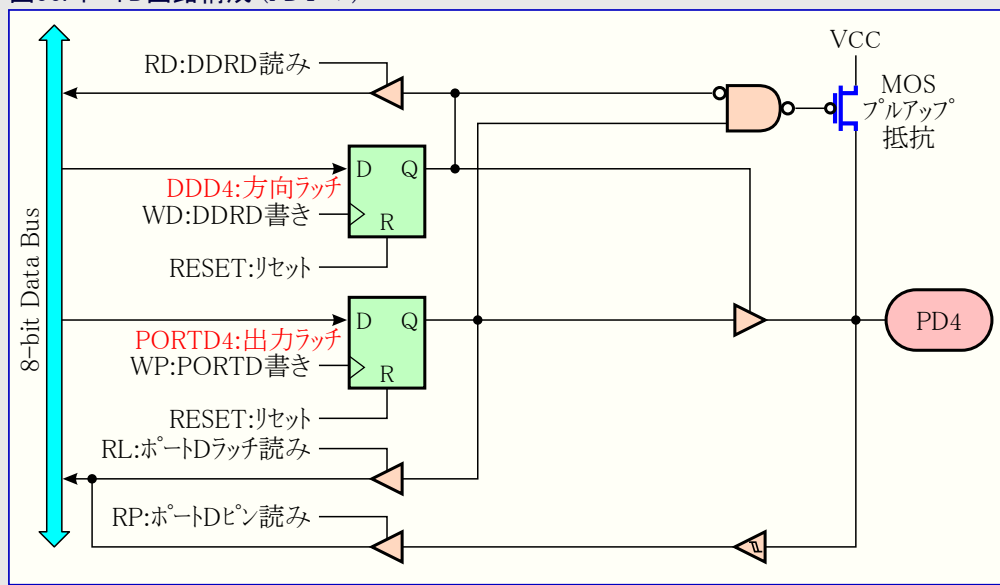
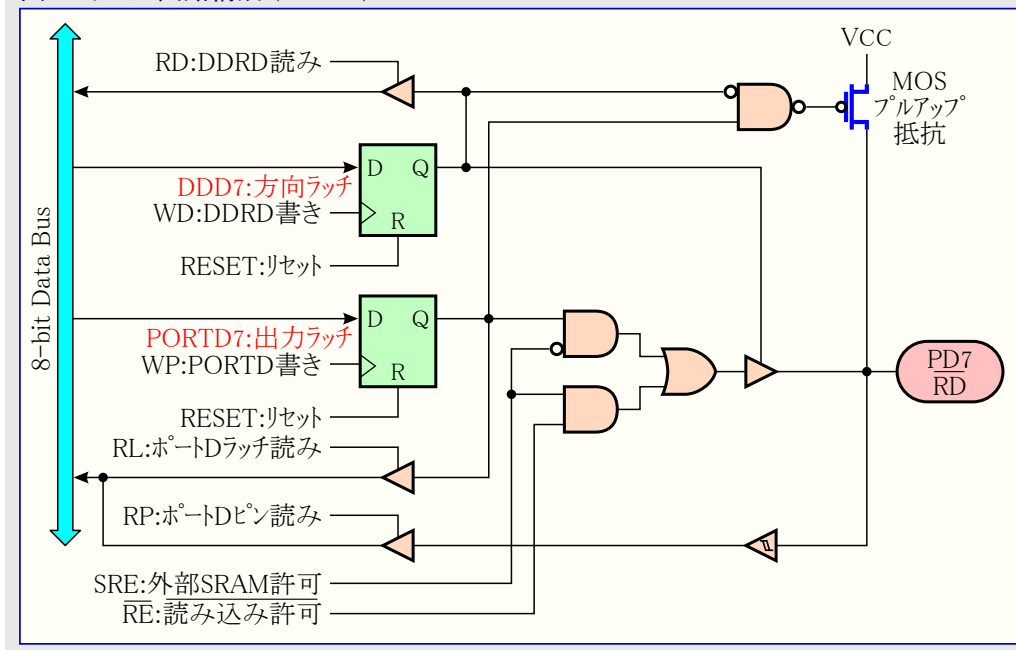


図56. ホートD回路構成 (PD4ピン)



[illegible]

図59. ホートD回路構成 (PD7ピン)



メモリプログラミング

プログラムメモリとデータメモリ用施錠ビット

AT90S8515 MCUは、非プログラム(1)のままか、表25.で示される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表25. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュメモリとEEPROMのプログラミング機能が禁止されます。(注)
3	0	0	保護種別2と同様、更に照合も禁止されます。

注: 並列動作でのヒューズビットの書き込みも禁止されます。施錠ビットの書き込み前にヒューズビットを書いてください。

ヒューズビット

AT90S8515には、2つのヒューズビット、SPIENとFSTRTがあります。

- SPIENがプログラム(0)されると、直列プログラミングが許可されます。既定値はプログラム(0)です。
- FSTRTがプログラム(0)されると、短い起動時間が選ばれます。既定値は非プログラム(1)です。このビットが予めプログラム(0)された製品も供給できます。

これらのヒューズビットは直列プログラミング動作ではアクセスできません。ヒューズビットの状態はチップ消去による影響を受けません。

識票バイト

全てのAtmelマイクロコントローラはデバイス識別用に3バイトの識票符号を持ちます。この符号は直列と並列の両プログラミング動作で読めます。この3バイトは他から分離された空間に存在します。

AT90S8515の識票符号を次に示します。

- ① \$00 : \$1E 製造業者Atmelを示します。
- ② \$01 : \$93 フラッシュメモリ容量8Kバイトを示します。
- ③ \$02 : \$01 ②値\$93と合せ、AT90S8515を示します。

注: 両方の施錠ビットがプログラム(0)される(保護種別3)と、識票バイトは直列動作で読めません。識票バイトの読み込みは\$00,\$01,\$02が戻ります。

フラッシュメモリとEEPROMのプログラミング

AtmelのAT90S8515は実装再書き込み可能な8Kバイトのプログラム用フラッシュメモリと512バイトのデータ用EEPROMメモリを提供します。

AT90S8515にはプログラム用内蔵フラッシュメモリとデータ用EEPROMメモリが消去(全ビット=1)されてプログラムされる準備が整った状態で搭載されています。このデバイスは高電圧(12V)並列プログラミング動作と低電圧直列プログラミング動作を支援します。+12Vはプログラム許可のためのみに使われ、このピンにより特筆すべき電流は流されません。直列プログラミング動作は実装済みのデバイスにプログラムとデータを書き込む便利な方法を提供します。

AT90S8515のフラッシュメモリとEEPROMはどちらのプログラミング動作でもバイト単位でプログラムされます。EEPROMについては直列プログラミング動作での自動書き込み命令で自動消去周期が提供されます。プログラミング中の供給電圧は、表26.に従っていなければなりません。

表26. プログラミング中の供給電圧

デバイス	直列プログラミング	並列プログラミング
AT90S8515	2.7~6.0V	4.5~5.5V

並列プログラミング

この章ではAT90S8515でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。

信号名

この章ではAT90S8515のいくつかのピンが並列プログラミング中の機能を示す信号名によって参照されます。**図60.**と**表27.**を参照してください。**表27.**で示されないピンはピン名で参照されます。

XA0とXA1ピンはXTAL1ピンに正パルスが与えられる時に実行される動作を決めます。この規約は**表28.**で示されます。

$\overline{WR}$ または $\overline{OE}$ パルス時、取得された指令が実行される動作を決めます。この指令は**表29.**で示されるように各ビットで機能が示されるバイトです。

図60. 並列プログラミング構成図

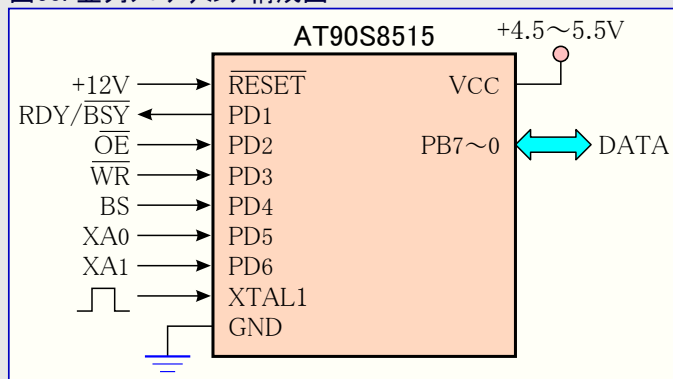


表27. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0: プログラミング多忙 1: 準備可(指令受付可)
$\overline{OE}$	PD2	入力	出力許可(負論理)
$\overline{WR}$	PD3	入力	書き込み(負論理)
BS	PD4	入力	上位/下位バイト選択 (0: 下位, 1: 上位)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
DATA	PB7~0	入出力	データ ($\overline{OE}=L$ 時出力)

表28. XA0とXA1の機能

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位/下位はBSで指示)
0	1	データ取得 (フラッシュ時の上位/下位はBSで指示)
1	0	指令取得
1	1	アイドル (動作なし)

表29. ビット規約による指令バイト

指令バイト	指令の機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	施錠ビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$11 (0001 0001)	EEPROM書き込み
\$08 (0000 1000)	識別バイト読み出し
\$04 (0000 0100)	ヒューズビットと施錠ビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し
\$03 (0000 0011)	EEPROM読み出し

プログラミング動作への移行

次の方法がデバイスを並列プログラミング動作にします。

- ① 表26に従った供給電圧をVCCとGND間に印加します。
- ② RESETとBSピンをLow(0)にし、最低100ns待機します。
- ③ RESETに11.5~12.5Vを印加します。RESETに+12V印加後100ns以内のどんなBSの動き(値)も、デバイスのプログラミング動作移行失敗の原因になります。

チップ消去

チップ消去指令はフラッシュメモリ、EEPROM、施錠ビットを消去します。施錠ビットはフラッシュメモリとEEPROMが完全に消去されてしまうまで消去されません。チップ消去でヒューズビットは変化しません。フラッシュメモリまたはEEPROMの再書き込み前には、チップ消去が実行されなければなりません。

チップ消去の手順を次に示します。

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BSをLow(0)にします。
- ③ DATAを\$80(1000 0000)にします。これはチップ消去指令です。
- ④ XTAL1に正パルスを与えます。これで指令を設定します。
- ⑤ チップ消去を実行するため、WRにtWLWH_CE幅(表30参照)の負パルスを与えます。チップ消去はRDY/BSYピンにどんな動きも生成しません。

フラッシュメモリ書き込み (図61タイミングを参照)

A. フラッシュメモリ書き込み指令設定

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BSをLow(0)にします。
- ③ DATAを\$10(0001 0000)にします。これはフラッシュメモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これでフラッシュメモリ書き込み指令を設定します。

B. 上位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BSをHigh(1)にします。これは上位バイト選択です。
- ③ DATAにアドレス上位バイト(\$00~\$07/\$0F)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス上位バイトを設定します。

C. 下位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BSをLow(0)にします。これは下位バイト選択です。
- ③ DATAにアドレス下位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス下位バイトを設定します。

D. データ下位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ② DATAにデータ下位バイト(\$00~\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これでデータ下位バイトを設定します。

E. データ下位バイト書き込み

- ① BSをLow(0)にします。これは下位バイト選択です。
- ② WRに負パルスを与えます。これでバイトデータの書き込みが開始され、RDY/BSYがLow(0)になります。
- ③ 次バイト書き込みのため、RDY/BSYがHigh(1)になるまで待機します。

F. データ上位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ② DATAにデータ上位バイト(\$00~\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これでデータ上位バイトを設定します。

G. データ上位バイト書き込み

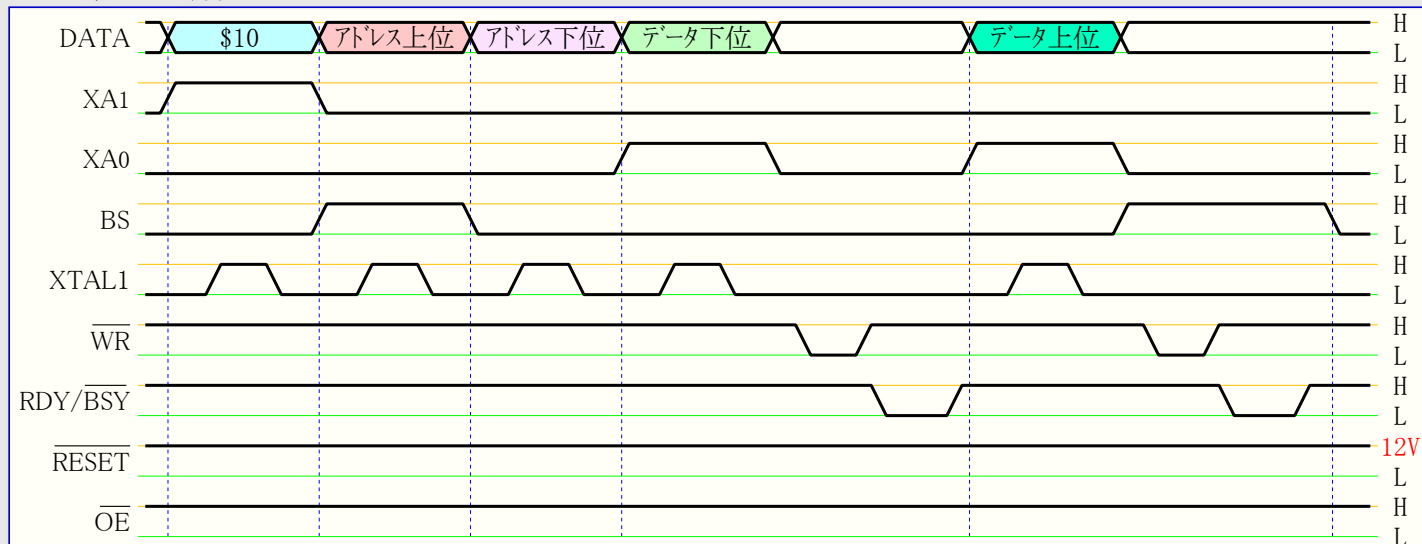
- ① BSをHigh(1)にします。これは上位バイト選択です。
- ② WRに負パルスを与えます。これでバイトデータの書き込みが開始され、RDY/BSYがLow(0)になります。
- ③ 次バイト書き込みのため、RDY/BSYがHigh(1)になるまで待機します。

設定された指令とアドレスはプログラム中、保持されます。効率的なプログラミングを行うには次の点が考慮されるべきです。

- 複数のメモリ位置を読み書きする時に指令は一度の設定だけです。
- アドレス上位バイトはフラッシュメモリの新規256語ページのプログラミング前に設定されることが必要です。
- チップ消去後のフラッシュメモリとEEPROMの全内容は\$FFなので、値\$FFのデータ書き込みは行わないようにします。

これらの考慮はEEPROM書き込みと、フラッシュメモリ、EEPROM、[識別バイト](#)の読み出しでも適用されます。

図61. フラッシュメモリ書き込みタイミング



(訳注) 原書での図61.と図62.は図61.として結合しました。

フラッシュメモリ読み出し

フラッシュメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「[フラッシュメモリ書き込み](#)」を参照)

1. フラッシュメモリ読み出し指令\$02(0000 0010)を設定します。(「[フラッシュメモリ書き込み](#)」のA.を参照)
2. アドレス上位バイト(\$00～\$0F)を設定します。(「[フラッシュメモリ書き込み](#)」のB.を参照)
3. アドレス下位バイト(\$00～\$FF)を設定します。(「[フラッシュメモリ書き込み](#)」のC.を参照)
- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これでフラッシュメモリの語(ワード)の下位バイトがDATAに読み出されます。
- ② BSをHigh(1)にします。これでフラッシュメモリの語(ワード)の上位バイトがDATAに読み出されます。
- ③ $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

EEPROM書き込み

データ用EEPROMメモリの書き込み方法を次に示します。(指令、アドレス、データ設定の詳細は「[フラッシュメモリ書き込み](#)」を参照)

1. EEPROM書き込み指令\$11(0001 0001)を設定します。(「[フラッシュメモリ書き込み](#)」のA.を参照)
2. アドレス上位バイト(\$00～\$01)を設定します。(「[フラッシュメモリ書き込み](#)」のB.を参照)
3. アドレス下位バイト(\$00～\$FF)を設定します。(「[フラッシュメモリ書き込み](#)」のC.を参照)
4. データ下位バイト(\$00～\$FF)を設定します。(「[フラッシュメモリ書き込み](#)」のD.を参照)
5. データ下位バイトを書き込みます。(「[フラッシュメモリ書き込み](#)」のE.を参照)

EEPROM読み出し

EEPROMメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「[フラッシュメモリ書き込み](#)」を参照)

1. EEPROM読み出し指令\$03(0000 0011)を設定します。(「[フラッシュメモリ書き込み](#)」のA.を参照)
2. アドレス上位バイト(\$00～\$01)を設定します。(「[フラッシュメモリ書き込み](#)」のB.を参照)
3. アドレス下位バイト(\$00～\$FF)を設定します。(「[フラッシュメモリ書き込み](#)」のC.を参照)
- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これでEEPROMメモリのバイトデータがDATAに読み出されます。
- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

ヒューズビット書き込み

ヒューズビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュメモリ書き込み」のD.を参照)

ビット5	SPIEN ヒューズビット	
ビット0	FSTRT ヒューズビット	
ビット7,6,4~1	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。

- ① 書き込みを実行するため、 $\overline{WR}$ に t_{WLWH_PFB} 幅(表31.参照)の負パルスを与えます。ヒューズビット書き込みはRDY/ $\overline{BSY}$ ピンに如何なる動きも生成しません。

施錠ビット書き込み

施錠ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=無変化(状態維持)です。(「フラッシュメモリ書き込み」のD.を参照)

ビット2	施錠ビット2 (LB2)	
ビット1	施錠ビット1 (LB1)	
ビット7~3,0	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。

3. データ下位バイトを書き込みます。(「フラッシュメモリ書き込み」のE.を参照)

施錠ビットはチップ消去の実行によってのみ消去(1)できます。

ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法を次に示します。(指令設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュメモリ書き込み」のA.を参照)

- ① BSをHigh(1)、 $\overline{OE}$ をLow(0)にします。これでヒューズビットと施錠ビットの状態がDATAに読み出されます。(0=プログラム)

ビット7	施錠ビット1 (LB1)	
ビット6	施錠ビット2 (LB2)	
ビット5	SPIEN ヒューズビット	
ビット0	FSTRT ヒューズビット	

- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

BSがHigh(1)に設定される必要があることに注意してください。

識票バイト読み出し

識票バイトの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 識票バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. アドレス下位バイト(\$00~\$02)を設定します。(「フラッシュメモリ書き込み」のC.を参照)

- ① BSをLow(0)、 $\overline{OE}$ をLow(0)にします。これで識票バイトがDATAに読み出されます。

- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

並列プログラミング特性

図63. 並列プログラミング タイミング

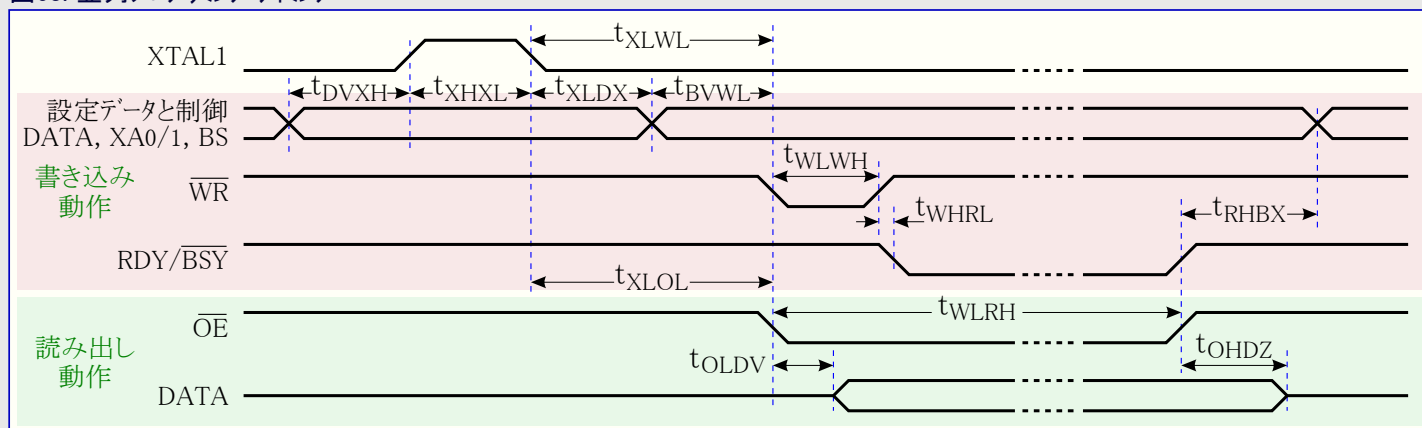


表30. 並列プログラミング特性 (TA=25°C±10%, VCC=5V±10%)

シンボル	項目	最小	代表	最大	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
tDVXH	XTAL1に対するデータと制御の準備時間	67			ns
tXHXL	XTAL1パルス幅	67			
tXLDX	XTAL1に対するデータと制御の保持時間	67			
tXLWL	XTAL1パルスの↓に対するWR↓待機時間	67			
tBVWL	BS(有効から)に対するWR↓待機時間	67			
tRHBX	RDY/BSY↑後のBS保持時間	67			
tWLWH	WRパルス幅 (注1)	67			
tWHRL	WRパルス後(↑)のRDY/BSY↓遅延時間 (注2)		20		
tWLRH	書き込み時間 (WR↓からRDY/BSY↑) (注2)	0.5	0.7	0.9	ms
tXLOL	XTAL1パルスの↓に対するOE↓待機時間	67			ns
tOLDV	OE↓に対するデータ出力遅延時間		20		
tOHDZ	OE↑に対する浮き遅延時間			20	
tWLWH_CE	チップ消去時のWRパルス幅	5	10	15	ms
tWLWH_PFB	ヒューズビット書き込み時のWRパルス幅	1.0	1.5	1.8	

注1: チップ消去時はtWLWH_CEを、ヒューズビット書き込み時はtWLWH_PFBを使います。

注2: tWLWHがtWLRHよりも長い場合、RDY/BSYの負パルスは現れません。

直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがLowレベルの間に直列SPIバスを使ってプログラミングを行うことができます。この直列インターフェースはSCK入力、MOSI入力、MISO出力で構成されます(図64.参照)。RESETをLowレベルに設定後、プログラムや消去命令が実行される前に、**プログラミング許可命令**が最初に実行されなければなりません。

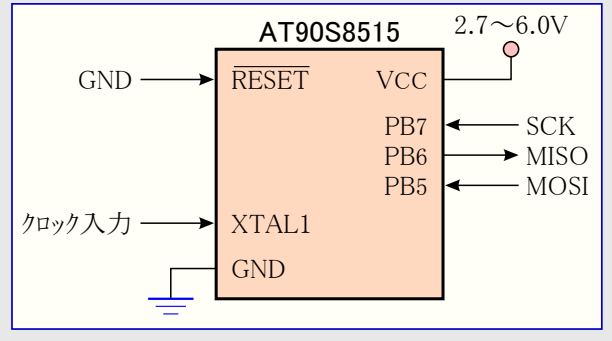
EEPROMに対しては自己タイミングによる**書き込み命令**内で先行して自動消去周期が提供される(直列プログラミングのみ)ので、最初に**チップ消去命令**を実行する必要はありません。チップ消去命令はフラッシュメモリとEEPROMの全内容を\$FFにします。

フラッシュメモリとEEPROMはプログラム用フラッシュメモリが\$0000～\$0FFF、データ用EEPROMメモリが\$0000～\$01FFの分離されたアドレス空間を持ちます。

XTAL1とXTAL2ピン間にXtalを接続するか、XTAL1ピンに外部クロックを供給するかのどちらかが必要です。直列クロック(SCK)のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 > 2 XTAL1 クロック周期
High区間 > 2 XTAL1 クロック周期

図64. 直列プログラミング構成図



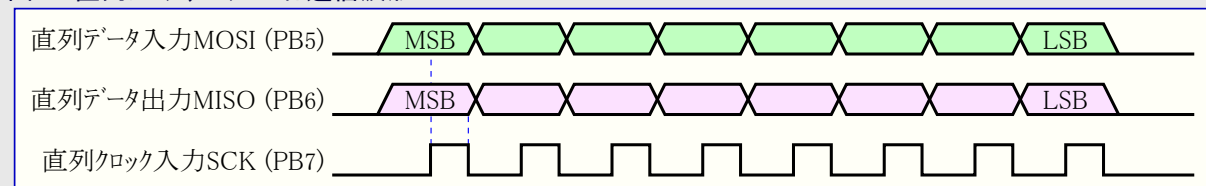
直列プログラミング手順

AT90S8515に直列データを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細タイミングについては図65、図66、表33を参照してください。

直列プログラミング動作でのAT90S8515のプログラミングと検証は次の手順が推奨されます。(4バイトの命令形式は表32を参照)

- 次の手順で電源を投入します。
RESETとSCKがLow(0)に設定されている間中に、VCCとGND間へ電源を供給します。XTAL1とXTAL2ピン間にXtalが接続されていない場合、XTAL1ピンにクロック信号を供給します。いくつかのシステムに於いて、電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETには最低XTAL1周期幅2つ分の正パルスを与えられなければなりません。
- 最低20ms待機し、MOSI(PB3)ピンに**プログラミング許可命令**を送ることによって直列プログラミングを可能にします。
- 通信の同期が外れていると、直列プログラミング命令が動作しません。同期しているとき、プログラム許可命令の第3バイト送出時に第2バイト(\$53)を送り返します。この送り返しが成功か失敗かによらず、命令の4バイト全てが送信されなければなりません。送り返しが\$53でなかった場合、SCKに正パルスを与え、新規プログラミング許可命令を行います。32回の試行で\$53が検出できない場合、直列プログラミング機能のないデバイスが接続されています。
- チップ消去が実行される場合(フラッシュメモリの消去のために実行が必要)、本命令実行後tWD_ERASE(63頁の表34.参照)時間待機し、RESETに正パルスを与え、手順2.からを行います。
- フラッシュメモリやEEPROMは適切な**書き込み命令**内でアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMメモリ位置は、新規(今回)データが書かれる前、最初に自動消去されます。フラッシュメモリやEEPROMの次のバイトが書ける時を検出するために**データポーリング**を使ってください。ポーリングが使われない場合、次の命令送出前にtWD_PROG(63頁の表35.参照)時間待機します。消去されているデバイスでは、\$FFのデータを書く必要がありません。
- 何れのメモリ位置も、選ばれたアドレスの内容を直列出力MISO(PB4)ピンに読み戻す、**読み出し命令**の使用で検証ができます。
- プログラミング終了時、通常動作とするためには、RESETをHigh(1)に設定します。
- 電源OFF手順 (必要な場合)
 - ・クリスタルが使われない場合は、XTAL1をLow(0)にします。
 - ・RESETをHigh(1)にします。
 - ・VCC電源をOFFにします。

図65. 直列プログラミング バイト通信波形



EEPROMのデータポーリング

EEPROM内にバイトデータが書かれつつある時に書かれているアドレス位置を読むと、自動消去が完了されるまでは値P1が、その後は値P2が得られます。P1,P2は表31.を参照してください。

書かれた値が正しく読めると同時に、デバイスは新規EEPROMデータの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値P1とP2については行えないので、これらの値を書く時は次バイト書き込み前に少なくとも規定されたtWD_PROG(表35.参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。最初にチップ消去せずにEEPROMが再書き込みされる場合、これは適用されません。

表31. EEPROMポーリング中、読み出し値

デバイス	P1	P2
AT90S8515	\$80	\$7F

フラッシュメモリのデータポーリング

フラッシュメモリ内にバイトデータが書かれつつある時に書かれているアドレス位置を読むと、値\$7Fが得られます。書かれた値が正しく読めると同時に、デバイスは新規バイトの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値\$7Fについては行えないので、この値を書く時は次バイト書き込み前に少なくともtWD_PROG(表35.参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。

表32. 直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリとEEPROMを消去します。
フラッシュメモリ読み出し	0010 P000	xxxx HHHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
フラッシュメモリ書き込み	0100 P000	xxxx HHHH	LLLL LLLL	WWW WWW	アドレスH:LのP(H/L)バイトに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxH	LLLL LLLL	RRRR RRRR	アドレスLのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxH	LLLL LLLL	WWW WWW	アドレスLのバイトに書き込みます。
施錠ビット書き込み	1010 1100	111x x21x	xxxx xxxx	xxxx xxxx	施錠ビット(LB1, LB2)を書き込みます。
識票バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。

注1: H = アドレス上位バイトのビット P = 0 = 下位バイト, 1 = 上位バイト W = 書き込みデータ(MCU入力) 1 = 施錠ビット1 (LB1)
L = アドレス下位バイトのビット R = 読み出しデータ(MCU出力) x = 0か1 (無意味/不定) 2 = 施錠ビット2 (LB2)

注2: 識票バイトは保護種別3(LB1=0, LB2=0)の状態では読み出せません。

直列プログラミング特性

図66. 直列プログラミングタイミング

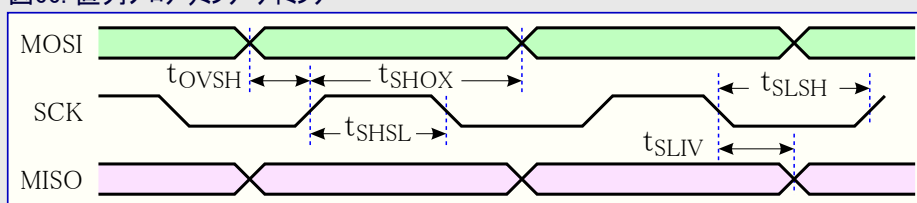


表33. 直列プログラミング特性 (特記条件を除いて、TA=-40℃～85℃, VCC=2.7～6.0V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	2.7～4.0V	0	4	MHz
		4.0～6.0V	0	8	
tCLCL	発振器周期	2.7～4.0V	250		ns
		4.0～6.0V	125		
tSHSL	SCKパルスHレベル幅	2tCLCL			
tSLSH	SCKパルスLレベル幅	2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間	tCLCL			
tSHOX	SCK↑に対するMOSI保持時間	2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間	10	16	32	

表34. チップ消去命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_ERASE	18ms	14ms	12ms	8ms

表35. フラッシュメモリ, EEPROM書き込み命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_PROG	9ms	7ms	6ms	4ms

電気的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-1.0V ~ VCC+0.5V
RESETピン許容電圧	-1.0V ~ +13.0V
最大動作電圧	6.6V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=2.7V~6.0V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧	XTAL1を除く	-0.5		0.3VCC (注1)	V
V _{IL1}	Lowレベル入力電圧	XTAL1	-0.5		0.2VCC (注1)	
V _{IH}	Highレベル入力電圧	XTAL1, RESETを除く	0.6VCC (注2)		VCC+0.5	
V _{IH1}	Highレベル入力電圧	XTAL1	0.8VCC (注2)		VCC+0.5	
V _{IH2}	Highレベル入力電圧	RESET	0.9VCC (注2)		VCC+0.5	
V _{OL}	Lレベル出力電圧(ポートA,B,C,D)(注3)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	
V _{OH}	Hレベル出力電圧(ポートA,B,C,D)(注4)	IOH=-3mA, VCC=5V	4.2			
		IOH=-1.5mA, VCC=3V	2.3			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=6V			8.0	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	(確実なH/L範囲)			980	nA
R _{RST}	RESETピンプルアップ抵抗		100		500	kΩ
R _{I/O}	I/Oピンプルアップ抵抗		35		120	
I _{CC}	活動動作消費電流	VCC=3V, 4MHz			3.0	mA
	アイドル動作消費電流				1.2	
	パワーダウン動作消費電流 (注5)	VCC=3V, WDT有効		9.0	15.0	μA
		VCC=3V, WDT禁止		<1.0	2.0	
V _{ACIO}	アナログ比較器入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2			40	mV
I _{ACLK}	アナログ比較器入力漏れ電流		-50		50	nA
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで20mA、VCC=3Vで10mA)より多くの吸い込み電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOLの合計が200mAを超えるべきではありません。
2. ポートB0~B7、D0~D7とXTAL2のIOLの合計が100mAを超えるべきではありません。
3. ポートA0~A7、C0~C7、OC1B、ALEのIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで3mA、VCC=3Vで1.5mA)より多くの吐き出し電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOHの合計が200mAを超えるべきではありません。
2. ポートB0~B7、D0~D7とXTAL2のIOHの合計が100mAを超えるべきではありません。
3. ポートA0~A7、C0~C7、OC1B、ALEのIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きな吐き出し電流を流すことは保証されません。

注5: パワーダウン動作時の最小電源電圧(VCC)は2.0Vです。

外部クロック特性

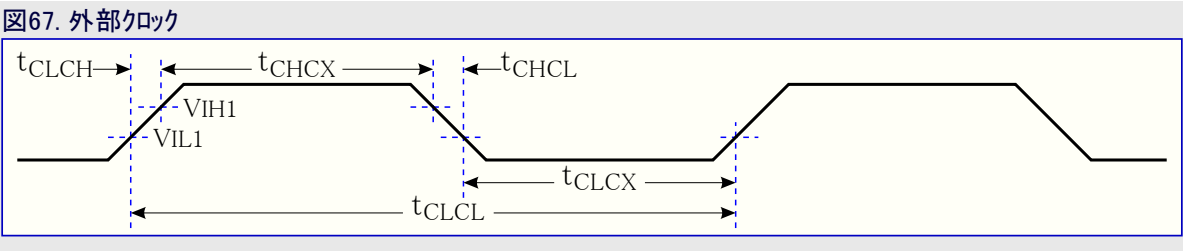


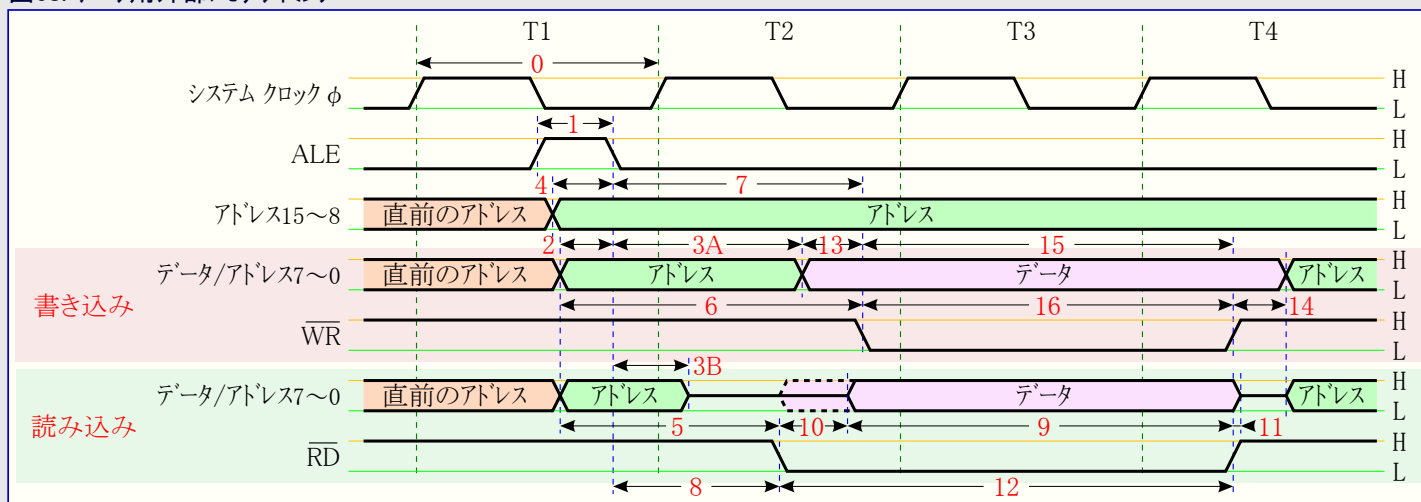
表36. 外部クロック特性

シンボル	項目	VCC=2.7V~4.0V		VCC=4.0V~6.0V		単位
		最小	最大	最小	最大	
$1/t_{CLCL}$	クロック周波数	0	4	0	8	MHz
t_{CLCL}	クロック周期	250		125		ns
t_{CHCX}	Highレベル時間	100		50		
t_{CLCX}	Lowレベル時間	100		50		
t_{CLCH}	上昇時間		1.6		0.5	μ s
t_{CHCL}	下降時間		1.6		0.5	

注: データ用外部メモリのタイミングにデューティサイクルがどう影響するかの説明については、「外部メモリ タイミング」を参照してください。

外部メモリ特性

図68. データ用外部メモリ タイミング



注: T3は外部SRAM待ち許可時のみ存在します。

外部メモリ タイミング特性

表37. データ用外部メモリ特性 (VCC=4.0V~6.0V、待ちなし)

番号	シンボル	項目	8MHz時		一般式		注	単位
			最小	最大	最小	最大		
0	1/tCLCL	発振器周波数			0.0	8.0		MHz
1	tLHLL	ALE Highパルス幅	32.5		0.5tCLCL-30		1	ns
2	tAVLL	ALE ↓ 前 下位アドレス準備時間	22.5		0.5tCLCL-40		1	
3A	tLLAX,ST	ライト時 ALE ↓ 後 下位アドレス保持時間	67.5		0.5tCLCL+5		2	
3B	tLLAX,LD	リード時 ALE ↓ 後 下位アドレス保持時間	15.0		15.0			
4	tAVLLC	ALE ↓ 前 上位アドレス準備時間	22.5		0.5tCLCL-40		1	
5	tAVRL	リード時 RD ↓ 前 下位アドレス有効時間	95.0		1.0tCLCL-30			
6	tAVWL	ライト時 WR ↓ 前 下位アドレス有効時間	157.5		1.5tCLCL-30		1	
7	tLLWL	ALE ↓ 後 WR ↓ 遅延時間	105.0	145.0	1.0tCLCL-20	1.0tCLCL+20		
8	tLLRL	ALE ↓ 後 RD ↓ 遅延時間	42.5	82.5	0.5tCLCL-20	0.5tCLCL+20	2	
9	tDVRH	RD ↑ 前 データ準備時間	60.0		60			
10	tRLDV	RD ↓ 後 データ出力遅延時間		70.0		1.0tCLCL-55		
11	tRHDX	RD ↑ 後 データ保持時間	0.0		0.0			
12	tRLRH	RD Lowパルス幅	105.0		1.0tCLCL-20			
13	tOVWL	WR ↓ 前 データ準備時間	27.5		0.5tCLCL-35		1	
14	tWHDX	WR ↑ 後 データ保持時間	0.0		0.0			
15	tDVWH	WR ↑ 前 データ有効時間	95.0		1.0tCLCL-30			
16	tWLWH	WR Lowパルス幅	42.5		0.5tCLCL-20		2	

表38. データ用外部メモリ特性 (VCC=4.0V~6.0V、1待ち周期あり)

番号	シンボル	項目	8MHz時		一般式		注	単位
			最小	最大	最小	最大		
0	1/tCLCL	発振器周波数			0.0	8.0		MHz
10	tRLDV	RD ↓ 後 データ出力遅延時間		195.0		2.0tCLCL-55		ns
12	tRLRH	RD Lowパルス幅	230.0		2.0tCLCL-20			
15	tDVWH	WR ↑ 前 データ有効時間	220.0		2.0tCLCL-30			
16	tWLWH	WR Lowパルス幅	167.5		1.5tCLCL-20		2	

注1: 一般式の定数はデューティ比=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティ比=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

表39. データ用外部メモリ特性 (VCC=2.7V~4.0V、待ちなし)

番号	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	4.0		MHz
1	tLHLL	ALE Highパルス幅	70.0		0.5tCLCL-55		1	ns
2	tAVLL	ALE ↓ 前 下位アドレス準備時間	60.0		0.5tCLCL-65		1	
3A	tLLAX,ST	ライト時 ALE ↓ 後 下位アドレス保持時間	130.0		0.5tCLCL+5		2	
3B	tLLAX,LD	リード時 ALE ↓ 後 下位アドレス保持時間	15.0		15.0			
4	tAVLLC	ALE ↓ 前 上位アドレス準備時間	60.0		0.5tCLCL-65		1	
5	tAVRL	リード時 RD ↓ 前 下位アドレス有効時間	200.0		1.0tCLCL-50			
6	tAVWL	ライト時 WR ↓ 前 下位アドレス有効時間	325.0		1.5tCLCL-50		1	
7	tLLWL	ALE ↓ 後 WR ↓ 遅延時間	230.0	270.0	1.0tCLCL-20	1.0tCLCL+20		
8	tLLRL	ALE ↓ 後 RD ↓ 遅延時間	105.0	145.0	0.5tCLCL-20	0.5tCLCL+20	2	
9	tDVRH	RD ↑ 前 データ準備時間	95.0		95.0			
10	tRLDV	RD ↓ 後 データ出力遅延時間		170.0		1.0tCLCL-80		
11	tRHDX	RD ↑ 後 データ保持時間	0.0		0.0			
12	tRLRH	RD Lowパルス幅	230.0		1.0tCLCL-20			
13	tOVWL	WR ↓ 前 データ準備時間	70.0		0.5tCLCL-55		1	
14	tWHDX	WR ↑ 後 データ保持時間	0.0		0.0			
15	tDVWH	WR ↑ 前 データ有効時間	210.0		1.0tCLCL-40			
16	tWLWH	WR Lowパルス幅	105.0		0.5tCLCL-20		2	

表40. データ用外部メモリ特性 (VCC=2.7V~4.0V、1待ち周期あり)

番号	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	4.0		MHz
10	tRLDV	RD ↓ 後 データ出力遅延時間		420.0		2.0tCLCL-80		ns
12	tRLRH	RD Lowパルス幅	480.0		2.0tCLCL-20			
15	tDVWH	WR ↑ 前 データ有効時間	460.0		2.0tCLCL-40			
16	tWLWH	WR Lowパルス幅	355.0		1.5tCLCL-20		2	

注1: 一般式の定数はデューティ比=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティ比=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $CL(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f(I/O\text{ピンの平均切り替え周波数})$ として推測できます。

デバイス検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマにより引き込んだ(消費した)差電流を表します。

図69. 活動動作消費電流 対 周波数 (TA=25°C)

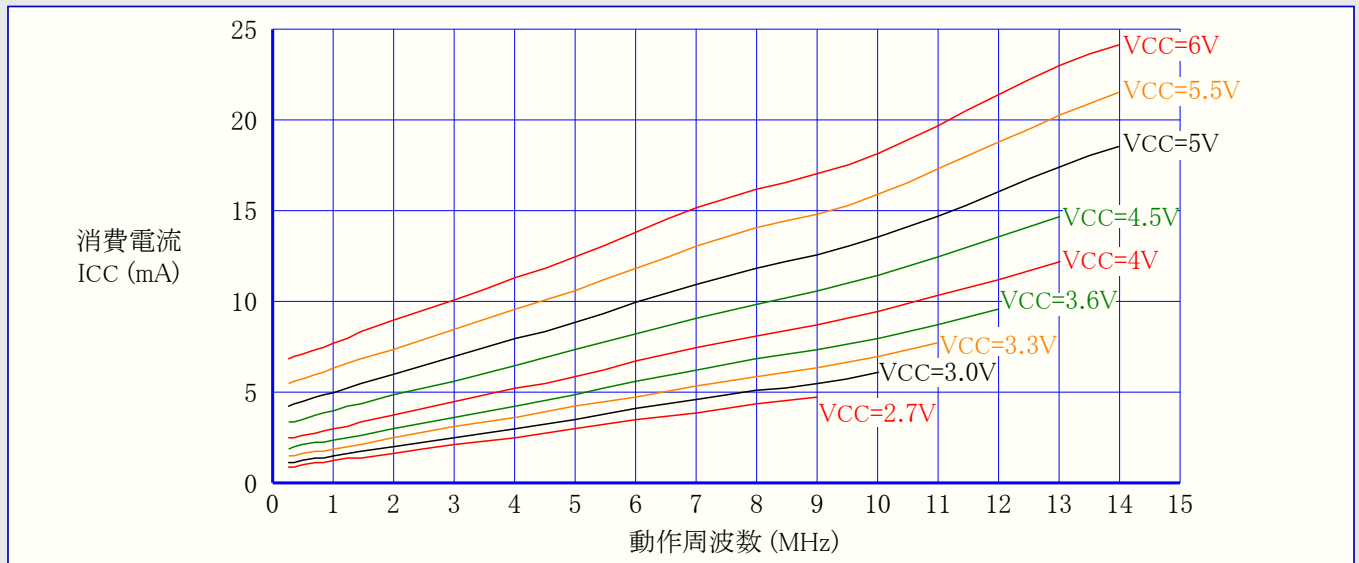


図70. 活動動作消費電流 対 動作電圧 (周波数=4MHz)

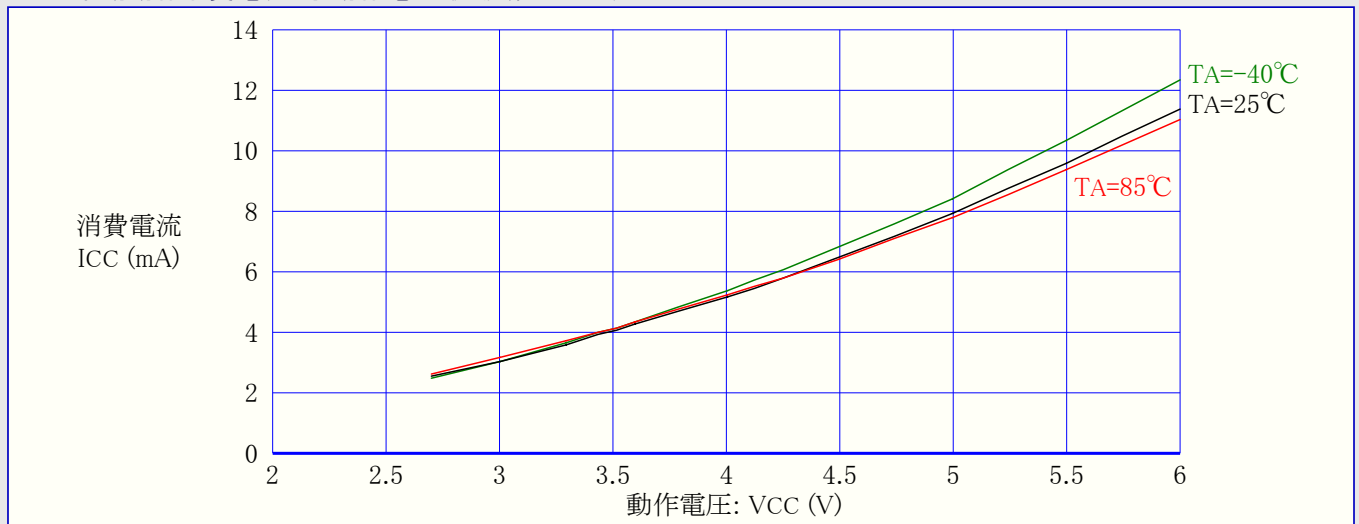


図71. アイドル動作消費電流 対 周波数 (TA=25°C)

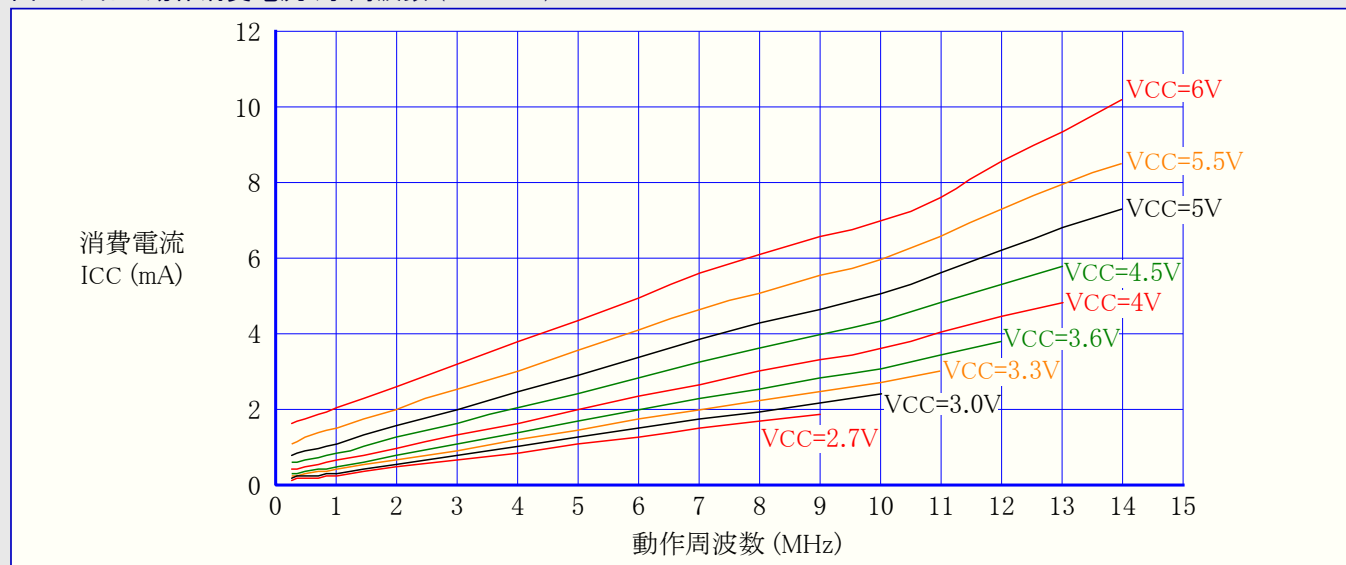


図72. アイドル動作消費電流 対 動作電圧 (周波数=4MHz)

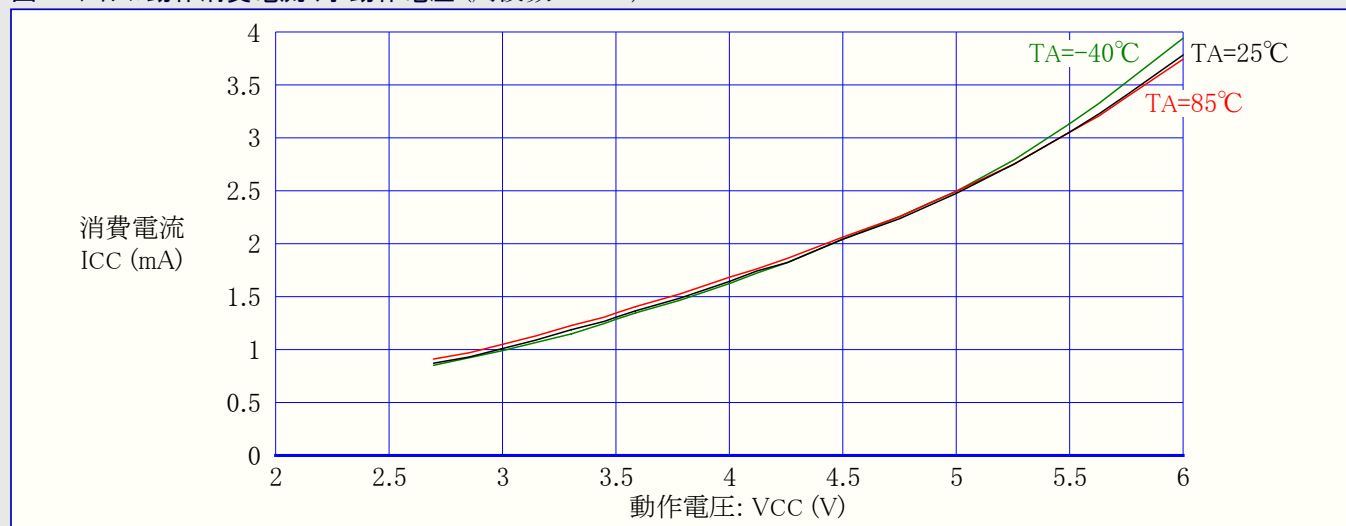


図73. パワーダウンス動作消費電流 対 動作電圧 (ウォッチドッグ タイム停止)

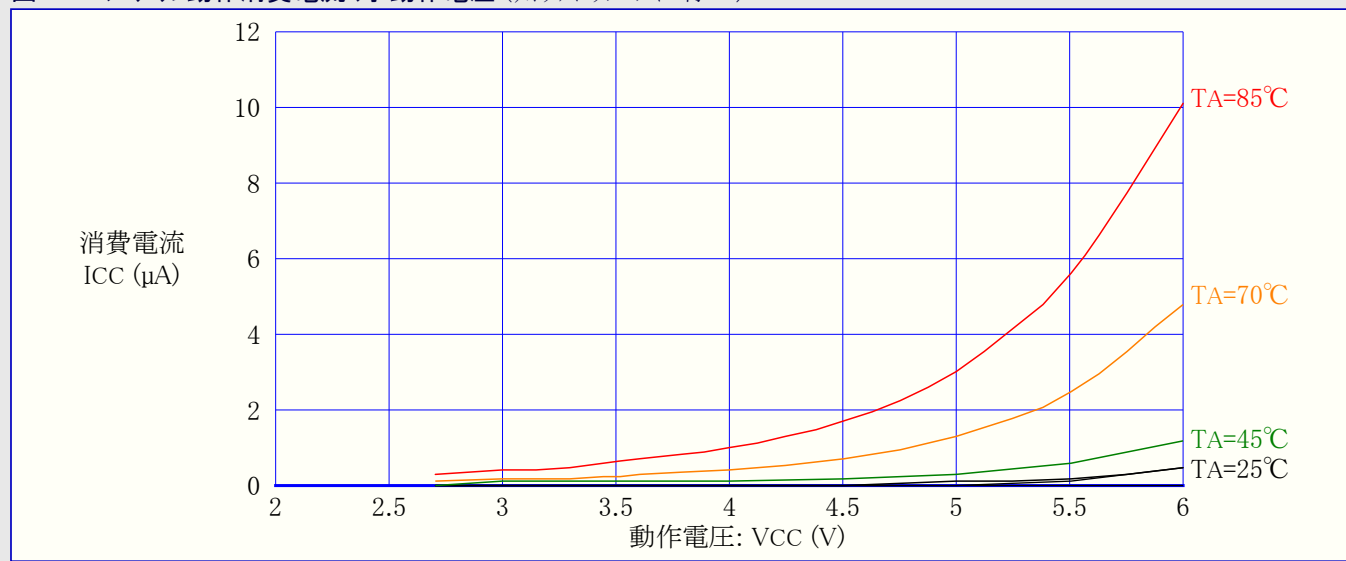


図74. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)

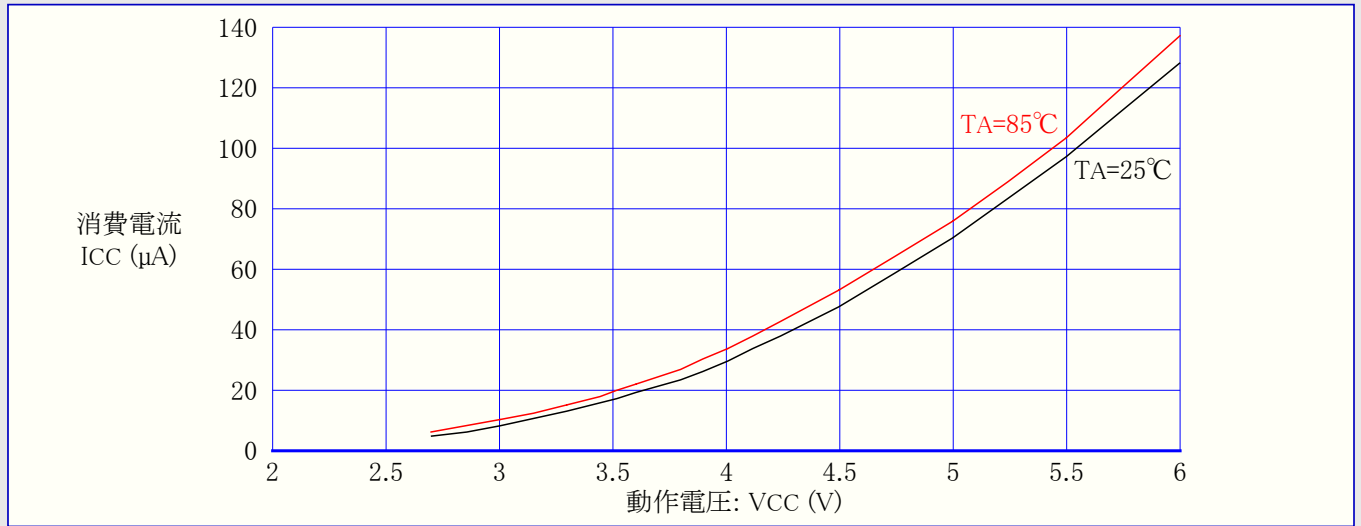


図75. アナログ比較器消費電流 対 動作電圧

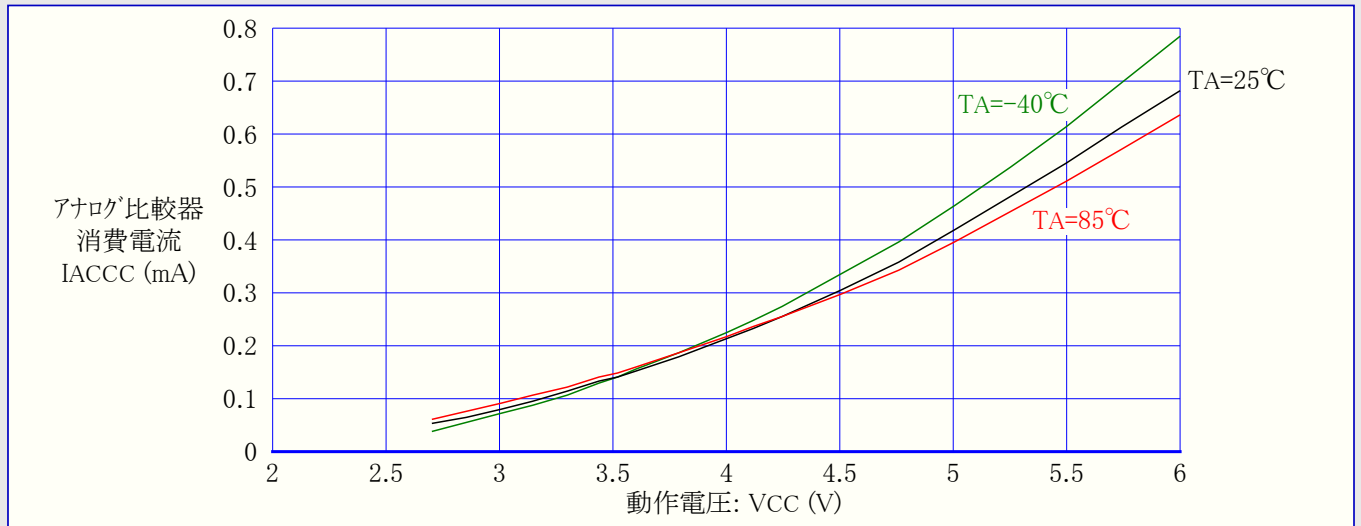
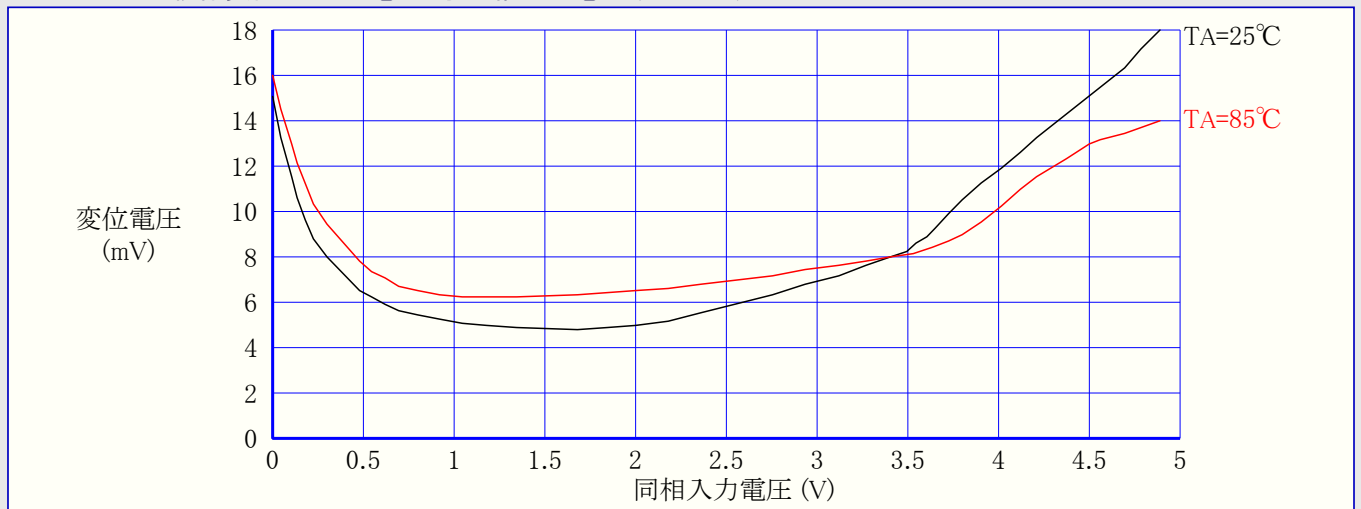
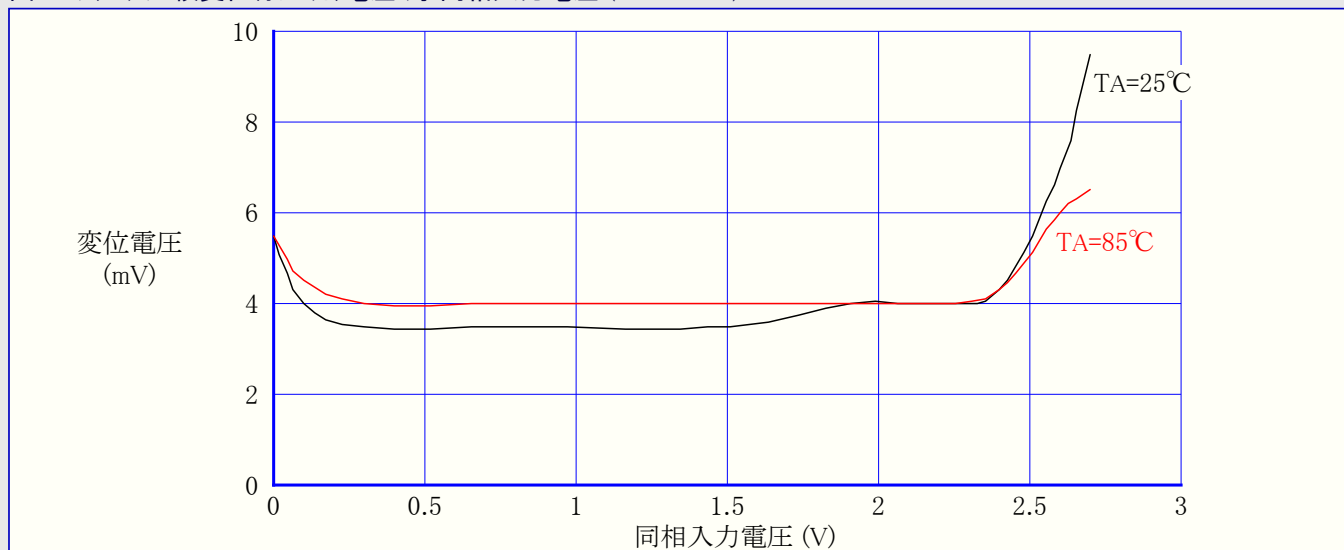


図76. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=5V)



注: 変位(オフセット)電圧は絶対値です。

図77. アナログ比較変位(オフセット)電圧 対 同相入力電圧 (VCC=2.7V)



注: 変位(オフセット)電圧は絶対値です。

図78. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25°C)

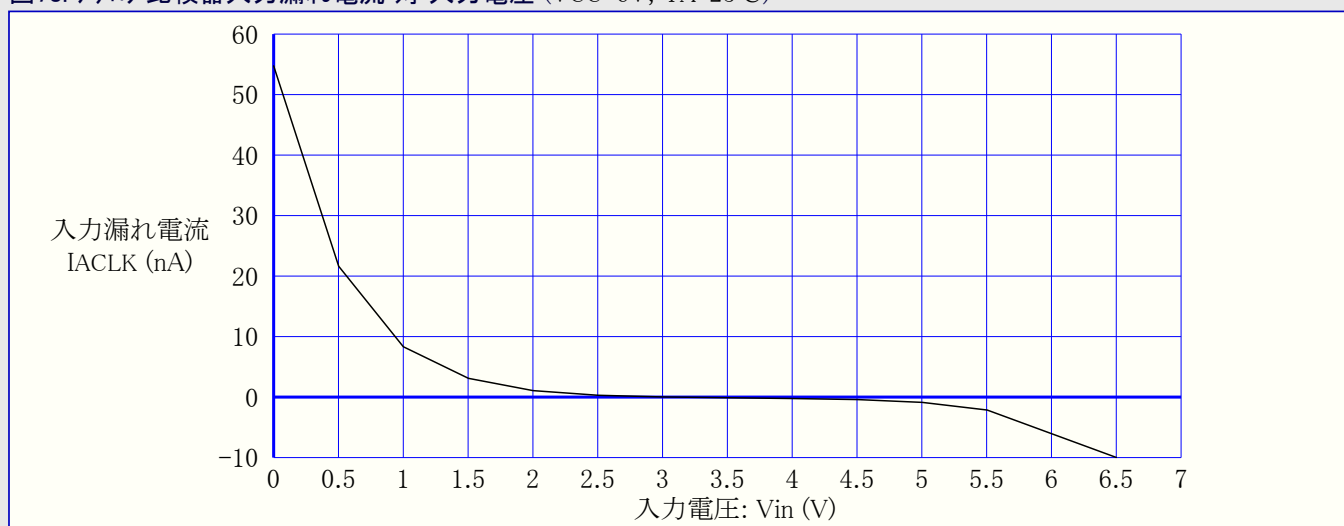


図79. ウォットツク用発振器 発振周波数 対 動作電圧

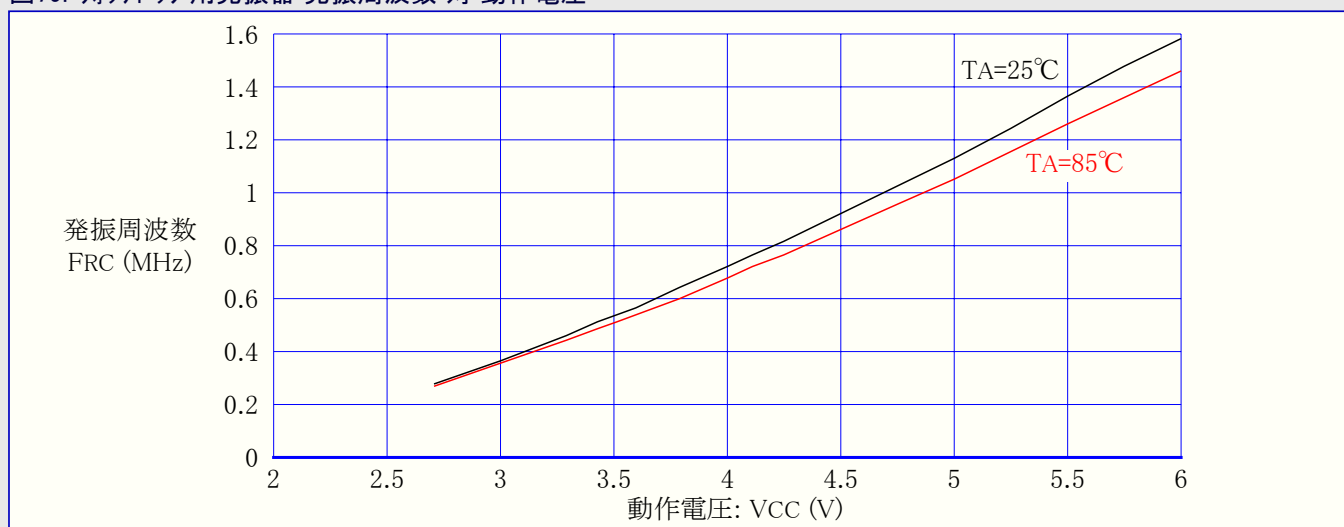
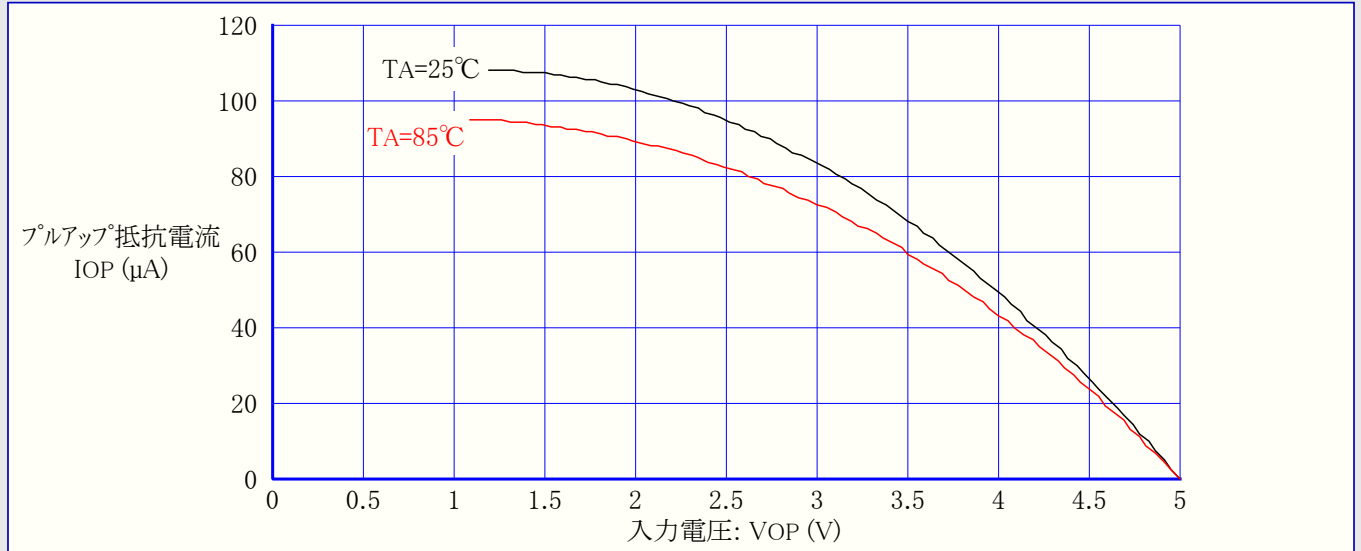
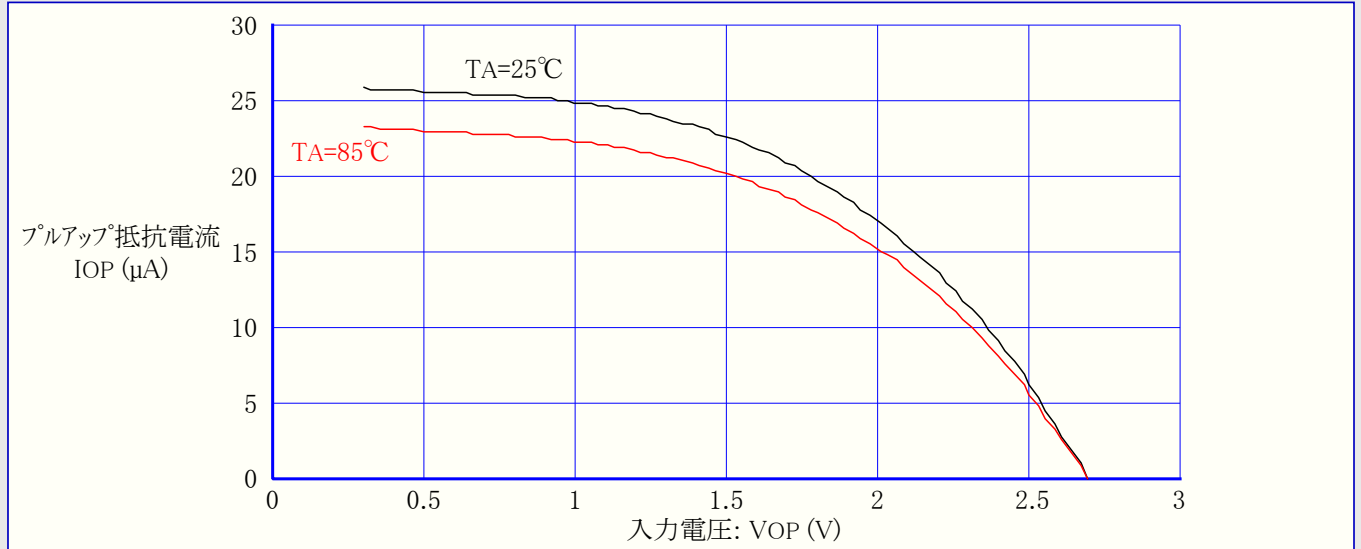


図80. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



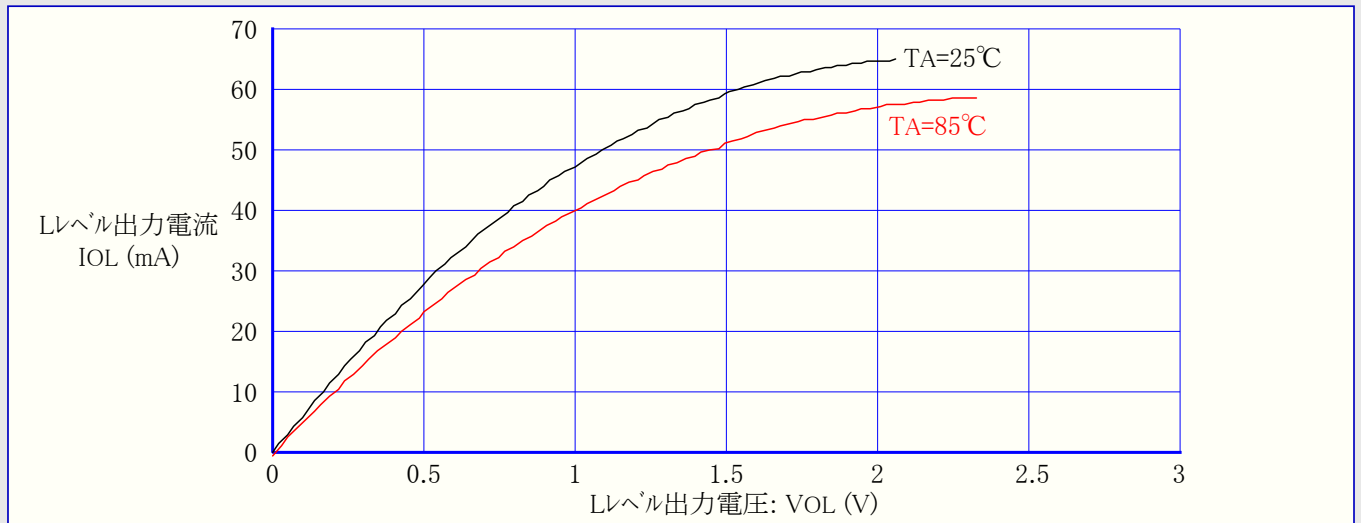
注: 測定は1ピン単位です。

図81. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



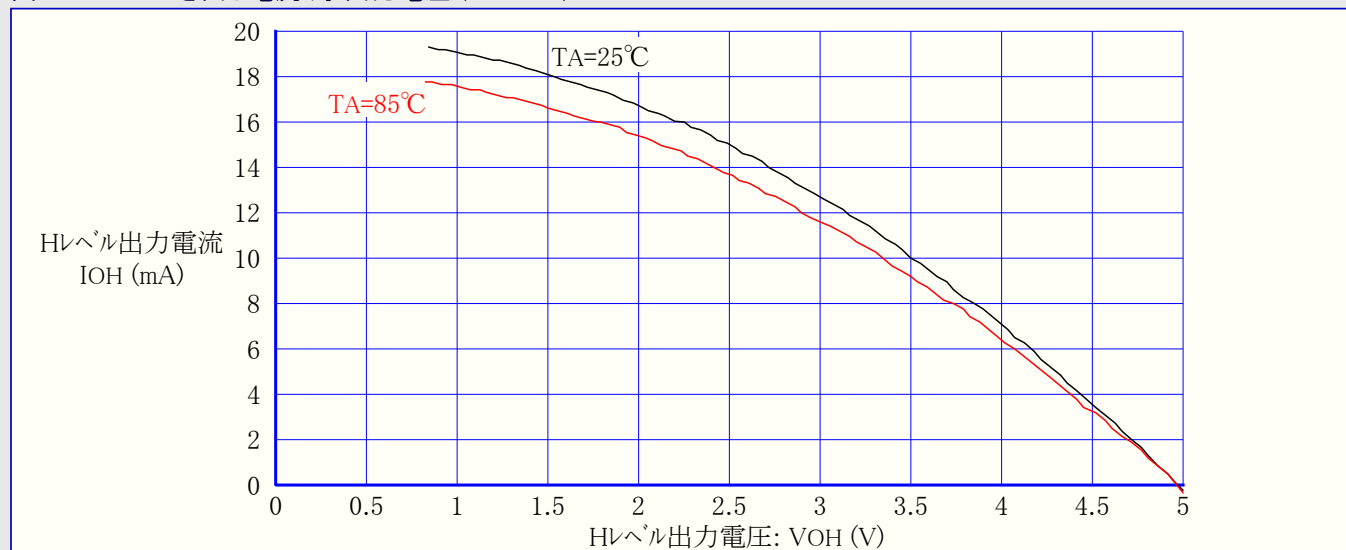
注: 測定は1ピン単位です。

図82. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



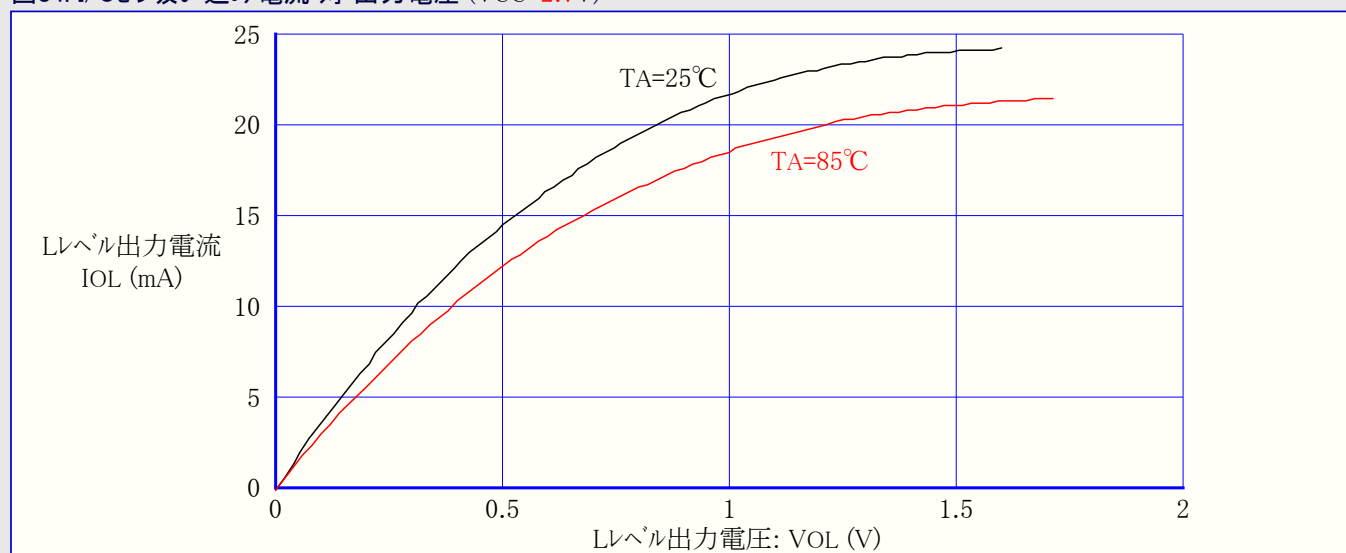
注: 測定は1ピン単位です。

図83. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



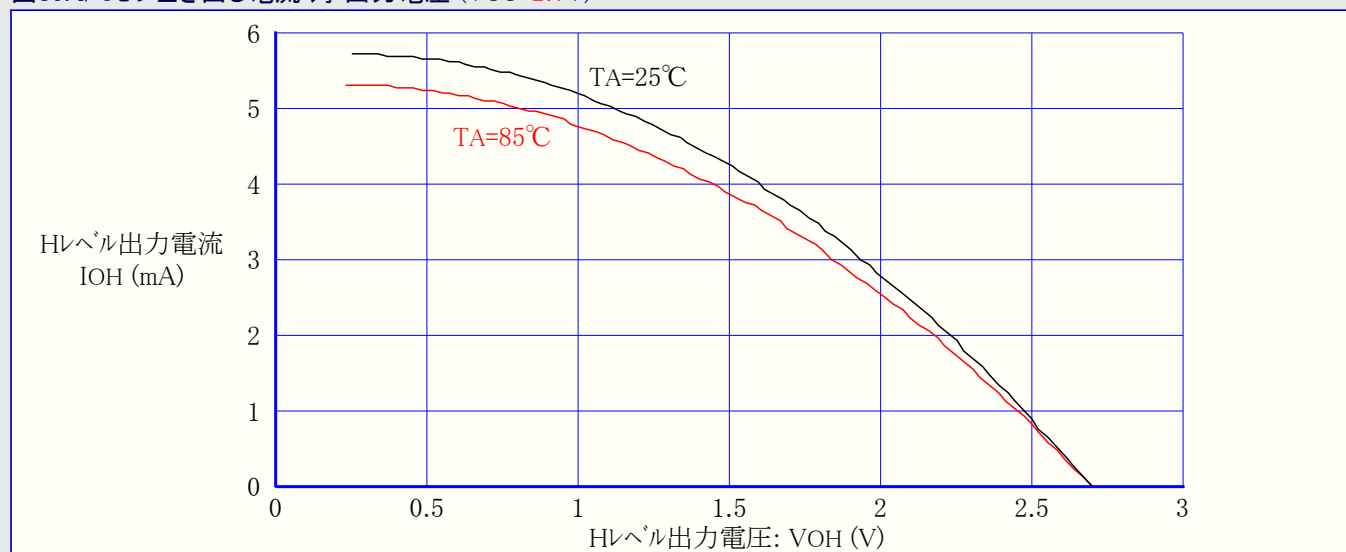
注: 測定は1ピン単位です。

図84. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図85. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図86. I/Oピン入力閾値電圧 対 動作電圧 (TA=25°C)

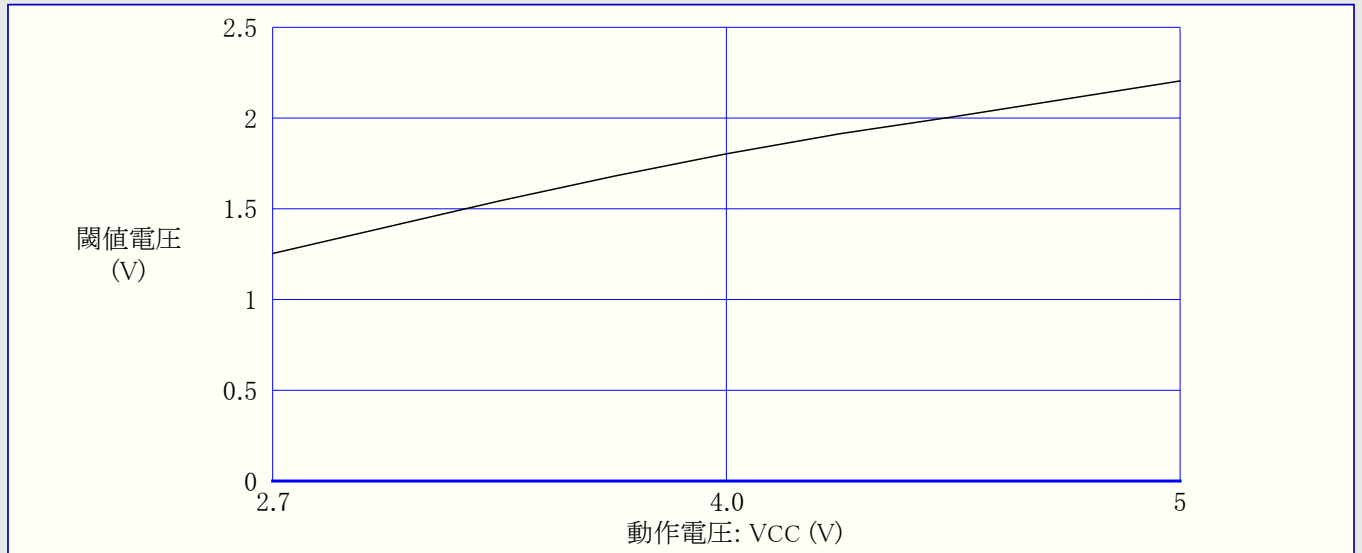
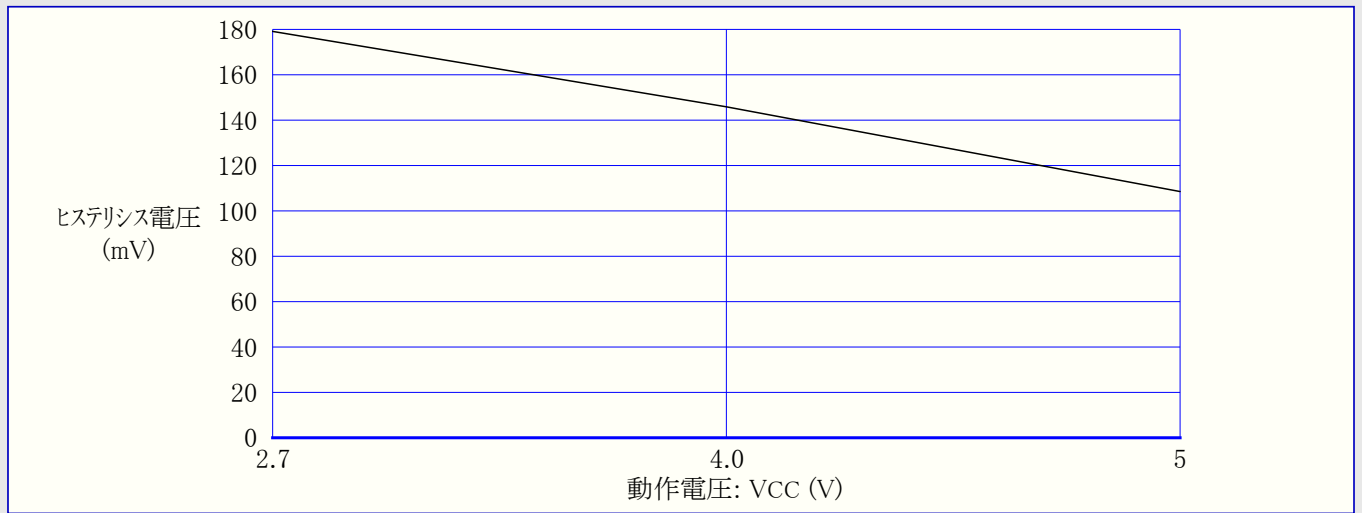


図87. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



(訳注) 原書の図85.～87.の順序が一般的でないため、本書では他と共通位置となるように入れ替えています。

レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	11	
\$3E (\$5E)	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8		
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0		
\$3C (\$5C)	予約										
\$3B (\$5B)	GIMSK	INT1	INT0	-	-	-	-	-	-	15	
\$3A (\$5A)	GIFR	INTF1	INTF0	-	-	-	-	-	-	15	
\$39 (\$59)	TIMSK	TOIE1	OCIE1A	OCIE1B	-	TICIE1	-	TOIE0	-	16	
\$38 (\$58)	TIFR	TOV1	OCF1A	OCF1B	-	ICF1	-	TOV0	-	16	
\$37 (\$57)	予約										
\$36 (\$56)	予約										
\$35 (\$55)	MCUCR	-	-	SE	SM	ISC11	ISC10	ISC01	ISC00	18	
\$34 (\$54)	予約										
\$33 (\$53)	TCCR0	-	-	-	-	-	CS02	CS01	CS00	21	
\$32 (\$52)	TCNT0	タイマ/カウンタ0								21	
\$31 (\$51)	予約										
\$30 (\$50)	予約										
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	-	-	PWM11	PWM10	23	
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	24	
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 上位バイト								25	
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 下位バイト									
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1 比較レジスタ上位バイト									
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1 比較レジスタ下位バイト								26	
\$29 (\$49)	OCR1BH	タイマ/カウンタ1 比較レジスタ上位バイト									
\$28 (\$48)	OCR1BL	タイマ/カウンタ1 比較レジスタ下位バイト									
\$27 (\$47)	予約										
\$26 (\$46)	予約										
\$25 (\$45)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト								26	
\$24 (\$44)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト									
\$23 (\$43)	予約										
\$22 (\$42)	予約										
\$21 (\$41)	WDTCR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	28	
\$20 (\$40)	予約										
\$1F (\$3F)	EEARH	-	-	-	-	-	-	-	EEAR8	29	
\$1E (\$3E)	EEARL	EEPROM アドレスレジスタ下位バイト (EEAR7~0)									
\$1D (\$3D)	EEDR	EEPROM データレジスタ									
\$1C (\$3C)	EECR	-	-	-	-	-	EEMWE	EEWE	EERE	29	
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	41	
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	41	
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	41	
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	43	
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	43	
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	43	
\$15 (\$35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	48	
\$14 (\$34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	48	
\$13 (\$33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	48	
\$12 (\$32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	50	
\$11 (\$31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	50	
\$10 (\$30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	50	
\$0F (\$2F)	SPDR	SPI データレジスタ								32	
\$0E (\$2E)	SPSR	SPIF	WCOL	-	-	-	-	-	-	33	
\$0D (\$2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	33	
\$0C (\$2C)	UDR	UART データレジスタ								36	
\$0B (\$2B)	USR	RXC	TXC	UDRE	FE	OR	-	-	-	36	
\$0A (\$2A)	UCR	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	37	
\$09 (\$29)	UBRR	UART ボーレートレジスタ								37	
\$08 (\$28)	ACSR	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	39	
\$01~\$07	予約										
\$00 (\$20)	予約										

注: ・ 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリ アドレスへは決して書くべきではありません。

- ・ いくつかの状態フラグは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00~\$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		レジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの $\geq$ で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの $\geq$ で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0 \sim 6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7 \sim 4) \leftrightarrow Rd(3 \sim 0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグ タイマ リセット	ウォッチドッグ タイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文符号	外囲器	動作範囲
4	2.7~6.0V	AT90S8515-4AC	44A	一般用 (0°C~70°C)
		AT90S8515-4JC	44J	
		AT90S8515-4PC	40P6	
		AT90S8515-4AI	44A	工業用 (-40°C~85°C)
		AT90S8515-4JI	44J	
		AT90S8515-4PI	40P6	
8	4.0~6.0V	AT90S8515-8AC	44A	一般用 (0°C~70°C)
		AT90S8515-8JC	44J	
		AT90S8515-8PC	40P6	
		AT90S8515-8AI	44A	工業用 (-40°C~85°C)
		AT90S8515-8JI	44J	
		AT90S8515-8PI	40P6	

注: FSTRTヒューズビットがプログラム(0)された製品については、AT90S8515A-XXXで注文してください。

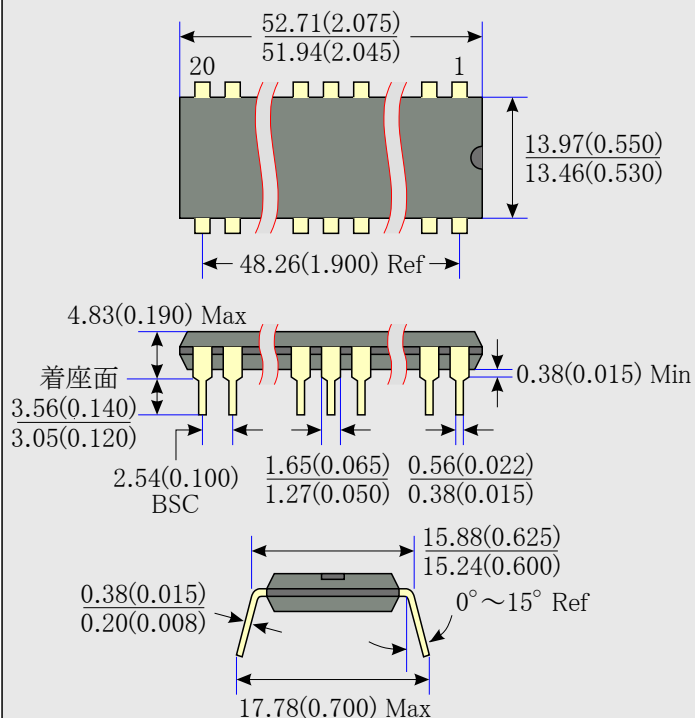
外囲器形式	
44A	44リード 1.0mm厚 プラスティック4方向平板外囲器 (TQFP)
44J	44リード プラスティック Jリード チップ キャリア (PLCC)
40P6	40ピン 600mil幅 プラスティック2列直線外囲器 (PDIP)

外圍器情報

40P6

40ピン 600mil幅 プラスチック2列直線外圍器 (PDIP)

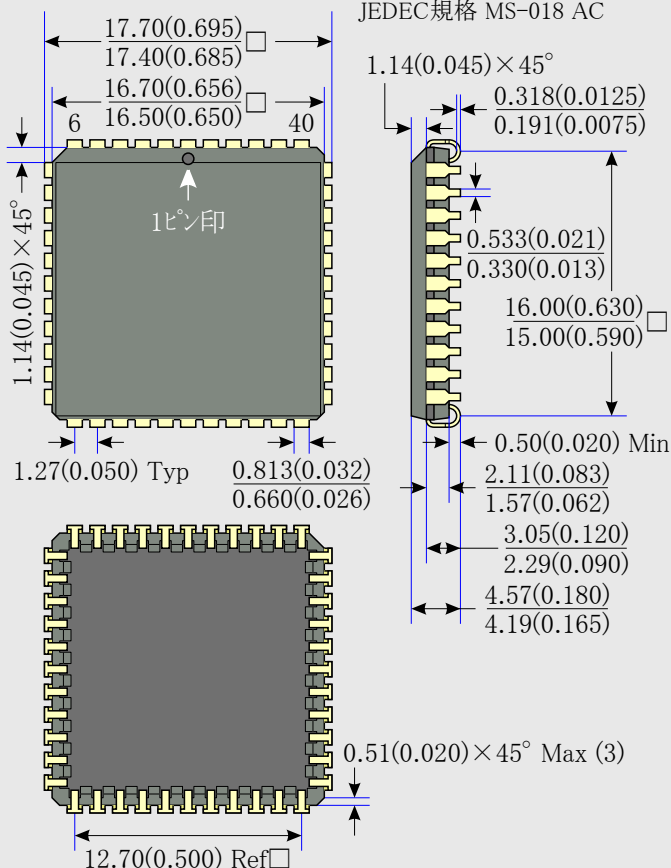
寸法: mm、()内はインチ
JEDEC規格 MS-011 AC



44J

44リード プラスチック Jリード チップ キャリア (PLCC)

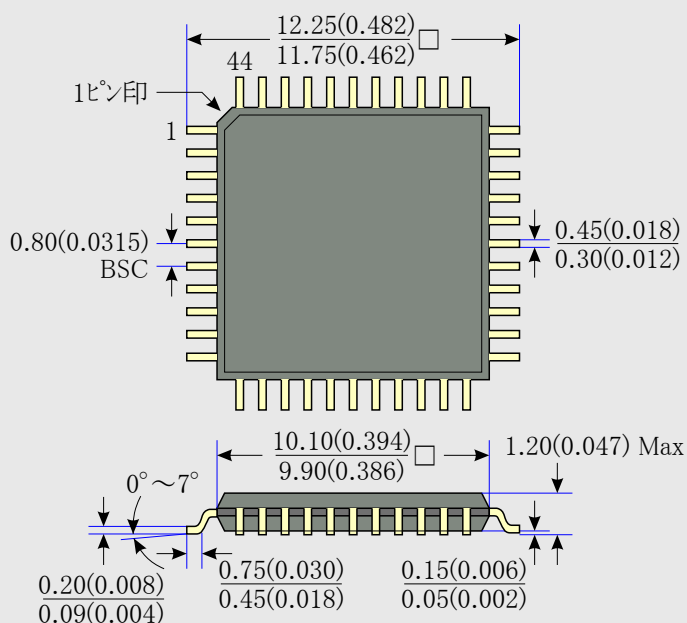
寸法: mm、()内はインチ
JEDEC規格 MS-018 AC



44A

44リード 0.8mmピッチ プラスチック4方向平板外圍器 (TQFP)

寸法: mm、()内はインチ
JEDEC規格 MS-026 ACB



障害情報

改訂B

(Rev. 1195E-09/01)

改訂C

(Rev. 2494A-09/01)

この章の改訂番号はAT90S8515デバイスの改訂版を参照してください。

• スキップ命令実行中の割り込み	B/C
• 供給電圧3.0V未満での直列プログラミング	B/C
• リセット後のSPI割り込み要求フラグが不定	B/C
• EEPROM書き込み中のリセット	B/C
• SPIの不正なバイト送信	B/C
• 高電圧書き換え時の施錠ビット消去	B
• クロック停止によるリセット状態の解除	B/C
• UART受信禁止時のRXD信号Lowレベルによる同期化異常	B/C
• COM1B1,0設定によるOC1Bピン切り離し異常	B/C
• EEPROM書き込み時のSTS命令異常	B/C
• 外部SRAMに対するLDS/STS命令の制限	B/C

1. スキップ命令実行中の割り込み (B/C)

スキップ(SBRS, SBRC, SBIS, SBIC, CPSE)命令が次の2語命令をスキップする場合、3クロック周期が必要です。このスキップ命令の最初または第2クロック中に割り込みが起きると、スタックに正しい戻りアドレスを保存せず、2語命令の第2語(ワート)アドレスを保存します。このため、割り込みからの復帰時に、この2語命令の第2語を実行します。AT90S8515には、LDS, STS, JMP, CALLの4つの2語命令が存在します。

注1. この問題が発生するのは、次の全条件が成り立った場合だけです。

- スキップ命令の次が2語命令。
- スキップ命令の条件一致で次の命令をスキップ。
- 割り込み許可で、1つ以上の割り込み要求が発生。
- スキップ命令の最初または第2クロックで割り込みが発生。

注2. これはLDSまたはSTS命令のオペランドのデータ空間アドレスが\$0400以上の場合にだけ問題を起こします。
(訳補) \$0400未満は未定義命令で、NOP命令と等価になり、実害を生じないためです。

対策/対処

アセンブリ言語プログラムでは、割り込み許可の場合、2語命令のスキップを避けてください。次のCコンパイラはこの順序を正しく操作します。

- IAR – Ver 1.40b以降
- Image Craft – 全版
- Codevision – Ver 1.0.0.5以降

2. 供給電圧3.0V未満での直列プログラミング (B/C)

供給電圧3.0V未満での直列プログラミングは失敗する可能性があります。

対策/対処

直列プログラミング中のVCCは3.0V以上に保ってください。

3. リセット後のSPI割り込み要求フラグが不定 (B/C)

リセット中にSCKピンが未接続などでSCKピンのレベル遷移が起こり、起動時のSPI割り込み要求フラグの値が不定となります。SPI割り込みを許可する前に、このフラグを解除(0)しないと、不要なSPI割り込みが実行されるかもしれません。

対策/対処

SPI割り込みを許可する前に、SPI割り込み要求フラグを解除(0)してください。

4. EEPROM書き込み中のリセット (B/C)

EEPROM書き込み中にリセットが有効にされると予期せぬ結果になります。EEPROM書き込み周期は通常に完了しますが、EEPROMアドレスレジスタは\$0000にリセットされます。この結果、EEPROMの書き込みアドレスとアドレス\$0000の両方が不正に成り得ます。

対策/対処

EEPROM書き込み中、リセットにしないことが保証できる場合を除き、保存用としてアドレス\$0000の使用を避けてください。

5. SPIの不正なバイト送信 (B/C)

SPIが**主装置動作**の場合、直前の転送が完了されるのと同じクロック端で新しいデータを書き込むと、古い(直前の)転送を再び開始します。

対策/対処

SPIへの書き込み時、初めに**送信可(送信完了)**まで待機し、その後に送信(レジスタ)へ(送信データ)バイトを書き込んでください。

6. 高電圧書き換え時の施錠ビット消去 (B)

いくつかのデバイスでは、**高電圧でのチップ消去**で**施錠ビット**が消去されません。この症状では、施錠ビットが設定(プログラム(0))されていた場合、再書き込みが不可能になります。

対策/対処

4.0V以下のVCCでチップ消去を行います。これで施錠が解除され、以降は何れのVCCでも再書き込みが可能になります。

7. クロック停止によるリセット状態の解除 (B/C)

クロック停止中に**外部リセット**または**ウォッチドッグリセット**が発生すると、外部クロックに関係なく、リセット遅延時間後に内部リセットが解除され、クロック再起動前にリセットが解除されます。内部リセットが有効な間に、外部クロックパルスが無かった場合、リセットはI/OをHi-Z状態に保ちます。しかし、クロック再起動前に内部リセットが解除されると、I/O部が解除されず、また、PC(プログラムカウンタ)も解除されません。これは外部クロック入力でクロックをゲートする構造のため、内部クロックが停止することによります。**パワーダウン動作**には、この問題はありません。

対策/対処

外部リセットが予測され得る如何なるときも、クロックが走行していることを確認してください。ウォッチドッグが使われる場合、外部クロックを決して止めてはなりません。

8. UART受信禁止時のRXD信号Lowレベルによる同期化異常 (B/C)

UARTが**禁止**されていても**開始ビットの検出と受信の開始**が行われます。これが起こると、UART受信許可後の最初のバイトが不正にされます。

対策/対処

起動時やUART禁止時にRXD信号がHighレベルであることを確認してください。外部RS-232レベル変換器は起動中、信号線をHighレベルに保ちます。

9. COM1B1,0設定によるOC1Bピン切り離し異常 (B/C)

データシートによれば、非PWM動作時の**タイマ/カウンタ1制御レジスタA(TCCR1A)**のCOM1B1,COM1B0=00時と、PWM動作時のCOM1B1,COM1B0=00または01時に、直接のタイマ/カウンタ1出力がOC1Bピンから切り離されることになっていますが、切り離されません。OC1Aに対しては、データシート記載どおりに標準出力として機能します。

対策/対処

OC1Bピンは汎用入出力ではなく出力専用ですので、Hi-Z状態にはできません。このピンの交互出力を停止するには、TCCR1AのPWM1,PWM0=00でPWM動作を禁止し、COM1A1,COM1A0を01(交互出力)以外に設定します。この場合、カウンタ部はPWM動作での上限値以上まで計数を継続していますので、**タイマ/カウンタ1制御レジスタB(TCCR1B)**のCS12,CS11,CS10に000を設定し、タイマ/カウンタ1を停止にします。

10. EEPROM書き込み時のSTS命令異常 (B/C)

STS命令をEEPROM書き込み開始(**EEPROM制御レジスタ(EECR)**の**EEPROM書き込み許可(EWE)**設定)に使うと、直後の命令が希望しない結果(**NOP**相当、但し**R0**を破壊)となります。

対策/対処

EEPROM書き込み開始には、**OUT**または**SBI**命令を使ってください。

11. 外部SRAMに対するLDS/STS命令の制限 (B/C)

外部SRAMに対する**LDS**命令の直後が**NOP**命令の場合、これらを実行すると、**LDS**命令でのレジスタを破壊します。同様に、外部SRAMに対する**STS**命令の直後が**NOP**命令の場合、これらを実行すると、**R0**を破壊します。

対策/対処

外部SRAMアクセスの**LDS**または**STS**命令の直後に、**NOP**命令を記述しないようにしてください。

目次

特徴	1	注文情報	78
ピン配置	1	外圍器情報	79
概要	2	障害情報	80
構成図	2		
ピン説明	3		
クロック発振器	4		
構造概要	4		
汎用レジスタ ファイル	5		
ALU (Arithmetic Logic Unit)	6		
実装書き換え可能なプログラム用フラッシュ メモリ	6		
データ用EEPROMメモリ	6		
内蔵SRAMと外部SRAM	6		
プログラム/データ空間に対するアドレス指定種別	7		
メモリ アクセスと命令実行タイミング	9		
I/Oレジスタ	10		
リセットと割り込みの扱い	12		
休止形態	19		
タイマ/カウンタ	20		
タイマ/カウンタ前置分周器	20		
8ビット タイマ/カウンタ0	20		
16ビット タイマ/カウンタ1	22		
ウォッチドッグ タイマ	28		
EEPROMアクセス	29		
EEPROMデータ化けの防止	30		
SPI (直列周辺インターフェース)	31		
SSピンの機能	32		
データ転送形式	32		
UART	34		
データ送信	34		
データ受信	35		
UART制御	36		
アナログ比較器	39		
外部SRAM(メモリ)インターフェース	40		
入出力ポート	41		
ポートA	41		
ポートB	43		
ポートC	48		
ポートD	50		
メモリプログラミング	56		
プログラム メモリとデータ メモリ用施錠ビット	56		
ヒューズ ビット	56		
識票バイト	56		
フラッシュ メモリとEEPROMのプログラミング	56		
並列プログラミング	57		
並列プログラミング特性	61		
直列プログラミング	62		
直列プログラミング特性	63		
電気的特性	64		
絶対最大定格	64		
DC特性	64		
外部クロック特性	65		
外部メモリ特性	66		
代表特性	68		
レジスタ要約	75		
命令要約	76		



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2001.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2022.

本データシートはAtmelのAT90S8515英語版データシート(Rev.0841G-09/01)の翻訳日本語版で、AT90S8515 Rev. B障害情報(Rev.1195E-09/01)とRev. C障害情報(Rev.2494A-09/01)の内容も含まれています。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。捕獲1は捕獲と省略されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。