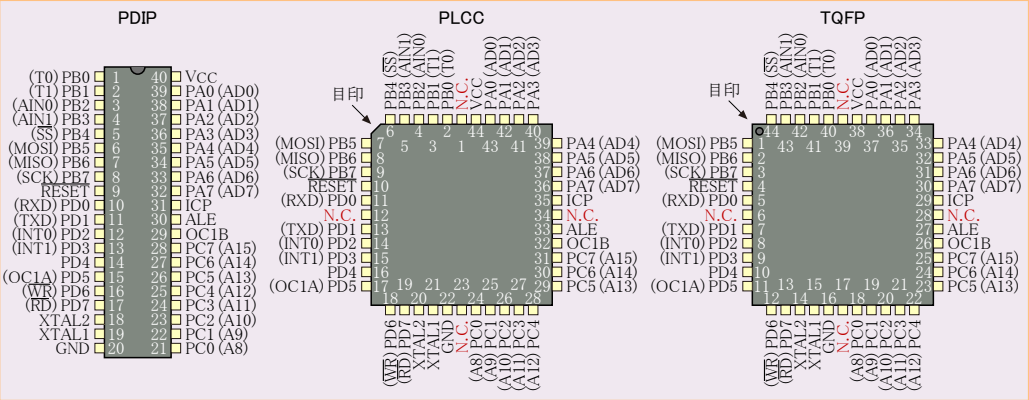
本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

特徴

- ■ AVR® RISC構造
- ■ AVR –高性能、低消費RISC構造
  - ・強力な118命令(多くは1周期で実行)
  - ・32個の1バイト長汎用レジスタ
  - ・8MHz時、8MIPSに達する高速動作
- ■ 不揮発性プログラム用メモリとデータ用メモリ
  - ・実装書き換え(ISP: In-System Program)可能な8Kバイト(4K語)フラッシュ メモリ内蔵
    1000回の書き換えが可能
  - ・512バイトのSRAM
  - ・実装書き換え(ISP)可能な512バイトのEEPROM
    100,000回の書き換えが可能
  - ・64Kバイトまでの任意外部SRAM(メモリ)空間
  - ・ソフトウェア保護用の設定可能な施錠機能
- ■ 内蔵周辺機能
  - ・分離された前置分周器付き1つの8ビット タイマ/カウンタ
  - ・分離された前置分周器付き1つの16ビット タイマ/カウンタ
    比較、捕獲、2つの8,9または10ビットPWM
  - ・アナログ比較器
  - ・設定可能な専用発振器付きウォッチドッグ タイマ
  - ・設定可能なUART
  - ・主装置/従装置動作SPI直列インターフェース
- ■ 特殊マイクロ コントローラ機能
  - ・アイドルとパワーダウンの2つの低消費動作
  - ・外部及び内部の割り込み
- ■ 電気的特長
  - ・高速、低消費なCMOS製法
  - ・完全なスタティック動作
- ■ 消費電流 (条件: 4MHz,3V,25℃)
  - ・活動動作 ・・・・・・・・・ 3.0mA
  - ・アイドル動作 ・・・・・・・・ 1.0mA
  - ・パワーダウン動作 ・・・・ 1μA未満
- ■ I/Oと外囲器
  - ・32ビットの設定可能なI/O
  - ・40ピンPDIP、44リードPLCC,TQFP
- ■ 動作電圧
  - ・2.7～6.0V (AT90S8515-4)
  - ・4.0～6.0V (AT90S8515-8)
- ■ 動作速度
  - ・0～4MHz (AT90S8515-4)
  - ・0～8MHz (AT90S8515-8)

ピン配置



8ビット AVR®
マイクロ コントローラ
実装書き換え可能な
8Kバイト
フラッシュ メモリ内蔵

AT90S8515

本製品での新規設計は推奨されません。
ATmega8515をお使いください。

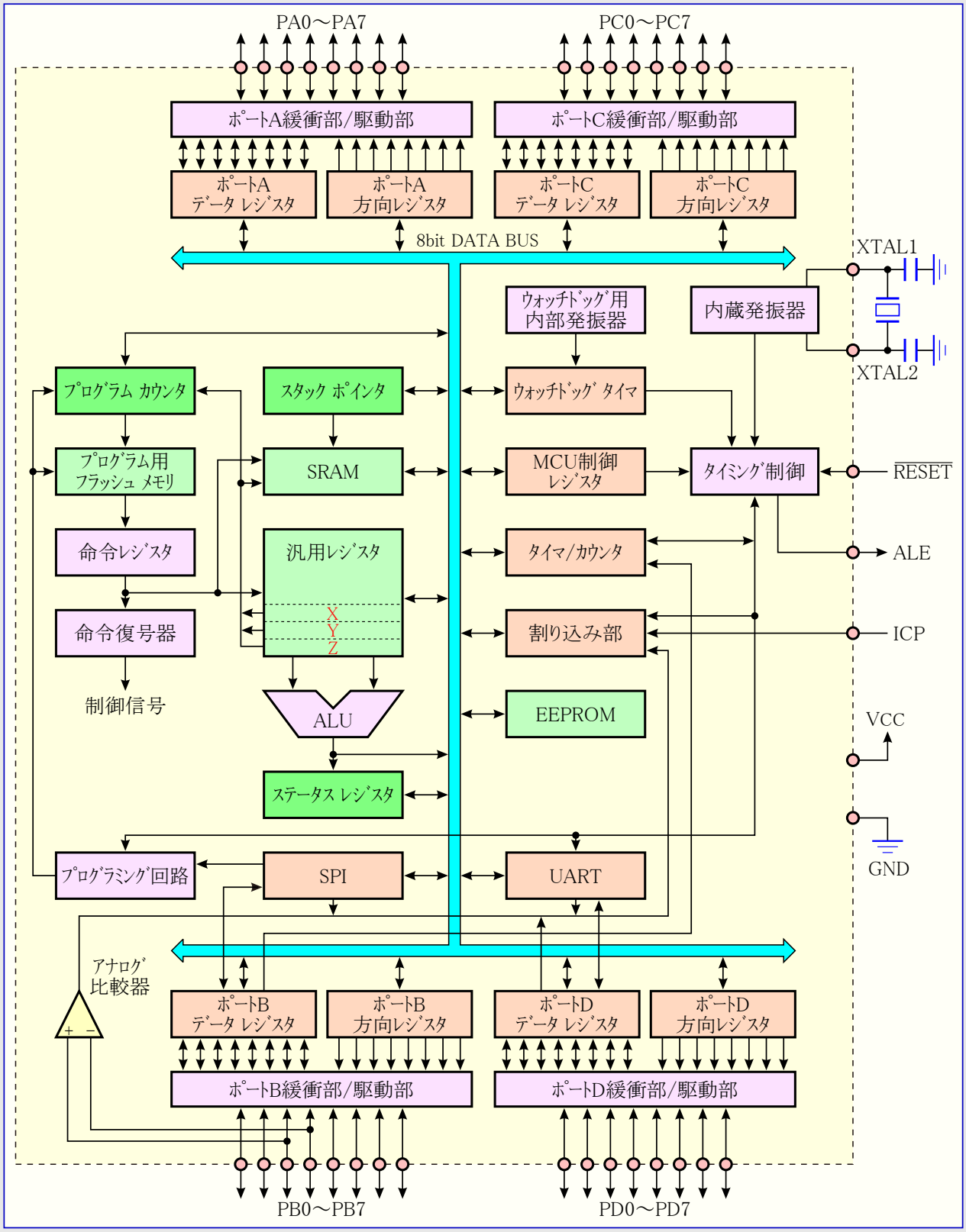
Rev. 0841G-09/01, 0841GJ18-06/21

概要

AT90S8515はAVR RISC構造の低消費CMOS 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。1周期で実行する強力な命令はMHzあたり1MIPSに達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用ﾚｼﾞｽﾀと豊富な命令群を兼ね備えます。32個の全ﾚｼﾞｽﾀはALU(Arithmetic Logic Unit)に直結され、ﾚｼﾞｽﾀ間命令は1ｸﾛｯｸ周期で実行されます。AVR構造は現状のCISC型ﾏｲｸﾛ ｺﾝﾄﾛｰﾗに対して最大10倍の単位処理量向上効果があります。

図1. AT90S8515構成図



AT90S8515は、8Kﾊﾞｲﾄの実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘ、512ﾊﾞｲﾄのEEPROM、512ﾊﾞｲﾄのSRAM、32ﾋﾞｯﾄの汎用入出力、32個の汎用ﾚｼﾞｽﾀ、比較動作を含む柔軟なﾀｲﾏ/ｶｳﾝﾀ、内部及び外部割り込み、設定変更可能な直列UART、設定変更可能な内部発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、SPI直列ﾎﾟｰﾄ、ｿﾌﾄｳｪｱで選択できる2つの低消費動作機能を提供します。ｱｲﾄﾞﾙ動作では動作を停止しますが、SRAM、ﾀｲﾏ/ｶｳﾝﾀ、SPIﾎﾟｰﾄ、割り込み機能は有効で、動作を継続します。ﾊﾟﾜｰﾀﾞｳﾝ動作ではﾚｼﾞｽﾀの内容は保護されますが、発振器が停止するため、以降のﾊｰﾄﾞｳｪｱ ﾘｾｯﾄか外部割り込みまで他の全機能を無効にします。

本ﾃﾞﾊﾞｲｽはAtmelの高密度不揮発性ﾒﾓﾘ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なﾌﾗｯｼｭ ﾒﾓﾘはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘに使え、規定の不揮発性ﾒﾓﾘ書き込み器かSPI直列ｲﾝﾀｰﾌｪｰｽ経由によって再書き込みができます。ﾓﾉﾘｼｯｸ ﾁｯﾌﾟ上の実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘと拡張された8ﾋﾞｯﾄRISC型CPUの組み合わせによるAT90S8515は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。

AT90S8515 AVRはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾃﾞﾊﾞｯｶﾞ、ｼﾐｭﾚｰﾀ、ｲﾝｻｰｷｯﾄ ｴﾐｭｰﾚｰﾀ、評価ｷｯﾄを含む完全なﾌﾟﾛｸﾞﾗﾑ及びｼｽﾃﾑ開発ﾂｰﾙで支援されます。

ﾋﾟﾝ概要

VCC

電源ﾋﾟﾝ。

GND

接地ﾋﾟﾝ。

PA7～PA0 (ﾎﾟｰﾄA)

ﾎﾟｰﾄAは8ﾋﾞｯﾄの双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄ ﾋﾟﾝは(ﾋﾞｯﾄ毎に選択される)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗を提供できます。ﾎﾟｰﾄA出力緩衝部は20mAの吸い込み電流を流せ、LED表示器を直接駆動できます。PA0～7ﾋﾟﾝが入力として使われ、外部的にLowへ引き込まれるとき、内蔵ﾌﾟﾙｱｯﾌﾟ抵抗が有効の場合、吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になるとき、ｸﾛｯｸが動作していなくても、ﾎﾟｰﾄAﾋﾟﾝはHi-Zになります。

外部SRAM使用時、ﾎﾟｰﾄAは切り替え使用されるｱﾄﾞﾚｽ/ﾃﾞｰﾀの入出力として取り扱います。

PB7～PB0 (ﾎﾟｰﾄB)

ﾎﾟｰﾄBは内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄBの出力緩衝部は20mAの吸い込み電流を流せます。入力のとき、ﾌﾟﾙｱｯﾌﾟ抵抗が有効の場合、外部的にLowへ引き込まれたﾎﾟｰﾄBﾋﾟﾝには吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になるとき、ｸﾛｯｸが動作していなくても、ﾎﾟｰﾄBﾋﾟﾝはHi-Zになります。

ﾎﾟｰﾄBは44頁で示されるAT90S8515の各特殊機能としても扱います。

PC7～PC0 (ﾎﾟｰﾄC)

ﾎﾟｰﾄCは内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付きの8ﾋﾞｯﾄの双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄCの出力緩衝部は20mAの吸い込み電流を流せます。入力のとき、ﾌﾟﾙｱｯﾌﾟ抵抗が有効の場合、外部的にLowへ引き込まれたﾎﾟｰﾄCﾋﾟﾝには吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になるとき、ｸﾛｯｸが動作していなくても、ﾎﾟｰﾄCﾋﾟﾝはHi-Zになります。

外部SRAM使用時、ﾎﾟｰﾄCはｱﾄﾞﾚｽ出力としても扱います。

PD7～PD0 (ﾎﾟｰﾄD)

ﾎﾟｰﾄDは内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付きの8ﾋﾞｯﾄの双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄDの出力緩衝部は20mAの吸い込み電流を流せます。入力のとき、ﾌﾟﾙｱｯﾌﾟ抵抗が有効の場合、外部的にLowへ引き込まれたﾎﾟｰﾄDﾋﾟﾝには吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になるとき、ｸﾛｯｸが動作していなくても、ﾎﾟｰﾄDﾋﾟﾝはHi-Zになります。

ﾎﾟｰﾄDは51頁で示されるAT90S8515の各特殊機能としても扱います。

$\overline{\text{RESET}}$

ﾘｾｯﾄ入力。このﾋﾟﾝの50nsより長いLowﾚﾍﾞﾙは、例えｸﾛｯｸが動作していなくてもﾘｾｯﾄを発生します。短すぎるﾊﾟﾙｽはﾘｾｯﾄの生成が保証されません。

XTAL1

発振器用反転増幅器の入力、内部ｸﾛｯｸ動作回路の入力。

XTAL2

発振器用反転増幅器の出力。

ICP

ICPはﾀｲﾏ/ｶｳﾝﾀ1捕獲機能用(起動)入力ﾋﾟﾝです。

OC1B

OC1Bはﾀｲﾏ/ｶｳﾝﾀ1比較B出力機能用出力ﾋﾟﾝです。

ALE

ALEは外部メモリが許可されるときに使われるアドレス ラッチ許可信号です。このALEストローブは第1アクセス周期(High)間にアドレス ラッチ内へ下位側アドレス(8ビット)をラッチするために使われ、第2アクセス周期(Low)間、AD7～0ピンはデータ用に使われます。

クロック発振器

クリスタル用発振器

XTAL1とXTAL2は、**図2.**に示される内蔵発振器として使える反転増幅器の各々入力と出力です。クリスタル発振子、セラミック振動子のどちらでも使えます。外部クロック信号でデバイスを駆動するには、**図3.**で示されるようにXTAL1が駆動され、XTAL2は未接続のままにすべきです。

図2. 発振子接続図

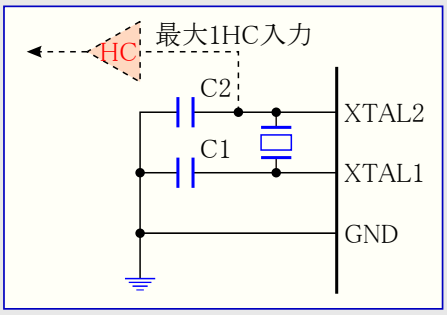
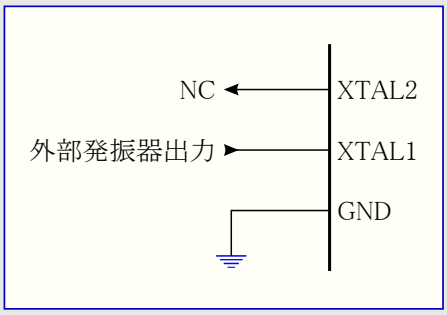


図3. 外部クロック接続図



注: 内蔵発振器の出力で外部デバイスを駆動する場合、
図で示されるようにHC緩衝器が接続されるべきです。

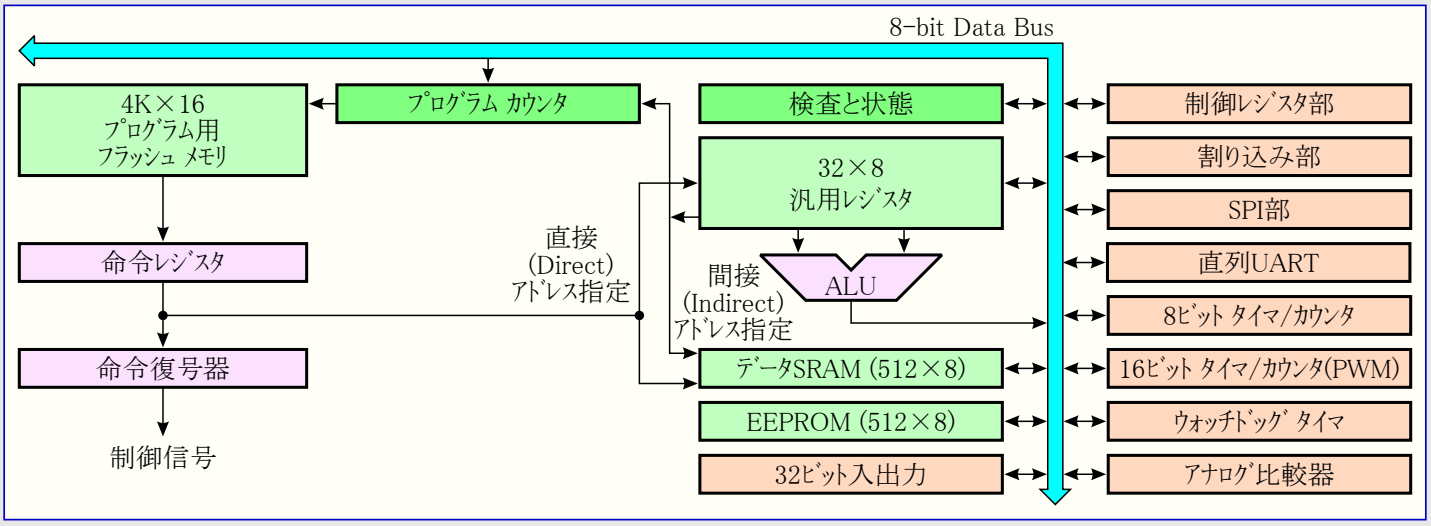
構造概要

高速レジスタ ファイルの概念は1クロック周期アクセス時間の32個の8ビット長汎用レジスタを含みます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタ ファイルから出力され、命令が実行され、その結果がレジスタ ファイルに書き戻されます。

32個中の6つのレジスタはデータ空間についてアドレス計算が効率的に行える、3つの16ビット長間接アドレス ポインタとして使えます。3つのアドレス ポインタの1つは定数表参照用アドレス ポインタとしても使われます。これらの付加機能レジスタは16ビット長のXレジスタ、Yレジスタ、Zレジスタです。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。**図4.**はAT90S8515 AVR RISCマイクロ コントローラの構造を示します。

図4. AT90S8515 AVR RISC構造



付加的なレジスタ操作として、通常のメモリ アドレス指定をレジスタ ファイルにも使えます。実際にはレジスタ ファイルがデータ空間の最下位32バイト($00～$1F)に割り当てられ、通常のメモリ位置としてのアクセスができることにより行えます。

I/Oメモリ空間は、制御レジスタ、タイマ/カウンタ、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタ ファイルに後続するデータ空間位置$20～$5Fとしてアクセスできます。

AVRのメモリとバスはプログラム用とデータ用に各々分離されたハーバード構造で構成されています。プログラム メモリは2段のパイプ ラインでアクセスされます。1命令の実行中に、次の命令をプログラム メモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラム メモリは実装書き換え可能なフラッシュ メモリです。

プログラム カウンタ(PC)相対の無条件分岐(RJMP)命令と呼び出し(RCALL)命令で4Kアドレス空間全てがアクセスされます。AVRの多くの命令は16ビット1語の形式です。全てのプログラム メモリのアドレスに16または32ビット命令を配置できます。

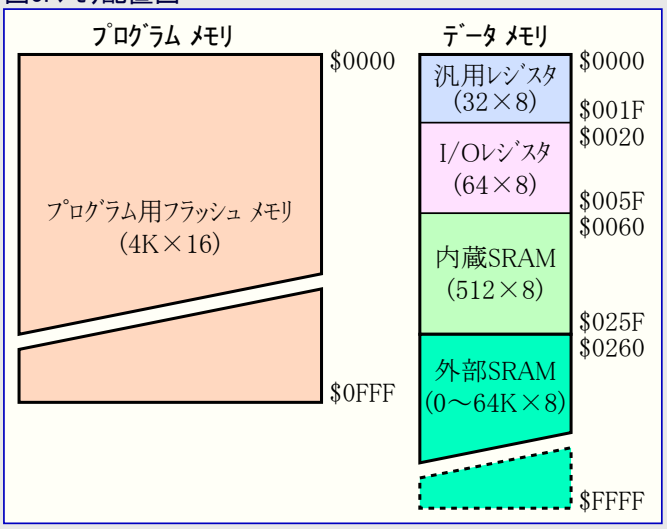
割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラム カウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAMに配置され、スタック容量はSRAM容量とSRAM使用量でのみ制限されます。プログラムではリセット時の初期化ルーチンで(サブルーチンや割り込みが実行される前に)、スタック ポインタ(SP)を初期化しなければなりません。16ビットのSPはI/O空間にあり、読み書き可能です。

512バイトのデータSRAMとレジスタ ファイルやI/Oレジスタは AVR構造で支援される5つの異なるアドレス指定種別で容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタとステータス レジスタ(SREG)の全割り込み許可(I)ビットがあります。全ての割り込み要因はプログラム メモリの先頭に割り込みベクタ表として、個別の割り込みベクタがあります。各割り込みは、この割り込みベクタ表の位置に従った優先順です。下位側割り込みベクタ アドレスが高い優先順位です。

図5. メモリ配置図



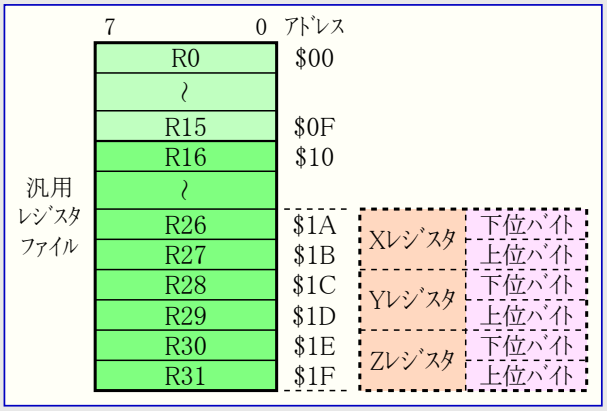
汎用レジスタ ファイル

図6.は32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令はレジスタ直接指定ができ、1周期でアクセスします。SBCI,SUBI,CPI,ANDI,ORIの5つの算術、論理定数演算命令と、定数をレジスタに設定するLDI命令だけは例外です。これらの命令はレジスタ ファイル後半のR16～R31に対してだけ適用されます。通常のSBC,SUB,CP,AND,ORや他の全てのレジスタ間、単一レジスタ操作命令はレジスタ ファイルの全レジスタに適用されます。

図6.で示されるように、各レジスタはデータ メモリ領域の先頭からの32アドレスに配置されています。レジスタ ファイルは物理的にSRAMのような配置構成ではなく、この特別な構成のため、X,Y,Zレジスタをインデックスとする任意のレジスタ指定のような、非常に柔軟なアクセスができます。

図6. AVR CPU 汎用レジスタ構成図

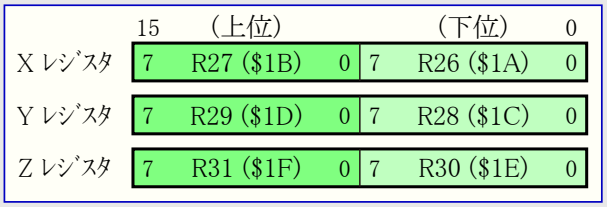


Xレジスタ, Yレジスタ, Zレジスタ

レジスタR26～R31には通常の汎用用途以外にいくつかの付加機能があります。これらのレジスタはデータ空間の間接アドレス指定ポインタにもなります。この3つの間接アドレス用レジスタX,Y,Zは図7.で定義されます。

これらのアドレス レジスタは定数変位付き、自動増加/減少付きのアドレス指定が行えます(これらの概要は個別命令を参照してください)。

図7. X,Y,Zレジスタ構成図



ALU (Arithmetic Logic Unit)

高性能なAVRのALUは、32個全ての汎用ﾚｼﾞｽﾀに直接接続され、動作します。ﾚｼﾞｽﾀ ﾌｧｲﾙ内のﾚｼﾞｽﾀ間ALU操作は、1ｸﾛｯｸ周期内で実行されます。ALU操作は、算術演算、論理演算、ﾋﾞｯﾄ操作の3つの主な種類に大別されます。

実装書き換え(ISP: In-System Program)可能なﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ

AT90S8515にはﾌﾟﾛｸﾞﾗﾑ用に実装書き換え可能な8Kﾊﾞｲﾄのﾌﾗｯｼｭ ﾒﾓﾘが内蔵されています。全ての命令が16または32ﾋﾞｯﾄ語のため、ﾌﾗｯｼｭ ﾒﾓﾘは4K×16ﾋﾞｯﾄとして構成されています。ﾌﾗｯｼｭ ﾒﾓﾘは少なくても1000回再書き込みの耐久性があります。AT90S8515のﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)は12ﾋﾞｯﾄで、ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の4096ｱﾄﾞﾚｽを指定します。

ﾌﾗｯｼｭ ﾒﾓﾘ書き込みの詳細説明については56頁を参照してください。

各ｱﾄﾞﾚｽ指定種別については7頁を参照してください。

ﾃﾞｰﾀ用EEPROMﾒﾓﾘ

AT90S8515には512ﾊﾞｲﾄのﾃﾞｰﾀ用EEPROMがあります。これは1ﾊﾞｲﾄ単位で読み書きできる独立ﾃﾞｰﾀ空間として構成されます。EEPROMは少なくても100,000回書き換えの耐久性があります。EEPROMとCPU間のｱｸｾｽは、29頁のEEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ、EEPROMﾃﾞｰﾀ ﾚｼﾞｽﾀ、EEPROM制御ﾚｼﾞｽﾀで詳細に説明されます。

SPI書き込み(直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ)の詳細説明については62頁を参照してください。

内蔵SRAMと外部SRAM

図8.はAT90S8515のﾃﾞｰﾀ ﾒﾓﾘ構成を示します。

下位側608のﾃﾞｰﾀ ﾒﾓﾘ位置は汎用ﾚｼﾞｽﾀ ﾌｧｲﾙ、I/Oﾚｼﾞｽﾀ、ﾃﾞｰﾀ用内蔵SRAMを指定します。最初の96位置はﾚｼﾞｽﾀ ﾌｧｲﾙとI/Oﾚｼﾞｽﾀ、次の512位置がﾃﾞｰﾀ用内蔵SRAMを指定します。任意の外部ﾃﾞｰﾀ用SRAMが同じSRAMﾒﾓﾘ空間内に配置できます。このSRAMはSRAM容量に依存し、64K-1までの内蔵SRAMに続く位置を占有します。

ｱﾄﾞﾚｽが内蔵ﾃﾞｰﾀSRAMを越えるﾃﾞｰﾀ ﾒﾓﾘ空間をｱｸｾｽするとき、外部ﾃﾞｰﾀSRAMは内蔵ﾃﾞｰﾀSRAMのｱｸｾｽ時と同じ命令を使ってｱｸｾｽされます。内部ﾃﾞｰﾀ空間がｱｸｾｽされるとき、読み書きｽﾄﾛｰﾌﾞ ﾋﾟﾝ($\overline{RD}$と$\overline{WR}$)は、そのｱｸｾｽ周期中全てで無効(High)です。外部SRAM動作はMCU制御ﾚｼﾞｽﾀ(MCUCR)の外部SRAM許可(SRE)ﾋﾞｯﾄの設定(1)によって許可されます。詳細については18頁を参照してください。

外部SRAMのｱｸｾｽは内蔵SRAMのｱｸｾｽに比べてﾊﾞｲﾄ毎に1つの付加ｸﾛｯｸ周期を必要とします。これはLD,ST,LDS,STS,PUSH,POP命令が1つの付加ｸﾛｯｸ周期を必要とすることを意味します。ｽﾀｯｸが外部SRAMに配置されると、割り込み、ｻﾌﾞﾙｰﾁﾝ呼び出し、その復帰は2ﾊﾞｲﾄのﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀがﾌﾟｯｼｭ/ﾎﾟｯﾌﾟされるため、2ｸﾛｯｸ周期の追加が必要になります。外部SRAMｲﾝﾀｰﾌｪｰｽが待ち状態付きで使われると、ﾊﾞｲﾄ毎に2つの付加ｸﾛｯｸ周期が費やされます。これは次の影響があります。ﾃﾞｰﾀ転送命令は2つの追加ｸﾛｯｸ周期が必要になり、然るに、割り込み、ｻﾌﾞﾙｰﾁﾝ呼び出し、その復帰は命令一式手引書で示されるより4ｸﾛｯｸ周期多く必要です。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つのｱﾄﾞﾚｽ指定種別が、ﾃﾞｰﾀ ﾒﾓﾘ空間を網羅します。ﾚｼﾞｽﾀ ﾌｧｲﾙ内のﾚｼﾞｽﾀR26～R31が間接ｱﾄﾞﾚｽ指定時のﾎﾟｲﾝﾀ ﾚｼﾞｽﾀです。

直接ｱﾄﾞﾚｽ指定は全てのﾃﾞｰﾀ ｱﾄﾞﾚｽ空間に届きます。

変位付き間接ｱﾄﾞﾚｽ指定はYまたはZﾚｼﾞｽﾀで与えられる基準ｱﾄﾞﾚｽから届く63ｱﾄﾞﾚｽ位置が特徴です。

図8. ﾃﾞｰﾀ空間とSRAMの配置

		ｱﾄﾞﾚｽ
ﾚｼﾞｽﾀ ﾌｧｲﾙ	R0	$0000
	R1	$0001
	~	
	R30	$001E
	R31	$001F
I/O ﾚｼﾞｽﾀ (赤字はI/O ｱﾄﾞﾚｽ)	$00	$0020
	$01	$0021
	~	
	$3E	$005E
	$3F	$005F
内蔵 SRAM	$0060	$0060
	$0061	$0061
	~	
	$025E	$025E
	$025F	$025F
外部 SRAM	$0260	$0260
	$0261	$0261
	~	
	$FFFE	$FFFE
	$FFFF	$FFFF

事前減少付き間接、事後増加付き間接ｱﾄﾞﾚｽ指定を使う時はｱﾄﾞﾚｽ ﾚｼﾞｽﾀ X,YまたはZが使われ、自動的に減少または増加されます。

AT90S8515の32個の汎用ﾚｼﾞｽﾀ、64個のI/Oﾚｼﾞｽﾀ、512ﾊﾞｲﾄのﾃﾞｰﾀ用内蔵SRAM、任意のﾃﾞｰﾀ用外部SRAMの64Kﾊﾞｲﾄは、これら全てのｱﾄﾞﾚｽ指定種別を通して、全て直接的にｱｸｾｽ可能です。

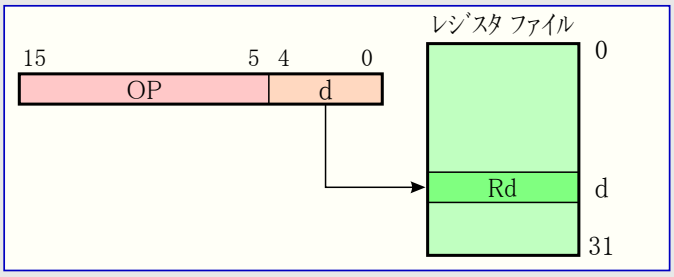
各ｱﾄﾞﾚｽ指定種別の詳細な説明については次章を参照してください。

ﾌﾟﾛｸﾞﾗﾑ及びﾃﾞｰﾀ空間に対するｱﾄﾞﾚｽ指定種別

AT90S8515 AVR RISCﾏｲｸﾛ ｺﾝﾄﾛｰﾗはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ(ﾌﾗｯｼｭ ﾒﾓﾘ)とﾃﾞｰﾀ ﾒﾓﾘ(SRAM、ﾚｼﾞｽﾀ ﾌｧｲﾙ、I/Oﾒﾓﾘ)ｱｸｾｽ用に強力で効率的なｱﾄﾞﾚｽ指定種別を支援します。本項はAVR構造によって支援される各ｱﾄﾞﾚｽ指定種別を記述します。図内のOPは命令語の動作ｺｰﾄﾞ部を意味します。単純化のため、全ての図がｱﾄﾞﾚｽ指定ﾋﾞｯﾄの正確な位置を示すとは限りません。

単一ﾚｼﾞｽﾀ(Rd)直接

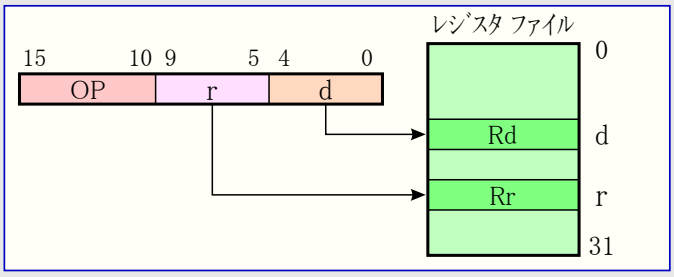
図9. 単一ﾚｼﾞｽﾀ直接



ｵﾍﾟﾗﾝﾄﾞはﾚｼﾞｽﾀd(Rd)を示します。

ﾚｼﾞｽﾀ間(Rd, Rr)直接

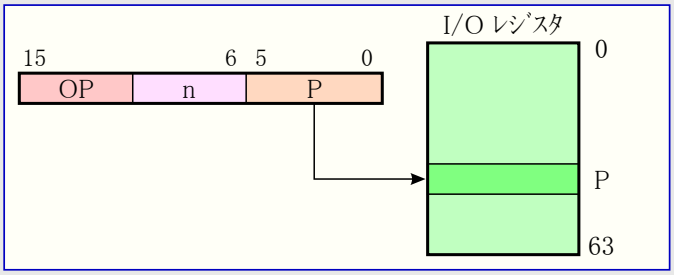
図10. ﾚｼﾞｽﾀ間直接



ｵﾍﾟﾗﾝﾄﾞはﾚｼﾞｽﾀr(Rr)とd(Rd)を示し、結果はﾚｼﾞｽﾀd(Rd)に格納されます。

I/O直接

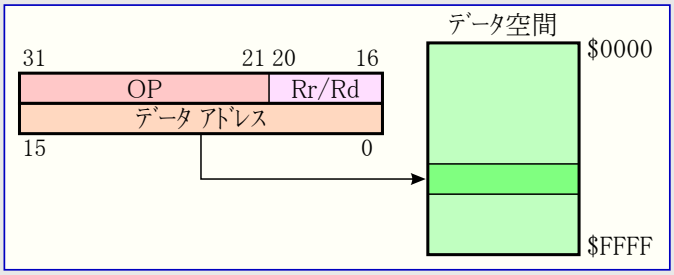
図11. I/O直接



ｵﾍﾟﾗﾝﾄﾞはI/OｱﾄﾞﾚｽPと、転送元または転送先となるﾚｼﾞｽﾀn(Rn)を示します。

ﾃﾞｰﾀ直接

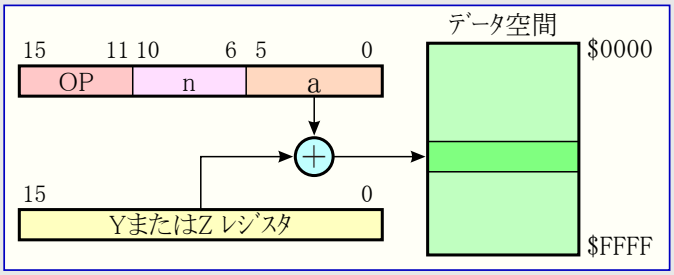
図12. ﾃﾞｰﾀ直接



ｵﾍﾟﾗﾝﾄﾞは2語命令の下位16ﾋﾞｯﾄでﾃﾞｰﾀ空間のｱﾄﾞﾚｽ位置を示し、Rr/Rdは転送元または転送先となるﾚｼﾞｽﾀを示します。

変位付きﾃﾞｰﾀ間接

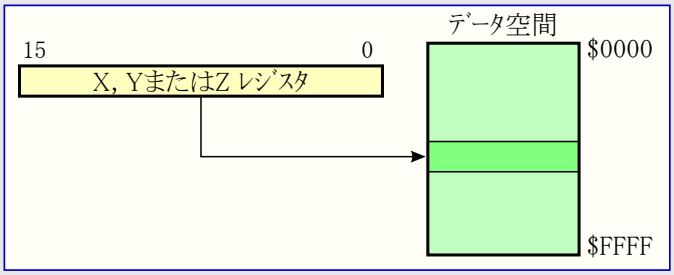
図13. 変位付きﾃﾞｰﾀ間接



ｵﾍﾟﾗﾝﾄﾞ ｱﾄﾞﾚｽは、YまたはZﾚｼﾞｽﾀの内容と命令語内の6ﾋﾞｯﾄ値aを加算した値となり、他方が転送元または転送先となるﾚｼﾞｽﾀn(Rn)を示します。

ﾃﾞｰﾀ間接

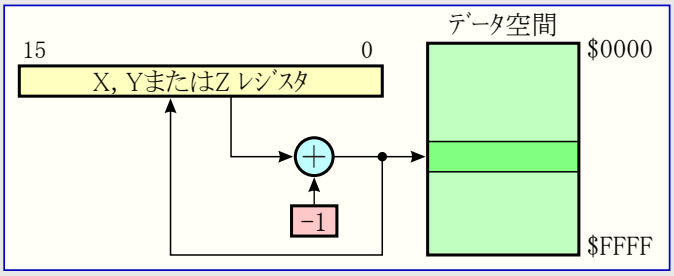
図14. ﾃﾞｰﾀ間接



ｵﾍﾟﾗﾝﾄﾞ ｱﾄﾞﾚｽは、X, YまたはZﾚｼﾞｽﾀの内容となります。

事前減少付きデータ間接

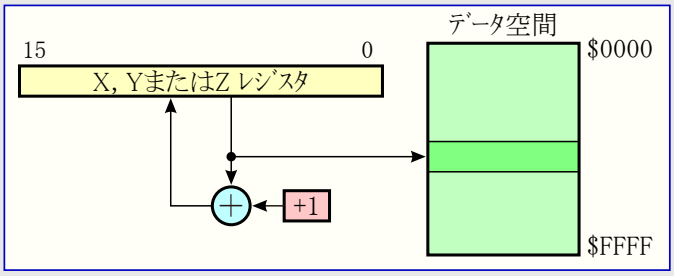
図15. 事前減少付きデータ間接



X,YまたはZレジスタはアクセス動作前に内容が減少されます。オペランド アドレスは減少されたX,YまたはZレジスタの内容となります。

事後増加付きデータ間接

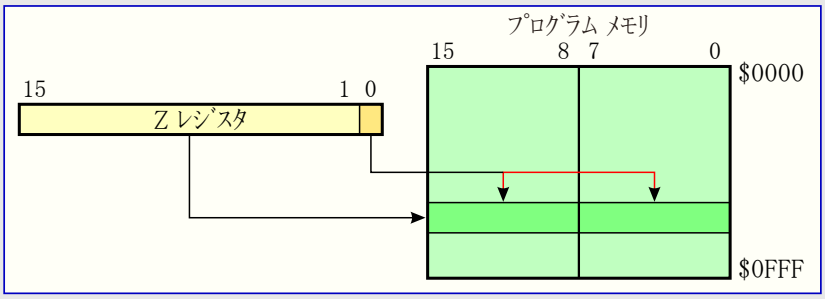
図16. 事後増加付きデータ間接



X,YまたはZレジスタはアクセス動作後に内容が増加されます。オペランド アドレスは増加される前のX,YまたはZレジスタの内容となります。

LPM命令による定数アドレス指定

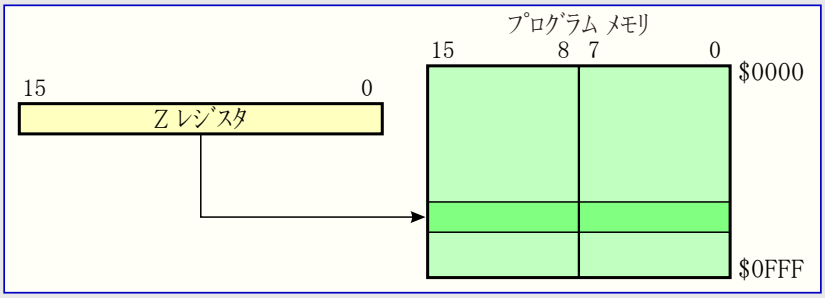
図17. プログラム空間定数アドレス指定



バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0～4Kの語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

IJMP, ICALL命令によるプログラム間接アドレス指定

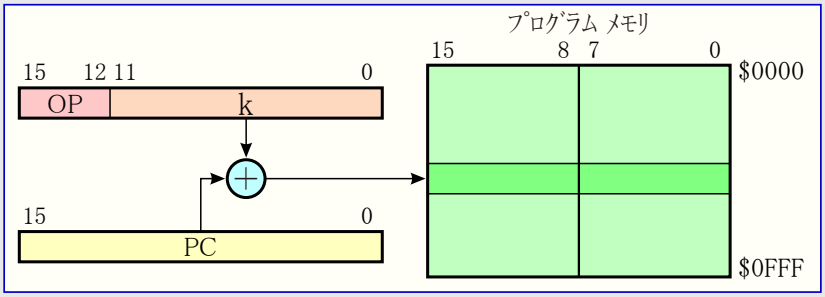
図18. プログラム空間間接アドレス指定



プログラムはZレジスタの内容のアドレスから実行が継続されます。(PCにZレジスタの内容を設定します。)

RJMP, RCALL命令によるプログラム相対アドレス指定

図19. プログラム相対アドレス指定



注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048～2047です。

メモリ アクセスと命令実行タイミング

本項は命令実行と内部メモリ アクセスについての一般的なアクセス タイミングの概念を記述します。

AVR CPUは外部クロック クリスタルから直接的に生成されるシステム クロック φ により駆動されます。内部クロック分周は使われません。

図20.はハーバード構造と高速アクセス レジスタ ファイルの概念により可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、機能対クロック、機能対電源部での好結果に相当するMHzあたり1MIPSまでを得る基本的なパイプラインの概念です。

図20. 命令の取得と実行の並列動作

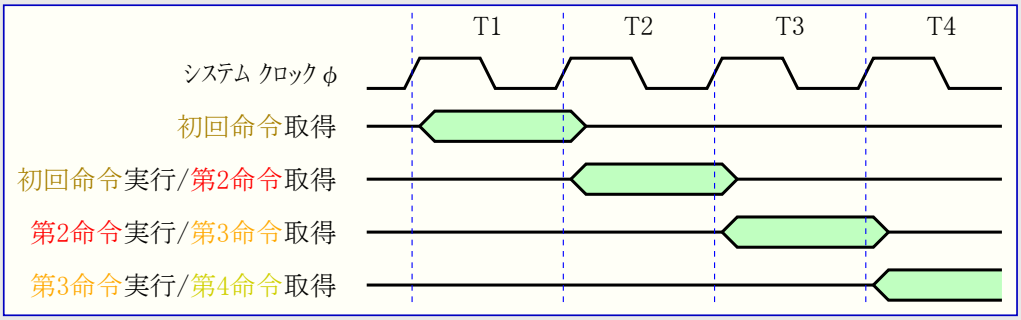
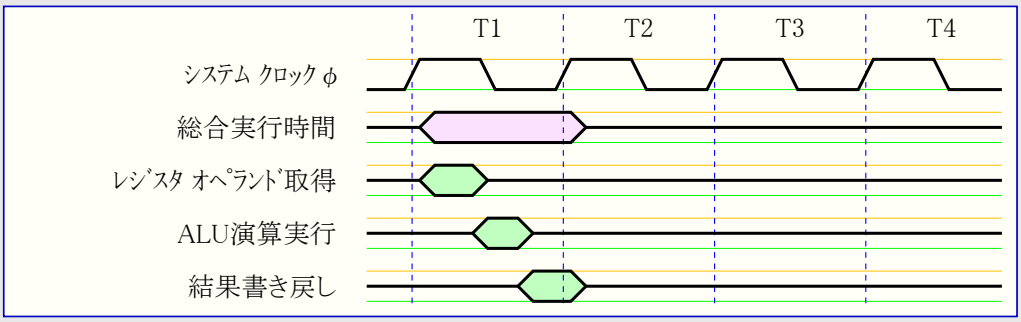


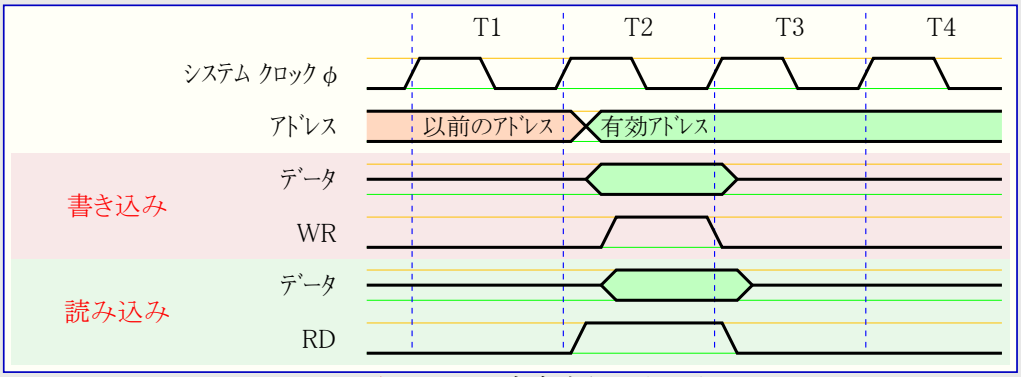
図21.はレジスタ ファイルに対する内部タイミングの概念を示します。2つのレジスタ オペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図21. 1周期ALU命令



データ用内蔵SRAMのアクセスは、図22.で示されるように、2システム クロック周期で実行されます。

図22. データ用内蔵SRAMアクセス周期



注: T1,T2が命令実行周期です。

外部SRAMアクセスの説明については、40頁の「外部SRAM(メモリ)インターフェース」を参照してください。

I/O レジスタ

AT90S8515のI/O領域定義は表1.に示されます。

表1. AT90S8515 I/Oレジスタ

アドレス	レジスタ略名	レジスタ名	
$3F ($5F)	SREG	ステータス レジスタ	Status Register
$3E ($5E)	SPH	スタック ポインタ上位	Stack Pointer High
$3D ($5D)	SPL	スタック ポインタ下位	Stack Pointer Low
$3B ($5B)	GIMSK	一般割り込み許可レジスタ	General Interrupt MaSK register
$3A ($5A)	GIFR	一般割り込み要求フラグ レジスタ	General Interrupt Flag register
$39 ($59)	TIMSK	タイマ/カウンタ割り込み許可レジスタ	Timer/Counter Interrupt MaSK register
$38 ($58)	TIFR	タイマ/カウンタ割り込み要求フラグ レジスタ	Timer/Counter Interrupt Flag register
$35 ($55)	MCUCR	MCU制御レジスタ	MCU general Control Register
$33 ($53)	TCCR0	タイマ/カウンタ0 制御レジスタ	Timer/Counter 0 Control Register
$32 ($52)	TCNT0	タイマ/カウンタ0 カウンタ	Timer/CouNTer 0 (8bit)
$2F ($4F)	TCCR1A	タイマ/カウンタ1 制御レジスタ A	Timer/Counter 1 Control Register A
$2E ($4E)	TCCR1B	タイマ/カウンタ1 制御レジスタ B	Timer/Counter 1 Control Register B
$2D ($4D)	TCNT1H	タイマ/カウンタ1 カウンタ上位	Timer/CouNTer 1 High byte
$2C ($4C)	TCNT1L	タイマ/カウンタ1 カウンタ下位	Timer/CouNTer 1 Low byte
$2B ($4B)	OCR1AH	タイマ/カウンタ1 比較Aレジスタ上位	Timer/Counter 1 Output Compare Register 1A High byte
$2A ($4A)	OCR1AL	タイマ/カウンタ1 比較Aレジスタ下位	Timer/Counter 1 Output Compare Register 1A Low byte
$29 ($49)	OCR1BH	タイマ/カウンタ1 比較Bレジスタ上位	Timer/Counter 1 Output Compare Register 1B High byte
$28 ($48)	OCR1BL	タイマ/カウンタ1 比較Bレジスタ下位	Timer/Counter 1 Output Compare Register 1B Low byte
$25 ($45)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位	Timer/Counter 1 Input Capture Register High byte
$24 ($44)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位	Timer/Counter 1 Input Capture Register Low byte
$21 ($41)	WDTCR	ウォッチドッグ タイマ制御レジスタ	WatchDog Timer Control Register
$1F ($3F)	EEARH	EEPROM アドレス上位 レジスタ	EEPROM Address Register high byte
$1E ($3E)	EEARL	EEPROM アドレス下位 レジスタ	EEPROM Address Register low byte
$1D ($3D)	EEDR	EEPROM データ レジスタ	EEPROM Data Register
$1C ($3C)	EECR	EEPROM 制御レジスタ	EEPROM Control Register
$1B ($3B)	PORTA	ポートA 出力データ レジスタ	Data Register, Port A
$1A ($3A)	DDRA	ポートA 方向レジスタ	Data Direction Register, Port A
$19 ($39)	PINA	ポートA 入力データ レジスタ	Input Pins, Port A
$18 ($38)	PORTB	ポートB 出力データ レジスタ	Data Register, Port B
$17 ($37)	DDRB	ポートB 方向レジスタ	Data Direction Register, Port B
$16 ($36)	PINB	ポートB 入力データ レジスタ	Input Pins, Port B
$15 ($35)	PORTC	ポートC 出力データ レジスタ	Data Register, Port C
$14 ($34)	DDRC	ポートC 方向レジスタ	Data Direction Register, Port C
$13 ($33)	PINC	ポートC 入力データ レジスタ	Input Pins, Port C
$12 ($32)	PORTD	ポートD 出力データ レジスタ	Data Register, Port D
$11 ($31)	DDRD	ポートD 方向レジスタ	Data Direction Register, Port D
$10 ($30)	PIND	ポートD 入力データ レジスタ	Input Pins, Port D
$0F ($2F)	SPDR	SPI データ レジスタ	SPI I/O Data Register
$0E ($2E)	SPSR	SPI 状態レジスタ	SPI Status Register
$0D ($2D)	SPCR	SPI 制御レジスタ	SPI Control Register
$0C ($2C)	UDR	UART データ レジスタ	UART Data Register
$0B ($2B)	USR	UART 状態レジスタ	UART Status Register
$0A ($2A)	UCR	UART 制御レジスタ	UART Control Register
$09 ($29)	UBRR	UART ボーレート レジスタ	UART Baud Rate Register
$08 ($28)	ACSR	アナログ比較器 制御/状態レジスタ	Analog Comparator Control and Status Register

注: 予約と未使用の位置は、この表で示されていません。( )内のアドレスはデータ空間の一部としてアクセスする場合のアドレスです。

AT90S8515の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス$00～$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビット アクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス$00～$3Fが使われなければなりません。I/OレジスタをSRAMとしてアクセスする時はこのアドレスに$20が加算されなければなりません。本資料を通して、全てのI/Oレジスタ アドレスは、( )内でデータ空間アドレスが示されます。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

状態フラグのいくつかは、論理1を書くことで解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読むフラグは1が書き戻され、従ってフラグを解除(0)することに注意してください。CBIとSBI命令は、レジスタ$00～$1Fでのみ動作します。

I/Oと周辺制御レジスタは次章で説明されます。

■ ｽﾃｰﾀｽ ﾚｼﾞｽﾀ (Status Register) SREG

AVRのｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は、I/O領域の$3F($5F)で、次のように定義されています。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3F ($5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾋﾞｯﾄ7 – I : 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ﾋﾞｯﾄは割り込みを許可する場合に設定(1)しなければなりません。各割り込みの許可は、各制御ﾚｼﾞｽﾀで個別に行います。全割り込み許可ﾋﾞｯﾄが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このIﾋﾞｯﾄは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令によって設定(1)されます。

■ ﾋﾞｯﾄ6 – T : ﾋﾞｯﾄ変数 (Bit Copy Storage)

このTﾋﾞｯﾄはBLD(Bit LoaD)命令とBST(Bit STore)命令の転送元または転送先として使われます。BLD命令はTをﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀのﾋﾞｯﾄに複写し、BST命令はﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀからﾋﾞｯﾄをTに複写します。

■ ﾋﾞｯﾄ5 – H : ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞ (Half Carry Flag)

このHﾌﾗｸﾞはいくつかの算術演算命令でのﾊｰﾌｷｬﾘｰを示します。ﾊｰﾌｷｬﾘｰはBCD演算に有用です。詳細情報については命令要約を参照してください。

■ ﾋﾞｯﾄ4 – S : 符号 (Sign Bit, S= N Ex-OR V)

このSﾌﾗｸﾞは常に負(N)ﾌﾗｸﾞと2の補数溢れ(V)ﾌﾗｸﾞの排他的論理和です。詳細情報については命令要約を参照してください。

■ ﾋﾞｯﾄ3 – V : 2の補数溢れﾌﾗｸﾞ (2's Complement Overflow Flag)

この2の補数溢れ(V)ﾌﾗｸﾞは、2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

■ ﾋﾞｯﾄ2 – N : 負ﾌﾗｸﾞ (Negative Flag)

このNﾌﾗｸﾞは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

■ ﾋﾞｯﾄ1 – Z : ｾﾞﾛ ﾌﾗｸﾞ (Zero Flag)

このZﾌﾗｸﾞは算術及び論理演算の結果がｾﾞﾛ(0)であることを示します。詳細情報については命令要約を参照してください。

■ ﾋﾞｯﾄ0 – C : ｷｬﾘｰ ﾌﾗｸﾞ (Carry Flag)

このCﾌﾗｸﾞは算術及び論理演算でｷｬﾘｰが発生したことを示します。詳細情報については命令要約を参照してください。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは割り込み処理ﾙｰﾁﾝ移行時の保存と、割り込み処理ﾙｰﾁﾝから復帰時の再設定が、自動的に行われないことに注意してください。これはｿﾌﾄｳｪｱにより操作しなければなりません。

■ ｽﾀｯｸ ﾎﾟｲﾝﾀ (Stack Pointer) SPH,SPL (SP)

AVRの一般16ﾋﾞｯﾄ ｽﾀｯｸ ﾎﾟｲﾝﾀは、実際にはI/O空間位置$3E($5E)と$3D($5D)の2つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀの構造です。AT90S8515は64Kﾊﾞｲﾄまでの外部SRAMを支援するため、16ﾋﾞｯﾄ全てが使われます。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
$3E ($5E)	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3D ($5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ｽﾀｯｸ ﾎﾟｲﾝﾀはｻﾌﾞﾙｰﾁﾝと割り込みのｽﾀｯｸが配置されるﾃﾞｰﾀSRAMのｽﾀｯｸ領域を指し示します。ﾃﾞｰﾀSRAM内のｽﾀｯｸ領域は、割り込みの許可や、何れかのｻﾌﾞﾙｰﾁﾝ呼び出しが実行される前にﾌﾟﾛｸﾞﾗﾑによって定義されなければなりません。ｽﾀｯｸ ﾎﾟｲﾝﾀは$60以上を指示するために設定されなければなりません。ｽﾀｯｸ ﾎﾟｲﾝﾀは、PUSH命令でﾃﾞｰﾀがｽﾀｯｸ上に格納されるとき-1され、ｻﾌﾞﾙｰﾁﾝ呼び出しや割り込みでｱﾄﾞﾚｽがｽﾀｯｸ上に格納されるとき-2されます。POP命令でﾃﾞｰﾀをｽﾀｯｸから引き出すとき+1され、ｻﾌﾞﾙｰﾁﾝからの復帰(RET命令)や割り込みからの復帰(RETI命令)でｱﾄﾞﾚｽをｽﾀｯｸから引き出すとき+2されます。

リセットと割り込みの扱い

AT90S8515には12種類の割り込みがあります。これらの割り込みとリセットのベクタは、プログラム メモリ空間内に各々個別のベクタを持っています。全ての割り込みは、割り込みを許可するために、個別の許可ビットとステータス レジスタ(SREG)の全割り込み許可(I)ビットを共に設定(1)しなければなりません。

プログラム メモリ空間の最下位アドレスは、リセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は**表2.**に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表2. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	$000	リセット	電源ONまたはウォッチドッグ等のリセット
2	$001	INT0	外部割り込み要求0
3	$002	INT1	外部割り込み要求1
4	$003	タイマ/カウンタ1 CAPT	タイマ/カウンタ1捕獲発生
5	$004	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
6	$005	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
7	$006	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
8	$007	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
9	$008	SPI STC	SPI 転送完了
10	$009	UART RX	UART 受信完了
11	$00A	UART UDRE	UART 送信緩衝部空き
12	$00B	UART TX	UART 送信完了
13	$00C	アナログ比較器 ANA_COMP	アナログ比較器出力遷移

リセットと割り込みのベクタの最も代表的な設定例を次に示します。

```
アドレス   ラベル    命令    
$000               RJMP    RESET              ;各種リセット
$001               RJMP    EXT_INT0           ;外部割り込み要求0
$002               RJMP    EXT_INT1           ;外部割り込み要求1
$003               RJMP    TIM1_CAPT          ;タイマ/カウンタ1捕獲発生
$004               RJMP    TIM1_COMPA         ;タイマ/カウンタ1比較A一致
$005               RJMP    TIM1_COMPB         ;タイマ/カウンタ1比較B一致
$006               RJMP    TIM1_OVF           ;タイマ/カウンタ1溢れ
$007               RJMP    TIM0_OVF           ;タイマ/カウンタ0溢れ
$008               RJMP    SPI_STC            ;SPI転送完了
$009               RJMP    UART_RXC           ;UART受信完了
$00A               RJMP    UART_DRE           ;UART送信緩衝部空
$00B               RJMP    UART_TXC           ;UART送信完了
$00C               RJMP    ANA_COMP           ;アナログ比較器出力遷移
;
$00D       RESET:  LDI     R16, HIGH(RAMEND)  ;RAM最終アドレス上位を取得
$00E               OUT     SPH, R16           ;スタック ポインタ上位を初期化
$00F               LDI     R16, LOW(RAMEND)   ;RAM最終アドレス下位を取得
$010               OUT     SPL, R16           ;スタック ポインタ下位を初期化
                     ~                        ;以下、I/O初期化など
```

リセット発生元

AT90S8515には、次の3つのリセット発生元があります。

- **電源ONリセット** ・・・・・・ 電源電圧が電源ONリセット閾値電圧(VPOT)以下でリセットになります。
- **外部リセット** ・・・・・・・・・ $\overline{\text{RESET}}$ピンが50ns以上Lowレベルに保たれるとリセットになります。
- **ウォッチドッグ リセット** ・・・・ ウォッチドッグが許可され、ウォッチドッグ タイマ周期が経過するとリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、その後にアドレス$000からプログラム実行が始まります。アドレス$000に配置される命令は、リセット処理ルーチンへの無条件相対分岐(RJMP)命令でなければなりません。プログラムで決して割り込みを許可しないなら、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。**図23.**にリセット部の回路構成を示します。**表3.**はリセット回路の電気的特性とタイミングを定義します。

図23. リセット回路構成

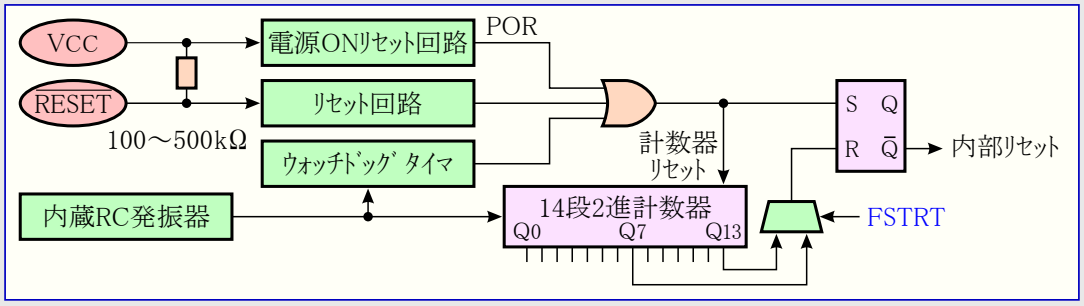


表3. リセット電気的特性 (VCC=5.0V)

シンボル	項目		最小	代表	最大	単位
V_{POT}	上昇時電源ONリセット閾値電圧		0.8	1.2	1.6	V
	下降時電源ONリセット閾値電圧 (注1)		0.2	0.4	0.6	
V_{RST}	$\overline{\text{RESET}}$ピン閾値電圧				0.9VCC	
t_{TOUT}	リセット遅延時間	FSTRT=非プログラム(1)	11	16	21	ms
		FSTRT=プログラム(0)	0.25	0.28	0.31	

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

代表的な発振器起動に従った起動時間が選択できます。各計時終了(リセット遅延時間)で使われるウォッチドッグ発振器周期数は**表4.**で示されます。ウォッチドッグ発振器の周波数は、68頁の「**代表特性**」内で示されるように、電圧に依存します。

表4. ウォッチドッグ発振器の周期数

FSTRT	リセット遅延時間 (VCC=5V)	ウォッチドッグ発振器周期数
プログラム(0)	0.28ms	256
非プログラム(1)	16.0ms	16K

電源ONﾘｾｯﾄ

電源ONﾘｾｯﾄ(POR)回路は、電源投入時のﾃﾞﾊﾞｲｽ ﾘｾｯﾄを保証します。図23.で示されるように、内部ﾀｲﾏはｳｫｯﾁﾄﾞｯｸﾞ発振器で駆動されます。この内部ﾀｲﾏはVCC上昇時間に拘らず、VCCが電源ON閾値電圧(V_{POT})に達した後の或る期間後まで、MCUを開始から保護します(図24.参照)。ﾌﾗｯｼｭ ﾒﾓﾘ内のFSTRTﾋｭｰｽﾞ ﾋﾞｯﾄはｾﾗﾐｯｸ振動子や他の高速起動発振器がMCUのｸﾛｯｸに使われる場合、短い起動遅延時間とするためにﾌﾟﾛｸﾞﾗﾑ(0)することができます。

内蔵起動遅延時間で充分な場合、$\overline{\text{RESET}}$を直接または外部ﾌﾟﾙｱｯﾌﾟ抵抗を介してVCCに接続できます。VCC供給後も、$\overline{\text{RESET}}$ﾋﾟﾝをLowﾚﾍﾞﾙに保持することで、起動遅延時間を延長することができます。このﾀｲﾐﾝｸﾞ例は図25.を参照してください。

図24. 内蔵電源ONﾘｾｯﾄ ($\overline{\text{RESET}}$はVCCに接続)

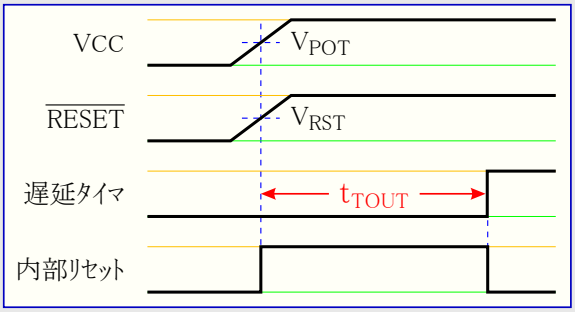
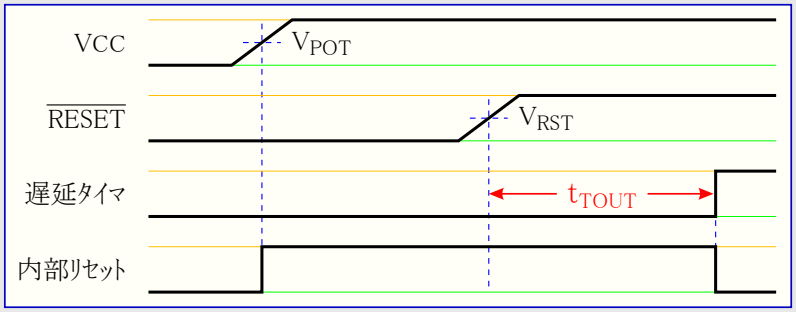


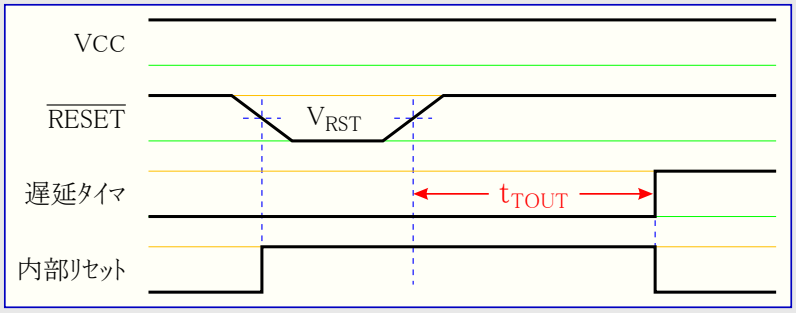
図25. 外部RESET信号による延長電源ONﾘｾｯﾄ



外部ﾘｾｯﾄ

外部ﾘｾｯﾄは$\overline{\text{RESET}}$ﾋﾟﾝ上のLowﾚﾍﾞﾙにより生成されます。例えｸﾛｯｸが動いていなくても、50nsより長いﾘｾｯﾄﾊﾟﾙｽはﾘｾｯﾄを生成します。短すぎるﾊﾟﾙｽはﾘｾｯﾄが保証されません。供給された信号の上昇がﾘｾｯﾄ閾値電圧(V_{RST})に達すると、遅延ﾀｲﾏは遅延時間(t_{TOUT})経過後にMCUを起動します。

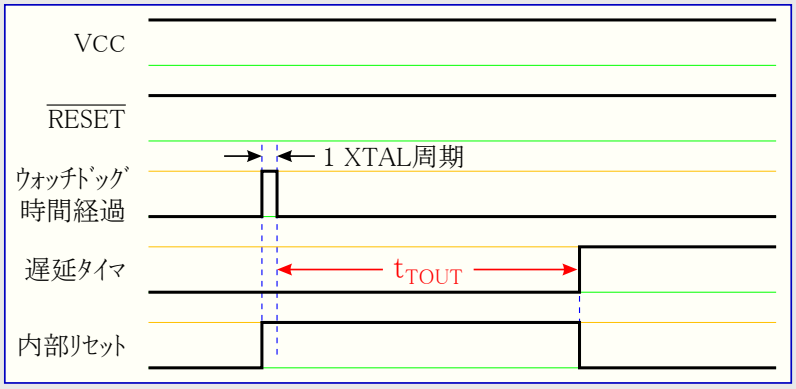
図26. 動作中の外部ﾘｾｯﾄ



ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ

ｳｫｯﾁﾄﾞｯｸﾞ時間経過で1XTAL周期幅の短いﾘｾｯﾄ ﾊﾟﾙｽを生成します。このﾊﾟﾙｽの下降端で遅延ﾀｲﾏは遅延時間(t_{TOUT})の計時を始めます。ｳｫｯﾁﾄﾞｯｸﾞ操作の詳細については28頁を参照してください。

図27. 動作中のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ



割り込みの扱い

AT90S8515には、一般割り込み許可ﾚｼﾞｽﾀ(GIMSK)とﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)の2つの8ﾋﾞｯﾄ割り込み許可ﾚｼﾞｽﾀがあります。

割り込みが起こると、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが解除(0)され、全ての割り込みが禁止されます。ｿﾌﾄｳｪｱは多重割り込みを許可するために、全割り込み許可(I)ﾋﾞｯﾄを設定(1)できます。この全割り込み許可(I)ﾋﾞｯﾄは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

安定して維持できる要因(例えば、比較ﾚｼﾞｽﾀとﾀｲﾏ/ｶｳﾝﾀ1の一致)により割り込み要求が起動されると、その要因発生時に割り込み要求ﾌﾗｸﾞが設定(1)されます。割り込み要求ﾌﾗｸﾞが解除(0)され、その割り込み条件が持続されると、次回の要因発生まで設定(1)されません。

割り込み処理ﾙｰﾁﾝを実行するために、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀが実際の割り込みﾍﾞｸﾀを指示するとき、割り込みを起こした対応する割り込み要求ﾌﾗｸﾞを自動的に解除(0)します。いくつかの割り込み要求ﾌﾗｸﾞは、そのﾌﾗｸﾞのﾋﾞｯﾄ位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ﾋﾞｯﾄが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求ﾌﾗｸﾞが設定(1)され、その割り込みが許可または、ｿﾌﾄｳｪｱで解除(0)されるまで保持されます。

全割り込み許可(I)ﾋﾞｯﾄが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求ﾌﾗｸﾞが設定(1)され、全割り込み許可(I)ﾋﾞｯﾄが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部ﾚﾍﾞﾙ割り込みには割り込み要求ﾌﾗｸﾞがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

■ 一般割り込み許可ﾚｼﾞｽﾀ (General Interrupt Mask Register) GIMSK

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3B ($5B)	INT1	INT0	–	–	–	–	–	–	GIMSK
Read/Write	R/W	R/W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ﾋﾞｯﾄ7 – INT1 : 外部割り込み1許可 (External Interrupt Request 1 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み1許可(INT1)ﾋﾞｯﾄがともに設定(1)で、INT1ﾋﾟﾝの割り込みが許可されます。MCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込み条件制御1のﾋﾞｯﾄ1と0(ISC11,ISC10)が、外部割り込みINT1ﾋﾟﾝの動作を上昇端、下降端またはLowﾚﾍﾞﾙの何れか定義します。INT1ﾋﾟﾝが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求1に対応する割り込みは、ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ ｱﾄﾞﾚｽ$002から実行されます。「**外部割り込み**」も参照してください。

■ ﾋﾞｯﾄ6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み0許可(INT0)ﾋﾞｯﾄがともに設定(1)で、INT0ﾋﾟﾝの割り込みが許可されます。MCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込み条件制御0のﾋﾞｯﾄ1と0(ISC01,ISC00)が、外部割り込みINT0ﾋﾟﾝの動作を上昇端、下降端またはLowﾚﾍﾞﾙの何れか定義します。INT0ﾋﾟﾝが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求0に対応する割り込みは、ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ ｱﾄﾞﾚｽ$001から実行されます。「**外部割り込み**」も参照してください。

■ ﾋﾞｯﾄ5~0 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。

■ 一般割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (General Interrupt Flag Register) GIFR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3A ($5A)	INTF1	INTF0	–	–	–	–	–	–	GIFR
Read/Write	R/W	R/W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ﾋﾞｯﾄ7 – INTF1 : 外部割り込み1要求ﾌﾗｸﾞ (External Interrupt Flag1)

INT1ﾋﾟﾝ上のｴｯｼﾞが割り込み要求を起こすとき、対応する割り込み要求ﾌﾗｸﾞ(INTF1)が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと、対応する一般割り込み許可ﾚｼﾞｽﾀ(GIMSK)の外部割り込み1許可(INT1)ﾋﾞｯﾄが共に設定(1)されていれば、MCUは割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが実行されるときに解除(0)されます。このﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。INT1がﾚﾍﾞﾙ割り込みとして設定されるとき、このﾌﾗｸﾞは常に解除(0)されます。

■ ﾋﾞｯﾄ6 – INTF0 : 外部割り込み0要求ﾌﾗｸﾞ (External Interrupt Flag0)

INT0ﾋﾟﾝ上のｴｯｼﾞが割り込み要求を起こすとき、対応する割り込み要求ﾌﾗｸﾞ(INTF0)が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと、対応する一般割り込み許可ﾚｼﾞｽﾀ(GIMSK)の外部割り込み0許可(INT0)ﾋﾞｯﾄが共に設定(1)されていれば、MCUは割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが実行されるときに解除(0)されます。このﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。INT0がﾚﾍﾞﾙ割り込みとして設定されるとき、このﾌﾗｸﾞは常に解除(0)されます。

■ ﾋﾞｯﾄ5～0 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。

■ ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ (Timer/Counter Interrupt Mask Register) TIMSK

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$39 ($59)	TOIE1	OCIE1A	OCIE1B	–	TICIE1	–	TOIE0	–	TIMSK
Read/Write	R/W	R/W	R/W	R	R/W	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ﾋﾞｯﾄ7 – TOIE1 : ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み許可(TOIE1)ﾋﾞｯﾄが共に設定(1)で、ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1溢れが起こる、換言すると、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)のﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み要求ﾌﾗｸﾞ(TOV1)が設定(1)されると、対応する割り込み(ﾍﾞｸﾀ $006)が実行されます。

■ ﾋﾞｯﾄ6 – OCIE1A : 比較A一致割り込み許可 (Timer/Counter1 Output Compare A Match Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと比較A一致割り込み許可(OCIE1A)ﾋﾞｯﾄが共に設定(1)で、比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1で比較A一致が起こる、換言すると、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)の比較A一致割り込み要求ﾌﾗｸﾞ(OCF1A)が設定(1)されると、対応する割り込み(ﾍﾞｸﾀ $004)が実行されます。

■ ﾋﾞｯﾄ5 – OCIE1B : 比較B一致割り込み許可 (Timer/Counter1 Output Compare B Match Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと比較B一致割り込み許可(OCIE1B)ﾋﾞｯﾄが共に設定(1)で、比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1で比較B一致が起こる、換言すると、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)の比較B一致割り込み要求ﾌﾗｸﾞ(OCF1B)が設定(1)されると、対応する割り込み(ﾍﾞｸﾀ $005)が実行されます。

■ ﾋﾞｯﾄ4 – Res : 予約 (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読めます。

■ ﾋﾞｯﾄ3 – TICIE1 : 捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと捕獲割り込み許可(TICIE1)ﾋﾞｯﾄが共に設定(1)で、捕獲割り込みが許可されます。ICPﾋﾟﾝ上に捕獲要求が起こる、換言すると、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)の捕獲割り込み要求ﾌﾗｸﾞ(ICF1)が設定(1)されると、対応する割り込み(ﾍﾞｸﾀ $003)が実行されます。

■ ﾋﾞｯﾄ2 – Res : 予約 (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読めます。

■ ﾋﾞｯﾄ1 – TOIE0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE0)ﾋﾞｯﾄが共に設定(1)で、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こる、換言すると、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ(TOV0)が設定(1)されると、対応する割り込み(ﾍﾞｸﾀ $007)が実行されます。

■ ﾋﾞｯﾄ0 – Res : 予約 (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読めます。

■ ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter Interrupt Flag Register) TIFR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$38 ($58)	TOV1	OCF1A	OCF1B	–	ICF1	–	TOV0	–	TIFR
Read/Write	R/W	R/W	R/W	R	R/W	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ﾋﾞｯﾄ7 – TOV1 : ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み要求ﾌﾗｸﾞ (Timer/Counter1 Overflow Interrupt Flag)

ﾀｲﾏ/ｶｳﾝﾀ1溢れが起こると、TOV1が設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、このTOV1は自動的に解除(0)されます。代わりに、このﾌﾗｸﾞへ論理1を書くことによってもTOV1は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)のﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み許可(TOIE1)ﾋﾞｯﾄとTOV1が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みが実行されます。PWM動作では、ﾀｲﾏ/ｶｳﾝﾀ1が$0000で計数方向を変更するとき、このﾌﾗｸﾞが設定(1)されます。

■ ﾋﾞｯﾄ6 – OCF1A : 比較A一致割り込み要求ﾌﾗｸﾞ (Output Compare Interrupt Flag1A)

ﾀｲﾏ/ｶｳﾝﾀ1と比較Aﾚｼﾞｽﾀ(OCR1A)の値間で比較一致が起こると、OCF1Aが設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、このOCF1Aは自動的に解除(0)されます。代わりに、このﾌﾗｸﾞへ論理1を書くことによってもOCF1Aは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)の比較A一致割り込み許可(OCIE1A)ﾋﾞｯﾄとOCF1Aが設定(1)されると、比較A一致割り込みが実行されます。

■ ﾋﾞｯﾄ5 – OCF1B : 比較B一致割り込み要求ﾌﾗｸﾞ (Output Compare Interrupt Flag1B)

ﾀｲﾏ/ｶｳﾝﾀ1と比較Bﾚｼﾞｽﾀ(OCR1B)の値間で比較一致が起こると、OCF1Bが設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、このOCF1Bは自動的に解除(0)されます。代わりに、このﾌﾗｸﾞへ論理1を書くことによってもOCF1Bは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)の比較B一致割り込み許可(OCIE1B)ﾋﾞｯﾄとOCF1Bが設定(1)されると、比較B一致割り込みが実行されます。

■ ﾋﾞｯﾄ4 – Res : 予約 (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読めます。

■ ﾋﾞｯﾄ3 – ICF1 : 捕獲割り込み要求ﾌﾗｸﾞ (Input Capture Interrupt Flag1)

このICF1ﾋﾞｯﾄは、ﾀｲﾏ/ｶｳﾝﾀ1の値が捕獲ﾚｼﾞｽﾀ(ICR1)に転送されてしまったことを示す、捕獲発生のﾌﾗｸﾞのため設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、このICF1は自動的に解除(0)されます。代わりに、このﾌﾗｸﾞへ論理1を書くことによってもICF1は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)の捕獲割り込み許可(TICIE1)ﾋﾞｯﾄとICF1が設定(1)されると、捕獲割り込みが実行されます。

■ ﾋﾞｯﾄ2 – Res : 予約 (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読めます。

■ ﾋﾞｯﾄ1 – TOV0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ (Timer/Counter0 Overflow Interrupt Flag)

ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こると、このTOV0ﾋﾞｯﾄが設定(1)されます。対応する割り込みﾍﾞｸﾀを実行すると、TOV0は自動的に解除(0)されます。代わりに、このﾌﾗｸﾞへ論理1を書くことによってもTOV0は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE0)ﾋﾞｯﾄとTOV0が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが実行されます。

■ ﾋﾞｯﾄ0 – Res : 予約 (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読めます。

外部割り込み

外部割り込みは、INT0とINT1ﾋﾟﾝにより起動されます。許可されていれば、INT0, INT1ﾋﾟﾝが出力として設定されていても、割り込みが起動することに注目してください。この特徴はｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端またはLowﾚﾍﾞﾙで起動できます。これはMCU制御ﾚｼﾞｽﾀ(MCUCR)についての詳細で説明されるように設定します。外部割り込みが許可され、ﾚﾍﾞﾙ起動として設定されるとき、ﾋﾟﾝがLowに保持されている限り、この割り込みは継続的に発生します。

外部割り込みは、MCU制御ﾚｼﾞｽﾀ(MCUCR)についての詳細で説明されるように設定します。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4ｸﾛｯｸです。割り込み要求ﾌﾗｸﾞが設定(1)されてしまった後の4ｸﾛｯｸ周期で、実際の割り込み処理ﾙｰﾁﾝ用の割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが実行されます。この4ｸﾛｯｸ周期中、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(2ﾊﾞｲﾄ)がｽﾀｯｸ上に保存(ﾌﾟｯｼｭ)され、ｽﾀｯｸ ﾎﾟｲﾝﾀが減少(-2)されます。通常、このﾍﾞｸﾀは割り込み処理ﾙｰﾁﾝに対する無条件相対分岐(RJMP)命令で、この分岐に2ｸﾛｯｸ周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前に、その命令が完了されます。

割り込み処理ﾙｰﾁﾝからの復帰(ｻﾌﾞﾙｰﾁﾝ呼び出しについてと同じように)は4ｸﾛｯｸ周期要します。この4ｸﾛｯｸ周期中に、ｽﾀｯｸからﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(2ﾊﾞｲﾄ)が再設定(ﾎﾟｯﾌﾟ)され、ｽﾀｯｸ ﾎﾟｲﾝﾀが増加(+2)され、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されます。割り込みを抜けるときは常に主(元)ﾌﾟﾛｸﾞﾗﾑへ復帰し、保留されている割り込みが扱われる前に、1つ以上の命令を実行します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)が割り込みまたはｻﾌﾞﾙｰﾁﾝのどちらについてもAVRﾊｰﾄﾞｳｪｱにより操作されないことに注意してください。SREGの保存を必要とする割り込み処理ﾙｰﾁﾝについて、これは使用者ｿﾌﾄｳｪｱにより実行されなければなりません。

安定して維持できる要因(例えば、比較ﾚｼﾞｽﾀとﾀｲﾏ/ｶｳﾝﾀ1の一致)により割り込み要求が起動されると、その要因発生時に割り込み要求ﾌﾗｸﾞが設定(1)されます。割り込み要求ﾌﾗｸﾞが解除(0)され、その割り込み条件が持続されると、次回の要因発生まで設定(1)されません。外部ﾚﾍﾞﾙ割り込みは、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

■ MCU制御ﾚｼﾞｽﾀ (MCU Control Register) MCUCR

このMCU制御ﾚｼﾞｽﾀは、MCU機能一般についての制御ﾋﾞｯﾄを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$35 ($55)	SRE	SRW	SE	SM	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾋﾞｯﾄ7 – SRE : 外部SRAM許可 (External SRAM Enable)

このSREﾋﾞｯﾄが設定(1)されるとﾃﾞｰﾀ用外部SRAMが許可され、AD7～0(ﾎﾟｰﾄA)、A15～8(ﾎﾟｰﾄC)、RD(PD7)、WR(PD6)のﾋﾟﾝ機能は交換ﾋﾟﾝ機能として活性化(有効に)されます。その時、SREﾋﾞｯﾄは各ﾎﾟｰﾄ方向ﾚｼﾞｽﾀでのどんなﾋﾟﾝ方向設定も無視します。外部SRAMﾋﾟﾝ機能の説明については、6頁の「**内蔵SRAMと外部SRAM**」と40頁の「**外部SRAM(ﾒﾓﾘ)ｲﾝﾀｰﾌｪｰｽ**」を参照してください。SREﾋﾞｯﾄが解除(0)されると、ﾃﾞｰﾀ用外部SRAMが禁止され、標準ﾋﾟﾝとﾃﾞｰﾀ方向設定が使われます。

■ ﾋﾞｯﾄ6 – SRW : 外部SRAM待ち (External SRAM Wait State)

このSRWﾋﾞｯﾄが設定(1)されると、ﾃﾞｰﾀ用外部SRAMｱｸｾｽ周期に1周期の待ち状態が挿入されます。SRWﾋﾞｯﾄが解除(0)されると、ﾃﾞｰﾀ用外部SRAMｱｸｾｽは標準の3周期構造で実行されます。**図43.**と**図44.**を参照してください。

■ ﾋﾞｯﾄ5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行されるときにMCUを休止形態へ移行させるには、休止許可(SE)ﾋﾞｯﾄが設定(1)されなければなりません。MCUの目的外休止形態移行をなくすため、SLEEP命令実行直前に休止許可(SE)ﾋﾞｯﾄを設定(1)することが推奨されます。

■ ﾋﾞｯﾄ4 – SM : 休止種別 (Sleep Mode)

このﾋﾞｯﾄは利用可能な2つの休止形態種別を選択します。SMが解除(0)されると休止形態としてｱｲﾄﾞﾙ動作が選択されます。SMが設定(1)されると休止形態としてﾊﾟﾜｰﾀﾞｳﾝ動作が選択されます。詳細については、次の「**休止形態**」項を参照してください。

■ ﾋﾞｯﾄ3,2 – ISC11,0 : 外部割り込み1条件制御 (Interrupt Sense Control 1 bit1 and 0)

外部割り込み1はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと、一般割り込み許可ﾚｼﾞｽﾀ(GIMSK)の外部割り込み1許可(INT1)ﾋﾞｯﾄが、共に設定(1)されている場合の外部割り込み1(INT1)ﾋﾟﾝによって起動されます。この割り込みを起動する外部割り込み1(INT1)ﾋﾟﾝ上のｴｯｼﾞやﾚﾍﾞﾙは**表5.**で定義されます。

表5. 外部割り込み1(INT1)割り込み条件

ISC11	ISC10	割り込み発生条件
0	0	INT1ﾋﾟﾝがLowﾚﾍﾞﾙで発生。
	1	(予約)
1	0	INT1ﾋﾟﾝの下降端で発生。
	1	INT1ﾋﾟﾝの上昇端で発生。

■ ﾋﾞｯﾄ1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと、一般割り込み許可ﾚｼﾞｽﾀ(GIMSK)の外部割り込み0許可(INT0)ﾋﾞｯﾄが、共に設定(1)されている場合の外部割り込み0(INT0)ﾋﾟﾝによって起動されます。この割り込みを起動する外部割り込み0(INT0)ﾋﾟﾝ上のｴｯｼﾞやﾚﾍﾞﾙは**表6.**で定義されます。

表6. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ﾋﾟﾝがLowﾚﾍﾞﾙで発生。
	1	(予約)
1	0	INT0ﾋﾟﾝの下降端で発生。
	1	INT0ﾋﾟﾝの上昇端で発生。

INTnﾋﾟﾝの値はｴｯｼﾞ検出以前から採取比較されています。ｴｯｼﾞ割り込みが選択されると、1CPUｸﾛｯｸ周期より長い幅のﾊﾟﾙｽは割り込みを発生します。短すぎるﾊﾟﾙｽは割り込みの発生が保証されません。Lowﾚﾍﾞﾙ割り込みが選択されると、割り込みを発生するためには、現在実行中の命令の完了まで、Lowﾚﾍﾞﾙが保持されなければなりません。許可されていれば、ﾚﾍﾞﾙ起動割り込みはﾋﾟﾝがLowに保持されている限り、割り込み要求を発生し続けます。

休止形態

休止形態へ移行するにはMCU制御ﾚｼﾞｽﾀ(MCUCR)の休止許可(SE)ﾋﾞｯﾄが設定(1)されて、SLEEP命令が実行されなければなりません。MCUが休止形態中に許可されている割り込みが発生すると、MCUは起動復帰して、その割り込み処理ﾙｰﾁﾝを実行し、そしてSLEEP命令の次から実行を再開します。ﾚｼﾞｽﾀ ﾌｧｲﾙ、SRAM、I/Oﾚｼﾞｽﾀの内容は変化しません。休止形態中にﾘｾｯﾄが起こると、MCUは起動復帰し、ﾘｾｯﾄ ﾍﾞｸﾀから実行します。

ｱｲﾄﾞﾙ動作

休止種別(SM)ﾋﾞｯﾄが解除(0)されていると、SLEEP命令でMCUがｱｲﾄﾞﾙ動作へ移行し、CPUは停止しますが、ﾀｲﾏ/ｶｳﾝﾀ、ｳｫｯﾁﾄﾞｯｸﾞ、割り込み機構は継続して動作します。これは、ﾀｲﾏ溢れのような内部割り込みやｳｫｯﾁﾄﾞｯｸﾞのﾘｾｯﾄだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。ｱﾅﾛｸﾞ比較器割り込みからの起動復帰が必要ない場合、ｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)のｱﾅﾛｸﾞ比較器禁止(ACD)ﾋﾞｯﾄを設定(1)することより、ｱﾅﾛｸﾞ比較器を電源断にできます。これはｱｲﾄﾞﾙ動作での消費電力削減になります。ｱｲﾄﾞﾙ動作から起動復帰すると、CPUは直ちにﾌﾟﾛｸﾞﾗﾑの実行を始めます。

ﾊﾟﾜｰﾀﾞｳﾝ動作

休止種別(SM)ﾋﾞｯﾄが設定(1)されていると、SLEEP命令でMCUがﾊﾟﾜｰﾀﾞｳﾝ動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ｳｫｯﾁﾄﾞｯｸﾞは動作を継続します。外部ﾘｾｯﾄ、(許可されていれば)ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ、INT0またはINT1の外部ﾚﾍﾞﾙ割り込みだけがMCUを起動復帰できます。

ﾊﾟﾜｰﾀﾞｳﾝ動作からの起動復帰にﾚﾍﾞﾙで起動された割り込みが使われる時は、このLowﾚﾍﾞﾙがﾘｾｯﾄ遅延時間(t_{TOUT})より長い時間保持されなければならないことに注意してください。そうでないとMCUは起動復帰しません。

タイマ/カウンタ

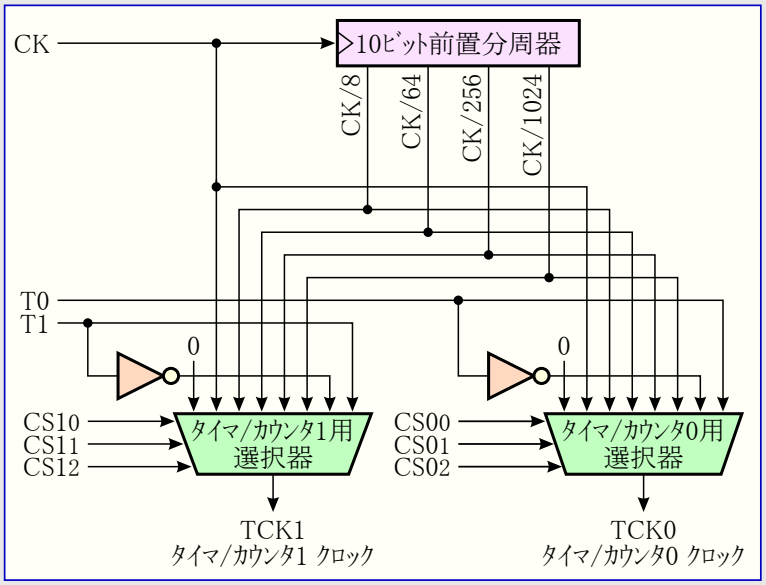
AT90S8515には8ビットと16ビットの2つの汎用タイマ/カウンタがあります。タイマ/カウンタには、同じ10ビット前置分周器用タイマから選択する個別の前置分周器があります。タイマ/カウンタは、内部クロックを基準とするタイマや、外部ピンに接続された起動信号によるカウンタなどの使用ができます。

タイマ/カウンタ前置分周器部

図28.はタイマ/カウンタの前置分周器の概略を示します。

前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、CK/8, CK/64, CK/256, CK/1024です。2つのタイマ/カウンタでは更なる選択として、CK、外部クロック信号、または停止がクロック元として選択できます。

図28. タイマ/カウンタ前置分周器部構成



タイマ/カウンタ0

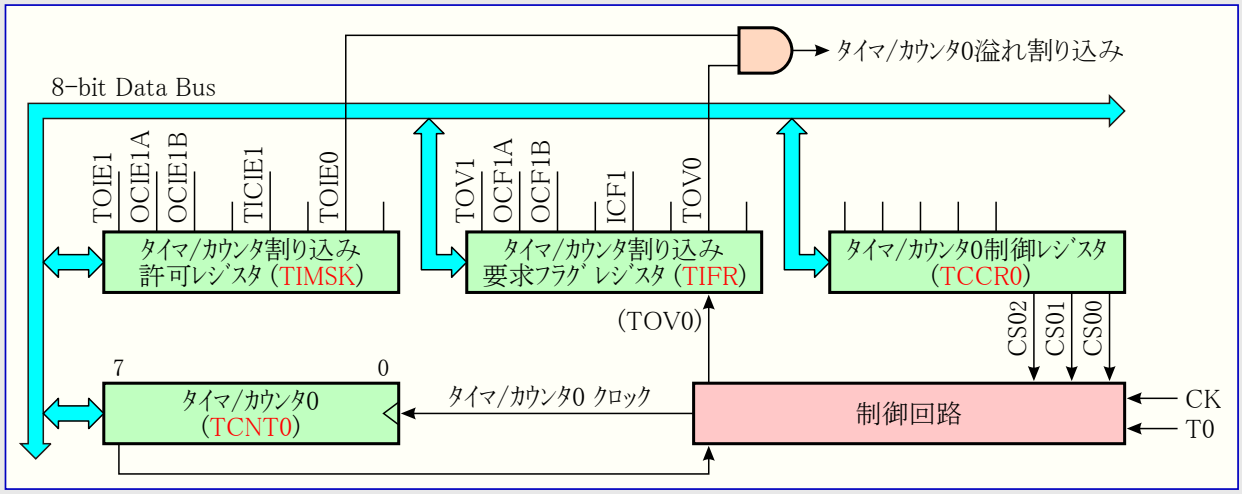
図29.はタイマ/カウンタ0の構成図を示します。

8ビットのタイマ/カウンタ0は、CK、分周されたCK、または外部ピンからクロック元を選択できます。更に、タイマ/カウンタ0制御レジスタ(TCCR0)の詳細で説明されるように停止もできます。溢れ状態フラグ(TOV0)はタイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)にあります。制御ビットはタイマ/カウンタ0制御レジスタ(TCCR0)にあります。タイマ/カウンタ0に関する割り込みの許可/禁止設定はタイマ/カウンタ割り込み許可レジスタ(TIMSK)内にあります。

タイマ/カウンタ0が外部的にクロック駆動されるとき、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が、少なくても1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

8ビットのタイマ/カウンタ0は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会は低速な目的やまれに動く正確なタイミングの目的についてタイマ/カウンタ0を有効にします。

図29. タイマ/カウンタ0構成図



■ タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
$33 ($53)	–	–	–	–	–	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット2～0 – CS02～0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

クロック選択0ビット2～0はタイマ/カウンタ0に供給するクロック元を定義します。

表7. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T0(PB0)ピンの下降端
1	1	1	外部T0(PB0)ピンの上昇端

停止状態はタイマ/カウンタの許可/禁止機能を提供します。CKの分周出力動作では、発振器クロック(CK)から直接的に分周されます。タイマ/カウンタ0に外部ピン動作が使われると、例えT0(PB0)が出力として設定されていても、このピン上の変移がタイマ/カウンタを計数します。この特徴が計数動作のソフトウェア制御を提供します。

■ タイマ/カウンタ0 (Timer/Counter0) TCNT0

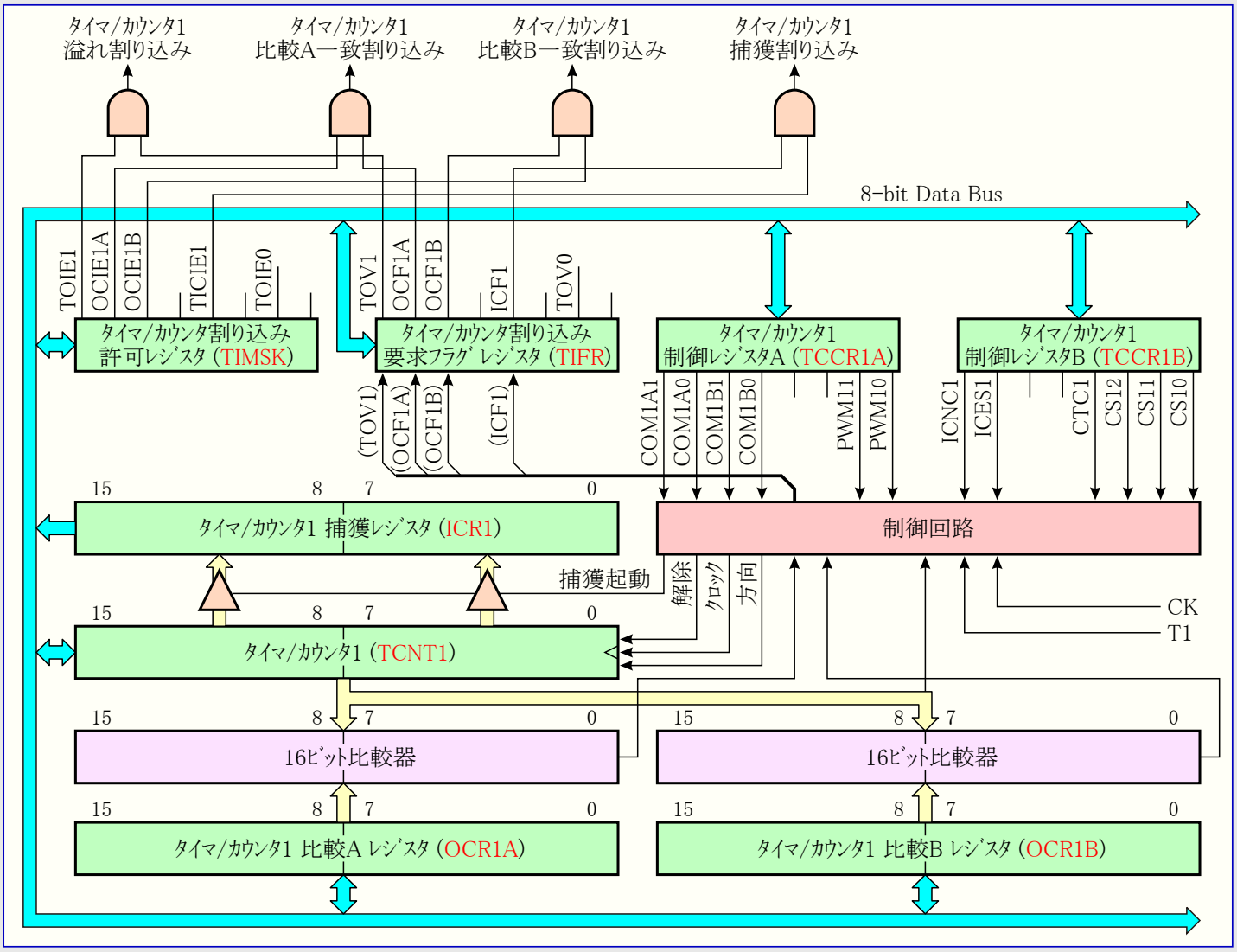
ビット	7	6	5	4	3	2	1	0	
$32 ($52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタ0は、読み書きできる上昇カウンタとして実現されます。タイマ/カウンタ0が書かれ、クロック元が存在すると、タイマ/カウンタ0は書き込み動作の次に来るタイマ/カウンタ クロック周期で計数を開始/継続します。

16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1

図30.はﾀｲﾏ/ｶｳﾝﾀ1についての構成図を示します。

図30. ﾀｲﾏ/ｶｳﾝﾀ1構成図



16ﾋﾞｯﾄのﾀｲﾏ/ｶｳﾝﾀ1はｸﾛｯｸ元にCK、分周されたCK、または外部ﾋﾟﾝからのｸﾛｯｸ元を選択できます。更に、ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀB(TCCR1B)の詳細で説明されるように停止もできます。各種状態ﾌﾗｸﾞ(溢れ:TOV1、比較A一致:OCF1A、比較B一致: OCF1B、捕獲発生:ICF1)はﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)にあります。制御ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀA(TCCR1A)とﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀB(TCCR1B)にあります。ﾀｲﾏ/ｶｳﾝﾀ1に関する割り込みの許可/禁止設定はﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)内にあります。

ﾀｲﾏ/ｶｳﾝﾀ1が外部的にｸﾛｯｸ駆動されるとき、外部信号はCPUの発振器周波数で同期化されます。外部ｸﾛｯｸの正しい採取を保証するには、外部ｸﾛｯｸの2つの変移間の最小時間が、少なくても1つの内部CPUｸﾛｯｸ周期以上でなければなりません。この外部ｸﾛｯｸ信号は内部CPUｸﾛｯｸの上昇端で採取されます。

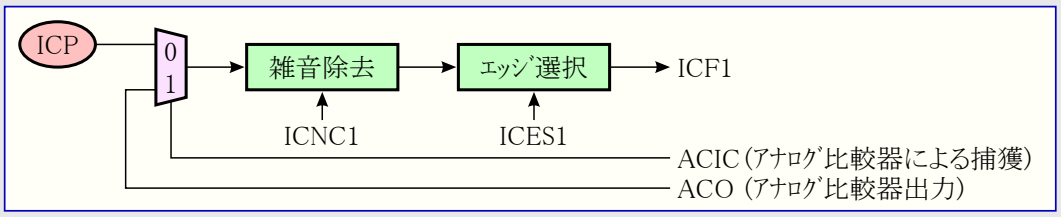
16ﾋﾞｯﾄのﾀｲﾏ/ｶｳﾝﾀ1は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会は低速な目的やまれに動く正確なﾀｲﾐﾝｸﾞの目的についてﾀｲﾏ/ｶｳﾝﾀ1を有効にします。

ﾀｲﾏ/ｶｳﾝﾀ1は、ﾀｲﾏ/ｶｳﾝﾀ1の内容と比較されるﾃﾞｰﾀ元として比較ﾚｼﾞｽﾀ(OCR1AとOCR1B)を使う比較出力機能を支援します。この比較出力機能は、選択可能な比較一致でのｶｳﾝﾀの解除(=$0000)や、両方の比較一致での比較出力(OC1AとOC1B)ﾋﾟﾝ上の動作を含みます。

ﾀｲﾏ/ｶｳﾝﾀ1は8、9または10ﾋﾞｯﾄのﾊﾟﾙｽ幅変調器(PWM)としても使えます。この動作では、ﾀｲﾏ/ｶｳﾝﾀ1(TCNT1)と比較ﾚｼﾞｽﾀ(OCR1AとOCR1B)は、不具合の無い周期中央ﾊﾟﾙｽ方式の独立したPWMとして扱えます。この機能の詳細説明については27頁を参照してください。

ﾀｲﾏ/ｶｳﾝﾀ1の捕獲機能は、ICPﾋﾟﾝの外部要因により起動される、ﾀｲﾏ/ｶｳﾝﾀ1の内容の捕獲ﾚｼﾞｽﾀ(ICR1)への捕獲(複写)を提供します。実際の捕獲要因(条件)は、ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀB(TCCR1B)により定義されます。加えて、ｱﾅﾛｸﾞ比較器は捕獲の起動に設定できます。この詳細については、39頁の「ｱﾅﾛｸﾞ比較器」を参照してください。ICPﾋﾟﾝの回路は図31.で示されます。

図31. ICPﾋﾟﾝ回路構成



雑音除去機能が許可されると、捕獲についての実際の起動条件は4回の採取に渡って監視され、捕獲ﾌﾗｸﾞを有効とするには4回全てが同じでなければなりません。

■ ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀA (Timer/Counter1 Control Register A) TCCR1A

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2F ($4F)	COM1A1	COM1A0	COM1B1	COM1B0	–	–	PWM11	PWM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾋﾞｯﾄ7,6 – COM1A1,0 : 比較A出力選択 (Compare Output Mode1A bit 1 and 0)

このCOM1A1とCOM1A0制御ﾋﾞｯﾄは、ﾀｲﾏ/ｶｳﾝﾀ1(TCNT1)での比較A一致に続く、何れかの出力ﾋﾟﾝ動作を決めます。何れかの出力ﾋﾟﾝ動作はOC1A/PD5(比較A出力)ﾋﾟﾝに影響を及ぼします。これはI/Oﾎﾟｰﾄの交換機能で、対応する方向制御ﾋﾞｯﾄは出力ﾋﾟﾝを制御するため、設定(1)されなければなりません(DDD5=1)。制御設定は表8.で示されます。

■ ﾋﾞｯﾄ5,4 – COM1B1,0 : 比較B出力選択 (Compare Output Mode1B bit 1 and 0)

このCOM1B1とCOM1B0制御ﾋﾞｯﾄは、ﾀｲﾏ/ｶｳﾝﾀ1(TCNT1)での比較B一致に続く、何れかの出力ﾋﾟﾝ動作を決めます。何れかの出力ﾋﾟﾝ動作はOC1B(比較B出力)ﾋﾟﾝに影響を及ぼします。制御設定は表8.で示されます。

表8. 比較出力選択

COM1x1	COM1x0	意味
0	0	OC1x切断
0	1	OC1xﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	OC1xﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	OC1xﾋﾟﾝ Highﾚﾍﾞﾙ出力

注: ■ x=AまたはB
■ PWM動作では、これらのﾋﾞｯﾄは異なる機能をもちます。詳細説明については27頁の表12.を参照してください。

■ ﾋﾞｯﾄ3,2 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読まれます。

■ ﾋﾞｯﾄ1,0 – PWM11,0 : PWM動作選択 (Pulse Width Modulator Select bit 1 and 0)

これらのﾋﾞｯﾄは表9.に示されるﾀｲﾏ/ｶｳﾝﾀ1のPWM動作を選択します。この動作は27頁で説明されます。

表9. PWM動作選択

PWM11	PWM10	意味
0	0	PWM動作禁止
0	1	8ﾋﾞｯﾄPWM
1	0	9ﾋﾞｯﾄPWM
1	1	10ﾋﾞｯﾄPWM

■ タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
$2E ($4E)	ICNC1	ICES1	–	–	CTC1	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – ICNC1 : 捕獲起動入力雑音除去 (Input Capture1 Noise Canceler)

ICNC1ビットが解除(0)されると、捕獲起動入力の雑音除去機能が禁止されます。捕獲は説明されたように、ICP(捕獲起動入力)ピンで採取された最初の上昇端/下降端で起動されます。ICNC1が設定(1)されると、ICP(捕獲起動入力)ピンで連続する4回の採取が揃い、全ての採取がICES1ビットでの捕獲起動条件設定に対応するhigh/Lowでなければなりません。実際の採取周波数はXTAL(システム)クロック周波数です。

■ ビット6 – ICES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

ICES1が解除(0)されている間中、タイマ/カウンタ1の内容は捕獲起動入力(ICP)ピンの下降端で捕獲レジスタ(ICR1)へ転送されます。ICES1ビットが設定(1)されている間中、タイマ/カウンタ1の内容は捕獲起動入力(ICP)ピンの上昇端で捕獲レジスタへ転送されます。

■ ビット5,4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット3 – CTC1 : 一致解除許可 (Clear Timer/Counter1 on Compare Match)

CTC1制御ビットが設定(1)されると、タイマ/カウンタ1は比較A一致後のクロック周期で$0000にリセットされます。CTC1制御ビットが解除(0)されると、タイマ/カウンタ1は比較一致による影響を受けず計数動作を続けます。比較一致は一致に続くCPUクロック周期で検出されるため、1より大きい前置分周値が使われる時はこの動作が違う動作になります。前置分周値が1で、比較Aレジスタ(OCR1A)にnが設定されている時にCTC1が設定(1)されていると、タイマ/カウンタ1は次のように計数します。

～	n-2	n-1	n	0	1	～

前置分周器がCK/8分周に設定されていると、タイマ/カウンタ1は次のように計数します。

～	n-2	n-2	n-2	n-2	n-2	n-2	n-2	n-2	n-1	n-1	n-1	n-1	n-1	n-1	n-1	n-1	n	0	0	0	0	0	0	0	1	1	1	1	～

PWM動作では、このビットは無効です。

■ ビット2～0 – CS12～0 : クロック選択1 (Clock Select1, bit 2,1 and 0)

このクロック選択1ビット2～0はタイマ/カウンタ1(TCNT1)に供給するクロックを定義します。

表10. タイマ/カウンタ1入力クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ1は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T1(PB1)ピンの下降端
1	1	1	外部T1(PB1)ピンの上昇端

停止状態はタイマ/カウンタの動作許可/禁止機能を提供します。CKが分周される動作では発振器クロックCKから直接的に分周されます。タイマ/カウンタ1に外部ピン動作が使われると、T1(PB1)が出力として設定されていても、このピン上の変移はカウンタを駆動します。この特徴が計数動作のソフトウェア制御を可能にします。

■ **ﾀｲﾏ/ｶｳﾝﾀ1** (Timer/Counter1) **TCNT1H,TCNT1L (TCNT1)**

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
$2D ($4D)	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2C ($4C)								(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この16ﾋﾞｯﾄ ﾚｼﾞｽﾀは16ﾋﾞｯﾄのﾀｲﾏ/ｶｳﾝﾀ1の前置分周された値を含みます。CPUがこれらのﾚｼﾞｽﾀをｱｸｾｽするとき、上位と下位のﾊﾞｲﾄの両方が同時に読み書きされることを保証するため、このｱｸｾｽは8ﾋﾞｯﾄの一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは、比較ﾚｼﾞｽﾀ(OCR1A, OCR1B)や捕獲ﾚｼﾞｽﾀ(ICR1)をｱｸｾｽするときにも使われます。主ﾌﾟﾛｸﾞﾗﾑと割り込みﾙｰﾁﾝがTEMPを使うﾚｼﾞｽﾀにｱｸｾｽする場合、主ﾌﾟﾛｸﾞﾗﾑや(多重割り込みを許す)割り込みﾙｰﾁﾝからのｱｸｾｽ中、割り込みは禁止されなければなりません。

・**ﾀｲﾏ/ｶｳﾝﾀ1(TCNT1)書き込み** (Timer/Counter1 Write)

CPUが上位ﾊﾞｲﾄ(TCNT1H)に書くとき、書かれたﾃﾞｰﾀは一時ﾚｼﾞｽﾀ(TEMP)に置かれます。次にCPUが下位ﾊﾞｲﾄ(TCNT1L)に書くとき、TEMP内のﾊﾞｲﾄ ﾃﾞｰﾀと組み合わされ、16ﾋﾞｯﾄ全てがﾀｲﾏ/ｶｳﾝﾀ1(TCNT1)へ同時に書かれます。従って、完全な16ﾋﾞｯﾄ ﾚｼﾞｽﾀ書き込み操作では、上位ﾊﾞｲﾄ(TCNT1H)が先にｱｸｾｽされなければなりません。

・**ﾀｲﾏ/ｶｳﾝﾀ1(TCNT1)読み込み** (Timer/Counter1 Read)

CPUが下位ﾊﾞｲﾄ(TCNT1L)を読むとき、下位ﾊﾞｲﾄ(TCNT1L)のﾃﾞｰﾀがCPUへ送られ、上位ﾊﾞｲﾄ(TCNT1H)のﾃﾞｰﾀが一時ﾚｼﾞｽﾀ(TEMP)に置かれます。CPUが上位ﾊﾞｲﾄ(TCNT1H)を読むとき、CPUはTEMP内のﾃﾞｰﾀを受け取ります。従って、完全な16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込み操作では、下位ﾊﾞｲﾄ(TCNT1L)が先にｱｸｾｽされなければなりません。

ﾀｲﾏ/ｶｳﾝﾀ1は読み書き可能な上昇/下降(PWM動作時)ｶｳﾝﾀとして実現されます。ｸﾛｯｸ供給元が選択され、ﾀｲﾏ/ｶｳﾝﾀ1が書かれると、ﾀｲﾏ/ｶｳﾝﾀ1は書かれた値を設定後、次のﾀｲﾏ/ｶｳﾝﾀ1 ｸﾛｯｸ周期で計数を開始/継続します。

■ タイマ/カウンタ1 比較Aレジスタ (Timer/Counter1 Output Compare Register A) OCR1AH,OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
$2B ($4B)	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
$2A ($4A)								(LSB)	OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ タイマ/カウンタ1 比較Bレジスタ (Timer/Counter1 Output Compare Register B) OCR1BH,OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
$29 ($49)	(MSB)								OCR1BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
$28 ($48)								(LSB)	OCR1BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタは読み書き可能な16ビットのレジスタです。

このタイマ/カウンタ1比較レジスタ(OCR1A, OCR1B)は、タイマ/カウンタ1(TCNT1)と継続的に比較されるべきデータを保持します。比較一致での動作はタイマ/カウンタ1の制御と状態のレジスタで詳細に示されます。比較一致はタイマ/カウンタ1がOCR値を計数する場合のみ起きます。TCNT1とOCR1AまたはOCR1Bに同じ値を設定するソフトウェア書き込みでは、比較一致を生成しません。

比較一致は比較での出来事に続くCPUクロック周期で比較一致割り込み要求フラグ(OCF1A, OCF1B)を設定(1)します。

この比較レジスタ(OCR1AとOCR1B)は16ビット レジスタなので、両方のバイトが同時に更新されるのを保証するため、OCR1A/Bが書かれる時には一時レジスタ(TEMP)が使われます。CPUが上位バイト(OCR1AHまたはOCR1BH)に書くとき、データはTEMP内に保存されます。CPUが下位バイト(OCR1ALまたはOCR1BL)に書くとき、TEMPの値が同時に上位バイト(OCR1AHまたはOCR1BH)へ書かれます。従って、完全な16ビット レジスタの書き込み操作では、上位バイト(OCR1AHまたはOCR1BH)が先に書かれなければなりません。

この一時レジスタはタイマ/カウンタ1(TCNT1)や捕獲レジスタ(ICR1)をアクセスするときにも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

■ タイマ/カウンタ1 捕獲レジスタ (Timer/Counter1 Input Capture Register) ICR1H,ICR1L (ICR1)

ビット	15	14	13	12	11	10	9	8	
$25 ($45)	(MSB)								ICR1H
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
$24 ($44)								(LSB)	ICR1L
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

捕獲レジスタは読み込みのみ可能な16ビットのレジスタです。

捕獲起動入力(ICP)ピンで、タイマ/カウンタ1制御レジスタB(TCCR1B)の捕獲起動入力選択(ICES1)に従った信号の上昇端/下降端が検出されると、現在のタイマ/カウンタ1(TCNT1)の値が捕獲レジスタ(ICR1)に転送されます。同時にタイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)の捕獲割り込み要求フラグ(ICF1)が設定(1)されます。

この捕獲レジスタ(ICR1)が16ビット レジスタのため、両方のバイトが同時に読まれるのを保証するために、ICR1が読まれるときには一時レジスタ(TEMP)が使われます。CPUが下位バイト(ICR1L)を読むとき、そのデータがCPUへ送られ、上位バイト(ICR1H)のデータがTEMPに置かれます。CPUが上位バイト(ICR1H)のデータを読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビット レジスタ読み込み操作では、下位バイト(ICR1L)が先に読まれなければなりません。

この一時レジスタは、タイマ/カウンタ1(TCNT1)や比較レジスタ(OCR1A, OCR1B)をアクセスするときにも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 PWM動作

PWM動作が選択されると、タイマ/カウンタ1(TCNT1)、比較Aレジスタ(OCR1A)、比較Bレジスタ(OCR1B)は自走動作で不具合のない位相基準の8,9または10ビットPWMとOC1A(PD5)とOC1Bピン出力を形成します。タイマ/カウンタ1は上昇/下降カウンタとして動作し、$0000からTOP(上限値:表11.参照)まで上昇計数し、その周期が繰り返される前に向きを変えて再び$0000まで下降計数します。タイマ/カウンタ1値がOCR1AまたはOCR1Bの最下位側8,9または10ビットの内容と一致すると、OC1A(PD5)またはOC1Bピンはタイマ/カウンタ1制御レジスタA(TCCR1A)の比較A出力選択(COM1A1,COM1A0)または比較B出力選択(COM1B1,COM1B0)の設定に従って設定(High)または解除(Low)されます。詳細については表12.を参照してください。

表11. PWM分解能対計数上限値、PWM周波数の関係

PWM分解能	TOP (計数上限値)	PWM周波数	備考
8ビット	$00FF (255)	fTCK1/510	fTCK1=タイマ/カウンタ1のクロック入力周波数
9ビット	$01FF (511)	fTCK1/1022	
10ビット	$03FF (1023)	fTCK1/2046	

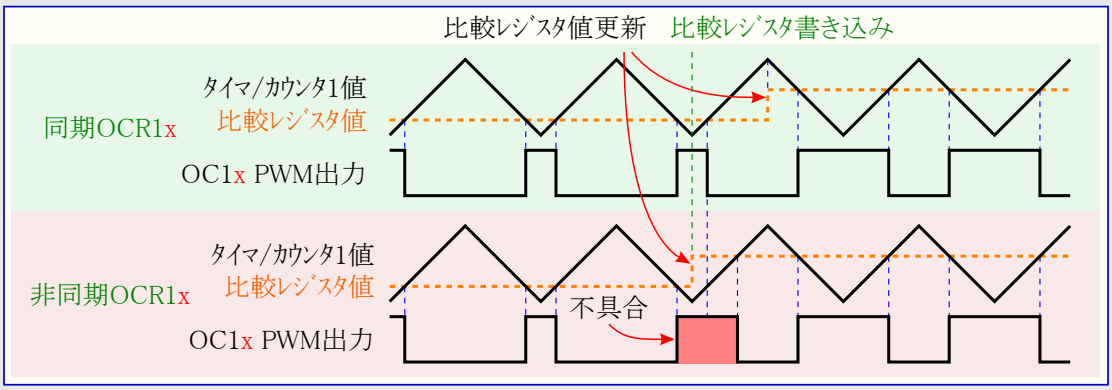
表12. PWM出力選択 (比較出力選択と兼用)

COM1x1	COM1x0	OC1x出力
0	0	OC1x出力切断 (PD5は標準I/Oとして動作)
0	1	
1	0	上昇計数時の一致で解除(Low)、下降計数時の一致で設定(High) [非反転出力]
1	1	下降計数時の一致で解除(Low)、上昇計数時の一致で設定(High) [反転出力]

注: x=AまたはB

PWM動作では、比較レジスタ(OCR1A/OCR1B)が書かれるとき、最下位側10ビットが一時領域に転送されることに注意してください。これらはタイマ/カウンタ1(TCNT1)が上限値(TOP)に到達するとき、比較レジスタに設定されます。これはOCR1A/OCR1B非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図32.を参照してください。

図32. OCR1xの同期/非同期設定



注: x=AまたはB

書き込みと実際の設定間、OCR1AまたはOCR1B読み込みは一時領域の内容が読まれます。これは常に最も最近書かれた値がOCR1A/OCR1Bの読み出しとなることを意味します。

OCR1A/OCR1Bが$0000または上限値(TOP)を含むと、OC1A/OC1B出力は次の比較一致で、TCCR1AのCOM1A1とCOM1A0またはCOM1B1とCOM1B0の指定に従って、HighまたはLowに更新/保持されます。これは表13.で示されます。

注: 比較レジスタ(OCR1A/OCR1B)が上限値(TOP)で、前置分周器を使わない(CS12～0＝001)場合、上昇計数と下降計数の値が同時に到達されるため、PWM出力はまったくパルスを生成しません。前置分周器を使う(CS12～0≠001または000)と、タイマ/カウンタ1が上限値に達すると、PWM出力は動きますが、次回にタイマ/カウンタ1が上限値へ達する前の下降計数での至るべき比較一致が判定されませんので、1周期(回)のPWMパルスになってしまいます。

表13. 上限値、下限値でのPWM出力

COM1x1	COM1x0	OCR1x	OC1x出力
1	0	$0000	L
		上限値	H
1	1	$0000	H
		上限値	L

注: x=AまたはB

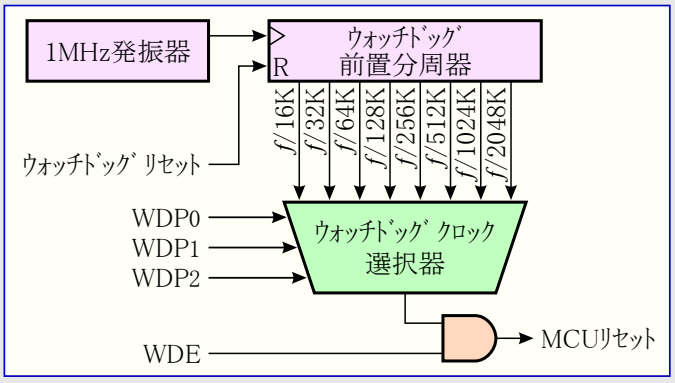
PWM動作ではタイマ/カウンタ1が$0000から進む時にタイマ/カウンタ1溢れ(TOV1)フラグが設定(1)されます。タイマ/カウンタ1溢れ割り込みは通常動作、換言すると、ステータス レジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットが許可されていれば、TOV1が設定(1)される時に割り込みが実行されるように、正確に動作します。これは比較一致割り込み(OCF1A,OCF1B)フラグと割り込みについても適用されます。

ウォッチドッグ タイマ

このウォッチドッグ タイマは、1MHzで動作する独立した内蔵発振器から駆動されます。この周波数はVCC=5Vでの代表値です。他の電源電圧での代表値については特性データを参照してください。ウォッチドッグ タイマの前置分周器を制御することにより、ウォッチドッグ リセット周期は調整できます。詳細説明については表14.を参照してください。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。8つの異なるクロック周期はこのリセット周期を決めるために選択されます。他のウォッチドッグ リセット(WDR命令)なしで、このリセット周期が経過すると、AT90S8515はリセットし、リセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては、14頁を参照してください。

予期せぬウォッチドッグ禁止を防止するため、ウォッチドッグが禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの説明を参照してください。

図33. ウォッチドッグ タイマ構成図



■ ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCR

ビット	7	6	5	4	3	2	1	0	
$21 $(41)	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~5 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット4 – WDTOE : ウォッチドッグ停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に周期します。ウォッチドッグ禁止手順についてはWDEビットの説明を参照してください。

■ ビット3 – WDE : ウォッチドッグ許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ停止移行許可(WDTOE)ビットが設定(1)されている場合のみ解除(0)できます。許可されたウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック以内に、WDEへ論理0を書きます。これがウォッチドッグを禁止します。

■ ビット2~0 – WDP2~0 : ウォッチドッグ タイマ前置分周器選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2～0は、ウォッチドッグ タイマが許可されるときのウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は表14.に示されます。

表14. ウォッチドッグ前置分周器選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

注: 68頁の「代表特性」内で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。

ウォッチドッグ タイマが許可される前に、常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周器設定に一致するリセット周期を保証します。このリセット操作なしにウォッチドッグが許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

予期せぬMCUリセットを避けるため、ウォッチドッグ タイマ前置分周器選択の変更前には、ウォッチドッグ タイマが禁止されるかリセットされるべきです。

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間はVCC電圧に依存し、2.5～4msの範囲です。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは次バイトが書ける時を検知してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。厳重に濾波した電源では、電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの条件下のCPU動作はプログラム カウンタに予期せぬ分岐を実行させるかもしれず、結果的にEEPROM書き込みコードを実行する原因になりそうです。この場合、完全にEEPROMを保護するために外部低電圧リセット回路の使用が推奨されます。

不測のEEPROM書き込みを防ぐため、特別な書き込み手順に従わなければなりません。この詳細については「EEPROM制御レジスタ(EECR)」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止されます。EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止されます。

■ EEPROMアドレス レジスタ (EEPROM Address Register) EEARH,EEARL (EEAR)

ビット	15	14	13	12	11	10	9	8	
$1F ($3F)	–	–	–	–	–	–	–	EEAR8	EEARH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
$1E ($3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット8～0 – EEAR8～0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレス レジスタ(EEARHとEEARLのEEAR8～0)は512バイトのEEPROM空間のEEPROMアドレスを指定します。EEPROMデータのバイトは0～511間で直線的に配置されています。

■ EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
$1D ($3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレス レジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

■ EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
$1C ($3C)	–	–	–	–	–	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット2 – EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)

このEEMWEビットは、EEPROM書き込み許可(EEWE)ビットの1設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEWEの1設定は選択されたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「書き込み許可(EEWE)ビット」の記述を参照してください。

■ ﾋﾞｯﾄ1 – EEWE : EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みｽﾄﾛｰﾌﾞです。ｱﾄﾞﾚｽとﾃﾞｰﾀが適切に設定されると、EEPROMへこの値を書き込むために、このEEWEﾋﾞｯﾄを設定(1)しなければなりません。論理1がEEWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ﾋﾞｯﾄは設定(1)されなければならず、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2.と3.の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ﾋﾞｯﾄが0になるまで待機します。
2. 今回のEEPROMｱﾄﾞﾚｽをEEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEARHとEEARL)に書きます。(任意、省略可)
3. 今回のEEPROMﾃﾞｰﾀをEEPROMﾃﾞｰﾀ ﾚｼﾞｽﾀ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROM主書き込み許可(EEMWE)ﾋﾞｯﾄに論理1を書きます。(EEMWEﾋﾞｯﾄに論理1が書けるためには、同一周期内でEEWEﾋﾞｯﾄは0が書かれなければなりません。)
5. EEMWE設定後4ｸﾛｯｸ周期内に、EEPROM書き込み許可(EEWE)ﾋﾞｯﾄへ論理1を書きます。

書き込み時間(代表値で、2.5ms/VCC=5V, 4ms/VCC=2.7V)が経過してしまうと、EEWEﾋﾞｯﾄは自動的に解除(0)されます。次のﾊﾞｲﾄを書く前に、このﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞして0まで待機できます。EEWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

警告: 手順4.と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをｱｸｾｽする割り込み処理ﾙｰﾁﾝが他のEEPROMｱｸｾｽで割り込み、EEARまたはEEDRを変更すると、割り込まれたEEPROMｱｸｾｽが失敗する原因になります。これらの問題を防ぐため、手順2.～5.の間中、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄは解除(0)されていることが推奨されます。

■ ﾋﾞｯﾄ0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みｽﾄﾛｰﾌﾞです。EEARに適切なｱﾄﾞﾚｽが設定されると、このEEREﾋﾞｯﾄを設定(1)しなければなりません。EEREﾋﾞｯﾄが自動的に解除(0)されると、求められたﾃﾞｰﾀがEEDR内にあります。EEPROM読み込みｱｸｾｽは1命令で行われるので、EEREﾋﾞｯﾄのﾎﾟｰﾘﾝｸﾞは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEEWEﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞすべきです。新規ﾃﾞｰﾀまたはｱﾄﾞﾚｽがEEPROM I/Oﾚｼﾞｽﾀに書かれるときに書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROMﾃﾞｰﾀ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMﾃﾞｰﾀが化けてしまいます。これらはEEPROMを使った基板ﾚﾍﾞﾙの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMﾃﾞｰﾀ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのﾃﾞｰﾀ化けは容易に避けることができます。

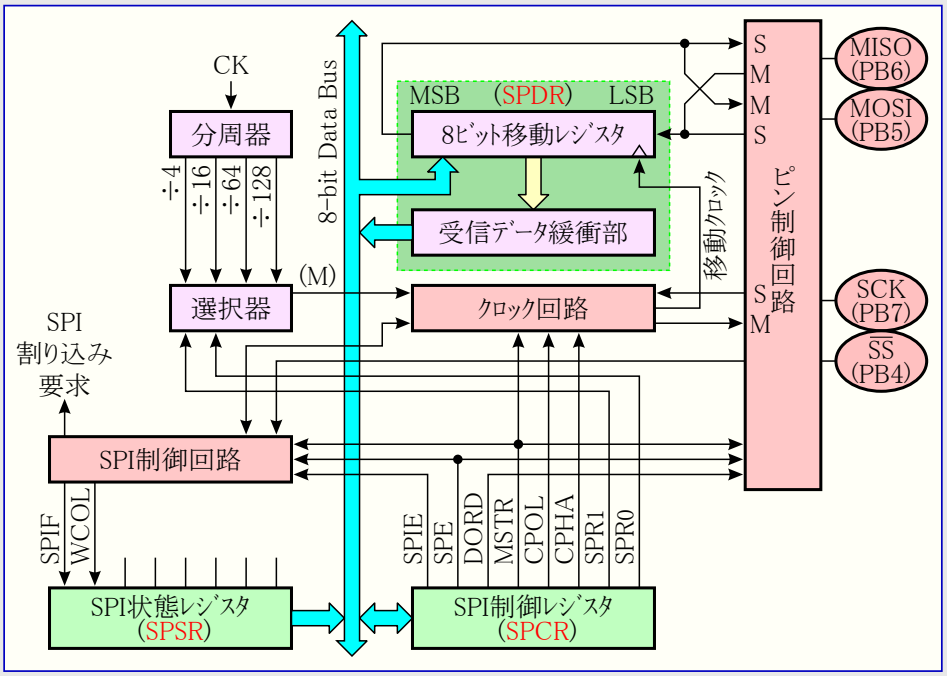
- 電源の供給電圧が不足する時間中、AVRの$\overline{\text{RESET}}$を有効(Low)に保ちます。これは外部低VCCﾘｾｯﾄ保護回路による実現が最善で、これはﾌﾞﾗｳﾝｱｳﾄ検出器(BOD)として度々参照されます。電源ONﾘｾｯﾄと低電圧検出に関する設計上の考慮については、応用記述のAVR180を参照してください。
- 低VCCの時間中、AVRｺｱをﾊﾟﾜｰﾀﾞｳﾝ休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMﾚｼﾞｽﾀを保護する効果があります。
- ｿﾌﾄｳｪｱからﾒﾓﾘ内容を変更できることが必要とされない場合、ﾌﾗｯｼｭ ﾒﾓﾘに定数を格納します。ﾌﾗｯｼｭ ﾒﾓﾘはCPUにより更新されることができないので、ﾃﾞｰﾀ化けの問題はありません。

直列周辺インターフェース (SPI: Serial Peripheral Interface)

直列周辺インターフェースはAT90S8515と多くのAVRデバイスや周辺デバイス間の高速同期データ転送を行います。SPIは次の特徴を含みます。

- 3線式全二重同期通信
- 主装置/従装置動作
- LSB/MSB先行のデータ通信
- 4つの設定変更可能なビット速度
- 送信終了割り込み
- 送信上書き検出
- アイドル動作からの起動復帰
  (従装置動作のみ)

図34. SPI構成図



SPIでの主装置と従装置CPU間の相互連結は図35.で示されます。SCK(PB7)ピンは主装置動作でのクロック出力、従装置動作でのクロック入力です。主装置CPUのSPIデータレジスタ(SPDR)書き込みはSPIクロック発生器を起動し、書かれたデータがMOSI(PB5)ピンへ移動出力され、従装置CPUのMOSI(PB5)ピンに移動入力されます。1バイト移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の送信終了フラグ(SPIF)が設定(1)されます。SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置選択入力$\overline{SS}$(PB4)は個々の従装置SPIデバイスを選択するため、Lowに設定します。主装置と従装置の2つの移動レジスタは分配された1つの循環型16ビット長移動レジスタとみなせます。これは図35.で示されます。主装置から従装置へデータが移動されると同時にデータは逆方向にも移動されます。これは1移動周期中に主装置と従装置間のデータが交換されたことを意味します。

このシステムは送信方向が単一緩衝、受信方向が2重緩衝です。これは移動周期全てが完了される前に送信すべきバイトをSPIデータレジスタ(SPDR)に書けないことを意味します。しかし、データ受信時、次のバイトが完全に移動入力されてしまう前に、受信されたバイトがSPIデータレジスタ(SPDR)から読まれなければなりません。そうしないと、最初のバイトが失われます。

SPIが許可されると、MOSI, MISO, SCK, $\overline{SS}$ピンのデータ方向は表15.に従って強制されます。

図35. SPI主装置/従装置の連結

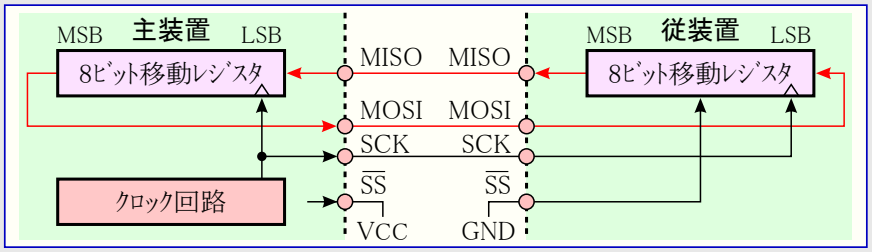


表15. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
$\overline{SS}$	ポートB方向レジスタ(DDRB)の指定	入力

注: DDRBの指定については44頁の「ポートBの交換機能」を参照してください。

$\overline{SS}$ピンの機能

SPI制御レジスタ(SPCR)の主装置(MSTR)ビットの設定(1)でSPIが主装置として設定されると、使用者が$\overline{SS}$ピンの方向を決められます。$\overline{SS}$が出力として設定されると、このピンはSPIシステムに影響を及ぼさない標準出力です。$\overline{SS}$が入力として設定されると、SPI主装置動作を保証するため、それはHighを保持しなければなりません。SPIが主装置として設定され、$\overline{SS}$ピンが入力として定義される時に$\overline{SS}$ピンが周辺回路によってLowに駆動されると、他の主装置が従装置としてSPIを選択し、データの送出を始めると解釈します。バスの衝突を避けるため、SPIシステムは次の動作を行います。

1. SPI制御レジスタ(SPCR)の主装置(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIが従装置になる結果、MOSIとSCKピンは入力になります。
2. SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可され、且つステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていれば、割り込み処理ルーチンが実行されます。

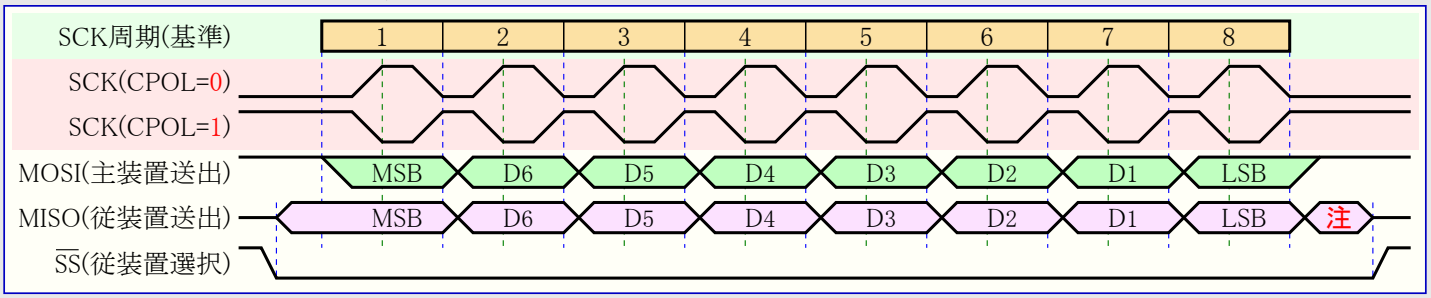
従って、割り込み駆動SPI送信が主装置動作で使われ、$\overline{SS}$がLowに駆動される可能性があるとき、割り込み処理はMSTRビットが未だ設定(1)されているかを常に検査すべきです。一旦MSTRビットが従装置選択によって解除(0)されてしまうと、SPI主装置動作を再び許可するため、それは使用者によって設定(1)されなければなりません。

SPIが従装置として設定されると、$\overline{SS}$ピンは常に入力です。$\overline{SS}$がLowに保持されると、SPIは活性化され、MISOは使用者によってそのよう(出力)に設定されるなら出力になります。他の全ピンは入力です。$\overline{SS}$がHighに駆動されると、出力として使用者設定され得るMISOを除く全ピンが外部的に入力で、SPIは到着データを受信しないことを意味する受動状態です。一旦$\overline{SS}$ピンがHighにされると、SPI回路がリセットすることに注意してください。送信中に$\overline{SS}$ピンがHighにされると、SPIは直ちに送受信を停止し、送受信両方のデータが失われるとみなさなければなりません。

データ転送形式

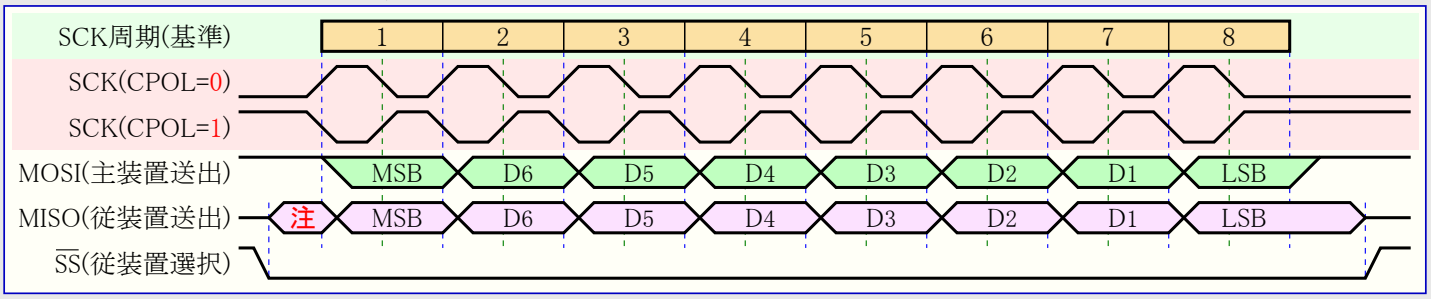
直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)ビットとSCK極性(CPOL)ビットで決められるSCKの位相と極性での4つの組み合わせがあります。SPIデータ転送形式は図36.と図37.で示されます。

図36. SPIデータ転送形式 (CPHA=0,DORD=0)



注: 未定義ですが、通常、受信されたデータのMSBです。

図37. SPIデータ転送形式 (CPHA=1,DORD=0)



注: 未定義ですが、通常、直前に送出されたデータのLSBです。

■ SPIデータ レジスタ (SPI Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
$0F ($2F)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータ レジスタはSPI移動レジスタと汎用レジスタ間のデータ転送に使われる読み書きレジスタです。このレジスタへ書くとデータ送信を開始します。このレジスタを読むと移動レジスタの受信緩衝部を読みます。

■ SPI状態ﾚｼﾞｽﾀ (SPI Status Register) SPSR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0E ($2E)	SPIF	WCOL	–	–	–	–	–	–	SPSR
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ﾋﾞｯﾄ7 – SPIF : SPI割り込み要求ﾌﾗｸﾞ (SPI Interrupt Flag)

直列転送が完了すると、このSPIFが設定(1)され、SPI制御ﾚｼﾞｽﾀ(SPCR)のSPI割り込み許可(SPIE)ﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが共に設定(1)されていれば、割り込みが生成されます。SPIが主装置動作の時に$\overline{SS}$が入力でLowに駆動されると、これもSPIFﾌﾗｸﾞを設定(1)します。SPIFは対応する割り込みﾍﾞｸﾀを実行すると、自動的に解除(0)されます。代わりに、SPIFが設定(1)されたSPSRを最初に読み、その後のSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)のｱｸｾｽによってもSPIFは解除(0)されます。

■ ﾋﾞｯﾄ6 – WCOL : 上書き発生ﾌﾗｸﾞ (Write Collision Flag)

ﾃﾞｰﾀ転送中にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)が書かれると、このWCOLﾌﾗｸﾞが設定(1)されます。このWCOLﾌﾗｸﾞ(とSPIFﾌﾗｸﾞ)はWCOLが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を最初に読み、その後のSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)のｱｸｾｽによって解除(0)されます。

■ ﾋﾞｯﾄ5~0 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。

AT90S8515のSPIｲﾝﾀｰﾌｪｰｽはﾌﾗｯｼｭ ﾒﾓﾘやEEPROMの書き換え(読み書き)にも使われます。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合については62頁を参照してください。

■ SPI制御ﾚｼﾞｽﾀ (SPI Control Register) SPCR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0D ($2D)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾋﾞｯﾄ7 – SPIE : SPI割り込み許可 (SPI Interrupt Enable)

全割り込みが許可(SREGのI=1)され、SPI状態ﾚｼﾞｽﾀ(SPSR)のSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)される場合、このﾋﾞｯﾄがSPI割り込みを実行させます。

■ ﾋﾞｯﾄ6 – SPE : SPI許可 (SPI Enable)

SPEﾋﾞｯﾄが設定(1)されるとSPIが許可されます。どのSPI操作でも、可能とするには、このﾋﾞｯﾄが設定(1)されなければなりません。

■ ﾋﾞｯﾄ5 – DORD : ﾃﾞｰﾀ順選択 (Data Order)

DORDﾋﾞｯﾄが設定(1)されるとLSBから送受信されます。DORDﾋﾞｯﾄが解除(0)されるとMSBから送受信されます。

■ ﾋﾞｯﾄ4 – MSTR : 主装置/従装置選択 (Master/Slave Select)

このﾋﾞｯﾄは設定(1)されると主装置SPI動作、解除(0)されると従装置SPI動作を選択します。$\overline{SS}$ﾋﾟﾝが入力として設定され、MSTRが設定(1)されている間にLowへ駆動されると、MSTRは解除(0)され、SPI状態ﾚｼﾞｽﾀ(SPSR)のSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)になります。SPI主装置動作を再び許可するには、その後MSTRを設定(1)しなければなりません。

■ ﾋﾞｯﾄ3 – CPOL : SCK極性選択 (Clock Polarity)

このﾋﾞｯﾄが設定(1)されるとSCKはｱｲﾄﾞﾙ時にHighとなります。CPOLが解除(0)されるとSCKはｱｲﾄﾞﾙ時にLowとなります。付加情報については**図36.**と**図37.**を参照してください。

■ ﾋﾞｯﾄ2 – CPHA : SCK位相選択 (Clock Phase)

このﾋﾞｯﾄの機能については**図36.**と**図37.**を参照してください。

■ ﾋﾞｯﾄ1,0 – SPR1,0 : ｸﾛｯｸ選択 (SPI Clock Rate Select 1 and 0)

これら2つのﾋﾞｯﾄは主装置として設定されるﾃﾞﾊﾞｲｽのSCK速度を制御します。従装置でのSPR1,0は無効です。SCKと発振器周波数(f_{CL})間の関連は**表16.**で示されます。

表16. SCK速度選択 (f_{CL}=発振器周波数)

SPR1	SPR0	SCK周波数
0	0	$f_{CL}/4$
0	1	$f_{CL}/16$
1	0	$f_{CL}/64$
1	1	$f_{CL}/128$

UART

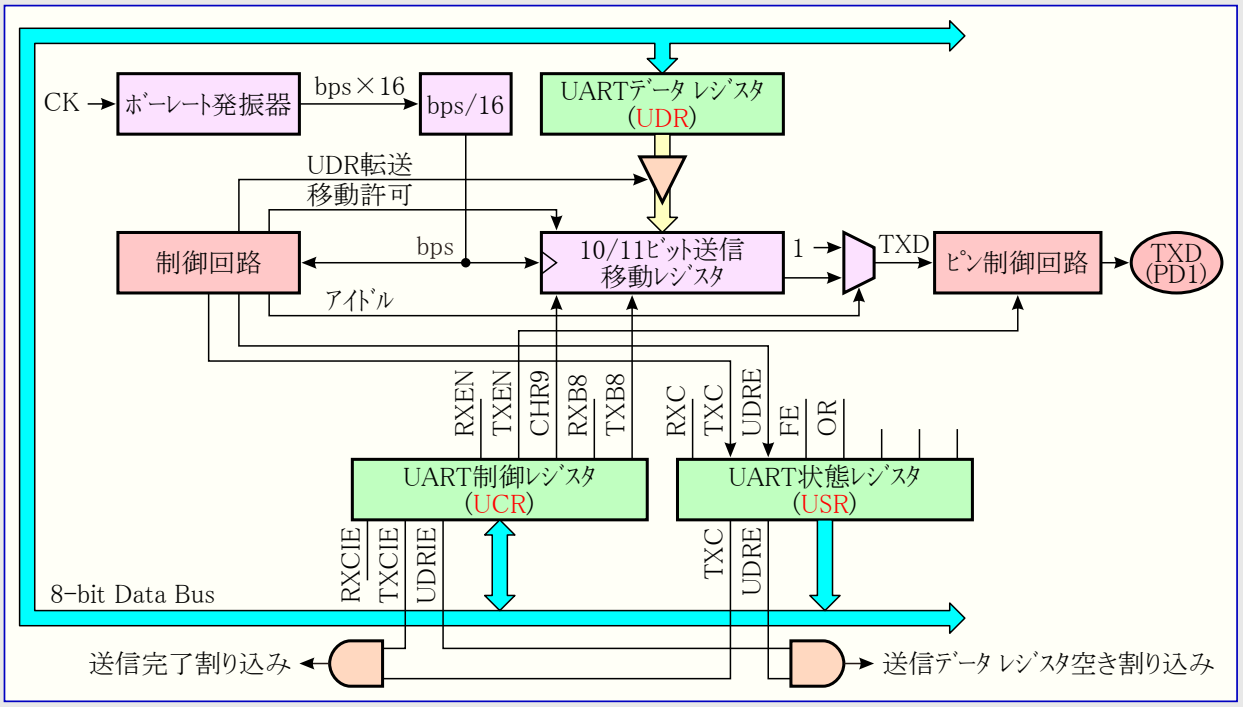
AT90S8515は送受信のレジスタが分離された全二重(フルデュープレックス)のUART(Universal Asynchronous Receiver and Transmitter)が特徴です。主な特徴を次に示します。

- 多数のボーレート速度(bps)を発生できるボーレート発振器
- 低いクリスタル周波数での高ボーレート
- 8または9ビット データ
- 雑音濾波器機能
- オーバーラン検出
- フレーミング異常検出
- 不正開始ビット検出
- 受信完了、送信完了、送信データ レジスタ空きの3つの独立した割り込み

データ送信

UART送信部の構成図は図38.で示されます。

図38. UART送信部構成図



データ送信はUARTデータ レジスタ(UDR)への送信すべきデータの書き込みにより開始されます。データは次の時にUDRから送信移動レジスタへ転送されます。

- 直前のデータが移動出力されてしまってから停止ビットの後に、新データがUDRに書かれると、移動レジスタは直ちに設定されます。
- 直前のデータが移動出力されてしまってから停止ビットの前に、新データがUDRに書かれると、正しく送信されている(直前の)データの停止ビットが移動出力されてしまうときに、移動レジスタは設定されます。

10/11ビット送信移動レジスタが空の場合、データはUARTデータ レジスタ(UDR)から、この移動レジスタへ転送されます。このとき、UART状態レジスタ(USR)のUARTデータ レジスタ空き(UDRE)ビットが設定(1)されます。このビットが設定(1)されると、UARTは次データを受け取る用意ができています。UDRから10/11ビット移動レジスタへ転送されると同時に、移動レジスタのビット0が解除(0)され(開始ビット)、ビット9または10が設定(1)されます(停止ビット)。UART制御レジスタ(UCR)の9ビット選択(CHR9)ビット=1で、9ビット長データが選択されていると、UCRの送信ビット8(TXB8)ビットが送信移動レジスタのビット9に転送されます。

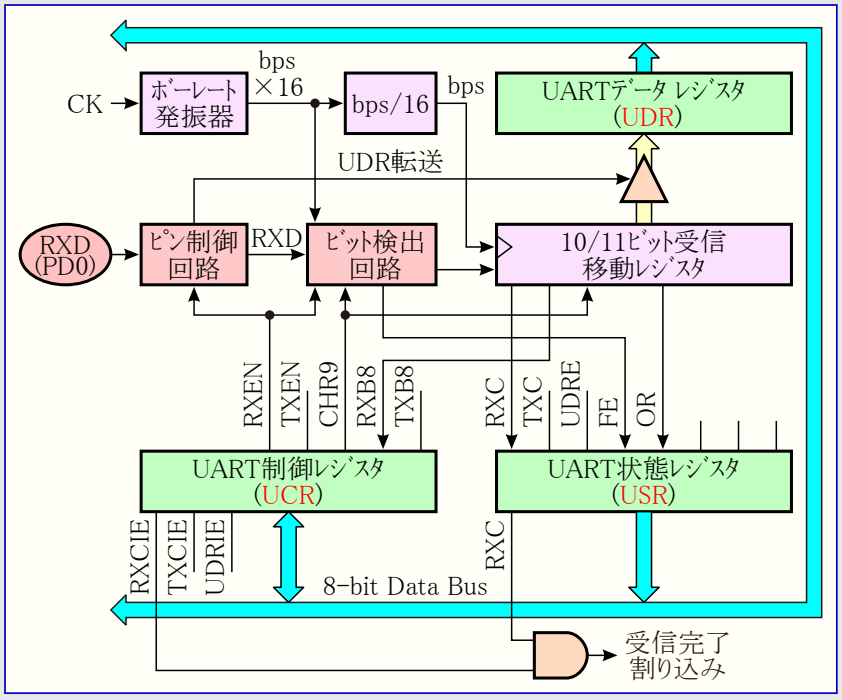
移動レジスタへの転送操作に続くボーレート クロックで開始ビットがTXDピン上に移動出力されます。その後LSBが先でデータを続けます。停止ビットが移動出力されてしまうとき、送信(移動)中に何れかの新規データが書かれてしまっている場合、移動レジスタは(そのデータ)で設定されます。この設定中にUDREが設定(1)されます。停止ビットが移動出力される時に送るためのUDR内の新規データがない場合、UDREはUDRが再び書かれるまで設定(1)に留まります。新規データが書かれず、停止ビットが1ビット長分、TXD上に存在してしまうと、USRの送信完了(TXC)フラグが設定(1)されます。

UCRの送信許可(TXEN)ビットは設定(1)時にUART送信部を許可します。このビットが解除(0)されると、PD1/TXDピンは標準I/Oで使えます。TXENが設定(1)されると、UART送信部はPD1/TXDピンに接続され、それはポートD方向レジスタ(DDRD)のDDD1ビットの設定に拘らず、強制的に出力とされます。

ﾃﾞｰﾀ受信

図39.はUART受信部の構成図を示します。

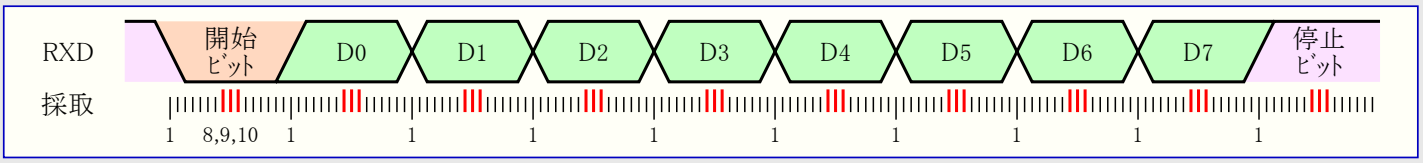
図39. UART受信部構成図



受信部前処理回路はﾎﾞｰﾚｰﾄ周波数の16倍のｸﾛｯｸでRXDﾋﾟﾝ上の信号を採取します。信号線がｱｲﾄﾞﾙの間、1つの論理0の採取は開始ﾋﾞｯﾄの上昇端として判定され、開始ﾋﾞｯﾄ検出手順が開始されます。第1採取は、この最初の0採取を示します。1から0への遷移に続き、受信部は第8、9、10採取でRXDﾋﾟﾝを採取します。これら3つの採取で2回以上の論理1を見つけると、開始ﾋﾞｯﾄは尖頭雑音として破棄され、受信部は次の1から0への遷移(開始ﾋﾞｯﾄ開始)検出を始めます。

そうでなければ、有効な開始ﾋﾞｯﾄが検出され、開始ﾋﾞｯﾄに続くﾃﾞｰﾀ ﾋﾞｯﾄの採取が実行されます。これらのﾋﾞｯﾄは同様に第8、9、10採取で採取されます。3つの採取の内、少なくとも2つが見つかった論理値がﾋﾞｯﾄ値として取得されます。全てのﾋﾞｯﾄは採取されると、受信移動ﾚｼﾞｽﾀ内に移動入力されます。到着ﾌﾚｰﾑの採取は図40.で示されます。

図40. 受信信号の採取



停止ﾋﾞｯﾄが受信部に入るとき、停止ﾋﾞｯﾄを受け入れるためには、3採取の多数が1でなければなりません。2つ以上の採取が論理0だと、UART状態ﾚｼﾞｽﾀ(USR)のﾌﾚｰﾐﾝｸﾞ異常(FE)ﾌﾗｸﾞが設定(1)されます。ﾌﾚｰﾐﾝｸﾞ異常を検出するため、常にUARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)を読む前に、このFEﾌﾗｸﾞを検査すべきです。

ﾌﾚｰﾑ受信周期の最後で有効な停止ﾋﾞｯﾄが検出されるかによらず、ﾃﾞｰﾀはUDRへ送られ、USRの受信完了(RXC)ﾌﾗｸﾞが設定(1)されます。実際のUDRは2つの物理的に分離したﾚｼﾞｽﾀで、受信ﾃﾞｰﾀ用に1つと送信ﾃﾞｰﾀ用に1つです。UDRが読まれると受信ﾃﾞｰﾀ ﾚｼﾞｽﾀが、UDRが書かれると送信ﾃﾞｰﾀ ﾚｼﾞｽﾀがｱｸｾｽされます。UART制御ﾚｼﾞｽﾀ(UCR)の9ﾋﾞｯﾄ選択(CHR9)ﾋﾞｯﾄ=1で、9ﾋﾞｯﾄ長ﾃﾞｰﾀが選択されていると、ﾃﾞｰﾀがUDRに転送されるときに、UCRの受信ﾋﾞｯﾄ8(RXB8)ﾋﾞｯﾄは受信移動ﾚｼﾞｽﾀのﾋﾞｯﾄ9が設定されます。

受信されたﾌﾚｰﾑ(ﾃﾞｰﾀ)があるのに、直前の受信以降、UDRが読まれていないと、USRのｵｰﾊﾞｰﾗﾝ(OR)ﾌﾗｸﾞが設定(1)されます。これは、受信移動ﾚｼﾞｽﾀに移動入力された最後の受信ﾃﾞｰﾀが、UDRに転送できないために、失われてしまうことを意味します。ORﾋﾞｯﾄは緩衝されており、UDR内の有効な受信ﾃﾞｰﾀが読まれる時に更新されます。従って、速いﾎﾞｰﾚｰﾄやCPU負荷が重い場合、どのｵｰﾊﾞｰﾗﾝをも検出するには、UDR読み込み後、常にこのORﾌﾗｸﾞを検査すべきです。

UCRの受信許可(RXEN)ﾋﾞｯﾄが解除(0)されると、受信部が禁止されます。これはPD0/RXDﾋﾟﾝが標準I/Oﾋﾟﾝとして使えることを意味します。RXENが設定(1)されると、UART受信部がPD0/RXDﾋﾟﾝに接続され、それはﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDD0の設定に拘らず、強制的に入力とされます。ﾎﾟｰﾄD出力ﾚｼﾞｽﾀ(PORTD)のPORTD0は、このﾋﾟﾝのﾌﾟﾙｱｯﾌﾟ抵抗を制御するために未だ使えます。

UCRの9ﾋﾞｯﾄ選択(CHR9)ﾋﾞｯﾄが設定(1)されると、送受信されるﾌﾚｰﾑは開始ﾋﾞｯﾄ+9ﾋﾞｯﾄ ﾃﾞｰﾀ+停止ﾋﾞｯﾄです。送信される第9ﾋﾞｯﾄ ﾃﾞｰﾀはUCRの送信ﾋﾞｯﾄ8(TXB8)ﾋﾞｯﾄです。このﾋﾞｯﾄは、UDR書き込みにより送信が開始される前に、必要とされる値を設定しなければなりません。受信された第9ﾋﾞｯﾄ ﾃﾞｰﾀは、UCRの受信ﾋﾞｯﾄ8(RXB8)ﾋﾞｯﾄです。

UART制御

■ UARTﾃﾞｰﾀ ﾚｼﾞｽﾀ (UART I/O Data Register) UDR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0C ($2C)	(MSB)							(LSB)	UDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

実際には、UDRは同じI/Oｱﾄﾞﾚｽを共有する物理的に分離した2つのﾚｼﾞｽﾀです。このﾚｼﾞｽﾀに書くとUART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀが書かれます。UDRから読むとUART受信ﾃﾞｰﾀ ﾚｼﾞｽﾀが読まれます。

■ UART状態ﾚｼﾞｽﾀ (UART Status Register) USR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0B ($2B)	RXC	TXC	UDRE	FE	OR	–	–	–	USR
Read/Write	R	R/W	R	R	R	R	R	R	
初期値	0	0	1	0	0	0	0	0	

USRはUARTの状態情報を提供する読み込みのみ可能なﾚｼﾞｽﾀです。

■ ﾋﾞｯﾄ7 – RXC : UART受信完了ﾌﾗｸﾞ (UART Receive Complete)

受信されたﾃﾞｰﾀが受信移動ﾚｼﾞｽﾀからUARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)へ転送されるとき、このﾋﾞｯﾄが設定(1)されます。このﾋﾞｯﾄは、検出されたどんなﾌﾚｰﾐﾝｸﾞ異常にも関係なく設定されます。UART制御ﾚｼﾞｽﾀ(UCR)の受信完了割り込み許可(RXCIE)ﾋﾞｯﾄが設定(1)されていると、RXCが設定(1)された時にUART受信完了割り込みが実行されます。RXCはUDR読み込みによって解除(0)されます。割り込み駆動ﾃﾞｰﾀ受信が使われる時に、UART受信完了割り込み処理ﾙｰﾁﾝはRXCを解除(0)するためにUDRを読まなければなりません。そうしないと、一旦割り込み処理ﾙｰﾁﾝを終了しても、新規割り込みが発生します。

■ ﾋﾞｯﾄ6 – TXC : UART送信完了ﾌﾗｸﾞ (UART Transmit Complete)

送信移動ﾚｼﾞｽﾀ内の完全なﾃﾞｰﾀ(含む停止ﾋﾞｯﾄ)が移動出力されてしまい、新規ﾃﾞｰﾀがUARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)に書かれてしまっていないとき、このﾋﾞｯﾄは設定(1)されます。このﾋﾞｯﾄは、送信側が送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない半二重(ﾊｰﾌﾃﾞｭｰﾌﾟﾚｯｸｽ)通信で特に有用です。

UART制御ﾚｼﾞｽﾀ(UCR)の送信完了割り込み許可(TXCIE)ﾋﾞｯﾄが設定(1)されていると、TXCの設定(1)は、UART送信完了割り込みを実行させます。対応する割り込みﾍﾞｸﾀを実行すると、TXCは自動的に解除(0)されます。代わりに、このﾋﾞｯﾄに論理1を書くことによっても、TXCは解除(0)されます。

■ ﾋﾞｯﾄ5 – UDRE : UART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きﾌﾗｸﾞ (UART Data Register Empty)

UARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)に書かれたﾃﾞｰﾀが送信移動ﾚｼﾞｽﾀへ転送されるとき、このﾋﾞｯﾄは設定(1)されます。このﾋﾞｯﾄの設定(1)は、送信部が新規送信ﾃﾞｰﾀを受ける用意ができていることを示します。

UART制御ﾚｼﾞｽﾀ(UCR)の送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可(UDRIE)ﾋﾞｯﾄが設定(1)されていると、UDREが設定(1)されている限り、UART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みが実行されます。UDREはUDR書き込みにより解除(0)されます。割り込み駆動ﾃﾞｰﾀ送信が使われる時に、UART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み処理ﾙｰﾁﾝはUDREを解除(0)するためにUDRに書かなければなりません。そうしないと、一旦割り込み処理ﾙｰﾁﾝを終了しても、新規割り込みが発生します。

UDREは送信可を示すため、ﾘｾｯﾄ中に設定(1)されます。

■ ﾋﾞｯﾄ4 – FE : ﾌﾚｰﾐﾝｸﾞ異常ﾌﾗｸﾞ (Framing Error)

このﾌﾗｸﾞはﾌﾚｰﾐﾝｸﾞ異常条件が検出されると、換言すると、到着ﾌﾚｰﾑの停止ﾋﾞｯﾄが0のとき、設定(1)されます。

FEﾌﾗｸﾞは受信されるﾃﾞｰﾀの停止ﾋﾞｯﾄが1のときに解除(0)されます。

■ ﾋﾞｯﾄ3 – OR : ｵｰﾊﾞｰﾗﾝ発生ﾌﾗｸﾞ (Overrun)

このﾌﾗｸﾞはｵｰﾊﾞｰﾗﾝ条件(換言すると、次のﾃﾞｰﾀが受信移動ﾚｼﾞｽﾀに移動入力されてしまう前に、UARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)内の既に存在するﾃﾞｰﾀが読まれないとき)が検出されると設定(1)されます。ORは緩衝されており、そしてそれは一度UDRの有効なﾃﾞｰﾀを読んでも未だ設定(1)されることを意味します。

ORﾌﾗｸﾞはﾃﾞｰﾀが受信され、UDRへ転送されるときに解除(0)されます。

■ ﾋﾞｯﾄ2~0 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。

■ UART制御ﾚｼﾞｽﾀ (UART Control Register) UCR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0A ($2A)	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	UCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	1	0	

■ ﾋﾞｯﾄ7 – RXCIE : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このﾋﾞｯﾄが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、UART状態ﾚｼﾞｽﾀ(USR)の受信完了(RXC)ﾌﾗｸﾞの設定(1)は受信完了割り込み処理ﾙｰﾁﾝを実行させます。

■ ﾋﾞｯﾄ6 – TXCIE : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このﾋﾞｯﾄが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、USRの送信完了(TXC)ﾌﾗｸﾞの設定(1)は送信完了割り込み処理ﾙｰﾁﾝを実行させます。

■ ﾋﾞｯﾄ5 – UDRIE : 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このﾋﾞｯﾄが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、USRの送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)ﾌﾗｸﾞの設定(1)は送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み処理ﾙｰﾁﾝを実行させます。

■ ﾋﾞｯﾄ4 – RXEN : 受信許可 (Receiver Enable)

設定(1)されると、このﾋﾞｯﾄはUART受信(部)を許可します。受信(部)が禁止されると、UART状態ﾚｼﾞｽﾀ(USR)の受信完了(RXC)、ﾌﾚｰﾐﾝｸﾞ異常(FE)、ｵｰﾊﾞｰﾗﾝ(OR)状態ﾌﾗｸﾞは設定(1)になることができません。これらのﾌﾗｸﾞが設定(1)の場合、RXENの解除(0)への切り替えは、それらを解除(0)しません。

■ ﾋﾞｯﾄ3 – TXEN : 送信許可 (Transmitter Enable)

設定(1)されると、このﾋﾞｯﾄはUART送信(部)を許可します。ﾃﾞｰﾀ送信中に送信(部)を禁止すると、送信移動ﾚｼﾞｽﾀのﾃﾞｰﾀと送信ﾃﾞｰﾀﾚｼﾞｽﾀ(UDR)の続くﾃﾞｰﾀが完全に送信されてしまう前には、送信部が禁止されません。

■ ﾋﾞｯﾄ2 – CHR9 : 9ﾋﾞｯﾄ ﾃﾞｰﾀ選択 (9Bits Character)

このﾋﾞｯﾄが設定(1)されると、送受信ﾌﾚｰﾑは開始ﾋﾞｯﾄ+9ﾋﾞｯﾄ ﾃﾞｰﾀ+停止ﾋﾞｯﾄです。第9ﾋﾞｯﾄは各々、UART制御ﾚｼﾞｽﾀ(UCR)の受信ﾋﾞｯﾄ8(RXB8)、送信ﾋﾞｯﾄ8(TXB8)を使うことで読み書きされます。この第9ﾃﾞｰﾀ ﾋﾞｯﾄは、ﾊﾟﾘﾃｨ ﾋﾞｯﾄや拡張停止ﾋﾞｯﾄとして使えます。

■ ﾋﾞｯﾄ1 – RXB8 : 受信ﾃﾞｰﾀ ﾋﾞｯﾄ8 (Receive Data Bit 8)

9ﾋﾞｯﾄ ﾃﾞｰﾀ選択(CHR9)が設定(1)されていると、RXB8は受信されたﾃﾞｰﾀの第9ﾃﾞｰﾀ ﾋﾞｯﾄ(ﾋﾞｯﾄ8)です。

■ ﾋﾞｯﾄ0 – TXB8 : 送信ﾃﾞｰﾀ ﾋﾞｯﾄ8 (Transmit Data Bit 8)

9ﾋﾞｯﾄ ﾃﾞｰﾀ選択(CHR9)が設定(1)されていると、TXB8は送信されるべきﾃﾞｰﾀの第9ﾃﾞｰﾀ ﾋﾞｯﾄ(ﾋﾞｯﾄ8)です。

ﾎﾞｰﾚｰﾄ発振器

ﾎﾞｰﾚｰﾄ発振器は、次式に従ってﾎﾞｰﾚｰﾄを生成する周波数分周器です。

$$BAUD = \frac{f_{CK}}{16 \times (UBRR+1)}$$

BAUD ・・・・・・ ﾎﾞｰﾚｰﾄ(bps)
f_{CK} ・・・・・・・・ Xtal発振(CPUｸﾛｯｸ)周波数
UBRR ・・・・・・ UARTﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ値(0～255)

■ UARTﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ (UART Baud Rate Register) UBRR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$09 ($29)	(MSB)							(LSB)	UBRR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

UBRRは上記の式に従ってUARTﾎﾞｰﾚｰﾄを示す、読み書き可能な8ﾋﾞｯﾄ ﾚｼﾞｽﾀです。(設定例は表17.参照)

表17.のUBRR設定を使うことにより、標準的なｸﾘｽﾀﾙ周波数について、共通的に使用される多くのﾎﾞｰﾚｰﾄが発生できます。実際のﾎﾞｰﾚｰﾄが目的のﾎﾞｰﾚｰﾄ対して誤差2%未満を有効なﾎﾞｰﾚｰﾄとし、それ以外は赤字で示されます。しかし、誤差1%を越えるﾎﾞｰﾚｰﾄの使用は推奨されません。高い誤差率は雑音耐性が低下します。

表17. Xtal、ﾎﾞｰﾚｰﾄ対UBRR設定

ﾎﾞｰﾚｰﾄ	1MHz		1.8432MHz		2MHz		2.4576MHz		3.2768MHz		3.6864MHz	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	95	0.0	103	0.2	127	0.0	170	0.2	191	0.0
2400	25	0.2	47	0.0	51	0.2	63	0.0	84	0.4	95	0.0
4800	12	0.2	23	0.0	25	0.2	31	0.0	42	0.8	47	0.0
9600	6	7.5	11	0.0	12	0.2	15	0.0	20	1.6	23	0.0
14400	3	7.8	7	0.0	8	3.7	10	3.1	13	1.6	15	0.0
19200	2	7.8	5	0.0	6	7.5	7	0.0	10	3.1	11	0.0
28800	1	7.8	3	0.0	3	7.8	4	6.3	6	1.6	7	0.0
38400	1	22.9	2	0.0	2	7.8	3	0.0	4	6.3	5	0.0
57600	0	7.8	1	0.0	1	7.8	2	12.5	3	12.5	3	0.0
76800	0	22.9	1	33.3	1	22.9	1	0.0	2	12.5	2	0.0
115200	0	84.3	0	0.0	0	7.8	0	25.0	1	12.5	1	0.0

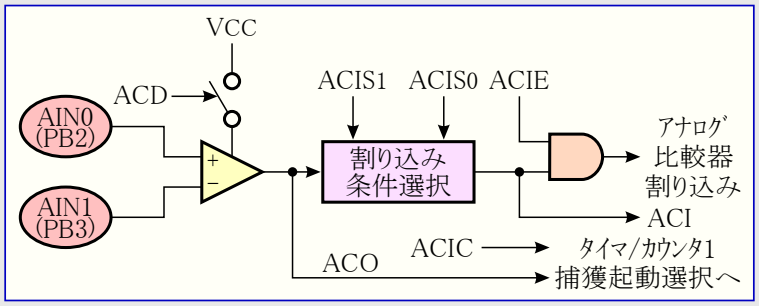
ﾎﾞｰﾚｰﾄ	4MHz		4.608MHz		4.9152MHz		6.144MHz		7.3728MHz		8MHz	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	207	0.2	239	0.0	255	0.0	–	–	–	–	–	–
2400	103	0.2	119	0.0	127	0.0	159	0.0	191	0.0	207	0.2
4800	51	0.2	59	0.0	63	0.0	79	0.0	95	0.0	103	0.2
9600	25	0.2	29	0.0	31	0.0	39	0.0	47	0.0	51	0.2
14400	16	2.1	19	0.0	20	1.6	26	1.3	31	0.0	34	0.8
19200	12	0.2	14	0.0	15	0.0	19	0.0	23	0.0	25	0.2
28800	8	3.7	9	0.0	10	3.1	12	2.6	15	0.0	16	2.1
38400	6	7.5	7	6.7	7	0.0	9	0.0	11	0.0	12	0.2
57600	3	7.8	4	0.0	4	6.3	6	4.8	7	0.0	8	3.7
76800	2	7.8	3	6.7	3	0.0	4	0.0	5	0.0	6	7.5
115200	1	7.8	2	20.0	2	12.5	2	11.2	3	0.0	3	7.8

ﾎﾞｰﾚｰﾄ	9.216MHz		9.8304MHz		10MHz		11.059MHz		MHz		MHz	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
2400	239	0.0	255	0.0	–	–	–	–				
4800	119	0.0	127	0.0	129	0.2	143	0.0				
9600	59	0.0	63	0.0	64	0.2	71	0.0				
14400	39	0.0	42	0.8	42	1.0	47	0.0				
19200	29	0.0	31	0.0	32	1.4	35	0.0				
28800	19	0.0	20	1.6	21	1.4	23	0.0				
38400	14	0.0	15	0.0	15	1.8	17	0.0				
57600	9	0.0	10	3.1	10	1.4	11	0.0				
76800	7	6.7	7	0.0	7	1.8	8	0.0				
115200	4	0.0	4	6.3	4	8.6	5	0.0				

アナログ比較器

アナログ比較器は、非反転入力AIN0(PB2)と反転入力AIN1(PB3)の入力値を比較します。非反転入力AIN0(PB2)の電圧が反転入力AIN1(PB3)の電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はタイマ/カウンタ1の捕獲機能を起動するために設定できます。加えて、比較器はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端またはその両方での割り込み起動が選択できます。この比較器とその周辺回路の構成図は図41.で示されます。

図41. アナログ比較器部構成図



■ アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
$08 ($28)	ACD	–	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

■ ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFにするため、何時でも設定(1)できます。これは活動動作やアイドル動作での消費電力を削減します。このACDビットを変更するとき、アナログ比較器 制御/状態レジスタ(ACSR)のアナログ比較器割り込み許可(ACIE)ビットを解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

■ ビット6 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

■ ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが、アナログ比較器割り込み条件(ACIS1,ACIS0)ビットで定義された割り込み動作を起こすとき、このビットは設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)されて、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行するとき、ACIは自動的に解除(0)されます。代わりにこのフラグへ論理1を書くことによっても、ACIは解除(0)されます。けれども、このレジスタの他のビットがCBIまたはSBI命令を使って変更される場合、この操作前にACIビットが1になっていると、ACIが解除(0)されることに注意してください。

■ ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、アナログ比較器割り込みが有効化されます。解除(0)されると、この割り込みは禁止されます。

■ ビット2 – ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

設定(1)されると、このビットはアナログ比較器により起動されるタイマ/カウンタ1の捕獲機能を許可します。この場合、比較器出力は直接、捕獲起動入力の前処理回路に接続され、比較器はタイマ/カウンタ1捕獲割り込みの雑音除去とエッジ選択機能が利用できます。解除(0)されると、アナログ比較器と捕獲機能間の関係がなくなります。比較器がタイマ/カウンタ1捕獲割り込みを起動するには、タイマ/カウンタ割り込み許可レジスタ(TIMSK)の捕獲割り込み許可(TICIE1)ビットが設定(1)されなければなりません。

■ ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は表18.に示されます。

表18. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: このACIS1,ACIS0ビットを変更するとき、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器割り込み許可(ACIE)ビットを解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

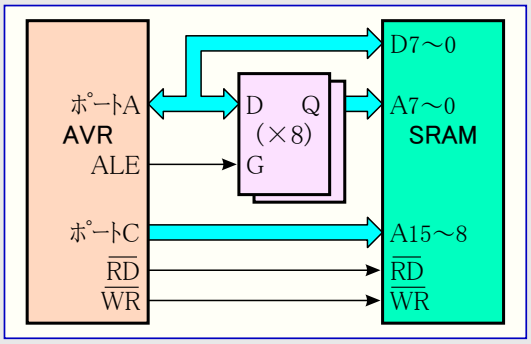
外部SRAM(メモリ)インターフェース

外部SRAMとのインターフェースは次の信号で構成されます。

- ポートA ・・・・・・ 下位アドレスとデータの多重化バス
- ポートC ・・・・・・ 上位アドレス バス
- ALE ・・・・・・・・ アドレス ラッチ許可 (下位アドレスのラッチ)
- $\overline{RD}$,$\overline{WR}$ ・・・・・ リード ストローブ、ライト ストローブ

データ用外部SRAMはMCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットの設定(1)によって許可され、ポートA方向レジスタ(DDRA)の設定を無効にします。SREビットが解除(0)されると、データ用外部SRAMは禁止され、標準ピンとデータ方向設定が使われます。SREが解除(0)されるとき、外部SRAMインターフェースを持たないAVRデバイス同様、内蔵SRAM境界より上のアドレス空間は内蔵SRAMにも割り当てられません。

図42. AVRと外部SRAMの接続



ALEがHighからLowになるとき、それらはポートAの有効な(下位)アドレスです。データ転送中、ALEはLowです。$\overline{RD}$と$\overline{WR}$は外部SRAMをアクセスするときのみ有効(動作)です。

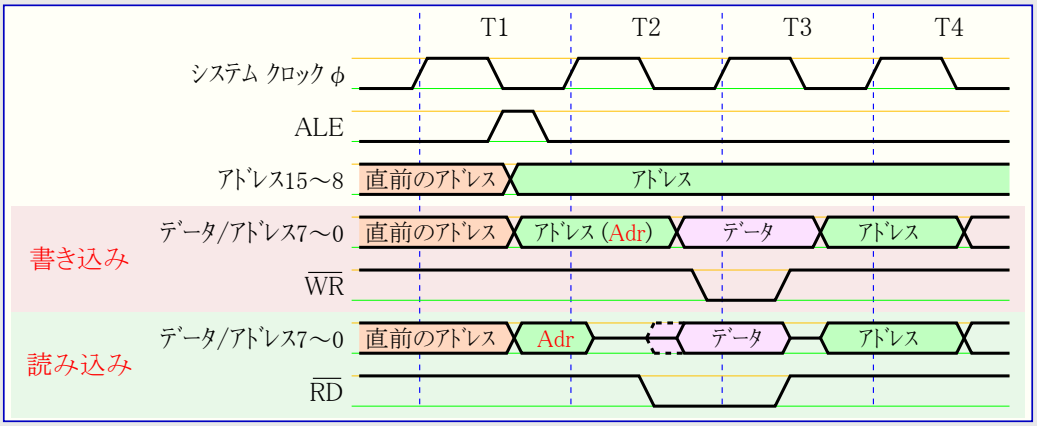
外部SRAMが許可されると、ALE信号には内蔵SRAMをアクセスするときに短いパルスがあるかもしれませんが、外部SRAMをアクセスするとき、このALE信号は安定しています。

図42.はG=Highで通過(トランスペアレント)となる8つのラッチを使うAVRと外部SRAMの接続方法を示します。

既定の外部SRAMアクセスは、図43.で示されるように、3周期構造です。アクセス周期内に1つの追加待ち状態が必要とされる時は、MCUCRの外部SRAM待ち(SRW)ビットを設定(1)します。この結果のアクセス構造は図44.に示されます。どちらの場合も、ポートAが1回だけデータ バスであることに注意してください。データ アクセスが終わると直ぐに、ポートAは再び下位アドレスになります。

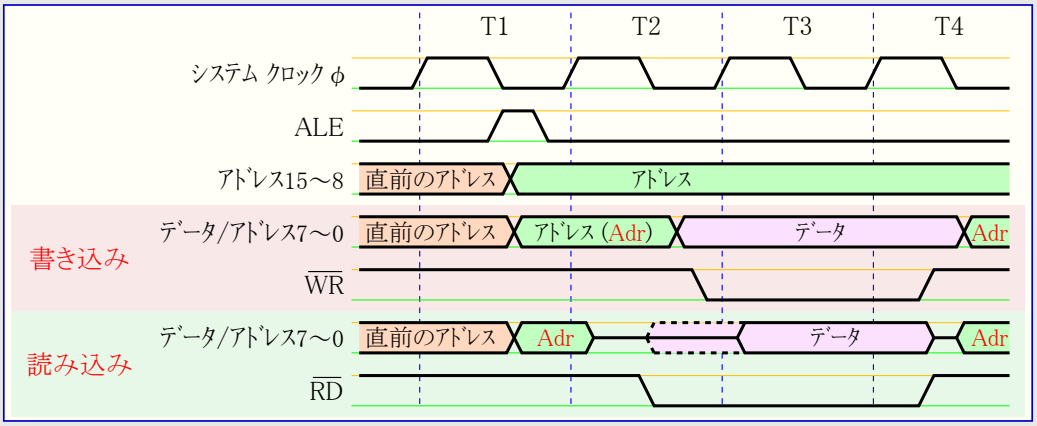
外部SRAMインターフェースのタイミングの詳細については、66頁から始まる図68.、表38.、表39.、表40.、表41.を参照してください。SRAMについてのアドレス空間を含むメモリ配置の説明については、4頁の「構造概要」を参照してください。

図43. データ用外部SRAMアクセス周期 (待ちなし)



注: T1～T3が命令実行周期です。

図44. データ用外部SRAMアクセス周期 (待ちあり)



注: T1～T4が命令実行周期です。

入出力ポート

AVRの全てのポートは標準デジタルI/Oポートとして使われる時に真の読み-修正-書き(リード モデファイ ライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしに、ポート ピンの1つの方向が変更できることを意味します。(出力として設定されている場合の)駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ポートA

ポートAは8ビットの双方向I/Oポートです。

ポートAについては3つのI/Oメモリ アドレス位置が、各々、データ出力レジスタ(PORTA),$1B($3B)、データ方向レジスタ(DDRA),$1A($3A)、データ入力レジスタ(PINA),$19($39)に割り当てられます。ポートAデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポート ピンには、個別に選択可能なプルアップ抵抗があります。ポートA出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PA0～7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートAピンには任意のデータ用外部SRAMに関連する交換機能があります。ポートAは外部メモリ アクセス中の多重化された下位アドレス/データ バスに設定できます。この動作では、ポートAが内蔵プルアップ抵抗を持ちます。

MCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットにより、ポートAがこの交換機能に設定されると、この交換設定はデータ方向レジスタ(DDRA)を無視します。

■ ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
$1B ($3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
$1A ($3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ポートA入力レジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
$19 ($39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートA入力レジスタ(PINA)はレジスタではなく、このアドレスはポートA各ピンの物理的な値へのアクセスができます。ポートA出力レジスタ(PORTA)を読む時はポートA出力ラッチが読まれ、ポートA入力レジスタ(PINA)を読む時は、このピン上に存在する論理値が読まれます。

ポートA 標準デジタル入出力

標準I/Oピンとして使われる時にポートAの8ピンは全て同じ機能動作です。

標準I/OピンPAnはポートA方向レジスタ(DDRA)のDDAnビットがそのピンの入出力方向を選択し、DDAnが設定(1)されると、出力ピンとして設定されます。DDAnが解除(0)されると、入力ピンとして設定されます。ポートA出力レジスタ(PORTA)のPORTAnが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTAnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートAピンはリセット条件が有効になると、例えクロックが動作していなくてもHi-Z状態にされます。

表19. ポートAピンに対するDDAnの関係

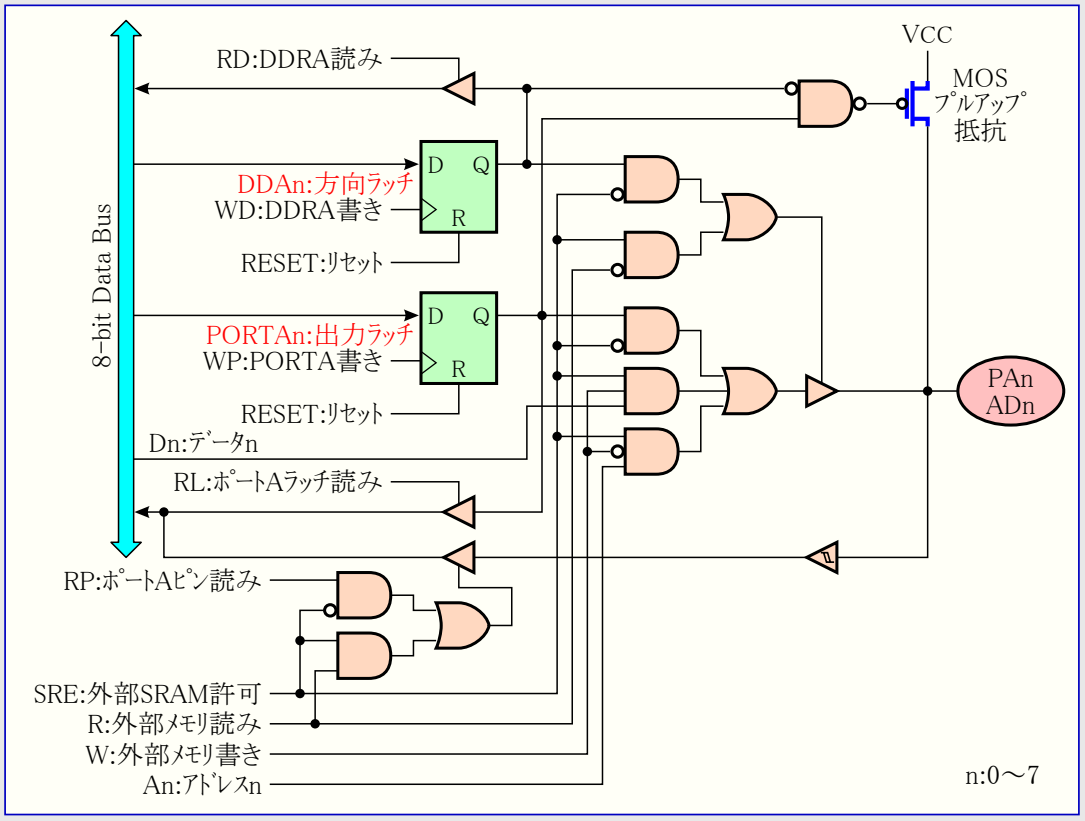
DDAn	PORTAn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PAnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7～0でビット番号を示します。

ﾎﾟｰﾄA回路図

全てのﾎﾟｰﾄﾋﾟﾝが同期化されていることに注意してください。然しながら同期化ﾗｯﾁは、図内に示されていません。

図45. ﾎﾟｰﾄA回路構成 (PA0～PA7ﾋﾟﾝ)



ﾎﾟｰﾄB

ﾎﾟｰﾄBは8ﾋﾞｯﾄの双方向I/Oﾎﾟｰﾄです。

ﾎﾟｰﾄBについては3つのI/Oﾒﾓﾘ ｱﾄﾞﾚｽ位置が、各々、ﾃﾞｰﾀ出力ﾚｼﾞｽﾀ(PORTB),$18($38)、ﾃﾞｰﾀ方向ﾚｼﾞｽﾀ(DDRB),$17($37)、ﾃﾞｰﾀ入力ﾚｼﾞｽﾀ(PINB),$16($36)に割り当てられます。ﾎﾟｰﾄBﾃﾞｰﾀ入力ﾚｼﾞｽﾀ(入力ﾋﾟﾝ)ｱﾄﾞﾚｽは読み込みのみ可能で、一方ﾃﾞｰﾀ出力ﾚｼﾞｽﾀとﾃﾞｰﾀ方向ﾚｼﾞｽﾀは読み書きが可能です。

全てのﾎﾟｰﾄ ﾋﾟﾝには、個別に選択可能なﾌﾟﾙｱｯﾌﾟ抵抗があります。ﾎﾟｰﾄB出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PB0～7ﾋﾟﾝが入力として使われ、外部的にLowへ引き込まれるとき、内蔵ﾌﾟﾙｱｯﾌﾟ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ﾎﾟｰﾄBﾋﾟﾝの交換機能は表20.に示されます。

表20. ﾎﾟｰﾄBﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	
PB0	T0	(ﾀｲﾏ/ｶｳﾝﾀ0 外部ｸﾛｯｸ入力)
PB1	T1	(ﾀｲﾏ/ｶｳﾝﾀ1 外部ｸﾛｯｸ入力)
PB2	AIN0	(ｱﾅﾛｸﾞ比較器非反転入力)
PB3	AIN1	(ｱﾅﾛｸﾞ比較器反転入力
PB4	$\overline{SS}$	(SPI 従装置選択入力)
PB5	MOSI	(SPI 主装置側ﾃﾞｰﾀ出力/従装置側ﾃﾞｰﾀ入力)
PB6	MISO	(SPI 主装置側ﾃﾞｰﾀ入力/従装置側ﾃﾞｰﾀ出力)
PB7	SCK	(SPI 直列ｸﾛｯｸ 主装置側出力/従装置側入力)

ﾋﾟﾝが交換機能で使われる時に、ﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)とﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)は交換機能の説明に従って設定されなければなりません。

■ ﾎﾟｰﾄB出力ﾚｼﾞｽﾀ (Port B Data Register) PORTB

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$18 ($38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾎﾟｰﾄB方向ﾚｼﾞｽﾀ (Port B Data Direction Register) DDRB

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$17 ($37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾎﾟｰﾄB入力ﾚｼﾞｽﾀ (Port B Input Address) PINB

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$16 ($36)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のﾎﾟｰﾄB入力ﾚｼﾞｽﾀ(PINB)はﾚｼﾞｽﾀではなく、このｱﾄﾞﾚｽはﾎﾟｰﾄB各ﾋﾟﾝの物理的な値へのｱｸｾｽができます。ﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)を読む時はﾎﾟｰﾄB出力ﾗｯﾁが読まれ、ﾎﾟｰﾄB入力ﾚｼﾞｽﾀ(PINB)を読む時は、このﾋﾟﾝ上に存在する論理値が読まれます。

ﾎﾟｰﾄB 標準ﾃﾞｼﾞﾀﾙ入出力

ﾃﾞｼﾞﾀﾙI/Oﾋﾟﾝとして使われる時にﾎﾟｰﾄBの8ﾋﾟﾝは全て同じ機能動作です。

標準I/OﾋﾟﾝPBnはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDBnﾋﾞｯﾄがそのﾋﾟﾝの入出力方向を選択し、DDBnが設定(1)されると、出力ﾋﾟﾝとして設定されます。DDBnが解除(0)されると、入力ﾋﾟﾝとして設定されます。ﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTBnが設定(1)され、そのﾋﾟﾝが入力ﾋﾟﾝとして設定される場合、MOSﾌﾟﾙｱｯﾌﾟ抵抗が有効化されます。このﾌﾟﾙｱｯﾌﾟ抵抗をOFFに切り替えるには、PORTBnが解除(0)されるか、またはそのﾋﾟﾝが出力として設定されなければなりません。ﾎﾟｰﾄ ﾋﾟﾝはﾘｾｯﾄ条件が有効になると、例えｸﾛｯｸが動作していなくてもHi-Z状態にされます。

表21. ﾎﾟｰﾄBﾋﾟﾝに対するDDBnの関係

DDBn	PORTBn	入出力	ﾌﾟﾙｱｯﾌﾟ抵抗	備考
0	0	入力	なし	高ｲﾝﾋﾟｰﾀﾞﾝｽ (Hi-Z)
0	1	入力	あり	PBnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7～0でﾋﾞｯﾄ番号を示します。

ﾎﾟｰﾄBの交換機能

ﾎﾟｰﾄBの交換ﾋﾟﾝ機能を以下に示します。

- SCK – ﾎﾟｰﾄB ﾋﾞｯﾄ7 : PB7

  SCK : SPI用主装置ｸﾛｯｸ出力、従装置ｸﾛｯｸ入力ﾋﾟﾝです。SPIが従装置として許可されると、ﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB7設定に拘らず、入力として設定されます。SPIが主装置として許可されると、ﾋﾟﾝのﾃﾞｰﾀ方向はDDB7により制御されます。ﾋﾟﾝが強制的に入力とされたとき、ﾌﾟﾙｱｯﾌﾟはﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB7により未だ制御できます。詳細については「SPI」の説明を参照してください。

- MISO – ﾎﾟｰﾄB ﾋﾞｯﾄ6 : PB6

  MISO : SPI用主装置ﾃﾞｰﾀ入力、従装置ﾃﾞｰﾀ出力ﾋﾟﾝです。SPIが主装置として許可されると、DDRBのDDB6設定に拘らず、入力として設定されます。SPIが従装置として許可されると、ﾋﾟﾝのﾃﾞｰﾀ方向はDDB6により制御されます。ﾋﾟﾝが強制的に入力とされたとき、ﾌﾟﾙｱｯﾌﾟはPORTBのPORTB6により未だ制御できます。詳細については「SPI」の説明を参照してください。

- MOSI – ﾎﾟｰﾄB ﾋﾞｯﾄ5 : PB5

  MOSI : SPI用主装置ﾃﾞｰﾀ出力、従装置ﾃﾞｰﾀ入力ﾋﾟﾝです。SPIが従装置として許可されると、DDRBのDDB5設定に拘らず、入力として設定されます。SPIが主装置として許可されると、ﾋﾟﾝのﾃﾞｰﾀ方向はDDB5により制御されます。ﾋﾟﾝが強制的に入力とされたとき、ﾌﾟﾙｱｯﾌﾟはPORTBのPORTB5により未だ制御できます。詳細については「SPI」の説明を参照してください。

- $\overline{SS}$ – ﾎﾟｰﾄB ﾋﾞｯﾄ4 : PB4

  $\overline{SS}$: 従装置選択入力です。SPIが従装置として許可されると、DDRBのDDB4設定に拘らず、入力として設定されます。従装置のとき、このﾋﾟﾝがLowに駆動されるとSPIが活性化(実際に動作)されます。SPIが主装置として許可されると、ﾋﾟﾝのﾃﾞｰﾀ方向はDDB4により制御されます。このﾋﾟﾝが強制的に入力とされたとき、ﾌﾟﾙｱｯﾌﾟはPORTBのPORTB4により未だ制御できます。詳細については「SPI」の説明を参照してください。

- AIN1 – ﾎﾟｰﾄB ﾋﾞｯﾄ3 : PB3

  AIN1 : ｱﾅﾛｸﾞ比較器の反転入力です。DDRBのDDB3=0で入力として設定され、PORTBのPORTB3=0で内蔵MOSﾌﾟﾙｱｯﾌﾟ抵抗がOFFに切り替えられているとき、このﾋﾟﾝは内蔵ｱﾅﾛｸﾞ比較器の反転入力としても扱えます。

- AIN0 – ﾎﾟｰﾄB ﾋﾞｯﾄ2 : PB2

  AIN0 : ｱﾅﾛｸﾞ比較器の非反転入力です。DDRBのDDB2=0で入力として設定され、PORTBのPORTB2=0で内蔵MOSﾌﾟﾙｱｯﾌﾟ抵抗がOFFに切り替えられているとき、このﾋﾟﾝは内蔵ｱﾅﾛｸﾞ比較器の非反転入力としても扱えます。

- T1 – ﾎﾟｰﾄB ﾋﾞｯﾄ1 : PB1

  T1 : ﾀｲﾏ/ｶｳﾝﾀ1の外部ｸﾛｯｸ入力です。外部入力信号で使うには、DDRBのDDB1を解除(0)し、入力として設定しなければなりません。詳細については「ﾀｲﾏ/ｶｳﾝﾀ1」の説明を参照してください。

- T0 – ﾎﾟｰﾄB ﾋﾞｯﾄ0 : PB0

  T0 : ﾀｲﾏ/ｶｳﾝﾀ0の外部ｸﾛｯｸ入力です。外部入力信号で使うには、DDRBのDDB0を解除(0)し、入力として設定しなければなりません。詳細については「ﾀｲﾏ/ｶｳﾝﾀ0」の説明を参照してください。

ポートB回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図46. ポートB回路構成 (PB0, PB1ピン)

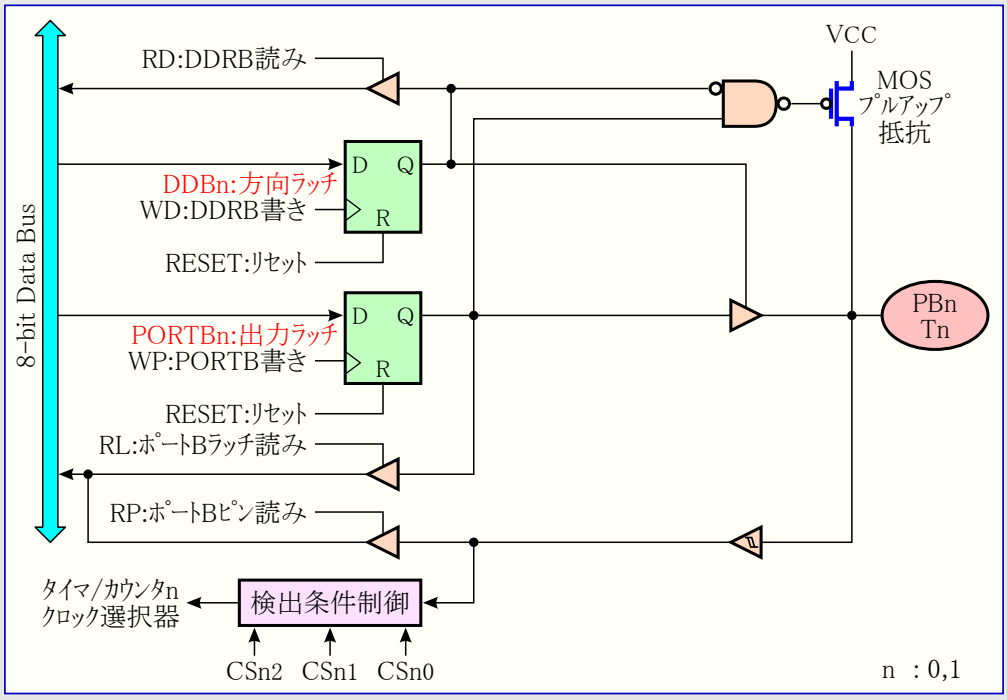


図47. ポートB回路構成 (PB2, PB3ピン)

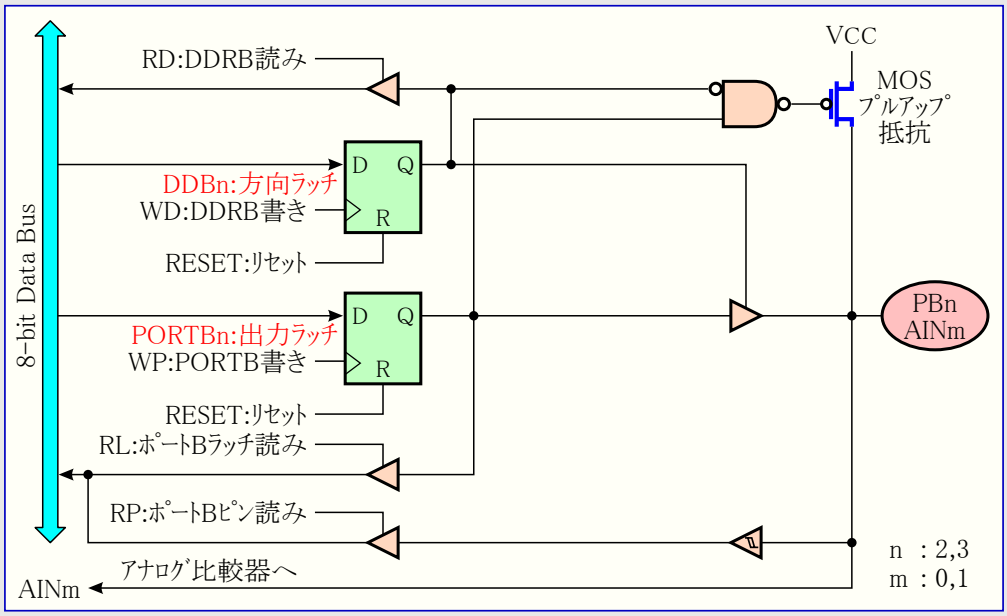


図48. ポートB回路構成 (PB4ピン)

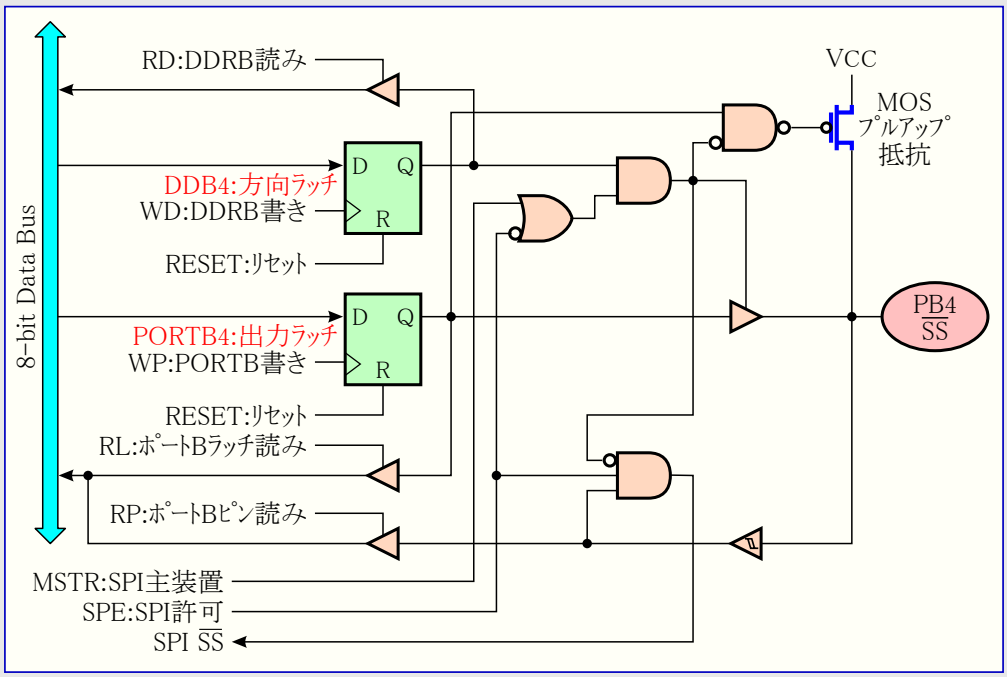


図49. ポートB回路構成 (PB5ピン)

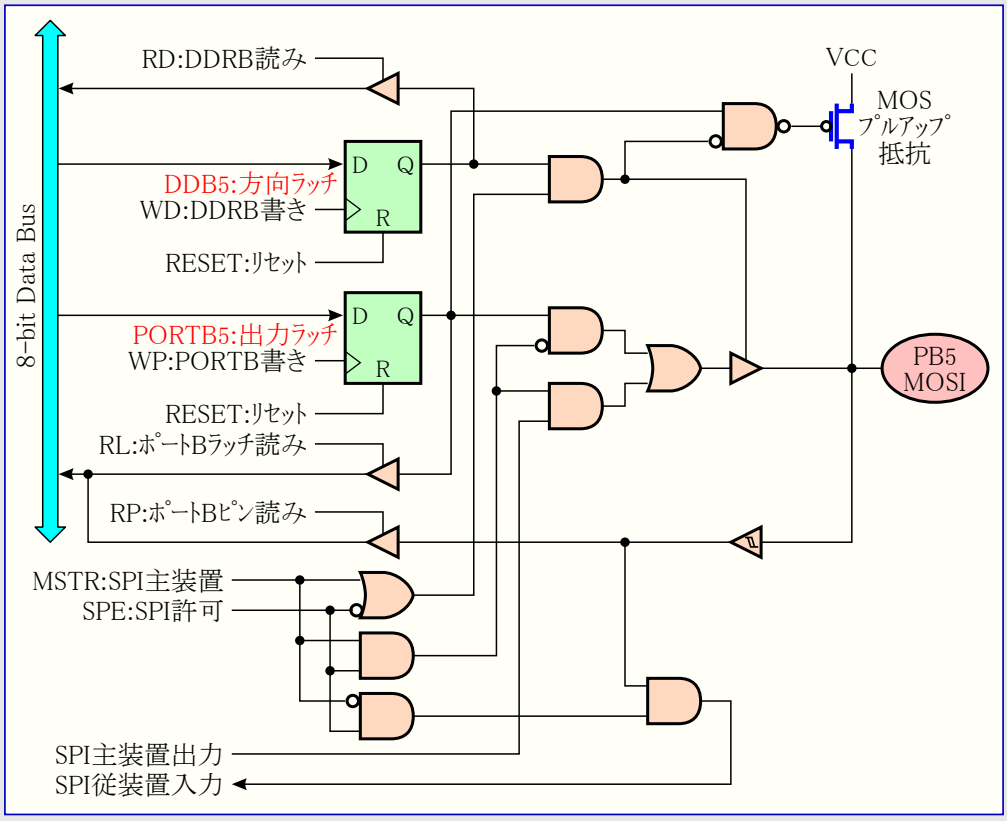


図50. ポートB回路構成 (PB6ピン)

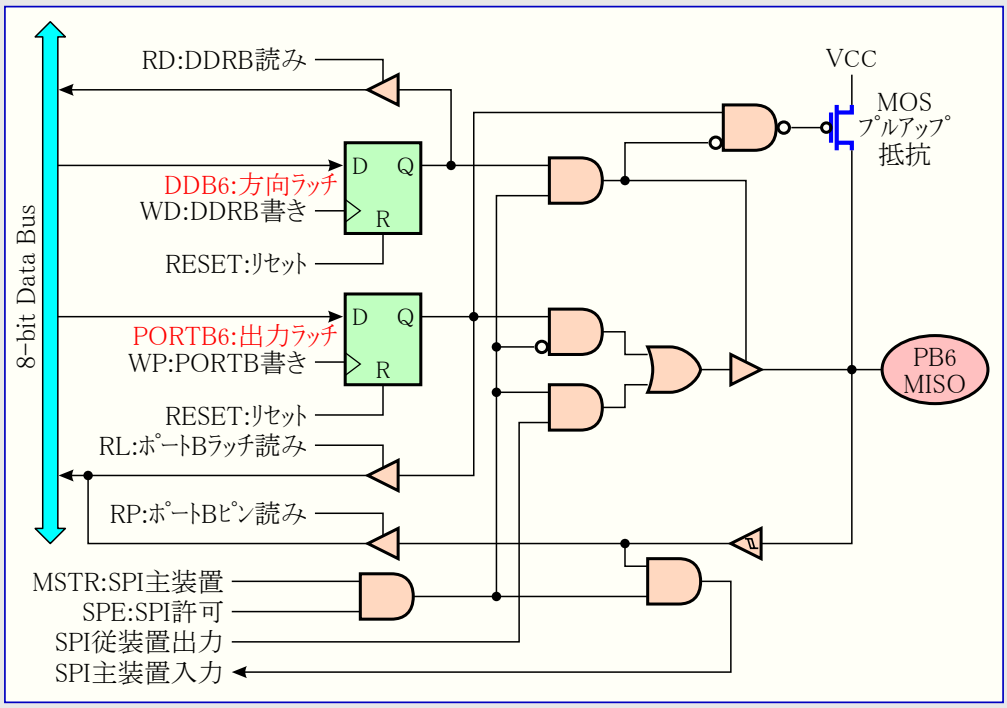
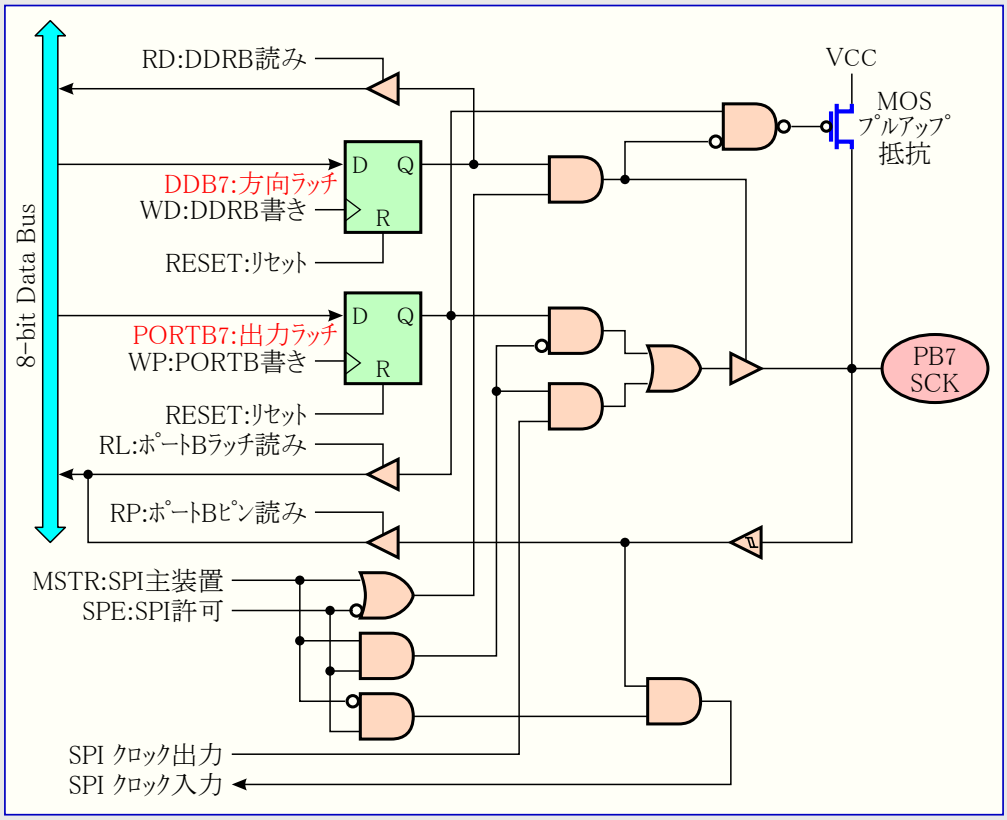


図51. ポートB回路構成 (PB7ピン)



ﾎﾟｰﾄC

ﾎﾟｰﾄCは8ﾋﾞｯﾄの双方向I/Oﾎﾟｰﾄです。ﾎﾟｰﾄCについては3つのI/Oﾒﾓﾘ ｱﾄﾞﾚｽ位置が、各々、ﾃﾞｰﾀ出力ﾚｼﾞｽﾀ(PORTC),$15($35)、ﾃﾞｰﾀ方向ﾚｼﾞｽﾀ(DDRC),$14($34)、ﾃﾞｰﾀ入力ﾚｼﾞｽﾀ(PINC),$13($33)に割り当てられます。ﾎﾟｰﾄCﾃﾞｰﾀ入力ﾚｼﾞｽﾀ(入力ﾋﾟﾝ)ｱﾄﾞﾚｽは読み込みのみ可能で、一方ﾃﾞｰﾀ出力ﾚｼﾞｽﾀとﾃﾞｰﾀ方向ﾚｼﾞｽﾀは読み書きが可能です。

全てのﾎﾟｰﾄ ﾋﾟﾝには、個別に選択可能なﾌﾟﾙｱｯﾌﾟ抵抗があります。ﾎﾟｰﾄC出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PC0～7ﾋﾟﾝが入力として使われ、外部的にLowへ引き込まれるとき、内蔵ﾌﾟﾙｱｯﾌﾟ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ﾎﾟｰﾄCﾋﾟﾝには任意のﾃﾞｰﾀ用外部SRAMに関連する交換機能があります。ﾎﾟｰﾄCは外部ﾒﾓﾘ ｱｸｾｽ中の上位ｱﾄﾞﾚｽ ﾊﾞｲﾄ(ﾊﾞｽ)に設定できます。MCU制御ﾚｼﾞｽﾀ(MCUCR)の外部SRAM許可(SRE)ﾋﾞｯﾄにより、ﾎﾟｰﾄCがこの交換機能に設定されると、この交換設定はﾃﾞｰﾀ方向ﾚｼﾞｽﾀ(DDRC)を無視します。

■ ﾎﾟｰﾄC出力ﾚｼﾞｽﾀ (Port C Data Register) PORTC

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$15 ($35)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾎﾟｰﾄC方向ﾚｼﾞｽﾀ (Port C Data Direction Register) DDRC

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$14 ($34)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾎﾟｰﾄC入力ﾚｼﾞｽﾀ (Port C Input Address) PINC

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$13 ($33)	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のﾎﾟｰﾄC入力ﾚｼﾞｽﾀ(PINC)はﾚｼﾞｽﾀではなく、このｱﾄﾞﾚｽはﾎﾟｰﾄC各ﾋﾟﾝの物理的な値へのｱｸｾｽができます。ﾎﾟｰﾄC出力ﾚｼﾞｽﾀ(PORTC)を読む時はﾎﾟｰﾄC出力ﾗｯﾁが読まれ、ﾎﾟｰﾄC入力ﾚｼﾞｽﾀ(PINC)を読む時は、このﾋﾟﾝ上に存在する論理値が読まれます。

ﾎﾟｰﾄC 標準ﾃﾞｼﾞﾀﾙ入出力

標準I/Oﾋﾟﾝとして使われる時にﾎﾟｰﾄCの8ﾋﾟﾝは全て同じ機能動作です。

標準I/OﾋﾟﾝPCnはﾎﾟｰﾄC方向ﾚｼﾞｽﾀ(DDRC)のDDCnﾋﾞｯﾄがそのﾋﾟﾝの入出力方向を選択し、DDCnが設定(1)されると、出力ﾋﾟﾝとして設定されます。DDCnが解除(0)されると、入力ﾋﾟﾝとして設定されます。ﾎﾟｰﾄC出力ﾚｼﾞｽﾀ(PORTC)のPORTCnが設定(1)され、そのﾋﾟﾝが入力ﾋﾟﾝとして設定される場合、MOSﾌﾟﾙｱｯﾌﾟ抵抗が有効化されます。このﾌﾟﾙｱｯﾌﾟ抵抗をOFFに切り替えるには、PORTCnが解除(0)されるか、またはそのﾋﾟﾝが出力として設定されなければなりません。ﾎﾟｰﾄCﾋﾟﾝはﾘｾｯﾄ条件が有効になると、例えｸﾛｯｸが動作していなくてもHi-Z状態にされます。

表22. ﾎﾟｰﾄCﾋﾟﾝに対するDDCnの関係

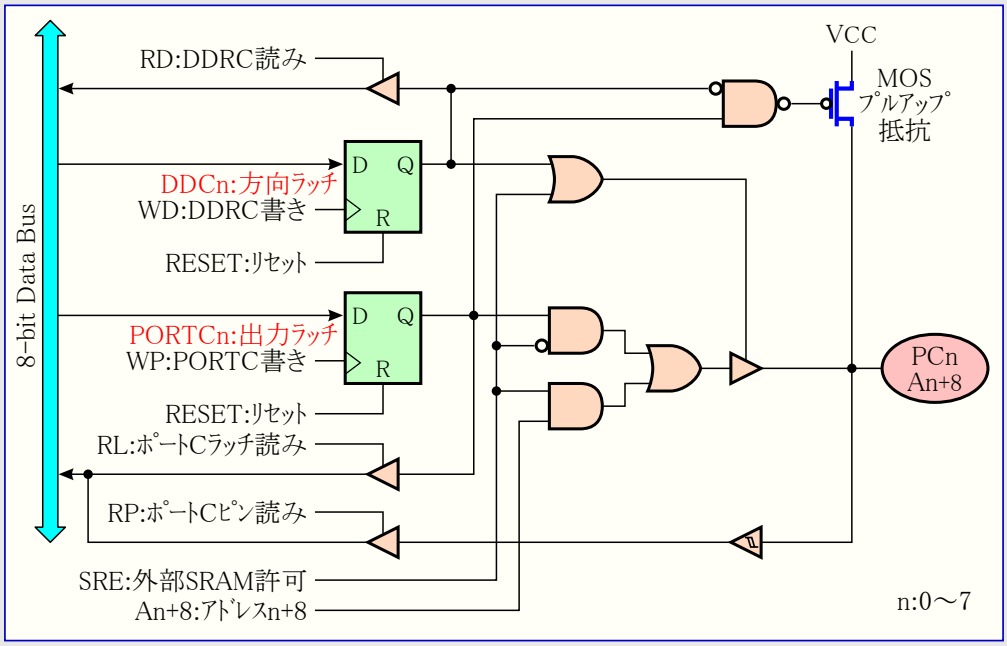
DDCn	PORTCn	入出力	ﾌﾟﾙｱｯﾌﾟ抵抗	備考
0	0	入力	なし	高ｲﾝﾋﾟｰﾀﾞﾝｽ (Hi-Z)
0	1	入力	あり	PCnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7～0でﾋﾞｯﾄ番号を示します。

ﾎﾟｰﾄC回路図

全てのﾎﾟｰﾄﾋﾟﾝが同期化されていることに注意してください。然しながら同期化ﾗｯﾁは、図内に示されていません。

図52. ﾎﾟｰﾄC回路構成 (PC0～PC7ﾋﾟﾝ)



ﾎﾟｰﾄD

ﾎﾟｰﾄDは個別に選択可能な内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付きの8ﾋﾞｯﾄの双方向I/Oﾎﾟｰﾄです。

ﾎﾟｰﾄDについては3つのI/Oﾒﾓﾘ ｱﾄﾞﾚｽ位置が各々、ﾃﾞｰﾀ出力ﾚｼﾞｽﾀ(PORTD),$12($32)、ﾃﾞｰﾀ方向ﾚｼﾞｽﾀ(DDRD),$11($31)、ﾃﾞｰﾀ入力ﾚｼﾞｽﾀ(PIND),$10($30)に割り当てられます。ﾎﾟｰﾄDﾃﾞｰﾀ入力ﾚｼﾞｽﾀ(入力ﾋﾟﾝ)ｱﾄﾞﾚｽは読み込みのみ可能で、一方ﾃﾞｰﾀ出力ﾚｼﾞｽﾀとﾃﾞｰﾀ方向ﾚｼﾞｽﾀは読み書きが可能です。

ﾎﾟｰﾄD出力緩衝部は20mAの吸い込み電流を流せます。入力として、内蔵ﾌﾟﾙｱｯﾌﾟ抵抗が有効化されていると、外部的にLowへ引き込まれるﾎﾟｰﾄDﾋﾟﾝには吐き出し電流が流れます。

いくつかのﾎﾟｰﾄDﾋﾟﾝには、表23.で示される交換機能があります。

表23. ﾎﾟｰﾄDﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	
PD0	RXD	(UART受信ﾃﾞｰﾀ入力)
PD1	TXD	(UART送信ﾃﾞｰﾀ出力)
PD2	INT0	(外部割り込み0入力)
PD3	INT1	(外部割り込み1入力)
PD5	OC1A	(ﾀｲﾏ/ｶｳﾝﾀ1 比較A一致出力)
PD6	$\overline{WR}$	(外部ﾒﾓﾘ用ﾗｲﾄ ｽﾄﾛｰﾌﾞ出力)
PD7	$\overline{RD}$	(外部ﾒﾓﾘ用ﾘｰﾄﾞ ｽﾄﾛｰﾌﾞ出力)

ﾋﾟﾝが交換機能で使われる時に、ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)とﾎﾟｰﾄD出力ﾚｼﾞｽﾀ(PORTD)は交換機能の説明に従って設定されなければなりません。

■ ﾎﾟｰﾄD出力ﾚｼﾞｽﾀ (Port D Data Register) PORTD

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$12 ($32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ (Port D Data Direction Register) DDRD

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$11 ($31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ﾎﾟｰﾄD入力ﾚｼﾞｽﾀ (Port D Input Address) PIND

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$10 ($30)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R/W	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のﾎﾟｰﾄD入力ﾚｼﾞｽﾀ(PIND)はﾚｼﾞｽﾀではなく、このｱﾄﾞﾚｽはﾎﾟｰﾄD各ﾋﾟﾝの物理的な値へのｱｸｾｽができます。ﾎﾟｰﾄD出力ﾚｼﾞｽﾀ(PORTD)を読む時はﾎﾟｰﾄD出力ﾗｯﾁが読まれ、ﾎﾟｰﾄD入力ﾚｼﾞｽﾀ(PIND)を読む時は、このﾋﾟﾝ上に存在する論理値が読まれます。

ﾎﾟｰﾄD 標準ﾃﾞｼﾞﾀﾙ入出力

標準I/OﾋﾟﾝPDnはﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDDnﾋﾞｯﾄがそのﾋﾟﾝの入出力方向を選択し、DDDnが設定(1)されると、出力ﾋﾟﾝとして設定されます。DDDnが解除(0)されると、入力ﾋﾟﾝとして設定されます。ﾎﾟｰﾄD出力ﾚｼﾞｽﾀ(PORTD)のPORTDnが設定(1)され、そのﾋﾟﾝが入力ﾋﾟﾝとして設定される場合、MOSﾌﾟﾙｱｯﾌﾟ抵抗が有効化されます。このﾌﾟﾙｱｯﾌﾟ抵抗をOFFに切り替えるには、PORTDnが解除(0)されるか、またはそのﾋﾟﾝが出力として設定されなければなりません。ﾎﾟｰﾄDﾋﾟﾝはﾘｾｯﾄ条件が有効になると、例えｸﾛｯｸが動作していなくてもHi-Z状態にされます。

表24. ﾎﾟｰﾄDﾋﾟﾝに対するDDDnの関係

DDDn	PORTDn	入出力	ﾌﾟﾙｱｯﾌﾟ抵抗	備考
0	0	入力	なし	高ｲﾝﾋﾟｰﾀﾞﾝｽ (Hi-Z)
0	1	入力	あり	PDnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7～0でﾋﾞｯﾄ番号を示します。

ﾎﾟｰﾄDの交換機能

ﾎﾟｰﾄDの交換機能を以下に示します。

- $\overline{RD}$ – ﾎﾟｰﾄD ﾋﾞｯﾄ7 : PD7

  $\overline{RD}$: 外部ﾃﾞｰﾀ ﾒﾓﾘの読み込み制御ｽﾄﾛｰﾌﾞです。外部SRAMが許可されると、ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDD7設定に関係なく出力になります。詳細情報については、40頁の「**外部SRAM(ﾒﾓﾘ)ｲﾝﾀｰﾌｪｰｽ**」を参照してください。

- $\overline{WR}$ – ﾎﾟｰﾄD ﾋﾞｯﾄ6 : PD6

  $\overline{WR}$: 外部ﾃﾞｰﾀ ﾒﾓﾘの書き込み制御ｽﾄﾛｰﾌﾞです。外部SRAMが許可されると、DDRDのDDD6設定に関係なく出力になります。詳細情報については、40頁の「**外部SRAM(ﾒﾓﾘ)ｲﾝﾀｰﾌｪｰｽ**」を参照してください。

- OC1A – ﾎﾟｰﾄD ﾋﾞｯﾄ5 : PD5

  OC1A : ﾀｲﾏ/ｶｳﾝﾀ1の比較A一致出力です。PD5ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較A一致時の外部出力として扱えます。この機能を取り扱うには、PD5ﾋﾟﾝがDDRDのDDD5=1で出力として設定されなければなりません。出力を許可する方法と詳細については「**ﾀｲﾏ/ｶｳﾝﾀ1**」の説明を参照してください。このOC1AﾋﾟﾝはPWM動作時の出力ﾋﾟﾝでもあります。

- INT1 – ﾎﾟｰﾄD ﾋﾞｯﾄ3 : PD3

  INT1 : 外部割り込み1入力です。PD3ﾋﾟﾝはMCUへの外部割り込み元として扱えます。外部入力で使うにはDDRDのDDD3を解除(0)し、入力として設定しなければなりません。詳細と許可の方法については「**割り込みの扱い**」の説明を参照してください。

- INT0 – ﾎﾟｰﾄD ﾋﾞｯﾄ2 : PD2

  INT0 : 外部割り込み0入力です。PD2ﾋﾟﾝはMCUへの外部割り込み元として扱えます。外部入力で使うにはDDRDのDDD2を解除(0)し、入力として設定しなければなりません。詳細と許可の方法については「**割り込みの扱い**」の説明を参照してください。

- TXD – ﾎﾟｰﾄD ﾋﾞｯﾄ1 : PD1

  TXD : UARTの送信ﾃﾞｰﾀ出力です。UART送信(部)が許可されると、このﾋﾟﾝはDDRDのDDD1の値に拘らず出力として設定されます。

- RXD – ﾎﾟｰﾄD ﾋﾞｯﾄ0 : PD0

  RXD : UARTの受信ﾃﾞｰﾀ入力です。UART受信(部)が許可されると、このﾋﾟﾝはDDRDのDDD0の値に拘らず入力として設定されます。UARTがこのﾋﾟﾝを強制的に入力とするときでも、ﾎﾟｰﾄD出力ﾚｼﾞｽﾀ(PORTD)のPORTD0の論理1は内蔵ﾌﾟﾙｱｯﾌﾟ抵抗をONに切り替えます。

ﾎﾟｰﾄD回路図

全てのﾎﾟｰﾄﾋﾟﾝが同期化されていることに注意してください。然しながら同期化ﾗｯﾁは、図内に示されていません。

図53. ﾎﾟｰﾄD回路構成 (PD0ﾋﾟﾝ)

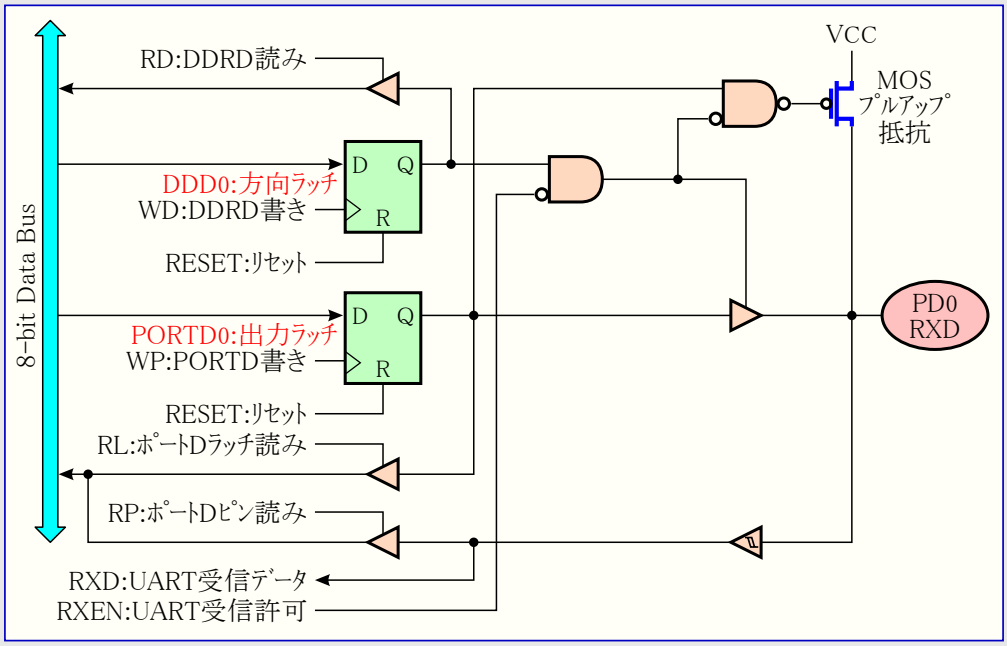


図54. ﾎﾟｰﾄD回路構成 (PD1ﾋﾟﾝ)

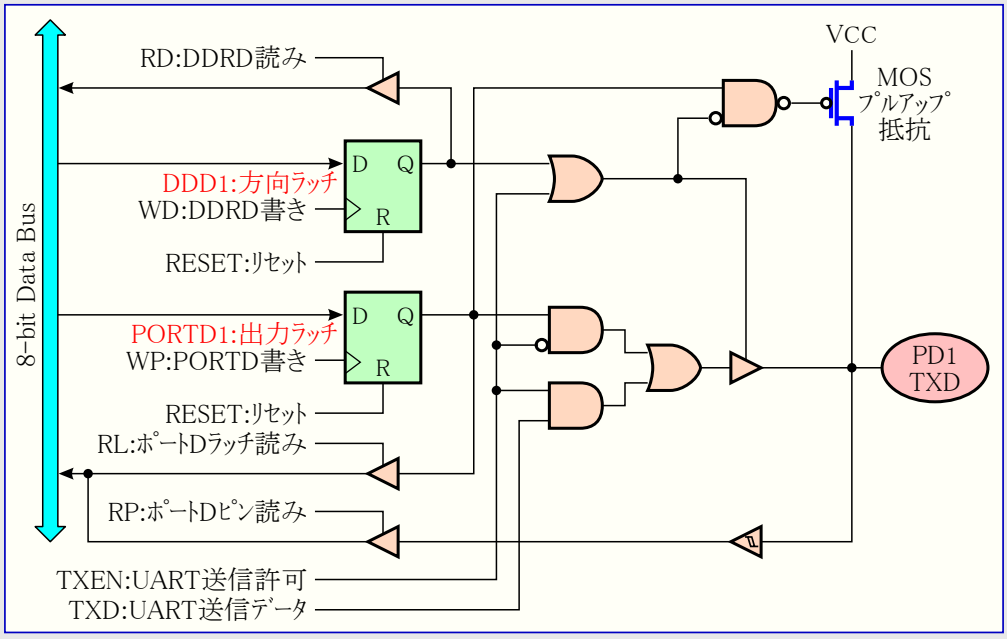


図55. ﾎﾟｰﾄD回路構成 (PD2, PD3ﾋﾟﾝ)

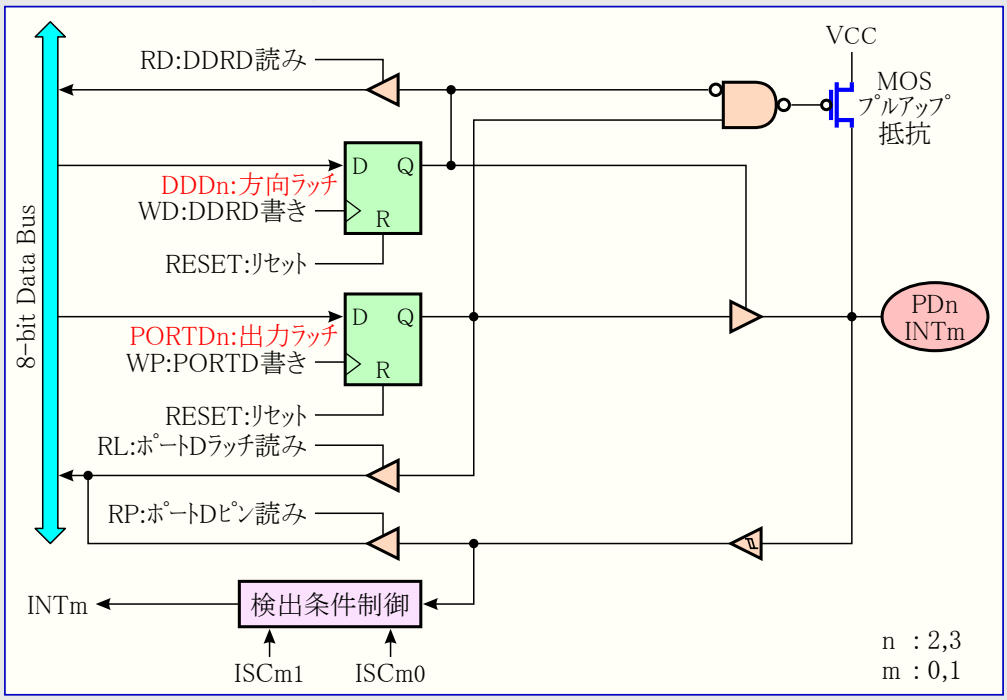


図56. ﾎﾟｰﾄD回路構成 (PD4ﾋﾟﾝ)

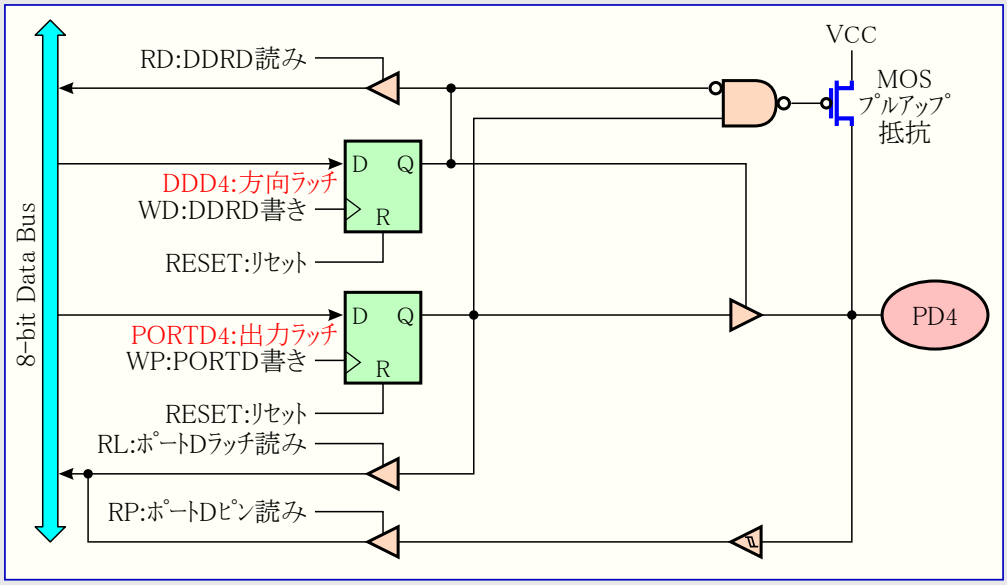


図57. ポートD回路構成 (PD5ピン)

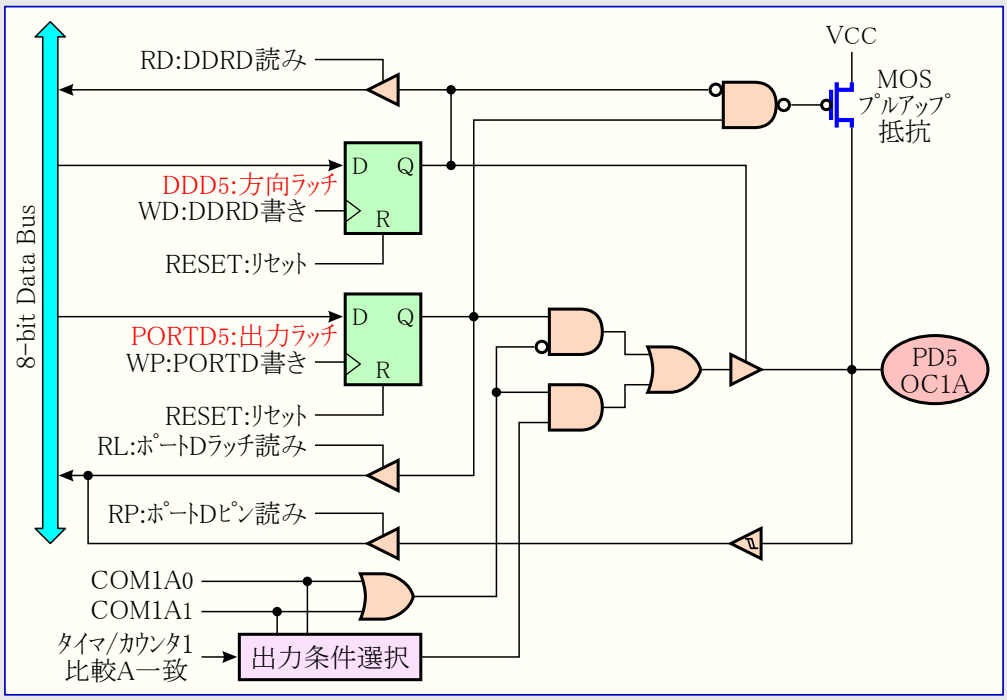


図58. ポートD回路構成 (PD6ピン)

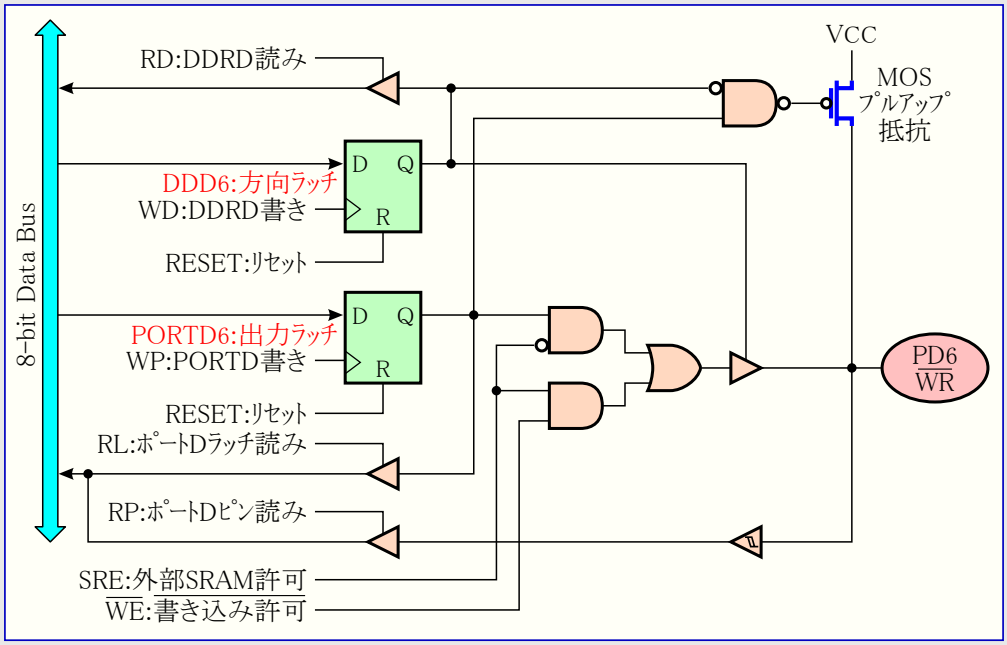
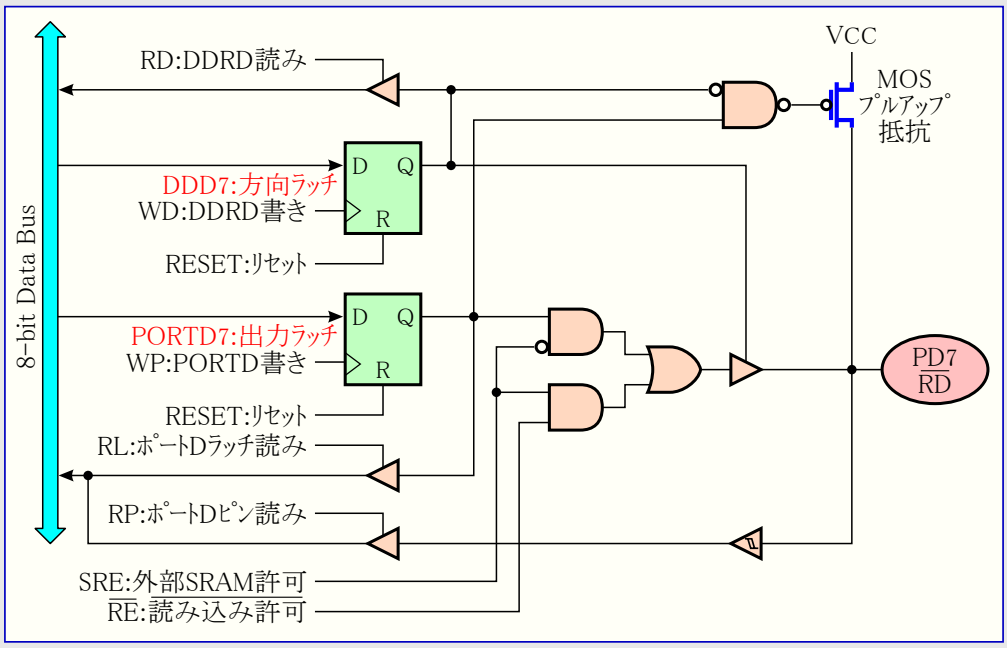


図59. ﾎﾟｰﾄD回路構成 (PD7ﾋﾟﾝ)



メモリ プログラミング

プログラム メモリとデータ メモリ用施錠ビット

AT90S8515 MCUは、非プログラム(1)のままか、**表25.**で示される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表25. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュ メモリとEEPROMのプログラミング機能が禁止されます。(注)
3	0	0	保護種別2と同様、更に照合も禁止されます。

注: 並列動作でのヒューズ ビットの書き込みも禁止されます。施錠ビットの書き込み前にヒューズ ビットを書いてください。

ヒューズ ビット

AT90S8515には、2つのヒューズ ビット、SPIENとFSTRTがあります。

- SPIENがプログラム(0)されると、直列プログラミングが許可されます。既定値はプログラム(0)です。
- FSTRTがプログラム(0)されると、短い起動時間が選択されます。既定値は非プログラム(1)です。このビットが予めプログラム(0)された製品も供給できます。

これらのヒューズ ビットは直列プログラミング動作ではアクセスできません。ヒューズ ビットの状態はチップ消去による影響を受けません。

識票バイト

全てのAtmelマイクロ コントローラはデバイス識別用に3バイトの識票符号を持ちます。この符号は直列と並列の両プログラミング動作で読めます。この3バイトは他から分離された空間に存在します。

AT90S8515の識票符号を次に示します。

① $00：$1E　製造業者Atmelを示します。
② $01：$93　フラッシュ メモリ容量8Kバイトを示します。
③ $02：$01　②値$93と合せ、AT90S8515を示します。

注: 両方の施錠ビットがプログラム(0)される(保護種別3)と、識票バイトは直列動作で読めません。識票バイトの読み込みは$00,$01,$02が戻ります。

フラッシュ メモリとEEPROMのプログラミング

AtmelのAT90S8515は実装再書き込み可能な8Kバイトのプログラム用フラッシュ メモリと512バイトのデータ用EEPROMメモリを提供します。

AT90S8515にはプログラム用内蔵フラッシュ メモリとデータ用EEPROMメモリが消去(全ビット=1)されてプログラムされる準備が整った状態で搭載されています。このデバイスは高電圧(12V)並列プログラミング動作と低電圧直列プログラミング動作を支援します。+12Vはプログラム許可のためのみに使われ、このピンにより特筆すべき電流は流されません。直列プログラミング動作は実装済みのデバイスにプログラムとデータを書き込む便利な方法を提供します。

AT90S8515のフラッシュ メモリとEEPROMはどちらのプログラミング動作でもバイト単位でプログラムされます。EEPROMについては直列プログラミング動作での自動書き込み命令で自動消去周期が提供されます。プログラミング中の供給電圧は、**表26.**に従っていなければなりません。

表26. プログラミング中の供給電圧

デバイス	直列プログラミング	並列プログラミング
AT90S8515	2.7～6.0V	4.5～5.5V

並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

この章ではAT90S8515でのﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、ﾃﾞｰﾀ用EEPROM、施錠ﾋﾞｯﾄ、ﾋｭｰｽﾞ ﾋﾞｯﾄの並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合の方法を記述します。

信号名

この章ではAT90S515のいくつかのﾋﾟﾝが並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の機能を示す信号名によって参照されます。図60.と表27.を参照してください。表27.で示されないﾋﾟﾝはﾋﾟﾝ名で参照されます。

XA0とXA1ﾋﾟﾝはXTAL1ﾋﾟﾝに正ﾊﾟﾙｽが与えられる時に実行される動作を決めます。この規約は表28.で示されます。

$\overline{\text{WR}}$または$\overline{\text{OE}}$ﾊﾟﾙｽ時、取得された指令が実行される動作を決めます。この指令は表29.で示されるように各ﾋﾞｯﾄで機能が示されるﾊﾞｲﾄです。

図60. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図

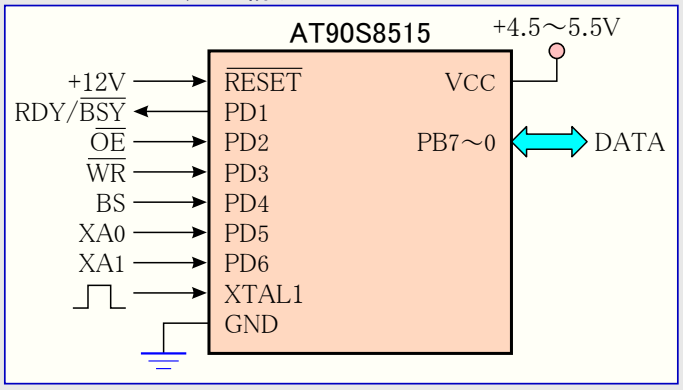


表27. 信号名とﾋﾟﾝ名の関係

信号名	ﾋﾟﾝ名	入出力	機能
RDY/$\overline{\text{BSY}}$	PD1	出力	0: ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ多忙　1: 準備可(指令受付可)
$\overline{\text{OE}}$	PD2	入力	出力許可(負論理)
$\overline{\text{WR}}$	PD3	入力	書き込み(負論理)
BS	PD4	入力	上位/下位ﾊﾞｲﾄ選択 (0:下位, 1:上位)
XA0	PD5	入力	XTAL動作ﾋﾞｯﾄ0
XA1	PD6	入力	XTAL動作ﾋﾞｯﾄ1
DATA	PB7～0	入出力	ﾃﾞｰﾀ ($\overline{\text{OE}}$=L時出力)

表28. XA0とXA1の機能

XA1	XA0	XTAL1ﾊﾟﾙｽ時の動作
0	0	ﾌﾗｯｼｭまたはEEPROMのｱﾄﾞﾚｽ取得 (上位/下位はBSで指示)
0	1	ﾃﾞｰﾀ取得 (ﾌﾗｯｼｭ時の上位/下位はBSで指示)
1	0	指令取得
1	1	ｱｲﾄﾞﾙ (動作なし)

表29. ﾋﾞｯﾄ規約による指令ﾊﾞｲﾄ

指令ﾊﾞｲﾄ	指令の機能
$80 (1000 0000)	ﾁｯﾌﾟ消去
$40 (0100 0000)	ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み
$20 (0010 0000)	施錠ﾋﾞｯﾄ書き込み
$10 (0001 0000)	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み
$11 (0001 0001)	EEPROM書き込み
$08 (0000 1000)	識票ﾊﾞｲﾄ読み出し
$04 (0000 0100)	ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄ読み出し
$02 (0000 0010)	ﾌﾗｯｼｭ ﾒﾓﾘ読み出し
$03 (0000 0011)	EEPROM読み出し

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

次の方法がﾃﾞﾊﾞｲｽを並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作にします。

① 表26.に従った供給電圧をVCCとGND間に印加します。
② $\overline{\text{RESET}}$とBSﾋﾟﾝをLow(0)にし、最低100ns待機します。
③ $\overline{\text{RESET}}$に11.5～12.5Vを印加します。$\overline{\text{RESET}}$に+12V印加後100ns以内のどんなBSの動き(値)も、ﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作移行失敗の原因になります。

ﾁｯﾌﾟ消去

ﾁｯﾌﾟ消去指令はﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、施錠ﾋﾞｯﾄを消去します。施錠ﾋﾞｯﾄはﾌﾗｯｼｭ ﾒﾓﾘとEEPROMが完全に消去されてしまうまで消去されません。ﾁｯﾌﾟ消去でﾋｭｰｽﾞ ﾋﾞｯﾄは変化しません。ﾌﾗｯｼｭ ﾒﾓﾘまたはEEPROMの再書き込み前には、ﾁｯﾌﾟ消去が実行されなければなりません。

ﾁｯﾌﾟ消去の手順を次に示します。

① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
② BSをLow(0)にします。
③ DATAを$80(1000 0000)にします。これはﾁｯﾌﾟ消去指令です。
④ XTAL1に正ﾊﾟﾙｽを与えます。これで指令を設定します。
⑤ ﾁｯﾌﾟ消去を実行するため、$\overline{\text{WR}}$にt_{WLWH_CE}幅(表30.参照)の負ﾊﾟﾙｽを与えます。ﾁｯﾌﾟ消去はRDY/$\overline{\text{BSY}}$ﾋﾟﾝにどんな動きも生成しません。

ﾌﾗｯｼｭ ﾒﾓﾘ書き込み (図61.ﾀｲﾐﾝｸﾞを参照)

A. ﾌﾗｯｼｭ ﾒﾓﾘ書き込み指令設定

① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
② BSをLow(0)にします。
③ DATAを$10(0001 0000)にします。これはﾌﾗｯｼｭ ﾒﾓﾘ書き込み指令です。
④ XTAL1に正ﾊﾟﾙｽを与えます。これでﾌﾗｯｼｭ ﾒﾓﾘ書き込み指令を設定します。

B. 上位ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定

① XA1をLow(0)、XA0をLow(0)にします。これでｱﾄﾞﾚｽ取得が有効になります。
② BSをHigh(1)にします。これは上位ﾊﾞｲﾄ選択です。
③ DATAにｱﾄﾞﾚｽ上位ﾊﾞｲﾄ($00～$07/$0F)を設定します。
④ XTAL1に正ﾊﾟﾙｽを与えます。これでｱﾄﾞﾚｽ上位ﾊﾞｲﾄを設定します。

C. 下位ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定

① XA1をLow(0)、XA0をLow(0)にします。これでｱﾄﾞﾚｽ取得が有効になります。
② BSをLow(0)にします。これは下位ﾊﾞｲﾄ選択です。
③ DATAにｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$FF)を設定します。
④ XTAL1に正ﾊﾟﾙｽを与えます。これでｱﾄﾞﾚｽ下位ﾊﾞｲﾄを設定します。

D. ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定

① XA1をLow(0)、XA0をHigh(1)にします。これでﾃﾞｰﾀ取得が有効になります。
② DATAにﾃﾞｰﾀ下位ﾊﾞｲﾄ($00～$FF)を設定します。
③ XTAL1に正ﾊﾟﾙｽを与えます。これでﾃﾞｰﾀ下位ﾊﾞｲﾄを設定します。

E. ﾃﾞｰﾀ下位ﾊﾞｲﾄ書き込み

① BSをLow(0)にします。これは下位ﾊﾞｲﾄ選択です。
② $\overline{\text{WR}}$に負ﾊﾟﾙｽを与えます。これでﾊﾞｲﾄ ﾃﾞｰﾀの書き込みが開始され、RDY/$\overline{\text{BSY}}$がLow(0)になります。
③ 次ﾊﾞｲﾄ書き込みのため、RDY/$\overline{\text{BSY}}$がHigh(1)になるまで待機します。

F. ﾃﾞｰﾀ上位ﾊﾞｲﾄ設定

① XA1をLow(0)、XA0をHigh(1)にします。これでﾃﾞｰﾀ取得が有効になります。
② DATAにﾃﾞｰﾀ上位ﾊﾞｲﾄ($00～$FF)を設定します。
③ XTAL1に正ﾊﾟﾙｽを与えます。これでﾃﾞｰﾀ上位ﾊﾞｲﾄを設定します。

G. ﾃﾞｰﾀ上位ﾊﾞｲﾄ書き込み

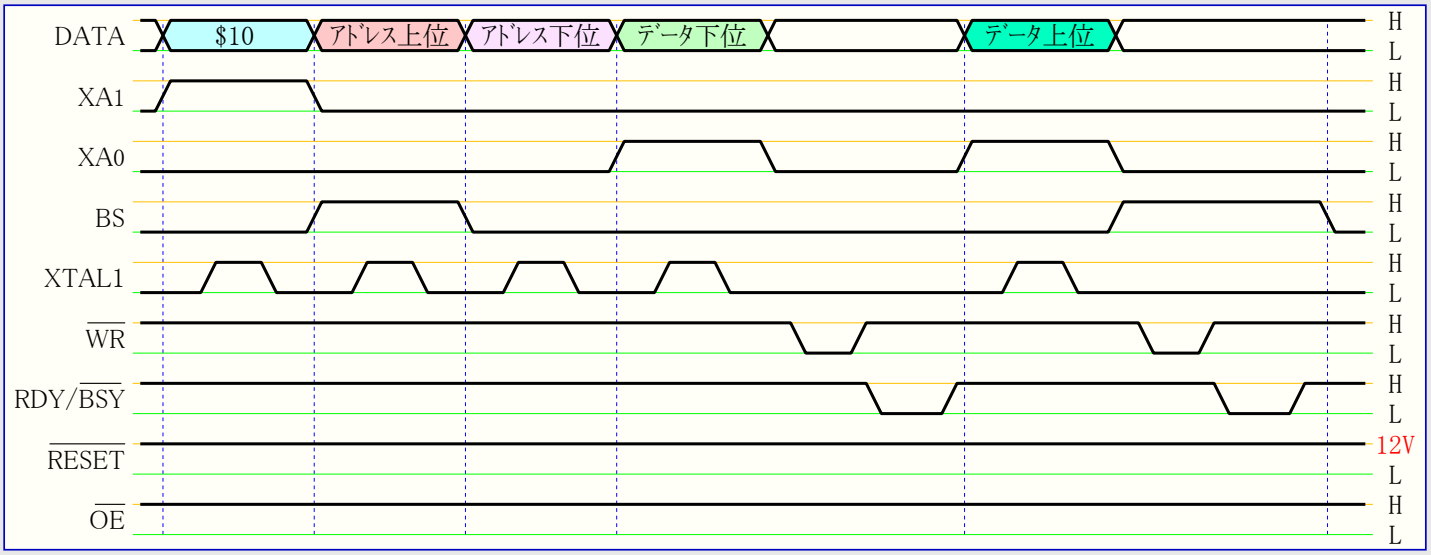
① BSをHigh(1)にします。これは上位ﾊﾞｲﾄ選択です。
② $\overline{\text{WR}}$に負ﾊﾟﾙｽを与えます。これでﾊﾞｲﾄ ﾃﾞｰﾀの書き込みが開始され、RDY/$\overline{\text{BSY}}$がLow(0)になります。
③ 次ﾊﾞｲﾄ書き込みのため、RDY/$\overline{\text{BSY}}$がHigh(1)になるまで待機します。

設定された指令とｱﾄﾞﾚｽはﾌﾟﾛｸﾞﾗﾑ中、保持されます。効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行うには次の点が考慮されるべきです。

- 複数のﾒﾓﾘ位置を読み書きする時に指令は一度の設定だけ必要です。
- ｱﾄﾞﾚｽ上位ﾊﾞｲﾄはﾌﾗｯｼｭ ﾒﾓﾘの新規256語ﾍﾟｰｼﾞのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ前に設定されることだけが必要です。
- ﾁｯﾌﾟ消去後のﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの全内容は$FFなので、値$FFのﾃﾞｰﾀ書き込みは行わないようにします。

これらの考慮はEEPROM書き込みと、ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、識票ﾊﾞｲﾄの読み出しでも適用されます。

図61. ﾌﾗｯｼｭ ﾒﾓﾘ書き込みﾀｲﾐﾝｸﾞ



(訳注) 原書での図61.と図62.は図61.として結合しました。

ﾌﾗｯｼｭ ﾒﾓﾘ読み出し

ﾌﾗｯｼｭ ﾒﾓﾘの読み出し方法を次に示します。(指令とｱﾄﾞﾚｽ設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」を参照)

1. ﾌﾗｯｼｭ ﾒﾓﾘ読み出し指令$02(0000 0010)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のA.を参照)
2. ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ($00～$0F)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のB.を参照)
3. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$FF)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のC.を参照)

① BSをLow(0)、$\overline{OE}$をLow(0)にします。これでﾌﾗｯｼｭ ﾒﾓﾘの語(ﾜｰﾄﾞ)の下位ﾊﾞｲﾄがDATAに読み出されます。
② BSをHigh(1)にします。これでﾌﾗｯｼｭ ﾒﾓﾘの語(ﾜｰﾄﾞ)の上位ﾊﾞｲﾄがDATAに読み出されます。
③ $\overline{OE}$をHigh(1)にします。これでDATAはHi-Zになります。

EEPROM書き込み

ﾃﾞｰﾀ用EEPROMﾒﾓﾘの書き込み方法を次に示します。(指令、ｱﾄﾞﾚｽ、ﾃﾞｰﾀ設定の詳細は「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」を参照)

1. EEPROM書き込み指令$11(0001 0001)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のA.を参照)
2. ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ($00～$01)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のB.を参照)
3. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$FF)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のC.を参照)
4. ﾃﾞｰﾀ下位ﾊﾞｲﾄ($00～$FF)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のD.を参照)
5. ﾃﾞｰﾀ下位ﾊﾞｲﾄを書き込みます。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のE.を参照)

EEPROM読み出し

EEPROMﾒﾓﾘの読み出し方法を次に示します。(指令とｱﾄﾞﾚｽ設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」を参照)

1. EEPROM読み出し指令$03(0000 0011)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のA.を参照)
2. ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ($00～$01)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のB.を参照)
3. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$FF)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のC.を参照)

① BSをLow(0)、$\overline{OE}$をLow(0)にします。これでEEPROMﾒﾓﾘのﾊﾞｲﾄ ﾃﾞｰﾀがDATAに読み出されます。
② $\overline{OE}$をHigh(1)にします。これでDATAはHi-Zになります。

ﾋｭｰｽﾞﾋﾞｯﾄ書き込み

ﾋｭｰｽﾞﾋﾞｯﾄの書き込み方法を次に示します。(指令とﾃﾞｰﾀ設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」を参照)

1. ﾋｭｰｽﾞﾋﾞｯﾄ書き込み指令$40(0100 0000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のA.を参照)
2. ﾃﾞｰﾀ下位ﾊﾞｲﾄを設定します。0=ﾌﾟﾛｸﾞﾗﾑ,1=非ﾌﾟﾛｸﾞﾗﾑ(消去)です。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のD.を参照)

ﾋﾞｯﾄ5	SPIEN ﾋｭｰｽﾞﾋﾞｯﾄ	
ﾋﾞｯﾄ0	FSTRT ﾋｭｰｽﾞﾋﾞｯﾄ	
ﾋﾞｯﾄ7,6,4～1	1	これらのﾋﾞｯﾄは予約されており、非ﾌﾟﾛｸﾞﾗﾑ(1)のままとすべきです。

① 書き込みを実行するため、$\overline{WR}$にtWLWH_PFB幅(表31.参照)の負ﾊﾟﾙｽを与えます。ﾋｭｰｽﾞﾋﾞｯﾄ書き込みはRDY/$\overline{BSY}$ﾋﾟﾝに如何なる動きも生成しません。

施錠ﾋﾞｯﾄ書き込み

施錠ﾋﾞｯﾄの書き込み方法を次に示します。(指令とﾃﾞｰﾀ設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」を参照)

1. 施錠ﾋﾞｯﾄ書き込み指令$20(0010 0000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のA.を参照)
2. ﾃﾞｰﾀ下位ﾊﾞｲﾄを設定します。0=ﾌﾟﾛｸﾞﾗﾑ,1=無変化(状態維持)です。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のD.を参照)

ﾋﾞｯﾄ2	施錠ﾋﾞｯﾄ2 (LB2)	
ﾋﾞｯﾄ1	施錠ﾋﾞｯﾄ1 (LB1)	
ﾋﾞｯﾄ7～3,0	1	これらのﾋﾞｯﾄは予約されており、非ﾌﾟﾛｸﾞﾗﾑ(1)のままとすべきです。

3. ﾃﾞｰﾀ下位ﾊﾞｲﾄを書き込みます。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のE.を参照)

施錠ﾋﾞｯﾄはﾁｯﾌﾟ消去の実行によってのみ消去(1)できます。

ﾋｭｰｽﾞﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ﾋｭｰｽﾞﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し方法を次に示します。(指令設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」を参照)

1. ﾋｭｰｽﾞﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し指令$04(0000 0100)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のA.を参照)

① BSをHigh(1)、$\overline{OE}$をLow(0)にします。これでﾋｭｰｽﾞﾋﾞｯﾄと施錠ﾋﾞｯﾄの状態がDATAに読み出されます。(0=ﾌﾟﾛｸﾞﾗﾑ)

ﾋﾞｯﾄ7	施錠ﾋﾞｯﾄ1 (LB1)	
ﾋﾞｯﾄ6	施錠ﾋﾞｯﾄ2 (LB2)	
ﾋﾞｯﾄ5	SPIEN ﾋｭｰｽﾞﾋﾞｯﾄ	
ﾋﾞｯﾄ0	FSTRT ﾋｭｰｽﾞﾋﾞｯﾄ	

② $\overline{OE}$をHigh(1)にします。これでDATAはHi-Zになります。

BSがHigh(1)に設定される必要があることに注意してください。

識票ﾊﾞｲﾄ読み出し

識票ﾊﾞｲﾄの読み出し方法を次に示します。(指令とｱﾄﾞﾚｽ設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」を参照)

1. 識票ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のA.を参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$02)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のC.を参照)

① BSをLow(0)、$\overline{OE}$をLow(0)にします。これで識票ﾊﾞｲﾄがDATAに読み出されます。

② $\overline{OE}$をHigh(1)にします。これでDATAはHi-Zになります。

並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図63. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ

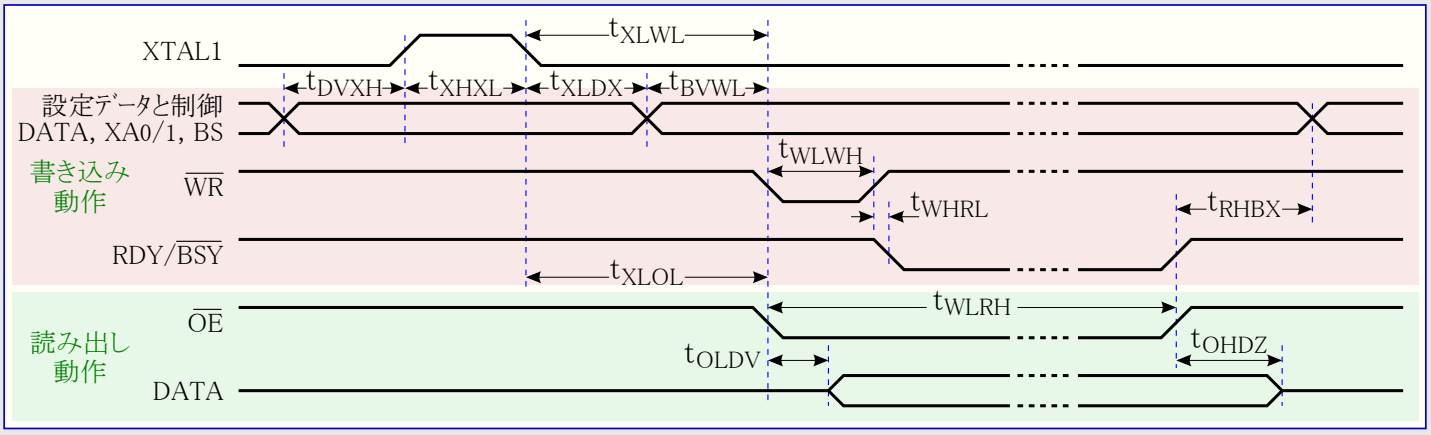


表30. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 (TA=25℃±10% , VCC=5V±10%)

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
VPP	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電圧	11.5		12.5	V
IPP	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電流			250	µA
t_{DVXH}	XTAL1に対するﾃﾞｰﾀと制御の準備時間	67			ns
t_{XHXL}	XTAL1ﾊﾟﾙｽ幅	67			
t_{XLDX}	XTAL1に対するﾃﾞｰﾀと制御の保持時間	67			
t_{XLWL}	XTAL1ﾊﾟﾙｽの↓に対する$\overline{WR}$↓待機時間	67			
t_{BVWL}	BS(有効から)に対する$\overline{WR}$↓待機時間	67			
t_{RHBX}	RDY/$\overline{BSY}$↑後のBS保持時間	67			
t_{WLWH}	$\overline{WR}$ﾊﾟﾙｽ幅 (注1)	67			
t_{WHRL}	$\overline{WR}$ﾊﾟﾙｽ後(↑)のRDY/$\overline{BSY}$↓遅延時間 (注2)		20		
t_{WLRH}	書き込み時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注2)	0.5	0.7	0.9	ms
t_{XLOL}	XTAL1ﾊﾟﾙｽの↓に対する$\overline{OE}$↓待機時間	67			ns
t_{OLDV}	$\overline{OE}$↓に対するﾃﾞｰﾀ出力遅延時間		20		
t_{OHDZ}	$\overline{OE}$↑に対する浮き遅延時間			20	
t_{WLWH_CE}	ﾁｯﾌﾟ消去時の$\overline{WR}$ﾊﾟﾙｽ幅	5	10	15	ms
t_{WLWH_PFB}	ﾋｭｰｽﾞﾋﾞｯﾄ書き込み時の$\overline{WR}$ﾊﾟﾙｽ幅	1.0	1.5	1.8	

注1: ﾁｯﾌﾟ消去時はt_{WLWH_CE}を、ﾋｭｰｽﾞﾋﾞｯﾄ書き込み時はt_{WLWH_PFB}を使います。

注2: t_{WLWH}がt_{WLRH}よりも長い場合、RDY/$\overline{BSY}$の負ﾊﾟﾙｽは現れません。

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの両方はRESETがLowﾚﾍﾞﾙの間に直列SPIﾊﾞｽを使ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行うことができます。この直列ｲﾝﾀｰﾌｪｰｽはSCK入力、MOSI入力、MISO出力で構成されます(図64.参照)。RESETをLowﾚﾍﾞﾙに設定後、ﾌﾟﾛｸﾞﾗﾑや消去命令が実行される前に、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令が最初に実行されなければなりません。

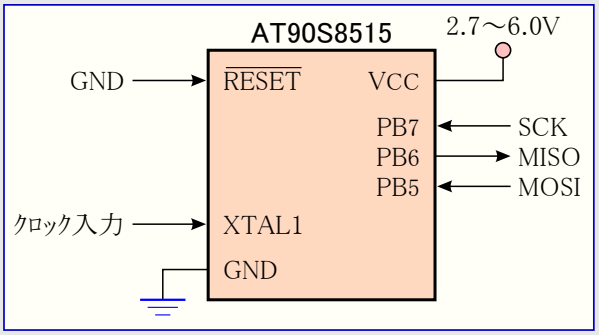
EEPROMに対しては自己ﾀｲﾐﾝｸﾞによる書き込み命令内で先行して自動消去周期が提供される(直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞのみ)ので、最初にﾁｯﾌﾟ消去命令を実行する必要はありません。ﾁｯﾌﾟ消去命令はﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの全内容を$FFにします。

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘが$0000～$0FFF、ﾃﾞｰﾀ用EEPROMﾒﾓﾘが$0000～$01FFの分離されたｱﾄﾞﾚｽ空間を持ちます。

XTAL1とXTAL2ﾋﾟﾝ間にXtalを接続するか、XTAL1ﾋﾟﾝに外部ｸﾛｯｸを供給するかのどちらかが必要です。直列ｸﾛｯｸ(SCK)のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 ＞2 XTAL1 ｸﾛｯｸ周期
High区間＞2 XTAL1 ｸﾛｯｸ周期

図64. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



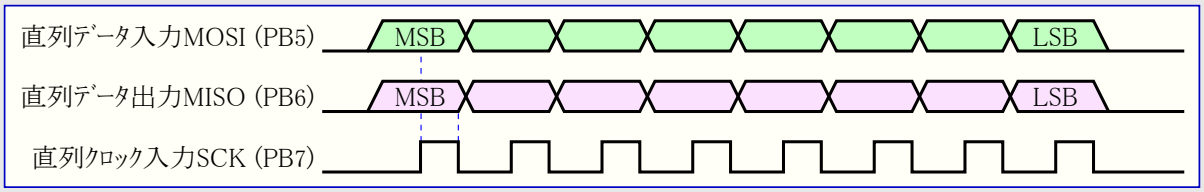
直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

AT90S8515に直列ﾃﾞｰﾀを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細ﾀｲﾐﾝｸﾞについては図65.、図66.、表33.を参照してください。

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのAT90S8515のﾌﾟﾛｸﾞﾗﾐﾝｸﾞと検証は次の手順が推奨されます。(4ﾊﾞｲﾄの命令形式は表32.を参照)

1. 次の手順で電源を投入します。
   RESETとSCKがLow(0)に設定されている間中に、VCCとGND間へ電源を供給します。XTAL1とXTAL2ﾋﾟﾝ間にXtalが接続されていない場合、XTAL1ﾋﾟﾝにｸﾛｯｸ信号を供給します。いくつかのｼｽﾃﾑに於いて、電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETには最低XTAL1周期幅2つ分の正ﾊﾟﾙｽが与えられなければなりません。
2. 最低20ms待機し、MOSI(PB3)ﾋﾟﾝにﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を送ることによって直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを可能にします。
3. 通信の同期が外れていると、直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令が動作しません。同期しているとき、ﾌﾟﾛｸﾞﾗﾑ許可命令の第3ﾊﾞｲﾄ送出時に第2ﾊﾞｲﾄ($53)を送り返します。この送り返しが成功か失敗かによらず、命令の4ﾊﾞｲﾄ全てが送信されなければなりません。送り返しが$53でなかった場合、SCKに正ﾊﾟﾙｽを与え、新規ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を行います。32回の試行で$53が検出できない場合、直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機能のないﾃﾞﾊﾞｲｽが接続されています。
4. ﾁｯﾌﾟ消去が実行される場合(ﾌﾗｯｼｭ ﾒﾓﾘの消去のために実行が必要)、本命令実行後t_{WD_ERASE}(63頁の表34.参照)時間待機し、RESETに正ﾊﾟﾙｽを与え、手順2.からを行います。
5. ﾌﾗｯｼｭ ﾒﾓﾘやEEPROMは適切な書き込み命令内でｱﾄﾞﾚｽとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄ単位で書かれます。EEPROMﾒﾓﾘ位置は、新規(今回)ﾃﾞｰﾀが書かれる前、最初に自動消去されます。ﾌﾗｯｼｭ ﾒﾓﾘやEEPROMの次のﾊﾞｲﾄが書ける時を検出するためにﾃﾞｰﾀ ﾎﾟｰﾘﾝｸﾞを使ってください。ﾎﾟｰﾘﾝｸﾞが使われない場合、次の命令送出前にt_{WD_PROG}(63頁の表35.参照)時間待機します。消去されているﾃﾞﾊﾞｲｽでは、$FFのﾃﾞｰﾀを書く必要がありません。
6. 何れのﾒﾓﾘ位置も、選択されたｱﾄﾞﾚｽの内容を直列出力MISO(PB4)ﾋﾟﾝに読み戻す、読み出し命令の使用で検証ができます。
7. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ終了時、通常動作とするためには、RESETをHigh(1)に設定します。
8. 電源OFF手順 (必要な場合)
   - ｸﾘｽﾀﾙが使われない場合は、XTAL1をLow(0)にします。
   - RESETをHigh(1)にします。
   - VCC電源をOFFにします。

図65. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾊﾞｲﾄ通信波形



EEPROMのデータ ポーリング

EEPROM内にバイト データが書かれつつある時に書かれているアドレス位置を読むと、自動消去が完了されるまでは値P1が、その後は値P2が得られます。P1,P2は表31.を参照してください。

表31. EEPROMポーリング中、読み出し値

デバイス	P1	P2
AT90S8515	$80	$7F

書かれた値が正しく読めると同時に、デバイスは新規EEPROMデータの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値P1とP2については行えないので、これらの値を書く時は次バイト書き込み前に少なくても規定されたtWD_PROG(表35.参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て$FFなので、書き込み値$FFのアドレスの書き込みは飛ばすことができます。最初にチップ消去せずにEEPROMが再書き込みされる場合、これは適用されません。

フラッシュ メモリのデータ ポーリング

フラッシュ メモリ内にバイト データが書かれつつある時に書かれているアドレス位置を読むと、値$7Fが得られます。書かれた値が正しく読めると同時に、デバイスは新規バイトの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値$7Fについては行えないので、この値を書く時は次バイト書き込み前に少なくてもtWD_PROG(表35.参照)時間待機しなければなりません。チップ消去されたデバイスの内容は全て$FFなので、書き込み値$FFのアドレスの書き込みは飛ばすことができます。

表32. 直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	$\overline{\text{RESET}}$=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュ メモリとEEPROMを消去します。
フラッシュ メモリ読み出し	0010 P000	xxxx HHHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
フラッシュ メモリ書き込み	0100 P000	xxxx HHHH	LLLL LLLL	WWWW WWWW	アドレスH:LのP(H/L)バイトに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxxH	LLLL LLLL	RRRR RRRR	アドレスLのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxxH	LLLL LLLL	WWWW WWWW	アドレスLのバイトに書き込みます。
施錠ビット書き込み	1010 1100	111x x21x	xxxx xxxx	xxxx xxxx	施錠ビット(LB1,LB2)を書き込みます。
識票バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。

注1: H = アドレス上位バイトのビット　P = 0=下位バイト、1=上位バイト　W = 書き込みデータ(MCU入力)　1 = 施錠ビット1 (LB1)
L = アドレス下位バイトのビット　R = 読み出しデータ(MCU出力)　x = 0か1 (無意味/不定)　2 = 施錠ビット2 (LB2)

注2: 識票バイトは保護種別3(LB1=0, LB2=0)の状態では読み出せません。

直列プログラミング特性

図66. 直列プログラミング タイミング

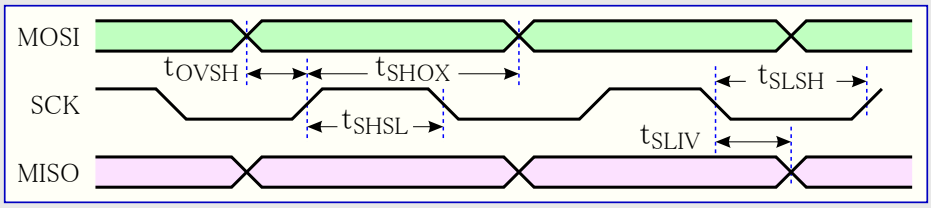


表33. 直列プログラミング特性 (特記条件を除いて、TA=-40℃～85℃ , VCC=2.7～6.0V)

シンボル	項目		最小	代表	最大	単位
1/tCLCL	発振器周波数	2.7～4.0V	0		4	MHz
		4.0～6.0V	0		8	
tCLCL	発振器周期	2.7～4.0V	250			ns
		4.0～6.0V	125			
tSHSL	SCKパルスHレベル幅		2tCLCL			
tSLSH	SCKパルスLレベル幅		2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間		tCLCL			
tSHOX	SCK↑に対するMOSI保持時間		2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間		10	16	32	

表34. チップ消去命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_ERASE	18ms	14ms	12ms	8ms

表35. フラッシュ メモリ, EEPROM書き込み命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_PROG	9ms	7ms	6ms	4ms

電気的特性

絶対最大定格 (警告)

動作温度 ・・・・・・・・・・・・・・・・・・・・・・・・ -55℃ ～ +125℃
保存温度 ・・・・・・・・・・・・・・・・・・・・・・・・ -65℃ ～ +150℃
$\overline{\text{RESET}}$を除くﾋﾟﾝ許容電圧 ・・・・・・・・・ -1.0V ～ VCC+0.5V
$\overline{\text{RESET}}$ﾋﾟﾝ許容電圧 ・・・・・・・・・・・・・・・・・・ -1.0V ～ +13.0V
最大動作電圧 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 6.6V
入出力ﾋﾟﾝ出力電流 ・・・・・・・・・・・・・・・・・・・・・・・・・ 40.0mA
消費電流 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 200.0mA

(警告)

絶対最大定格を超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

DC特性

TA=-40℃～85℃, VCC=2.7V～6.0V (特記事項を除く)

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
V_{IL}	Lowﾚﾍﾞﾙ入力電圧	XTAL1を除く	-0.5		0.3VCC (注1)	V
V_{IL1}	Lowﾚﾍﾞﾙ入力電圧	XTAL1	-0.5		0.2VCC (注1)	V
V_{IH}	Highﾚﾍﾞﾙ入力電圧	XTAL1,$\overline{\text{RESET}}$を除く	0.6VCC (注2)		VCC+0.5	V
V_{IH1}	Highﾚﾍﾞﾙ入力電圧	XTAL1	0.8VCC (注2)		VCC+0.5	V
V_{IH2}	Highﾚﾍﾞﾙ入力電圧	$\overline{\text{RESET}}$	0.9VCC (注2)		VCC+0.5	V
V_{OL}	Lﾚﾍﾞﾙ出力電圧(ﾎﾟｰﾄA,B,C,D)(注3)	IOL=20mA, VCC=5V			0.6	V
		IOL=10mA, VCC=3V			0.5	V
V_{OH}	Hﾚﾍﾞﾙ出力電圧(ﾎﾟｰﾄA,B,C,D)(注4)	IOH=-3mA, VCC=5V	4.2			V
		IOH=-1.5mA, VCC=3V	2.3			V
I_{IL}	I/Oﾋﾟﾝ Lowﾚﾍﾞﾙ入力漏れ電流	VCC=6V (確実なH/L範囲)			8.0	μA
I_{IH}	I/Oﾋﾟﾝ Highﾚﾍﾞﾙ入力漏れ電流	VCC=6V (確実なH/L範囲)			980	nA
R_{RST}	$\overline{\text{RESET}}$ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗		100		500	kΩ
$R_{I/O}$	I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗		35		120	kΩ
I_{CC}	活動動作消費電流	VCC=3V, 4MHz			3.0	mA
	ｱｲﾄﾞﾙ動作消費電流	VCC=3V, 4MHz			1.2	mA
	ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 (注5)	VCC=3V, WDT有効		9.0	15.0	μA
		VCC=3V, WDT禁止		<1.0	2.0	μA
V_{ACIO}	ｱﾅﾛｸﾞ比較器入力ｵﾌｾｯﾄ電圧	VCC=5V, Vin=VCC/2			40	mV
I_{ACLK}	ｱﾅﾛｸﾞ比較器入力漏れ電流	VCC=5V, Vin=VCC/2	-50		50	nA
t_{ACPD}	ｱﾅﾛｸﾞ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		ns

注1: Lowﾚﾍﾞﾙの認識が保証される最高電圧です。

注2: Highﾚﾍﾞﾙの認識が保証される最低電圧です。

注3: 各I/Oﾎﾟｰﾄは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで20mA、VCC=3Vで10mA)より多くの吸い込み電流を流すことができますが、次の条件を厳守してください。

1. 全ﾎﾟｰﾄのIOLの合計が200mAを超えるべきではありません。
2. ﾎﾟｰﾄB0～B7、D0～D7とXTAL2のIOLの合計が100mAを超えるべきではありません。
3. ﾎﾟｰﾄA0～A7、C0～C7、OC1B、ALEのIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oﾎﾟｰﾄは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで3mA、VCC=3Vで1.5mA)より多くの吐き出し電流を流すことができますが、次の条件を厳守してください。

1. 全ﾎﾟｰﾄのIOHの合計が200mAを超えるべきではありません。
2. ﾎﾟｰﾄB0～B7、D0～D7とXTAL2のIOHの合計が100mAを超えるべきではありません。
3. ﾎﾟｰﾄA0～A7、C0～C7、OC1B、ALEのIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きな吐き出し電流を流すことは保証されません。

注5: ﾊﾟﾜｰﾀﾞｳﾝ動作時の最小電源電圧(VCC)は2.0Vです。

外部クロック特性

図67. 外部クロック

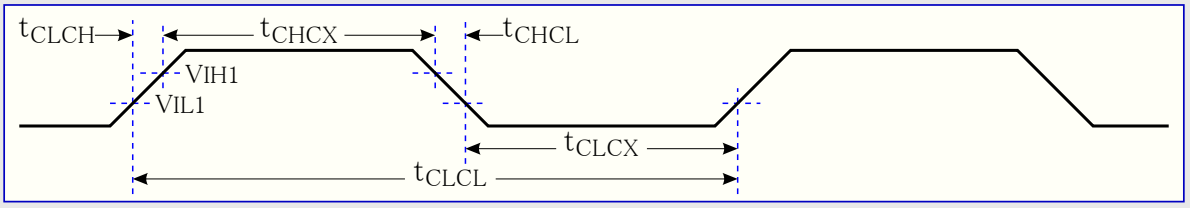


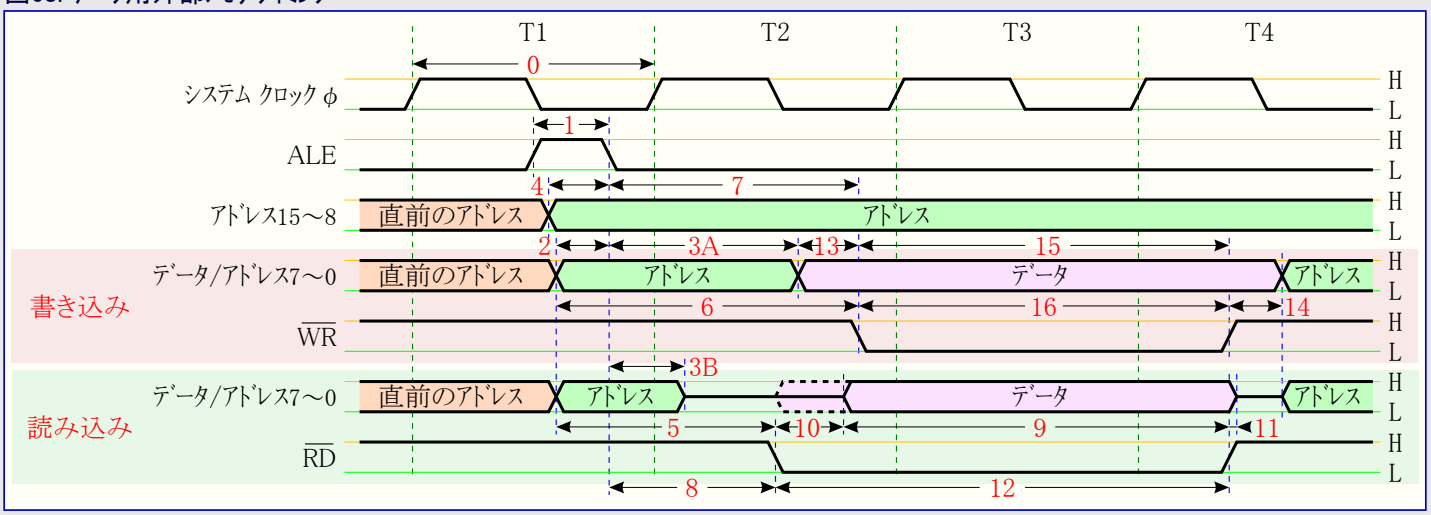
表36. 外部クロック特性

シンボル	項目	VCC=2.7V～4.0V		VCC=4.0V～6.0V		単位
		最小	最大	最小	最大	
$1/t_{CLCL}$	クロック周波数	0	4	0	8	MHz
t_{CLCL}	クロック周期	250		125		ns
t_{CHCX}	Highレベル時間	100		50		ns
t_{CLCX}	Lowレベル時間	100		50		ns
t_{CLCH}	上昇時間		1.6		0.5	µs
t_{CHCL}	下降時間		1.6		0.5	µs

注: データ用外部メモリのタイミングにデューティサイクルがどう影響するかの説明については、「外部メモリ タイミング」を参照してください。

外部メモリ特性

図68. データ用外部メモリ タイミング



注: T3は外部SRAM待ち許可時のみ存在します。

外部メモリ タイミング特性

表37. データ用外部メモリ特性 (VCC=4.0V～6.0V、待ちなし)

番号	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8.0		MHz
1	t_{LHLL}	ALE Highパルス幅	32.5		$0.5t_{CLCL}-30$		1	ns
2	t_{AVLL}	ALE↓前 下位アドレス準備時間	22.5		$0.5t_{CLCL}-40$		1	
3A	$t_{LLAX,ST}$	ライト時 ALE↓後 下位アドレス保持時間	67.5		$0.5t_{CLCL}+5$		2	
3B	$t_{LLAX,LD}$	リード時 ALE↓後 下位アドレス保持時間	15.0		15.0			
4	t_{AVLLC}	ALE↓前 上位アドレス準備時間	22.5		$0.5t_{CLCL}-40$		1	
5	t_{AVRL}	リード時$\overline{RD}$↓前 下位アドレス有効時間	95.0		$1.0t_{CLCL}-30$			
6	t_{AVWL}	ライト時$\overline{WR}$↓前 下位アドレス有効時間	157.5		$1.5t_{CLCL}-30$		1	
7	t_{LLWL}	ALE↓後 $\overline{WR}$↓遅延時間	105.0	145.0	$1.0t_{CLCL}-20$	$1.0t_{CLCL}+20$		
8	t_{LLRL}	ALE↓後 $\overline{RD}$↓遅延時間	42.5	82.5	$0.5t_{CLCL}-20$	$0.5t_{CLCL}+20$	2	
9	t_{DVRH}	$\overline{RD}$↑前 データ準備時間	60.0		60			
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		70.0		$1.0t_{CLCL}-55$		
11	t_{RHDX}	$\overline{RD}$↑後 データ保持時間	0.0		0.0			
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	105.0		$1.0t_{CLCL}-20$			
13	t_{OVWL}	$\overline{WR}$↓前 データ準備時間	27.5		$0.5t_{CLCL}-35$		1	
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	0.0		0.0			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	95.0		$1.0t_{CLCL}-30$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	42.5		$0.5t_{CLCL}-20$		2	

表38. データ用外部メモリ特性 (VCC=4.0V～6.0V、1待ち周期あり)

番号	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8.0		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		195.0		$2.0t_{CLCL}-55$		ns
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	230.0		$2.0t_{CLCL}-20$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	220.0		$2.0t_{CLCL}-30$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	167.5		$1.5t_{CLCL}-20$		2	

注1: 一般式の定数はデューティ比=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティ比=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

表39. データ用外部メモリ特性 (VCC=2.7V～4.0V、待ちなし)

番号	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	4.0		MHz
1	t_{LHLL}	ALE Highパルス幅	70.0		$0.5t_{CLCL}-55$		1	ns
2	t_{AVLL}	ALE↓前 下位アドレス準備時間	60.0		$0.5t_{CLCL}-65$		1	
3A	$t_{LLAX,ST}$	ライト時 ALE↓後 下位アドレス保持時間	130.0		$0.5t_{CLCL}+5$		2	
3B	$t_{LLAX,LD}$	リード時 ALE↓後 下位アドレス保持時間	15.0		15.0			
4	t_{AVLLC}	ALE↓前 上位アドレス準備時間	60.0		$0.5t_{CLCL}-65$		1	
5	t_{AVRL}	リード時$\overline{RD}$↓前 下位アドレス有効時間	200.0		$1.0t_{CLCL}-50$			
6	t_{AVWL}	ライト時$\overline{WR}$↓前 下位アドレス有効時間	325.0		$1.5t_{CLCL}-50$		1	
7	t_{LLWL}	ALE↓後 $\overline{WR}$↓遅延時間	230.0	270.0	$1.0t_{CLCL}-20$	$1.0t_{CLCL}+20$		
8	t_{LLRL}	ALE↓後 $\overline{RD}$↓遅延時間	105.0	145.0	$0.5t_{CLCL}-20$	$0.5t_{CLCL}+20$	2	
9	t_{DVRH}	$\overline{RD}$↑前 データ準備時間	95.0		95.0			
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		170.0		$1.0t_{CLCL}-80$		
11	t_{RHDX}	$\overline{RD}$↑後 データ保持時間	0.0		0.0			
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	230.0		$1.0t_{CLCL}-20$			
13	t_{OVWL}	$\overline{WR}$↓前 データ準備時間	70.0		$0.5t_{CLCL}-55$		1	
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	0.0		0.0			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	210.0		$1.0t_{CLCL}-40$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	105.0		$0.5t_{CLCL}-20$		2	

表40. データ用外部メモリ特性 (VCC=2.7V～4.0V、1待ち周期あり)

番号	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	4.0		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		420.0		$2.0t_{CLCL}-80$		ns
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	480.0		$2.0t_{CLCL}-20$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	460.0		$2.0t_{CLCL}-40$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	355.0		$1.5t_{CLCL}-20$		2	

注1: 一般式の定数はデューティ比=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティ比=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) C_L(負荷容量)×VCC(動作電圧)×f(I/Oピンの平均切り替え周波数) として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマにより引き込んだ(消費した)差電流を表します。

図69. 活動動作消費電流 対 周波数 (TA=25℃)

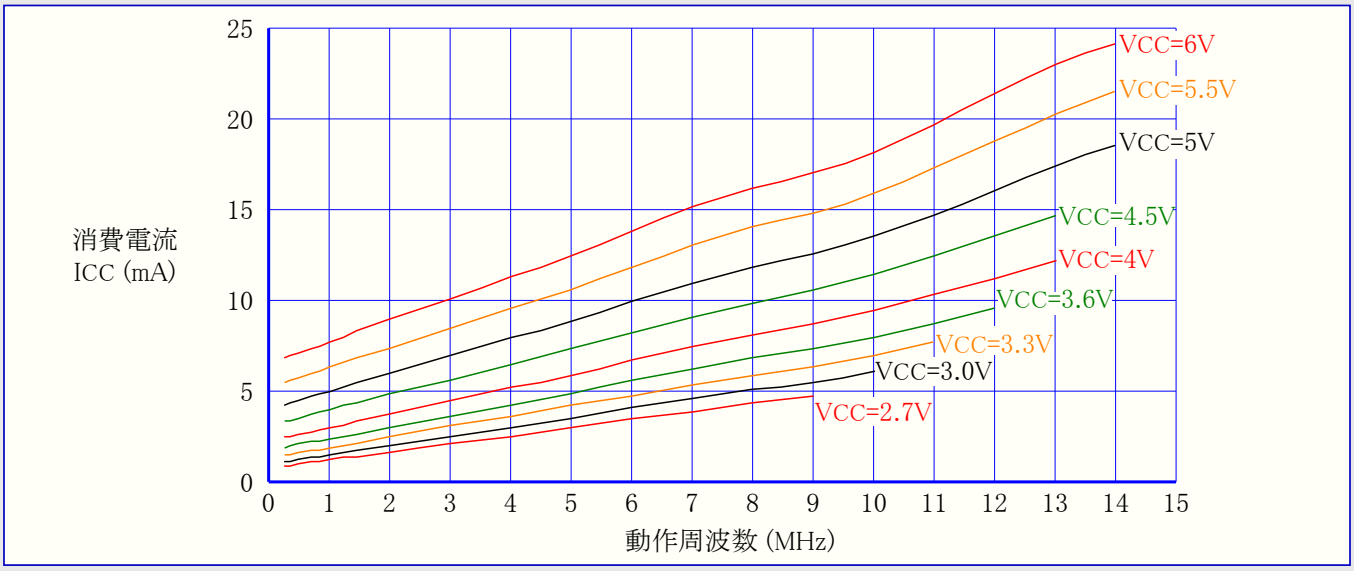


図70. 活動動作消費電流 対 動作電圧 (周波数=4MHz)

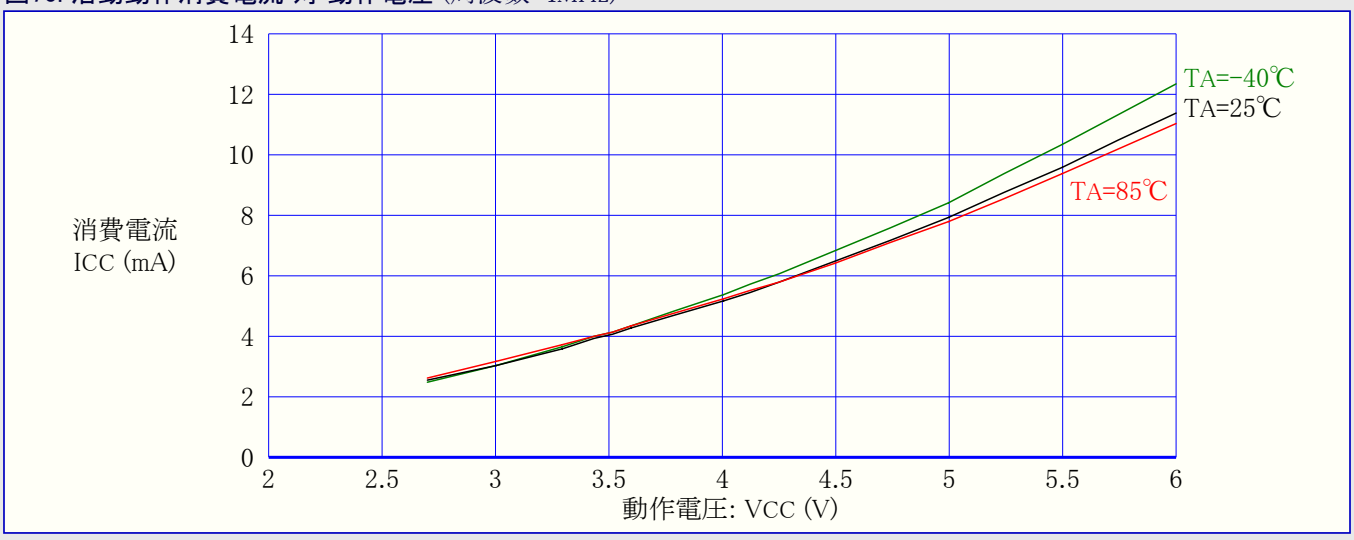


図71. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (TA=25℃)

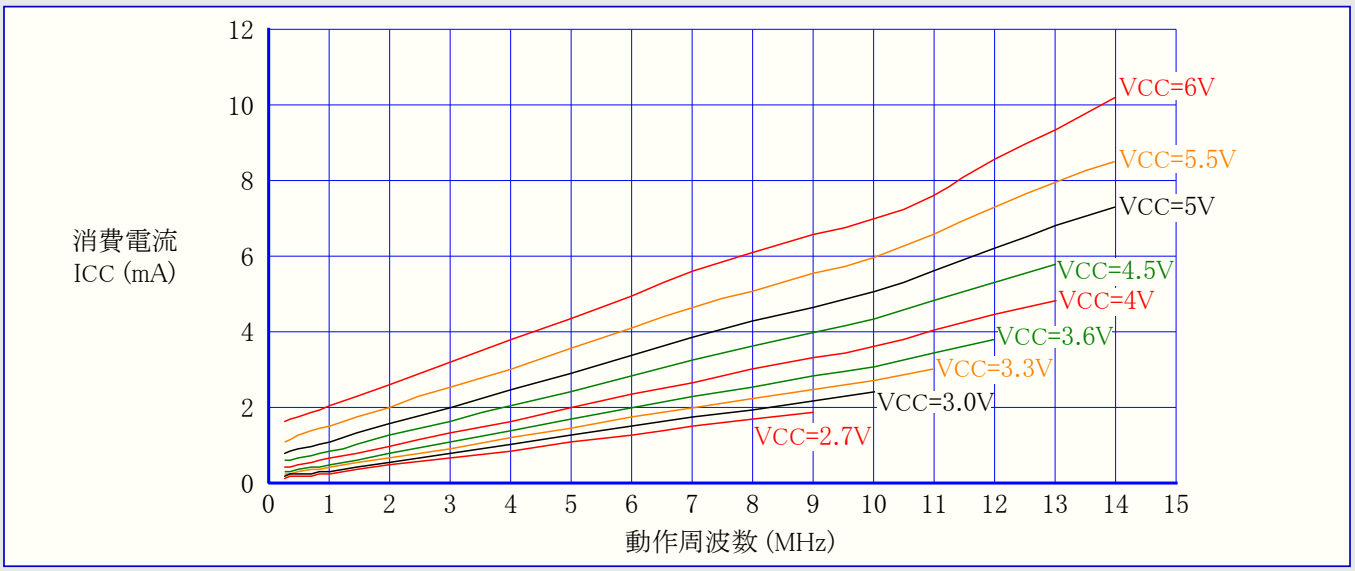


図72. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (周波数=4MHz)

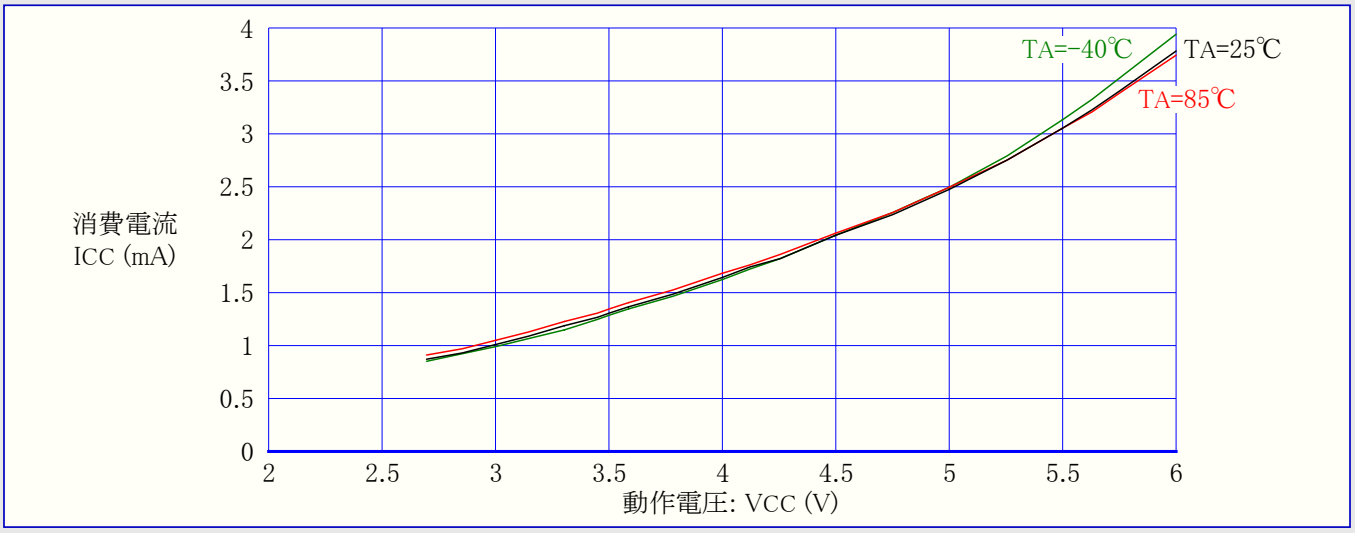


図73. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ停止)

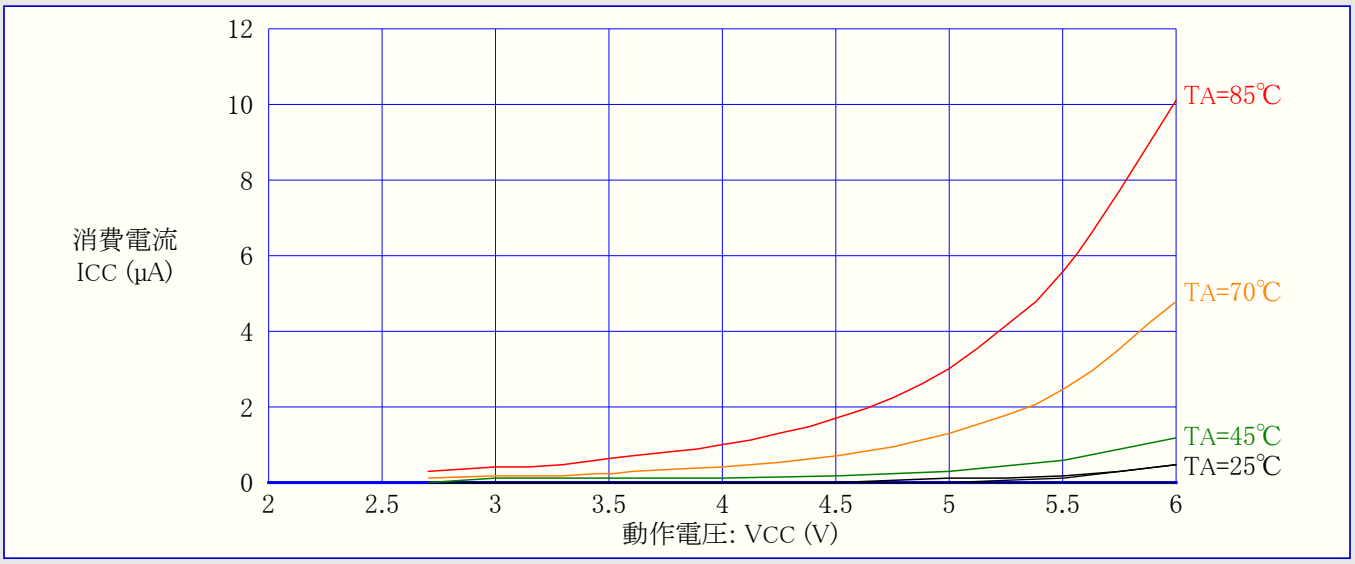


図74. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)

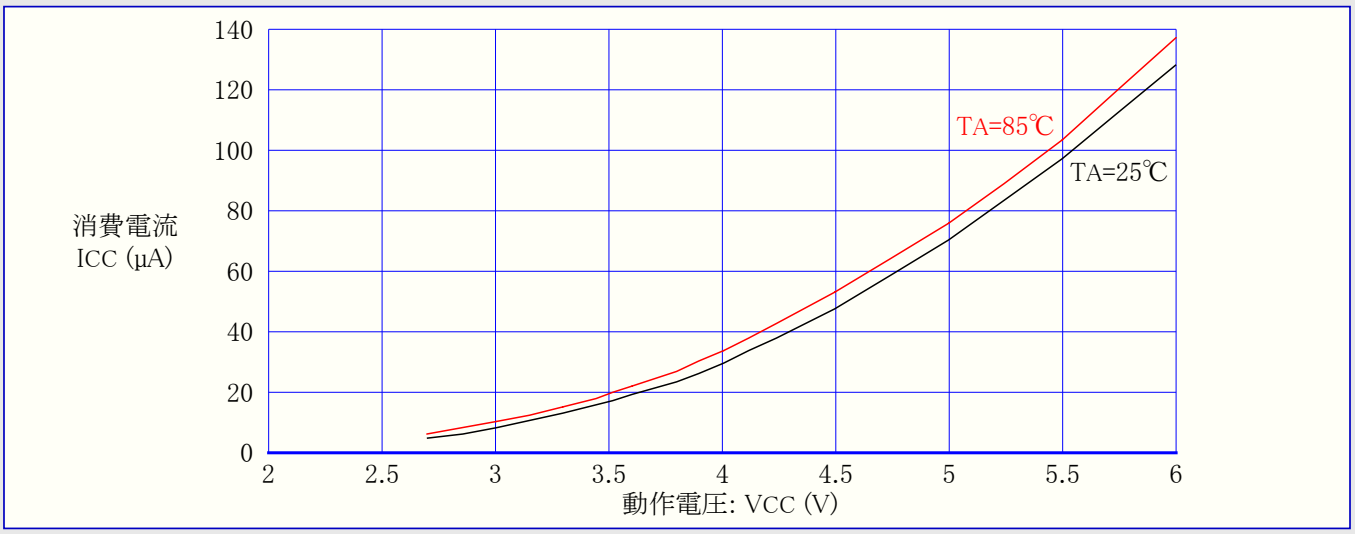


図75. アナログ比較器消費電流 対 動作電圧

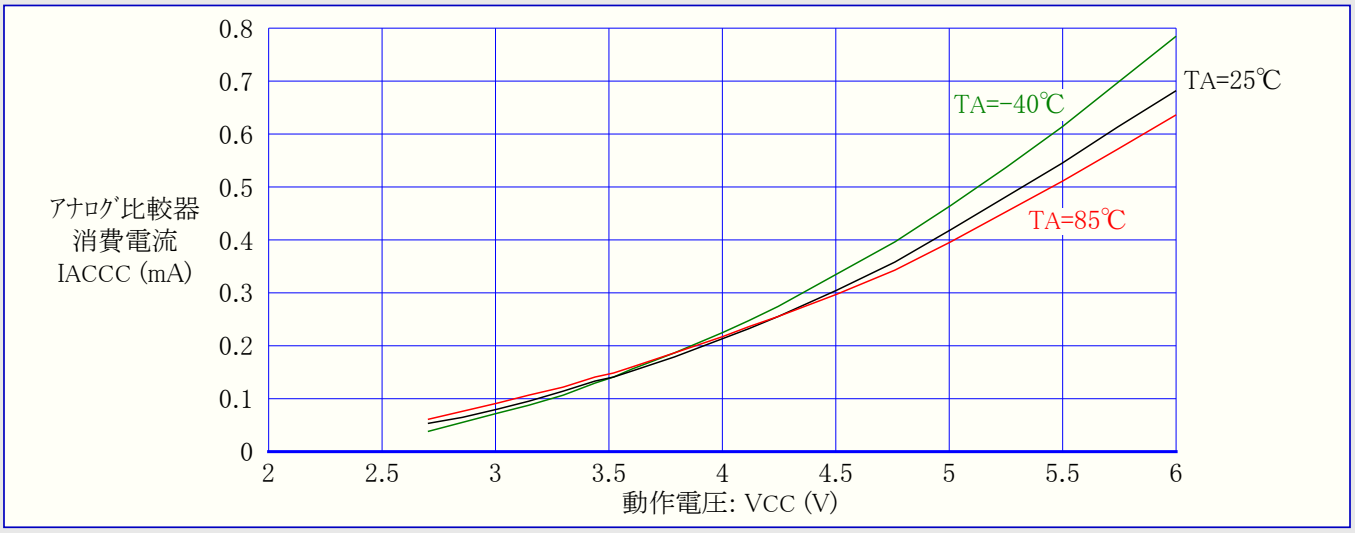
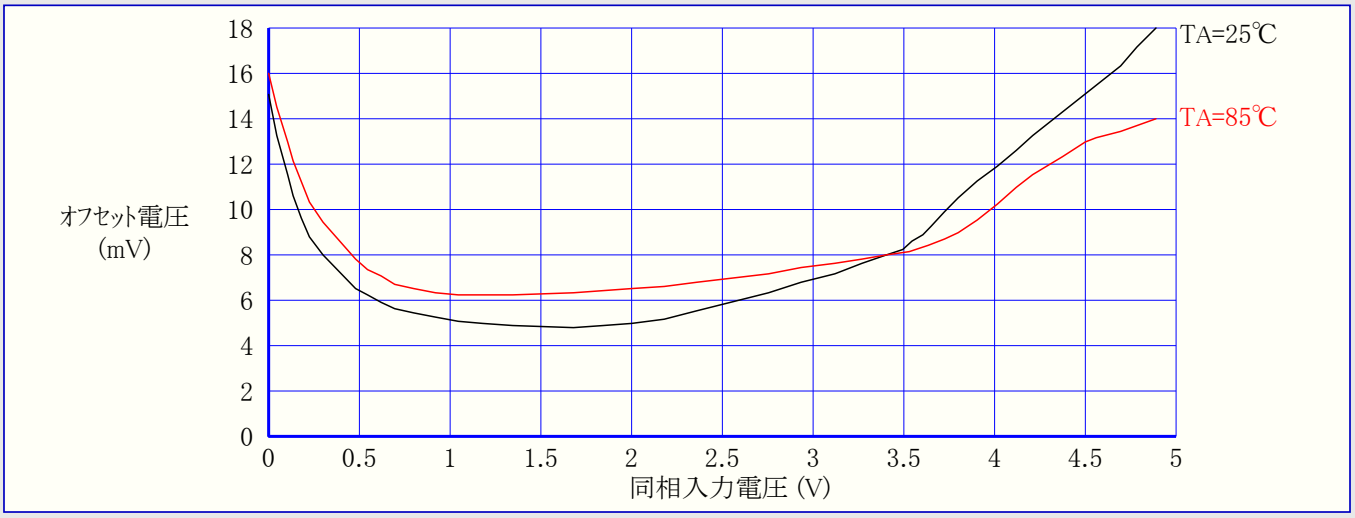
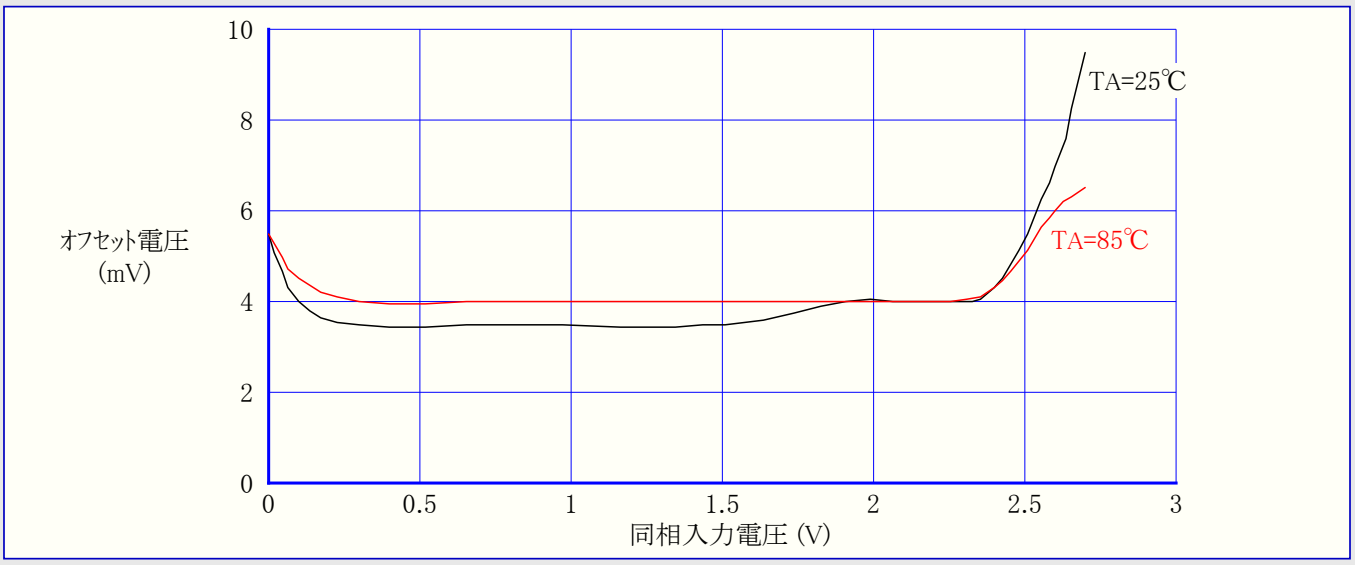


図76. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=5V)



注: オフセット電圧は絶対値です。

図77. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=2.7V)



注: オフセット電圧は絶対値です。

図78. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25℃)

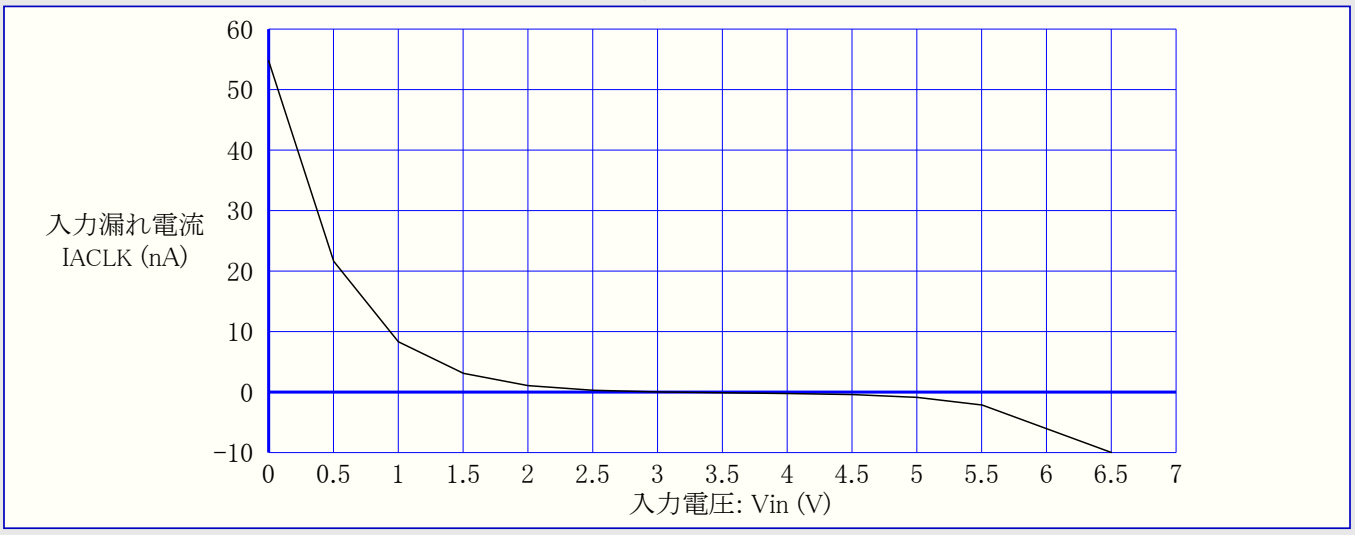


図79. ウォッチドッグ用発振器 発振周波数 対 動作電圧

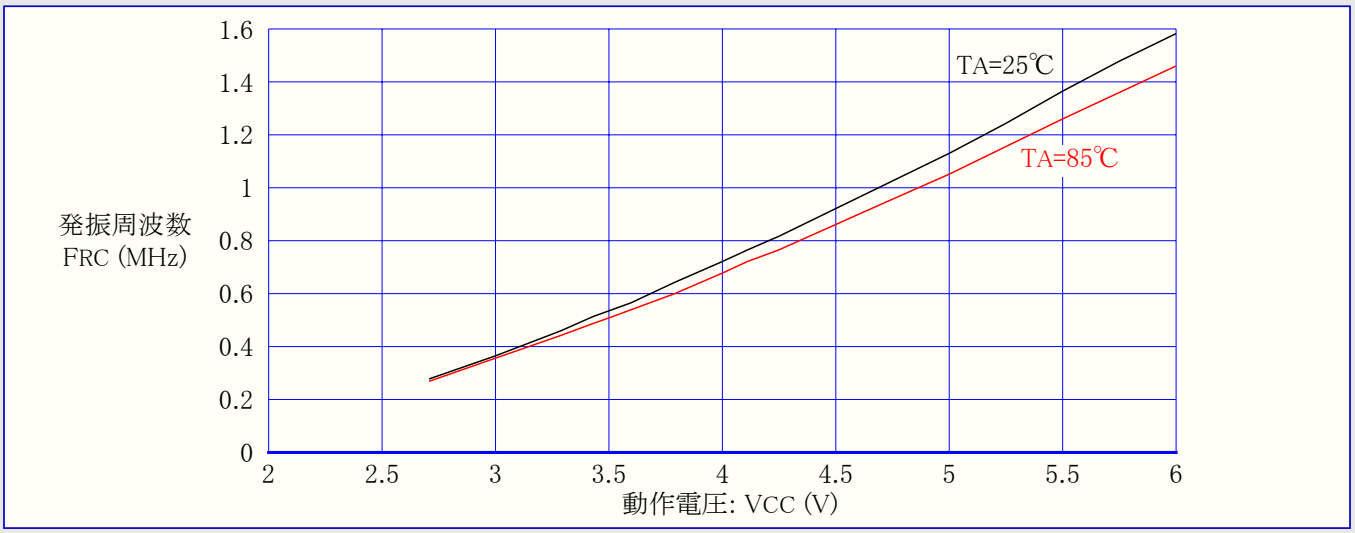
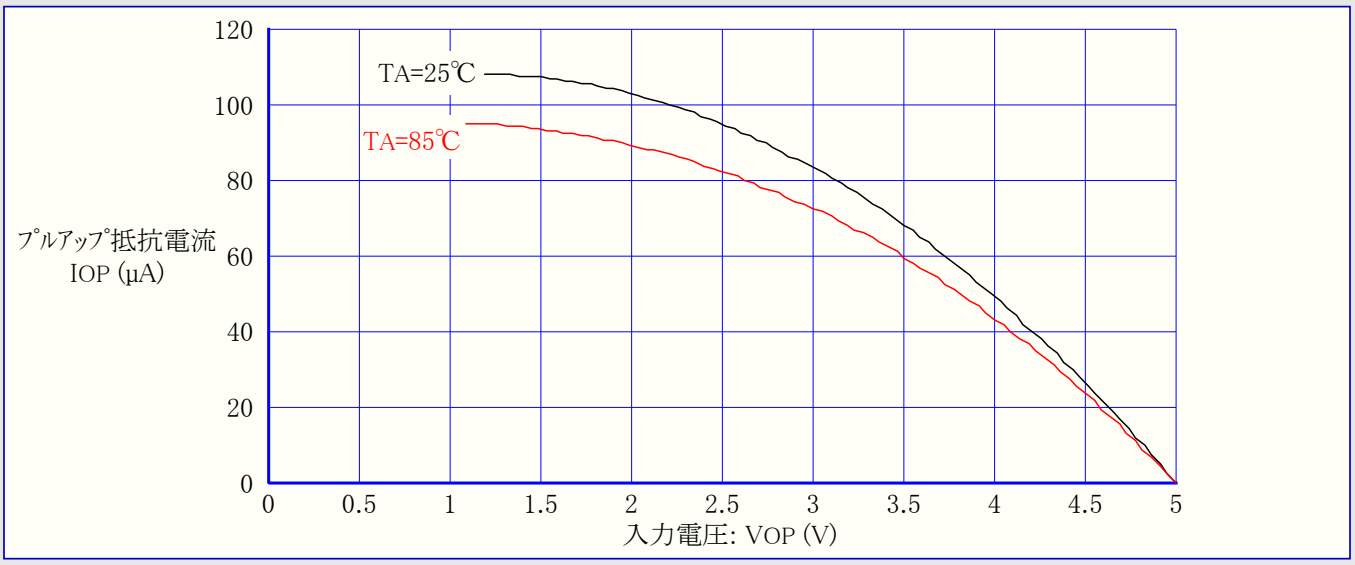
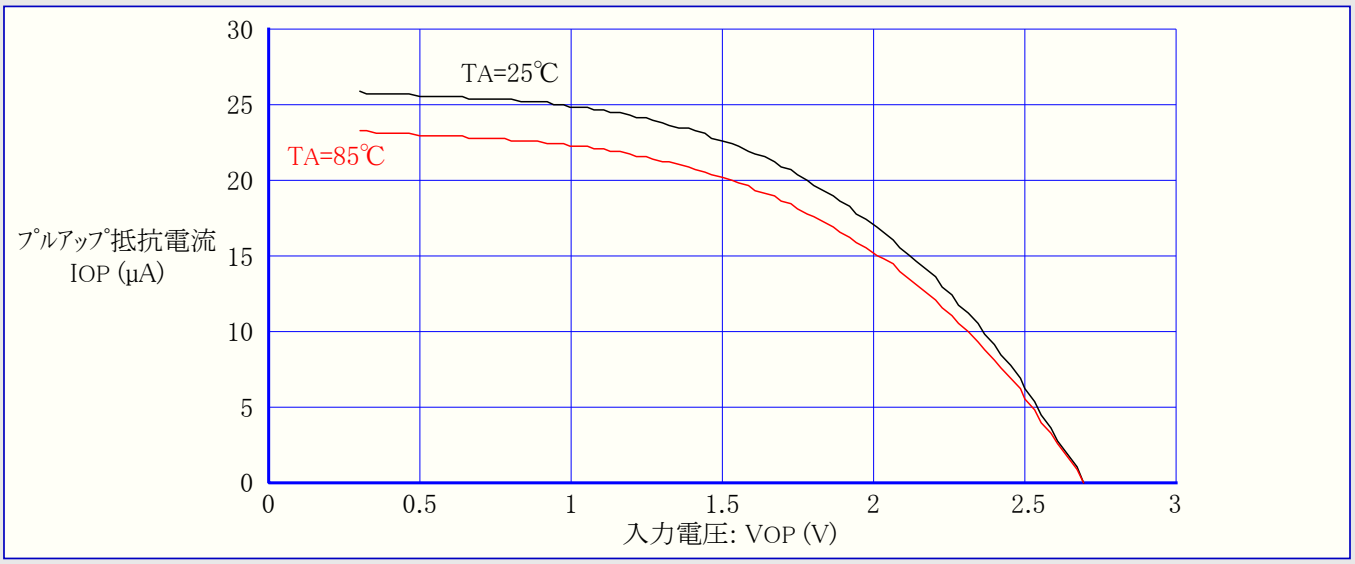


図80. ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=5V)



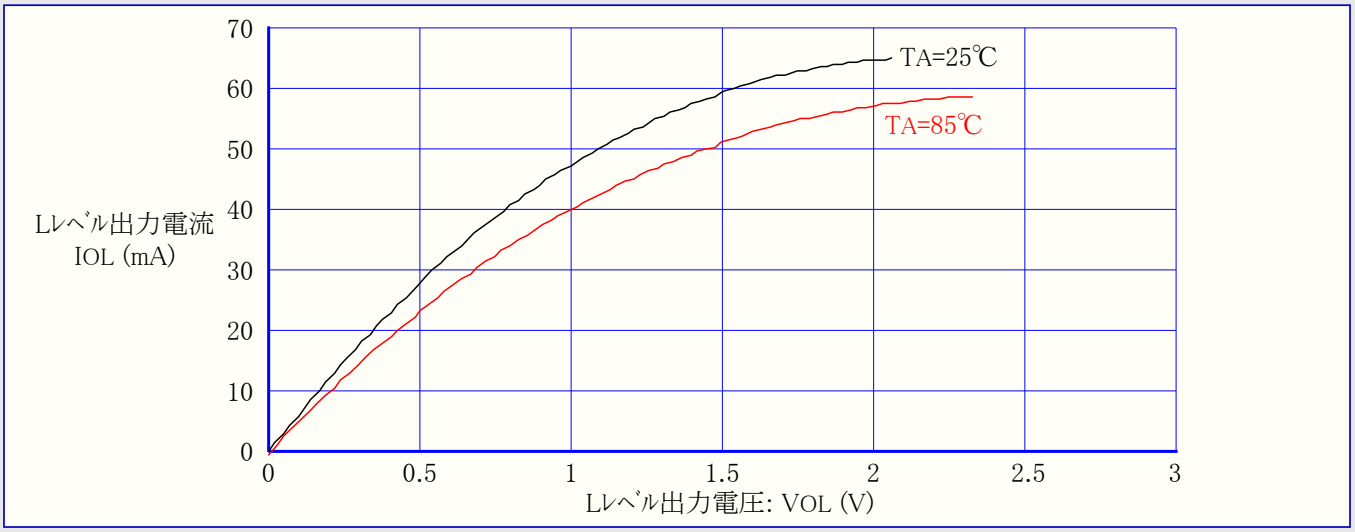
注: 測定は1ﾋﾟﾝ単位です。

図81. ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=2.7V)



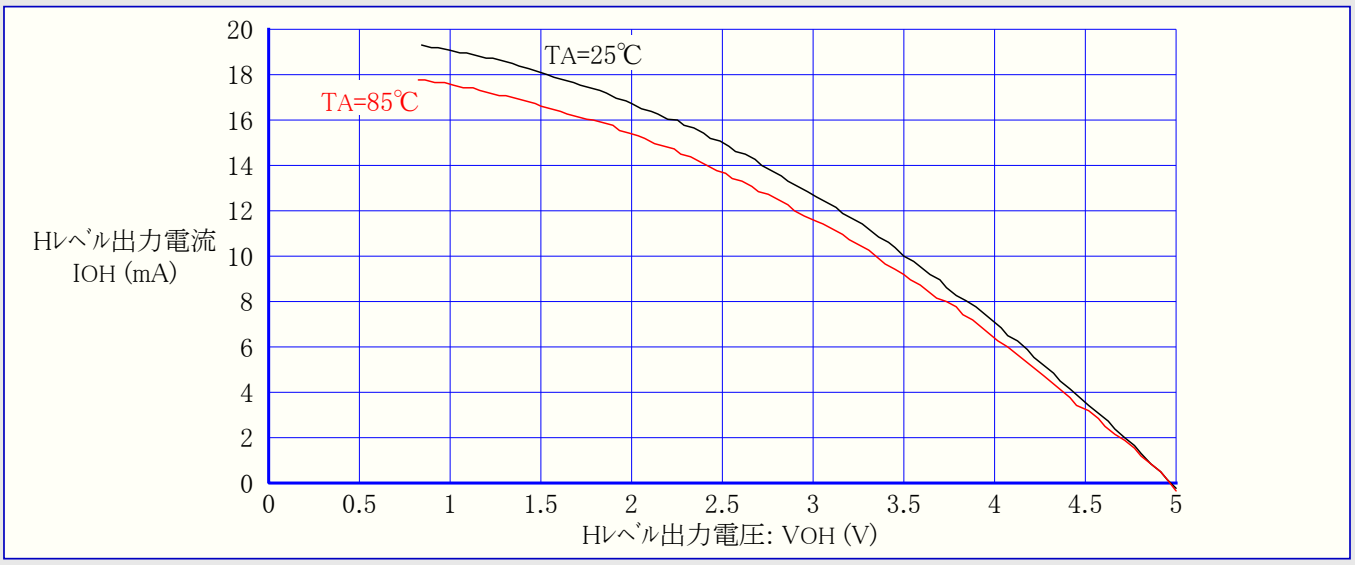
注: 測定は1ﾋﾟﾝ単位です。

図82. I/Oﾋﾟﾝ吸い込み電流 対 出力電圧 (VCC=5V)



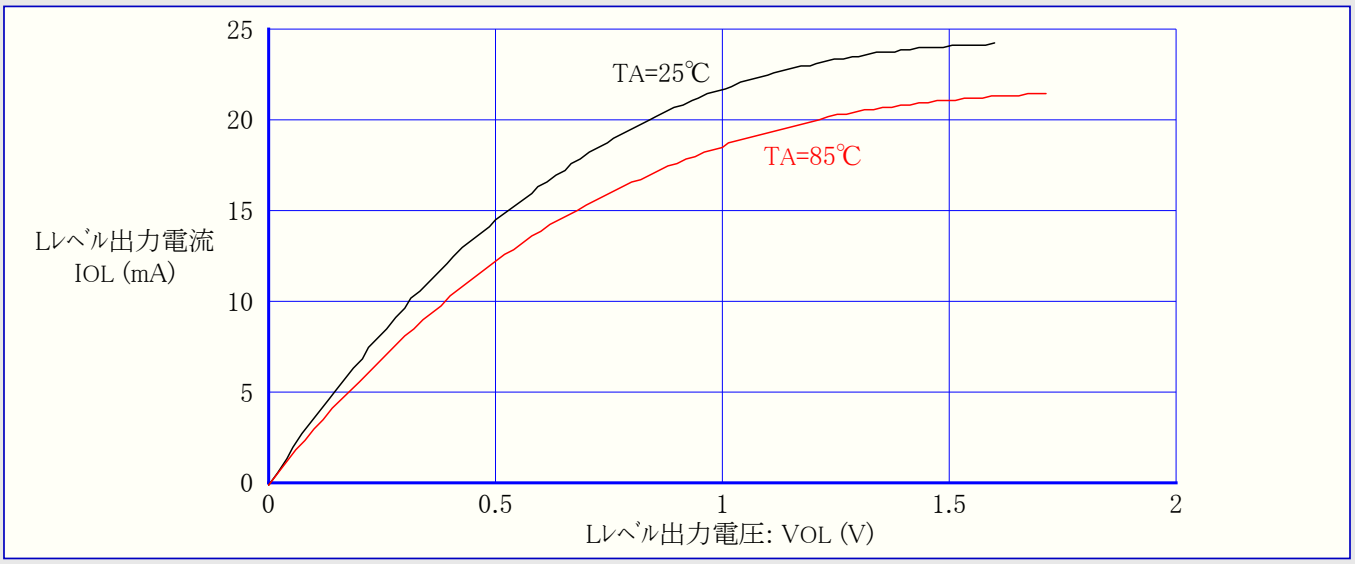
注: 測定は1ﾋﾟﾝ単位です。

図83. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



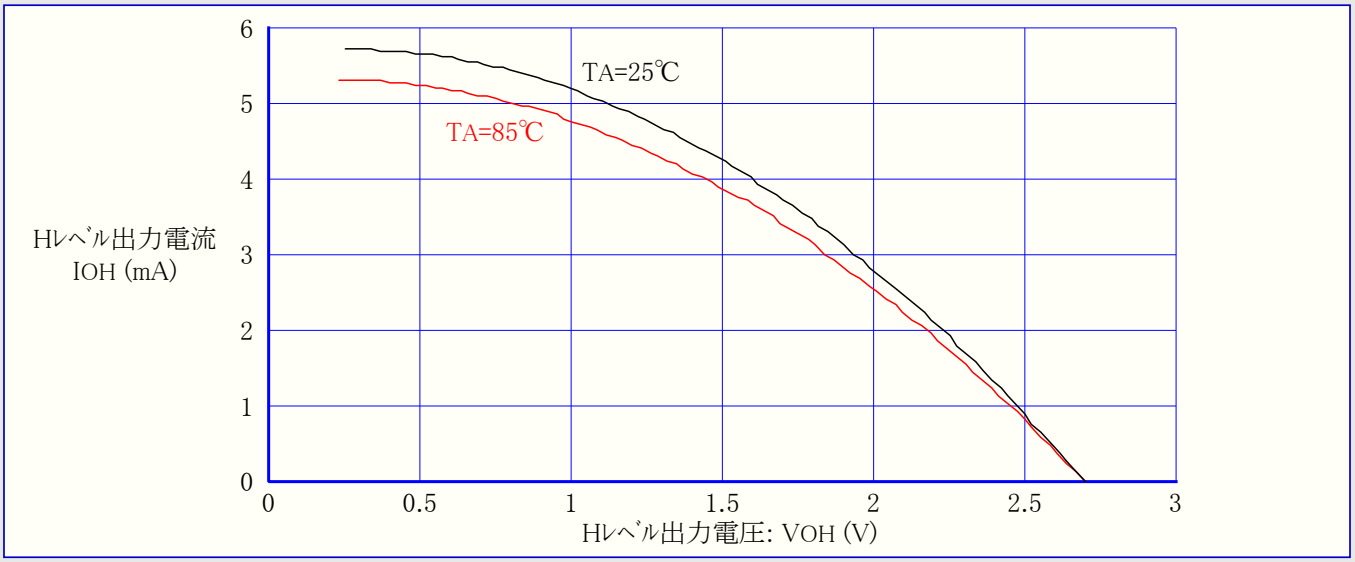
注: 測定は1ピン単位です。

図84. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図85. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図86. I/Oﾋﾟﾝ入力閾値電圧 対 動作電圧 (TA=25℃)

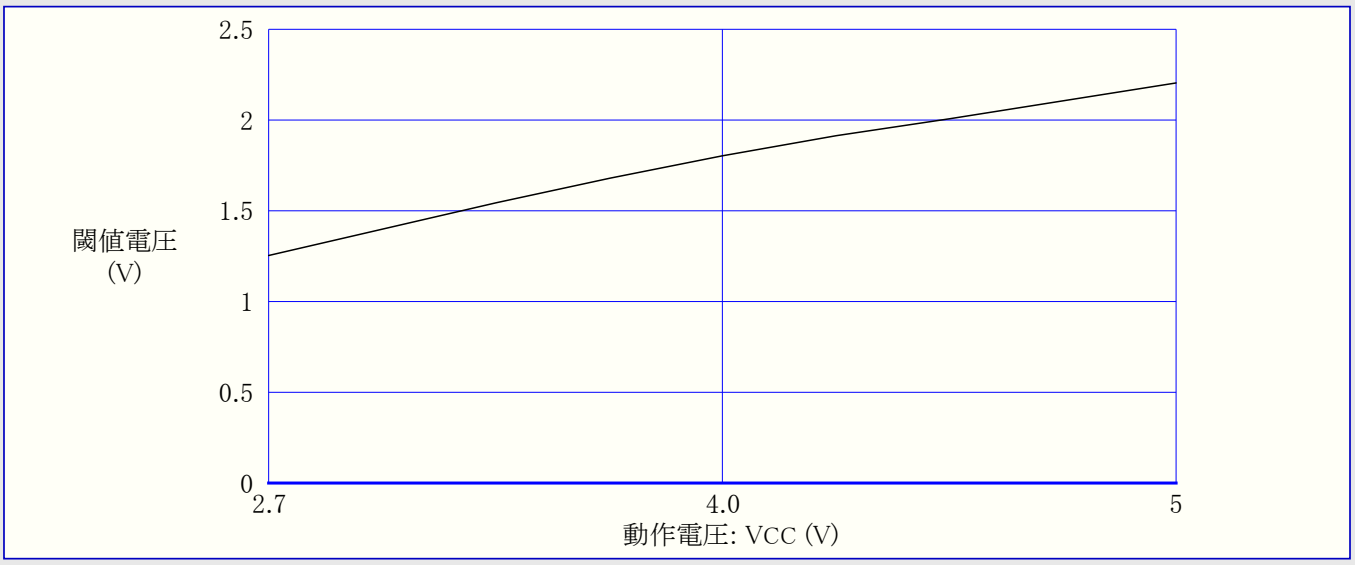
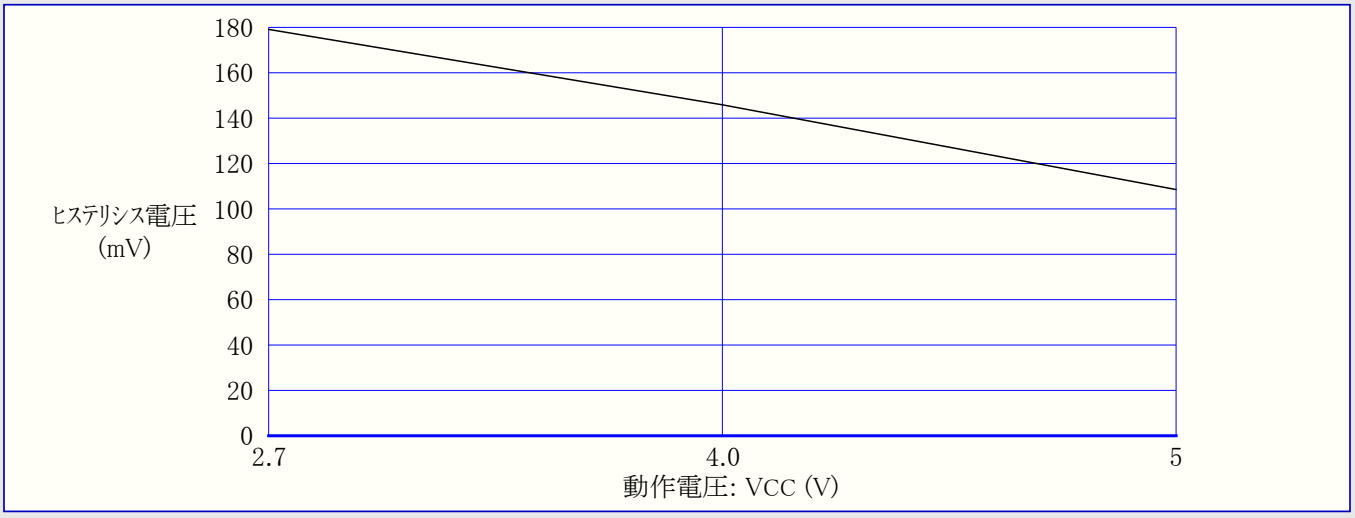


図87. I/Oﾋﾟﾝ入力ﾋｽﾃﾘｼｽ電圧 対 動作電圧 (TA=25℃)



(訳注) 原書の図85.～87.の順序が一般的でないため、本書では他と共通位置となるように入れ替えています。

レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
$3F ($5F)	SREG	I	T	H	S	V	N	Z	C	11
$3E ($5E)	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	11
$3D ($5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
$3C ($5C)	予約									
$3B ($5B)	GIMSK	INT1	INT0	–	–	–	–	–	–	15
$3A ($5A)	GIFR	INTF1	INTF0	–	–	–	–	–	–	15
$39 ($59)	TIMSK	TOIE1	OCIE1A	OCIE1B	–	TICIE1	–	TOIE0	–	16
$38 ($58)	TIFR	TOV1	OCF1A	OCF1B	–	ICF1	–	TOV0	–	16
$37 ($57)	予約									
$36 ($56)	予約									
$35 ($55)	MCUCR	–	–	SE	SM	ISC11	ISC10	ISC01	ISC00	18
$34 ($54)	予約									
$33 ($53)	TCCR0	–	–	–	–	–	CS02	CS01	CS00	21
$32 ($52)	TCNT0	タイマ/カウンタ0								21
$31 ($51)	予約									
$30 ($50)	予約									
$2F ($4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	–	–	PWM11	PWM10	23
$2E ($4E)	TCCR1B	ICNC1	ICES1	–	–	CTC1	CS12	CS11	CS10	24
$2D ($4D)	TCNT1H	タイマ/カウンタ1 上位バイト								25
$2C ($4C)	TCNT1L	タイマ/カウンタ1 下位バイト								
$2B ($4B)	OCR1AH	タイマ/カウンタ1 比較Aレジスタ上位バイト								26
$2A ($4A)	OCR1AL	タイマ/カウンタ1 比較Aレジスタ下位バイト								
$29 ($49)	OCR1BH	タイマ/カウンタ1 比較Bレジスタ上位バイト								26
$28 ($48)	OCR1BL	タイマ/カウンタ1 比較Bレジスタ下位バイト								
$27 ($47)	予約									
$26 ($46)	予約									
$25 ($45)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト								26
$24 ($44)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト								
$23 ($43)	予約									
$22 ($42)	予約									
$21 ($41)	WDTCR	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0	28
$20 ($40)	予約									
$1F ($3F)	EEARH	–	–	–	–	–	–	–	EEAR8	29
$1E ($3E)	EEARL	EEPROM アドレス レジスタ下位バイト (EEAR7～0)								
$1D ($3D)	EEDR	EEPROM データ レジスタ								29
$1C ($3C)	EECR	–	–	–	–	–	EEMWE	EEWE	EERE	29
$1B ($3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	41
$1A ($3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	41
$19 ($39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	41
$18 ($38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	43
$17 ($37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	43
$16 ($36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	43
$15 ($35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	48
$14 ($34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	48
$13 ($33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	48
$12 ($32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	50
$11 ($31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	50
$10 ($30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	50
$0F ($2F)	SPDR	SPI データ レジスタ								32
$0E ($2E)	SPSR	SPIF	WCOL	–	–	–	–	–	–	33
$0D ($2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	33
$0C ($2C)	UDR	UART データ レジスタ								36
$0B ($2B)	USR	RXC	TXC	UDRE	FE	OR	–	–	–	36
$0A ($2A)	UCR	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	37
$09 ($29)	UBRR	UART ボーレート レジスタ								37
$08 ($28)	ACSR	ACD	–	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	39
$01～$07	予約									
$00 ($20)	予約									

注: ・将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリ アドレスへは決して書くべきではありません。

・いくつかの状態フラグは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は$00～$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	RdH:RdL ← RdH:RdL + K6	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd ← Rd − Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd ← Rd − K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	RdH:RdL ← RdH:RdL − K6	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd ← Rd − Rr − C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd ← Rd − K − C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF − Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 − Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	Rd ← Rd AND ($FF − K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(−1)	Rd ← Rd − 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	PC ← STACK	1,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd − Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd − Rr − C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd − K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータス フラグが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータス フラグが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリー フラグが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリー フラグが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの＜で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	−(マイナス)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの＜で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリー フラグが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

K6, K：6, 8ビット定数　P：I/Oレジスタ　Rd, Rr：汎用レジスタ(R0～R31)　X, Y, Z：X, Y, Zレジスタ
b：ビット(0～7)　k：アドレス定数(7,12,16ビット)　q：符号なし6ビット定数(変位)　s：ステータス フラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
IN	Rd,P	I/Oレジスタからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ステータス レジスタのビット設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ステータス レジスタのビット解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		キャリー フラグを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		キャリー フラグを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ゼロ フラグを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ゼロ フラグを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号フラグをク解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリー フラグを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリー フラグを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグ タイマ リセット	ウォッチドッグ タイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文ｺｰﾄﾞ	外囲器	動作範囲
4	2.7～6.0V	AT90S8515-4AC	44A	一般用 (0℃～70℃)
		AT90S8515-4JC	44J	
		AT90S8515-4PC	40P6	
		AT90S8515-4AI	44A	工業用 (-40℃～85℃)
		AT90S8515-4JI	44J	
		AT90S8515-4PI	40P6	
8	4.0～6.0V	AT90S8515-8AC	44A	一般用 (0℃～70℃)
		AT90S8515-8JC	44J	
		AT90S8515-8PC	40P6	
		AT90S8515-8AI	44A	工業用 (-40℃～85℃)
		AT90S8515-8JI	44J	
		AT90S8515-8PI	40P6	

注: FSTRTﾋｭｰｽﾞ ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)された製品については、AT90S8515A-XXXで注文してください。

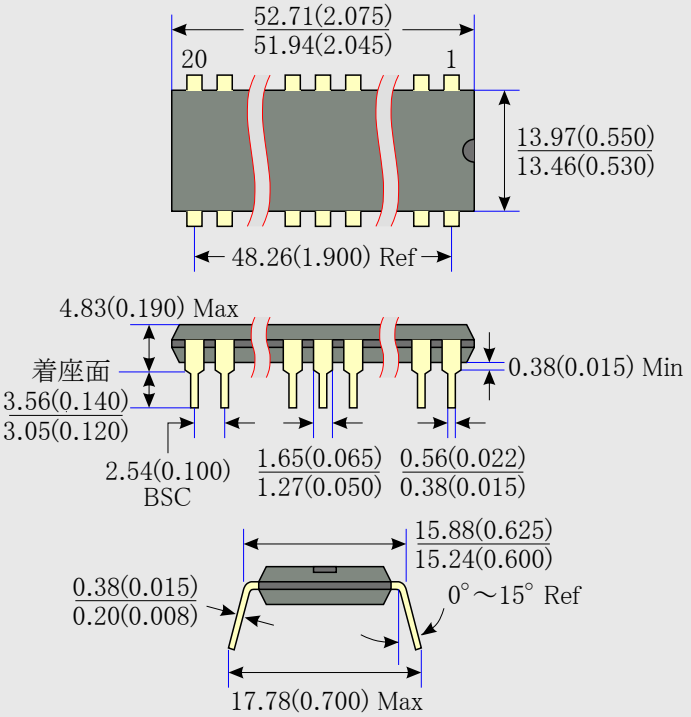
外囲器形式	
44A	44ﾘｰﾄﾞ 1.0mm厚 ﾌﾟﾗｽﾃｨｯｸ4方向平板外囲器 (TQFP)
44J	44ﾘｰﾄﾞ ﾌﾟﾗｽﾃｨｯｸ Jﾘｰﾄﾞ ﾁｯﾌﾟ ｷｬﾘｱ (PLCC)
40P6	40ﾋﾟﾝ 600mil幅 ﾌﾟﾗｽﾃｨｯｸ2列直線外囲器 (PDIP)

外囲器情報

40P6

40ﾋﾟﾝ 600mil幅 ﾌﾟﾗｽﾃｨｯｸ2列直線外囲器 (PDIP)

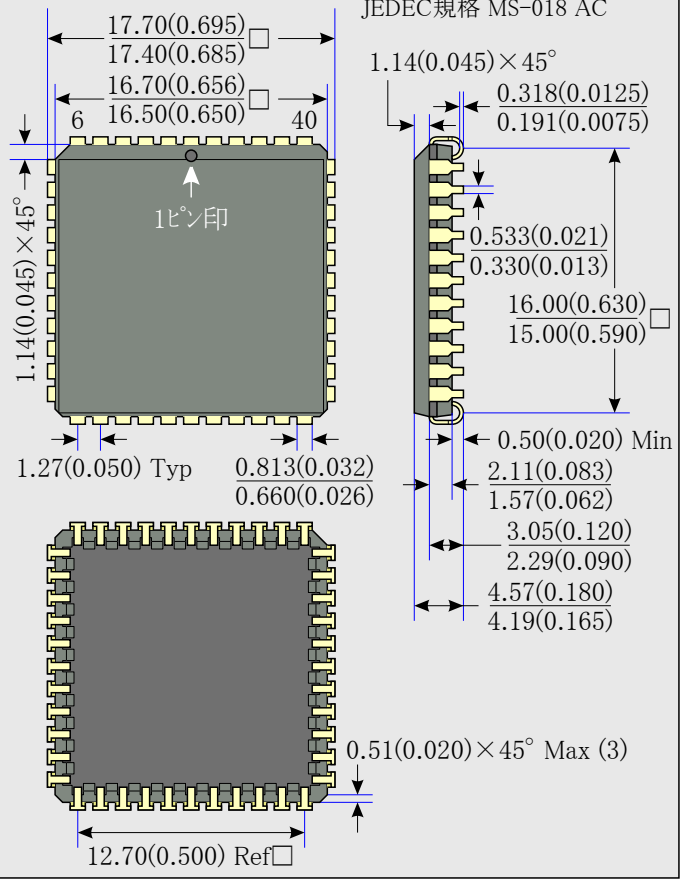
寸法: mm、( )内はｲﾝﾁ
JEDEC規格 MS-011 AC



44J

44ﾘｰﾄﾞ ﾌﾟﾗｽﾃｨｯｸ Jﾘｰﾄﾞ ﾁｯﾌﾟ ｷｬﾘｱ (PLCC)

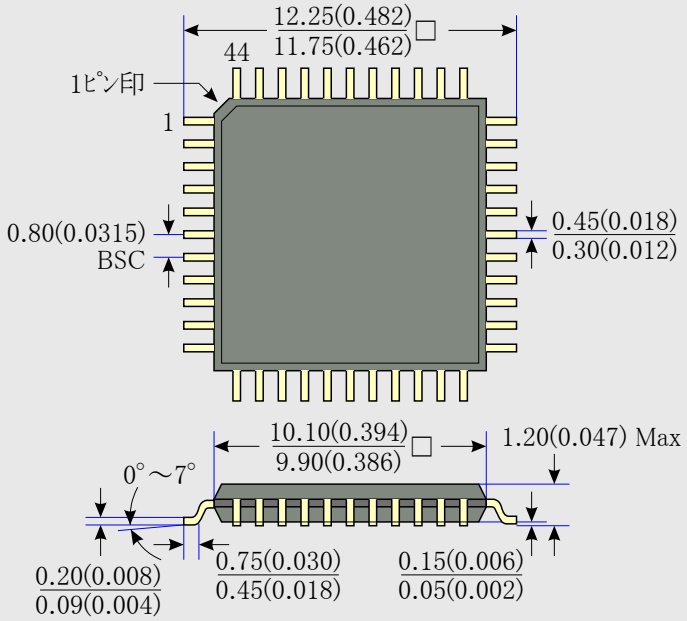
寸法: mm、( )内はｲﾝﾁ
JEDEC規格 MS-018 AC



44A

44ﾘｰﾄﾞ 0.8mmﾋﾟｯﾁ ﾌﾟﾗｽﾃｨｯｸ4方向平板外囲器 (TQFP)

寸法: mm、( )内はｲﾝﾁ
JEDEC規格 MS-026 ACB



障害情報

この章の改訂番号はAT90S8515ﾃﾞﾊﾞｲｽの改訂版を参照してください。

改訂B
(Rev. 1195E-09/01)
改訂C
(Rev. 2494A-09/01)

- ｽｷｯﾌﾟ命令実行中の割り込み　B/C
- 供給電圧3.0V以下での直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ　B/C
- ﾘｾｯﾄ後のSPI割り込み要求ﾌﾗｸﾞが不定　B/C
- EEPROM書き込み中のﾘｾｯﾄ　B/C
- SPIの不正なﾊﾞｲﾄ送信　B/C
- 高電圧書き換え時の施錠ﾋﾞｯﾄ消去　B
- ｸﾛｯｸ停止によるﾘｾｯﾄ状態の解除　B/C
- UART受信禁止時のRXD信号Lowﾚﾍﾞﾙによる同期化異常　B/C
- COM1B1,0設定によるOC1Bﾋﾟﾝ切り離し異常　B/C
- EEPROM書き込み時のSTS命令異常　B/C
- 外部SRAMに対するLDS/STS命令の制限　B/C

1. ｽｷｯﾌﾟ命令実行中の割り込み (B/C)

ｽｷｯﾌﾟ(SBRS,SBRC,SBIS,SBIC,CPSE)命令が次の2語命令をｽｷｯﾌﾟする場合、3ｸﾛｯｸ周期が必要です。このｽｷｯﾌﾟ命令の最初または第2ｸﾛｯｸ中に割り込みが起きると、ｽﾀｯｸに正しい戻りｱﾄﾞﾚｽを保存せず、2語命令の第2語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽを保存します。このため、割り込みからの復帰時に、この2語命令の第2語を実行します。AT90S8515には、LDS, STS, JMP, CALLの4つの2語命令が存在します。

注1. この問題が発生するのは、次の全条件が成り立った場合だけです。

- ｽｷｯﾌﾟ命令の次が2語命令。
- ｽｷｯﾌﾟ命令の条件一致で次の命令をｽｷｯﾌﾟ。
- 割り込み許可で、1つ以上の割り込み要求が発生。
- ｽｷｯﾌﾟ命令の最初または第2ｸﾛｯｸで割り込みが発生。

注2. これはLDSまたはSTS命令のｵﾍﾟﾗﾝﾄﾞのﾃﾞｰﾀ空間ｱﾄﾞﾚｽが$0400以上の場合にだけ問題を起こします。
（訳補）$0400未満は未定義命令で、NOP命令と等価になり、実害を生じないためです。

対策/対処

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑでは、割り込み許可の場合、2語命令のｽｷｯﾌﾟを避けてください。次のCｺﾝﾊﾟｲﾗはこの順序を正しく操作します。

- IAR – Ver1.40b以降
- Image Craft – 全版
- Codevision – Ver1.0.0.5以降

2. 供給電圧3.0V以下での直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ (B/C)

供給電圧3.0V以下での直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは失敗する可能性があります。

対策/対処

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のVCCは3.0V以上に保ってください。

3. ﾘｾｯﾄ後のSPI割り込み要求ﾌﾗｸﾞが不定 (B/C)

ﾘｾｯﾄ中にSCKﾋﾟﾝが未接続などでSCKﾋﾟﾝのﾚﾍﾞﾙ遷移が起こり、起動時のSPI割り込み要求ﾌﾗｸﾞの値が不定となります。SPI割り込みを許可する前に、このﾌﾗｸﾞを解除(0)しないと、不要なSPI割り込みが実行されるかもしれません。

対策/対処

SPI割り込みを許可する前に、SPI割り込み要求ﾌﾗｸﾞを解除(0)してください。

4. EEPROM書き込み中のﾘｾｯﾄ (B/C)

EEPROM書き込み中にﾘｾｯﾄが有効にされると予期せぬ結果になります。EEPROM書き込み周期は通常に完了しますが、EEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀは$0000にﾘｾｯﾄされます。この結果、EEPROMの書き込みｱﾄﾞﾚｽとｱﾄﾞﾚｽ$0000の両方が不正に成り得ます。

対策/対処

EEPROM書き込み中、ﾘｾｯﾄにしないことが保証できる場合を除き、保存用としてｱﾄﾞﾚｽ$0000の使用を避けてください。

5. SPIの不正なﾊﾞｲﾄ送信 (B/C)

SPIが主装置動作の場合、直前の転送が完了されるのと同じｸﾛｯｸ端で新しいﾃﾞｰﾀを書き込むと、古い(直前の)転送を再び開始します。

対策/対処

SPIへの書き込み時、初めに送信可(送信完了)まで待機し、その後に送信(ﾚｼﾞｽﾀ)へ(送信ﾃﾞｰﾀ)ﾊﾞｲﾄを書いてください。

6. 高電圧書き換え時の施錠ﾋﾞｯﾄ消去 (B)

いくつかのﾃﾞﾊﾞｲｽでは、高電圧でのﾁｯﾌﾟ消去で施錠ﾋﾞｯﾄが消去されません。この症状では、施錠ﾋﾞｯﾄが設定(ﾌﾟﾛｸﾞﾗﾑ(0))されていた場合、再書き込みが不可能になります。

対策/対処

4.0V以下のVCCでﾁｯﾌﾟ消去を行います。これで施錠が解除され、以降は何れのVCCでも再書き込みが可能になります。

7. ｸﾛｯｸ停止によるﾘｾｯﾄ状態の解除 (B/C)

ｸﾛｯｸ停止中に外部ﾘｾｯﾄまたはｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄが発生すると、外部ｸﾛｯｸに関係なく、ﾘｾｯﾄ遅延時間後に内部ﾘｾｯﾄが解除され、ｸﾛｯｸ再起動前にﾘｾｯﾄが解除されます。内部ﾘｾｯﾄが有効な間に、外部ｸﾛｯｸ ﾊﾟﾙｽが無かった場合、ﾘｾｯﾄはI/OをHi-Z状態に保ちます。しかし、ｸﾛｯｸ再起動前に内部ﾘｾｯﾄが解除されると、I/O部が解除されず、また、PC(ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ)も解除されません。これは外部ｸﾛｯｸ入力でｸﾛｯｸをｹﾞｰﾄする構造のため、内部ｸﾛｯｸが停止することによります。ﾊﾟﾜｰﾀﾞｳﾝ動作には、この問題はありません。

対策/対処

外部ﾘｾｯﾄが予測され得る如何なるときも、ｸﾛｯｸが走行していることを確認してください。ｳｫｯﾁﾄﾞｯｸﾞが使われる場合、外部ｸﾛｯｸを決して止めてはなりません。

8. UART受信禁止時のRXD信号Lowﾚﾍﾞﾙによる同期化異常 (B/C)

UARTが禁止されていても開始ﾋﾞｯﾄの検出と受信の開始が行われます。これが起こると、UART受信許可後の最初のﾊﾞｲﾄが不正にされます。

対策/対処

起動時やUART禁止時にRXD信号がHighﾚﾍﾞﾙであることを確認してください。外部RS-232ﾚﾍﾞﾙ変換器は起動中、信号線をHighﾚﾍﾞﾙに保ちます。

9. COM1B1,0設定によるOC1Bﾋﾟﾝ切り離し異常 (B/C)

ﾃﾞｰﾀｼｰﾄによれば、非PWM動作時のﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀA(TCCR1A)のCOM1B1,COM1B0=00時と、PWM動作時のCOM1B1,COM1B0=00または01時に、直接のﾀｲﾏ/ｶｳﾝﾀ1出力がOC1Bﾋﾟﾝから切り離されることになっていますが、切り離されません。OC1Aに対しては、ﾃﾞｰﾀｼｰﾄ記載どおりに標準入出力として機能します。

対策/対処

OC1Bﾋﾟﾝは汎用入出力ではなく出力専用ですので、Hi-Z状態にはできません。このﾋﾟﾝの交互出力を停止するには、TCCR1AのPWM1,PWM0=00でPWM動作を禁止し、COM1A1,COM1A0を01(交互出力)以外に設定します。この場合、ｶｳﾝﾀ部はPWM動作での上限値以上まで計数を継続していますので、ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀB(TCCR1B)のCS12,CS11,CS10に000を設定し、ﾀｲﾏ/ｶｳﾝﾀ1を停止にします。

10. EEPROM書き込み時のSTS命令異常 (B/C)

STS命令をEEPROM書き込み開始(EEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROM書き込み許可(EEWE)設定)に使うと、直後の命令が希望しない結果(NOP相当、但しR0を破壊)となります。

対策/対処

EEPROM書き込み開始には、OUTまたはSBI命令を使ってください。

11. 外部SRAMに対するLDS/STS命令の制限 (B/C)

外部SRAMに対するLDS命令の直後がNOP命令の場合、これらを実行すると、LDS命令でのﾚｼﾞｽﾀを破壊します。同様に、外部SRAMに対するSTS命令の直後がNOP命令の場合、これらを実行すると、R0を破壊します。

対策/対処

外部SRAMｱｸｾｽのLDSまたはSTS命令の直後に、NOP命令を記述しないようにしてください。

目次

特徴 …… 1
ﾋﾟﾝ配置 …… 1
概要 …… 2
構成図 …… 2
ﾋﾟﾝ説明 …… 3
ｸﾛｯｸ発振器 …… 4
構造概要 …… 4
汎用ﾚｼﾞｽﾀ ﾌｧｲﾙ …… 5
ALU (Arithmetic Logic Unit) …… 6
実装書き換え可能なﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ …… 6
ﾃﾞｰﾀ用EEPROMﾒﾓﾘ …… 6
内蔵SRAMと外部SRAM …… 6
ﾌﾟﾛｸﾞﾗﾑ/ﾃﾞｰﾀ空間に対するｱﾄﾞﾚｽ指定種別 …… 7
ﾒﾓﾘ ｱｸｾｽと命令実行ﾀｲﾐﾝｸﾞ …… 9
I/Oﾚｼﾞｽﾀ …… 10
ﾘｾｯﾄと割り込みの扱い …… 12
休止形態 …… 19
ﾀｲﾏ/ｶｳﾝﾀ …… 20
ﾀｲﾏ/ｶｳﾝﾀ前置分周器 …… 20
8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0 …… 20
16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1 …… 22
ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ …… 28
EEPROMｱｸｾｽ …… 29
EEPROMﾃﾞｰﾀ化けの防止 …… 30
SPI (直列周辺ｲﾝﾀｰﾌｪｰｽ) …… 31
SSﾋﾟﾝの機能 …… 32
ﾃﾞｰﾀ転送形式 …… 32
UART …… 34
ﾃﾞｰﾀ送信 …… 34
ﾃﾞｰﾀ受信 …… 35
UART制御 …… 36
ｱﾅﾛｸﾞ比較器 …… 39
外部SRAM(ﾒﾓﾘ)ｲﾝﾀｰﾌｪｰｽ …… 40
入出力ﾎﾟｰﾄ …… 41
ﾎﾟｰﾄA …… 41
ﾎﾟｰﾄB …… 43
ﾎﾟｰﾄC …… 48
ﾎﾟｰﾄD …… 50
ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ …… 56
ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘとﾃﾞｰﾀ ﾒﾓﾘ用施錠ﾋﾞｯﾄ …… 56
ﾋｭｰｽﾞ ﾋﾞｯﾄ …… 56
識票ﾊﾞｲﾄ …… 56
ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ …… 56
並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ …… 57
並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 …… 61
直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ …… 62
直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 …… 63
電気的特性 …… 64
絶対最大定格 …… 64
DC特性 …… 64
外部ｸﾛｯｸ特性 …… 65
外部ﾒﾓﾘ特性 …… 66
代表特性 …… 68
ﾚｼﾞｽﾀ要約 …… 75
命令要約 …… 76
注文情報 …… 78
外囲器情報 …… 79
障害情報 …… 80

本社

Atmel Corporation
2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia
Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe
Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan
104-0033 東京都中央区
新川1-24-8
東熱新川ﾋﾞﾙ 9F
ｱﾄﾒﾙ ｼﾞｬﾊﾟﾝ株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory
2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers
2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards
Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive
Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics
Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求
www.atmel.com/literature

© Atmel Corporation 2001.

Atmel製品は、ｳｪﾌﾞｻｲﾄ上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のﾗｲｾﾝｽを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。
本書中の製品名などは、一般的に商標です。

© *HERO* 2021.

本ﾃﾞｰﾀｼｰﾄはAtmelのAT90S8515英語版ﾃﾞｰﾀｼｰﾄ(Rev.0841G-09/01)の翻訳日本語版で、AT90S8515 Rev. B障害情報(Rev.1195E-09/01)とRev. C障害情報(Rev.2494A-09/01)の内容も含まれています。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。捕獲1は捕獲と省略されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。