特徴

- 高性能、低消費AVR® 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ
- 進化したRISC構造
  - 強力な131/134命令(多くは1周期で実行)
  - 32個の1ﾊﾞｲﾄ長汎用ﾚｼﾞｽﾀ
  - 完全なｽﾀﾃｨｯｸ動作
  - 16MHz時、16MIPSに達する高速動作
  - 2周期実行の乗算命令
- ﾃﾞｰﾀ ﾒﾓﾘと不揮発性ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ
  - 実装自己書き換え可能な64K/128Kﾊﾞｲﾄ(32K/64K語)ﾌﾗｯｼｭ ﾒﾓﾘ内蔵
    - 10,000回の書き換えが可能
  - 個別施錠ﾋﾞｯﾄを持つ任意のﾌﾞｰﾄ ｺｰﾄﾞ領域
    - 工場で既定ﾌﾞｰﾄﾛｰﾀﾞ書き込み済み
    - ﾘｾｯﾄ後ﾊｰﾄﾞｳｪｱで活動されるﾁｯﾌﾟ内ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑによる実装書き換え
    - 真の書き込み中の読み出し動作
    - 全供給ﾃﾞﾊﾞｲｽは既定ﾌﾞｰﾄ ﾛｰﾀﾞが予め書き込み済み
  - 2K/4KﾊﾞｲﾄのﾊﾞｲﾄのEEPROM (100,000回の書き換えが可能)
  - 4K/8Kﾊﾞｲﾄの内蔵SRAM
  - 64Kﾊﾞｲﾄまでの任意外部ﾒﾓﾘ空間
  - ｿﾌﾄｳｪｱ保護用の設定可能な施錠機能
- JTAG (IEEE 1149.1準拠) ｲﾝﾀｰﾌｪｰｽ
  - JTAG規格に従った境界走査(Boundary-Scan)能力
  - 広範囲な内蔵ﾃﾞﾊﾞｯｸﾞ機能
  - JTAGｲﾝﾀｰﾌｪｰｽ経由でのﾌﾗｯｼｭ、EEPROM、ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- USB2.0 全速(Full-speed)/低速(Low-speed)装置とOTG(On-The-Go)部
  - USB仕様改訂2.0(Universal Serial Bus Specification REV 2.0)適合
  - USB2.0仕様改訂1.0補足OTG(On-The-Go)適合
  - 1.5Mbpsと12Mbpsまでのﾃﾞｰﾀ転送速度を支援
- 転送完了での割り込み付きUSB全速(Full-speed)/低速(Low-speed)装置部
  - 64ﾊﾞｲﾄまでの制御転送用ｴﾝﾄﾞﾎﾟｲﾝﾄ0
  - 大量(Bulk),割り込み(Interrupt),等時(Isochronous)転送と入出力方向が設定可能な6つのｴﾝﾄﾞﾎﾟｲﾝﾄ
  - 二重ﾊﾞﾝｸ動作で256ﾊﾞｲﾄまで設定可能なｴﾝﾄﾞﾎﾟｲﾝﾄ容量
  - 完全に独立したｴﾝﾄﾞﾎﾟｲﾝﾄ ﾒﾓﾘ割付用832ﾊﾞｲﾄUSBﾃﾞｭｱﾙ ﾎﾟｰﾄRAM(DPRAM)
  - 休止(Suspend:ｻｽﾍﾟﾝﾄﾞ)/再開(Resume:ﾘｼﾞｭｰﾑ)割り込み
  - 電源ONﾘｾｯﾄとUSBﾊﾞｽ ﾘｾｯﾄ
  - 全速ﾊﾞｽ動作用48MHz PLL
  - ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ要求でのUSBﾊﾞｽ切断
- USB OTG(On-The-Go) 縮小ﾎｽﾄ
  - OTG二役装置用のﾎｽﾄ交渉規約(HNP)とｾｯｼｮﾝ要求規約(SRP)を支援
  - HNPとSRPのｿﾌﾄｳｪｱ実装用に状態と制御信号を提供
  - HNPとSRPで必要とされる設定可能なﾀｲﾏを提供
- 内蔵周辺機能
  - 独立した前置分周器、比較機能付き、2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 独立した前置分周器、比較、捕獲機能付き、2つの16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 独立した発振器と8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀによる実時間計数器(RTC)
  - 4つの8ﾋﾞｯﾄPWM出力
  - 2～16ﾋﾞｯﾄ分解能が設定可能な6つのPWM出力
  - 比較出力変調器
  - 8ﾁｬﾈﾙの10ﾋﾞｯﾄ A/D変換器
  - 設定可能な直列USART
  - 主装置/従装置動作SPI直列ｲﾝﾀｰﾌｪｰｽ
  - ﾊﾞｲﾄ対応の2線直列ｲﾝﾀｰﾌｪｰｽ
  - 設定可能な専用発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ
  - ｱﾅﾛｸﾞ比較器
  - ﾋﾟﾝ変化での割り込みと起動復帰

8ﾋﾞｯﾄ AVR®
マイクロ コントローラ

実装書き換え可能な64/128Kﾊﾞｲﾄﾌﾗｯｼｭ ﾒﾓﾘ、USB制御器内蔵

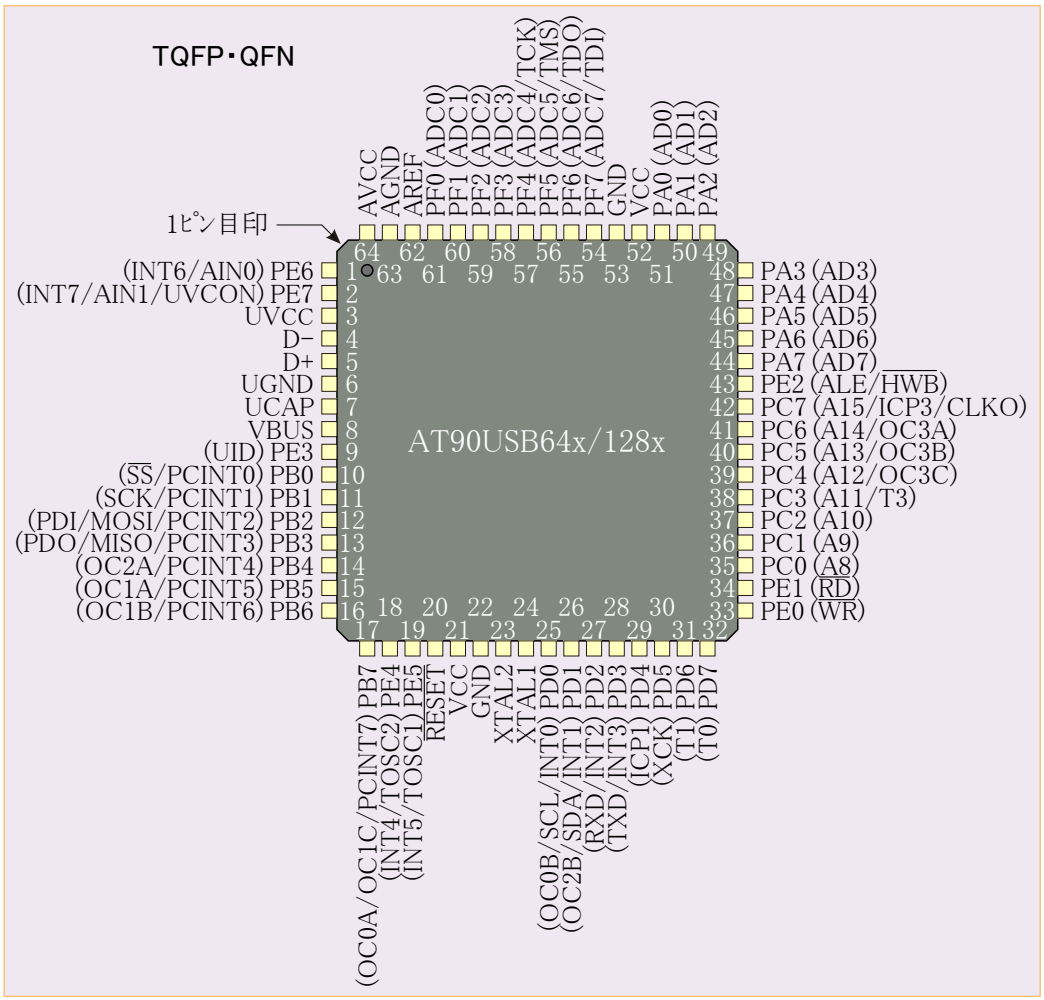
AT90USB646
AT90USB647
AT90USB1286
AT90USB1287

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 7593L-09/12, 7593LJ8-02/25

- **特殊マイクロ コントローラ機能**
  - 電源ONリセット回路と設定可能な低電圧検出器(BOD)
  - 校正可能な内蔵RC発振器
  - 外部及び内部の割り込み
  - アイドル、A/D変換雑音低減、パワーセーブ、パワーダウン、スタンバイ、拡張スタンバイの6つの低消費動作
- **I/Oと外囲器**
  - 48ビットの設定可能なI/O
  - 64リードTQFP、64パッドQFN
- **動作電圧**
  - 2.7～5.5V
- **温度範囲**
  - -40～85℃（工業用）
- **最大速度**
  - 8MHz/2.7V（全温度範囲）
  - 16MHz/4.5V（全温度範囲）

1. ピン配置



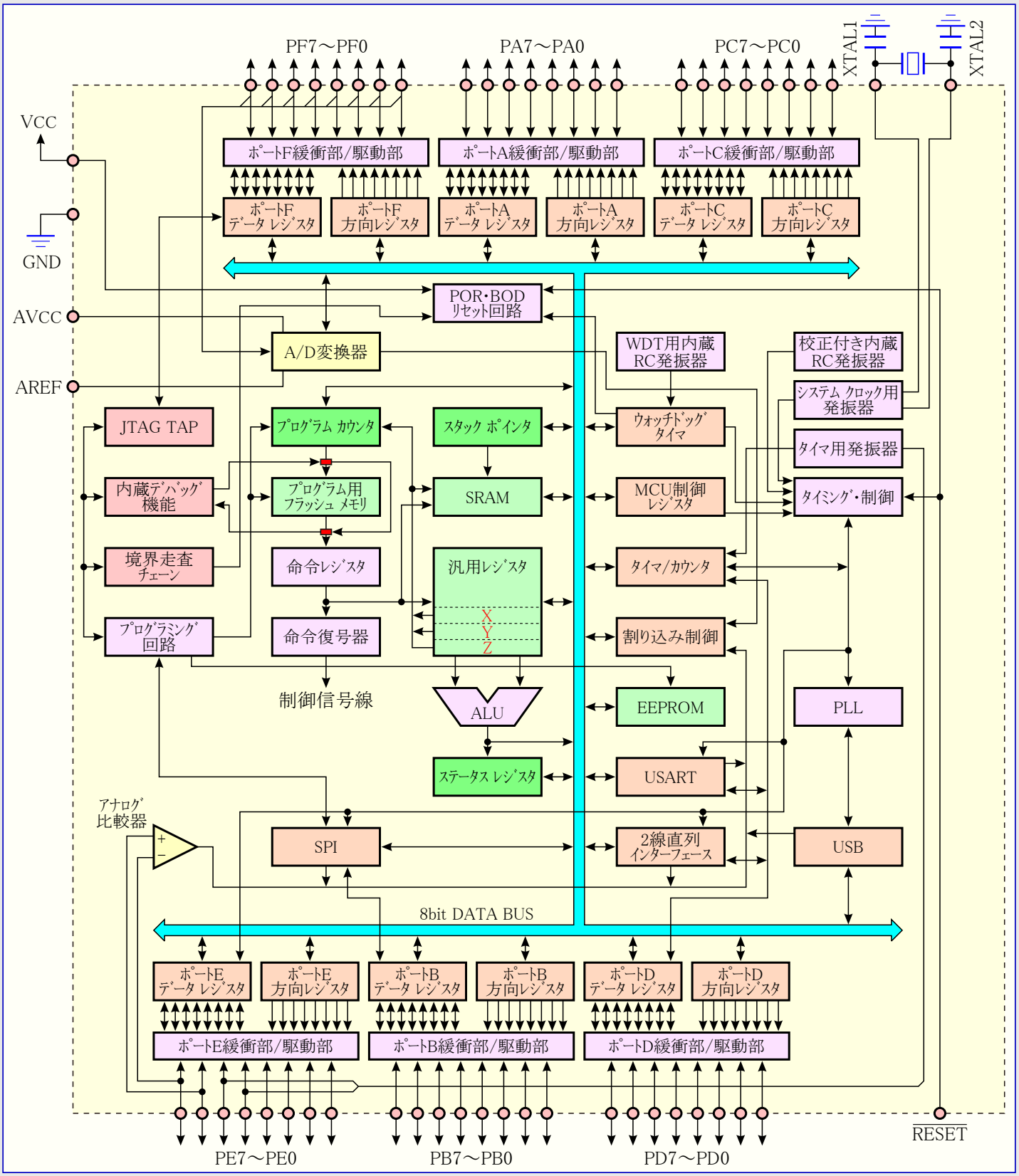
注: QFN外囲器底面中央の大パッドは金属で作られ、内部でGNDに接続されています。これは良好な機構的安定を保証するために、基板へ貼り付けるか、半田付けされるべきです。この中央パッドが未接続の場合、基板から脱落するかもしれません。

2. 概要

Atmel® AVR® AT90USB64/128はAVR強化RISC構造の低消費CMOS 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。1周期で実行する強力な命令はMHzあたり1 MIPSにも達し、実行速度対電力消費の最適化が容易に行えます。

2.1. 構成図

図2-1. 構成図



AVRｺｱは32個の汎用作業ﾚｼﾞｽﾀと豊富な命令群を兼備します。全32個のﾚｼﾞｽﾀは算術論演算部(ALU)に直結され、ﾚｼﾞｽﾀ間命令は1ｸﾛｯｸ周期で実行されます。AVR構造は現状のCISC型ﾏｲｸﾛ ｺﾝﾄﾛｰﾗに対して最大10倍の単位処理量向上効果があります。

Atmel AT90USB64/128は次の特徴、書き込み中読める能力を持つ64/128Kﾊﾞｲﾄの実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘ、2/4KﾊﾞｲﾄのEEPROM、4/8KﾊﾞｲﾄのSRAM、48本の汎用入出力線、32個の汎用作業ﾚｼﾞｽﾀ、実時間計数器(RTC)、比較動作やPWMを含む柔軟性のある4つのﾀｲﾏ/ｶｳﾝﾀ、1つのUSART、ﾊﾞｲﾄ対応の2線直列ｲﾝﾀｰﾌｪｰｽ、設定可能な増幅器を持つ任意選択差動段付き8ﾁｬﾈﾙの10ﾋﾞｯﾄ A/D変換器、設定可能な内部発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、SPI直列ﾎﾟｰﾄ、内蔵ﾃﾞﾊﾞｯｸﾞとﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機能にも使われるIEEE標準1149.1準拠JTAG検査ｲﾝﾀｰﾌｪｰｽ、ｿﾌﾄｳｪｱで選べる6つの低消費動作機能を提供します。ｱｲﾄﾞﾙ動作では動作を停止しますが、SRAM、ﾀｲﾏ/ｶｳﾝﾀ、SPIﾎﾟｰﾄ、割り込み機能は有効で、動作を継続します。ﾊﾟﾜｰﾀﾞｳﾝ動作ではﾚｼﾞｽﾀの内容は保護されますが、発振器が停止するため、以降のﾊｰﾄﾞｳｪｱ ﾘｾｯﾄか外部割り込みまで他の全機能を禁止(無効に)します。ﾊﾟﾜｰｾｰﾌﾞ動作では非同期ﾀｲﾏ用発振器が動作を継続し、ﾃﾞﾊﾞｲｽのその他が停止中であっても基準ﾀｲﾏの継続が許されます。A/D変換雑音低減動作ではA/D変換中の切り替え雑音を最小とするために、非同期ﾀｲﾏとA/D変換器を除く全ての周辺機能とCPUが停止します。ｽﾀﾝﾊﾞｲ動作ではｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子用発振器が動作し、一方ﾃﾞﾊﾞｲｽのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。拡張ｽﾀﾝﾊﾞｲ動作では主発振器と非同期ﾀｲﾏの両方が動作を継続します。

本ﾃﾞﾊﾞｲｽはAtmelの高密度不揮発性ﾒﾓﾘ技術を使って製造されます。ﾁｯﾌﾟ上の実装書き換え(ISP)可能なﾌﾗｯｼｭ ﾒﾓﾘは従来の不揮発性ﾒﾓﾘ書き込み器でSPI直列ｲﾝﾀｰﾌｪｰｽと通して、またはAVRｺｱのﾁｯﾌﾟ上ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ走行によってﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘを実装再書き込みを許します。ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑは応用領域ﾌﾗｯｼｭ ﾒﾓﾘ内の応用ﾌﾟﾛｸﾞﾗﾑを読むのにどのｲﾝﾀｰﾌｪｰｽも使えます。ﾌﾞｰﾄ領域ﾌﾗｯｼｭ ﾒﾓﾘ内のﾌﾟﾛｸﾞﾗﾑは真の「書き込み中の読み出し可」動作により、応用領域ﾌﾗｯｼｭ ﾒﾓﾘ更新中も実行を継続します。ﾓﾉﾘｼｯｸ ﾁｯﾌﾟ上の実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘと、8ﾋﾞｯﾄRISC型CPUの組み合わせによるAT90USB64/128は多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。

AT90USB64/128 AVRはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾃﾞﾊﾞｯｶﾞ、ｼﾐｭﾚｰﾀ、ｲﾝｻｰｷｯﾄ ｴﾐｭｰﾚｰﾀ、評価ｷｯﾄを含む専用のﾌﾟﾛｸﾞﾗﾑ及びｼｽﾃﾑ開発ﾂｰﾙで支援されます。

2.2. ﾋﾟﾝ概要

2.2.1. VCC

ﾃﾞｼﾞﾀﾙ電源ﾋﾟﾝ。

2.2.2. GND

接地ﾋﾟﾝ。

2.2.3. AVCC

ｱﾅﾛｸﾞ電源ﾋﾟﾝ。

2.2.4. PA7～PA0 – (ﾎﾟｰﾄA)

ﾎﾟｰﾄAは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄA出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄAﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄAﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄAは50頁で一覧されるAT90USB64/128の様々な特殊機能も扱います。

2.2.5. PB7～PB0 – (ﾎﾟｰﾄB)

ﾎﾟｰﾄBは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄB出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄBﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄBﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄBは他のﾎﾟｰﾄより優れた駆動能力を持ちます(**訳注**:該当記述が他にないため、消し忘れかもしれません)。

ﾎﾟｰﾄBは51頁で一覧されるAT90USB64/128の様々な特殊機能も扱います。

2.2.6. PC7～PC0 – (ﾎﾟｰﾄC)

ﾎﾟｰﾄCは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄC出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄCﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄCﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄCは53頁で一覧されるAT90USB64/128の様々な特殊機能も扱います。

2.2.7. PD7～PD0 – (ﾎﾟｰﾄD)

ﾎﾟｰﾄDは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄD出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄDﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄDﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄDは55頁で一覧されるAT90USB64/128の様々な特殊機能も扱います。

2.2.8. PE7～PE0 – (ﾎﾟｰﾄE)

ﾎﾟｰﾄEは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄE出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄEﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄEﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄEは57頁で一覧されるAT90USB64/128の様々な特殊機能も扱います。

2.2.9. PF7～PF0 – (ﾎﾟｰﾄF)

ﾎﾟｰﾄFはA/D変換器へのｱﾅﾛｸﾞ入力として扱います。

A/D変換器が使われない場合、ﾎﾟｰﾄFは8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄとしても扱います。ﾎﾟｰﾄ ﾋﾟﾝは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗を提供できます。ﾎﾟｰﾄF出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)ならば、外部的にLowへ引かれたﾎﾟｰﾄFﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄFﾋﾟﾝはHi-Zにされます。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、ﾘｾｯﾄが起きてもPF7(TDI)、PF5(TMS)、PF4(TCK)ﾋﾟﾝのﾌﾟﾙｱｯﾌﾟ抵抗は活性(有効)にされます。

ﾎﾟｰﾄFはJTAGｲﾝﾀｰﾌｪｰｽ機能も扱います。

2.2.10. D−

USB全速(Full-speed)/低速(Low-speed)負極性ﾃﾞｰﾀ上側ﾎﾟｰﾄ。22Ω直列抵抗でUSBｺﾈｸﾀD-ﾋﾟﾝに接続されるべきです。

2.2.11. D+

USB全速(Full-speed)/低速(Low-speed)正極性ﾃﾞｰﾀ上側ﾎﾟｰﾄ。22Ω直列抵抗でUSBｺﾈｸﾀD+ﾋﾟﾝに接続されるべきです。

2.2.12. UGND

USBﾊﾟｯﾄﾞ接地。

2.2.13. UVCC

USBﾊﾟｯﾄﾞ用内蔵電圧調整器の供給電圧入力。

2.2.14. UCAP

USBﾊﾟｯﾄﾞ用内蔵電圧調整器の供給電圧出力。外部ｺﾝﾃﾞﾝｻ(1μF)に接続されるべきです。

2.2.15. VBUS

USB VBUS監視とOTG(On-The-Go)交渉。

2.2.16. $\overline{\text{RESET}}$

ﾘｾｯﾄ入力。最小ﾊﾟﾙｽ幅より長いこのﾋﾟﾝのLowﾚﾍﾞﾙは、ｸﾛｯｸが動いていなくてもﾘｾｯﾄを生成します。最小ﾊﾟﾙｽ幅は35頁の表9-1.で与えられます。より短いﾊﾟﾙｽはﾘｾｯﾄの生成が保証されません。

2.2.17. XTAL1

発振器反転増幅器への入力と内部ｸﾛｯｸ操作回路への入力。

2.2.18. XTAL2

発振器反転増幅器からの出力。

2.2.19. AVCC

AVCCはﾎﾟｰﾄFとA/D変換器用供給電圧(電源)ﾋﾟﾝです。例えA/D変換が使われなくても、外部的にVCCへ接続されるべきです。A/D変換が使われる場合、VCCから低域通過濾波器を通して接続されるべきです。

2.2.20. AREF

AREFはA/D変換器用ｱﾅﾛｸﾞ基準(電圧)ﾋﾟﾝです。

3. 資料

包括的なﾃﾞｰﾀｼｰﾄ、応用記述、開発ﾂｰﾙ群はhttp://www.atmel.com/avrでのﾀﾞｳﾝﾛｰﾄﾞで利用可能です。

4. ｺｰﾄﾞ例について

この文書はﾃﾞﾊﾞｲｽの様々な部分の使用法を手短に示す簡単なｺｰﾄﾞ例を含みます。これらのｺｰﾄﾞ例はｱｾﾝﾌﾞﾙまたはｺﾝﾊﾟｲﾙに先立ってﾃﾞﾊﾞｲｽ定義ﾍｯﾀﾞ ﾌｧｲﾙがｲﾝｸﾙｰﾄﾞされると仮定します。全てのCｺﾝﾊﾟｲﾗ製造業者がﾍｯﾀﾞﾌｧｲﾙ内にﾋﾞｯﾄ定義を含めるとは限らず、またCでの割り込みの扱いがｺﾝﾊﾟｲﾗに依存することに注意してください。より多くの詳細についてはCｺﾝﾊﾟｲﾗの資料で確認してください。

これらのｺｰﾄﾞ例はｱｾﾝﾌﾞﾙまたはｺﾝﾊﾟｲﾙに先立ってﾃﾞﾊﾞｲｽ定義ﾌｧｲﾙがｲﾝｸﾙｰﾄﾞされることが前提です。拡張I/O領域に配置したI/Oﾚｼﾞｽﾀに対し、IN, OUT, SBIS, SBIC, CBI, SBI命令は拡張I/O領域へのｱｸｾｽを許す命令に置き換えられなければなりません。代表的にはSBRS, SBRC, SBR, CBR命令と組み合わせたLDS, STS命令です。

5. AVR CPU ｺｱ

5.1. 序説

ここでは一般的なAVRｺｱ構造について説明します。このCPUｺｱの主な機能は正しいﾌﾟﾛｸﾞﾗﾑ実行を保証することです。従ってCPUはﾒﾓﾘ ｱｸｾｽ、計算実行、周辺制御、割り込み操作ができなければなりません。

5.2. 構造概要

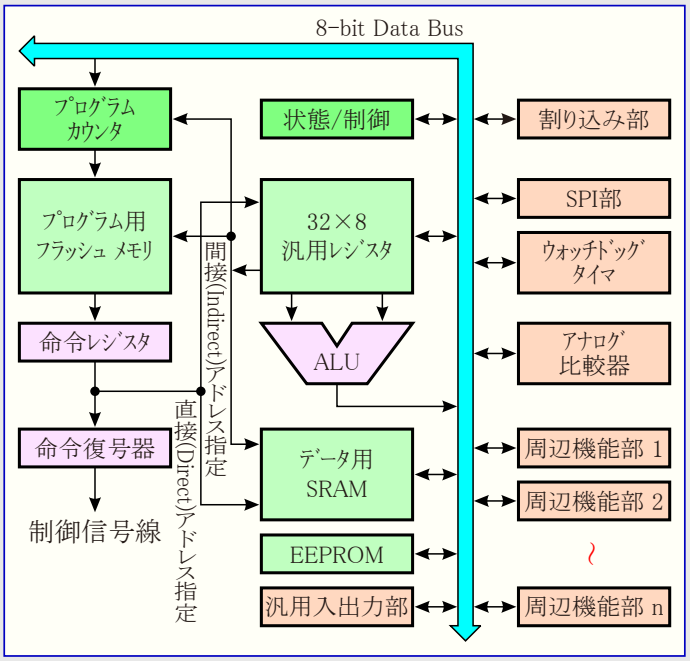
最大効率と平行処理のため、AVRはﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀに対してﾒﾓﾘとﾊﾞｽを分離するﾊｰﾊﾞｰﾄﾞ構造を使います。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の命令は、単一段のﾊﾟｲﾌﾟﾗｲﾝで実行されます。1命令の実行中に次の命令がﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから事前取得されます。この概念は全部のｸﾛｯｸ周期で命令実行を可能にします。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘです。

高速ﾚｼﾞｽﾀ ﾌｧｲﾙは1ｸﾛｯｸ周期ｱｸｾｽの32個の8ﾋﾞｯﾄ長汎用ﾚｼﾞｽﾀを含みます。これは1ｸﾛｯｸ周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのｵﾍﾟﾗﾝﾄﾞがﾚｼﾞｽﾀ ﾌｧｲﾙからの出力で、1ｸﾛｯｸ周期内でその操作が実行され、その結果がﾚｼﾞｽﾀ ﾌｧｲﾙに書き戻されます。

32個中の6つのﾚｼﾞｽﾀは効率的なｱﾄﾞﾚｽ計算ができるﾃﾞｰﾀ空間ｱﾄﾞﾚｽ指定用に、3つの16ﾋﾞｯﾄ長間接ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ用ﾚｼﾞｽﾀとして使われます。これらｱﾄﾞﾚｽ ﾎﾟｲﾝﾀの1つはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の定数表参照用ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとしても使えます。これら16ﾋﾞｯﾄ長付加機能ﾚｼﾞｽﾀはX,Y,Zﾚｼﾞｽﾀで、本章内で後述されます。

ALUはﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の算術及び論理操作を支援します。単一ﾚｼﾞｽﾀ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)が更新されます。

図5-1. AVR MCU構造



ﾌﾟﾛｸﾞﾗﾑの流れは条件/無条件分岐や呼び出し命令によって提供され、全ｱﾄﾞﾚｽ空間を直接ｱﾄﾞﾚｽ指定できます。AVR命令の多くは16ﾋﾞｯﾄ語(ﾜｰﾄﾞ)形式です。全てのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのｱﾄﾞﾚｽは(訳注:定数のみを除き)16または32ﾋﾞｯﾄ長命令を含みます。

ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ空間はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域と応用ﾌﾟﾛｸﾞﾗﾑ領域の2つに分けられます。どちらの領域にも書き込み禁止や読み書き防止用の専用施錠ﾋﾞｯﾄがあります。応用ﾌﾗｯｼｭ ﾒﾓﾘ領域内に書き込むSPM命令はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域内に属さ(存在し)なければなりません。

割り込みやｻﾌﾞﾙｰﾁﾝ呼び出し中、戻りｱﾄﾞﾚｽを示すﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)はｽﾀｯｸに保存されます。ｽﾀｯｸは一般的なﾃﾞｰﾀ用SRAM上に実際には割り当てられ、従ってｽﾀｯｸ容量は全SRAM容量とSRAM使用量でのみ制限されます。全ての使用者ﾌﾟﾛｸﾞﾗﾑはﾘｾｯﾄ処理ﾙｰﾁﾝで(ｻﾌﾞﾙｰﾁﾝ呼び出しや割り込みが実行される前に)、ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)を初期化しなければなりません。SPはI/O空間で読み書きｱｸｾｽが可能です。ﾃﾞｰﾀ用SRAMはAVR構造で支援される5つの異なるｱﾄﾞﾚｽ指定種別を通して容易にｱｸｾｽできます。

AVR構造に於けるﾒﾓﾘ空間は全て直線的な普通のﾒﾓﾘ配置です。

柔軟な割り込み部にはI/O空間の各制御ﾚｼﾞｽﾀとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の特別な全割り込み許可(I)ﾋﾞｯﾄがあります。全ての割り込みは割り込みﾍﾞｸﾀ表に個別の割り込みﾍﾞｸﾀを持ちます。割り込みには割り込みﾍﾞｸﾀ表の位置に従う優先順があります。下位側割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが高い優先順位です。

I/Oﾒﾓﾘ空間は制御ﾚｼﾞｽﾀ、SPI、他のI/O機能としてCPU周辺機能用の64ｱﾄﾞﾚｽを含みます。I/Oﾒﾓﾘは直接またはﾚｼﾞｽﾀ ﾌｧｲﾙの次のﾃﾞｰﾀ空間位置$20～$5Fとしてｱｸｾｽできます。加えてAT90USB64/128にはST/STS/STDとLD/LDS/LDD命令だけ使えるSRAM内の$60～$0FFに拡張I/O空間があります。

5.3. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用ﾚｼﾞｽﾀとの直結で動作します。汎用ﾚｼﾞｽﾀ間または汎用ﾚｼﾞｽﾀと即値間の演算操作は単一ｸﾛｯｸ周期内で実行されます。ALU操作は算術演算、論理演算、ﾋﾞｯﾄ操作の3つの主な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「命令要約」をご覧ください。

5.4. ｽﾃｰﾀｽ ﾚｼﾞｽﾀ (Status Register) SREG

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのﾌﾟﾛｸﾞﾗﾑの流れ変更に使えます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀは「**命令一式手引書**」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないｺｰﾄﾞに帰着します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは割り込み処理ﾙｰﾁﾝ移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはｿﾌﾄｳｪｱによって扱われなければなりません。

AVRのｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は次のように定義されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3F ($5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – I : 全割り込み許可** (Global Interrupt Enable)

全割り込み許可ﾋﾞｯﾄは割り込みが許可されるために設定(1)されなければなりません。そのとき、個別割り込み許可制御は独立した制御ﾚｼﾞｽﾀで行われます。全割り込み許可ﾋﾞｯﾄが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iﾋﾞｯﾄは割り込みが起こった後にﾊｰﾄﾞｳｪｱによって解除(0)され、後続の割り込みを許可するために、RETI命令によって設定(1)されます。Iﾋﾞｯﾄは「**命令一式手引書**」で記述されるようにSEIやCLI命令で応用(ﾌﾟﾛｸﾞﾗﾑ)によって設定(1)や解除(0)もできます。

• **ﾋﾞｯﾄ6 – T : ﾋﾞｯﾄ変数** (Bit Copy Storage)

ﾋﾞｯﾄ複写命令、BLD(Bit LoaD)とBST(Bit STore)は操作したﾋﾞｯﾄの転送元または転送先として、このTﾋﾞｯﾄを使います。ﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀからのﾋﾞｯﾄはBST命令によってTに複写でき、TのﾋﾞｯﾄはBLD命令によってﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀ内のﾋﾞｯﾄに複写できます。

• **ﾋﾞｯﾄ5 – H : ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞ** (Half Carry Flag)

ﾊｰﾌｷｬﾘｰ(H)ﾌﾗｸﾞはいくつかの算術操作でのﾊｰﾌｷｬﾘｰを示します。ﾊｰﾌｷｬﾘｰはBCD演算に有用です。詳細情報については「**命令要約**」をご覧ください。

• **ﾋﾞｯﾄ4 – S : 符号** (Sign Bit, S= N Ex-OR V)

Sﾌﾗｸﾞは常に負(N)ﾌﾗｸﾞと2の補数溢れ(V)ﾌﾗｸﾞの排他的論理和です。詳細情報については「**命令要約**」をご覧ください。

• **ﾋﾞｯﾄ3 – V : 2の補数溢れﾌﾗｸﾞ** (2's Complement Overflow Flag)

2の補数溢れ(V)ﾌﾗｸﾞは2の補数算術演算を支援します。詳細情報については「**命令要約**」をご覧ください。

• **ﾋﾞｯﾄ2 – N : 負ﾌﾗｸﾞ** (Negative Flag)

負(N)ﾌﾗｸﾞは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「**命令要約**」をご覧ください。

• **ﾋﾞｯﾄ1 – Z : ｾﾞﾛ ﾌﾗｸﾞ** (Zero Flag)

ｾﾞﾛ(Z)ﾌﾗｸﾞは算術及び論理操作でのｾﾞﾛ(0)の結果を示します。詳細情報については「**命令要約**」をご覧ください。

• **ﾋﾞｯﾄ0 – C : ｷｬﾘｰ ﾌﾗｸﾞ** (Carry Flag)

ｷｬﾘｰ(C)ﾌﾗｸﾞは算術及び論理操作でのｷｬﾘｰ(またはﾎﾞﾛｰ)を示します。詳細情報については「**命令要約**」をご覧ください。

5.5. 汎用ﾚｼﾞｽﾀ ﾌｧｲﾙ

このﾚｼﾞｽﾀ ﾌｧｲﾙはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がﾚｼﾞｽﾀ ﾌｧｲﾙによって支援されます。

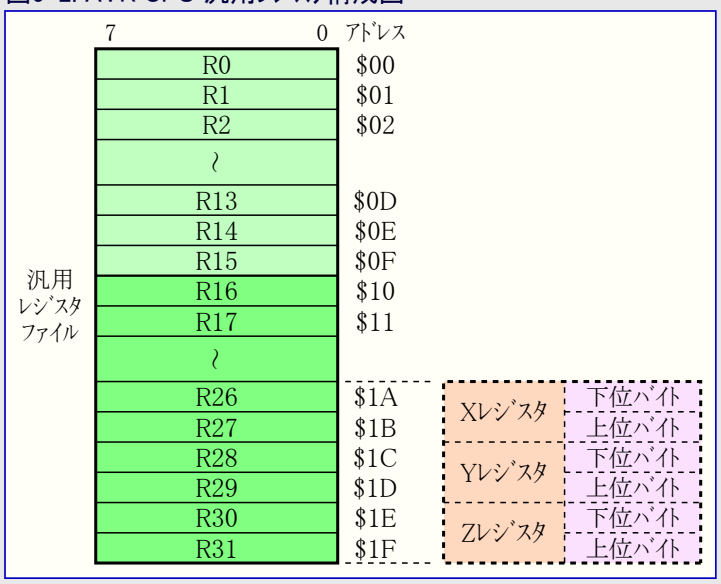
- 1つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力
- 1つの16ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力

図5-2.はCPU内の32個の汎用作業ﾚｼﾞｽﾀの構造を示します。

ﾚｼﾞｽﾀ ﾌｧｲﾙを操作する殆どの命令は全てのﾚｼﾞｽﾀに直接ｱｸｾｽし、それらの殆どは単一周期命令です。

図5-2.で示されるように各ﾚｼﾞｽﾀは使用者ﾃﾞｰﾀ空間の最初の32位置へ直接的に配置することで、それらはﾃﾞｰﾀ ﾒﾓﾘ ｱﾄﾞﾚｽも割り当てられます。例え物理的にSRAM位置として実装されていなくてもX,Y,Zﾚｼﾞｽﾀ(ﾎﾟｲﾝﾀ)がﾚｼﾞｽﾀ ﾌｧｲﾙ内のどのﾚｼﾞｽﾀの指示にも設定できるように、このﾒﾓﾘ構成は非常に柔軟なﾚｼﾞｽﾀのｱｸｾｽを提供します。

図5-2. AVR CPU 汎用ﾚｼﾞｽﾀ構成図

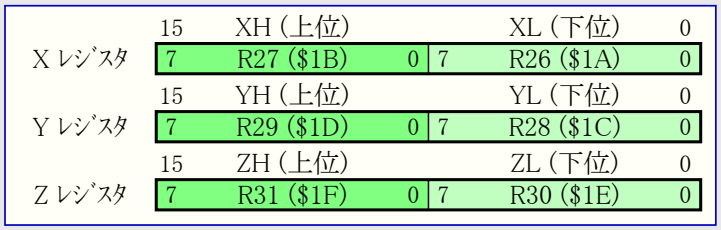


5.5.1. Xﾚｼﾞｽﾀ, Yﾚｼﾞｽﾀ, Zﾚｼﾞｽﾀ

R26～R31ﾚｼﾞｽﾀには通常用途の使用にいくつかの追加機能があります。これらのﾚｼﾞｽﾀはﾃﾞｰﾀ空間の間接ｱﾄﾞﾚｽ指定用の16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀです。3つのX,Y,Z間接ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは図5-3.で記載したように定義されます。

種々のｱﾄﾞﾚｽ指定種別で、これらのｱﾄﾞﾚｽ ﾚｼﾞｽﾀは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「**命令一式手引書**」をご覧ください)。

図5-3. X,Y,Zﾚｼﾞｽﾀ構成図



5.6. ｽﾀｯｸ ﾎﾟｲﾝﾀ (Stack Pointer) SPH,SPL (SP)

ｽﾀｯｸは主に一時ﾃﾞｰﾀの保存、局所変数の保存、割り込みとｻﾌﾞﾙｰﾁﾝ呼び出し後の戻りｱﾄﾞﾚｽの保存に使われます。ｽﾀｯｸ ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀは常にこのｽﾀｯｸの先頭(**訳注**:次に使われるべき位置)を指し示します。ｽﾀｯｸが高位ﾒﾓﾘから低位ﾒﾓﾘへ伸長するように実行されることに注意してください。これはｽﾀｯｸへのPUSH命令はｽﾀｯｸ ﾎﾟｲﾝﾀを減少するという意味です。

ｽﾀｯｸ ﾎﾟｲﾝﾀはｻﾌﾞﾙｰﾁﾝや割り込みのｽﾀｯｸが配置されるﾃﾞｰﾀSRAMのｽﾀｯｸ領域を指し示します。ﾃﾞｰﾀSRAM内のｽﾀｯｸ空間はｻﾌﾞﾙｰﾁﾝ呼び出しの実行や割り込みの許可の何れにも先立ってﾌﾟﾛｸﾞﾗﾑによって定義されなければなりません。ｽﾀｯｸ ﾎﾟｲﾝﾀは$100以上を指示するように設定されなければなりません。ｽﾀｯｸ ﾎﾟｲﾝﾀの初期値は内蔵SRAMの最終ｱﾄﾞﾚｽです。ｽﾀｯｸ ﾎﾟｲﾝﾀはPUSH命令でﾃﾞｰﾀがｽﾀｯｸに格納されると-1され、ｻﾌﾞﾙｰﾁﾝ呼び出しや割り込みで戻りｱﾄﾞﾚｽがｽﾀｯｸに格納されると-2されます。ｽﾀｯｸ ﾎﾟｲﾝﾀはPOP命令でﾃﾞｰﾀがｽﾀｯｸから引き出されると+1され、ｻﾌﾞﾙｰﾁﾝからの復帰(RET)命令や割り込みからの復帰(RETI)命令でｱﾄﾞﾚｽがｽﾀｯｸから引き出されると+2されます。

AVRのｽﾀｯｸ ﾎﾟｲﾝﾀはI/O空間内の2つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀとして実装されます。実際に使われるﾋﾞｯﾄ数は(そのﾃﾞﾊﾞｲｽ)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(ﾃﾞﾊﾞｲｽ)のﾃﾞｰﾀ空間もあることに注意してください。その場合、SPHﾚｼﾞｽﾀは存在しません。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
$3E ($5E)	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3D ($5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

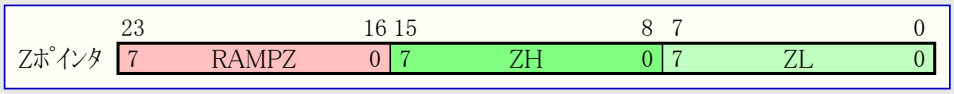
(**訳注**) 上記の初期値$20FFはAT90USB128の場合で、AT90USB64は$10FFと予測されます。

5.6.1. RAMPZ – Zポインタ拡張レジスタ (Extended Z-pointer Register for ELPM/SPM)

ビット	7	6	5	4	3	2	1	0	
$3B ($5B)	–	–	–	–	–	–	–	RAMPZ0	RAMPZ
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ELPMとSPM命令に対して、Zポインタは図5-4.で示されるようにRAMPZ,ZH,ZLが連結されます。LPM命令がRAMPZ設定によって影響を及ぼされないことに注意してください。

図5-4. ELPMとSPMによって使われるZポインタ



実際のビット数は実装に依存します。実装での未使用ビットは常に0として読みます。将来のデバイスとの互換性のため、これらのビットへ0を書くことに注意してください。

5.7. 命令実行タイミング

本項は命令実行の一般的なアクセス タイミングの概念を記述します。AVR CPUはチップ(デバイス)用に選んだクロック元から直接的に生成したCPUクロック(clk_{CPU})によって駆動されます。内部クロック分周は使われません。

図5-5.はハーバード構造と高速アクセス レジスタ ファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1 MIPSを達成するための基本的なパイプラインの概念です。

図5-6.はレジスタ ファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタ オペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図5-5. 命令の取得と実行の並列動作

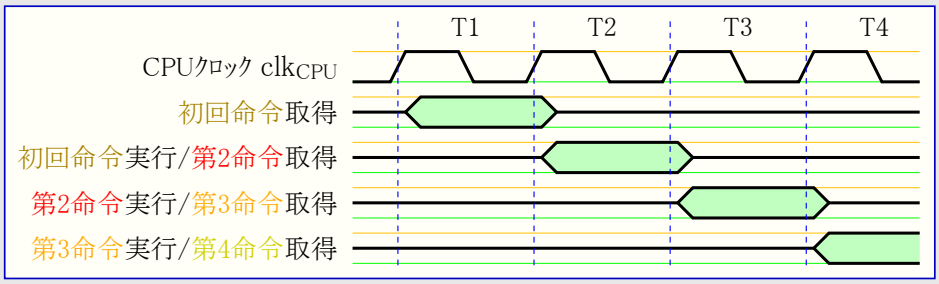
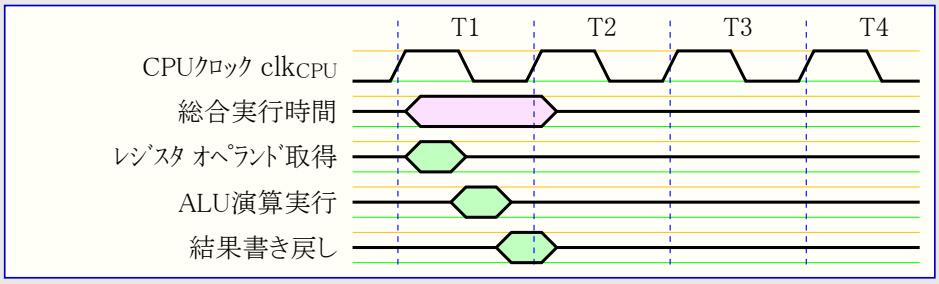


図5-6. 1周期ALU命令



5.8. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセット ベクタ各々はプログラム メモリ空間内に独立したプログラム ベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータス レジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。BLB02またはBLB12 ブート施錠ビットがプログラム(0)されると、プログラム カウンタ値によっては割り込みが自動的に禁止されるかもしれません。この特質はソフトウェア保護を改善します。詳細については241頁の「**メモリ プログラミング**」章をご覧ください。

既定でのプログラム メモリ空間の最下位アドレスはリセットと割り込みのベクタとして定義されます。ベクタの完全な一覧は41頁の「**割り込み**」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で次が外部割り込み要求0(INT0)です。割り込みベクタはMCU制御レジスタ(MCUCR)の割り込みベクタ選択(IVSEL)ビットの設定(1)によってブート フラッシュ領域先頭へ移動できます。より多くの情報については41頁の「**割り込み**」を参照してください。リセット ベクタもBOOTRSTヒューズのプログラム(0)によってブート フラッシュ領域先頭へ移動できます。230頁の「**ブート ローダ支援 – 書き込み中読み出し可能な自己プログラミング**」をご覧ください。

割り込みが起こると全割り込み許可(I)ﾋﾞｯﾄが解除(0)され、全ての割り込みは禁止されます。使用者ｿﾌﾄｳｪｱは多重割り込みを許可するため、全割り込み許可(I)ﾋﾞｯﾄへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みﾙｰﾁﾝで割り込めます。全割り込み許可(I)ﾋﾞｯﾄは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求ﾌﾗｸﾞを設定(I)する事象によって起動されます。これらの割り込みでは割り込み処理ﾙｰﾁﾝを実行するために、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは対応する現実の割り込みﾍﾞｸﾀを指示し、ﾊｰﾄﾞｳｪｱが対応する割り込み要求ﾌﾗｸﾞを解除(0)します。割り込み要求ﾌﾗｸﾞは解除(0)されるべきﾌﾗｸﾞのﾋﾞｯﾄ位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ﾋﾞｯﾄが解除(0)されている間に割り込み条件が起こると、割り込み要求ﾌﾗｸﾞが設定(1)され、割り込みが許可されるか、またはこのﾌﾗｸﾞがｿﾌﾄｳｪｱによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ﾋﾞｯﾄが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求ﾌﾗｸﾞが設定(1)されて全割り込み許可(I)ﾋﾞｯﾄが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求ﾌﾗｸﾞを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主ﾌﾟﾛｸﾞﾗﾑへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は割り込みﾙｰﾁﾝへ移行時の保存も、復帰時の回復も自動的に行われないことに注意してください。これはｿﾌﾄｳｪｱによって扱われなければなりません。

割り込みを禁止するためにCLI命令を使うと、割り込みは直ちに禁止されます。CLI命令と同時に割り込みが起こっても、CLI命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使えるかを示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
IN      R16, SREG          ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存
CLI                        ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE        ;EEPROM主書き込み許可
SBI     EECR, EEPE         ;EEPROM書き込み開始
OUT     SREG, R16          ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
char cSREG;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ保存変数定義 */
cSREG = SREG;              /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存 */
__disable_interrupt();     /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);        /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);         /* EEPROM書き込み開始 */
SREG = cSREG:              /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰 */
```

割り込みを許可するためにSEI命令を使うと、次例で示されるようにどの保留割り込みにも先立ってSEI命令の次の命令が実行されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SEI                        ;全割り込み許可
SLEEP                      ;休止形態移行 (割り込み待ち)
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
__enable_interrupt();      /* 全割り込み許可 */
__sleep();                 /* 休止形態移行 (割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

5.8.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4ｸﾛｯｸ周期です。4ｸﾛｯｸ周期後、実際の割り込み処理ﾙｰﾁﾝに対するﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀ ｱﾄﾞﾚｽが実行されます。この4ｸﾛｯｸ周期時間中にﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)がｽﾀｯｸ上に保存(ﾌﾟｯｼｭ)されます。このﾍﾞｸﾀは標準的に割り込み処理ﾙｰﾁﾝへの無条件分岐で、この分岐は3ｸﾛｯｸ周期要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4ｸﾛｯｸ周期増やされます。この増加は選んだ休止形態からの起動時間に加えてです。

割り込み処理ﾙｰﾁﾝからの復帰は4ｸﾛｯｸ周期要します。これらの4ｸﾛｯｸ周期中、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC:2ﾊﾞｲﾄ)がｽﾀｯｸから取り戻され(ﾎﾟｯﾌﾟ)、ｽﾀｯｸ ﾎﾟｲﾝﾀは増加され(+2)、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されます。

6. Atmel AVR AT90USB64/128のﾒﾓﾘ

この項はAT90USB64/128の各種ﾒﾓﾘを記述します。AVR構造にはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間とﾃﾞｰﾀ ﾒﾓﾘ空間の2つの主なﾒﾓﾘ空間があります。加えてAT90USB64/128はﾃﾞｰﾀ保存用EEPROMﾒﾓﾘが特徴です。3つのﾒﾓﾘ空間全ては一般的な直線的ｱﾄﾞﾚｽです。

表6-1. ﾒﾓﾘ割付

ﾒﾓﾘ種別		ﾆｰﾓﾆｯｸ	AT90USB64	AT90USB128
ﾌﾗｯｼｭ ﾒﾓﾘ	容量	Flash size	64Kﾊﾞｲﾄ	128Kﾊﾞｲﾄ
	開始ｱﾄﾞﾚｽ	-	$00000	
	終了ｱﾄﾞﾚｽ	Flash end	$0FFFF(注1),$7FFF(注2)	$1FFFF(注1),$FFFF(注2)
汎用ﾚｼﾞｽﾀ	容量	-	32ﾊﾞｲﾄ	
	開始ｱﾄﾞﾚｽ	-	$0000	
	終了ｱﾄﾞﾚｽ	-	$001F	
(標準)I/Oﾚｼﾞｽﾀ	容量	-	64ﾊﾞｲﾄ	
	開始ｱﾄﾞﾚｽ	-	$0020	
	終了ｱﾄﾞﾚｽ	-	$005F	
拡張I/Oﾚｼﾞｽﾀ	容量	-	160ﾊﾞｲﾄ	
	開始ｱﾄﾞﾚｽ	-	$0060	
	終了ｱﾄﾞﾚｽ	-	$00FF	
内蔵SRAM	容量	ISRAM size	4Kﾊﾞｲﾄ	8Kﾊﾞｲﾄ
	開始ｱﾄﾞﾚｽ	ISRAM start	$0100	
	終了ｱﾄﾞﾚｽ	ISRAM end	$10FF	$20FF
外部ﾒﾓﾘ	容量	XMem size	0～64Kﾊﾞｲﾄ	
	開始ｱﾄﾞﾚｽ	XMem start	$1100	$2100
	終了ｱﾄﾞﾚｽ	XMem end	$FFFF	
内蔵EEPROM	容量	E2 size	2Kﾊﾞｲﾄ	4Kﾊﾞｲﾄ
	開始ｱﾄﾞﾚｽ	-	$0000	
	終了ｱﾄﾞﾚｽ	E2 end	$07FF	$0FFF

注1: ﾊﾞｲﾄ ｱﾄﾞﾚｽです。

注2: 語(ﾜｰﾄﾞ=16ﾋﾞｯﾄ)ｱﾄﾞﾚｽです。

6.1. 実装書き換え(ISP: In-System Program)可能なﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ

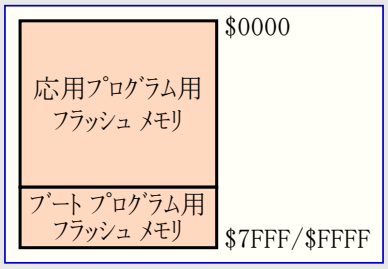
AT90USB64/128はﾌﾟﾛｸﾞﾗﾑ保存用に実装書き換え可能な64/128Kﾊﾞｲﾄのﾌﾗｯｼｭ ﾒﾓﾘをﾁｯﾌﾟ上に含みます。全てのAVR命令が16または32ﾋﾞｯﾄ幅のため、このﾌﾗｯｼｭ ﾒﾓﾘは32/64K×16ﾋﾞｯﾄとして構成されます。ｿﾌﾄｳｪｱ保護のため、ﾌﾗｯｼｭ ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間はﾌﾞｰﾄﾌﾟﾛｸﾞﾗﾑ領域と応用ﾌﾟﾛｸﾞﾗﾑ領域の2つに分けられます。

ﾌﾗｯｼｭ ﾒﾓﾘは最低100,000回の消去/書き込み回数耐久性があります。AT90USB64/128のﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)は15/16ﾋﾞｯﾄ幅で、故に32/64Kﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ位置のｱﾄﾞﾚｽ指定です。ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域の操作と関係するｿﾌﾄｳｪｱ保護用ﾌﾞｰﾄ施錠ﾋﾞｯﾄは230頁の「ﾌﾞｰﾄﾛｰﾀﾞ支援 - 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」の詳細で記述されます。241頁の「ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」はSPI、JTAG、並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのﾌﾗｯｼｭ ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの詳細な記述を含みます。

定数表は全てのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ ｱﾄﾞﾚｽ空間に配置できます。(LPM命令とELPM命令記述参照)

命令の取得と実行のﾀｲﾐﾝｸﾞ図は9頁の「命令実行ﾀｲﾐﾝｸﾞ」で示されます。

図6-1. ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ配置図



6.2. データ用SRAM メモリ

図6-2.はAtmel AT90USB64/128のSRAMメモリ構成方法を示します。

AT90USB64/128はINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O空間に対してLD/LDS/LDDとST/STS/STD命令だけが使えます。

下位4352/8448データ メモリ位置はレジスタ ファイル、I/Oメモリ、拡張I/Oメモリ、データ用内蔵SRAMに充てます。先頭の32位置はレジスタ ファイル、次の64位置は標準I/Oメモリ、その次の160位置は拡張I/Oメモリ、そして次の4096/8192位置はデータ用内蔵SRAMに充てます。

任意の外部データSRAMがAT90USB64/128で使えます。このSRAMは64Kアドレス空間内の残りのアドレス領域を占有します。この領域は内蔵SRAMに続くアドレスから始まります。レジスタ ファイル、I/O領域、拡張I/O領域、内蔵SRAMが最下位4352/8448バイトを占有するので64K(65536)バイトの外部メモリ使用時、61184/57088バイトの外部メモリが利用可能です。外部メモリ配置の利用法の詳細については17頁の「外部メモリ インターフェース」をご覧ください。

図6-2. データ空間とSRAMの配置

		アドレス
レジスタ ファイル (32×8)	R0 ～ R31	$0000 ～ $001F
I/O レジスタ (64×8)	$00 ～ $3F	$0020 ～ $005F
拡張I/O レジスタ (160×8)	$0060 ～ $00FF	$0060 ～ $00FF
内蔵 SRAM (4096/8192×8)	$0100 ～ $10FF/$20FF	$0100 ～ $10FF/$20FF
外部 SRAM (0～59.75/55.75K×8)	$1100/$2100 ～ $FFFF	$1100/$2100 ～ $FFFF

注: 赤字はI/Oアドレス

アドレスが内部データ メモリ領域を越えるSRAMメモリ空間をアクセスするとき、外部データSRAMは内部データ メモリ アクセスと同じ命令を使ってアクセスされます。内部データ メモリがアクセスされるとき、読みと書きのストローブピン(PE1とPE0)はそのアクセス周期中全てで無効です。外部SRAM操作は外部メモリ制御レジスタA(XMCRA)の外部SRAM許可(SRE)ビットの設定(1)によって許可されます。

外部SRAMのアクセスは内蔵SRAMのアクセスに比べ1バイト毎に1追加クロック周期を要します。これは(外部SRAMへの)LD,ST,LDS,STS,LDD,STD,PUSH,POP命令が1追加クロック周期を要することを意味します。スタックが外部SRAMに配置されると、割り込みやサブルーチンの呼び出し/復帰時、3バイトのプログラム カウンタ(PC)が保存(プッシュ)/復帰(ポップ)され、そして内部メモリ アクセスでのパイプラインの優位性がなくなるため、3クロック周期の追加を要します。待ち状態付きで外部メモリ インターフェースが使われると、1バイトの外部アクセスは1,2,3待ち状態に対し、各々(内部SRAMアクセスに対して)2,3,4追加クロック周期要します。割り込みやサブルーチンの呼び出しと復帰は1,2,3待ち状態に対し、命令一式手引書で示される値よりも5,7,9クロック周期多く必要です。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定種別でデータ メモリ(空間)を網羅します。レジスタ ファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われる)X,Y,Zアドレス レジスタは減少(-1)または増加(+1)されます。

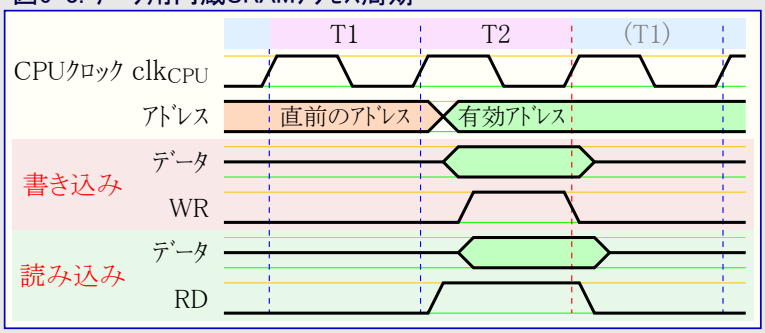
AT90USB64/128の32個の汎用レジスタ、64個のI/Oレジスタ、160個の拡張I/Oレジスタ、4096/8192バイトのデータ用内蔵SRAMはこれら全てのアドレス指定種別を通して全部アクセスできます。レジスタ ファイルは8頁の「汎用レジスタ ファイル」で記述されます。

6.2.1. データ メモリ アクセス タイミング

この項は内部メモリ アクセスに対する一般的なアクセス タイミングの概念を記述します。データ用内蔵SRAMアクセスは図6-3.で記載されるように2 clk_{CPU}周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図6-3. データ用内蔵SRAMアクセス周期



6.3. データ用EEPROMメモリ

Atmel AT90USB64/128は2/4Kバイトのデータ用EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降のEEPROMアドレス レジスタ、EEPROMデータ レジスタ、EEPROM制御レジスタで詳細に記述されます。

EEPROMのSPI、JTAG、並列プログラミングの詳細記述については各々253頁、256頁、244頁をご覧ください。

6.3.1. EEPROMアクセス

EEPROMアクセス レジスタはI/O空間でアクセス可能です。

EEPROMの書き込み(**訳注**:原文はアクセス)時間は14頁の**表6-2.**で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは次バイトが書ける時を検知してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。厳重に濾波した電源では電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については15頁の「**EEPROMデータ化けの防止**」をご覧ください。

予期せぬEEPROM書き込みを防止するため、特別な書き込み手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ**」の記述を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

6.3.2. EEARH,EEARL (EEAR) – EEPROMアドレス レジスタ (EEPROM Address Register)

ビット	15	14	13	12	11	10	9	8	
$22 ($42)	–	–	–	–	(EEAR11)	(EEAR10)	EEAR9	EEAR8	EEARH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	不定	不定	不定	
ビット	7	6	5	4	3	2	1	0	
$21 ($41)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

• **ビット15～12 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

• **ビット11～0 – EEAR11～0 : EEPROMアドレス** (EEPROM Address)

EEPROMアドレス レジスタ(EEARHとEEARL)は2/4KバイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータ バイトは0～1023/2047/4095間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれなければなりません。

6.3.3. EEDR – EEPROMデータ レジスタ (EEPROM Data Register)

ビット	7	6	5	4	3	2	1	0	
$20 ($40)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7～0 – EEDR7～0 : EEPROMデータ** (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレス レジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

6.3.4. EECR – EEPROM制御レジスタ (EEPROM Control Register)

ビット	7	6	5	4	3	2	1	0	
$1F ($3F)	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

• **ビット7,6 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

• ﾋﾞｯﾄ5,4 – EEPM1,0 : EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別 (EEPROM Programing Mode Bits)

EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別ﾋﾞｯﾄ設定はEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可(EEPE)書き込み時にどのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作が起動されるかを定義します。1つの非分離操作(旧値消去と新値書き込み)、または2つの異なる操作として消去と書き込み操作を分離してﾃﾞｰﾀをﾌﾟﾛｸﾞﾗﾑする(書く)ことが可能です。各動作に対するﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間は表6-2.で示されます。EEPEが設定(1)されている間はEEPMnへのどの書き込みも無視されます。ﾘｾｯﾄ中、EEPMnﾋﾞｯﾄはEEPROMがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ作業中を除いて'00'にﾘｾｯﾄされます。

表6-2. EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別

EEPM1	EEPM0	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	動作
0	0	3.4ms	1操作での消去と書き込み(非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	–	将来使用に予約

• ﾋﾞｯﾄ3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EERIEの1書き込みはｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みはEEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)が解除(0)されていると、継続する割り込みを発生します。

• ﾋﾞｯﾄ2 – EEMPE : EEPROM主ﾌﾟﾛｸﾞﾗﾑ許可 (EEPROM Master Program Enable)

EEMPEﾋﾞｯﾄはEEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄの1書き込みが有効か無効かどちらかを決めます。EEMPEが設定(1)されると、4ｸﾛｯｸ周期内のEEPE設定(1)は選んだｱﾄﾞﾚｽのEEPROMをﾌﾟﾛｸﾞﾗﾑします。EEMPEが0なら、EEPE設定(1)は無効です。EEMPEがｿﾌﾄｳｪｱによって設定(1)されてしまうと、4ｸﾛｯｸ周期後にﾊｰﾄﾞｳｪｱがこのﾋﾞｯﾄを0に解除します。EEPROM書き込み手順については次のEEPE記述をご覧ください。

• ﾋﾞｯﾄ1 – EEPE : EEPROMﾌﾟﾛｸﾞﾗﾑ許可 (EEPROM Program Enable)

EEPROMﾌﾟﾛｸﾞﾗﾑ許可信号(EEPE)はEEPROMへのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可信号です。EEPEが(1を)書かれると、EEPROMはEEPMnﾋﾞｯﾄ設定に従ってﾌﾟﾛｸﾞﾗﾑされます。論理1がEEPEへ書かれる前にEEPROM主ﾌﾟﾛｸﾞﾗﾑ許可(EEMPE)ﾋﾞｯﾄは1を書かれなければならず、さもなければEEPROM書き込み(消去)は行われません。EEPROMを書くとき、次の手順に従うべきです(手順3.と4.の順番は重要ではありません)。

1. EEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄが0になるまで待ちます。
2. SPM制御/状態ﾚｼﾞｽﾀ(SPMCSR)のSPM操作許可(SPMEN)ﾋﾞｯﾄが0になるまで待ちます。
3. 今回のEEPROMｱﾄﾞﾚｽをEEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)に書きます。(任意、省略可)
4. 今回のEEPROMﾃﾞｰﾀをEEPROMﾃﾞｰﾀ ﾚｼﾞｽﾀ(EEDR)に書きます。(任意、省略可)
5. EEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROM主ﾌﾟﾛｸﾞﾗﾑ許可(EEMPE)ﾋﾞｯﾄに1を、EEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄに0を同時に書きます。
6. EEMPEﾋﾞｯﾄ設定後4ｸﾛｯｸ周期内にEEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄへ論理1を書きます。

CPUがﾌﾗｯｼｭ ﾒﾓﾘ書き込み中、EEPROMはﾌﾟﾛｸﾞﾗﾑ(書き込みが)できません。ｿﾌﾄｳｪｱは新規EEPROM書き込みを始める前にﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了されていることを検査しなければなりません。2.はｿﾌﾄｳｪｱがﾌﾗｯｼｭ ﾒﾓﾘをﾌﾟﾛｸﾞﾗﾑ(書き込みを)することをCPUに許すﾌﾞｰﾄ ﾛｰﾀﾞを含む場合だけ関係します。ﾌﾗｯｼｭ ﾒﾓﾘが決してCPUによって更新されないなら、2.は省略できます。ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞについての詳細に関しては230頁の「ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」をご覧ください。

警告: 手順5.と6.間の割り込みはEEPROM主ﾌﾟﾛｸﾞﾗﾑ許可が時間超過するため、書き込み周期失敗になります。EEPROMをｱｸｾｽする割り込みﾙｰﾁﾝが他のEEPROMｱｸｾｽを中断し、EEARかEEDRが変更されると、中断したEEPROMｱｸｾｽを失敗させます。これらの問題を避けるため、全ての手順中、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄは解除(0)されていることが推奨されます。

書き込み(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ)ｱｸｾｽ時間が経過されると、EEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。使用者ｿﾌﾄｳｪｱは次ﾊﾞｲﾄを書く前にこのﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞし、0を待つことができます。EEPEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

• ﾋﾞｯﾄ0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みｽﾄﾛｰﾌﾞです。EEARに正しいｱﾄﾞﾚｽが設定されると、EEPROM読み出しを起動するためにEEREﾋﾞｯﾄは1を書かれなければなりません。EEPROM読み出しｱｸｾｽは(その)1命令で行われ、要求したﾃﾞｰﾀは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。

使用者は読み込み操作を始める前にEEPEﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞすべきです。書き込み(ﾌﾟﾛｸﾞﾗﾑ)操作実行中の場合、EEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)の変更もEEPROM読み込みもできません。

EEPROMｱｸｾｽの時間に校正済み内蔵RC発振器が使われます。表6-3.はCPUからのEEPROMｱｸｾｽに対する代表的な書き込み時間を示します。

表6-3. EEPROM書き込み時間

項目	校正付き内蔵RC発振器周期数	代表
EEPROM書き込み(CPU)	26,368	3.3ms

次のｺｰﾄﾞ例はｱｾﾝﾌﾞﾘ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はｿﾌﾄｳｪｱ内にﾌﾗｯｼｭ ﾌﾞｰﾄ ﾛｰﾀﾞが無い前提でもあります。そのようなｺｰﾄﾞが存在する場合、EEPROM書き込み関数は何れかが実行するSPM命令の完了も待たねばなりません。(訳注:共通性から次例は補足修正しています。)

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
EEPROM_WR:  SBIC    EECR,EEPE                   ;EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了ならばｽｷｯﾌﾟ
            RJMP    EEPROM_WR                   ;以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機
;
            LDI     R19,(0<<EEPM1)|(0<<EEPM0)   ;ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別値取得(本例は非分離)
            OUT     EECR,R19                    ;対応ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別設定
            OUT     EEARH,R18                   ;EEPROMｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定
            OUT     EEARL,R17                   ;EEPROMｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定
            OUT     EEDR,R16                    ;EEPROM書き込み値を設定
            SBI     EECR,EEMPE                  ;EEPROM主ﾌﾟﾛｸﾞﾗﾑ許可ﾋﾞｯﾄ設定
            SBI     EECR,EEPE                   ;EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始(ﾌﾟﾛｸﾞﾗﾑ許可ﾋﾞｯﾄ設定)
            RET                                 ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEPE));                    /* 以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機 */
    EECR = (0<<EEPM1)|(0<<EEPM0);               /* 対応ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別設定 */
    EEAR = uiAddress;                           /* EEPROMｱﾄﾞﾚｽ設定 */
    EEDR = ucData;                              /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                         /* EEPROM主ﾌﾟﾛｸﾞﾗﾑ許可 */
    EECR |= (1<<EEPE);                          /* EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

次のｺｰﾄﾞ例はｱｾﾝﾌﾞﾘ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
EEPROM_RD:  SBIC    EECR,EEPE                   ;EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了ならばｽｷｯﾌﾟ
            RJMP    EEPROM_RD                   ;以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機
;
            OUT     EEARH,R18                   ;EEPROMｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定
            OUT     EEARL,R17                   ;EEPROMｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定
            SBI     EECR,EERE                   ;EEPROM読み出し開始(読み込み許可ﾋﾞｯﾄ設定)
            IN      R16,EEDR                    ;EEPROM読み出し値を取得
            RET                                 ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEPE));                    /* 以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機 */
    EEAR = uiAddress;                           /* EEPROMｱﾄﾞﾚｽ設定 */
    EECR |= (1<<EERE);                          /* EEPROM読み出し開始 */
    return EEDR;                                /* EEPROM読み出し値を取得,復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

6.3.5. EEPROMﾃﾞｰﾀ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMﾃﾞｰﾀが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMﾃﾞｰﾀ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

EEPROMﾃﾞｰﾀ化けは次の推奨設計によって容易に避けられます。

不充分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCﾘｾｯﾄ保護回路が使えます。書き込み動作実行中にﾘｾｯﾄが起こると、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

6.4. I/O メモリ (レジスタ)

Atmel AT90USB64/128のI/O空間定義は281頁の「**レジスタ要約**」で示されます。

AT90USB64/128の全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲$00～$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビット アクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「**命令要約**」章を参照してください。I/O指定命令INとOUTを使う時にI/Oアドレス$00～$3Fが使われなければなりません。LD命令とST命令を使い、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに$20が加算されなければなりません。

AT90USB64/128はINやOUT命令で予約された64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$0FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリ アドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は他の多くのAVRの様ではなく、指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに注意してください。CBIとSBI命令は(I/Oアドレス)$00～$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

6.4.1. 汎用I/Oレジスタ

AT90USB64/128は3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使え、特に全体変数や状態フラグの格納に有用です。(I/O)アドレス範囲$00～$1Fの汎用I/OレジスタはSBI,CBI,SBIS,SBIC命令の使用で直接ビット アクセスが可能です。

6.4.2. GPIOR2 – 汎用I/Oレジスタ2 (General Purpose I/O Register 2)

ビット	7	6	5	4	3	2	1	0	
$2B ($4B)	(MSB)							(LSB)	GPIOR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6.4.3. GPIOR1 – 汎用I/Oレジスタ1 (General Purpose I/O Register 1)

ビット	7	6	5	4	3	2	1	0	
$2A ($4A)	(MSB)							(LSB)	GPIOR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6.4.4. GPIOR0 – 汎用I/Oレジスタ0 (General Purpose I/O Register 0)

ビット	7	6	5	4	3	2	1	0	
$1E ($3E)	(MSB)							(LSB)	GPIOR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6.5. 外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ

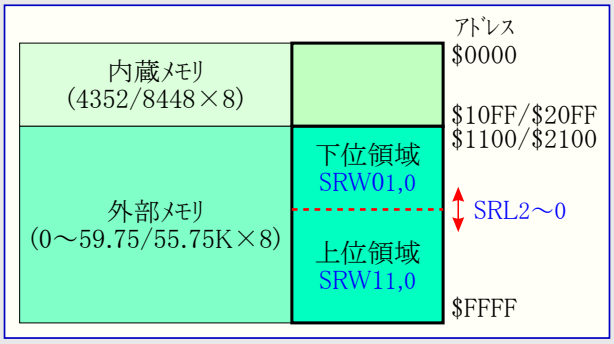
外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽが提供する全ての機能で、LCD表示器やA/D、D/Aのような周辺装置や、外部SRAMやﾌﾗｯｼｭ ﾒﾓﾘのようなﾒﾓﾘ ﾃﾞﾊﾞｲｽへのｲﾝﾀｰﾌｪｰｽとしての動作に上手く仕立てられます。主な特徴を次に示します。

- **4つの異なる待ち状態設定**(含む待ち状態なし)
- **異なる外部ﾒﾓﾘ領域(領域容量設定可)に対する個別の待ち状態設定**
- **ｱﾄﾞﾚｽ上位ﾊﾞｲﾄに割り当てるﾋﾞｯﾄ数が選択可能**
- **消費電流を最小とするため、ﾃﾞｰﾀ線のﾊﾞｽ保持機能**(任意選択)

6.5.1. 概要

外部ﾒﾓﾘ(XMEM)が許可されると、内蔵SRAMを越えるｱﾄﾞﾚｽ空間は割り当てた外部ﾒﾓﾘ ﾋﾟﾝを使うことが利用可能になります(2頁の「**ﾋﾟﾝ配置**」、50頁の**表12-3.**、53頁の**表12-9.**、57頁の**表12-15.**をご覧ください)。ﾒﾓﾘ設定は**図6-4.**で示されます。

図6-4. 外部ﾒﾓﾘと領域選択



6.5.2. 外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽの使用

このｲﾝﾀｰﾌｪｰｽは以下から成ります。

- AD7～0 ：交互切り替えされた下位ｱﾄﾞﾚｽ ﾊﾞｽとﾃﾞｰﾀ ﾊﾞｽ
- A15～8 ：上位ｱﾄﾞﾚｽ ﾊﾞｽ (ﾋﾞｯﾄ数設定可能)
- ALE ：ｱﾄﾞﾚｽ ﾗｯﾁ許可信号
- $\overline{RD}$ ：読み出しｽﾄﾛｰﾌﾞ信号
- $\overline{WR}$ ：書き込みｽﾄﾛｰﾌﾞ信号

外部ﾒﾓﾘ(XMEM)ｲﾝﾀｰﾌｪｰｽに関する制御ﾋﾞｯﾄは外部ﾒﾓﾘ制御ﾚｼﾞｽﾀA(XMCRA)と外部ﾒﾓﾘ制御ﾚｼﾞｽﾀB(XMCRB)の2つのﾚｼﾞｽﾀに配置されます。

XMEMｲﾝﾀｰﾌｪｰｽが許可されると、このｲﾝﾀｰﾌｪｰｽに割り当てたﾎﾟｰﾄに対応するﾃﾞｰﾀ方向ﾚｼﾞｽﾀ設定を無効にします。このﾎﾟｰﾄの無効化についての詳細に関しては46頁の「**入出力ﾎﾟｰﾄ**」章の交換機能をご覧ください。XMEMｲﾝﾀｰﾌｪｰｽはｱｸｾｽが内部または外部どちらかを自動的に検知します。ｱｸｾｽが外部の場合、XMEMｲﾝﾀｰﾌｪｰｽは**図6-6.**(本図は待ち状態なしの波形を示す)に従ったｱﾄﾞﾚｽ、ﾃﾞｰﾀ、制御信号を出力します。ALEがHigh→Low(下降)になるとAD7～0上のｱﾄﾞﾚｽが有効です。ﾃﾞｰﾀ転送中、ALEはLowです。XMEMｲﾝﾀｰﾌｪｰｽが許可されると、内部ｱｸｾｽでも同様にｱﾄﾞﾚｽ、ﾃﾞｰﾀ、ALEﾎﾟｰﾄの動きを引き起こしますが、内部ｱｸｾｽ中、$\overline{RD}$と$\overline{WR}$ｽﾄﾛｰﾌﾞは切り替わりません。外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽが禁止されると、標準ﾋﾟﾝとﾃﾞｰﾀ方向設定が使われます。XMEMｲﾝﾀｰﾌｪｰｽが禁止されるとき、内蔵SRAM境界以上のｱﾄﾞﾚｽ空間が内蔵SRAMに割り当てられないことに注意してください。**図6-5.**はGがHighの時に透過(通過:ﾄﾗﾝｽﾍﾟｱﾚﾝﾄ)となる8ﾋﾞｯﾄのﾗｯﾁ(一般的には74xx573または同等品)を使うAVRと外部SRAMの接続法を図解します。

6.5.3. ｱﾄﾞﾚｽ ﾗｯﾁの必要性

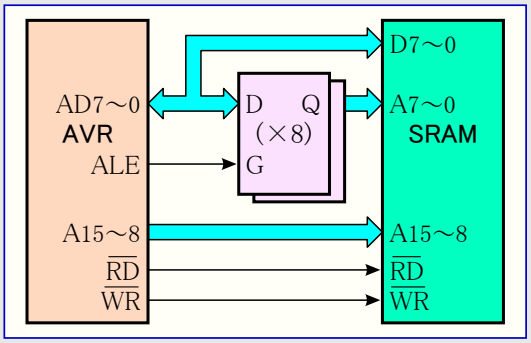
XMEMｲﾝﾀｰﾌｪｰｽの高速動作のため、ｱﾄﾞﾚｽ ﾗｯﾁは4MHz/2.7V、8MHz/4V以上のｼｽﾃﾑ周波数に対し、注意して選ばれなければなりません。これらの周波数以上の条件で動作するとき、代表的な旧ﾃﾞﾊﾞｲｽ74HCｼﾘｰｽﾞのﾗｯﾁは不適切になります。外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽは74AHCｼﾘｰｽﾞのﾗｯﾁに適応するよう設計されています。けれども主なﾀｲﾐﾝｸﾞ ﾊﾟﾗﾒｰﾀに対応してさえいれば、多くのﾗｯﾁが使えます。ｱﾄﾞﾚｽ ﾗｯﾁについての主なﾊﾟﾗﾒｰﾀは次のとおりです。

- DからQへの伝播遅延時間 (t_{PD})
- G下降端に対するﾃﾞｰﾀ準備時間 (t_{SU})
- G下降後のﾃﾞｰﾀ(ｱﾄﾞﾚｽ)保持遅延時間 (t_H)

(訳注) 記号はAVR側ではなく、一般的なﾗｯﾁ ﾃﾞﾊﾞｲｽ側での記号です。

外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽはGがLowにされた後、t_H=5nsの最小ｱﾄﾞﾚｽ保持時間を保証するよう設計されています(268～269頁、表31-7.～14.のt_{LAXX_LD}とt_{LAXX_ST}を参照してください)。DからQへの伝播遅延時間(t_{PD})は外部部品のｱｸｾｽ時間必要条件を計算する時に考慮されなければなりません。G=Low(下降)前のﾃﾞｰﾀ準備時間(t_{SU})はALE=Low(下降)前のｱﾄﾞﾚｽ有効時間(t_{AVLLC})－PCB配線遅延(容量性負荷に依存)を越えてはいけません。

図6-5. AVRと外部SRAMの接続



6.5.4. ﾌﾟﾙｱｯﾌﾟとﾊﾞｽ保持機能

AD7～0ﾎﾟｰﾄのﾌﾟﾙｱｯﾌﾟ抵抗は対応するﾎﾟｰﾄ ﾚｼﾞｽﾀが1を書かれると、活性(有効)にできます。休止形態で消費電力を削減するために、休止形態移行前にﾎﾟｰﾄ ﾚｼﾞｽﾀへ0を書くことによってﾌﾟﾙｱｯﾌﾟを禁止することが推奨されます。

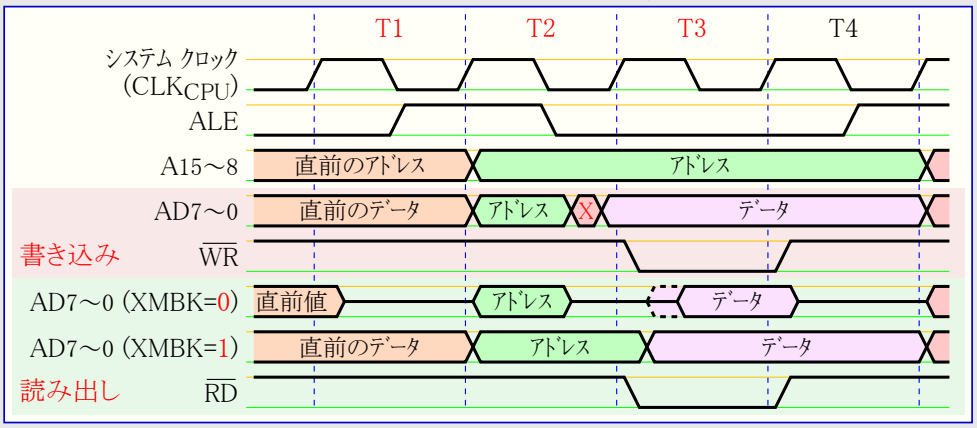
XMEMｲﾝﾀｰﾌｪｰｽはAD7～0線のﾊﾞｽ保持機能も提供します。ﾊﾞｽ保持機能は21頁の「外部ﾒﾓﾘ制御ﾚｼﾞｽﾀB(XMCRB)」で記述されるようにﾌﾟﾛｸﾞﾗﾑで許可と禁止ができます。許可されると、(本来)これらの線がXMEMｲﾝﾀｰﾌｪｰｽによりHi-Zとされる間中、ﾊﾞｽ保持機能はAD7～0ﾊﾞｽで直前の値を保持します。

6.5.5. ﾀｲﾐﾝｸﾞ

外部ﾒﾓﾘ ﾃﾞﾊﾞｲｽは様々なﾀｲﾐﾝｸﾞ必要条件を持ちます。これらの必要条件に合せるため、XMEMｲﾝﾀｰﾌｪｰｽは表6-5.に示される4つの異なる待ち状態を提供します。この待ち状態選択前に外部ﾒﾓﾘ ﾃﾞﾊﾞｲｽのﾀｲﾐﾝｸﾞ特性を考慮することが大事です。重要なﾊﾟﾗﾒｰﾀの多くは必要条件設定に関連する外部ﾒﾓﾘのｱｸｾｽ時間です。外部ﾒﾓﾘのｱｸｾｽ時間はﾁｯﾌﾟ選択とｱﾄﾞﾚｽを受け取ってから、そのｱﾄﾞﾚｽのﾃﾞｰﾀがﾊﾞｽ上で実際に駆動されるまでの時間で定義されます。このｱｸｾｽ時間はALEﾊﾟﾙｽがLowにされてから読み出し手順中にﾃﾞｰﾀが安定にならなければならないまでの時間(268～269頁の表31-7.～14.のt_{LLRL}+t_{RLRH}-t_{DVRH})を超えることはできません。各種待ち状態はｿﾌﾄｳｪｱで設定されます。付加機能として、外部ﾒﾓﾘ空間を個別に待ち状態設定できる2つの領域に分割することが可能です。これは異なるﾀｲﾐﾝｸﾞ必要条件の2つの異なるﾒﾓﾘ ﾃﾞﾊﾞｲｽを同じXMEMｲﾝﾀｰﾌｪｰｽに接続することを可能にします。XMEMｲﾝﾀｰﾌｪｰｽの詳細ﾀｲﾐﾝｸﾞについては268頁からの表31-7.～14.と図31-7.～10.を参照してください。

XMEMｲﾝﾀｰﾌｪｰｽは非同期で、次の図の波形が内部ｼｽﾃﾑ ｸﾛｯｸに関連することに注意してください。内部と外部(XTAL1)のｸﾛｯｸ間のｽﾞﾚは保証されません(ﾃﾞﾊﾞｲｽ、温度、供給電圧間で一様でない)。従ってXMEMｲﾝﾀｰﾌｪｰｽは同期動作用ではありません。

図6-6. 待ち状態なし 外部データ メモリ アクセス周期 (SRWn1=0, SRWn0=0) [T1～T3]



共通注意事項

SRWn1はSRW11(上位領域)またはSRW01(下位領域)、SRWn0はSRW10(上位領域)またはSRW00(下位領域)です。

[T1～Tn]は図での命令実行周期範囲です。

Xは値変更区間を示します。

最終周期のALEは次命令がRAM(内部または外部)をアクセスする場合だけ存在します。また、最後の周期のアドレスとデータの変更区間の有無も同様です。

図6-7. 1待ち状態 外部データ メモリ アクセス周期 (SRWn1=0, SRWn0=1) [T1～T4]

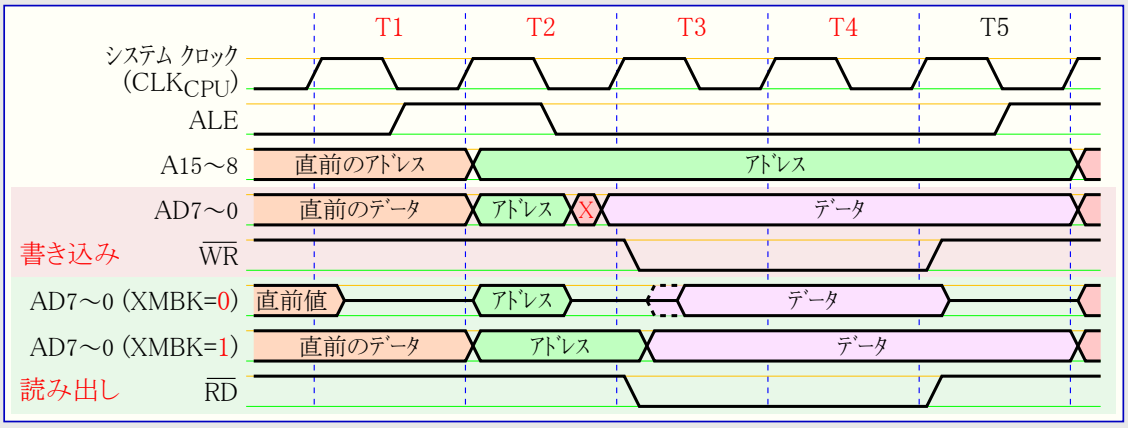


図6-8. 2待ち状態 外部データ メモリ アクセス周期 (SRWn1=1, SRWn0=0) [T1～T5]

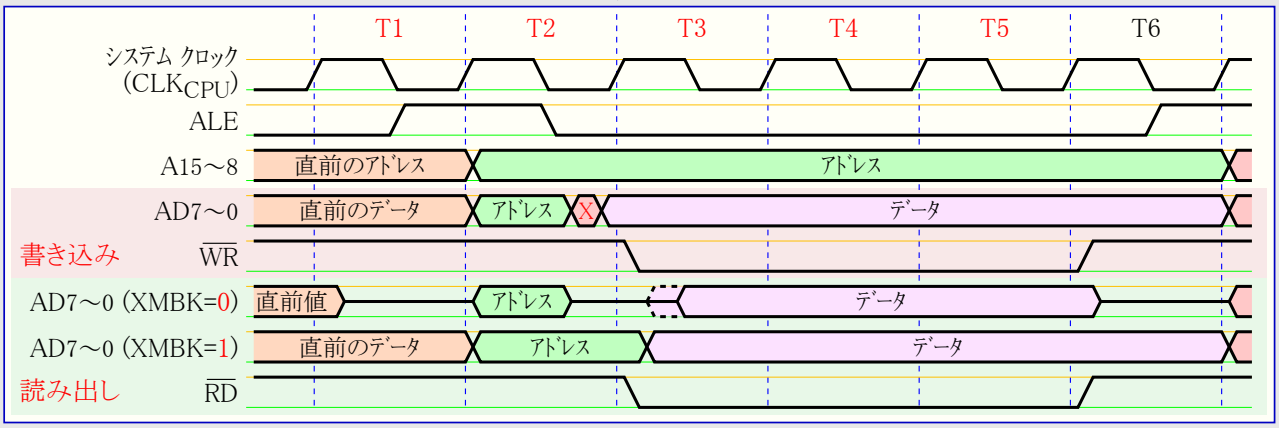
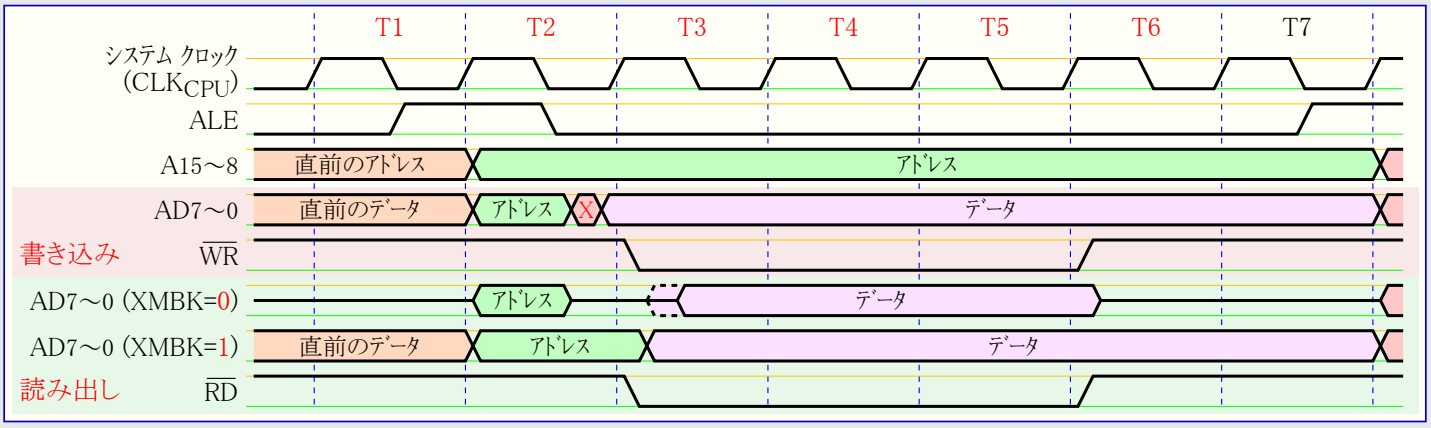


図6-9. 2待ち状態+保持1待ち状態 外部データ メモリ アクセス周期 (SRWn1=1, SRWn0=1) [T1～T6]



6.5.6. XMCRA – 外部ﾒﾓﾘ制御ﾚｼﾞｽﾀA (External Memory Control Register A)

ﾋﾞｯﾄ ($74)	7	6	5	4	3	2	1	0	
	SRE	SRL2	SRL1	SRL0	SRW11	SRW10	SRW01	SRW00	XMCRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – SRE : 外部ﾒﾓﾘ許可** (External SRAM/XMEM Enable)

SREに1を書くことが外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽを許可します。A15～8, AD7～0, ALE, $\overline{RD}$, $\overline{WR}$ﾋﾟﾝ機能は交換ﾋﾟﾝ機能として活性(有効)にされます。SREﾋﾞｯﾄはそれぞれのﾃﾞｰﾀ方向ﾚｼﾞｽﾀ内の何れのﾋﾟﾝ方向設定も無効にします。SREに0を書くことは外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽを禁止し、通常ﾋﾟﾝとﾃﾞｰﾀ方向設定が使われます。

• **ﾋﾞｯﾄ6～4 – SRL2～0 : 外部SRAM範囲選択** (Wait-state Sector Limit)

異なる外部ﾒﾓﾘ領域に対して異なる待ち状態を指定することが可能です。外部ﾒﾓﾘ ｱﾄﾞﾚｽ空間は個別の待ち状態ﾋﾞｯﾄを持つ2つの領域に分割できます。SRL2～0ﾋﾞｯﾄは、これらの領域の分岐点を選びます。表6-4.と図6-4.をご覧ください。既定でのSRL2～0は0に設定され、外部ﾒﾓﾘ ｱﾄﾞﾚｽ空間全体が1つの領域として扱われます。SRAM(外部ﾒﾓﾘ)ｱﾄﾞﾚｽ空間全体が1つの領域として設定される場合、待ち状態はSRW11とSRW10ﾋﾞｯﾄによって設定されます。

表6-4. 上位/下位領域選択

SRL2	SRL1	SRL0	下位領域	上位領域
0	0	x	なし	$1100/$2100～$FFFF
0	1	0	$1100/$2100～$3FFF	$4000～$FFFF
0	1	1	$1100/$2100～$5FFF	$6000～$FFFF
1	0	0	$1100/$2100～$7FFF	$8000～$FFFF
1	0	1	$1100/$2100～$9FFF	$A000～$FFFF
1	1	0	$1100/$2100～$BFFF	$C000～$FFFF
1	1	1	$1100/$2100～$DFFF	$E000～$FFFF

• **ﾋﾞｯﾄ3,2 – SRW11,0 : 上位領域待ち状態選択ﾋﾞｯﾄ1,0** (Wait-state Select Bits for Upper Sector)

SRW11とSRW10ﾋﾞｯﾄは外部ﾒﾓﾘ ｱﾄﾞﾚｽ空間の上位領域に対する待ち状態数を制御します。表6-5.をご覧ください。

• **ﾋﾞｯﾄ1,0 – SRW01,0 : 下位領域待ち状態選択ﾋﾞｯﾄ1,0** (Wait-state Select Bits for Lower Sector)

SRW01とSRW00ﾋﾞｯﾄは外部ﾒﾓﾘ ｱﾄﾞﾚｽ空間の下位領域に対する待ち状態数を制御します。表6-5.をご覧ください。

表6-5. 待ち状態選択

SRWn1	SRWn0	待ち状態
0	0	待ち状態なし
0	1	読み/書きｽﾄﾛｰﾌﾞ中に1待ち状態挿入
1	0	読み/書きｽﾄﾛｰﾌﾞ中に2待ち状態挿入
1	1	読み/書きｽﾄﾛｰﾌﾞ中に2、ｱﾄﾞﾚｽ,ﾃﾞｰﾀ出力保持中に1待ち状態挿入

注: nは0(下位領域)または1(上位領域)です。外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽの待ち状態とﾀｲﾐﾝｸﾞのより多くの詳細については図6-6.～9.のSRWﾋﾞｯﾄ設定がﾀｲﾐﾝｸﾞへ与える影響をご覧ください。

6.5.7. XMCRB – 外部メモリ制御レジスタB (External Memory Control Register B)

ビット	7	6	5	4	3	2	1	0	
($75)	XMBK	–	–	–	–	XMM2	XMM1	XMM0	XMCRB
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – XMBK : バス保持許可** (External Memory Bus-keeper Enable)

XMBKに1を書くことがAD7～0線のバス保持機能を許可します。バス保持機能が許可されると、XMEMインターフェースがAD7～0線をHi-Zにしても、AD7～0はその線上で最後に駆動した値を保ちます。XMBKに0を書くことがバス保持機能を禁止します。XMBKはSREの制限を受けませんので、XMEMインターフェースが禁止されても、バス保持機能はXMBKが1である限り未だ活性(有効)にされます。

• **ビット6～3 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。このアドレス位置へ書く時、将来のデバイスとの共通性のため、これらのビットに0を書いてください。

• **ビット2～0 – XMM2～0 : 上位アドレス遮蔽** (External Memory High Mask)

外部メモリ インターフェースが許可されると、既定では全てのポートCピンが上位アドレス バイトに使われます。外部メモリ アクセスのために全59.75/55.75Kバイト アドレス空間が必要とされない場合、**表6-6.**で記述されるように、いくつかまたは全てのポートCピンは標準ポート ピン機能用に開放できます。22頁の「**外部メモリの全64Kバイト位置の使用**」で記述されるように、外部メモリの全64Kバイト位置のアクセスのためにXMMnビットの使用が可能です。

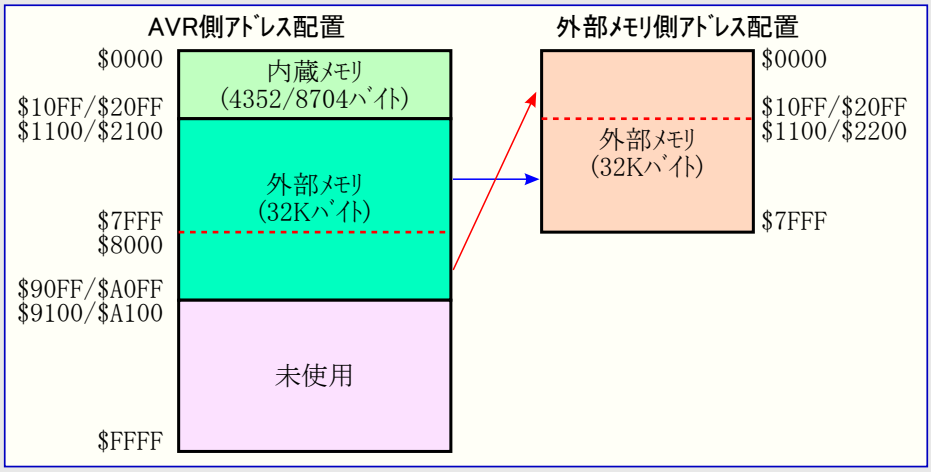
表6-6. 外部メモリ許可時に開放するポートCピン

XMM2	XMM1	XMM0	アドレス上位バイト ビット数	開放ポート ピン
0	0	0	8 (最大59.75/55.75Kバイト)	なし
0	0	1	7	PORTC7
0	1	0	6	PORTC7～6
0	1	1	5	PORTC7～5
1	0	0	4	PORTC7～4
1	0	1	3	PORTC7～3
1	1	0	2	PORTC7～2
1	1	1	0 (上位バイトなし)	PORTC7～0

6.5.8. 64Kバイト未満外部メモリの全域使用

外部メモリは**図6-4.**で示されるように内部メモリの後に配置されるため、データ空間の最初の4352/8448バイトをアドレス指定するとき、外部メモリは指定されません。外部メモリの最初の4352/8448バイト(外部アドレス$0000～$10FF/$20FF)がアクセスできないと思われるかもしれません。けれども64Kバイトよりも小さな外部メモリを接続するとき、例えば32Kバイトで、これらの位置は単純なアドレス $8000～$90FF/ $A0FF指定によって容易にアクセスされます。外部メモリ アドレス A15ビットは外部メモリに接続されず、アドレス$8000～$90FF/$A0FFは外部メモリに対するアドレス$0000～$10FF/$20FFとして見えます。$90FF/$A0FFを越えるアドレス指定は、これが他の(下位側)アドレスによって既にアクセスされる外部メモリ位置のアドレス指定のため推奨されません。応用ソフトウェアにとって、この外部32Kバイト メモリは$1100/2100～$90FF/$A0FFの1つの直線的な32Kバイト アドレス空間として見えます。これは**図6-10.**で図解されます。

図6-10. 32K外部メモリ時のアドレス配置



6.5.9. 外部ﾒﾓﾘの全64Kﾊﾞｲﾄ位置の使用

外部ﾒﾓﾘは図6-4.で示されるように内部ﾒﾓﾘの後に配置されるため、既定では外部ﾒﾓﾘの59.75/55.75Kﾊﾞｲﾄだけが利用可能です(ｱﾄﾞﾚｽ空間$0000～$10FF/$20FFは内部ﾒﾓﾘ用に予約されます)。けれども上位ｱﾄﾞﾚｽ ﾋﾞｯﾄを0で遮蔽することにより、外部ﾒﾓﾘ全体を利用することが可能です。これはXMMnﾋﾞｯﾄを使い、ｱﾄﾞﾚｽの最上位側ﾋﾞｯﾄをｿﾌﾄｳｪｱによって制御することで行えます。ﾎﾟｰﾄCを$00出力に設定し、上位側ﾋﾞｯﾄを標準ﾎﾟｰﾄ ﾋﾟﾝ動作用に開放することにより、ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽは$0000～$3FFFをｱﾄﾞﾚｽ指定します。以下のｺｰﾄﾞ例をご覧ください。

ﾒﾓﾘの多くが遮蔽され隠されているとき、この選択手段の使用は注意して用いられなければなりません。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
            .EQU    OFFSET=$4000                    ;切り替え点ｱﾄﾞﾚｽ定義
                                                    ;[ﾎﾟｰﾄC初期化]
            LDI     R16,$00                         ;ﾎﾟｰﾄ出力値を取得
            OUT     PORTC,R16                       ;ｱﾄﾞﾚｽ最上位側ﾋﾞｯﾄ値全0設定
            LDI     R16,$FF                         ;ﾎﾟｰﾄ方向全出力値を取得
            OUT     DDRC,R16                        ;ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ用ﾎﾟｰﾄ出力設定
;                                                   ;[$0000～$3FFFｱｸｾｽ]
            LDI     R16,(1<<XMM1)                   ;PORTC7～6開放値を取得
            STS     XMCRB,R16                       ;PORTC7～6開放(～$3FFF範囲設定)
            LDI     R16,$AA                         ;書き込み値を取得
            STS     $0001+OFFSET,R16                ;外部ﾒﾓﾘの$0001番地に$AA書き込み
;                                                   ;[$4000～$FFFFｱｸｾｽ]
            LDI     R16,$00                         ;最大外部ﾒﾓﾘ(16ﾋﾞｯﾄ幅)値を取得
            STS     XMCRB,R16                       ;PORTC開放なし、(～$FFFF範囲設定)
            LDI     R16,$55                         ;書き込み値を取得
            STS     $0001+OFFSET,R16                ;外部ﾒﾓﾘのOFFSET+$0001番地に$55書き込み
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
#define OFFSET 0x4000                               /* 切り替え点ｱﾄﾞﾚｽ定義 */
void XRAM_example(void)
{
    unsigned char *p = (unsigned char *) (OFFSET +1);   /* 書き込みｱﾄﾞﾚｽ(ﾎﾟｲﾝﾀ)定義 */
    PORTC = 0x00;                                   /* ｱﾄﾞﾚｽ最上位側ﾋﾞｯﾄ値全0設定 */
    DDRC = 0xFF;                                    /* ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ用ﾎﾟｰﾄ出力設定 */
    XMCRB = (1<<XMM1);                              /* PORTC7～6開放(～$3FFF範囲設定) */
    *p = 0xAA;                                      /* 外部ﾒﾓﾘの$0001番地に$AA書き込み */
    XMCRB = 0x00;                                   /* PORTC開放なし、(～$FFFF範囲設定) */
    *p = 0x55;                                      /* 外部ﾒﾓﾘの$4001番地に$55書き込み */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

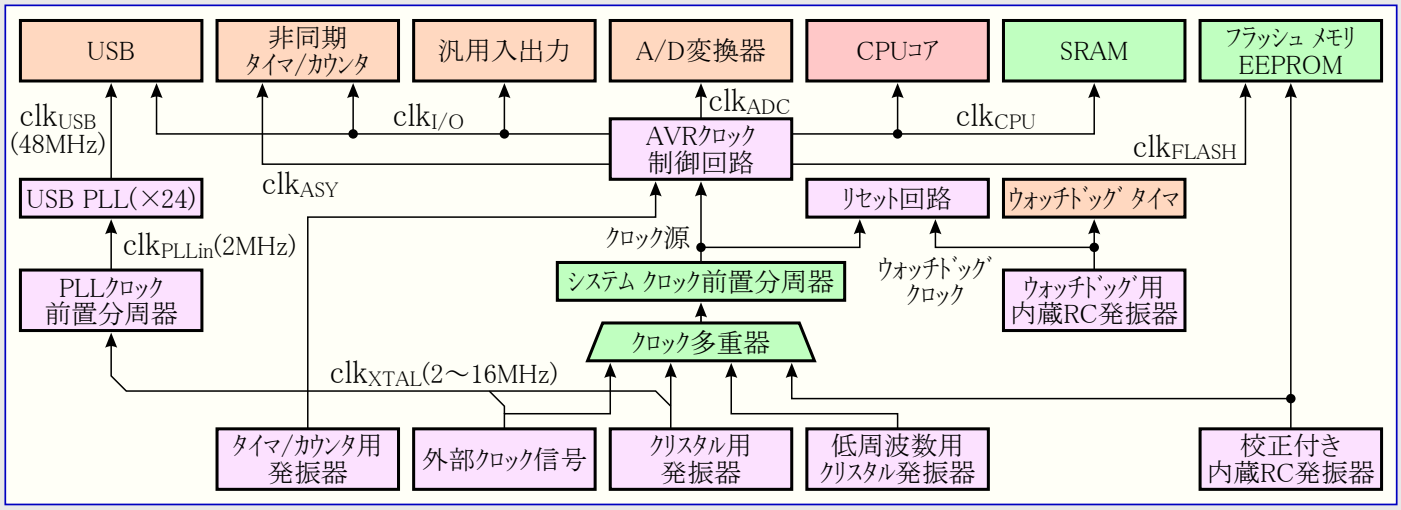
(訳補) 上の記述はXMMn設定によってﾊﾞﾝｸ化動作となることを示しています。

7. システム クロックとクロック選択

7.1. クロック系統とその配給

図7-1.はAVR内の主要なクロック系統とその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、30頁の「**電力管理と休止形態**」で記述される各種休止形態の使用により、使われない部分のクロックを停止することができます。クロック系統は以下で詳細に示されます。

図7-1. クロックの配給



7.1.1. CPU クロック – clk_{CPU}

CPUクロックはAVRコアの動作と関係する系統の部分に配給されます。このような部分の例は汎用レジスタ ファイル、ステータス レジスタ、スタック ポインタを保持するデータ メモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

7.1.2. I/O クロック – $clk_{I/O}$

I/Oクロックはタイマ/カウンタ、SPI、USARTのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。また、2線直列I/F(TWI)部のアドレス認証は全休止形態で取り扱われます。

7.1.3. フラッシュ クロック – clk_{FLASH}

フラッシュ クロックはフラッシュ メモリ インターフェースの動作を制御します。このフラッシュ クロックは常にCPUクロックと同時に活動します。

7.1.4. 非同期タイマ クロック – clk_{ASY}

非同期タイマ クロックは外部32kHzクロック用クリスタルから直接的にクロック駆動されるのを非同期タイマ/カウンタに許します。この専用クロック範囲はデバイスが休止形態の時でも、このタイマ/カウンタの実時間計数器としての使用を許します。

7.1.5. A/D変換クロック – clk_{ADC}

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

7.1.6. USBクロック – clk_{USB}

USBには専用のクロック範囲が提供されます。このクロックは48MHzで走行するチップ上のPLLで生成されます。このPLLは常に入力周波数を24倍します。従ってPLLクロック レジスタはPLL入力で2MHzを生成するために、ソフトウェアによってプログラム(設定)されるべきです。

7.2. クロック元

このデバイスには下で示されるようにフラッシュ ヒューズ ビットによって選択可能な後続のクロック元選択があります。選んだクロック元からのクロックはAVRクロック発生器への入力で、適切な単位部へ配給されます。

表9-1. クロック元選択 (注: 1=非プログラム、0=プログラム)

クロック元	外部クリスタル 低電力発振器	(予約)	外部低周波数 クリスタル発振器	(予約)	校正付き内蔵 RC発振器	(予約)	外部クロック信号
CKSEL3～0	1111～1000	0111～0110	0101, 0100	0011	0010	0001	0000

7.2.1. 既定のｸﾛｯｸ元

このﾃﾞﾊﾞｲｽは8.0MHzのｸﾘｽﾀﾙ用低電力発振器(8MHz～最高)が許可で、CKDIV8ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、結果として(8MHzｸﾘｽﾀﾙで)1.0MHzのｼｽﾃﾑ ｸﾛｯｸで出荷されます。既定ﾋｭｰｽﾞ設定はCKSEL=1110, SUT=01, CKDIV8=ﾌﾟﾛｸﾞﾗﾑ(0)です。この既定設定は全ての使用者が実装または並列書き込み器を使い、それらを希望したｸﾛｯｸ元設定にできることを保証します。

7.2.2. ｸﾛｯｸ起動手順

何れのｸﾛｯｸ元も発振を開始するための充分なVCCと、それが安定であると考えられるのに先立つ、最低発振周期数が必要です。

充分なVCCを保証するため、その他全てのﾘｾｯﾄ元によってﾃﾞﾊﾞｲｽ ﾘｾｯﾄが開放された後、ﾃﾞﾊﾞｲｽは起動遅延時間(t_{TOUT})の内部ﾘｾｯﾄを発生します。35頁の「**ｼｽﾃﾑ制御とﾘｾｯﾄ**」はこの内部ﾘｾｯﾄに対する起動条件を記述します。この遅延(t_{TOUT})はｳｫｯﾁﾄﾞｯｸﾞ発振器で計時され、遅延周期数はSUTとCKSELのﾋｭｰｽﾞによって設定されます。選択可能な遅延は**表7-2.**で示されます。271頁の「**代表特性**」で示されるようにｳｫｯﾁﾄﾞｯｸﾞ発振器の周波数は電圧に依存します。

表7-2. WDT発振器の代表計時完了値、周期数

VCC=3.0V	VCC=5.0V	周期数
0ms	0ms	0
4.3ms	4.1ms	512
69ms	65ms	8K (8192)

遅延の主な目的はAVRが最小VCCを印加されるまでAVRをﾘｾｯﾄに保つことです。この遅延は実電圧を監視しませんので、VCC上昇時間より長い遅延を選ぶことが必要とされるべきです。これが不可能な場合、内部または外部の低電圧検出回路(BOD)が使われるべきです。BOD回路がﾘｾｯﾄを開放する前に充分なVCCを保証するでしょうから、起動遅延時間は禁止され得ます。低電圧検出回路(BOD)なしでの起動遅延時間の禁止は推奨されません。

この発振器はｸﾛｯｸが安定と考えられるのに先立って最低ｸﾛｯｸ数を発振することを必要とされます。内部ﾘﾌﾟﾙ ｶｳﾝﾀは発振器の出力ｸﾛｯｸを監視し、与えられたｸﾛｯｸ周期数に対して内部ﾘｾｯﾄを活性(有効)に保ちます。このﾘｾｯﾄはその後に開放され、ﾃﾞﾊﾞｲｽが実行を開始します。推奨発振器起動時間はｸﾛｯｸ種別に依存し、外部的に印加されたｸﾛｯｸに対する6周期から、低周波数ｸﾘｽﾀﾙに対する32K周期まで変化します。

ｸﾛｯｸについての起動手順は計時完了遅延とﾃﾞﾊﾞｲｽがﾘｾｯﾄから起動する時の起動時間の両方を含みます。ﾊﾟﾜｰﾀﾞｳﾝまたはﾊﾟﾜｰｾｰﾌﾞから起動するとき、VCCは充分な電圧であると認識され、起動時間だけが含められます。

7.3. ｸﾘｽﾀﾙ用低電力発振器

XTAL1とXTAL2は図7-2.で示されるようにﾁｯﾌﾟ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。ｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子のどちらでも使えます。

この発振器はXTAL2出力上の電圧振幅を減少した低電力発振器です。これは最低消費電力を与えますが、他のｸﾛｯｸ入力を駆動する能力はなく、雑音が多い環境で、より雑音の影響を受け易くなります。これらの場合、表7-4.の注2.を参照してください。

C1とC2はｸﾘｽﾀﾙ発振子とｾﾗﾐｯｸ振動子の両方について常に等しくすべきです。このｺﾝﾃﾞﾝｻの最適値は使うｸﾘｽﾀﾙ発振子やｾﾗﾐｯｸ振動子、浮遊容量の量、その環境の電磁雑音に依存します。ｸﾘｽﾀﾙ発振子使用に対するｺﾝﾃﾞﾝｻ選択について初期の指針のいくつかは表7-3.で与えられます。ｾﾗﾐｯｸ振動子については製造業者によって与えられたｺﾝﾃﾞﾝｻ値が使われるべきです。

低電力発振器は示された周波数範囲で各々最適化された3つの異なる種別で動作できます。この動作種別は表7-3.で示されるようにCKSEL3～1ﾋｭｰｽﾞによって選ばれます。

CKSEL0ﾋｭｰｽﾞはSUT1,0ﾋｭｰｽﾞと共に表7-4.で示されるように起動時間を選びます。

図7-2. ｸﾘｽﾀﾙ発振子接続図

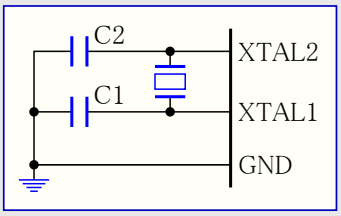


表7-3. ｸﾘｽﾀﾙ用低電力発振器動作種別

CKSEL3~1	周波数範囲	推奨C1,2容量
100（注1）	0.4～0.9MHz	－
101	0.9～3.0MHz	12～22pF
110	3.0～8.0MHz	12～22pF
111（注2）	8.0～16MHz	12～22pF

注: 周波数範囲は暫定値で実際値はTBDです。

注: 周波数が仕様(VCC依存)超の場合、CKDIV8=0が可能ですが、分周後ｸﾛｯｸが仕様内であることを保証せねばなりません。

注1: 本選択はｸﾘｽﾀﾙ発振子ではなく、ｾﾗﾐｯｸ振動子でのみ使われるべきです。

注2: ﾃﾞﾊﾞｲｽはこの選択で出荷されます。

表7-4. ｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子用低電力発振器起動遅延時間選択表

CKSEL0	SUT1,0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	0 0	258×CK （注1）	14×CK+4.1ms	外部ｾﾗﾐｯｸ振動子、高速上昇電源
	0 1	（注3） 258×CK （注1）	14×CK+65ms	外部ｾﾗﾐｯｸ振動子、低速上昇電源
	1 0	1K×CK （注2）	14×CK	外部ｾﾗﾐｯｸ振動子、低電圧検出(BOD)ﾘｾｯﾄ許可
	1 1	1K×CK （注2）	14×CK+4.1ms	外部ｾﾗﾐｯｸ振動子、高速上昇電源
1	0 0	1K×CK （注2）	14×CK+65ms	外部ｾﾗﾐｯｸ振動子、低速上昇電源
	0 1	16K×CK	14×CK	外部ｸﾘｽﾀﾙ発振子、低電圧検出(BOD)ﾘｾｯﾄ許可
	1 0	16K×CK	14×CK+4.1ms	外部ｸﾘｽﾀﾙ発振子、高速上昇電源
	1 1	16K×CK	14×CK+65ms	外部ｸﾘｽﾀﾙ発振子、低速上昇電源

注1: これらの選択はﾃﾞﾊﾞｲｽの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。これらの選択はｸﾘｽﾀﾙ発振子用ではありません。

注2: これらの選択はｾﾗﾐｯｸ振動子での使用を意図され、起動での周波数安定性を保証します。ﾃﾞﾊﾞｲｽの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はｸﾘｽﾀﾙ発振子も使えます。

注3: ﾃﾞﾊﾞｲｽはこの選択で出荷されます。

7.4. 低周波数ｸﾘｽﾀﾙ用発振器

このﾃﾞﾊﾞｲｽは専用の低周波数発振器によってｸﾛｯｸ元として時計用32.768kHzｸﾘｽﾀﾙを使えます。ｸﾘｽﾀﾙ発振子は図7-2.で示されるように接続されるべきです。この発振器が選ばれると、起動時間は表7-5.で示されるようにSUTﾋｭｰｽﾞとCKSEL0ﾋｭｰｽﾞによって決定されます。

表7-5. 低周波数ｸﾘｽﾀﾙ用発振器起動遅延時間選択表

CKSEL0	SUT1,0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	0 0	1K×CK （注1）	14×CK	低電圧検出(BOD)ﾘｾｯﾄ許可
	0 1	1K×CK （注1）	14×CK+4.1ms	高速上昇電源
	1 0	1K×CK （注1）	14×CK+65ms	低速上昇電源
	1 1	（予約）		
1	0 0	32K×CK	14×CK	低電圧検出(BOD)ﾘｾｯﾄ許可
	0 1	32K×CK	14×CK+4.1ms	高速上昇電源
	1 0	32K×CK	14×CK+65ms	低速上昇電源
	1 1	（予約）		

注1: これらの選択は応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。

7.5. 校正付き内蔵RC発振器 (訳注: 内容を新版対応に変更)

既定による校正された内蔵RC発振器は概ね8.0MHzのクロックを供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については267頁の**表31-6.**と279頁の「**校正付き内蔵RC発振器**」をご覧ください。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。より多くの詳細については28頁の「**システム クロック前置分周器**」をご覧ください。

このクロックは**表7-6.**で示されるようにCKSELヒューズのプログラミングによってシステム クロックとして選べます。選んだなら、外部部品なしで動作します。リセット中、ハードウェアが発振校正(OSCCAL)レジスタに予めプログラムされた校正値バイトを設定し、これによってRC発振器を自動的に校正します。この校正の精度は**表31-6.**で工場校正として示されます。

ソフトウェアからOSCCALレジスタを変更することによって(発振校正レジスタ(OSCCAL)参照)、工場校正を使うよりも高い精度を得ることができます。この校正の精度は**表31-6.**で使用者校正として示されます。

この発振器がチップ(システム)クロックとして使われるとき、ウォッチドッグ発振器は未だウォッチドッグ タイマとリセット付加遅延タイマに使われます。予め設定された校正値のより多くの情報については243頁の「**校正バイト**」項をご覧ください。

この発振器が選ばれると、起動時間は**表7-7.**で示されるようにSUTヒューズによって決定されます。

表7-6. 校正付き内蔵RC発振器動作種別

CKSEL3～0	周波数範囲 (MHz)
0 0 1 0	7.3～8.1

注: 周波数範囲は暫定値で実際の値はTBDです。

注: この8MHz周波数がデバイス仕様(VCCに依存)を越える場合、内部周波数を8分周するためにCKDIV8ヒューズをプログラム(0)にできます。

表7-7. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウン, パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK	低電圧検出リセット(BOD)許可
0 1	6×CK	14×CK+4.1ms	高速上昇電源
1 0	6×CK	14×CK+65ms	低速上昇電源
1 1	(予約)		

7.5.1. OSCCAL – 発振校正レジスタ (Oscillator Calibration Register)

ビット ($66)	7	6	5	4	3	2	1	0	
	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

• **ビット7~0 – CAL7~0 : 発振校正値** (Oscillator Calibration Value) (訳注: 内容を新版対応に変更)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使われます。チップのリセット中、267頁の**表31-6.**で指定されるように工場で校正された周波数を与える、予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は**表31-6.**で指定される周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュ メモリとEEPROMの書き込みアクセス時間に使われ、これらの書き込み時間はそれに応じて影響されることに注意してください。フラッシュ メモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュ メモリまたはEEPROM書き込みは失敗するかもしれません。

CAL7ビットは発振器に対する操作範囲を決めます。このビットの(0)設定は低周波数範囲になり、(1)設定は高周波数範囲になります。この2つの周波数範囲は重複し、別の言葉では、OSCCAL=$7F設定はOSCCAL=$80設定より高い周波数になります。

CAL6～0ビットは選んだ範囲内の周波数調整に使われます。$00設定はその範囲の最低周波数になり、$7F設定はその範囲の最高周波数になります。

7.6. 外部クロック信号

外部クロック元からデバイスを駆動するには、XTAL1が図7-3.で示されるように駆動されるべきです。外部クロックでデバイスを走行するためには、表7-1.で示されるようにCKSELヒューズがプログラム(設定)されなければなりません。

このクロック元が選ばれると、起動時間は表7-8.で示されるようにSUTヒューズによって決定されます。

図7-3. 外部クロック信号駆動接続図

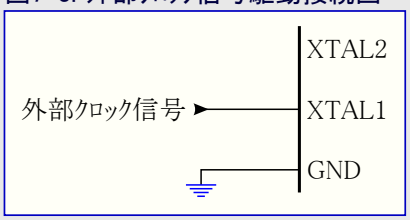


表7-8. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウン, パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4.1ms	高速上昇電源
1 0	6×CK	14×CK+65ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システム クロック前置分周器が安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使えることに注意してください。詳細については28頁の「システム クロック前置分周器」を参照してください。

7.7. クロック出力緩衝部 (外部クロック出力)

このデバイスはシステム クロックをCLKOピンに出力できます。この出力を許可するには、CKOUTヒューズがプログラム(0)されなければなりません。この動作はチップのクロックがシステム上の他の回路を駆動する時用です。このヒューズがプログラム(0)されると、I/Oピンの標準動作は無視され、このクロックはリセット中も出力されます。CLKOがクロック出力を扱うとき、校正付き内蔵RC発振器を含む何れのクロック元も選べます。システム クロック前置分周器が使われると、CKOUTヒューズがプログラム(0)された時の出力は分周したシステム クロックです。

7.8. タイマ/カウンタ用発振器

このデバイスは時計用32.768kHzクリスタルまたは外部クロック元でタイマ/カウンタ2を駆動できます。クリスタルの接続については25頁の図7-2.をご覧ください。

TOSC1に外部クロック元を印加するためには非同期状態レジスタ(ASSR)の外部クロック許可(EXCLK)ビットが論理1を書かれなければなりません。32kHzクリスタルに代わる入力として外部クロックを選ぶ更なる記述については110頁の「タイマ/カウンタ2の非同期動作」をご覧ください。

7.9. システム クロック前置分周器

Atmel AT90USB64/128はシステム クロック前置分周器を持ち、システム クロックはクロック前置分周レジスタ(CLKPR)の設定によって分周できます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使えます。これは全クロック種別で使え、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clk_{CPU},clk_{FLASH},$clk_{I/O}$,clk_{ADC}は**表7-9.**で示される値で分周されます。clk_{ASY}(非同期タイマ/カウンタ用クロック)のクロック周波数はタイマ/カウンタが同期クロックで駆動される場合だけ分周されることに注意してください(**訳注**:共通性のため本行追加)。

前置分周器設定間を切り替えるとき、システム クロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロック系で不具合が起きないことを保証します。

前置分周器として実行するリプル カウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2～T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

1. クロック分周値変更許可(CLKPCE)ビットに1、CLKPR内の他の全ビットに0を書きます。
2. (次からの)4周期以内にCLKPCEビットを0とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

7.9.1. CLKPR – クロック前置分周レジスタ (Clock Prescale Register)

ビット	7	6	5	4	3	2	1	0	
($61)	CLKPCE	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

• **ビット7 – CLKPCE : クロック分周値変更許可** (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するためにCLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれる時だけ更新されます。CLKPCEは書き込み後4クロック周期またはCLKPSビット書き込み時、ハードウェアによって解除(0)されます。この制限時間(4クロック周期)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(0)も行いません。

• **ビット3~0 – CLKPS3~0 : クロック分周値選択** (Clock Prescaler Select Bits 3～0)

これらのビットは選んだクロック元と内部システム クロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使われると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は**表7-9.**で与えられます。

CKDIV8ヒューズがCLKPSビットの初期値を決めます。CKDIV8が非プログラム(1)にされると、CLKPSビットは'0000'にリセットされます。CKDIV8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、この機能が使われるべきです。CKDIV8ヒューズ設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、充分な分周値が選ばれることを保証しなければなりません。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。

表7-9. クロック前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1	2	4	8	16	32	64	128	256	(予約)						

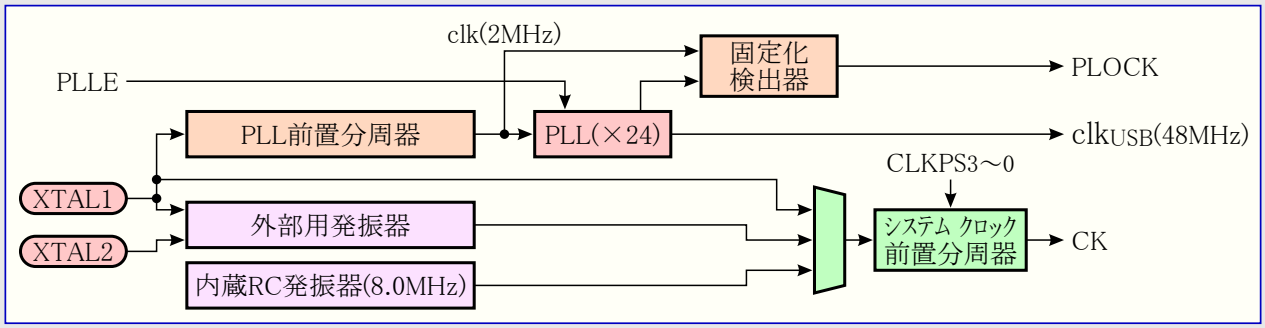
7.10. PLL

このPLLはUSBインターフェース用の内部高周波数(48MHz)の生成に使われ、PLL入力は外部低周波数(XTAL1ピンからの外部クロック入力またはクリスタル発振器)から生成されます。内蔵RC発振器はPLL動作に対して使えません。

7.10.1. USBインターフェース用内部PLL

Atmel AT90USB64/128の内部PLLは公称2MHz入力から24倍したクロック周波数を生成します。2MHzのPLL入力クロック元は、2MHzを生成する内部PLLクロック前置分周器の出力です(PLLインターフェースについては次項をご覧ください)。

図7-4. PLLクロック構成図



7.10.2. PLLCSR – PLL制御/状態レジスタ (PLL Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
$29 ($49)	–	–	–	PLLP2	PLLP1	PLLP0	PLLE	PLOCK	PLLCSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7～5 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット4～2 – PLLP2~0 : PLL前置分周選択 (PLL prescaler)

これらのビットはPLL用に2MHzの入力クロックを生成するためのPLL入力前置分周器設定を許します。

表7-10. PLL入力前置分周器選択

PLLP2	PLLP1	PLLP0	分周数	USB動作で必要な外部XTAL (MHz)
0	0	0	(予約)	–
0	0	1	(予約)	–
0	1	0	(予約)	–
0	1	1	4	8
1	0	0	(予約)	–
1	0	1	8	16 (注1)
1	1	0	8	16 (注2)
1	1	1	(予約)	–

注1: AT90USB128x専用。AT90USB64xで使わないでください。

注2: AT90USB64x専用。AT90USB128xで使わないでください。

• ビット1 – PLLE : PLL許可 (PLL Enable)

PLLEが設定(1)されると、PLLが起動されます。

• ビット0 – PLOCK : PLL固定化検出 (PLL Lock Detector)

PLOCKビットが設定(1)されると、PLLが基準クロックに固定化され、USBに対するclkUSB使用は安全です。PLL許可後、PLLが固定化するのに約100msかかります。

PLOCKビットを解除(0)するにはPLLEとPLLP2～0ビットを解除(0)してください。

8. 電力管理と休止形態

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

6つの休止形態の何れかへ移行するには休止形態制御ﾚｼﾞｽﾀ(SMCR)の休止許可(SE)ﾋﾞｯﾄが論理1を書かれ、SLEEP命令が実行されなければなりません。SMCRの休止種別選択(SM2～0)ﾋﾞｯﾄはSLEEP命令によって活性(有効)にされる休止形態(ｱｲﾄﾞﾙ、A/D変換雑音低減、ﾊﾟﾜｰﾀﾞｳﾝ、ﾊﾟﾜｰｾｰﾌﾞ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲ)のどれかを選びます。一覧については**表8-1.**をご覧ください。MCUが休止形態中に許可した割り込みが起こると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みﾙｰﾁﾝを実行し、そしてSLEEP命令の次の命令から実行を再開します。ﾃﾞﾊﾞｲｽが休止から起動するとき、ﾚｼﾞｽﾀ ﾌｧｲﾙとSRAMの内容は変えられません。休止形態中にﾘｾｯﾄが起こると、MCUは起動し、ﾘｾｯﾄ ﾍﾞｸﾀから実行します。

23頁の**図7-1.**はAtmel AT90USB64/128の各種ｸﾛｯｸ系統とその配給を示します。この図は適切な休止形態を選ぶ助けになります。

8.0.1. SMCR – 休止形態制御ﾚｼﾞｽﾀ (Sleep Mode Control Register)

この休止形態制御ﾚｼﾞｽﾀは電力管理用の制御ﾋﾞｯﾄを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$33 ($53)	–	–	–	–	SM2	SM1	SM0	SE	SMCR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ3～1 – SM2～0 : 休止種別選択** (Sleep Mode Select Bit 2, 1 and 0)

これらのﾋﾞｯﾄは**表8-1.**で示される利用可能な6つの休止形態の1つを選びます。

表8-1. 休止形態種別選択

SM2	SM1	SM0	休止形態種別
0	0	0	ｱｲﾄﾞﾙ動作
0	0	1	A/D変換雑音低減動作
0	1	0	ﾊﾟﾜｰﾀﾞｳﾝ動作
0	1	1	ﾊﾟﾜｰｾｰﾌﾞ動作
1	0	0	(予約)
1	0	1	(予約)
1	1	0	ｽﾀﾝﾊﾞｲ動作 (注)
1	1	1	拡張ｽﾀﾝﾊﾞｲ動作 (注)

注: (拡張)ｽﾀﾝﾊﾞｲ動作は外部ｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子での使用だけが推奨されます。

• **ﾋﾞｯﾄ0 – SE : 休止許可** (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ﾋﾞｯﾄが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ﾋﾞｯﾄを設定(1)し、起動後直ちに解除(0)することが推奨されます。

8.1. ｱｲﾄﾞﾙ動作

休止種別選択(SM2～0)ﾋﾞｯﾄが'000'を書かれるとき、SLEEP命令はMCUをｱｲﾄﾞﾙ動作へ移行させ、CPUを停止しますが、USB、SPI、USART、ｱﾅﾛｸﾞ比較器、A/D変換器、2線直列ｲﾝﾀｰﾌｪｰｽ、ﾀｲﾏ/ｶｳﾝﾀ、ｳｫｯﾁﾄﾞｯｸﾞ、割り込み機構の継続動作を許します。この休止形態は基本的にclk_{CPU}とclk_{FLASH}を停止する一方、他のｸﾛｯｸに走行を許します。

ｱｲﾄﾞﾙ動作はMCUにﾀｲﾏ溢れやUSARTの送信完了などの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。ｱﾅﾛｸﾞ比較器割り込みからの起動が必要とされないなら、ｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)のｱﾅﾛｸﾞ比較器禁止(ACD)ﾋﾞｯﾄを設定(1)することによってｱﾅﾛｸﾞ比較器を電源断にできます。これはｱｲﾄﾞﾙ動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

8.2. A/D変換雑音低減動作

SM2～0ﾋﾞｯﾄが'001'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、2線直列ｲﾝﾀｰﾌｪｰｽのｱﾄﾞﾚｽ監視、ﾀｲﾏ/ｶｳﾝﾀ2、ｳｫｯﾁﾄﾞｯｸﾞの(許可されていれば)継続動作を許します。この休止形態は基本的に$clk_{I/O}$, clk_{CPU}, clk_{FLASH}を停止する一方、(clk_{USB}を含む)他のｸﾛｯｸに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、本動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部ﾘｾｯﾄ、ｳｫｯﾁﾄﾞｯｸﾞ ｼｽﾃﾑ ﾘｾｯﾄ、ｳｫｯﾁﾄﾞｯｸﾞ割り込み、低電圧検出(BOD)ﾘｾｯﾄ、2線直列ｲﾝﾀｰﾌｪｰｽのｱﾄﾞﾚｽ一致割り込み、ﾀｲﾏ/ｶｳﾝﾀ2の割り込み、SPM/EEPROM操作可割り込み、INT7～4の外部ﾚﾍﾞﾙ割り込み、ﾋﾟﾝ変化割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

8.3. パワーダウン動作

休止種別選択(SM2～0)ビットが'010'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では外部発振器が停止される一方、外部割り込み、2線直列インターフェースのアドレス監視、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグ リセット、低電圧検出(BOD)リセット、2線直列インターフェースのアドレス一致割り込み、INT7～4の外部レベル割り込み、INT3～0の外部割り込み、ピン変化割り込み、USB非同期割り込み元(VBUSTI、WAKEUPI、IDTIとHWUPI)だけがMCUを起動できます。この休止形態は基本的に生成した全てのクロックを停止し、非同期部の動作だけを許します。

レベルで起動した割り込みがパワーダウン動作からの復帰に使われる場合、MCUを起動するためには変更したレベルが一定時間保持されなければならないことに注意してください。詳細については43頁の「**外部割り込み**」を参照してください。

パワーダウン動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをクロックに許します。この起動(遅延)時間は23頁の「**クロック元**」で記述されるように、リセット遅延時間を定義するのと同じCKSELヒューズによって定義されます。

8.4. パワーセーブ動作

SM2～0ビットが'011'を書かれると、SLEEP命令はMCUをパワーセーブ動作へ移行させます。この動作は(次の)1つの例外を除いてパワーダウン動作と同じです。

タイマ/カウンタ2が許可される場合、それらは休止中も走行(動作)を維持します。ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、タイマ/カウンタ2割り込み許可レジスタ(TIMSK2)のタイマ/カウンタ2溢れ割り込み許可(TOIE2)ビットまたは比較x割り込み許可(OCIE2x)ビットが設定(1)されるなら、デバイスは対応するどの割り込みからでも起動できます。

タイマ/カウンタ2が走行(動作)しないなら、パワーダウン動作をパワーセーブ動作の代わりにすることが推奨されます。

タイマ/カウンタ2はパワーセーブ動作で同期と非同期の両方でクロック駆動ができます。タイマ/カウンタ2が非同期クロックを使わない場合、休止中、タイマ/カウンタ用発振器は停止されます。タイマ/カウンタ2が同期クロックを使わない場合、休止中、そのクロック元は停止されます。例えパワーセーブ動作で同期クロックが走行しても、このクロックはタイマ/カウンタ2に対してだけ利用可能なことに注意してください。

8.5. スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選ばれ、SM2～0ビットが'110'のとき、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は(外部クリスタル用)発振器が走行(動作)を保たれる例外を除いてパワーダウン動作と同じです。デバイスはスタンバイ動作から6クロック周期で起動します。スタンバイ動作ではPLLが禁止され、USBインターフェースが機能しないことに注意してください。

8.6. 拡張スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選ばれ、SM2～0ビットが'111'のとき、SLEEP命令はMCUを拡張スタンバイ動作へ移行させます。この動作は(外部クリスタル用)発振器が走行(動作)を保たれる例外を除いてパワーセーブ動作と同じです。デバイスは拡張スタンバイ動作から6クロック周期で起動します。

表8-2. 各休止形態に於ける動作クロック範囲と復帰起動要因

休止種別	動作クロック範囲					動作発振器		復帰起動要因 (割り込み)								
	clk CPU	clk FLASH	clk IO	clk ADC	clk ASY	主クロック供給元	タイマ用発振器	INTnピン変化割り込み	TWIアドレス一致	タイマ/カウンタ2	SPM EEP-ROM操作可	A/D変換完了	ウォッチドッグ	USB同期系	USB非同期系	その他I/O
アイドル			○	○	○	○	②	○	○	○	○	○	○	○	④	○
A/D変換雑音低減				○	○	○	②	③	○	②	○	○	○	○	④	
パワーダウン								③	○				○		④	
パワーセーブ					○		②	③	○	○			○		④	
スタンバイ(注1)						○		③	○				○		④	
拡張スタンバイ(注1)					②	○	②	③	○	○			○		④	

注1: クロック元として外部クリスタル発振子またはセラミック振動子が選ばれた場合だけの推奨です。

② タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期クロック(AS2)ビットが設定(1)された場合です。

③ INT7～4についてはレベル割り込みだけです。

④ USB非同期系割り込みはVBUSTI、WAKEUPI、IDTI、HWUPIです。

8.7. 電力削減

電力削減ﾚｼﾞｽﾀ(PRRn)は消費電力を削減するために個別周辺機能へのｸﾛｯｸを停止する方法を提供します。周辺機能は現状で固定化され、I/Oﾚｼﾞｽﾀは読み込みも書き込みもできません。ｸﾛｯｸを停止している時に周辺機能により使われていた資源は占有されたままなので、その周辺機能は殆どの場合、ｸﾛｯｸを停止する前に禁止されるべきです。周辺機能部の起動は電力削減ﾚｼﾞｽﾀ(PRRn)のﾋﾞｯﾄを解除(0)することによって行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力の削減のために活動動作とｱｲﾄﾞﾙ動作で使えます。その他の休止形態ではｸﾛｯｸが予め停止されます。

8.7.1. PRR0 – 電力削減ﾚｼﾞｽﾀ0 (Power Reduction Register 0)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($64)	PRTWI	PRTIM2	PRTIM0	–	PRTIM1	PRSPI	–	PRADC	PRR0
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – PRTWI : 2線直列ｲﾝﾀｰﾌｪｰｽ電力削減** (Power Reduction TWI)

このﾋﾞｯﾄへの1書き込みはその部分へのｸﾛｯｸ停止によって2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を停止します。TWIの再起動時、TWIは正しい動作を保証するために再初期化されるべきです。

• **ﾋﾞｯﾄ6 – PRTIM2 : ﾀｲﾏ/ｶｳﾝﾀ2電力削減** (Power Reduction Timer/Counter2)

このﾋﾞｯﾄへの1書き込みは同期動作(非同期動作許可(AS2)=0)でのﾀｲﾏ/ｶｳﾝﾀ2部を停止します。ﾀｲﾏ/ｶｳﾝﾀ2が許可されると、停止前と同様に動作は継続します。

• **ﾋﾞｯﾄ5 – PRTIM0 : ﾀｲﾏ/ｶｳﾝﾀ0電力削減** (Power Reduction Timer/Counter0)

このﾋﾞｯﾄへの1書き込みはﾀｲﾏ/ｶｳﾝﾀ0部を停止します。ﾀｲﾏ/ｶｳﾝﾀ0が許可されると、停止前と同様に動作は継続します。

• **ﾋﾞｯﾄ4 – Res : 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ3 – PRTIM1 : ﾀｲﾏ/ｶｳﾝﾀ1電力削減** (Power Reduction Timer/Counter1)

このﾋﾞｯﾄへの1書き込みはﾀｲﾏ/ｶｳﾝﾀ1部を停止します。ﾀｲﾏ/ｶｳﾝﾀ1が許可されると、停止前と同様に動作は継続します。

• **ﾋﾞｯﾄ2 – PRSPI : 直列周辺ｲﾝﾀｰﾌｪｰｽ電力削減** (Power Reduction Serial Peripheral Interface)

このﾋﾞｯﾄへの1書き込みはその部分へのｸﾛｯｸ停止によって直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)を停止します。SPIの再起動時、SPIは正しい動作を保証するために再初期化されるべきです。

• **ﾋﾞｯﾄ1 – Res : 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ0 – PRADC : A/D変換器電力削減** (Power Reduction ADC)

このﾋﾞｯﾄへの1書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、ｱﾅﾛｸﾞ比較器はADC入力切替器を使えません。

注: ｱﾅﾛｸﾞ比較器は209頁の「**ACSR – ｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ**」のｱﾅﾛｸﾞ比較器禁止(ACD)ﾋﾞｯﾄを使って禁止されます。(訳注:共通性から本注追加)

8.7.2. PRR1 – 電力削減ﾚｼﾞｽﾀ1 (Power Reduction Register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($65)	PRUSB	–	–	–	PRTIM3	–	–	PRUSART	PRR1
Read/Write	R/W	R	R	R	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – PRUSB : USB電力削減** (Power Reduction USB)

このﾋﾞｯﾄへの1書き込みはその部分へのｸﾛｯｸ停止によってUSBを停止します。USBの再起動時、USBは正しい動作を保証するために再初期化されるべきです。

• **ﾋﾞｯﾄ6~4 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ3 – PRTIM3 : ﾀｲﾏ/ｶｳﾝﾀ3電力削減** (Power Reduction Timer/Counter3)

このﾋﾞｯﾄへの1書き込みはﾀｲﾏ/ｶｳﾝﾀ3部を停止します。ﾀｲﾏ/ｶｳﾝﾀ3が許可されると、停止前と同様に動作は継続します。

• **ﾋﾞｯﾄ2,1 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ0 – PRUSART : USART電力削減** (Power Reduction USART)

このﾋﾞｯﾄへの1書き込みはその部分へのｸﾛｯｸ停止によってUSARTを停止します。USARTの再起動時、USARTは正しい動作を保証するために再初期化されるべきです。

8.8. 消費電力の最小化

これらはAVRが制御するｼｽﾃﾑで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するﾃﾞﾊﾞｲｽの機能が可能な限り少なくなるように選ばれるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

8.8.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電するため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については211頁の「**A/D変換器**」を参照してください。

8.8.2. ｱﾅﾛｸﾞ比較器

ｱｲﾄﾞﾙ動作へ移行するとき、ｱﾅﾛｸﾞ比較器は使われないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、ｱﾅﾛｸﾞ比較器は禁止されるべきです。その他の休止形態でのｱﾅﾛｸﾞ比較器は自動的に禁止されます。しかしｱﾅﾛｸﾞ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でｱﾅﾛｸﾞ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。ｱﾅﾛｸﾞ比較器設定法の詳細については209頁の「**ｱﾅﾛｸﾞ比較器**」を参照してください。

8.8.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODLEVELﾋｭｰｽﾞによって許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については36頁の「**低電圧検出 (BOD)**」を参照してください。

8.8.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、ｱﾅﾛｸﾞ比較器、A/D変換器によって必要とされる時に許可されます。これら単位部が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。起動時間の詳細については37頁の「**内部基準電圧**」を参照してください。

8.8.5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが応用で必要とされないなら、この単位部はOFFにされるべきです。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定法の詳細については38頁の「**ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ**」を参照してください。

8.8.6. ﾎﾟｰﾄ ﾋﾟﾝ

休止形態へ移行するとき、全てのﾎﾟｰﾄ ﾋﾟﾝは最小電力使用に設定されるべきです。最も重要なことはその時にﾋﾟﾝが抵抗性負荷を駆動しないのを保証することです。I/Oｸﾛｯｸ($clk_{I/O}$)とA/D変換ｸﾛｯｸ(clk_{ADC})の両方が停止される休止形態ではﾃﾞﾊﾞｲｽの入力緩衝器が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのﾋﾟﾝが許可されるかの詳細については48頁の「**ﾃﾞｼﾞﾀﾙ入力許可と休止形態**」を参照してください。入力緩衝器が許可され、入力信号が浮いている状態のままか、またはｱﾅﾛｸﾞ信号電圧がVCC/2付近の場合、入力緩衝器は過大な電力を消費するでしょう。

ｱﾅﾛｸﾞ入力ﾋﾟﾝに対するﾃﾞｼﾞﾀﾙ入力緩衝器は常に禁止されるべきです。入力ﾋﾟﾝでのVCC/2付近のｱﾅﾛｸﾞ信号入力は活動動作でも重要な電流を引き起こし得ます。ﾃﾞｼﾞﾀﾙ入力緩衝器はﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ(DIDR0,DIDR1)の書き込みによって禁止できます。詳細については210頁の「**DIDR1 – ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ1**」、220頁の「**DIDR0 – ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ0**」を参照してください。

8.8.7. JTAGｲﾝﾀｰﾌｪｰｽと内蔵ﾃﾞﾊﾞｯｸﾞ機能 (OCD)

内蔵ﾃﾞﾊﾞｯｸﾞ機能がOCDENﾋｭｰｽﾞによって許可され、ﾁｯﾌﾟがﾊﾟﾜｰﾀﾞｳﾝまたはﾊﾟﾜｰｾｰﾌﾞの休止形態へ移行すると、主ｸﾛｯｸ元は許可に留まります。これらの休止形態では、これが総消費電流にとって重要な一因になります。これを避けるには3通りの方法があります。

- OCDENﾋｭｰｽﾞを禁止 (非ﾌﾟﾛｸﾞﾗﾑ(1)設定)
- JTAGENﾋｭｰｽﾞを禁止 (非ﾌﾟﾛｸﾞﾗﾑ(1)設定)
- MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAG禁止(JTD)ﾋﾞｯﾄへの1書き込み

9. システム制御とリセット

9.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセット ベクタから実行を開始します。リセット ベクタに配置される命令は、きっとリセット処理ルーチンへのJMP(絶対分岐)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラム コードが配置できます。これはリセット ベクタが応用領域の一方、割り込みベクタがブート領域の場合やその逆も同様です。図9-1.の回路構成図はリセット論理回路を示します。表9-1.はリセット回路の電気的特性を定義します。

AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。

全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間はSUTヒューズとCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は23頁の「クロック元」で示されます。

9.2. リセット元

Atmel AT90USB64/128には次の5つのリセット元があります。

- **電源ONリセット** ・・・・・ 供給電圧が電源ONリセット閾値電圧(V_{POT})以下でMCUがリセットされます。
- **外部リセット** ・・・・・・・・ $\overline{\text{RESET}}$ピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- **ウォッチドッグ リセット** ・・・ ウォッチドッグが許可され、ウォッチドッグ タイマが終了すると、MCUがリセットされます。
- **低電圧リセット** ・・・・・・ 低電圧検出が許可され、供給電圧(VCC)が低電圧検出電圧(V_{BOT})以下でMCUがリセットされます。
- **JTAG AVR リセット** ・・ JTAGシステムの走査チェーンの1つとしてリセット レジスタ内に論理1がある間中、MCUがリセットされます。詳細については225頁の「IEEE 1149.1 (JTAG) 境界走査」を参照してください。

図9-1. リセット回路構成

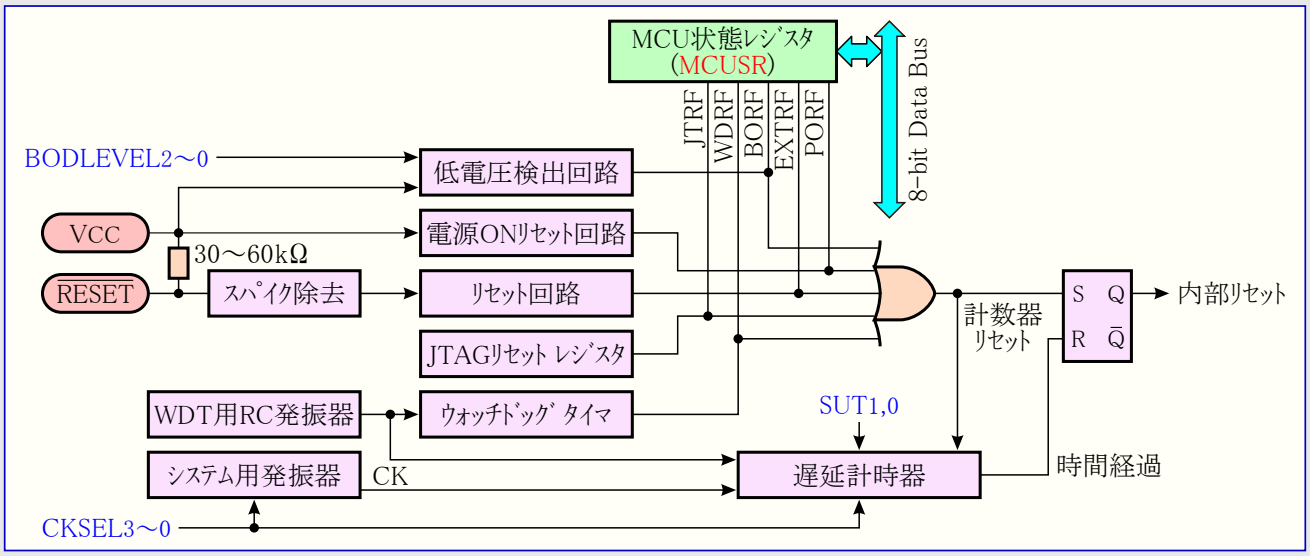


表9-1. リセット電気的特性

シンボル	項目	条件	最小	代表	最大	単位
V_{POT}	上昇時電源ONリセット閾値電圧			1.4	2.3	V
	下降時電源ONリセット閾値電圧 (注1)			1.3	2.3	
V_{POR}	内部電源ONリセット信号保証のVCC開始電圧		-0.1		0.1	
V_{CCRR}	内部電源ONリセット信号保証のVCC上昇率		0.3			V/ms
V_{RST}	$\overline{\text{RESET}}$ピン閾値電圧		0.2VCC		0.85VCC	V
t_{RST}	$\overline{\text{RESET}}$ピンでの最小パルス幅	VCC=5V,25℃		400		ns

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

9.3. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は表9-1.で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

電源ONリセット回路はVCCがV_{CCRR}よりも高い上昇率でV_{POR}から開始された場合にデバイスが電源投入から正しくリセットされることを保証します。電源ONリセット閾値電圧(V_{POT})への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図9-2. 内蔵電源ONリセット (RESETはVCCに接続)

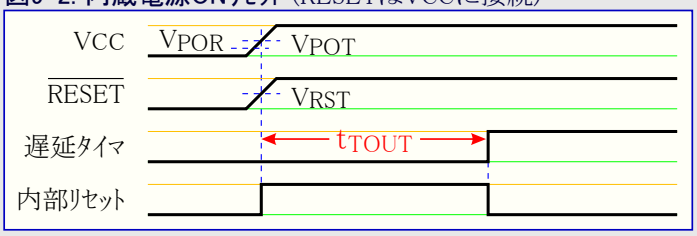
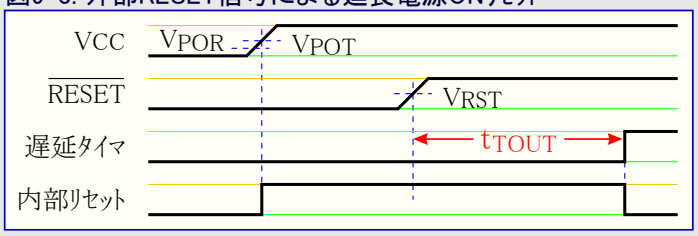


図9-3. 外部RESET信号による延長電源ONリセット

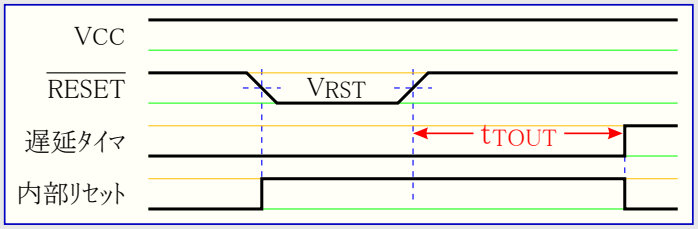


注: V_{POR}またはV_{CCRR}パラメータ範囲に従えない場合、外部リセットが必要とされます。

9.4. 外部リセット

外部リセットは$\overline{RESET}$ピンのLowレベルによって生成されます。例えクロックが動いていなくても、最小パルス幅(表9-1.参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセットの生成が保証されません。印加された信号の上昇がリセット閾値電圧(V_{RST})に達すると(遅延タイマが起動され)、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

図9-4. 動作中の外部リセット



9.5. 低電圧(ブラウンアウト)検出リセット

本デバイスには固定化された起動(検出)電圧と比較することによって動作中のVCCを監視するチップ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELヒューズによって選べます。起動電圧はスパイク対策BODを保証するためにヒステリシスを持ちます。検出電圧のヒステリシスは$V_{BOT+}=V_{BOT+}+V_{HYST}/2$、$V_{BOT-}=V_{BOT-}-V_{HYST}/2$と解釈すべきです。

BODが許可され、VCCが起動電圧以下の値に下降すると(図9-5.のV_{BOT-})、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図9-5.のV_{BOT+})、(遅延タイマが起動されて)遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

BOD回路は電圧が表9-3.で与えられるt_{BOD}時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

図9-5. 動作中の低電圧検出リセット

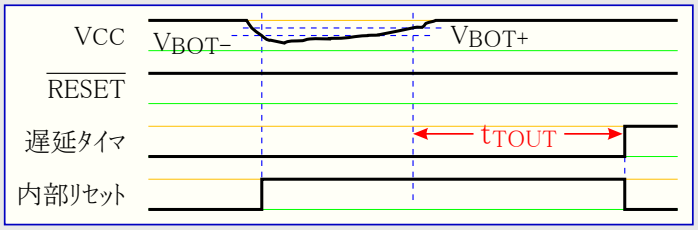


表9-2. BODLEVELヒューズ (V_{BOT}) 設定 (注1)

BODLEVEL 2～0	000	001	010	011	100	101	110	111
最大	4.5	3.7	3.6	2.8	(予約)			低電圧検出(BOD)リセット禁止
代表	4.3	3.5	3.4	2.6				
最小	4.1	3.3	3.2	2.4				
単位	V							

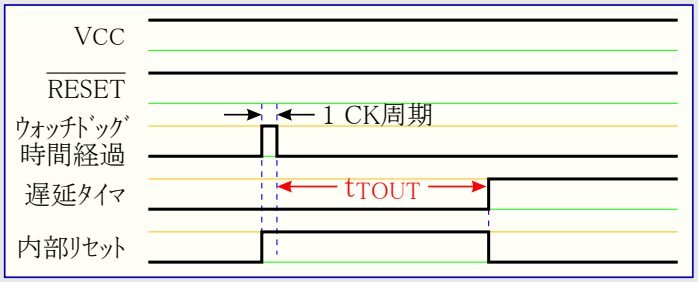
表9-3. 低電圧検出(BOD)特性

シンボル	項目	最小	代表	最大	単位
V_{HYST}	低電圧検出ヒステリシス電圧		50		mV
t_{BOD}	最小低電圧検出時間		TBD		µs
I_{BOD}	低電圧検出器消費電流		25		µA

9.6. ウォッチドッグ リセット

ウォッチドッグ時間経過時、(内部的に)1 CK周期幅の短いリセット パルスを生成します。本パルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ タイマ操作の詳細については38頁を参照してください。

図9-6. 動作中のウォッチドッグ リセット



9.6.1. MCUSR – MCU状態ﾚｼﾞｽﾀ (MCU Status Register)

MCU状態ﾚｼﾞｽﾀは、どのﾘｾｯﾄ元がMCUﾘｾｯﾄを起こしたかの情報を提供します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$34 ($54)	–	–	–	JTRF	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

• **ﾋﾞｯﾄ4 – JTRF : JTAG ﾘｾｯﾄ ﾌﾗｸﾞ** (JTAG Reset Flag)

このﾋﾞｯﾄはﾘｾｯﾄがJTAG命令AVR_RESETで選ばれたJTAG ﾘｾｯﾄ ﾚｼﾞｽﾀ内の論理1によって引き起こされると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたは、このﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

• **ﾋﾞｯﾄ3 – WDRF : ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ** (Watchdog Reset Flag)

このﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄが起こると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたは、このﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

• **ﾋﾞｯﾄ2 – BORF : 低電圧ﾘｾｯﾄ ﾌﾗｸﾞ** (Brown-Out Reset Flag)

このﾋﾞｯﾄは低電圧ﾘｾｯﾄが起こると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたは、このﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

• **ﾋﾞｯﾄ1 – EXTRF : 外部ﾘｾｯﾄ ﾌﾗｸﾞ** (External Reset Flag)

このﾋﾞｯﾄは外部ﾘｾｯﾄが起こると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたは、このﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

• **ﾋﾞｯﾄ0 – PORF : 電源ONﾘｾｯﾄ ﾌﾗｸﾞ** (Power-on Reset Flag)

このﾋﾞｯﾄは電源ONﾘｾｯﾄが起こると設定(1)されます。このﾋﾞｯﾄはこのﾌﾗｸﾞへの論理0書き込みによってのみﾘｾｯﾄ(0)されます。

ﾘｾｯﾄ条件の確認にﾘｾｯﾄ ﾌﾗｸﾞを使うため、使用者はﾌﾟﾛｸﾞﾗﾑ内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のﾘｾｯﾄが起こる前にこのﾚｼﾞｽﾀが解除(0)されると、そのﾘｾｯﾄ元はﾘｾｯﾄ ﾌﾗｸﾞを調べることによって得られます。

9.7. 内部基準電圧

Atmel AT90USB64/128は内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やｱﾅﾛｸﾞ比較器の入力としても使えます。

9.7.1. 基準電圧許可信号と起動時間

この基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は**表9-4.**で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出ﾘｾｯﾄ許可時 (BODLEVELﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)により)
2. ｱﾅﾛｸﾞ比較器基準電圧接続時 (ｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)の基準電圧入力選択(ACBG)=1)
3. A/D変換部動作許可時 (A/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はｱﾅﾛｸﾞ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。ﾊﾟﾜｰﾀﾞｳﾝ動作での消費電力を減らすため、使用者はﾊﾟﾜｰﾀﾞｳﾝ動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

表9-4. 内部基準電圧特性

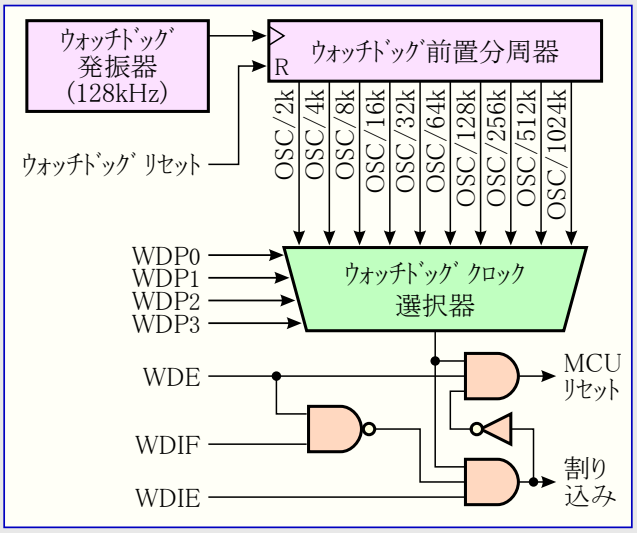
ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
V_{BG}	基準電圧	TBD	1.0	1.1	1.2	V
t_{BG}	起動時間			40	70	µs
I_{BG}	消費電流			10		µA

9.8. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

Atmel AT90USB64/128には強化されたｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)があります。主な機能を次に示します。

- 独立した内蔵発振器からのｸﾛｯｸ駆動
- 3つの動作種別
  - 割り込み
  - ｼｽﾃﾑ ﾘｾｯﾄ
  - 割り込みとｼｽﾃﾑ ﾘｾｯﾄ
- 選択可能な16ms～8sの計時完了時間
- 安全動作用のｳｫｯﾁﾄﾞｯｸﾞ常時ONﾊｰﾄﾞｳｪｱ ﾋｭｰｽﾞ

図9-7. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ構成図



ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)はﾁｯﾌﾟ上の独立した128kHz発振器の間隔で計時するﾀｲﾏです。WDTは計数器が与えられた計時完了値に達した時に割り込みまたはｼｽﾃﾑ ﾘｾｯﾄを与えます。通常動作では計時完了値へ達する前に計数器を再始動するために、ｼｽﾃﾑがｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ(WDR)命令を使う必要があります。ｼｽﾃﾑが計数器を再始動しなければ、割り込みまたはｼｽﾃﾑ ﾘｾｯﾄが起こるでしょう。

割り込み動作種別では、ﾀｲﾏ計時完了時にWDTが割り込みを生じます。この割り込みは休止形態からﾃﾞﾊﾞｲｽを起動するためや、一般的なｼｽﾃﾑ ﾀｲﾏとしても使えます。1つの例は或る動作に対して許された最大時間を制限することで、その動作が予測されたより長く走行する時に割り込みを生じます。ｼｽﾃﾑ ﾘｾｯﾄ動作種別ではﾀｲﾏ計時完了時にWDTがﾘｾｯﾄを生じます。これは一般的にｺｰﾄﾞ外走行の場合の中断を防止するのに使われます。3つ目の動作種別は先に割り込みを生じ、その後にｼｽﾃﾑ ﾘｾｯﾄ動作種別に切り替えることで、他の2つの動作種別の組み合わせとなる、割り込み及びｼｽﾃﾑ ﾘｾｯﾄ動作種別です。この動作種別は例えばｼｽﾃﾑ ﾘｾｯﾄに先立って重要なﾊﾟﾗﾒｰﾀを保存することによって安全な停止を許します。

ｳｫｯﾁﾄﾞｯｸﾞ常時ON(WDTON)ﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏをｼｽﾃﾑ ﾘｾｯﾄ動作種別に強制します。このﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)でｼｽﾃﾑ ﾘｾｯﾄ動作(WDE)ﾋﾞｯﾄと割り込み動作(WDIE)ﾋﾞｯﾄは各々、'1'と'0'に固定されます。

更にﾌﾟﾛｸﾞﾗﾑ保護を保証するためにｳｫｯﾁﾄﾞｯｸﾞ設定の変更は時間制限手順に従わなければなりません。ｼｽﾃﾑ ﾘｾｯﾄ許可(WDE)の解除と計時完了時間設定の変更についての手順は次のとおりです。

1. 同じ操作(命令)でｳｫｯﾁﾄﾞｯｸﾞ変更許可(WDCE)とWDEに論理1を書きます。WDEﾋﾞｯﾄの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4ｸﾛｯｸ周期内に同じ操作(命令)で欲したWDEとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択(WDP3～0)ﾋﾞｯﾄを書きますが、WDCEﾋﾞｯﾄは解除(0)されてです。これは1操作(命令)で行わなければなりません。

次のｺｰﾄﾞ例はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏをOFFに切り替えるｱｾﾝﾌﾞﾘ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WDT_OFF:    CLI                                     ;全割り込み禁止
            WDR                                     ;ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ
            IN      R16, MCUSR                      ;MCUSR値を取得
            ANDI    R16, ~(1<<WDRF)                 ;WDRF論理0値を取得
            OUT     MCUSR, R16                      ;ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ(WDRF)解除
            LDS     R16, WDTCSR                     ;現WDTCSR値を取得(他ﾋﾞｯﾄ保護用)
            ORI     R16, (1<<WDCE)|(1<<WDE)         ;WDCEとWDE論理1値を設定
            STS     WDTCSR, R16                     ;WDCEとWDEに論理1書き込み
            LDI     R16, (0<<WDE)                   ;WDE論理0値を取得
            STS     WDTCSR, R16                     ;ｳｫｯﾁﾄﾞｯｸﾞ禁止
            SEI                                     ;全割り込み許可
            RET                                     ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void WDT_off(void)
{
    __disable_interrupt();                          /* 全割り込み禁止 */
    __watchdog_reset();                             /* ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ */
    MCUSR &= ~(1<<WDRF);                            /* ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ(WDRF)解除 */
    WDTCSR |= (1<<WDCE)|(1<<WDE);                   /* WDCEとWDEに論理1書き込み */
    WDTCSR = 0x00;                                  /* ｳｫｯﾁﾄﾞｯｸﾞ禁止 */
    __enable_interrupt();                           /* 全割り込み許可 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

注: ｳｫｯﾁﾄﾞｯｸﾞが偶然に許可されると(例えばﾎﾟｲﾝﾀの逸脱や低電圧(ﾌﾞﾗｳﾝｱｳﾄ)状態)、ﾃﾞﾊﾞｲｽはﾘｾｯﾄし、ｳｫｯﾁﾄﾞｯｸﾞは許可に留まります。ｺｰﾄﾞがｳｫｯﾁﾄﾞｯｸﾞ操作の初期設定をしなければ、これは計時完了の無限繰り返しを引き起こすかもしれません。この状態を避けるため、応用ｿﾌﾄｳｪｱは例えｳｫｯﾁﾄﾞｯｸﾞが使われなくても、初期化ﾙｰﾁﾝでWDRFﾌﾗｸﾞとWDE制御ﾋﾞｯﾄを常に解除(0)すべきです。

次のｺｰﾄﾞ例はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの計時完了値変更用のｱｾﾝﾌﾞﾘ言語とC言語の関数を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WDT_PRS:    CLI                                     ;全割り込み禁止
            WDR                                     ;ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ
            LDS     R16, WDTCSR                     ;現WDTCSR値を取得(他ﾋﾞｯﾄ保護用)
            ORI     R16, (1<<WDCE)|(1<<WDE)         ;WDCEとWDE論理1値を設定
            STS     WDTCSR, R16                     ;WDCEとWDEに論理1書き込み
            LDI     R16, (1<<WDE)|(1<<WDP2)|(1<<WDP0)  ;WDE=1,計時間隔=0.5s値を取得
            STS     WDTCSR, R16                     ;0.5s監視間隔ﾘｾｯﾄ動作開始
            SEI                                     ;全割り込み許可
            RET                                     ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void WDT_off(void)
{
    __disable_interrupt();                          /* 全割り込み禁止 */
    __watchdog_reset();                             /* ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ */
    WDTCSR |= (1<<WDCE)|(1<<WDE);                   /* WDCEとWDEに論理1書き込み */
    WDTCSR = (1<<WDE)|(1<<WDP2)|(1<<WDP0);          /* 0.5s監視間隔ﾘｾｯﾄ動作開始 */
    __enable_interrupt();                           /* 全割り込み許可 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

注: ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択(WDP3～0)ﾋﾞｯﾄの変更がより短い計時完了周期に変わってしまう結果になり得るため、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏはWDPﾋﾞｯﾄのどんな変更にも先立ってﾘｾｯﾄ(WDR命令)されるべきです。

9.8.1. WDTCSR – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ (Watchdog Timer Control Register)

ﾋﾞｯﾄ ($60)	7	6	5	4	3	2	1	0	
	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

• **ﾋﾞｯﾄ7 – WDIF : ｳｫｯﾁﾄﾞｯｸﾞ割り込み要求ﾌﾗｸﾞ** (Watchdog Interrupt Flag)

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが割り込みに設定され、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏで計時完了が起こると、本ﾋﾞｯﾄが設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、WDIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにWDIFはこのﾌﾗｸﾞへの論理1書き込みによっても解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとｳｫｯﾁﾄﾞｯｸﾞ割り込み許可(WDIE)が設定(1)されていれば、ｳｫｯﾁﾄﾞｯｸﾞ計時完了割り込みが実行されます。

• **ﾋﾞｯﾄ6 – WDIE : ｳｫｯﾁﾄﾞｯｸﾞ割り込み許可** (Watchdog Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ｳｫｯﾁﾄﾞｯｸﾞ割り込みが許可されます。この設定(=1)との組み合わせでｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ許可(WDE)ﾋﾞｯﾄが解除(0)されると、割り込み動作種別になり、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏで計時完了が起こると、対応する割り込みが実行されます。

WDEが設定(1)されると、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは割り込み及びｼｽﾃﾑ ﾘｾｯﾄ動作種別になります。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏでの最初の計時完了がｳｫｯﾁﾄﾞｯｸﾞ割り込み要求(WDIF)ﾌﾗｸﾞを設定(1)します。対応する割り込みﾍﾞｸﾀの実行はﾊｰﾄﾞｳｪｱによってWDIEとWDIFを自動的に解除(0)します(ｳｫｯﾁﾄﾞｯｸﾞはｼｽﾃﾑ ﾘｾｯﾄ動作になります)。これは割り込みを使う間のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ保護を維持するのに有用です。割り込み及びｼｽﾃﾑ ﾘｾｯﾄ動作種別に留まるには、各割り込み後にWDIEが設定(1)されなければなりません。然しながら、ｳｫｯﾁﾄﾞｯｸﾞ ｼｽﾃﾑ ﾘｾｯﾄ動作種別の安全機能に危険を及ぼすかもしれないため、これは割り込み処理ﾙｰﾁﾝ自身内で行われるべきではありません。次の計時完了に先立って割り込みが実行されない場合、ｼｽﾃﾑ ﾘｾｯﾄが適用(実行)されます。

表9-5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定

WDTON	WDE	WDIE	動作種別	計時完了での動作
1	0	0	停止	なし
1	0	1	割り込み	割り込み
1	1	0	ｼｽﾃﾑ ﾘｾｯﾄ	ﾘｾｯﾄ
1	1	1	割り込み及びｼｽﾃﾑ ﾘｾｯﾄ	割り込み、その後ｼｽﾃﾑ ﾘｾｯﾄ動作種別
0	x	x	ｼｽﾃﾑ ﾘｾｯﾄ	ﾘｾｯﾄ

(訳注)
左表のWDTONﾋｭｰｽﾞ値はﾌﾟﾛｸﾞﾗﾑ=0, 非ﾌﾟﾛｸﾞﾗﾑ=1で表記しています。従って原書の表と逆論理になっています。

• **ﾋﾞｯﾄ4 – WDCE : ｳｫｯﾁﾄﾞｯｸﾞ変更許可** (Watchdog Change Enable)

このﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ許可(WDE)と前置分周器ﾋﾞｯﾄの変更用の時間制限手順で使われます。WDEﾋﾞｯﾄの解除(0)や前置分周器ﾋﾞｯﾄ変更のため、WDCEは設定(1)されなければなりません。
一旦1を書かれると、4ｸﾛｯｸ周期後にﾊｰﾄﾞｳｪｱがWDCEを解除(0)します。

• **ﾋﾞｯﾄ3 – WDE : ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ許可** (Watchdog System Reset Enable)

WDEはMCU状態ﾚｼﾞｽﾀ(MCUSR)のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ(WDRF)によって無効にされます。これはWDRFが設定(1)されると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するにはWDRFが先に解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数ﾘｾｯﾄと失敗後の安全な起動を保証します。

• **ﾋﾞｯﾄ5,2~0 – WDP3~0 : ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択** (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3～0ﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが走行する時のｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの前置分周を決めます。各種前置分周値と対応する計時完了周期は表9-6.で示されます。

表9-6. ｳｫｯﾁﾄﾞｯｸﾞ前置分周選択

WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

10. 割り込み

本章はAtmel AT90USB64/128によって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については9頁の「リセットと割り込みの扱い」を参照してください。

10.1. AT90USB64/128の割り込みベクタ

表10-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス (注2)	発生元	備考
1	$0000 (注1)	リセット	電源ON, WDT, BOD等の各種リセット
2	$0002	INT0	外部割り込み要求0
3	$0004	INT1	外部割り込み要求1
4	$0006	INT2	外部割り込み要求2
5	$0008	INT3	外部割り込み要求3
6	$000A	INT4	外部割り込み要求4
7	$000C	INT5	外部割り込み要求5
8	$000E	INT6	外部割り込み要求6
9	$0010	INT7	外部割り込み要求7
10	$0012	PCINT0 (PCI0)	ピン変化0群割り込み要求
11	$0014	USB一般	USB一般割り込み要求
12	$0016	USBエンドポイント/パイプ	USBエンドポイント/パイプ割り込み要求
13	$0018	ウォッチドッグ WDT	ウォッチドッグ計時完了
14	$001A	タイマ/カウンタ2 COMPA	タイマ/カウンタ2比較A一致
15	$001C	タイマ/カウンタ2 COMPB	タイマ/カウンタ2比較B一致
16	$001E	タイマ/カウンタ2 OVF	タイマ/カウンタ2溢れ
17	$0020	タイマ/カウンタ1 CAPT	タイマ/カウンタ1捕獲発生
18	$0022	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
19	$0024	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
20	$0026	タイマ/カウンタ1 COMPC	タイマ/カウンタ1比較C一致
21	$0028	タイマ/カウンタ1 OVF	タイマ/カウンタ1溢れ
22	$002A	タイマ/カウンタ0 COMPA	タイマ/カウンタ0比較A一致
23	$002C	タイマ/カウンタ0 COMPB	タイマ/カウンタ0比較B一致
24	$002E	タイマ/カウンタ0 OVF	タイマ/カウンタ0溢れ
25	$0030	SPI STC	SPI 転送完了
26	$0032	USART RX	USART 受信完了
27	$0034	USART UDRE	USART 送信緩衝部空き
28	$0036	USART TX	USART 送信完了
29	$0038	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
30	$003A	A/D変換器 ADC	A/D変換完了
31	$003C	EEPROM EE_RDY	EEPROM 操作可
32	$003E	タイマ/カウンタ3 CAPT	タイマ/カウンタ3捕獲発生
33	$0040	タイマ/カウンタ3 COMPA	タイマ/カウンタ3比較A一致
34	$0042	タイマ/カウンタ3 COMPB	タイマ/カウンタ3比較B一致
35	$0044	タイマ/カウンタ3 COMPC	タイマ/カウンタ3比較C一致
36	$0046	タイマ/カウンタ3 OVF	タイマ/カウンタ3溢れ
37	$0048	2線直列インターフェース TWI	2線直列インターフェース状態変化
38	$004A	SPM命令 SPM_RDY	SPM命令操作可

注1: BOOTRSTヒューズがプログラム(0)されると、デバイスはリセットでブート ローダ アドレスへ飛びます。230頁の「ブート ローダ支援 – 書き込み中読み出し可能な自己プログラミング」をご覧ください。

注2: MCU制御レジスタ(MCUCR)の割り込みベクタ選択(IVSEL)ビットが設定(1)されると、割り込みベクタはブート フラッシュ領域先頭(部)へ移動されます。そして各割り込みベクタのアドレスは、この表のアドレスがブート フラッシュ領域の先頭アドレスに加算されます。

表10-2.はBOOTRST(ヒューズ)とIVSEL(割り込みベクタ選択ビット)の様々な組み合わせに対するリセットと割り込みベクタの配置を示します。プログラムが決して割り込み元を許可しないのなら、割り込みベクタは使われず、これらの位置に通常のプログラム コードを置けます。これはリセット ベクタが応用領域の一方、割り込みベクタがブート領域、またはその逆の場合でも同様です。

表10-2. リセットと割り込みベクタの配置

BOOTRST	IVSEL	リセット ベクタ アドレス	割り込みベクタ先頭アドレス
非プログラム(1)	0	$0000	$0002
	1	$0000	ブート領域先頭アドレス＋$0002
プログラム(0)	0	ブート領域先頭アドレス	$0002
	1	ブート領域先頭アドレス	ブート領域先頭アドレス＋$0002

注: ブート領域先頭アドレスは240頁の表29-8.で示されます。

10.1.1. 応用領域とブート領域間の割り込みベクタ移動

MCU制御レジスタ(MCUCR)は割り込みベクタ表の配置を制御します。

10.1.2. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$35 ($55)	JTD	–	–	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ1 – IVSEL : 割り込みﾍﾞｸﾀ選択** (Interrupt Vector Select)

IVSELﾋﾞｯﾄが解除(0)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭ ﾒﾓﾘの先頭に配置されます。このﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄ ﾛｰﾀﾞ領域の始まりへ移動されます。ﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭の実際のｱﾄﾞﾚｽはBOOTSZﾋｭｰｽﾞによって決定されます。詳細については230頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」章を参照してください。割り込みﾍﾞｸﾀ表の予期せぬ変更を防ぐため、IVSELﾋﾞｯﾄの変更は特別な書き込み手順に従わなければなりません。

1. 割り込みﾍﾞｸﾀ変更許可(IVCE)ﾋﾞｯﾄに1を書きます。
2. 4周期内に、欲した値をIVSELに書き、同時に0をIVCEへ書きます。

この手順が実行される間、割り込みは自動的に禁止されます。割り込みはIVCEが設定(1)される周期で禁止され、後続のIVSELに書く命令の後まで禁止されたままです。IVSELが書かれなければ、割り込みは4周期間禁止されたままです。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄはこの自動禁止によって影響されません。

注: 割り込みﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域に配置され、BLB02ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、応用領域から実行する間中、割り込みが禁止されます。割り込みﾍﾞｸﾀが応用領域に配置され、BLB12ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾌﾞｰﾄ ﾛｰﾀﾞ領域から実行する間中、割り込みが禁止されます。ﾌﾞｰﾄ施錠ﾋﾞｯﾄの詳細については230頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」を参照してください。

• **ﾋﾞｯﾄ0 – IVCE : 割り込みﾍﾞｸﾀ変更許可** (Interrupt Vector Change Enable)

IVCEﾋﾞｯﾄは割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄの変更を許可するために論理1を書かれなければなりません。IVCEはIVSELが書かれる時、またはIVCEが書かれた後の4周期後、ﾊｰﾄﾞｳｪｱによって解除(0)されます。上記IVSELで説明されるようにIVCEﾋﾞｯﾄの設定(1)は割り込みを(一時的に)禁止します。以下のｺｰﾄﾞ例をご覧ください。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
MOVE_IVT:   IN      R16,MCUCR          ;現MCUCR値取得
            MOV     R17,R16            ;現MCUCR値複写
            ORI     R16,(1<<IVCE)      ;IVCE論理1値を取得
            OUT     MCUCR,R16          ;IVCEに論理1書き込み
            ORI     R17,(1<<IVSEL)     ;IVSEL論理1値を取得
            OUT     MCUCR,R17          ;ﾌﾞｰﾄ領域へ割り込みﾍﾞｸﾀを移動
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void Move_interrupts(void)
{
    uchr temp;                         /* 一時定数定義 */
    temp = MCUCR;                      /* 現MCUCR値取得 */
    MCUCR = temp|(1<<IVCE);            /* IVCEに論理1書き込み */
    MCUCR = temp|(1<<IVSEL);           /* ﾌﾞｰﾄ領域へ割り込みﾍﾞｸﾀを移動 */
}
```

11. 外部割り込み

外部割り込みはINT7～0ﾋﾟﾝまたはPCINT0～7ﾋﾟﾝの何れかによって起動されます。許可したなら、例えINT7～0またはPCINT0～7ﾋﾟﾝが出力として設定されても、割り込みが起動することに注目してください。この特徴はｿﾌﾄｳｪｱ割り込みの生成方法を提供します。

ﾋﾟﾝ変化割り込みPCI0は許可したPCINT0～7の何れかが切り替わると起動します。ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ0(PCMSK0)は、どのﾋﾟﾝがﾋﾟﾝ変化割り込み要因となるかを制御します。PCINT0～7のﾋﾟﾝ変化割り込みは非同期に検知されます。これはそれらの割り込みがｱｲﾄﾞﾙ動作以外の休止形態からもﾃﾞﾊﾞｲｽを起動するのに使えることを意味します。

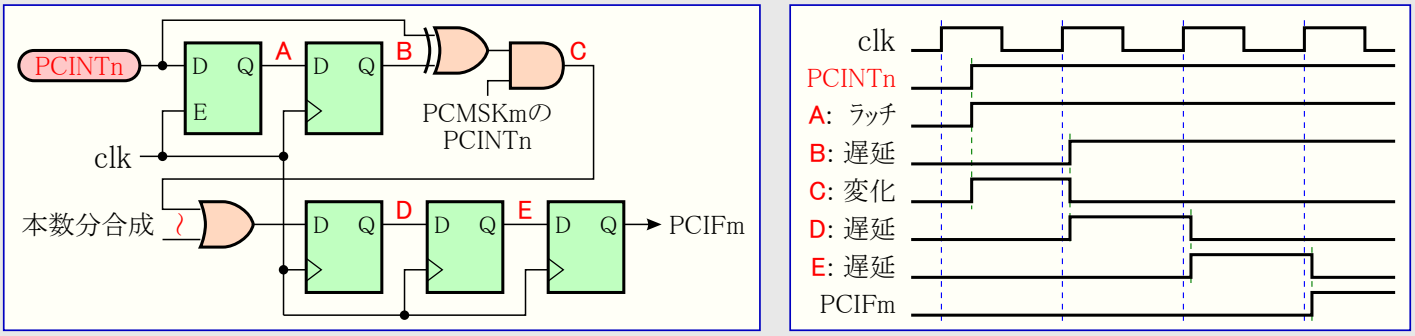
INT7～0割り込みは上昇端または下降端(含む両端)、またはLowﾚﾍﾞﾙによって起動できます。これは外部割り込み制御ﾚｼﾞｽﾀ(EICRA(INT3～0)とEICRB(INT7～4))の詳述で示される設定です。外部割り込みがﾚﾍﾞﾙ起動として設定かつ許可されると、そのﾋﾟﾝがLowに保持される限り、割り込みは(継続的に)起動します。INT7～4の上昇端または下降端割り込みの認知は23頁の「**ｸﾛｯｸ系統とその配給**」で記述されるI/Oｸﾛｯｸの存在を必要とすることに注意してください。Lowﾚﾍﾞﾙ割り込みとINT3～0の端(ｴｯｼﾞ)割り込みは非同期に検知されます。これはそれらの割り込みがｱｲﾄﾞﾙ動作以外の休止形態からもﾃﾞﾊﾞｲｽを起動するのに使えることを意味します。I/Oｸﾛｯｸはｱｲﾄﾞﾙ動作を除く全休止形態で停止されます。

ﾚﾍﾞﾙ起動割り込みがﾊﾟﾜｰﾀﾞｳﾝ動作からの起動に使われる場合、この必要としたﾚﾍﾞﾙはﾚﾍﾞﾙ割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このﾚﾍﾞﾙが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は23頁の「**ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択**」で示されるようにSUTﾋｭｰｽﾞとCKSELﾋｭｰｽﾞで定義されます。

11.1. ﾋﾟﾝ変化割り込みﾀｲﾐﾝｸﾞ (訳注:共通性から本項追加)

ﾋﾟﾝ変化割り込みの例は**図11-1.**で示されます。

図11-1. ﾋﾟﾝ変化割り込みﾀｲﾐﾝｸﾞ



11.1.1. EICRA – 外部割り込み制御ﾚｼﾞｽﾀA (External Interrupt Control Register A)

外部割り込み制御ﾚｼﾞｽﾀAは割り込み条件制御ﾋﾞｯﾄを含みます。

ﾋﾞｯﾄ ($69)	7	6	5	4	3	2	1	0	
	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	EICRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～0 – ISC31,0～ISC01,0 : 外部割り込み3～0条件制御** (External Interrupt3～0 Sense Control Bits)

外部割り込み3～0はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の対応する割り込み許可ﾋﾞｯﾄが設定(1)される場合のINT3～0外部ﾋﾟﾝによって活性(有効)にされます。割り込みを活性にする外部INT3～0ﾋﾟﾝの端(ｴｯｼﾞ)とﾚﾍﾞﾙは**表11-1.**で定義されます。INT3～0の端は非同期に記録されます。**表11-2.**で与えられた最小ﾊﾟﾙｽ幅より広いINT3～0のﾊﾟﾙｽは割り込みを生成します。より短いﾊﾟﾙｽは割り込みの発生が保証されません。Lowﾚﾍﾞﾙ割り込みが選ばれる場合、Lowﾚﾍﾞﾙは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。許可したなら、ﾚﾍﾞﾙで起動する割り込みはそのﾋﾟﾝがLowを保持される限り、割り込み要求を(連続的に)生成します。ISCnﾋﾞｯﾄ変更時、割り込みが起き得ます。従って最初にEIMSKの割り込み許可ﾋﾞｯﾄを解除(0)することでINTn割り込みを禁止することが推奨されます。その後ISCnﾋﾞｯﾄは変更できます。最後にINTn割り込み要求ﾌﾗｸﾞは割り込みが再び許可される前に外部割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(EIFR)の外部割り込みn要求(INTFn)ﾌﾗｸﾞに論理1を書くことにより解除(0)されるべきです。

表11-1. 外部割り込み3～0 割り込み条件

ISCn1	ISCn0	割り込み発生条件
0	0	INTnﾋﾟﾝのLowﾚﾍﾞﾙ
0	1	INTnﾋﾟﾝの論理変化(両端)
1	0	INTnﾋﾟﾝの下降端
1	1	INTnﾋﾟﾝの上昇端

注: n=3～0
ISCn1,0ﾋﾞｯﾄ変更時、割り込みはEIMSKで割り込み許可ﾋﾞｯﾄの解除(0)によって禁止されなければなりません。さもなければﾋﾞｯﾄが変更される時に割り込みが起き得ます。

表11-2. 非同期外部割り込み特性

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
t_{INT}	非同期外部割り込み最小ﾊﾟﾙｽ幅		50		ns

11.1.2. EICRB – 外部割り込み制御ﾚｼﾞｽﾀB (External Interrupt Control Register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6A)	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40	EICRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～0 – ISC71,0～ISC41,0 : 外部割り込み7～4条件制御** (External Interrupt7～4 Sense Control Bits)

外部割り込み7～4はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の対応する割り込み許可ﾋﾞｯﾄが設定(1)される場合のINT7～4外部ﾋﾟﾝによって活性(有効)にされます。割り込みを活性にする外部INT7～4ﾋﾟﾝの端(ｴｯｼﾞ)とﾚﾍﾞﾙは**表11-3.**で定義されます。INT7～4ﾋﾟﾝの値は端検知前に採取されています。端または論理変化割り込みが選ばれる場合、1ｸﾛｯｸ周期より長く留まるﾊﾟﾙｽは割り込みを生成します。より短いﾊﾟﾙｽは割り込みの発生が保証されません。ｼｽﾃﾑ ｸﾛｯｸ前置分周器が許可される場合、CPUｸﾛｯｸ周波数がXTAL周波数より低くできることを考慮してください。Lowﾚﾍﾞﾙ割り込みが選ばれる場合、Lowﾚﾍﾞﾙは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。許可したなら、ﾚﾍﾞﾙで起動する割り込みはそのﾋﾟﾝがLowを保持される限り割り込み要求を(連続的に)生成します。

表11-3. 外部割り込み7～4 割り込み条件

ISCn1	ISCn0	割り込み発生条件
0	0	INTnﾋﾟﾝのLowﾚﾍﾞﾙ
0	1	INTnﾋﾟﾝの論理変化(両端)
1	0	INTnﾋﾟﾝの下降端
1	1	INTnﾋﾟﾝの上昇端

注: n=7～4
ISCn1,0ﾋﾞｯﾄ変更時、割り込みはEIMSKで割り込み許可ﾋﾞｯﾄの解除(0)によって禁止されなければなりません。さもなければﾋﾞｯﾄが変更される時に割り込みが起き得ます。

11.1.3. EIMSK – 外部割り込み許可ﾚｼﾞｽﾀ (External Interrupt Mask Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1D ($3D)	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0	EIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～0 – INT7～INT0 : 外部割り込み7～0許可** (External Interrupt Request 7～0 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、INT7～0ﾋﾞｯﾄが1を書かれると、対応する外部ﾋﾟﾝ割り込みが許可されます。外部割り込み制御ﾚｼﾞｽﾀ(EICRAとEICRB)の割り込み条件制御n(ISCn1,ISCn0)ﾋﾞｯﾄは、その外部割り込みが上昇端、下降端、両端、またはLowﾚﾍﾞﾙのどれで活性(有効)にされるかを定義します。例えそのﾋﾟﾝが出力として設定されても、そのﾋﾟﾝの動きは割り込み要求を引き起こします。これはｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。

11.1.4. EIFR – 外部割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (External Interrupt Flag Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1C ($3C)	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0	EIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～0 – INTF7～INTF0 : 外部割り込み7～0要求ﾌﾗｸﾞ** (External Interrupt Flag7～0)

INT7～0ﾋﾟﾝ上の端(ｴｯｼﾞ)または論理変化が割り込み要求を起動すると、INTF7～0が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の対応する割り込み許可(INT7～0)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込みﾙｰﾁﾝが実行されると解除(0)されます。代わりにこのﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。INT7～0がﾚﾍﾞﾙ割り込みとして設定されると、このﾌﾗｸﾞは常に解除(0)されます。INT3～0割り込み禁止で休止形態へ移行すると、これらのﾋﾟﾝの入力緩衝部が禁止されることに注意してください。これはINTF3～0ﾌﾗｸﾞを設定(1)する内部信号の論理変化を起こすかもしれません。より多くの情報については48頁の「**ﾃﾞｼﾞﾀﾙ入力許可と休止形態**」をご覧ください。

11.1.5. PCICR – ﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ (Pin Change Interrupt Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($68)	–	–	–	–	–	–	–	PCIE0	PCICR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～1 – Res : 予約** (Reserved) (**訳注**:共通性から本項追加)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ0 – PCIE0 : ﾋﾟﾝ変化0群割り込み許可** (Pin Change Interrupt Enable 0)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、PCIE0ﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝ変化割り込み0が許可されます。許可したPCINT0～7ﾋﾟﾝの何れかの変化が割り込みを起こします。このﾋﾟﾝ変化割り込み要求に対応する割り込みはPCI0割り込みﾍﾞｸﾀから実行されます。PCINT0～7ﾋﾟﾝはﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ0(PCMSK0)によって個別に許可されます。

11.1.6. PCIFR – ﾋﾟﾝ変化割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Pin Change Interrupt Flag Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1B ($3B)	–	–	–	–	–	–	–	PCIF0	PCIFR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～1 – Res : 予約** (Reserved) (**訳注**:共通性から本項追加)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ0 – PCIF0 : ﾋﾟﾝ変化0群割り込み要求ﾌﾗｸﾞ** (Pin Change Interrupt Flag 0)

PCINT0～7ﾋﾟﾝの何れかの論理変化が割り込み要求を起動すると、PCIF0が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のﾋﾟﾝ変化0群割り込み許可(PCIE0)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが開始されると解除(0)されます。代わりにこのﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。

11.1.7. PCMSK0 – ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ0 (Pin Change Enable Mask 0～7)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6B)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～0 – PCINT7～PCINT0 : ﾋﾟﾝ変化割り込み7～0許可** (Pin Change Enable Mask 7～0)

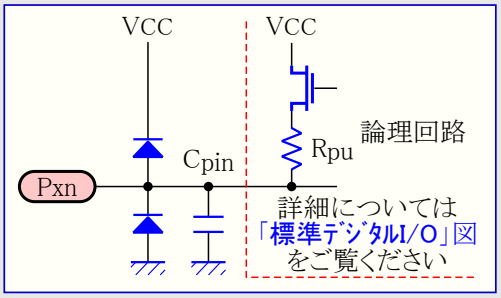
各PCINT0～7ﾋﾞｯﾄは対応するI/Oﾋﾟﾝでﾋﾟﾝ変化割り込みが許可されるかどうかを選びます。PCINT0～7とﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のPCIE0が設定(1)なら、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みが許可されます。PCINT0～7が解除(0)されると、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みは禁止されます。

12. 入出力ポート

12.1. 序説

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード モディファイ ライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方向をも無意識に変更することなく、1つのポート ピンの方向を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)プルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)の両能力で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに充分な強さです。全てのポート ピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図12-1.で示されるようにVCCとGNDの両方に保護ダイオードがあります。各値の完全な一覧については263頁の「**電気的特性**」を参照してください。

図12-1. 入出力ピン等価回路



本章内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使う時は正確な形式(例えば、ここで一般に記されたPORTxnがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は61頁の「**I/Oポート用レジスタ**」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PINx)の各ポートに対して、3つI/Oメモリ アドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

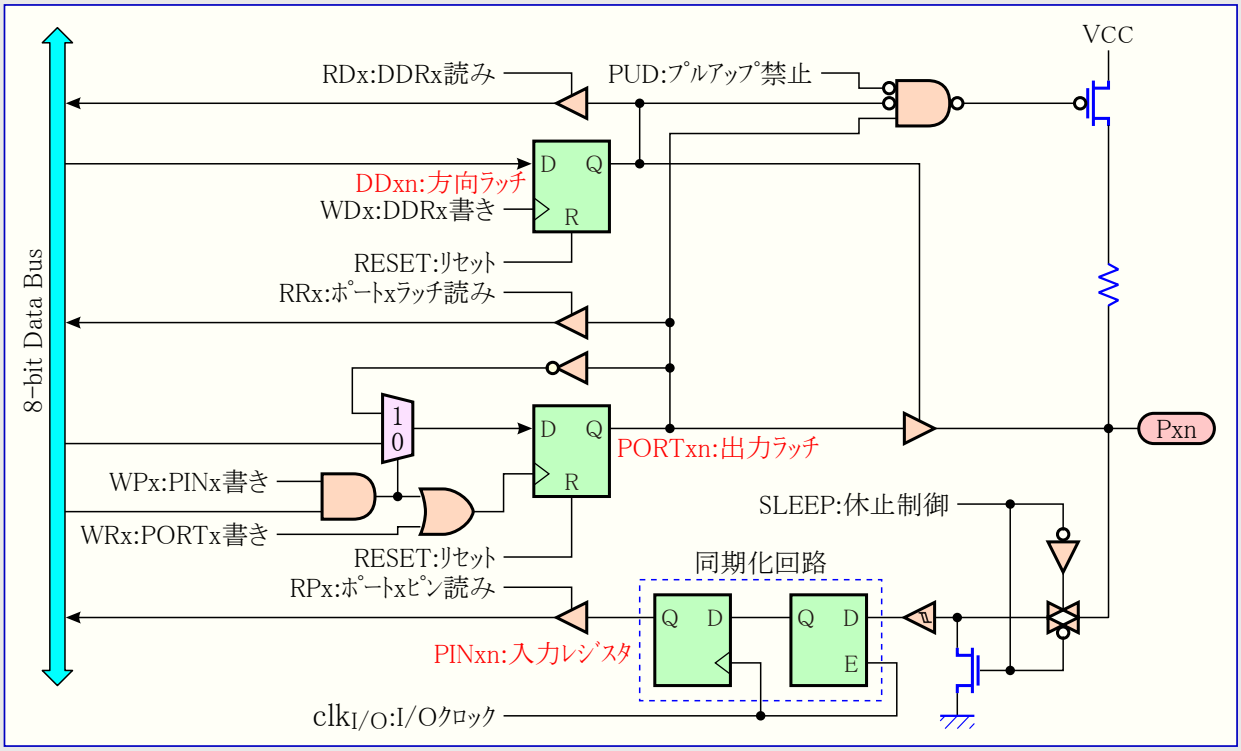
標準デジタルI/OとしてのI/Oポートの使用は次の「**標準デジタル入出力としてのポート**」で記述されます。多くのポート ピンはデバイスの周辺機能用の交換機能と多重化されます。ポート ピンとの各交換機能のインターフェース法は49頁の「**交換ポート機能**」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

ポート ピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

12.2. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図12-2.はここで属にPxnと呼ばれるI/Oポート ピンの1つの機能説明を示します。

図12-2. 標準デジタル入出力回路構成



注: WRx, WPx WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O,SLEEP, PUDは全ポートで共通です。

12.2.1. ﾋﾟﾝの設定

各ﾎﾟｰﾄ ﾋﾟﾝは3つのﾚｼﾞｽﾀ ﾋﾞｯﾄDDxn、PORTxn、PINxnから成ります。61頁の「I/Oﾎﾟｰﾄ用ﾚｼﾞｽﾀ」で示されるように、DDxnﾋﾞｯﾄはDDRx I/Oｱﾄﾞﾚｽ、PORTxnﾋﾞｯﾄはPORTx I/Oｱﾄﾞﾚｽ、PINxﾋﾞｯﾄはPINx I/Oｱﾄﾞﾚｽでｱｸｾｽされます。

DDRxﾚｼﾞｽﾀ内のDDxnﾋﾞｯﾄはそのﾋﾟﾝの方向を選びます。DDxnが論理1を書かれるとPxnは出力ﾋﾟﾝとして設定されます。DDxnが論理0を書かれるとPxnは入力ﾋﾟﾝとして設定されます。

そのﾋﾟﾝが入力ﾋﾟﾝとして設定される時にPORTxnが論理1を書かれると、ﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)にされます。ﾌﾟﾙｱｯﾌﾟ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのﾋﾟﾝが出力ﾋﾟﾝとして設定されなければなりません。ﾎﾟｰﾄ ﾋﾟﾝは例えｸﾛｯｸが動いていなくても、ﾘｾｯﾄ条件が活性(有効)になるとHi-Zにされます。

そのﾋﾟﾝが出力ﾋﾟﾝとして設定される時にPORTxnが論理1を書かれると、そのﾎﾟｰﾄ ﾋﾟﾝはHigh(1)に駆動されます。そのﾋﾟﾝが出力ﾋﾟﾝとして設定される時にPORTxnが論理0を書かれると、そのﾎﾟｰﾄ ﾋﾟﾝはLow(0)に駆動されます。

12.2.2. ﾋﾟﾝの出力交互切り替え

PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えします。SBI命令がﾎﾟｰﾄ内の1ﾋﾞｯﾄの反転切り替えに使えることに注目してください。

12.2.3. 入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、ﾌﾟﾙｱｯﾌﾟ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高ｲﾝﾋﾟｰﾀﾞﾝｽ環境は強力なHigh(吐き出し)駆動部とﾌﾟﾙｱｯﾌﾟ間の違いに気付かないので、ﾌﾟﾙｱｯﾌﾟが許可された状態は十分受け入れられます。この事例でないなら、全ﾎﾟｰﾄの全ﾌﾟﾙｱｯﾌﾟを禁止するために、MCU制御ﾚｼﾞｽﾀ(MCUCR)のﾌﾟﾙｱｯﾌﾟ禁止(PUD)ﾋﾞｯﾄが設定(1)できます。

ﾌﾟﾙｱｯﾌﾟ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

表12-1.はﾋﾟﾝ値に対する制御信号の一覧を示します。

表12-1. ﾎﾟｰﾄ ﾋﾟﾝの設定

DDxn	PORTxn	PUD (MCUCR)	入出力	ﾌﾟﾙｱｯﾌﾟ抵抗	備考
0	0	X	入力	なし	高ｲﾝﾋﾟｰﾀﾞﾝｽ (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高ｲﾝﾋﾟｰﾀﾞﾝｽ (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

12.2.4. ﾋﾟﾝ値の読み込み

DDxn方向ﾋﾞｯﾄの設定に関係なく、ﾎﾟｰﾄ ﾋﾟﾝはPINxnﾚｼﾞｽﾀ ﾋﾞｯﾄを通して読めます。図12-2.で示されるようにPINxnﾚｼﾞｽﾀ ﾋﾞｯﾄと先行するﾗｯﾁは同期化回路を構成します。これは物理ﾋﾟﾝが内部ｸﾛｯｸの端(ｴｯｼﾞ)付近で値を変える場合の未定義状態(ﾒﾀ ｽﾃｰﾌﾞﾙ)を避けるために必要とされますが、それは遅延も持ち込みます。図12-3.は外部的に加えられたﾋﾟﾝ値を読む時の同期化ﾀｲﾐﾝｸﾞ図を示します。伝播遅延の最小と最大は各々$t_{pd,min}$と$t_{pd,max}$で示されます。

(図12-3.で)ｼｽﾃﾑ ｸﾛｯｸの最初の下降端直後から始まるｸﾛｯｸ周期を考察してください。このﾗｯﾁはｸﾛｯｸがLowの時に閉じ、ｸﾛｯｸがHighの時に同期ﾗｯﾁ信号の斜線部分で示されるように通過(ﾄﾗﾝｽﾊﾟｱﾚﾝﾄ)となります。この信号値はｼｽﾃﾑ ｸﾛｯｸがLowになる時に保持(ﾗｯﾁ)されます。それが続くｸﾛｯｸの上昇端でPINxnﾚｼﾞｽﾀに取り込まれます。2つの矢印$t_{pd,min}$と$t_{pd,max}$によって示されるように、ﾋﾟﾝ上の単一信号遷移は出現時点に依存して0.5～1.5ｼｽﾃﾑ ｸﾛｯｸ周期遅らされます。

ｿﾌﾄｳｪｱが指定したﾋﾟﾝ値を読み戻す時は、図12-4.で示されるようにNOP命令が挿入されなければなりません。OUT命令はｼｽﾃﾑ ｸﾛｯｸの上昇端で同期ﾗｯﾁを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1ｼｽﾃﾑ ｸﾛｯｸ周期です。

図12-3. 外部供給ﾋﾟﾝ値読み込み時の同期化

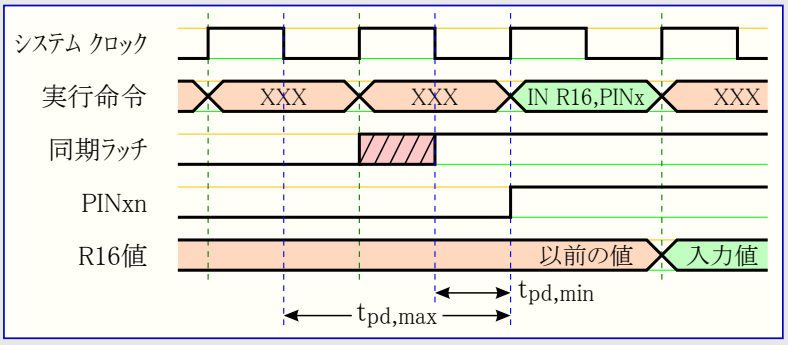
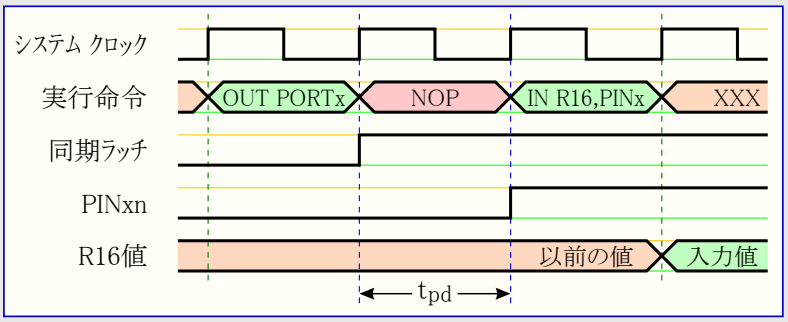


図12-4. ﾌﾟﾛｸﾞﾗﾑで設定したﾋﾟﾝ値読み戻し時の同期化



次のｺｰﾄﾞ例はﾎﾟｰﾄBﾋﾟﾝの0と1をHigh出力、2と3をLow出力、6と7をﾌﾟﾙｱｯﾌﾟ指定として4～7を入力に設定する方法を示します。結果のﾋﾟﾝ値が再び読み戻されますが、前記で検討されたように、いくつかのﾋﾟﾝへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
        ～                                                  ;
        LDI     R16, (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0)    ;ﾌﾟﾙｱｯﾌﾟとHigh値を取得
        LDI     R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0) ;出力ﾋﾞｯﾄ値を取得
        OUT     PORTB, R16                                  ;ﾌﾟﾙｱｯﾌﾟとHigh値を設定
        OUT     DDRB, R17                                   ;入出力方向を設定
        NOP                                                 ;同期化遅延対処
        IN      R16, PINB                                   ;ﾋﾟﾝ値読み戻し
        ～                                                  ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char i;
    ～                                                      /* */
    PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0);            /* ﾌﾟﾙｱｯﾌﾟとHigh値を設定 */
    DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0);         /* 入出力方向を設定 */
    __no_operation();                                       /* 同期化遅延対処 */
    i = PINB;                                               /* ﾋﾟﾝ値読み戻し */
    ～                                                      /* */
```

注: ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑについてはﾌﾟﾙｱｯﾌﾟがﾋﾟﾝ0,1,6,7に設定されてから、ﾋﾞｯﾄ0と1の強力なHigh駆動部としての再定義、ﾋﾞｯﾄ2と3のLow駆動部としての定義、方向ﾋﾞｯﾄが正しく設定されるまでの時間を最小とするために2つの一時ﾚｼﾞｽﾀが使われます。

12.2.5. ﾃﾞｼﾞﾀﾙ入力許可と休止形態

図12-2.で示されるようにﾃﾞｼﾞﾀﾙ入力信号はｼｭﾐｯﾄ ﾄﾘｶﾞの入力をGNDにｸﾗﾝﾌﾟできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のｱﾅﾛｸﾞ信号電圧を持つ場合の高消費電力を避けるため、ﾊﾟﾜｰﾀﾞｳﾝ動作、ﾊﾟﾜｰｾｰﾌﾞ動作、ｽﾀﾝﾊﾞｲ動作、拡張ｽﾀﾝﾊﾞｲ動作でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みﾋﾟﾝとして許可されたﾎﾟｰﾄ ﾋﾟﾝに対しては無視されます。外部割り込み要求が許可されないなら、SLEEPは他のﾋﾟﾝについてと同様に有効です。SLEEPは49頁の「**交換ﾎﾟｰﾄ機能**」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない"上昇端、下降端または論理変化(両端)割り込み"として設定された非同期外部割り込みﾋﾟﾝに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるｸﾗﾝﾌﾟが要求された論理変化を生ずるので、対応する外部割り込み要求ﾌﾗｸﾞが設定(=1)されます。

12.2.6. 未接続ﾋﾟﾝ

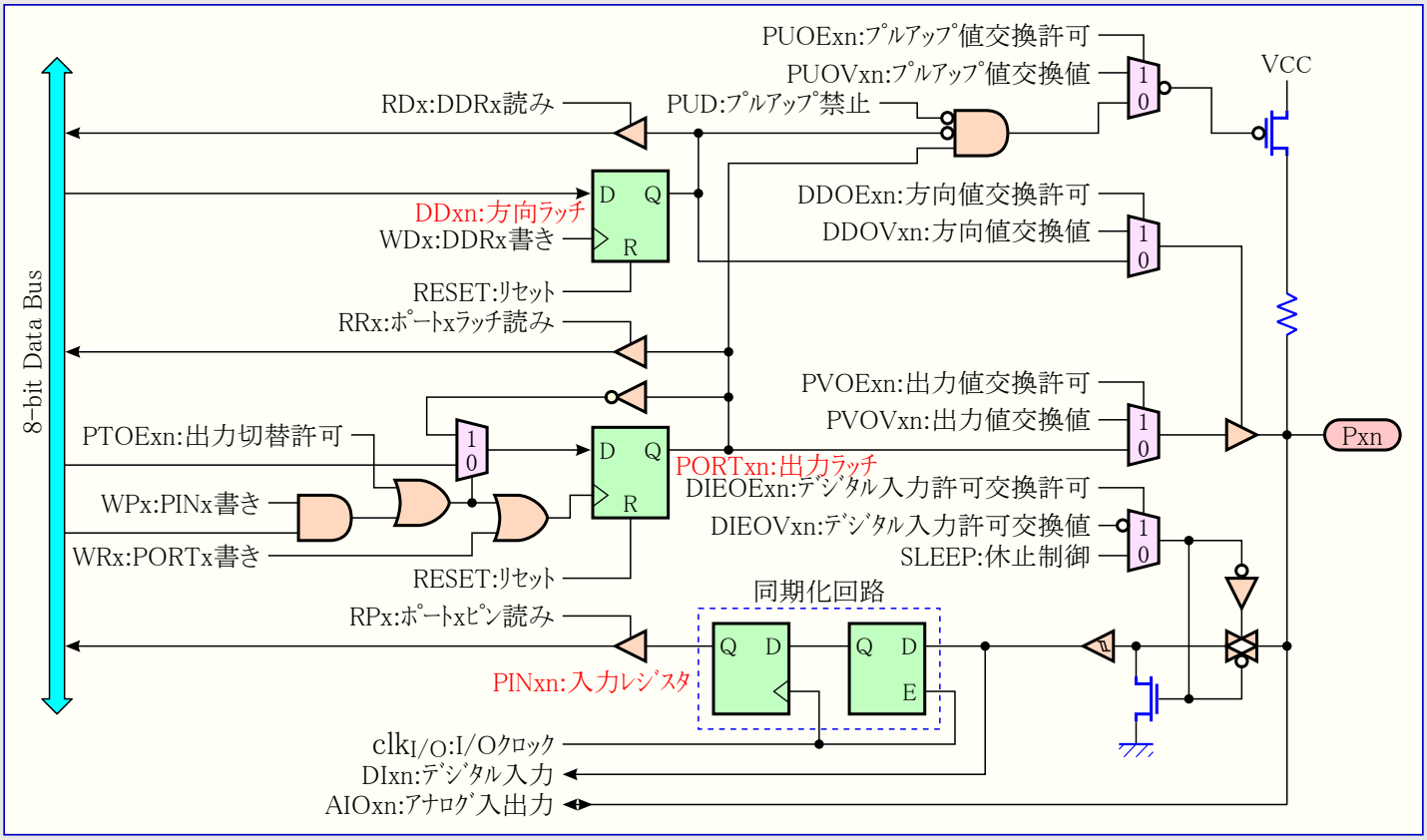
いくつかのﾋﾟﾝが未使用にされる場合、それらのﾋﾟﾝが定義されたﾚﾍﾞﾙを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのﾃﾞｼﾞﾀﾙ入力が禁止されるとしても、ﾃﾞｼﾞﾀﾙ入力が許可される他の全ての動作(ﾘｾｯﾄ、活動動作、ｱｲﾄﾞﾙ動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ﾋﾟﾝの定義されたﾚﾍﾞﾙを保証する最も簡単な方法は内部ﾌﾟﾙｱｯﾌﾟを許可することです。この場合、ﾘｾｯﾄ中のﾌﾟﾙｱｯﾌﾟは禁止されます。ﾘｾｯﾄ中の低消費電力が重要なら、外部ﾌﾟﾙｱｯﾌﾟまたはﾌﾟﾙﾀﾞｳﾝを使うことが推奨されます。未使用ﾋﾟﾝを直接GNDまたはVCCに接続することは、ﾋﾟﾝが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

12.3. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。図12-5.は単純化された図12-2.でのポートピン制御信号が交換機能により、どう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVR マイクロ コントローラ系統の全ポートピンに適用できる一般的な記述として取り扱います。

図12-5. 交換ポート機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O,SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表12-2.は重複(交換)信号の機能一覧を示します。図12-5.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表12-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	デジタル入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

以降の項は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

12.3.1. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$35 ($55)	JTD	–	–	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ4 – PUD : ﾌﾟﾙｱｯﾌﾟ禁止 (Pull-up Disable)

このﾋﾞｯﾄが1を書かれると、例えDDxnとPORTxnﾚｼﾞｽﾀがﾌﾟﾙｱｯﾌﾟを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oﾎﾟｰﾄのﾌﾟﾙｱｯﾌﾟは禁止されます。この特徴についてより多くの詳細に関しては47頁の「ﾋﾟﾝの設定」をご覧ください。

12.3.2. ﾎﾟｰﾄAの交換機能

ﾎﾟｰﾄAには外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ用のｱﾄﾞﾚｽ下位ﾊﾞｲﾄとﾃﾞｰﾀ信号線としての交換機能があります。

表12-3. ﾎﾟｰﾄAﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PA7	AD7 (外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ/ﾃﾞｰﾀ ﾋﾞｯﾄ7)
PA6	AD6 (外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ/ﾃﾞｰﾀ ﾋﾞｯﾄ6)
PA5	AD5 (外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ/ﾃﾞｰﾀ ﾋﾞｯﾄ5)
PA4	AD4 (外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ/ﾃﾞｰﾀ ﾋﾞｯﾄ4)
PA3	AD3 (外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ/ﾃﾞｰﾀ ﾋﾞｯﾄ3)
PA2	AD2 (外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ/ﾃﾞｰﾀ ﾋﾞｯﾄ2)
PA1	AD1 (外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ/ﾃﾞｰﾀ ﾋﾞｯﾄ1)
PA0	AD0 (外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ/ﾃﾞｰﾀ ﾋﾞｯﾄ0)

表12-4.と表12-5.はﾎﾟｰﾄAの交換機能を49頁の図12-5.で示される交換信号に関連付けます。

表12-4. ﾎﾟｰﾄA7～4の交換機能用交換信号

信号名	PA7/AD7	PA6/AD6	PA5/AD5	PA4/AD4
PUOE	SRE	SRE	SRE	SRE
PUOV	$(\overline{WR}\|ADA)\cdot PORTA7\cdot \overline{PUD}$	$(\overline{WR}\|ADA)\cdot PORTA6\cdot \overline{PUD}$	$(\overline{WR}\|ADA)\cdot PORTA5\cdot \overline{PUD}$	$(\overline{WR}\|ADA)\cdot PORTA4\cdot \overline{PUD}$
DDOE	SRE	SRE	SRE	SRE
DDOV	$\overline{WR}\|ADA$	$\overline{WR}\|ADA$	$\overline{WR}\|ADA$	$\overline{WR}\|ADA$
PVOE	SRE	SRE	SRE	SRE
PVOV	$A7\cdot ADA\|D7出力\cdot \overline{WR}$	$A6\cdot ADA\|D6出力\cdot \overline{WR}$	$A5\cdot ADA\|D5出力\cdot \overline{WR}$	$A4\cdot ADA\|D4出力\cdot \overline{WR}$
PTOE	–	–	–	–
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	D7入力	D6入力	D5入力	D4入力
AIO	–	–	–	–

表12-5. ﾎﾟｰﾄA3～0の交換機能用交換信号

信号名	PA3/AD3	PA2/AD2	PA1/AD1	PA0/AD0
PUOE	SRE	SRE	SRE	SRE
PUOV	$(\overline{WR}\|ADA)\cdot PORTA3\cdot \overline{PUD}$	$(\overline{WR}\|ADA)\cdot PORTA2\cdot \overline{PUD}$	$(\overline{WR}\|ADA)\cdot PORTA1\cdot \overline{PUD}$	$(\overline{WR}\|ADA)\cdot PORTA0\cdot \overline{PUD}$
DDOE	SRE	SRE	SRE	SRE
DDOV	$\overline{WR}\|ADA$	$\overline{WR}\|ADA$	$\overline{WR}\|ADA$	$\overline{WR}\|ADA$
PVOE	SRE	SRE	SRE	SRE
PVOV	$A3\cdot ADA\|D3出力\cdot \overline{WR}$	$A2\cdot ADA\|D2出力\cdot \overline{WR}$	$A1\cdot ADA\|D1出力\cdot \overline{WR}$	$A0\cdot ADA\|D0出力\cdot \overline{WR}$
PTOE	–	–	–	–
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	D3入力	D2入力	D1入力	D0入力
AIO	–	–	–	–

注: ADAはｱﾄﾞﾚｽ有効(ADdress Active)の略でｱﾄﾞﾚｽが出力される時を表します。17頁の「外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ」をご覧ください。

12.3.3. ﾎﾟｰﾄBの交換機能

ﾎﾟｰﾄBﾋﾟﾝの交換機能は表12-6.で示されます。

表12-6. ﾎﾟｰﾄBﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PB7	OC0A (ﾀｲﾏ/ｶｳﾝﾀ0 比較A一致/PWM出力) OC1C (ﾀｲﾏ/ｶｳﾝﾀ1 比較C一致/PWM出力) PCINT7 (ﾋﾟﾝ変化割り込み7入力)	PB3	PDO (直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾃﾞｰﾀ出力) MISO (SPI 主側ﾃﾞｰﾀ入力/従側ﾃﾞｰﾀ出力) PCINT3 (ﾋﾟﾝ変化割り込み3入力)
PB6	OC1B (ﾀｲﾏ/ｶｳﾝﾀ1 比較B一致/PWM出力) PCINT6 (ﾋﾟﾝ変化割り込み6入力)	PB2	PDI (直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾃﾞｰﾀ入力) MOSI (SPI 主側ﾃﾞｰﾀ出力/従側ﾃﾞｰﾀ入力) PCINT2 (ﾋﾟﾝ変化割り込み2入力)
PB5	OC1A (ﾀｲﾏ/ｶｳﾝﾀ1 比較A一致/PWM出力) PCINT5 (ﾋﾟﾝ変化割り込み5入力)	PB1	SCK (SPI 直列ｸﾛｯｸ 主側出力/従側入力) PCINT1 (ﾋﾟﾝ変化割り込み1入力)
PB4	OC2A (ﾀｲﾏ/ｶｳﾝﾀ2 比較A一致/PWM出力) PCINT4 (ﾋﾟﾝ変化割り込み4入力)	PB0	$\overline{SS}$ (SPI 従装置選択入力) PCINT0 (ﾋﾟﾝ変化割り込み0入力)

交換ﾋﾟﾝの設定は次のとおりです。

- OC0A/OC1C/PCINT7 – ﾎﾟｰﾄB ﾋﾞｯﾄ7 : PB7

OC0A : ﾀｲﾏ/ｶｳﾝﾀ0の比較A一致出力。PB7ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ0の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB7=1)されなければなりません。このOC0Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

OC1C : ﾀｲﾏ/ｶｳﾝﾀ1の比較C一致出力。PB7ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較C一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB7=1)されなければなりません。このOC1Cﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

PCINT7 : ﾋﾟﾝ変化割り込み7入力。PB7ﾋﾟﾝは外部割り込み元としても扱えます。

- OC1B/PCINT6 – ﾎﾟｰﾄB ﾋﾞｯﾄ6 : PB6

OC1B : ﾀｲﾏ/ｶｳﾝﾀ1の比較B一致出力。PB6ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB6=1)されなければなりません。このOC1Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

PCINT6 : ﾋﾟﾝ変化割り込み6入力。PB6ﾋﾟﾝは外部割り込み元としても扱えます。

- OC1A/PCINT5 – ﾎﾟｰﾄB ﾋﾞｯﾄ5 : PB5

OC1A : ﾀｲﾏ/ｶｳﾝﾀ1の比較A一致出力。PB5ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB5=1)されなければなりません。このOC1Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

PCINT5 : ﾋﾟﾝ変化割り込み5入力。PB5ﾋﾟﾝは外部割り込み元としても扱えます。

- OC2A/PCINT4 – ﾎﾟｰﾄB ﾋﾞｯﾄ4 : PB4

OC2A : ﾀｲﾏ/ｶｳﾝﾀ2の比較A一致出力。PB4ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ2の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB4=1)されなければなりません。このOC2Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

PCINT4 : ﾋﾟﾝ変化割り込み4入力。PB4ﾋﾟﾝは外部割り込み元としても扱えます。

- PDO/MISO/PCINT3 – ﾎﾟｰﾄB ﾋﾞｯﾄ3 : PB3

PDO : 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾃﾞｰﾀ出力。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの間、このﾋﾟﾝは本ﾃﾞﾊﾞｲｽからのﾃﾞｰﾀ出力線として使われます。

MISO : SPI用の主装置ﾃﾞｰﾀ入力、従装置ﾃﾞｰﾀ出力。SPIが主装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB3の設定に拘らず、入力として設定されます。SPIが従装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB3によって制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB3で制御できます。

PCINT3:ﾋﾟﾝ変化割り込み3入力。PB3ﾋﾟﾝは外部割り込み元としても扱えます。

- PDI/MOSI/PCINT2 – ﾎﾟｰﾄB ﾋﾞｯﾄ2 : PB2

PDI : 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾃﾞｰﾀ入力。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの間、このﾋﾟﾝは本ﾃﾞﾊﾞｲｽへのﾃﾞｰﾀ入力線として使われます。

MOSI : SPI用の主装置ﾃﾞｰﾀ出力、従装置ﾃﾞｰﾀ入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB2設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB2によって制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB2で制御できます。

PCINT2 : ﾋﾟﾝ変化割り込み2入力。PB2ﾋﾟﾝは外部割り込み元としても扱えます。

- SCK/PCINT1 – ﾎﾟｰﾄB ﾋﾞｯﾄ1 : PB1

SCK : SPI用の主装置ｸﾛｯｸ出力、従装置ｸﾛｯｸ入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB1設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB1によって制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB1で制御できます。

PCINT1 : ﾋﾟﾝ変化割り込み1入力。PB1ﾋﾟﾝは外部割り込み元としても扱えます。

• $\overline{SS}$/PCINT0 – ﾎﾟｰﾄB ﾋﾞｯﾄ0 : PB0

$\overline{SS}$: SPI従装置選択入力。SPIが従装置として許可されると、このﾋﾟﾝはDDRBのDDB0設定に拘らず、入力として設定されます。従装置としてこのﾋﾟﾝがLowに駆動されると、SPI(機能)が活性化(有効に)されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB0によって制御されます。このﾋﾟﾝがSPIによって入力を強制される時にﾌﾟﾙｱｯﾌﾟは未だPORTBのPORTB0によって制御できます。

PCINT0 : ﾋﾟﾝ変化割り込み0入力。PB0ﾋﾟﾝは外部割り込み元としても扱えます。

表12-7.と表12-8.はﾎﾟｰﾄBの交換機能を49頁の図12-5.で示される交換信号に関連付けます。SPI主装置入力とSPI従装置出力がMISOを構成し、一方MOSIはSPI主装置出力とSPI従装置入力に分けられます。

表12-7. ﾎﾟｰﾄB7～4の交換機能用交換信号

信号名	PB7/OC0A/OC1C/PCINT7	PB6/OC1B/PCINT6	PB5/OC1A/PCINT5	PB4/OC2A/PCINT4
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	OC0A許可|OC1C許可	OC1B許可	OC1A許可	OC2A許可
PVOV	OC0A/OC1C	OC1B	OC1A	OC2A
PTOE	–	–	–	–
DIEOE	PCIE0・PCINT7	PCIE0・PCINT6	PCIE0・PCINT5	PCIE0・PCINT4
DIEOV	1	1	1	1
DI	PCINT7入力	PCINT6入力	PCINT5入力	PCINT4入力
AIO	–	–	–	–

表12-8. ﾎﾟｰﾄB3～0の交換機能用交換信号

信号名	PB3/PDO/MISO/PCINT3	PB2/PDI/MOSI/PCINT2	PB1/SCK/PCINT1	PB0/$\overline{SS}$/PCINT0
PUOE	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$
PUOV	PORTB3・$\overline{PUD}$	PORTB2・$\overline{PUD}$	PORTB1・$\overline{PUD}$	PORTB0・$\overline{PUD}$
DDOE	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$
DDOV	0	0	0	0
PVOE	SPE・$\overline{MSTR}$	SPE・MSTR	SPE・MSTR	0
PVOV	SPI従装置出力	SPI主装置出力	SCK出力	0
PTOE	–	–	–	–
DIEOE	PCIE0・PCINT3	PCIE0・PCINT2	PCIE0・PCINT1	PCIE0・PCINT0
DIEOV	1	1	1	1
DI	SPI主装置/PCINT3入力	SPI従装置/PCINT2入力	SCK/PCINT1入力	SPI $\overline{SS}$/PCINT0入力
AIO	–	–	–	–

12.3.4. ﾎﾟｰﾄCの交換機能

ﾎﾟｰﾄCには外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ用のｱﾄﾞﾚｽ上位ﾊﾞｲﾄとしての交換機能があります。

表12-9. ﾎﾟｰﾄCﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能		ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	
PC7	A15 ICP3 CLKO	(外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ15) (ﾀｲﾏ/ｶｳﾝﾀ3 捕獲起動入力) (ｼｽﾃﾑ ｸﾛｯｸ出力)	PC3	A11 T3	(外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ11) (ﾀｲﾏ/ｶｳﾝﾀ3 外部ｸﾛｯｸ入力)
PC6	A14 OC3A	(外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ14) (ﾀｲﾏ/ｶｳﾝﾀ3 比較A一致/PWM出力)	PC2	A10	(外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ10)
PC5	A13 OC3B	(外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ13) (ﾀｲﾏ/ｶｳﾝﾀ3 比較B一致/PWM出力)	PC1	A9	(外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ9)
PC4	A12 OC3C	(外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ12) (ﾀｲﾏ/ｶｳﾝﾀ3 比較C一致/PWM出力)	PC0	A8	(外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ8)

交換ﾋﾟﾝの設定は次のとおりです。

- A15/ICP3/CLKO – ﾎﾟｰﾄC ﾋﾞｯﾄ7 : PC7

  A15 : 外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ15出力。

  ICP3 : ﾀｲﾏ/ｶｳﾝﾀ3の捕獲起動入力。PC7ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ3用捕獲起動入力ﾋﾟﾝとして動作できます。

  CLKO : ｼｽﾃﾑ ｸﾛｯｸ出力。分周したｼｽﾃﾑ ｸﾛｯｸがPC7ﾋﾟﾝに出力できます。分周したｼｽﾃﾑ ｸﾛｯｸはCKOUTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、PORTC7とDDC7設定に拘らず、出力されます。これはﾘｾｯﾄ中にも出力されます。

- A14/OC3A – ﾎﾟｰﾄC ﾋﾞｯﾄ6 : PC6

  A14 : 外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ14出力。

  OC3A : ﾀｲﾏ/ｶｳﾝﾀ3の比較A一致出力。PC6ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ3の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDC6=1)されなければなりません。このOC3Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- A13/OC3B – ﾎﾟｰﾄC ﾋﾞｯﾄ5 : PC5

  A13 : 外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ13出力。

  OC3B : ﾀｲﾏ/ｶｳﾝﾀ3の比較B一致出力。PC5ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ3の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDC5=1)されなければなりません。このOC3Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- A12/OC3C – ﾎﾟｰﾄC ﾋﾞｯﾄ4 : PC4

  A12 : 外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ12出力。

  OC3C : ﾀｲﾏ/ｶｳﾝﾀ3の比較C一致出力。PC4ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ3の比較C一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDC4=1)されなければなりません。このOC3Cﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- A11/T3 – ﾎﾟｰﾄC ﾋﾞｯﾄ3 : PC3

  A11 : 外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ11出力。

  T3 : ﾀｲﾏ/ｶｳﾝﾀ3の外部ｸﾛｯｸ入力ﾋﾟﾝです。

- A10 – ﾎﾟｰﾄC ﾋﾞｯﾄ2 : PC2

  A10 : 外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ10出力。

- A9 – ﾎﾟｰﾄC ﾋﾞｯﾄ1 : PC1

  A9 : 外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ9出力。

- A8 – ﾎﾟｰﾄC ﾋﾞｯﾄ0 : PC0

  A8 : 外部ﾒﾓﾘ ｱﾄﾞﾚｽ ﾋﾞｯﾄ8出力。

表12-10.と表12-11.はポートCの交換機能を49頁の図12-5.で示される交換信号に関連付けます。

表12-10. ポートC7～4の交換機能用交換信号

信号名	PC7/A15/ICP3/CLKO	PC6/A14/OC3A	PC5/A13/OC3B	PC4/A12/OC3C
PUOE	SRE・(XMM<1)	SRE・(XMM<2)|OC3A許可	SRE・(XMM<3)|OC3B許可	SRE・(XMM<4)|OC3C許可
PUOV	0	0	0	0
DDOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
DDOV	1	1	1	1
PVOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
PVOV	A15	if SRE・(XMM<2) then A14 else OC3A	if SRE・(XMM<2) then A13 else OC3B	if SRE・(XMM<2) then A12 else OC3C
PTOE	–	–	–	–
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	ICP3入力	–	–	–
AIO	–	–	–	–

表12-11. ポートC3～0の交換機能用交換信号

信号名	PC3/A11/T3	PC2/A10	PC1/A9	PC0/A8
PUOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
PUOV	0	0	0	0
DDOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
DDOV	1	1	1	1
PVOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
PVOV	A11	A10	A9	A8
PTOE	–	–	–	–
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	T3入力	–	–	–
AIO	–	–	–	–

12.3.5. ﾎﾟｰﾄDの交換機能

ﾎﾟｰﾄDﾋﾟﾝの交換機能は表12-12.で示されます。

表12-12. ﾎﾟｰﾄDﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PD7	T0 (ﾀｲﾏ/ｶｳﾝﾀ0 外部ｸﾛｯｸ入力)	PD3	INT3 (外部割り込み3 入力) TXD (USART 送信ﾃﾞｰﾀ出力)
PD6	T1 (ﾀｲﾏ/ｶｳﾝﾀ1 外部ｸﾛｯｸ入力)	PD2	INT2 (外部割り込み2 入力) RXD (USART 受信ﾃﾞｰﾀ入力)
PD5	XCK (USART 外部ｸﾛｯｸ入出力)	PD1	INT1 (外部割り込み1 入力) SDA (2線直列ﾊﾞｽ ﾃﾞｰﾀ入出力) OC2B (ﾀｲﾏ/ｶｳﾝﾀ2 比較B一致/PWM出力)
PD4	ICP1 (ﾀｲﾏ/ｶｳﾝﾀ1 捕獲起動入力)	PD0	INT0 (外部割り込み0 入力) SCL (2線直列ﾊﾞｽ ｸﾛｯｸ入出力) OC0B (ﾀｲﾏ/ｶｳﾝﾀ0 比較B一致/PWM出力)

交換ﾋﾟﾝの設定は次のとおりです。

- T0 – ﾎﾟｰﾄD ﾋﾞｯﾄ7 : PD7

  T0 : ﾀｲﾏ/ｶｳﾝﾀ0の外部ｸﾛｯｸ入力ﾋﾟﾝです。

- T1 – ﾎﾟｰﾄD ﾋﾞｯﾄ6 : PD6

  T1 : ﾀｲﾏ/ｶｳﾝﾀ1の外部ｸﾛｯｸ入力ﾋﾟﾝです。

- XCK – ﾎﾟｰﾄD ﾋﾞｯﾄ5 : PD5

  XCK : USARTの外部ｸﾛｯｸ入出力。ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDD5は、このｸﾛｯｸが入力(DDD5=0)または出力(DDD5=1)のどちらかを制御します。XCKﾋﾟﾝはUSARTが同期種別で動作する時だけ活動します(有効です)。

- ICP1 – ﾎﾟｰﾄD ﾋﾞｯﾄ4 : PD4

  ICP1 : ﾀｲﾏ/ｶｳﾝﾀ1の捕獲起動入力。PD4ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1用捕獲起動入力ﾋﾟﾝとして動作できます。

- INT3/TXD – ﾎﾟｰﾄD ﾋﾞｯﾄ3 : PD3

  INT3 : 外部割り込み3入力。PD3ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  TXD : 送信ﾃﾞｰﾀ(USART用ﾃﾞｰﾀ出力ﾋﾟﾝ)。USART送信部が許可されると、このﾋﾟﾝはﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDD3の値に拘らず出力として設定されます。

- INT2/RXD – ﾎﾟｰﾄD ﾋﾞｯﾄ2 : PD2

  INT2 : 外部割り込み2入力。PD2ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  RXD : 受信ﾃﾞｰﾀ(USART用ﾃﾞｰﾀ入力ﾋﾟﾝ)。USART受信部が許可されると、このﾋﾟﾝはDDRDのDDD2の値に拘らず、入力として設定されます。USARTがこのﾋﾟﾝを入力に強制するとき、ﾌﾟﾙｱｯﾌﾟは未だPORTD2ﾋﾞｯﾄによって制御できます。

- INT1/SDA/OC2B – ﾎﾟｰﾄD ﾋﾞｯﾄ1 : PD1

  INT1 : 外部割り込み1入力。PD1ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  SDA : 2線直列ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ。2線直列ｲﾝﾀｰﾌｪｰｽを許可するために2線直列ｲﾝﾀｰﾌｪｰｽ制御ﾚｼﾞｽﾀ(TWCR)の2線直列ｲﾝﾀｰﾌｪｰｽ動作許可(TWEN)ﾋﾞｯﾄが設定(1)されると、PD1は(通常の)ﾎﾟｰﾄから切り離されて、2線直列ｲﾝﾀｰﾌｪｰｽ用直列ﾃﾞｰﾀ入出力ﾋﾟﾝになります。この動作では入力信号上の50nsより短いｽﾊﾟｲｸ(瞬間雑音)を消去するためのｽﾊﾟｲｸ除去器があり、ｽﾘｭｰﾚｰﾄ(上昇/下降速度)制限付きｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ駆動部によって駆動されます。このﾋﾟﾝが2線直列ｲﾝﾀｰﾌｪｰｽによって使われるとき、ﾌﾟﾙｱｯﾌﾟは未だPORTD1によって制御できます(訳注:共通性から本行追加)。

  OC2B : ﾀｲﾏ/ｶｳﾝﾀ2の比較B一致出力。PD1ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ2の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDD1=1)されなければなりません。このOC2Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- INT0/SCL/OC0B – ﾎﾟｰﾄD ﾋﾞｯﾄ0 : PD0

  INT0 : 外部割り込み0入力。PD0ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  SCL : 2線直列ｲﾝﾀｰﾌｪｰｽ ｸﾛｯｸ。2線直列ｲﾝﾀｰﾌｪｰｽを許可するために2線直列ｲﾝﾀｰﾌｪｰｽ制御ﾚｼﾞｽﾀ(TWCR)の2線直列ｲﾝﾀｰﾌｪｰｽ動作許可(TWEN)ﾋﾞｯﾄが設定(1)されると、PD0は(通常の)ﾎﾟｰﾄから切り離されて、2線直列ｲﾝﾀｰﾌｪｰｽ用直列ｸﾛｯｸ入出力ﾋﾟﾝになります。この動作では入力信号上の50nsより短いｽﾊﾟｲｸ(瞬間雑音)を消去するためのｽﾊﾟｲｸ除去器があり、ｽﾘｭｰﾚｰﾄ(上昇/下降速度)制限付きｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ駆動部によって駆動されます。このﾋﾟﾝが2線直列ｲﾝﾀｰﾌｪｰｽによって使われるとき、ﾌﾟﾙｱｯﾌﾟは未だPORTD0ﾋﾞｯﾄによって制御できます(訳注:共通性から本行追加)。

  OC0B : ﾀｲﾏ/ｶｳﾝﾀ0の比較B一致出力。PD0ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ0の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDD0=1)されなければなりません。このOC0Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

表12-13.と表12-14.はポートDの交換機能を49頁の図12-5.で示される交換信号に関連付けます。

表12-13. ポートD7～4の交換機能用交換信号

信号名	PD7/T0	PD6/T1	PD5/XCK	PD4/ICP1
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	XCK出力許可	0
DDOV	0	0	1	0
PVOE	0	0	XCK出力許可	0
PVOV	0	0	XCK出力	0
PTOE	–	–	–	–
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	T0入力	T1入力	XCK入力	ICP1入力
AIO	–	–	–	–

表12-14. ポートD3～0の交換機能用交換信号

信号名	PD3/INT3/TXD	PD2/INT2/RXD	PD1/INT1/SDA/OC2B	PD0/INT0/SCL/OC0B
PUOE	TXEN	RXEN	TWEN	TWEN
PUOV	0	PORTD2・$\overline{\text{PUD}}$	PORTD1・$\overline{\text{PUD}}$	PORTD0・$\overline{\text{PUD}}$
DDOE	TXEN	RXEN	TWEN	TWEN
DDOV	1	0	SDA_出力	SCL_出力
PVOE	TXEN	0	TWEN|OC2B許可	TWEN|OC0B許可
PVOV	TXD	0	OC2B	OC0B
PTOE	–	–	–	–
DIEOE	INT3許可	INT2許可	INT1許可	INT0許可
DIEOV	1	1	1	1
DI	INT3入力	INT2入力/RXD	INT1入力	INT0入力
AIO	–	–	SDA入力	SCL入力

注: 許可されると、2線直列インターフェースはPD0とPD1ピン出力のスリューレート制御を許可します。これは図で示されていません。
加えて、ポート図で示されるAIO出力と2線直列インターフェース(TWI)部間にスパイク除去器が接続されます。

12.3.6. ﾎﾟｰﾄEの交換機能

ﾎﾟｰﾄEﾋﾟﾝの交換機能は表12-15.で示されます。

表12-15. ﾎﾟｰﾄEﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PE7	INT7 (外部割り込み7 入力) AIN1 (ｱﾅﾛｸﾞ比較器反転入力) UVCON (USB外部VBUS制御出力)	PE3	UID (USB ID検出入力)
PE6	INT6 (外部割り込み6 入力) AIN0 (ｱﾅﾛｸﾞ比較器非反転入力)	PE2	ALE (外部ﾒﾓﾘ用ｱﾄﾞﾚｽ ﾗｯﾁ許可信号出力) $\overline{\text{HWB}}$ (ﾌﾞｰﾄ ﾛｰﾀﾞ強制実行入力)
PE5	INT5 (外部割り込み5 入力) TOSC2 (ﾀｲﾏ用発振増幅器出力)	PE1	$\overline{\text{RD}}$ (外部ﾒﾓﾘ用読み出しｽﾄﾛｰﾌﾞ信号出力)
PE4	INT4 (外部割り込み4 入力) TOSC1 (ﾀｲﾏ用発振増幅器入力)	PE0	$\overline{\text{WR}}$ (外部ﾒﾓﾘ用書き込みｽﾄﾛｰﾌﾞ信号出力)

交換ﾋﾟﾝの設定は次のとおりです。

- INT7/AIN1/UVCON – ﾎﾟｰﾄE ﾋﾞｯﾄ7 : PE7

  INT7 : 外部割り込み7入力。PE7ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  AIN1 : ｱﾅﾛｸﾞ比較器の反転入力。このﾋﾟﾝはｱﾅﾛｸﾞ比較器の反転入力に直接接続されます。

  UVCON : USBﾎｽﾄ動作使用時、このﾋﾟﾝは外部VBUS生成器の制御を許します(High活性)。

- INT6/AIN0 – ﾎﾟｰﾄE ﾋﾞｯﾄ6 : PE6

  INT6 : 外部割り込み6入力。PE6ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  AIN0 : ｱﾅﾛｸﾞ比較器の非反転入力。このﾋﾟﾝはｱﾅﾛｸﾞ比較器の非反転入力に直接接続されます。

- INT5/TOSC2 – ﾎﾟｰﾄE ﾋﾞｯﾄ5 : PE5

  INT5 : 外部割り込み5入力。PE5ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  TOSC2 : ﾀｲﾏ発振器ﾋﾟﾝ2。ﾀｲﾏ/ｶｳﾝﾀ2の非同期ｸﾛｯｸ動作を許可するためにASSRの非同期許可(AS2)ﾋﾞｯﾄが設定(1)されると、PE5 ﾋﾟﾝはﾎﾟｰﾄから切り離され、発振用反転増幅器の出力になります。この動作では、このﾋﾟﾝにｸﾘｽﾀﾙ発振器が接続され、このﾋﾟﾝはI/O ﾋﾟﾝとして使えません。

- INT4/TOSC1 – ﾎﾟｰﾄE ﾋﾞｯﾄ4 : PE4

  INT4 : 外部割り込み4入力。PE4ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  TOSC1 : ﾀｲﾏ発振器ﾋﾟﾝ1。ﾀｲﾏ/ｶｳﾝﾀ2の非同期ｸﾛｯｸ動作を許可するためにASSRの非同期許可(AS2)ﾋﾞｯﾄが設定(1)されると、PE4 ﾋﾟﾝはﾎﾟｰﾄから切り離され、発振用反転増幅器の入力になります。この動作では、このﾋﾟﾝにｸﾘｽﾀﾙ発振器が接続され、このﾋﾟﾝはI/O ﾋﾟﾝとして使えません。

- UID – ﾎﾟｰﾄE ﾋﾞｯﾄ3 : PE3

  UID : USBﾊﾞｽのID入力ﾋﾟﾝ。

- ALE/$\overline{\text{HWB}}$ – ﾎﾟｰﾄE ﾋﾞｯﾄ2 : PE2

  ALE : 外部ﾒﾓﾘ用ｱﾄﾞﾚｽ ﾗｯﾁ許可信号出力ﾋﾟﾝです。

  $\overline{\text{HWB}}$: このﾋﾟﾝが外部ﾘｾｯﾄ ﾊﾟﾙｽ間にGNDに接続されると、ﾘｾｯﾄ後のﾌﾞｰﾄ ﾛｰﾀﾞ部実行を許します。このﾋﾟﾝのHWB動作はHWBE ﾋｭｰｽﾞが許可されている時だけ活性(有効)です。

- $\overline{\text{RD}}$ – ﾎﾟｰﾄE ﾋﾞｯﾄ1 : PE1

  $\overline{\text{RD}}$: 外部ﾒﾓﾘ用読み出し制御ｽﾄﾛｰﾌﾞ信号出力ﾋﾟﾝです。

- $\overline{\text{WR}}$ – ﾎﾟｰﾄE ﾋﾞｯﾄ0 : PE0

  $\overline{\text{WR}}$: 外部ﾒﾓﾘ用書き込み制御ｽﾄﾛｰﾌﾞ信号出力ﾋﾟﾝです。

表12-16.と表12-17.はポートEの交換機能を49頁の図12-5.で示される交換信号に関連付けます。

表12-16. ポートE7～4の交換機能用交換信号

信号名	PE7/INT7/AIN1/UVCON	PE6/INT6/AIN0	PE5/INT5/TOSC2	PE4/INT4/TOSC1
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	UVCONE	0	0	0
DDOV	UVCONE	0	0	0
PVOE	UVCONE	0	0	0
PVOV	UVCON	0	0	0
PTOE	-	-	-	-
DIEOE	INT7許可	INT6許可	INT5許可	INT4許可
DIEOV	1	1	1	1
DI	INT7入力	INT6入力	INT5入力	INT4入力
AIO	AIN1入力	AIN0入力	-	-

表12-17. ポートE3～0の交換機能用交換信号

信号名	PE3/UID	PE2/ALE/$\overline{HWB}$	PE1/$\overline{RD}$	PE0/$\overline{WR}$
PUOE	UIDE	0	SRE	SRE
PUOV	1	0	0	0
DDOE	UIDE	SRE	SRE	SRE
DDOV	0	1	1	0
PVOE	0	SRE	SRE	SRE
PVOV	0	ALE出力	RD出力	WR出力
PTOE	-	-	-	-
DIEOE	UIDE	0	0	0
DIEOV	1	0	0	1
DI	UID入力	HWB入力	-	-
AIO	-	-	-	-

12.3.7. ﾎﾟｰﾄFの交換機能

ﾎﾟｰﾄFﾋﾟﾝには表12-18.に示されるようにA/D変換用ｱﾅﾛｸﾞ入力としての交換機能があります。ﾎﾟｰﾄFﾋﾟﾝのいくつかが出力として設定される場合、A/D変換実行中の時にそれらを切り替えないことが重要です。これは変換結果を不正にするかもしれません。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、ﾘｾｯﾄが起きてもPF7(TDI)、PF5(TMS)、PF4(TCK)ﾋﾟﾝのﾌﾟﾙｱｯﾌﾟ抵抗は活性(有効)にされます。

表12-18. ﾎﾟｰﾄFﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PF7	ADC7 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ7) TDI (JTAG 検査ﾃﾞｰﾀ入力)
PF6	ADC6 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ6) TDO (JTAG 検査ﾃﾞｰﾀ出力)
PF5	ADC5 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ5) TMS (JTAG 検査種別選択入力)
PF4	ADC4 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ4) TCK (JTAG ｸﾛｯｸ入力)
PF3	ADC3 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ3)
PF2	ADC2 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ2)
PF1	ADC1 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ1)
PF0	ADC0 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ0)

交換ﾋﾟﾝの設定は次のとおりです。

- ADC7/TDI – ﾎﾟｰﾄF ﾋﾞｯﾄ7 : PF7

  ADC7 : A/D変換ﾁｬﾈﾙ7入力。

  TDI : JTAG検査ﾃﾞｰﾀ入力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀ(走査ﾁｪｰﾝ)に移動入力される直列入力ﾃﾞｰﾀです。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。

- ADC6/TDO – ﾎﾟｰﾄF ﾋﾞｯﾄ6 : PF6

  ADC6 : A/D変換ﾁｬﾈﾙ6入力。

  TDO : JTAG検査ﾃﾞｰﾀ出力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀから移動出力される直列出力ﾃﾞｰﾀです。JTAGｲﾝﾀｰﾌｪｰｽが許可され他場合、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。

  TDOﾋﾟﾝはﾃﾞｰﾀが移動出力されるTAP状態への移行を除いてHi-Zにされます。

- ADC5/TMS – ﾎﾟｰﾄF ﾋﾞｯﾄ5 : PF5

  ADC5 : A/D変換ﾁｬﾈﾙ5入力。

  TMS : JTAG検査種別選択。このﾋﾟﾝはTAP(検査入出力ﾎﾟｰﾄ)制御器状態機構を通しての操作に使われます。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。

- ADC4/TCK – ﾎﾟｰﾄF ﾋﾞｯﾄ4 : PF4

  ADC4 : A/D変換ﾁｬﾈﾙ4入力。

  TCK : JTAGｸﾛｯｸ。JTAG操作はTCKに同期します。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。

- ADC3 – ﾎﾟｰﾄF ﾋﾞｯﾄ3 : PF3

  ADC3 : A/D変換ﾁｬﾈﾙ3入力。

- ADC2 – ﾎﾟｰﾄF ﾋﾞｯﾄ2 : PF2

  ADC2 : A/D変換ﾁｬﾈﾙ2入力。

- ADC1 – ﾎﾟｰﾄF ﾋﾞｯﾄ1 : PF1

  ADC1 : A/D変換ﾁｬﾈﾙ1入力。

- ADC0 – ﾎﾟｰﾄF ﾋﾞｯﾄ0 : PF0

  ADC0 : A/D変換ﾁｬﾈﾙ0入力。

表12-19.と表12-20.はポートFの交換機能を49頁の図12-5.で示される交換信号に関連付けます。

表12-19. ポートF7～4の交換機能用交換信号

信号名	PF7/ADC7/TDI	PF6/ADC/TDO	PF5/ADC5/TMS	PF4/ADC4/TCK
PUOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
PUOV	1	0	1	1
DDOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DDOV	0	IR移動+DR移動	0	0
PVOE	0	JTAGEN	0	0
PVOV	0	TDO	0	0
PTOE	–	–	–	–
DIEOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	ADC7入力/TDI入力	ADC6入力	ADC5入力/TMS入力	ADC4入力/TCK入力

表12-20. ポートF3～0の交換機能用交換信号

信号名	PF3/ADC3	PF2/ADC2	PF1/ADC1	PF0/ADC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	–	–	–	–
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	ADC3入力	ADC2入力	ADC1入力	ADC0入力

12.4. I/Oポート用レジスタ

12.4.1. PORTA – ポートA出力レジスタ (Port A Data Register)

ビット	7	6	5	4	3	2	1	0	
$02 ($22)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.2. DDRA – ポートA方向レジスタ (Port A Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
$01 ($21)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.3. PINA – ポートA入力レジスタ (Port A Input Address)

ビット	7	6	5	4	3	2	1	0	
$00 ($20)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

12.4.4. PORTB – ポートB出力レジスタ (Port B Data Register)

ビット	7	6	5	4	3	2	1	0	
$05 ($25)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.5. DDRB – ポートB方向レジスタ (Port B Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
$04 ($24)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.6. PINB – ポートB入力レジスタ (Port B Input Address)

ビット	7	6	5	4	3	2	1	0	
$03 ($23)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

12.4.7. PORTC – ポートC出力レジスタ (Port C Data Register)

ビット	7	6	5	4	3	2	1	0	
$08 ($28)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.8. DDRC – ポートC方向レジスタ (Port C Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
$07 ($27)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.9. PINC – ポートC入力レジスタ (Port C Input Address)

ビット	7	6	5	4	3	2	1	0	
$06 ($26)	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

12.4.10. PORTD – ﾎﾟｰﾄD出力ﾚｼﾞｽﾀ (Port D Data Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0B ($2B)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.11. DDRD – ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ (Port D Data Direction Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0A ($2A)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.12. PIND – ﾎﾟｰﾄD入力ﾚｼﾞｽﾀ (Port D Input Address)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$09 ($29)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

12.4.13. PORTE – ﾎﾟｰﾄE出力ﾚｼﾞｽﾀ (Port E Data Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0E ($2E)	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	PORTE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.14. DDRE – ﾎﾟｰﾄE方向ﾚｼﾞｽﾀ (Port E Data Direction Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0D ($2D)	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	DDRE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.15. PINE – ﾎﾟｰﾄE入力ﾚｼﾞｽﾀ (Port E Input Address)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0C ($2C)	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	PINE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

12.4.16. PORTF – ﾎﾟｰﾄF出力ﾚｼﾞｽﾀ (Port F Data Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$11 ($31)	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0	PORTF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.17. DDRF – ﾎﾟｰﾄF方向ﾚｼﾞｽﾀ (Port F Data Direction Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$10 ($30)	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0	DDRF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.18. PINF – ﾎﾟｰﾄF入力ﾚｼﾞｽﾀ (Port F Input Address)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0F ($2F)	PINF7	PINF6	PINF5	PINF4	PINF3	PINF2	PINF1	PINF0	PINF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

13. タイマ/カウンタ0、タイマ/カウンタ1、タイマ/カウンタ3の前置分周器

タイマ/カウンタ0、1、3は同じ前置分周器部を共用しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述は言及した全てのタイマ/カウンタに適用されます。Tn (n=0,1,3)は一般名として使われます。

13.1. 内部クロック元

タイマ/カウンタはシステム クロック(CSn2～0=001設定)によって直接的にクロック駆動できます。これはシステム クロック周波数($f_{clk_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。この前置分周したクロックは$f_{clk_I/O}/8$, $f_{clk_I/O}/64$, $f_{clk_I/O}/256$, $f_{clk_I/O}/1024$の何れかの周波数です。

13.2. 前置分周器リセット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)、Tnによって共用されます。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2～0=5～2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数はNが前置分周値(8,64,256,1024)とすると、1～N+1 システム クロック周期になり得ます。

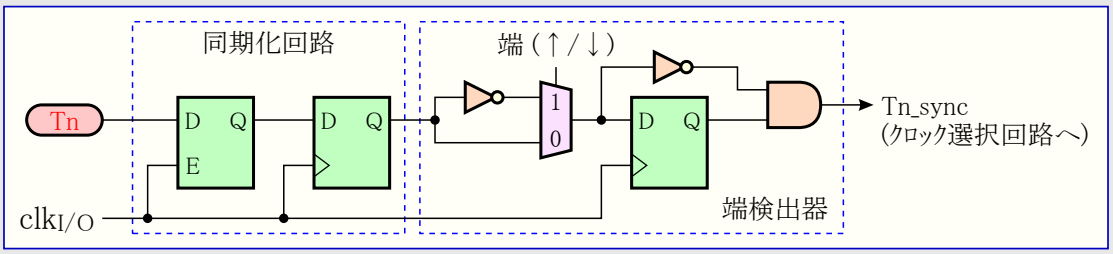
プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使うことが可能です。しかし、同じ前置分周器を共用する他のタイマ/カウンタも前置分周を使う場合、注意が必要とされなければなりません。前置分周器リセットはそれが接続される全タイマ/カウンタについての前置分周器周期に影響を及ぼします。

13.3. 外部クロック元

Tnピンに印加された外部クロック元はタイマ/カウンタ クロック(clk_{Tn})として使えます。このTnピンはピン同期化論理回路によって全てのシステム クロック周期に一度採取されます。この同期化(採取)された信号はその後に端(エッジ)検出器を通して通過されます。図13-1.はTn同期化と端検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック($clk_{I/O}$)の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

端検出器は上昇端(CSn2～0=111)または下降端(CSn2～0=110)の検出毎に1つのclk_{Tn}パルスを生成します。

図13-1. Tnピンの採取等価構成図



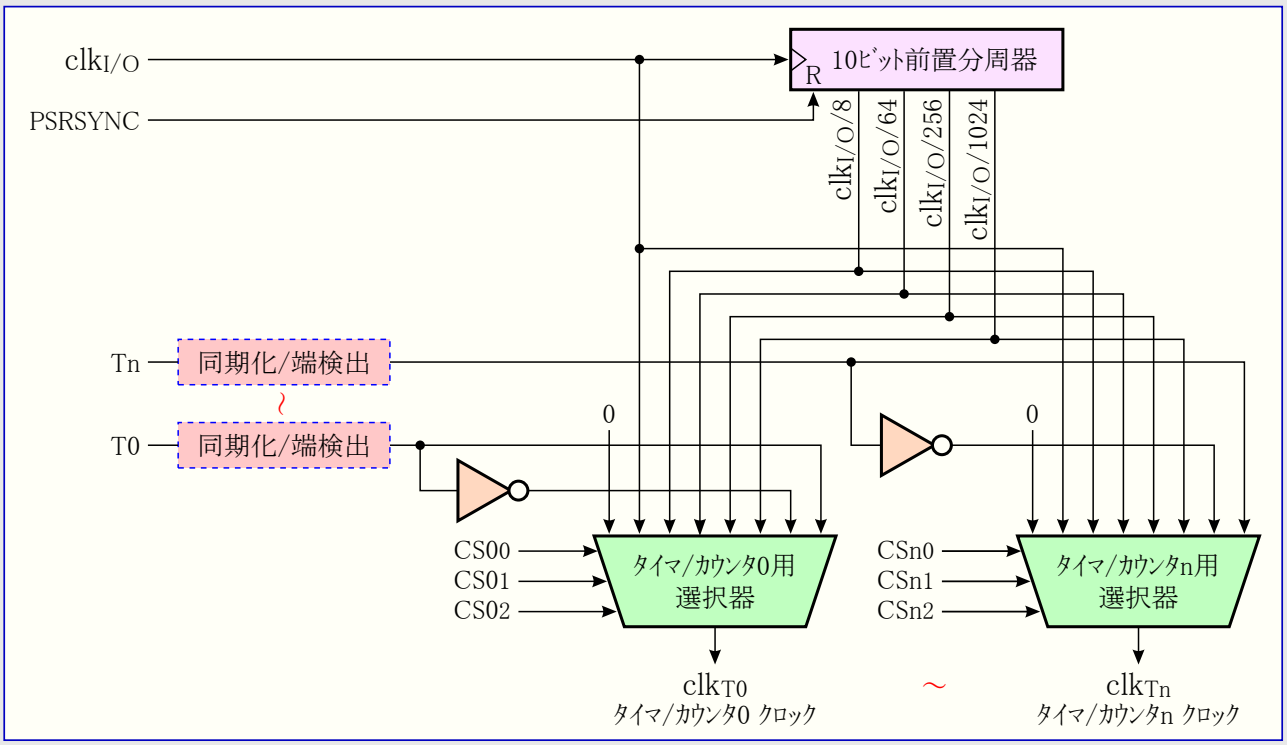
同期化と端検出器論理回路はTnピンへ印加された端からカウンタが更新されるまでに2.5～3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はTnが最低1システム クロック周期に対して安定してしまっている時に行われなければならず、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システム クロック周波数の半分未満($f_{EXTclk} < f_{clk_I/O}/2$)であることが保証されなければなりません。端検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイキストの標本化定理)。然しながら、発振元(クリスタル発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は$f_{clk_I/O}/2.5$未満が推奨されます。

外部クロック元は前置分周できません。

図13-2. タイマ/カウンタ0,1,3の前置分周器部構成図



注: 入力ピンの同期化/端(エッジ)検出論理回路は図13-1.で示されます。

13.4. GTCCR – 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register)

ビット	7	6	5	4	3	2	1	0	
$23 ($43)	TSM	–	–	–	–	–	PSRASY	PSRSYNC	GTCCR
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – TSM : タイマ/カウンタ同時動作** (Timer/Counter Synchronization Mode)

TSMビットへの1書き込みはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSRASYとPSRSYNCへ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できるのを保証します。TSMビットが0を書かれると、PSRASYとPSRSYNCビットはハードウェアによって解除(0)されて、同時にタイマ/カウンタが計数を始めます。

• **ビット0 – PSRSYNC : 同期系タイマ/カウンタ前置分周器リセット** (Prescaler Reset Timer/Counter 1,0)

このビットが1のとき、タイマ/カウンタ0、タイマ/カウンタ1、タイマ/カウンタ3の前置分周器はリセットします。通常、TSMビットが設定1)されている場合を除いて、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ0、タイマ/カウンタ1、タイマ/カウンタ3は同じ前置分周器を共用し、この前置分周器のリセットが全てのタイマ/カウンタに影響を及ぼすことに注意してください。

14. 8ビット タイマ/カウンタ0 (PWM付き)

タイマ/カウンタ0は2つの独立した比較出力部とPWM支援付きの汎用8ビット タイマ/カウンタ部です。それは正確なプログラム実行タイミング(事象管理)、波形生成を許します。主な特徴は次に示されます。

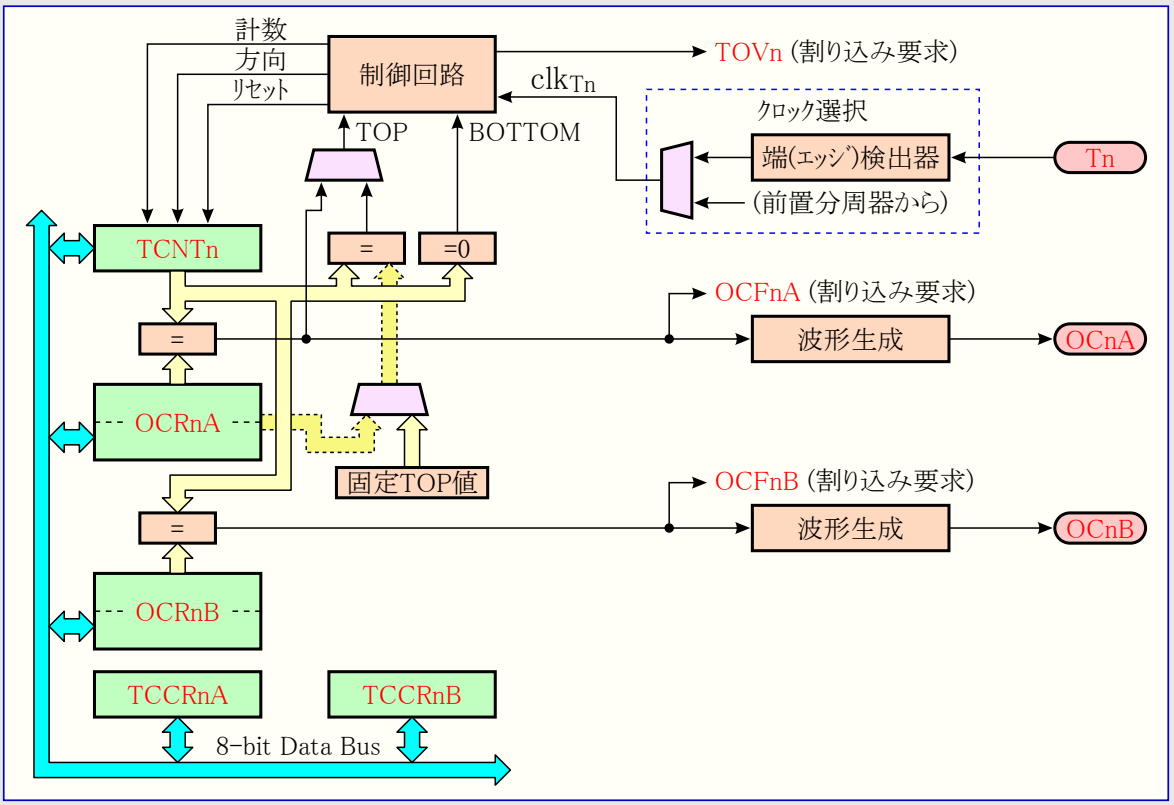
- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 3つの独立した割り込み (TOV0,OCF0A,OCF0B)

14.1. 概要

この8ビット タイマ/カウンタの簡単化した構成図は図14-1.で示されます。I/Oピンの実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は73頁の「8ビット タイマ/カウンタ0用レジスタ」で一覧されます。

32頁の「PRR0 – 電力削減レジスタ」のPRTIM0ビットはタイマ/カウンタ0部を許可するため、0を書かれなければなりません(訳注:本行追加)。

図14-1. 8ビット タイマ/カウンタ構成図



14.1.1. 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0AとOCR0B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ0割り込み要求レジスタ(TIFR0)で全て見えます。全ての割り込みはタイマ/カウンタ0割り込み許可レジスタ(TIMSK0)で個別に遮蔽(禁止)されます。TIFR0とTIMSK0はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するために使うクロック元を制御します。クロック元が選ばれないと、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタ クロック(clk_{T0})として参照されます。

2重緩衝化した比較レジスタ(OCR0AとOCR0B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0AとOC0B)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。詳細については67頁の「比較出力部」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF0AとOCF0B)も設定(1)します。

14.1.2. 定義

本章でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字のxは比較出力部のチャネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0のように)。

表14-1.の定義は本文書を通して広範囲に渡って使われます。

表14-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが$00に到達した時。
MAX	タイマ/カウンタが$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値($FF)またはOCR0A値に到達した時。この指定(TOP)値は動作種別に依存します。

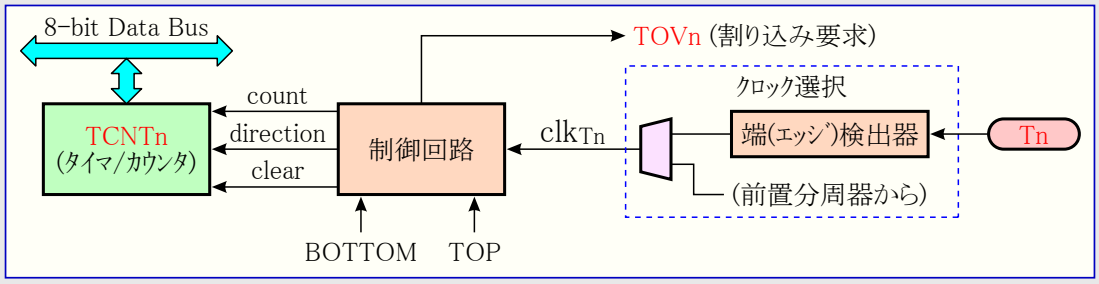
14.2. タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR0B)に配置されたクロック選択(CS02～0)ビットによって制御されるクロック選択論理回路で選ばれます。クロック元と前置分周器の詳細については63頁の「タイマ/カウンタ0、タイマ/カウンタ1、タイマ/カウンタ3の前置分周器」をご覧ください。

14.3. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。図14-2.は、このカウンタとその周辺環境の構成図を示します。

図14-2. 計数器部構成図



信号説明(内部信号)	count	TCNT0を1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNT0のリセット($00設定)信号。
	clk_{Tn}	以降でclk_{T0}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT0が最大値に到達したことを示す信号。
	BOTTOM	TCNT0が最小値($00)に到達したことを示す信号。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{T0})で解除($00)、増加(+1)、または減少(-1)されます。clk_{T0}はクロック選択(CS02～0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS02～0=000)と、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clk_{T0})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ0制御レジスタA(TCCR0A)に配置された波形生成種別(WGM01,0)ビットとタイマ/カウンタ0制御レジスタB(TCCR0B)に配置された波形生成種別(WGM02)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC0A/OC0B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては69頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOV0)フラグはWGM02～0ビットによって選ばれた動作種別に従って設定(1)されます。TOV0はCPU割り込み発生に使えます。

14.4. 比較出力部

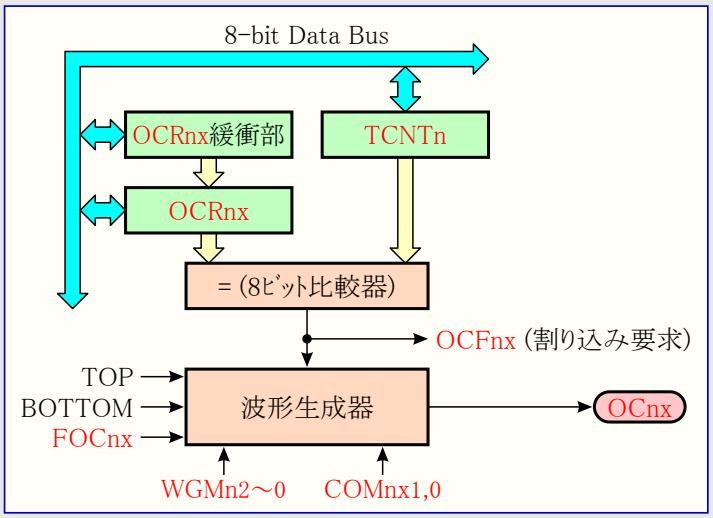
この8ﾋﾞｯﾄ比較器はTCNT0と比較ﾚｼﾞｽﾀ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCF0AまたはOCF0B)を設定(1)します。対応する割り込みが許可(I=1, OCIE0AまたはOCIE0B=1)されているならば、その比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。比較割り込み要求ﾌﾗｸﾞは割り込みが実行されると自動的に解除(0)されます。代わりにこのﾌﾗｸﾞはこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM02～0)ﾋﾞｯﾄと比較出力選択(COM0x1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(69頁の「**動作種別**」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

図14-3.は比較出力部の構成図を示します。

OCR0xはﾊﾟﾙｽ幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0xﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0xのｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR0x緩衝部をｱｸｾｽし、禁止されるとOCR0xﾚｼﾞｽﾀを直接ｱｸｾｽします。

図14-3. 比較出力部構成図



(**訳注**) ここでは比較nxﾚｼﾞｽﾀ全体をOCR0x、OCR0xを構成する緩衝部分をOCR0x緩衝部、実際の比較に使われるﾚｼﾞｽﾀ本体部分をOCR0xﾚｼﾞｽﾀとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

14.4.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC0x)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCF0x)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC0xﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COM0x1,0ﾋﾞｯﾄ設定がOC0xﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

14.4.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

14.4.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にﾀｲﾏ/ｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

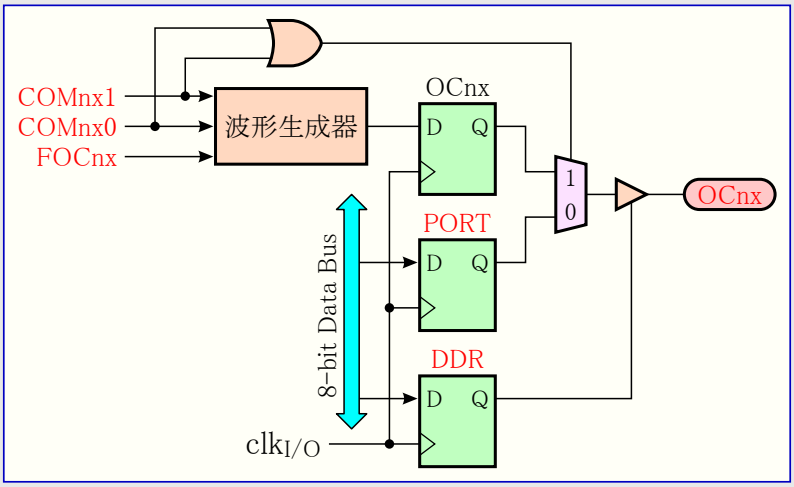
OC0xの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で強制変更(FOC0x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成動作種別間を変更する時でも、OC0x(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COM0x1,0)ﾋﾞｯﾄが比較値(OCR0x)と共に2重緩衝されないことに気付いてください。COM0x1,0ﾋﾞｯﾄの変更は直ちに有効となります。

14.5. 比較一致出力部

比較出力選択(COM0x1,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC0x)状態の定義にCOM0x1,0ﾋﾞｯﾄを使います。またCOM0x1,0ﾋﾞｯﾄはOC0xﾋﾟﾝ出力元を制御します。**図14-4.**はCOM0x1,0ﾋﾞｯﾄ設定によって影響を及ぼされる論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COM0x1,0 ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OC0xの状態を参照するとき、その参照はOC0xﾋﾟﾝでなく内部OC0xﾚｼﾞｽﾀに対してです。ｼｽﾃﾑ ﾘｾｯﾄが起こると、OC0xﾚｼﾞｽﾀは'0'にﾘｾｯﾄされます。

図14-4. 比較一致出力回路図



COM0x1,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OC0x)によって無効にされます。けれどもOC0xﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OC0xﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OC0x)はOC0x値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は波形生成種別と無関係です。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOC0x状態の初期化を許します。いくつかのCOM0x1,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。73頁の「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0用ﾚｼﾞｽﾀ**」をご覧ください。

14.5.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM0x1,0ﾋﾞｯﾄを違うふうに使います。全ての動作種別に対してCOM0x1,0=00設定は次の比較一致で実行すべきOC0xﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については73頁の**表14-2.**と**表14-5.**を参照してください。高速PWM動作については73頁の**表14-3.**と**表14-6.**、位相基準PWMについては73頁の**表14-4.**と**表14-7.**を参照してください。

COM0x1,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC0x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

14.6. 動作種別

動作種別、換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作は波形生成種別(WGM02～0)ﾋﾞｯﾄと比較出力選択(COM0x1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COM0x1,0ﾋﾞｯﾄは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM0x1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(68頁の「**比較一致出力部**」をご覧ください)。

ﾀｲﾐﾝｸﾞ情報の詳細については72頁の「**ﾀｲﾏ/ｶｳﾝﾀ0のﾀｲﾐﾝｸﾞ**」を参照してください。

14.6.1. 標準動作

最も単純な動作種別が標準動作(WGM02～0=000)です。この動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀ解除は実行されません。ｶｳﾝﾀは8ﾋﾞｯﾄ最大値(TOP=$FF)を通過すると単に範囲を超え、そして$00(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはTCNT0が$00になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOV0ﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第9ﾋﾞｯﾄのようになります。けれどもTOV0ﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

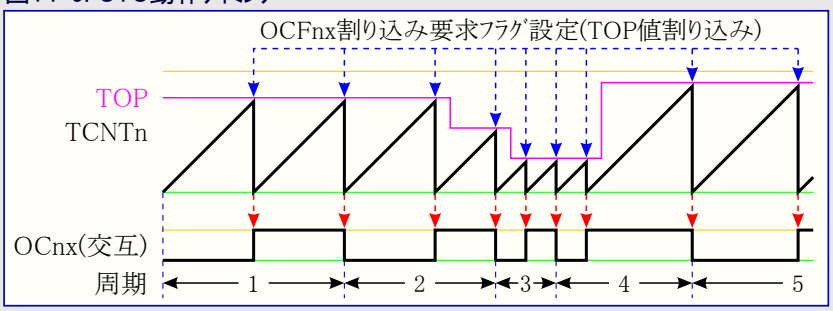
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

14.6.2. 比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGM02～0=010)ではOCR0Aがｶｳﾝﾀの分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNT0)値がOCR0Aと一致すると、ｶｳﾝﾀは$00に解除されます。OCR0Aはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は**図14-5.**で示されます。ｶｳﾝﾀ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNT0)は解除($00)されます。

図14-5. CTC動作ﾀｲﾐﾝｸﾞ



注: COMnx1,0=01

OCF0Aﾌﾗｸﾞを使うことにより、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後もｶｳﾝﾀは比較一致が起こるのに先立って最大値($FF)へ、そして次に$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択(COM0A1,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切り替えに設定できます。OC0A値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC0A=1)に設定されない限りﾎﾟｰﾄ ﾋﾟﾝで見えないでしょう。生成された波形はOCR0Aが0($00)に設定される時に$f_{OC0A}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

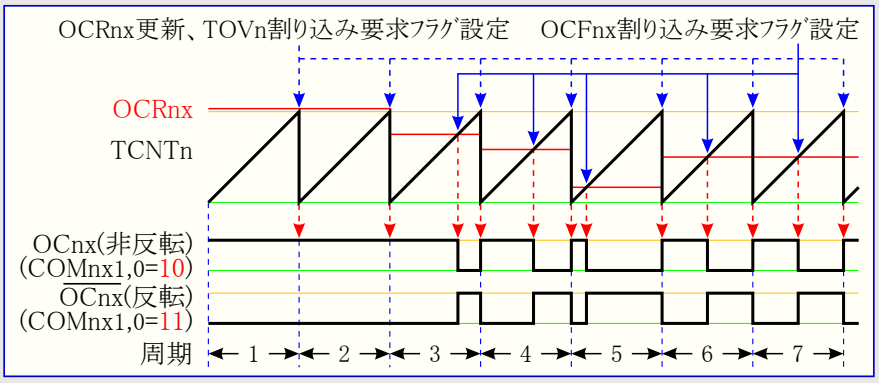
標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$00へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

14.6.3. 高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGM02～0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。TOPはWGM02～0=011時に$FF、WGM02～0=111時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)はTCNT0とOCR0x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM0x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

高速PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がTOP値と一致するまで増加されます。そしてﾀｲﾏ/ｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀｸﾛｯｸ周期で解除($00)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は**図14-6.**で示されます。TCNT0値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCF0x)はOCR0x=TOPを除いて比較一致が起こると設定(1)されます(**訳注**:共通性のため本行追加)。

図14-6. 高速PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ﾙｰﾁﾝは比較値を更新するのに使えます。

高速PWM動作での比較部はOC0xﾋﾟﾝでのPWM波形の生成を許します。COM0x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0を'11'に設定することで生成できます。WGM02ﾋﾞｯﾄが設定(1)ならば、COM0A1,0ﾋﾞｯﾄの'01'設定は比較一致での交互反転をOC0Aﾋﾟﾝに許します。この任意選択はOC0Bﾋﾟﾝに対して利用できません(73頁の**表14-3.**と**表14-6.**をご覧ください)。実際のOC0x値はﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC0x)が出力として設定される場合だけ見えるでしょう。PWM波形はTCNT0とOCR0x間の比較一致で、OC0x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($00,TOPからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でOC0xﾚｼﾞｽﾀを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk_I/O}}{N \times (1+TOP)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR0xがBOTTOM($00)と等しく設定されると、出力はTOP+1 ﾀｲﾏ/ｶｸﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。OCR0xがTOPに等しく設定されると、(COM0x1,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

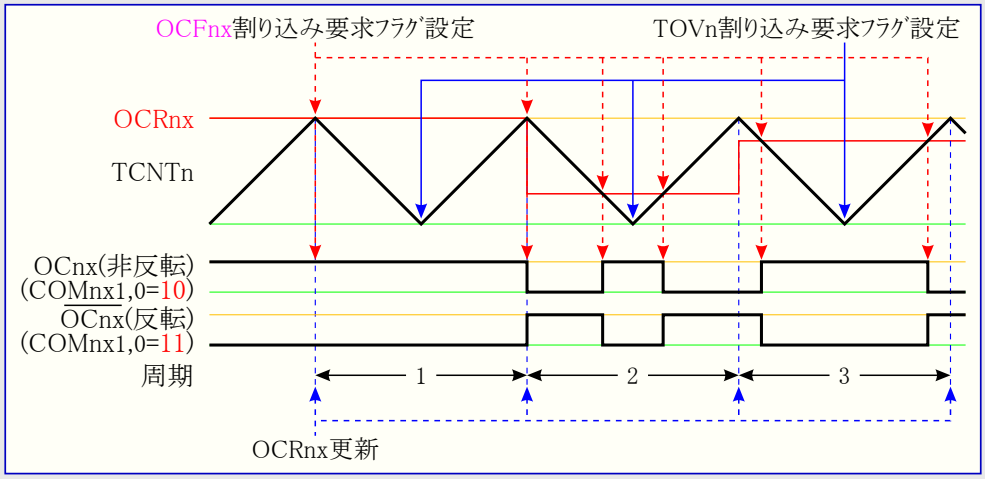
(**訳補**:WGM02～0=111の場合については、)高速PWM動作での(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOC0A設定(COM0A1,0=01)によって達成できます。生成された波形はOCR0Aが0($00)に設定される時に$f_{OC0x}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC0A交互出力(COM0A1,0=01)と同じです。

14.6.4. 位相基準PWM動作

位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM02～0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。ｶｳﾝﾀはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM02～0=001時に$FF、WGM02～0=101時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0xの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値がTOPと一致するまで増加されます。ｶｳﾝﾀはTOPに達すると計数方向を変更します。このTCNT0値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間TOPと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は図14-7.で示されます。TCNT0値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。

図14-7. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがBOTTOM値に到達する毎に割り込みを発生するのに使えます。

位相基準PWM動作での比較部はOC0xﾋﾟﾝでのPWM波形の生成を許します。COM0x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0ﾋﾞｯﾄを'11'に設定することで生成できます。WGM02ﾋﾞｯﾄが設定(1)なら、COM0A1,0ﾋﾞｯﾄの'01'設定は比較一致での交互反転をOC0Aﾋﾟﾝに許します。この任意選択はOC0Bﾋﾟﾝに対して利用できません(73頁の表14-4.と表14-7.をご覧ください)。実際のOC0x値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC0x)が出力として設定される場合だけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT0とOCR0x間の比較一致でOC0xﾚｼﾞｽﾀを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{\mathrm{OCnxPCPWM}} = \frac{f_{\mathrm{clk_I/O}}}{2 \times N \times \mathrm{TOP}}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR0xがBOTTOM($00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図14-7.の第2周期のその出発点に於いて、例え比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 図14-7.でのようにOCR0xはTOPからその値を変更します。OCR0x値がTOPのとき、OCnxﾋﾟﾝ値は下降計数での比較一致の結果と同じです(訳補: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- ﾀｲﾏ/ｶｳﾝﾀがOCR0x値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

14.7. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタ クロック(clk_{T0})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図14-8.は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図14-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

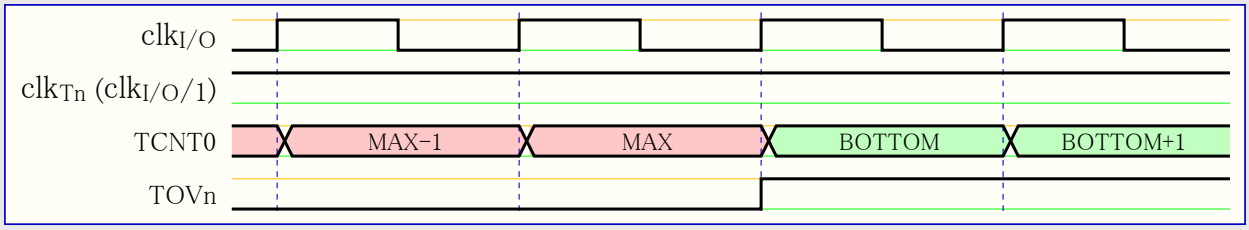


図14-9.は同じタイミング データを示しますが、前置分周器が許可されています。

図14-9. 前置分周器($f_{clk_I/O}/8$)のタイマ/カウンタ タイミング

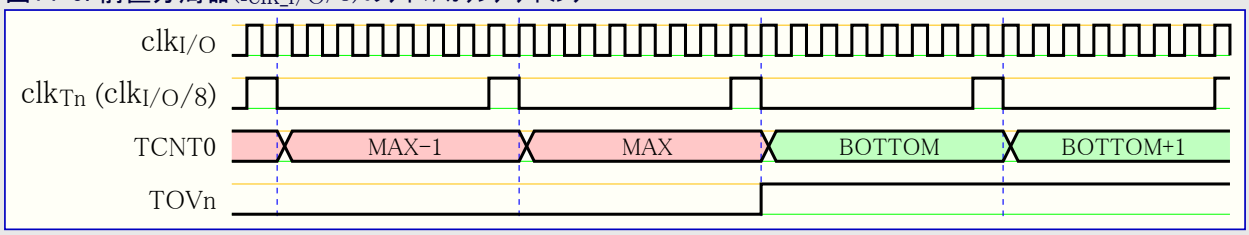


図14-10.はCTC動作とOCR0AがTOPのPWM動作を除く全動作種別でのOCF0Aと全動作種別でのOCF0Bの設定を示します。

図14-10. 前置分周器($f_{clk_I/O}/8$)のタイマ/カウンタ、OCF0x設定 タイミング

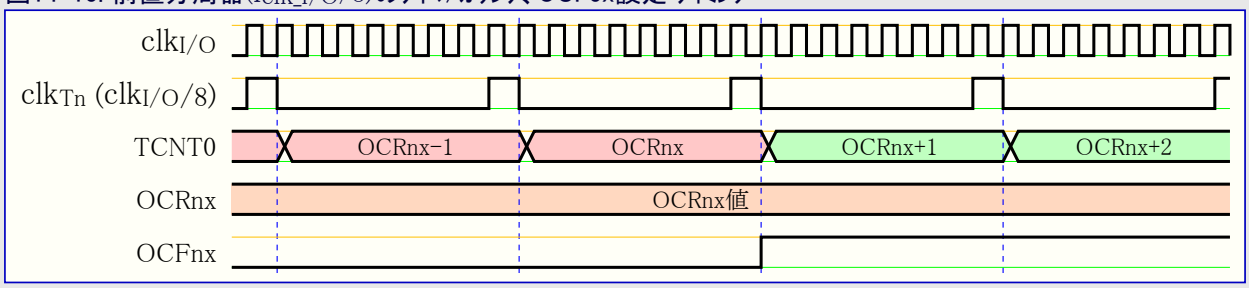
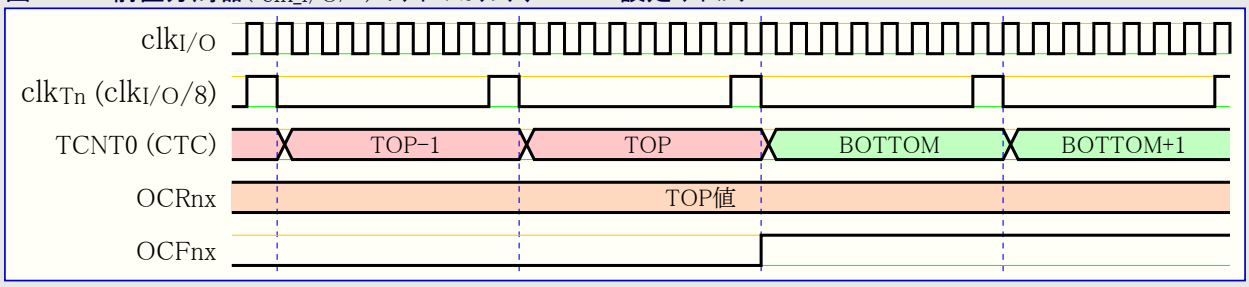


図14-11.はOCR0AがTOPの高速PWM動作と、CTC動作でのTCNT0の解除とOCF0Aの設定を示します。

図14-11. 前置分周器($f_{clk_I/O}/8$)のタイマ/カウンタ、OCF0A設定 タイミング



14.8. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0用ﾚｼﾞｽﾀ

14.8.1. TCCR0A – ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀA (Timer/Counter 0 Control Register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$24 ($44)	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7,6 – COM0A1,0 : 比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

これらのﾋﾞｯﾄはOC0A比較出力ﾋﾟﾝの動作を制御します。COM0A1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC0A出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC0Aﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC0Aがﾋﾟﾝに接続されるとき、COM0A1,0ﾋﾞｯﾄの機能はWGM02～0ﾋﾞｯﾄ設定に依存します。

表14-2.はWGM02～0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0A1,0ﾋﾞｯﾄ機能を示します。

表14-3.はWGM02～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM0A1,0ﾋﾞｯﾄの機能を示します。

表14-4.はWGM02～0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM0A1,0ﾋﾞｯﾄの機能を示します。

表14-2. 非PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0A切断)
0	1	比較一致でOC0Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC0Aﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC0Aﾋﾟﾝ Highﾚﾍﾞﾙ出力

表14-3. 高速PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0A切断)
0	1	WGM02=0 : 標準ﾎﾟｰﾄ動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC0Aﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Aﾋﾟﾝへ出力 (反転動作)

表14-4. 位相基準PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0A切断)
0	1	WGM02=0 : 標準ﾎﾟｰﾄ動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Aﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Aﾋﾟﾝへ出力

• ﾋﾞｯﾄ5,4 – COM0B1,0 : 比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

これらのﾋﾞｯﾄはOC0B比較出力ﾋﾟﾝの動作を制御します。COM0B1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC0B出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC0Bﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC0Bがﾋﾟﾝに接続されるとき、COM0B1,0ﾋﾞｯﾄの機能はWGM02～0ﾋﾞｯﾄ設定に依存します。

表14-5.はWGM02～0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0B1,0ﾋﾞｯﾄ機能を示します。

表14-6.はWGM02～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM0B1,0ﾋﾞｯﾄの機能を示します。

表14-7.はWGM02～0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM0B1,0ﾋﾞｯﾄの機能を示します。

表14-5. 非PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0B切断)
0	1	比較一致でOC0Bﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC0Bﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC0Bﾋﾟﾝ Highﾚﾍﾞﾙ出力

表14-6. 高速PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0B切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC0Bﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Bﾋﾟﾝへ出力 (反転動作)

表14-7. 位相基準PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0B切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Bﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Bﾋﾟﾝへ出力

共通注意: COM0x1が設定(1)され、対応するOCR0xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMまたはTOPでの設定(1)または解除(0)は行われます。より多くの詳細については70頁の「高速PWM動作」または71頁の「位相基準PWM動作」をご覧ください。(表14-3,4,6,7.各々での注:を纏めました。)

• ﾋﾞｯﾄ3,2 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• ﾋﾞｯﾄ1,0 – WGM01,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCR0B)で得られるWGM02ﾋﾞｯﾄと組み合わせたこれらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大ｶｳﾝﾀ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します(**表14-8.**参照)。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作(ｶｳﾝﾀ)、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と2形式のﾊﾟﾙｽ幅変調(PWM)動作です。69頁の「**動作種別**」をご覧ください。

表14-8. 波形生成種別選択

番号	WGM02	WGM01	WGM00	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0	0	0	標準動作	$FF	即時	MAX
1	0	0	1	8ﾋﾞｯﾄ位相基準PWM動作	$FF	TOP	BOTTOM
2	0	1	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR0A	即時	MAX
3	0	1	1	8ﾋﾞｯﾄ高速PWM動作	$FF	BOTTOM	MAX
4	1	0	0	(予約)	–	–	–
5	1	0	1	位相基準PWM動作	OCR0A	TOP	BOTTOM
6	1	1	0	(予約)	–	–	–
7	1	1	1	高速PWM動作	OCR0A	BOTTOM	TOP

注: MAX=$FF、BOTTOM=$00です。

14.8.2. TCCR0B – ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀB (Timer/Counter0 Control Register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$25 ($45)	FOC0A	FOC0B	–	–	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – FOC0A : OC0A強制変更 (Force Output Compare A)

FOC0AﾋﾞｯﾄはWGM02～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。

けれども将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC0Aﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1,0ﾋﾞｯﾄ設定に従って変更されます。FOC0Aﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0A1,0ﾋﾞｯﾄに存在する値です。

FOC0Aｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCR0Aを使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($00)も行いません。

FOC0Aﾋﾞｯﾄは常に0として読みます。

• ﾋﾞｯﾄ6 – FOC0B : OC0B強制変更 (Force Output Compare B)

FOC0BﾋﾞｯﾄはWGM02～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。

けれども将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC0Bﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0B出力はCOM0B1,0ﾋﾞｯﾄ設定に従って変更されます。FOC0Bﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0B1,0ﾋﾞｯﾄに存在する値です。

FOC0Bｽﾄﾛｰﾌﾞは何れの割り込みの生成も行いません。

FOC0Bﾋﾞｯﾄは常に0として読みます。

• ﾋﾞｯﾄ5,4 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• ﾋﾞｯﾄ3 – WGM02 : 波形生成種別 (Waveform Generation Mode bit 2)

73頁の「**TCCR0A – ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀA**」のWGM01,0ﾋﾞｯﾄ記述をご覧ください。

• ﾋﾞｯﾄ2～0 – CS02～0 : ｸﾛｯｸ選択0 (Clock Select0, bit 2,1 and 0)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT0)によって使われるｸﾛｯｸ元を選びます。

表14-9. ﾀｲﾏ/ｶｳﾝﾀ0入力ｸﾛｯｸ選択

CS02	CS01	CS00	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀ0動作停止)
0	0	1	$clk_{I/O}$ (前置分周なし)
0	1	0	$clk_{I/O}/8$ (8分周)
0	1	1	$clk_{I/O}/64$ (64分周)
1	0	0	$clk_{I/O}/256$ (256分周)
1	0	1	$clk_{I/O}/1024$ (1024分周)
1	1	0	T0ﾋﾟﾝの下降端 (外部ｸﾛｯｸ)
1	1	1	T0ﾋﾟﾝの上昇端 (外部ｸﾛｯｸ)

外部ﾋﾟﾝ(ｸﾛｯｸ)動作がﾀｲﾏ/ｶｳﾝﾀ0に対して使われる場合、例えT0ﾋﾟﾝが出力として設定されても、T0ﾋﾟﾝの遷移はｶｳﾝﾀをｸﾛｯｸ駆動します。この特徴がｿﾌﾄｳｪｱに計数制御を許します。

14.8.3. TCNT0 – ﾀｲﾏ/ｶｳﾝﾀ0 (Timer/Counter0)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$26 ($46)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀは読み書き両方の操作について、ﾀｲﾏ/ｶｳﾝﾀ部の8ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。TCNT0への書き込みは次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT0)を変更することはTCNT0とOCR0x間の比較一致消失の危険を誘発します。

14.8.4. OCR0A – ﾀｲﾏ/ｶｳﾝﾀ0 比較Aﾚｼﾞｽﾀ (Timer/Counter0 Output Compare A Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$27 ($47)	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT0)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC0Aﾋﾟﾝでの波形出力を生成するのに使えます。

14.8.5. OCR0B – ﾀｲﾏ/ｶｳﾝﾀ0 比較Bﾚｼﾞｽﾀ (Timer/Counter0 Output Compare B Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$28 ($48)	(MSB)							(LSB)	OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT0)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC0Bﾋﾟﾝでの波形出力を生成するのに使えます。

14.8.6. TIMSK0 – ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ (Timer/Counter 0 Interrupt Mask Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6E)	–	–	–	–	–	OCIE0B	OCIE0A	TOIE0	TIMSK0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7～3 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

- **ﾋﾞｯﾄ2 – OCIE0B : ﾀｲﾏ/ｶｳﾝﾀ0比較B割り込み許可** (Timer/Counter0 Output Compare Match B Interrupt Enable)

OCIE0Bﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0で比較B一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR0)で比較B割り込み要求ﾌﾗｸﾞ(OCF0B)が設定(1)されると、対応する割り込みが実行されます。

- **ﾋﾞｯﾄ1 – OCIE0A : ﾀｲﾏ/ｶｳﾝﾀ0比較A割り込み許可** (Timer/Counter0 Output Compare Match A Interrupt Enable)

OCIE0Aﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0で比較A一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR0)で比較A割り込み要求ﾌﾗｸﾞ(OCF0A)が設定(1)されると、対応する割り込みが実行されます。

- **ﾋﾞｯﾄ0 – TOIE0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可** (Timer/Counter0 Overflow Interrupt Enable)

TOIE0ﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR0)でﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求(TOV0)ﾌﾗｸﾞが設定(1)されると、対応する割り込みが実行されます。

14.8.7. TIFR0 – ﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter 0 Interrupt Flag Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$15 ($35)	–	–	–	–	–	OCF0B	OCF0A	TOV0	TIFR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7～3 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

- **ﾋﾞｯﾄ2 – OCF0B : ﾀｲﾏ/ｶｳﾝﾀ0比較B割り込み要求ﾌﾗｸﾞ** (Timer/Conter0, Output Compare B Match Flag)

OCF0Bﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT0)と比較ﾚｼﾞｽﾀ(OCR0B)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCF0Bはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCF0Bは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ(TIMSK0)のﾀｲﾏ/ｶｳﾝﾀ0比較B一致割り込み許可(OCIE0B)ﾋﾞｯﾄ、OCF0Bが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較B一致割り込みが実行されます。

- **ﾋﾞｯﾄ1 – OCF0A : ﾀｲﾏ/ｶｳﾝﾀ0比較A割り込み要求ﾌﾗｸﾞ** (Timer/Conter0, Output Compare A Match Flag)

OCF0Aﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT0)と比較ﾚｼﾞｽﾀ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCF0Aはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCF0Aは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ(TIMSK0)のﾀｲﾏ/ｶｳﾝﾀ0比較A一致割り込み許可(OCIE0A)ﾋﾞｯﾄ、OCF0Aが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較A一致割り込みが実行されます。

- **ﾋﾞｯﾄ0 – TOV0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter0 Overflow Flag)

TOV0ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、TOV0はﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもTOV0は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ(TIMSK0)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE0)ﾋﾞｯﾄ、TOV0が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが実行されます。位相基準PWM動作ではﾀｲﾏ/ｶｳﾝﾀ0が$00で計数方向を変える時にこのﾋﾞｯﾄが設定(1)されます。

これらﾌﾗｸﾞの設定はWGM02～0ﾋﾞｯﾄ設定に依存します。74頁の波形生成種別ﾋﾞｯﾄ記述の**表14-8.**を参照してください。

15. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ (ﾀｲﾏ/ｶｳﾝﾀ1,ﾀｲﾏ/ｶｳﾝﾀ3)

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ部は正確なﾌﾟﾛｸﾞﾗﾑ実行ﾀｲﾐﾝｸﾞ(事象管理)、波形生成、信号ﾀｲﾐﾝｸﾞ計測を許します。主な特徴:

- **真の16ﾋﾞｯﾄ設計** (換言すれば16ﾋﾞｯﾄPWMの許容)
- **3つの独立した比較出力部**
- **2重緩衝の比較ﾚｼﾞｽﾀ**
- **1つの捕獲入力部**
- **捕獲入力雑音消去器**
- **比較一致でのﾀｲﾏ/ｶｳﾝﾀ解除** (自動再設定)
- **不具合なしで正しい位相のﾊﾟﾙｽ幅変調器** (PWM)
- **可変PWM周期**
- **周波数発生器**
- **外部事象計数器**
- **10種の独立した割り込み** (TOV1,OCF1A,OCF1B,OCF1C,ICF1, TOV3,OCF3A,OCF3B,OCF3C,ICF3)

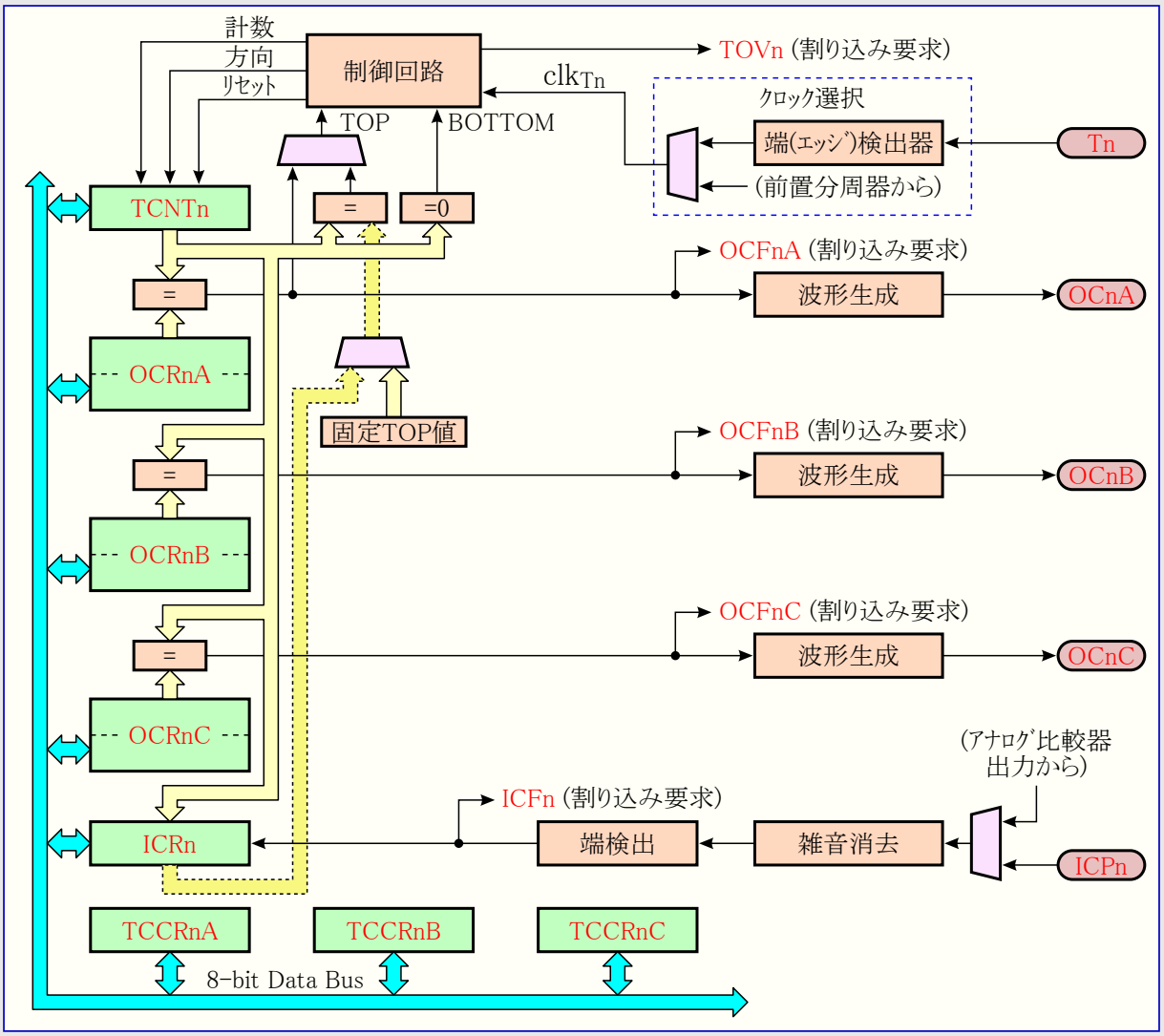
15.1. 概要

本文書でのﾚｼﾞｽﾀとﾋﾞｯﾄ参照の多くは一般形で書かれます。小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号、小文字の'x'は比較出力部の置き換えです。けれどもﾌﾟﾛｸﾞﾗﾑでﾚｼﾞｽﾀまたはﾋﾞｯﾄ定義に使う時は正確な形式が使われなければなりません(例えばﾀｲﾏ/ｶｳﾝﾀ1のｶｳﾝﾀ値に対するｱｸｾｽのTCNT1のように)。

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの簡略化構成図は**図15-1.**で示されます。CPUがｱｸｾｽ可能な(I/OﾋﾞｯﾄとI/Oﾋﾟﾝを含む)I/Oﾚｼﾞｽﾀは、赤文字(**訳注**:原文太字)で示されます。ﾃﾞﾊﾞｲｽ仕様のI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は91頁の「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1,3用ﾚｼﾞｽﾀ**」で示されます。

32頁の「**PRR0 – 電力削減ﾚｼﾞｽﾀ**」のPRTIM1ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ1部を許可するために0を書かれなければなりません。33頁の「**PRR1 – 電力削減ﾚｼﾞｽﾀ**」のPRTIM3ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ3部を許可するために0を書かれなければなりません。

図15-1. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ構成図



注: ﾀｲﾏ/ｶｳﾝﾀ1,3のﾋﾟﾝ配置と説明については2頁の「**ﾋﾟﾝ配置**」、51頁の**表12-6.**、53頁の**表12-9.**、55頁の**表12-12.**を参照してください。

15.1.1. 関係ﾚｼﾞｽﾀ

ﾀｲﾏ/ｶｳﾝﾀ(TCNTn)、比較ﾚｼﾞｽﾀ(OCRnA,OCRnB,OCRnC)、捕獲ﾚｼﾞｽﾀ(ICRn)は全て16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽするとき、特別な手順に従わなければなりません。これらの手順は79頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」項で記述されます。ﾀｲﾏ/ｶｳﾝﾀn制御ﾚｼﾞｽﾀ(TCCRnA,TCCRnB,TCCRnC)は8ﾋﾞｯﾄ ﾚｼﾞｽﾀで、CPUｱｸｾｽ制限はありません。割り込み要求信号はﾀｲﾏ/ｶｳﾝﾀn割り込み要求ﾚｼﾞｽﾀ(TIFRn)で全て見えます。全ての割り込みはﾀｲﾏ/ｶｳﾝﾀn割り込み許可ﾚｼﾞｽﾀ(TIMSKn)で個別に遮蔽(禁止)されます。TIFRnとTIMSKnはこの図で示されません。

このﾀｲﾏ/ｶｳﾝﾀは内部的、前置分周器経由、またはTnﾋﾟﾝの外部ｸﾛｯｸ元によってｸﾛｯｸ駆動されます。ｸﾛｯｸ選択論理部はﾀｲﾏ/ｶｳﾝﾀが値を増加(または減少)するのに使うｸﾛｯｸ元と端(ｴｯｼﾞ)を制御します。ｸﾛｯｸ元が選ばれないと、ﾀｲﾏ/ｶｳﾝﾀは動きません。ｸﾛｯｸ選択論理部からの出力はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ(clk_{Tn})として参照されます。

2重緩衝化した比較ﾚｼﾞｽﾀ(OCRnA,OCRnB,OCRnC)はﾀｲﾏ/ｶｳﾝﾀ値と常に比較されます。この比較結果は比較出力(OCnA,OCnB,OCnC)ﾋﾟﾝでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。83頁の「**比較出力部**」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求ﾌﾗｸﾞ(OCFnA,OCFnB,OCFnC)も設定(1)します。

捕獲ﾚｼﾞｽﾀ(ICRn)は捕獲起動(ICPn)ﾋﾟﾝまたはｱﾅﾛｸﾞ比較器出力(209頁の「**ｱﾅﾛｸﾞ比較器**」参照)のどちらかの(端で起動された)外部事象でﾀｲﾏ/ｶｳﾝﾀ値を捕獲(複写)できます。捕獲入力部は尖頭雑音を捕らえる機会を軽減するためにﾃﾞｼﾞﾀﾙ濾波部(雑音消去器)を含みます。

TOP値または最大ﾀｲﾏ/ｶｳﾝﾀ値は、いくつかの動作種別で、OCRnA、ICRn、または一群の固定値のどれかによって定義できます。PWM動作でTOP値としてOCRnAを使うと、OCRnAはPWM出力生成用に使えません。けれどもこの場合、TOP値は動作中に変更されるのをTOP値に許す2重緩衝化します。固定的なTOP値が必要とされる場合、ICRnが代わりに使え、PWM出力として使われるべきOCRnAを開放します。

15.1.2. 定義

次の定義は本文書を通して広範囲に使われます。

表15-1. 用語定義

用語	意味
BOTTOM	ｶｳﾝﾀが$0000に到達した時。
MAX	ｶｳﾝﾀが$FFFF(65535)に到達した時。
TOP	ｶｳﾝﾀがTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値($00FF,$01FF,$03FF)、OCRnA値、ICRn値の何れか1つを指定できます。この指定は動作種別に依存します。

15.2. 16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ

TCNTn,OCRnA,OCRnB,OCRnC,ICRnは8ﾋﾞｯﾄ ﾊﾞｽ経由でAVR CPUによってｱｸｾｽできる16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。この16ﾋﾞｯﾄ ﾚｼﾞｽﾀは2回の読みまたは書き操作を使ってﾊﾞｲﾄ ｱｸｾｽされなければなりません。各々の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは16ﾋﾞｯﾄ ｱｸｾｽの上位ﾊﾞｲﾄの一時保存用に1つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀを持ちます。16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ内の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀ間で、この同じ一時ﾚｼﾞｽﾀが共用されます。下位ﾊﾞｲﾄ ｱｸｾｽが16ﾋﾞｯﾄ読み書き動作を起動します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって書かれると、一時ﾚｼﾞｽﾀに保存した上位ﾊﾞｲﾄと書かれた下位ﾊﾞｲﾄは同じｸﾛｯｸ周期で両方が16ﾋﾞｯﾄ ﾚｼﾞｽﾀに複写されます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって読まれると、16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄは下位ﾊﾞｲﾄが読まれるのと同じｸﾛｯｸ周期で一時ﾚｼﾞｽﾀに複写されます。

全ての16ﾋﾞｯﾄ ｱｸｾｽが上位ﾊﾞｲﾄに対して一時ﾚｼﾞｽﾀを使う訳ではありません。OCRnA,OCRnB,OCRnCの16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込みは一時ﾚｼﾞｽﾀの使用に関係しません。

16ﾋﾞｯﾄ書き込みを行うために上位ﾊﾞｲﾄは下位ﾊﾞｲﾄに先立って書かれなければなりません。16ﾋﾞｯﾄ読み込みについては下位ﾊﾞｲﾄが上位ﾊﾞｲﾄの前に読まれなければなりません。

次のｺｰﾄﾞ例は割り込みが一時ﾚｼﾞｽﾀを更新しないことが前提の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ法を示します。OCRnA,OCRnB,OCRnC,ICRnﾚｼﾞｽﾀのｱｸｾｽに対して同じ原理が直接的に使えます。C言語を使う時にｺﾝﾊﾟｲﾗが16ﾋﾞｯﾄ ｱｸｾｽを扱うことに注意してください。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
            ～                                      ;
                                                    ;[16ﾋﾞｯﾄ($01FF)書き込み]
            LDI     R17, $01                        ;$01FFの上位ﾊﾞｲﾄ値取得
            LDI     R16, $FF                        ;$01FFの下位ﾊﾞｲﾄ値取得
            OUT     TCNTnH, R17                     ;上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
            OUT     TCNTnL, R16                     ;下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
                                                    ;[16ﾋﾞｯﾄ読み込み]
            IN      R16, TCNTnL                     ;下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
            IN      R17, TCNTnH                     ;上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
            ～                                      ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int i;
    ～                                              /* */
    TCNTn = 0x1FF;                                  /* 16ﾋﾞｯﾄ($01FF)書き込み */
    i = TCNTn;                                      /* 16ﾋﾞｯﾄ読み込み */
    ～                                              /* */
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNTn値を戻します。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽが非分断操作であることに注意することが重要です。16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽする2命令間で割り込みが起き、割り込みｺｰﾄﾞがその16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀの同じ若しくは他の何れかをｱｸｾｽすることによって一時ﾚｼﾞｽﾀを更新する場合、割り込み外のその後のｱｸｾｽ結果は不正にされます。従って主ｺｰﾄﾞと割り込みｺｰﾄﾞの両方が一時ﾚｼﾞｽﾀを更新するとき、主ｺｰﾄﾞは16ﾋﾞｯﾄ ｱｸｾｽ中の割り込みを禁止しなければなりません。

次のｺｰﾄﾞ例はTCNTnﾚｼﾞｽﾀ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCRnA,OCRnB,OCRnC,ICRnのどの読み込みも行えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
RD_TCNTn:   IN      R18, SREG          ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                        ;全割り込み禁止
            IN      R16, TCNTnL        ;TCNTn下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
            IN      R17, TCNTnH        ;TCNTn上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
            OUT     SREG, R18          ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int TIM16_Read_TCNTn(void)
{
    unsigned char sreg;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                    /* TCNTn読み出し変数定義 */
    sreg = SREG;                       /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    __disable_interrupt();             /* 全割り込み禁止 */
    i = TCNTn;                         /* TCNTn値を取得 */
    SREG = sreg;                       /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
    return i;                          /* TCNTn値で呼び出し元へ復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNTn値を戻します。

次のｺｰﾄﾞ例はTCNTnﾚｼﾞｽﾀ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCRnA,OCRnB,OCRnC,ICRnのどの書き込みも行えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WR_TCNTn:   IN      R18, SREG          ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                        ;全割り込み禁止
            OUT     TCNTnH, R17        ;TCNTn上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
            OUT     TCNTnL, R16        ;TCNTn下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
            OUT     SREG, R18          ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void TIM16_Write_TCNTn(unsigned int i)
{
    unsigned char sreg;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                    /* TCNTn書き込み変数定義 */
    sreg = SREG;                       /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    __disable_interrupt();             /* 全割り込み禁止 */
    TCNTn = i;                         /* TCNTn値を設定 */
    SREG = sreg;                       /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対がTCNTnへ書かれるべき値を含むことが必要です。

15.2.1. 上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀの再使用

書かれる全ﾚｼﾞｽﾀについて上位ﾊﾞｲﾄが同じ複数16ﾋﾞｯﾄ ﾚｼﾞｽﾀ書き込みなら、上位ﾊﾞｲﾄは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

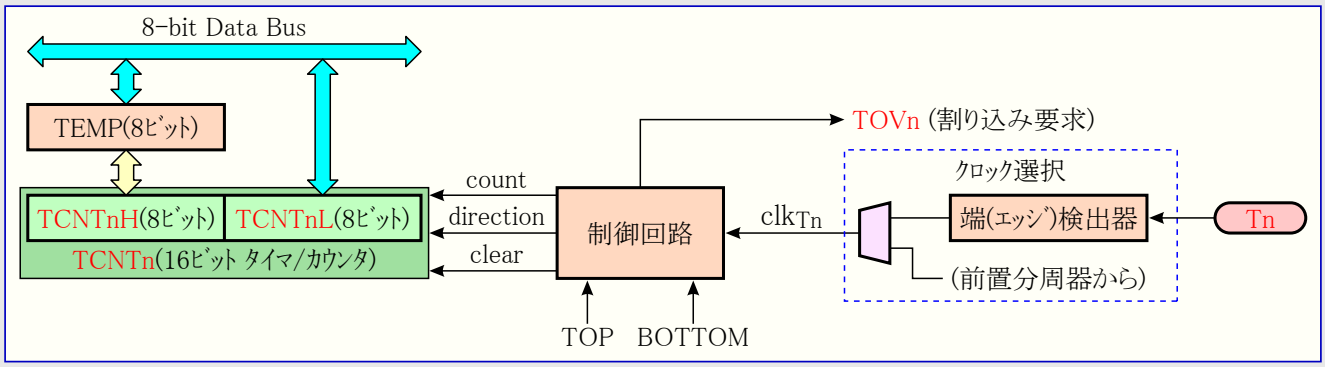
15.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCRnB)に配置されたクロック選択(CSn2～0)ビットによって制御されるクロック選択論理回路で選ばれます。クロック元と前置分周器の詳細については63頁の「タイマ/カウンタ0、タイマ/カウンタ1、タイマ/カウンタ3の前置分周器」をご覧ください。

15.4. 計数器部

16ビット タイマ/カウンタの主な部分は設定可能な16ビット双方向カウンタ部です。**図15-2.**はこのカウンタとその周辺の構成図を示します。

図15-2. 計数器部構成図



信号説明 (内部信号)	count	TCNTnを1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNTnのリセット($0000設定)信号。
	clk_{Tn}	タイマ/カウンタ クロック信号。
	TOP	TCNTnが最大値に到達したことを示す信号。
	BOTTOM	TCNTnが最小値($0000)に到達したことを示す信号。
	TEMP	一時レジスタ。

この16ビット カウンタはカウンタの上位8ビットを含むカウンタ上位(TCNTnH)と下位8ビットを含むカウンタ下位(TCNTnL)の2つの8ビット I/Oメモリ位置に配置されます。TCNTnHレジスタはCPUによる間接的なアクセスのみできます。CPUがTCNTnH I/O位置をアクセスするとき、CPUは上位バイト一時レジスタ(TEMP)をアクセスします。この一時レジスタはTCNTnLが読まれる時にTCNTnH値で更新され、TCNTnLが書かれる時にTCNTnHは一時レジスタ値で更新されます。これは8ビット データ バス経由で1クロック周期内での16ビット カウンタ値全体の読み書きをCPUに許します。予測不能な結果を生じる、カウンタが計数中の時のTCNTn書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項目で記述されます。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{Tn})でリセット($0000)、増加(+1)、または減少(-1)されます。clk_{Tn}はクロック選択(CSn2～0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CSn2～0=000)時にカウンタは停止されます。けれどもTCNTn値はタイマ/カウンタ クロック(clk_{Tn})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCRnA)とタイマ/カウンタ制御レジスタB(TCCRnB)に配置された波形生成種別(WGMn3～0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法と波形がOCnx比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては86頁の「**動作種別**」をご覧ください。

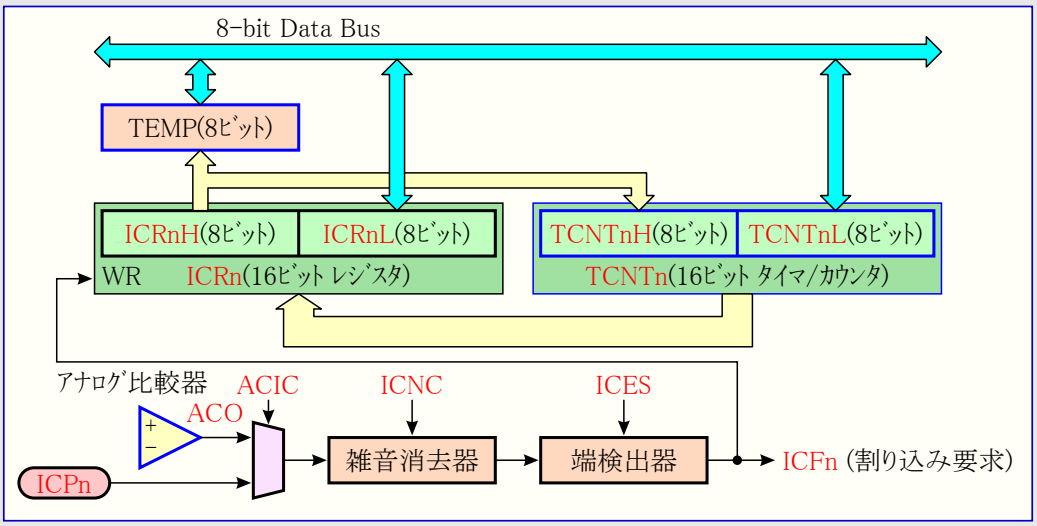
タイマ/カウンタ溢れ(TOVn)フラグはWGMn3～0ビットによって選ばれた動作種別に従って設定(1)されます。TOVnはCPU割り込み発生に使えます。

15.5. 捕獲入力部

ﾀｲﾏ/ｶｳﾝﾀは外部の出来事を捕獲でき、発生時間を示す時間印(ﾀｲﾏ/ｶｳﾝﾀ値)を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号はICPnﾋﾟﾝまたは代わりにｱﾅﾛｸﾞ比較器経由で印加できます。時間印はその後、周波数、ﾃﾞｭｰﾃｨ比、印加された信号の他の特性の計算に使えます。代わりに時間印は出来事の記録作成にも使えます。

捕獲入力部は**図15-3.**で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(**訳注**:原文は灰色背景)で示されます。ﾚｼﾞｽﾀとﾋﾞｯﾄ名での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号を示します。

図15-3. 捕獲入力部構成図



注: ACO,ACICはｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)内のﾋﾞｯﾄです。

注: ｱﾅﾛｸﾞ比較器出力(ACO)はﾀｲﾏ/ｶｳﾝﾀ1のみ起動でき、ﾀｲﾏ/ｶｳﾝﾀ3では使えません。

捕獲起動入力(ICPn)ﾋﾟﾝ若しくは代わりにｱﾅﾛｸﾞ比較器出力(ACO)で論理ﾚﾍﾞﾙの変化(出来事)が起き、その変化が端(ｴｯｼﾞ)検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、ｶｳﾝﾀ(TCNTn)の16ﾋﾞｯﾄ値が捕獲ﾚｼﾞｽﾀ(ICRn)に書かれます。捕獲割り込み要求ﾌﾗｸﾞ(ICFn)はTCNTn値がICRnに複写されるのと同じｼｽﾃﾑ ｸﾛｯｸで設定(1)されます。許可(I=1, ICIEn=1)ならば捕獲割り込み要求ﾌﾗｸﾞは捕獲割り込みを発生します。ICFnは割り込みが実行されると自動的に解除(0)されます。代わりにこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。

捕獲ﾚｼﾞｽﾀ(ICRn)の16ﾋﾞｯﾄ値読み込みは、初めに下位ﾊﾞｲﾄ(ICRnL)、その後に上位ﾊﾞｲﾄ(ICRnH)を読むことによって行われます。下位ﾊﾞｲﾄが読まれる時に上位ﾊﾞｲﾄが上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)に複写されます。CPUがICRnH I/O位置を読むと、この一時ﾚｼﾞｽﾀをｱｸｾｽします。

ICRnはｶｳﾝﾀのTOP値定義にICRnを利用する波形生成種別を使う時にだけ書けます。これらの場合、TOP値がICRnに書かれ得る前に波形生成種別(WGMn3～0)ﾋﾞｯﾄが設定されなければなりません。ICRnに書く時は下位ﾊﾞｲﾄがICRnLに書かれる前に、上位ﾊﾞｲﾄがICRnH I/O位置に書かれなければなりません。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ法のより多くの情報については79頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」を参照してください。

15.5.1. 捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力(ICPn)ﾋﾟﾝです。ﾀｲﾏ/ｶｳﾝﾀ1は捕獲入力部用起動元としてｱﾅﾛｸﾞ比較器出力を代わりに使えます。ｱﾅﾛｸﾞ比較器はｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)のｱﾅﾛｸﾞ比較器捕獲起動許可(ACIC)ﾋﾞｯﾄの設定(1)によって起動元として選ばれます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求ﾌﾗｸﾞ(ICFn)は、その変更後に解除(0)されなければなりません。

捕獲起動入力(ICPn)ﾋﾟﾝとｱﾅﾛｸﾞ比較器出力(ACO)の両入力は、Tnﾋﾟﾝ(63頁の**図13-1.**参照)についてと同じ技法を使って採取されます。端検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路が端検出器の前に挿入され、そして遅延を4ｼｽﾃﾑ ｸﾛｯｸ周期増やします。ﾀｲﾏ/ｶｳﾝﾀがTOP値定義にICRnを使う波形生成種別に設定されないなら、雑音消去器と端検出器の入力が常に許可されることに注意してください。

捕獲入力はICPnﾋﾟﾝのﾎﾟｰﾄを制御することによってｿﾌﾄｳｪｱで起動できます。

15.5.2. 雑音消去器

雑音消去器は簡単なﾃﾞｼﾞﾀﾙ濾波器機構を使うことによって雑音耐性を改善します。雑音消去器の入力は4採取に渡って監視され、端検出器によって使われる方向転換となる出力を変更するためには4回全てが同じでなければなりません。

雑音消去器はﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCRnB)の捕獲入力雑音消去許可(ICNCn)ﾋﾞｯﾄの設定(1)によって許可されます。許可したとき、雑音消去器は入力に印加した変更からICRnの更新までに4ｼｽﾃﾑ ｸﾛｯｸ周期の追加遅延をもたらします。雑音消去器はｼｽﾃﾑ ｸﾛｯｸを使い、従って前置分周器によって影響されません。

15.5.3. 捕獲入力の使用

捕獲入力機能を使う主な要求(目的)は入って来る出来事に対して充分なﾌﾟﾛｾｯｻ能力を当てがうことです。2つの出来事間の時間が際どいとします。次の出来事が起こる前に捕獲した捕獲ﾚｼﾞｽﾀ(ICRn)の値をﾌﾟﾛｾｯｻが読めなかった場合、ICRnは新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使うとき、ICRnは割り込み処理ﾙｰﾁﾝで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求のどれかを扱うのに必要とされる最大ｸﾛｯｸ周期数に依存します。

動作中にTOP値(分解能)が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のﾃﾞｭｰﾃｨ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更はICRnが読まれてしまった後に可能な限り早く行われなければなりません。端(ｴｯｼﾞ)の変更後、捕獲割り込み要求ﾌﾗｸﾞ(ICFn)はｿﾌﾄｳｪｱ(I/Oﾋﾞｯﾄ位置への論理1書き込み)によって解除(0)されなければなりません(**訳補**:端変更によってICFnが設定(1)されることを想定)。周波数のみの測定について、(割り込み処理が使われる場合)ICFnの解除(0)は必要とされません。

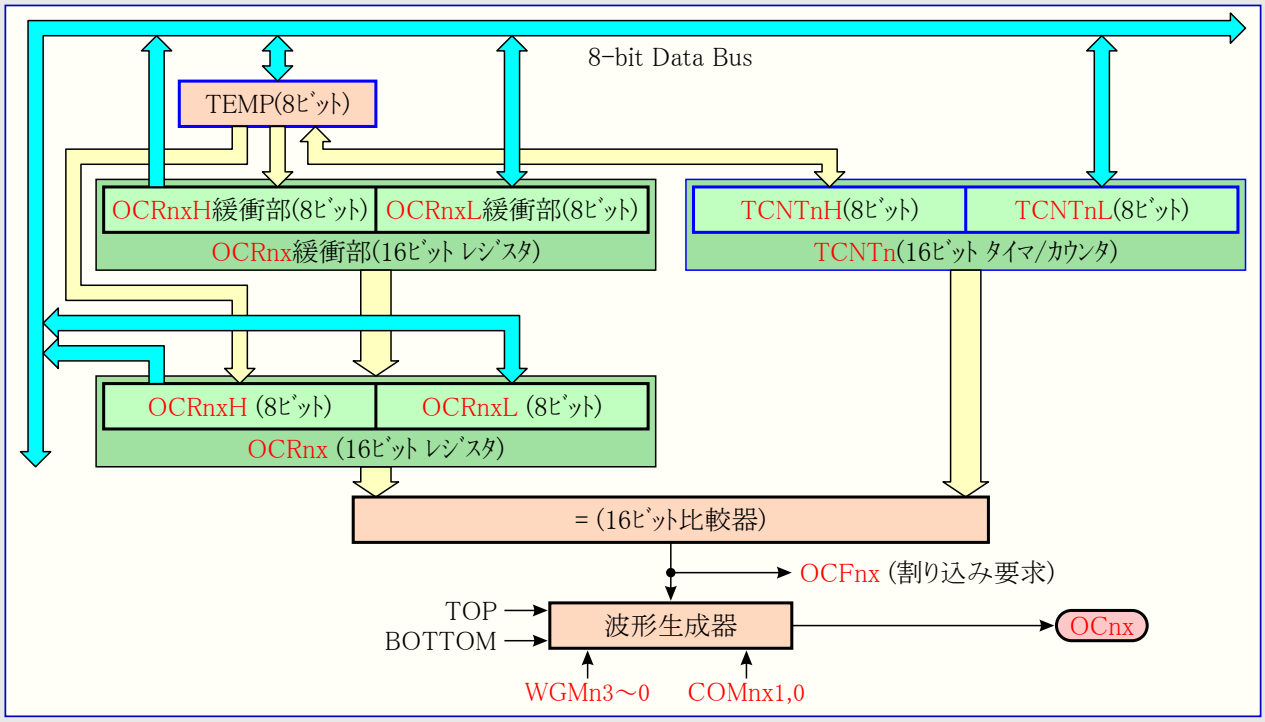
15.6. 比較出力部

この16ﾋﾞｯﾄ比較器はTCNTnと比較ﾚｼﾞｽﾀ(OCRnx)を継続的に比較します。TCNTnとOCRnxが等しければ、比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCFnx)を設定(1)します。許可(I=1,OCIEnx=1)なら、この比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。OCFnxは割り込みが実行されると自動的に解除(0)されます。代わりにOCFnxはこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGMn3～0)ﾋﾞｯﾄと比較出力選択(COMnx1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。TOPとBOTTOM信号は動作種別(86頁の「**動作種別**」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

比較A出力部の特殊な特性はﾀｲﾏ/ｶｳﾝﾀのTOP値(換言するとｶｳﾝﾀの分解能)定義を許します。ｶｳﾝﾀの分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

図15-4.は比較出力部の構成図を示します。ﾚｼﾞｽﾀとﾋﾞｯﾄ名での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、小文字の'x'は比較出力部(A、BまたはC)を表します。直接的な比較出力部の部分でない構成図の要素は青枠(**訳注**:原文は灰色背景)で示されます。

図15-4. 比較出力部構成図



OCRnxは12種類のﾊﾟﾙｽ幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCRnxﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCRnxのｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCRnx緩衝部をｱｸｾｽし、禁止されるとOCRnxﾚｼﾞｽﾀを直接ｱｸｾｽします。OCRnx(緩衝部またはﾚｼﾞｽﾀ)の内容は書き込み操作によってのみ変更されます(ﾀｲﾏ/ｶｳﾝﾀはTCNTnやICRnのようにOCRnxを自動的に更新しません)。従ってOCRnxは上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)経由で読まれません。けれども他の16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽする時のように下位ﾊﾞｲﾄを先に読むのは良い習慣です。OCRnx書き込みは16ﾋﾞｯﾄ全ての比較が継続的に行われるため、一時ﾚｼﾞｽﾀ経由で行われなければなりません。上位ﾊﾞｲﾄ(OCRnxH)が先に書かれなければなりません。上位ﾊﾞｲﾄI/O位置がCPUによって書かれると、一時ﾚｼﾞｽﾀは書かれた値で更新されます。その後に下位ﾊﾞｲﾄ(OCRnxL)が下位8ﾋﾞｯﾄを書かれると、(一時ﾚｼﾞｽﾀ内の)上位ﾊﾞｲﾄは(下位ﾊﾞｲﾄ書き込みと)同じｼｽﾃﾑ ｸﾛｯｸ周期でOCRnx緩衝部またはOCRnxﾚｼﾞｽﾀのどちらかに複写されます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ法のより多くの情報については79頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」を参照してください。

(**訳注**) ここでは比較nxﾚｼﾞｽﾀ全体をOCRnx、OCRnxを構成する緩衝部分をOCRnx緩衝部、実際の比較に使われるﾚｼﾞｽﾀ本体部分をOCRnxﾚｼﾞｽﾀとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

15.6.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOCnx)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCFnx)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OCnxﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COMnx1,0ﾋﾞｯﾄ設定がOCnxﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

15.6.2. TCNTn書き込みによる比較一致妨害

TCNTnへの全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に、割り込みを起動することなく、TCNTnと同じ値に初期化されることをOCRnxに許します。

15.6.3. 比較一致部の使用

どの動作種別でのTCNTn書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、何れかの比較出力部を使う場合、TCNTnを変更する時に危険を伴います。TCNTnに書かれた値がOCRnx値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNTnを書いてはいけません。(行った場合)TOPに対する比較一致は無視され、ｶｳﾝﾀは$FFFFへ(計数を)続けます。同様にｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNTn値を書いてはいけません。

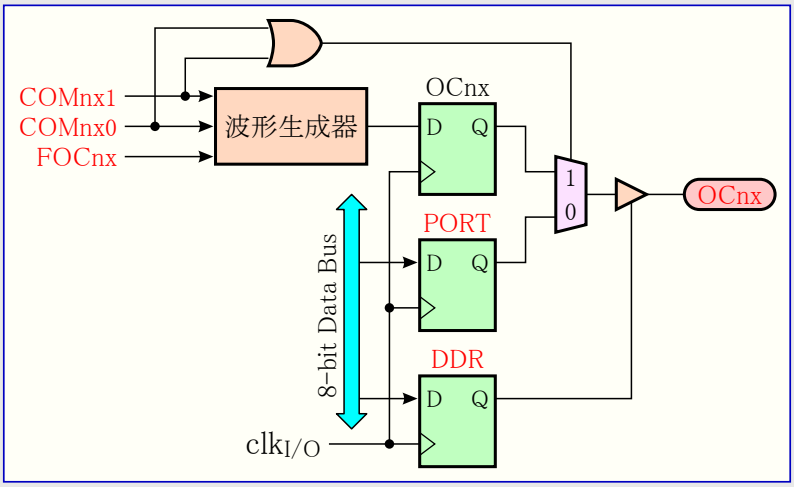
OCnxの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OCnx値を設定する一番簡単な方法は標準動作で強制変更(FOCnx)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成種別間を変更する時であっても、OCnx(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COMnx1,0)ﾋﾞｯﾄが比較値(OCRnx)と共に2重緩衝されないことに気付いてください。COMnx1,0ﾋﾞｯﾄの変更は直ちに有効となります。

15.7. 比較一致出力部

比較出力選択(COMnx1,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OCnx)状態の定義にCOMnx1,0ﾋﾞｯﾄを使います。次にCOMnx1,0ﾋﾞｯﾄはOCnxﾋﾟﾝ出力元を制御します。**図15-5.**はCOMnx1,0ﾋﾞｯﾄ設定によって影響される論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COMnx1,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OCnxの状態を参照するとき、その参照はOCnxﾋﾟﾝでなく内部OCnxﾚｼﾞｽﾀに対してです。ｼｽﾃﾑ ﾘｾｯﾄが起こると、OCnxﾚｼﾞｽﾀは0にﾘｾｯﾄされます。

図15-5. 比較一致出力回路図



COMnx1,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OCnx)によって無効にされます。けれどもOCnxﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OCnxﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OCnx)はOCnx値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。詳細については**表15-2.**、**表15-3.**、**表15-4.**を参照してください。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOCnx状態の初期化を許します。いくつかのCOMnx1,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。91頁の「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1,3用ﾚｼﾞｽﾀ**」をご覧ください。

COMnx1,0ﾋﾞｯﾄは捕獲入力部での何の効果もありません。

15.7.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOMnx1,0ﾋﾞｯﾄを違うふうに使います。全動作種別に対してCOMnx1,0=00設定は次の比較一致で実行すべきOCnxﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については91頁の**表15-2.**を参照してください。高速PWM動作については91頁の**表15-3.**、位相基準PWMと位相/周波数基準PWMについては91頁の**表15-4.**を参照してください。

COMnx1,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOCnx)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

15.8. 動作種別

動作種別、換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作は波形生成種別(WGMn3～0)ﾋﾞｯﾄと比較出力選択(COMnx1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COMnx1,0ﾋﾞｯﾄは生成されたPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対してのCOMnx1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します。85頁の「比較一致出力部」をご覧ください。

ﾀｲﾐﾝｸﾞ情報の詳細については90頁の「ﾀｲﾏ/ｶｳﾝﾀ1,3のﾀｲﾐﾝｸﾞ」を参照してください。

15.8.1. 標準動作

最も単純な動作種別が標準動作(WGMn3～0=0000)です。この動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀの解除は実行されません。ｶｳﾝﾀは16ﾋﾞｯﾄ最大値(MAX=$FFFF)を通過すると単に範囲を超え、そして$0000(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOVn)ﾌﾗｸﾞはTCNTnが$0000になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOVnﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第17ﾋﾞｯﾄのようになります。けれどもTOVnﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀn溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

捕獲入力部は標準動作で使用が容易です。けれども外部の事象間の最大間隔がﾀｲﾏ/ｶｳﾝﾀの分解能(16ﾋﾞｯﾄ長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込みまたは前置分周器が使われなければなりません。

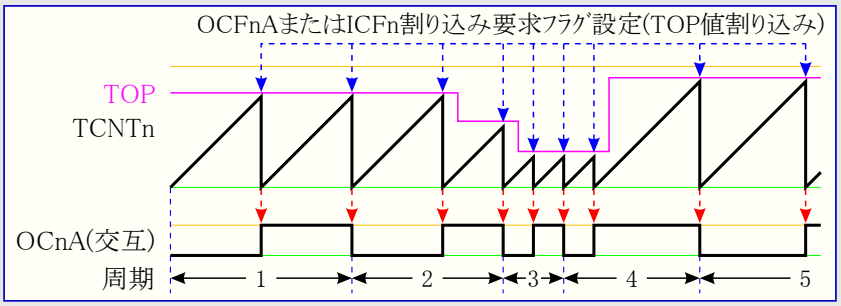
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

15.8.2. 比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGMn3～0=0100または1100)ではOCRnAまたはICRnがｶｳﾝﾀの分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNTn)値がOCRnA(WGMn3～0=4)またはICRn(WGMn3～0=12)のどちらかと一致する時にｶｳﾝﾀが$0000に解除されます。OCRnAまたはICRnはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は図15-6.で示されます。ｶｳﾝﾀ(TCNTn)値はOCRnAまたはICRnのどちらかで比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNTn)は解除($0000)されます。

図15-6. CTC動作ﾀｲﾐﾝｸﾞ



注: COMnA1,0=01

TOP値を定義するのに使われるﾚｼﾞｽﾀに対してOCFnAまたはICFnのどちらかを使うことにより、ｶｳﾝﾀ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更するのは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCRnAまたはICRnに書かれた新しい値がTCNTnの現在値よりも低(小さ)い場合、ｶｳﾝﾀは(その回の)比較一致を失います。その後のｶｳﾝﾀは比較一致が起こせるのに先立って、最大値($FFFF)へそして次に$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCRnAが2重緩衝されるので、代替はTOPを定義するのにOCRnAを用いる高速PWM動作(WGMn3～0=1111)を使うことでしょう。

CTC動作で波形出力を生成するため、OCnA出力は比較出力選択(COMnA1,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切替に設定できます。OCnA値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OCnA=1)に設定されない限り、ﾎﾟｰﾄ ﾋﾟﾝで見えないでしょう。生成された波形はOCRnAが0($0000)に設定される時に$f_{OCnA}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込み要求(TOVn)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$0000へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

15.8.3. 高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGMn3～0=0101,0110,0111,1110,1111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)はTCNTnとOCRnx間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COMnx1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準や位相/周波数基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

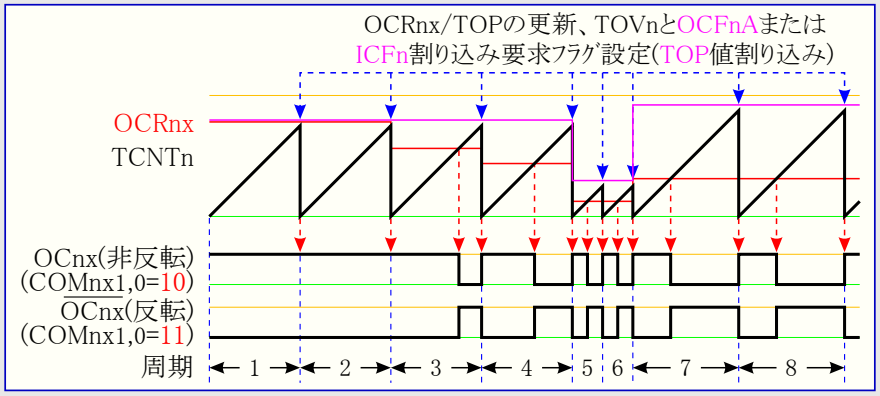
高速PWMのPWM分解能は8,9,10ﾋﾞｯﾄに固定、若しくはOCRnAかICRnのどちらかによって定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCRnAまたはICRnが$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCRnAまたはICRnがMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

$$R_{FPWM} = \frac{\log(TOP+1)}{\log 2}$$

高速PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値が固定値$00FF,$01FF,$03FF(WGMn3～0=0101,0110,0111)、ICRn値(WGMn3～0=1110)またはOCRnA値(WGMn3～0=1111)のどれかと一致するまで増加されます。そしてｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で解除($0000)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は図15-7.で示されます。本図はOCRnAかICRnがTOPを定義するのに使われる時の高速PWM動作を示します。TCNTn値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFnx)は比較一致が起こると設定(1)されます。

ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込み要求(TOVn)ﾌﾗｸﾞはｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。加えて、OCRnAかICRnのどちらかがTOP値を定義するのに使われると、OCFnAまたはICFn割り込み要求ﾌﾗｸﾞはTOVnが設定(1)されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。これらの割り込みの1つが許可されるなら、その割り込み処理ﾙｰﾁﾝはTOPと比較値を更新するのに使えます。

図15-7. 高速PWM動作ﾀｲﾐﾝｸﾞ



TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNTnとそのOCRn x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCRnxが書かれる時も、未使用ﾋﾞｯﾄが0で隠(に置換)されることに注意してください。

ICRnがTOP値を定義するのに使われるとき、ICRnを更新する手順はOCRnAの更新と異なります。ICRnは2重緩衝されません。これは前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にICRnが小さな値に変更される場合、書かれた新しいICRn値がTCNTnの現在値よりも小さくなる危険を意味します。その後の結果はｶｳﾝﾀが(その回の)TOP値での比較一致を失う事です。その後のｶｳﾝﾀは比較一致が起こせるのに先立って、MAX値($FFFF)へそして次に$0000から始める計数をしなければならないでしょう。しかし、OCRnAは2重緩衝されます。この特徴は何時でも書かれることをOCRnAのI/O位置に許します。OCRnA I/O位置が書かれると、書かれた値はOCRnA緩衝部に置かれます。OCRnA(比較)ﾚｼﾞｽﾀはその後にTCNTnがTOPと一致した次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期にOCRnA緩衝部の値で更新されます。この更新はTCNTnの解除($0000)やTOVnの設定(1)と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で行われます。

TOPを定義するのにICRnを使うことは決まったTOP値を使う時に上手くいきます。ICRnを使うことにより、OCnAでのPWM出力を生成するためにOCRnAが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCRnAが2重緩衝機能のため、TOPとしてOCRnAを使うことは明らかに良い選択です。

高速PWM動作での比較部はOCnxﾋﾟﾝでのPWM波形の生成を許します。COMnx1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます。91頁の**表15-3.**をご覧ください。実際のOCnx値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はTCNTnとOCRnx間の比較一致でOCnx(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($0000、TOPからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でのOCnxﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

PWM出力周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPWM} = \frac{f_{clk_I/O}}{N\times(1+TOP)}$$

OCRnxの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCRnxがBOTTOM($0000)に等しく設定されると、出力はTOP+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。TOPに等しいOCRnx設定は(COMnx1,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOCnA設定(COMnA1,0=01)によって達成できます。これはTOP値を定義するのにOCRnAが使われる(WGMn3～0=1111)の場合にだけ適用されます。生成された波形はOCRnAが0($0000)に設定される時に$f_{OCnA}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOCnA交互出力(COMnA1,0=01)と同じです。

15.8.4. 位相基準PWM動作

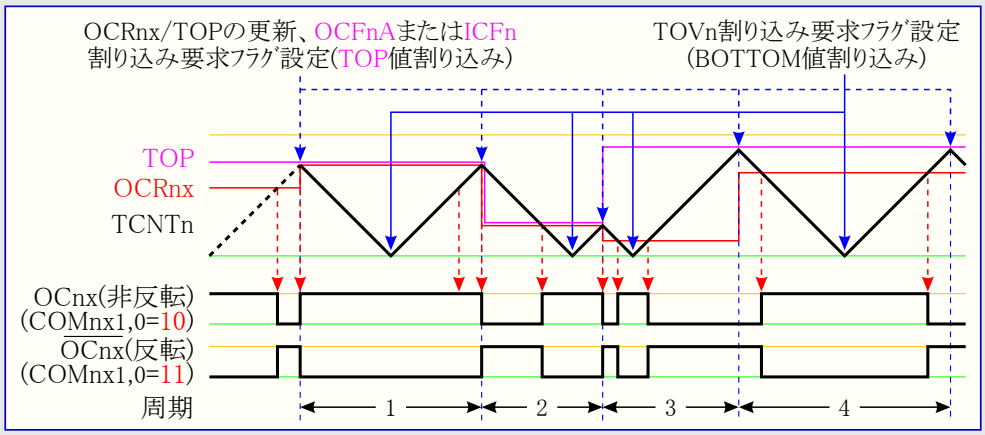
位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGMn3～0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とした位相/周波数基準PWMと似ています。ｶｳﾝﾀはBOTTOM($0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)は上昇計数中のTCNTnとOCRnx間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COMnx1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8,9,10ﾋﾞｯﾄに固定、若しくはOCRnAかICRnのどちらかによって定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCRnAまたはICRnが$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCRnAまたはICRnがMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

$$R_{PCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値が固定値$00FF,$01FF,$03FF(WGMn3～0=0001,0010,0011)、ICRn値(WGMn3～0=1010)またはOCRnA値(WGMn3～0=1011)のどれかと一致するまで増加されます。ｶｳﾝﾀはTOPに到達したその時に計数方向を変更します。このTCNTn値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、TOPと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は図15-8.で示されます。この図はOCRnAかICRnがTOPを定義するのに使われる時の位相基準PWM動作を示します。TCNTn値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFnx)は比較一致が起こると設定(1)されます。

図15-8. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOVn)ﾌﾗｸﾞはｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。OCRnAかICRnのどちらかがTOP値を定義するのに使われるとき、OCFnAまたはICFn割り込み要求ﾌﾗｸﾞはOCRnxﾚｼﾞｽﾀが(TOPに於いて)2重緩衝値で更新されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期によって設定(1)されます。これらの割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。固定TOP値を使う場合、どのOCRnxが書かれる時も、未使用ﾋﾞｯﾄが0で隠(に置換)されることに注意してください。図15-8.で示される第3周期が図解するように、ﾀｲﾏ/ｶｳﾝﾀが位相基準PWM動作で走行中にTOPを積極的に変更するのは、非対称出力で終わることが有り得ます。これに対する理由はOCRnxﾚｼﾞｽﾀの更新時に見出せます。OCRnx更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値によって決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違うとき、その周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

ﾀｲﾏ/ｶｳﾝﾀが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使うことが推奨されます。一定のTOP値を使うとき、2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOCnxﾋﾟﾝでのPWM波形の生成を許します。COMnx1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます(91頁の表15-4.をご覧ください)。実際のOCnx値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNTnとOCRnx間の比較一致でOCnx(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNTnとOCRnx間の比較一致でOCnxﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

OCRnxの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCRnxがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

TOP値定義にOCRnAが使われ(WGMn3～0=1011)、COMnA1,0=01なら、OCnA出力はﾃﾞｭｰﾃｨ比50%で交互に変化します。

15.8.5. 位相/周波数基準PWM動作

位相/周波数基準ﾊﾟﾙｽ幅変調(PWM)動作(WGMn3～0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相/周波数基準PWM動作は両傾斜(三角波)動作を基準とした位相基準PWMと似ています。ｶｳﾝﾀはBOTTOM($0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)は上昇計数中のTCNTnとOCRnx間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COMnx1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

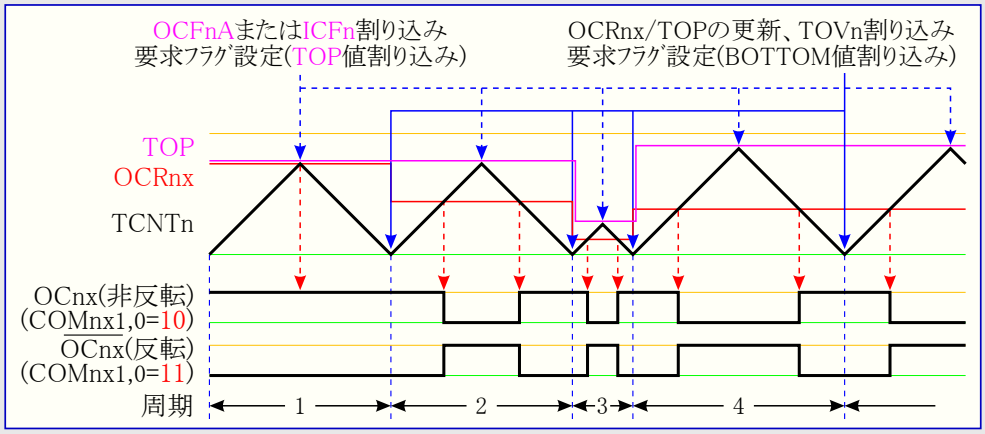
位相基準と位相/周波数基準PWM動作間の主な違いはOCRnxﾚｼﾞｽﾀがOCRnx緩衝部によって更新される時(**訳補**:TOPとBOTTOM)です(**図15-8.**と**図15-9.**参照)。

位相/周波数基準PWM動作のPWM分解能はOCRnAかICRnのどちらかで定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCRnAまたはICRnが$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCRnAまたはICRnがMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

$$R_{PFCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相/周波数基準PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がICRn値(WGMn3～0=1000)かOCRnA値(WGMn3～0=1001)のどちらかと一致するまで増加されます。ｶｳﾝﾀはTOPに到達したその時に計数方向を変更します。このTCNTn値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、TOPと等しくなります。位相/周波数基準PWM動作のﾀｲﾐﾝｸﾞ図は**図15-9.**で示されます。この図はOCRnAかICRnがTOPを定義するのに使われる時の位相/周波数基準PWM動作を示します。TCNTn値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します (**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFnx)は比較一致が起こると設定(1)されます。

図15-9. 位相/周波数基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOVn)ﾌﾗｸﾞはOCRnxﾚｼﾞｽﾀが(BOTTOMに於いて)2重緩衝値で更新されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。OCRnAかICRnのどちらかがTOP値を定義するのに使われるとき、OCFnAまたはICFn割り込み要求ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。これらの割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。

図15-9.が示すように、生成された出力は位相基準PWM動作と異なり、全ての周期で対称です。OCRnxﾚｼﾞｽﾀがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力ﾊﾟﾙｽ、従って正しい周波数を与えます。

TOPを定義するのにICRnを使うことは決まったTOP値を使う時に上手くいきます。ICRnを使うことにより、OCnAでのPWM出力を生成するためにOCRnAが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCRnAが2重緩衝機能のため、TOPとしてOCRnAを使うことは明らかに良い選択です。

位相/周波数基準PWM動作での比較部はOCnxﾋﾟﾝでのPWM波形の生成を許します。COMnx1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます(91頁の**表15-4.**をご覧ください)。実際のOCnx値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNTnとOCRnx間の比較一致でOCnx(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNTnとOCRn x間の比較一致でOCnxﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

位相/周波数基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPFCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

OCRnxの両端値は位相/周波数基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCRnxがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

TOP値定義にOCRnAが使われ(WGMn3～0 =1001)、COMnA1,0=01なら、OCnA出力はﾃﾞｭｰﾃｨ比50%で交互に変化します。

15.9. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタ クロック(clk_{Tn})が下図のクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時、そしてOCRnxレジスタがOCRnx緩衝部値で更新される時(2重緩衝を使う動作種別のみ)の情報を含みます。図15-10.はOCFnxの設定についてのタイミング図を示します。

図15-10. 前置分周なし(1/1)のタイマ/カウンタ、OCFnx設定 タイミング

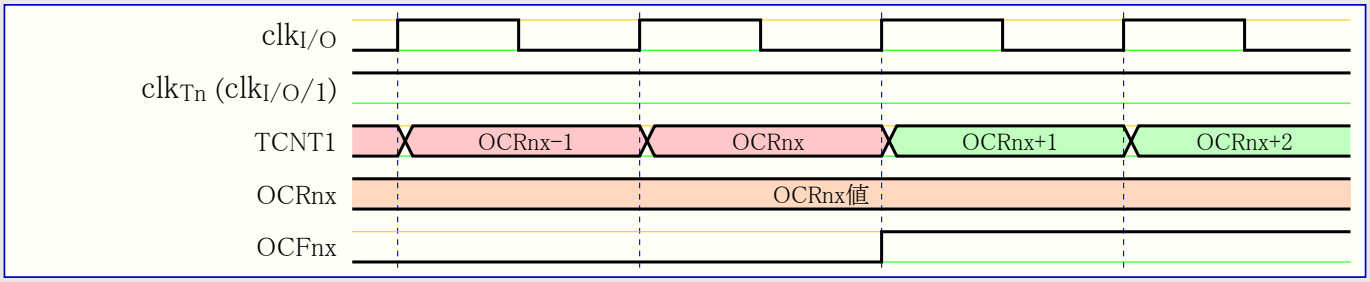


図15-11.は同じタイミング データを示しますが、前置分周器が許可されています。

図15-11. 前置分周器($f_{clk_I/O}/8$)のタイマ/カウンタ、OCFnx設定 タイミング

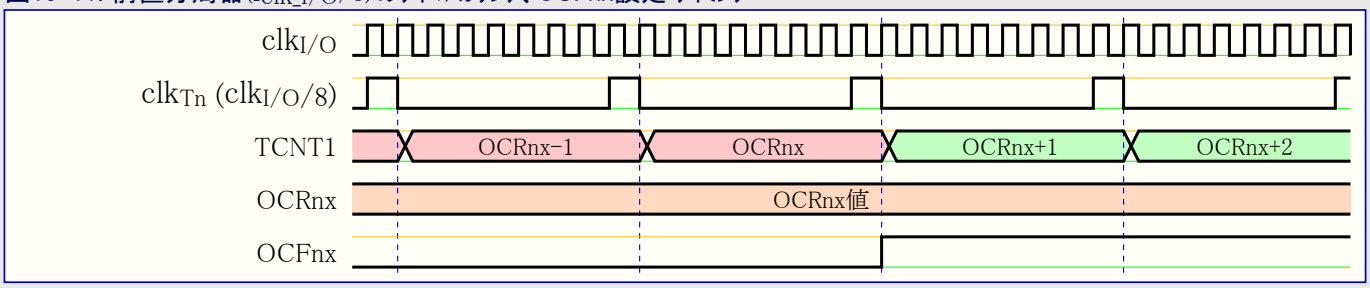


図15-12.は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時のOCRnxレジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でなどのように置き換えられます。BOTTOMでTOVnを設定(1)する動作種別についても、同様な名称変更が適用されます。

図15-12. 前置分周なし(1/1)のタイマ/カウンタ、TOP近辺 タイミング

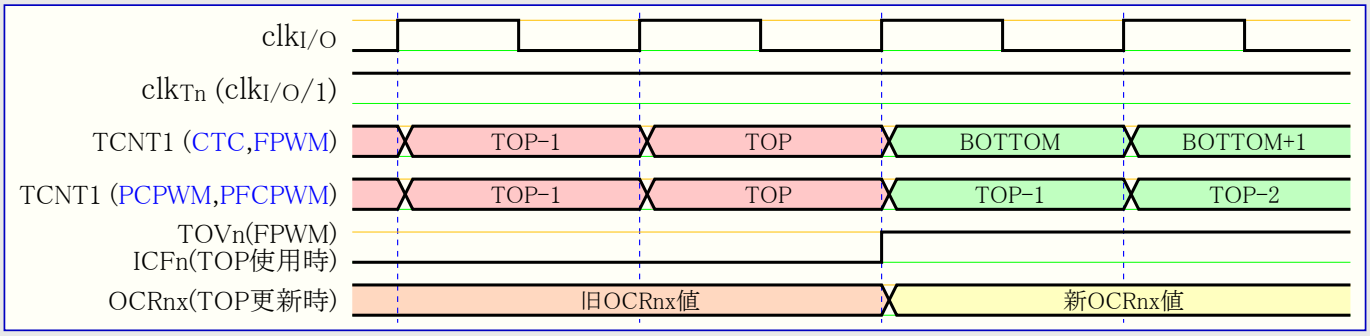
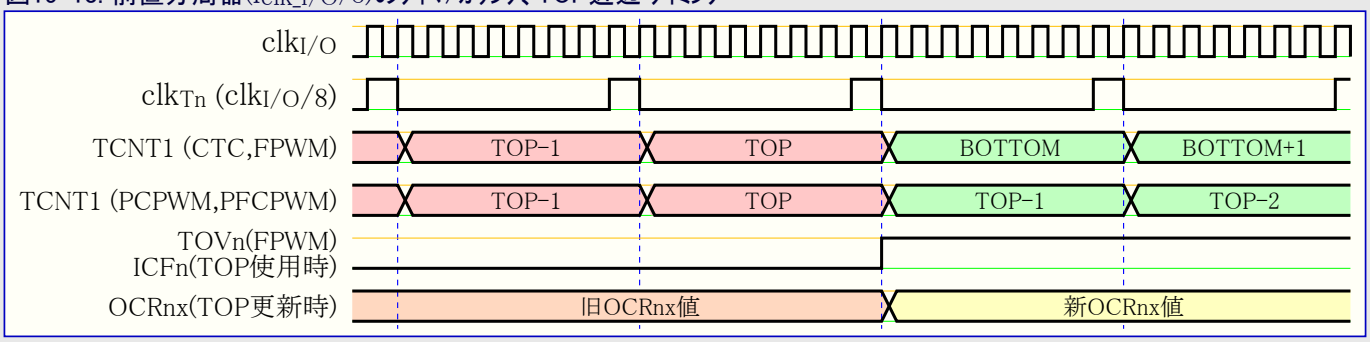


図15-13.は同じタイミング データを示しますが、前置分周器が許可されています。

図15-13. 前置分周器($f_{clk_I/O}/8$)のタイマ/カウンタ、TOP近辺 タイミング



15.10. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1,3用ﾚｼﾞｽﾀ

15.10.1. TCCR1A – ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀA (Timer/Counter1 Control Register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($80)	COM1A1	COM1A0	COM1B1	COM1B0	COM1C1	COM1C0	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.2. TCCR3A – ﾀｲﾏ/ｶｳﾝﾀ3制御ﾚｼﾞｽﾀA (Timer/Counter3 Control Register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($90)	COM3A1	COM3A0	COM3B1	COM3B0	COM3C1	COM3C0	WGM31	WGM30	TCCR3A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7,6 – COMnA1,0 : 比較nA出力選択** (Compare Output Mode A bit 1 and 0)
- **ﾋﾞｯﾄ5,4 – COMnB1,0 : 比較nB出力選択** (Compare Output Mode B bit 1 and 0)
- **ﾋﾞｯﾄ3,2 – COMnC1,0 : 比較nC出力選択** (Compare Output Mode C bit 1 and 0)

COMnA1,0、COMnB1,0、COMnC1,0は各々OCnA,OCnB,OCnC比較出力ﾋﾟﾝの動作を制御します。COMnA1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OCnA出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。COMnB1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OCnB出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。COMnC1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OCnC出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OCnA,OCnB,OCnCﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OCnA,OCnB,OCnCがﾋﾟﾝに接続されるとき、COMnx1,0ﾋﾞｯﾄの機能はWGMn3～0ﾋﾞｯﾄ設定に依存します。**表15-2.**はWGMn3～0ﾋﾞｯﾄが標準動作またはCTC動作(つまり非PWM)に設定される時のCOMnx1,0ﾋﾞｯﾄ機能を示します。

表15-2. 非PWM動作での比較出力選択 (注: nは1または3、xはA,BまたはC)

COMnx1	COMnx0	意味
0	0	標準ﾎﾟｰﾄ動作 (OCnx切断)
0	1	比較一致でOCnxﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOCnxﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOCnxﾋﾟﾝ Highﾚﾍﾞﾙ出力

表15-3.はWGMn3～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOMnx1,0ﾋﾞｯﾄ機能を示します。

表15-3. 高速PWM動作での比較出力選択 (注: nは1または3、xはA,BまたはC, Xは0または1)

COMnx1	COMnx0	意味
0	0	標準ﾎﾟｰﾄ動作 (OCnx切断)
0	1	WGMn3～0=111X　：比較一致でOCnAﾋﾟﾝ ﾄｸﾞﾙ(交互)出力、OCnB/OCnC切断(標準ﾎﾟｰﾄ動作) WGMn3～0上記以外：標準ﾎﾟｰﾄ動作 (OCnx切断)
1	0	比較一致でLow、BOTTOMでHighをOCnxﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOCnxﾋﾟﾝへ出力 (反転動作)

注: COMnx1が設定(1)され、OCRnxがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)または解除(0)は実行されます。より多くの詳細については87頁の「**高速PWM動作**」をご覧ください。

表15-4.はWGMn3～0ﾋﾞｯﾄが位相基準または位相/周波数基準PWM動作に設定される時のCOMnx1,0ﾋﾞｯﾄ機能を示します。

表15-4. 位相基準または位相/周波数基準PWM動作での比較出力選択 (注: nは1または3、xはA,BまたはC, Xは0または1)

COMnx1	COMnx0	意味
0	0	標準ﾎﾟｰﾄ動作 (OCnx切断)
0	1	WGMn3～0=10X1　：比較一致でOCnAﾋﾟﾝ ﾄｸﾞﾙ(交互)出力、OCnB/OCnC切断(標準ﾎﾟｰﾄ動作) WGMn3～0上記以外：標準ﾎﾟｰﾄ動作 (OCnx切断)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOCnxﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOCnxﾋﾟﾝへ出力

注: COMnx1が設定(1)され、OCRnxがTOPと等しい時に特別な状態が起きます。より多くの詳細については88頁の「**位相基準PWM動作**」をご覧ください。

• ﾋﾞｯﾄ1,0 – WGMn1,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCRnB)で得られるWGMn3,2ﾋﾞｯﾄと組み合わせたこれらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大計数(TOP)値供給元、使われるべき波形生成のどの形式かを制御します(**表15-5.**参照)。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作(ｶｳﾝﾀ)、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と3形式のﾊﾟﾙｽ幅変調(PWM)動作です。86頁の「**動作種別**」をご覧ください。

表15-5. 波形生成種別選択

番号	WGMn3	WGMn2 (CTCn)	WGMn1 (PWMn1)	WGMn0 (PWMn0)	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCRnx 更新時	TOVn 設定時
0	0	0	0	0	標準動作	$FFFF	即値	MAX
1	0	0	0	1	8ﾋﾞｯﾄ位相基準PWM動作	$00FF	TOP	BOTTOM
2	0	0	1	0	9ﾋﾞｯﾄ位相基準PWM動作	$01FF	TOP	BOTTOM
3	0	0	1	1	10ﾋﾞｯﾄ位相基準PWM動作	$03FF	TOP	BOTTOM
4	0	1	0	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCRnA	即値	MAX
5	0	1	0	1	8ﾋﾞｯﾄ高速PWM動作	$00FF	BOTTOM	TOP
6	0	1	1	0	9ﾋﾞｯﾄ高速PWM動作	$01FF	BOTTOM	TOP
7	0	1	1	1	10ﾋﾞｯﾄ高速PWM動作	$03FF	BOTTOM	TOP
8	1	0	0	0	位相/周波数基準PWM動作	ICRn	BOTTOM	BOTTOM
9	1	0	0	1	位相/周波数基準PWM動作	OCRnA	BOTTOM	BOTTOM
10	1	0	1	0	位相基準PWM動作	ICRn	TOP	BOTTOM
11	1	0	1	1	位相基準PWM動作	OCRnA	TOP	BOTTOM
12	1	1	0	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	ICRn	即値	MAX
13	1	1	0	1	(予約)	–	–	–
14	1	1	1	0	高速PWM動作	ICRn	BOTTOM	TOP
15	1	1	1	1	高速PWM動作	OCRnA	BOTTOM	TOP

注: CTCnとPWMn1,0ﾋﾞｯﾄ定義名は旧名です。WGMn2～0定義を使ってください。しかし、これらのﾋﾞｯﾄの機能と位置は旧版のﾀｲﾏ/ｶｳﾝﾀと一致します。

15.10.3. TCCR1B – ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀB (Timer/Counter1 Control Register B)

ﾋﾞｯﾄ ($81)	7	6	5	4	3	2	1	0	
	ICNC1	ICES1	–	WGM13	WGM12	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.4. TCCR3B – ﾀｲﾏ/ｶｳﾝﾀ3制御ﾚｼﾞｽﾀB (Timer/Counter3 Control Register B)

ﾋﾞｯﾄ ($91)	7	6	5	4	3	2	1	0	
	ICNC3	ICES3	–	WGM33	WGM32	CS32	CS31	CS30	TCCR3B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – ICNCn : 捕獲起動入力n雑音消去許可 (Input Capture Noise Canceler)

このﾋﾞｯﾄを(1に)設定することが捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動入力(ICPn)ﾋﾟﾝからの入力が濾波されます。この濾波機能はそれが出力を更新するのに、連続4回等しく評価されたICPnﾋﾟﾝの採取を必要とします。雑音消去器が許可されると、捕獲入力はそれによって4発振器(ｼｽﾃﾑ ｸﾛｯｸ)周期遅らされます。

• ﾋﾞｯﾄ6 – ICESn : 捕獲起動入力n端選択 (Input Capture Edge Select)

このﾋﾞｯﾄは出来事での捕獲を起動するのに使われる捕獲起動入力(ICPn)ﾋﾟﾝのどちらかの端(ｴｯｼﾞ)を選びます。ICESnﾋﾞｯﾄが0を書かれると起動動作として下降(負)端が使われ、ICESnﾋﾞｯﾄが1を書かれると上昇(正)端が捕獲を起動します。

捕獲がICESn設定に従って起動されると、ｶｳﾝﾀ値が捕獲ﾚｼﾞｽﾀ(ICRn)に複写されます。この出来事は捕獲入力割り込み要求ﾌﾗｸﾞ(ICFn)も設定(1)し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

ICRnがTOP値として使われると(TCCRnAとTCCRnBに配置されたWGMn3～0ﾋﾞｯﾄの記述をご覧ください)、ICPnが切り離され、従って捕獲入力機能は禁止されます。

• ﾋﾞｯﾄ5 – Res : 予約 (Reserved)

このﾋﾞｯﾄは将来の使用に対して予約されています。将来のﾃﾞﾊﾞｲｽとの共通性を保つため、TCCRnBが書かれるとき、このﾋﾞｯﾄは0を書かれなければなりません。

• ﾋﾞｯﾄ4,3 – WGMn3,2 : 波形生成種別 (Waveform Generation Mode bit 3 and 2)

TCCRnAのWGMn1,0ﾋﾞｯﾄ記述をご覧ください。

• ﾋﾞｯﾄ2~0 – CSn2~0 : ｸﾛｯｸ選択n (Clock Select, bit 2,1 and 0)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNTn)によって使われるべきｸﾛｯｸ元を選びます。図15-10.と図15-11.をご覧ください。

ﾀｲﾏ/ｶｳﾝﾀnに対して外部ﾋﾟﾝ(ｸﾛｯｸ)動作が使われる場合、例えTnﾋﾟﾝが出力として設定されても、Tnﾋﾟﾝの遷移はｶｳﾝﾀをｸﾛｯｸ駆動します。この特性はｿﾌﾄｳｪｱに計数の制御を許します。

表15-6. ﾀｲﾏ/ｶｳﾝﾀn入力ｸﾛｯｸ選択

CSn2	CSn1	CSn0	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀn動作停止)
0	0	1	$clk_{I/O}$ (前置分周なし)
0	1	0	$clk_{I/O}/8$ (8分周)
0	1	1	$clk_{I/O}/64$ (64分周)
1	0	0	$clk_{I/O}/256$ (256分周)
1	0	1	$clk_{I/O}/1024$ (1024分周)
1	1	0	Tnﾋﾟﾝの下降端 (外部ｸﾛｯｸ)
1	1	1	Tnﾋﾟﾝの上昇端 (外部ｸﾛｯｸ)

15.10.5. TCCR1C – ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀC (Timer/Counter1 Control Register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($82)	FOC1A	FOC1B	FOC1C	–	–	–	–	–	TCCR1C
Read/Write	W	W	W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

15.10.6. TCCR3C – ﾀｲﾏ/ｶｳﾝﾀ3制御ﾚｼﾞｽﾀC (Timer/Counter3 Control Register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($92)	FOC3A	FOC3B	FOC3C	–	–	–	–	–	TCCR3C
Read/Write	W	W	W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – FOCnA : OCnA強制変更 (Force Output Compare A)

• ﾋﾞｯﾄ6 – FOCnB : OCnB強制変更 (Force Output Compare B)

• ﾋﾞｯﾄ5 – FOCnC : OCnC強制変更 (Force Output Compare C)

FOCnA/FOCnB/FOCnCﾋﾞｯﾄはWGMn3～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。FOCnA/FOCnB/FOCnCﾋﾞｯﾄに論理1を書くと波形生成部で直ちに比較一致が強制されます。OCnx出力はCOMnx1,0ﾋﾞｯﾄ設定に従って変更されます。FOCnA/FOCnB/FOCnCﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOMnx1,0ﾋﾞｯﾄに存在する値です。

FOCnA/FOCnB/FOCnCｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCRnAを使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($0000)も行いません。

FOCnA/FOCnB/FOCnCﾋﾞｯﾄは常に0として読みます。

• ﾋﾞｯﾄ4~0 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは将来の使用に対して予約されています。将来のﾃﾞﾊﾞｲｽとの共通性を保つため、TCCRnCが書かれるとき、これらのﾋﾞｯﾄは0を書かれなければなりません。

15.10.7. TCNT1H,TCNT1L (TCNT1) – ﾀｲﾏ/ｶｳﾝﾀ1 (Timer/Counter1)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($85)	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($84)								(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.8. TCNT3H,TCNT3L (TCNT3) – ﾀｲﾏ/ｶｳﾝﾀ3 (Timer/Counter3)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($95)	(MSB)								TCNT3H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($94)								(LSB)	TCNT3L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この2つのﾀｲﾏ/ｶｳﾝﾀ I/O位置(TCNTnHとTCNTnLを合わせたTCNTn)は、読み書き両方についてﾀｲﾏ/ｶｳﾝﾀ部の16ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。CPUがこれらのﾚｼﾞｽﾀをｱｸｾｽする時に上位と下位の両ﾊﾞｲﾄが同時に読み書きされるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。79頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」をご覧ください。

ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNTn)を変更することはOCRnxの1つとTCNTn間の比較一致消失の危険を誘発します。

TCNTnへの書き込みは全ての比較部に対して次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。

15.10.9. OCR1AH,OCR1AL (OCR1A) – ﾀｲﾏ/ｶｳﾝﾀ1 比較Aﾚｼﾞｽﾀ (Timer/Counter1 Output Compare Register A)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($89)	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($88)								(LSB)	OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.10. OCR1BH,OCR1BL (OCR1B) – ﾀｲﾏ/ｶｳﾝﾀ1 比較Bﾚｼﾞｽﾀ (Timer/Counter1 Output Compare Register B)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($8B)	(MSB)								OCR1BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($8A)								(LSB)	OCR1BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.11. OCR1CH,OCR1CL (OCR1C) – ﾀｲﾏ/ｶｳﾝﾀ1 比較Cﾚｼﾞｽﾀ (Timer/Counter1 Output Compare Register C)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($8D)	(MSB)								OCR1CH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($8C)								(LSB)	OCR1CL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.12. OCR3AH,OCR3AL (OCR3A) – ﾀｲﾏ/ｶｳﾝﾀ3 比較Aﾚｼﾞｽﾀ (Timer/Counter3 Output Compare Register A)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($99)	(MSB)								OCR3AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($98)								(LSB)	OCR3AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.13. OCR3BH,OCR3BL (OCR3B) – ﾀｲﾏ/ｶｳﾝﾀ3 比較Bﾚｼﾞｽﾀ (Timer/Counter3 Output Compare Register B)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($9B)	(MSB)								OCR3BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($9A)								(LSB)	OCR3BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.14. OCR3CH,OCR3CL (OCR3C) – ﾀｲﾏ/ｶｳﾝﾀ3 比較Cﾚｼﾞｽﾀ (Timer/Counter3 Output Compare Register C)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($9D)	(MSB)								OCR3CH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($9C)								(LSB)	OCR3CL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNTn)値と比較される16ﾋﾞｯﾄ値を含みます。一致は比較一致割り込みやOCnxﾋﾟﾝでの波形出力を生成するのに使えます。

この比較ﾚｼﾞｽﾀは容量が16ﾋﾞｯﾄです。CPUがこれらのﾚｼﾞｽﾀへ書く時に上位と下位の両ﾊﾞｲﾄが同時に書かれるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。79頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」をご覧ください。

15.10.15. ICR1H,ICR1L (ICR1) – ﾀｲﾏ/ｶｳﾝﾀ1 捕獲ﾚｼﾞｽﾀ (Timer/Counter1 Input Capture Register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($87)	(MSB)								ICR1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($86)								(LSB)	ICR1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.16. ICR3H,ICR3L (ICR3) – ﾀｲﾏ/ｶｳﾝﾀ3 捕獲ﾚｼﾞｽﾀ (Timer/Counter3 Input Capture Register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($97)	(MSB)								ICR3H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($96)								(LSB)	ICR3L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲ﾚｼﾞｽﾀはICPnﾋﾟﾝ(またはﾀｲﾏ/ｶｳﾝﾀ1については任意のｱﾅﾛｸﾞ比較器出力)で出来事が起こる毎にｶｳﾝﾀ(TCNTn)値で更新されます。この捕獲ﾚｼﾞｽﾀはﾀｲﾏ/ｶｳﾝﾀのTOP値を定義するのに使えます。

この捕獲ﾚｼﾞｽﾀは容量が16ﾋﾞｯﾄです。CPUがこれらのﾚｼﾞｽﾀをｱｸｾｽする時に上位と下位の両ﾊﾞｲﾄが同時に読まれるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。79頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」をご覧ください。

15.10.17. TIMSK1 – ﾀｲﾏ/ｶｳﾝﾀ1割り込み許可ﾚｼﾞｽﾀ (Timer/Counter1 Interrupt Mask Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6F)	–	–	ICIE1	–	OCIE1C	OCIE1B	OCIE1A	TOIE1	TIMSK1
Read/Write	R	R	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.18. TIMSK3 – ﾀｲﾏ/ｶｳﾝﾀ3割り込み許可ﾚｼﾞｽﾀ (Timer/Counter3 Interrupt Mask Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($71)	–	–	ICIE3	–	OCIE3C	OCIE3B	OCIE3A	TOIE3	TIMSK3
Read/Write	R	R	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ5 – ICIEn : ﾀｲﾏ/ｶｳﾝﾀn捕獲割り込み許可** (Timer/Counter n Input Capture Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定1)されると、ﾀｲﾏ/ｶｳﾝﾀn捕獲割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀn割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFRn)に配置された捕獲割り込み要求ﾌﾗｸﾞ(ICFn)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(41頁の「**割り込み**」参照)が実行されます。

- **ﾋﾞｯﾄ3 – OCIEnC : ﾀｲﾏ/ｶｳﾝﾀn比較C割り込み許可** (Timer/Counter n Output Compare C Match Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn比較C一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀn割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFRn)に配置された比較nC割り込み要求ﾌﾗｸﾞ(OCFnC)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(41頁の「**割り込み**」参照)が実行されます。

- **ﾋﾞｯﾄ2 – OCIEnB : ﾀｲﾏ/ｶｳﾝﾀn比較B割り込み許可** (Timer/Counter n Output Compare B Match Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀn割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFRn)に配置された比較nB割り込み要求ﾌﾗｸﾞ(OCFnB)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(41頁の「**割り込み**」参照)が実行されます。

- **ﾋﾞｯﾄ1 – OCIEnA : ﾀｲﾏ/ｶｳﾝﾀn比較A割り込み許可** (Timer/Counter n Output Compare A Match Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀn割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFRn)に配置された比較nA割り込み要求ﾌﾗｸﾞ(OCFnA)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(41頁の「**割り込み**」参照)が実行されます。

• ﾋﾞｯﾄ0 – TOIEn : ﾀｲﾏ/ｶｳﾝﾀn溢れ割り込み許可 (Timer/Counter n Overflow Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀn割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFRn)に配置されたﾀｲﾏ/ｶｳﾝﾀn溢れ割り込み要求ﾌﾗｸﾞ(TOVn)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(41頁の「**割り込み**」参照)が実行されます。

15.10.19. TIFR1 – ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter1 Interrupt Flag Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$16 ($36)	–	–	ICF1	–	OCF1C	OCF1B	OCF1A	TOV1	TIFR1
Read/Write	R	R	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.10.20. TIFR3 – ﾀｲﾏ/ｶｳﾝﾀ3割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter3 Interrupt Flag Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$18 ($38)	–	–	ICF3	–	OCF3C	OCF3B	OCF3A	TOV3	TIFR3
Read/Write	R	R	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ5 – ICFn : ﾀｲﾏ/ｶｳﾝﾀn捕獲割り込み要求ﾌﾗｸﾞ (Timer/Conter n, Input Capture Flag)

ICPnﾋﾟﾝに捕獲の事象が起こると、このﾌﾗｸﾞが設定(1)されます。捕獲ﾚｼﾞｽﾀ(ICRn)がWGMn3～0によってTOP値として設定されると、ICFnﾌﾗｸﾞはｶｳﾝﾀがTOP値に到達する時に設定(1)されます。

捕獲割り込みﾍﾞｸﾀが実行されると、ICFnは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもICFnは解除(0)できます。

• ﾋﾞｯﾄ3 – OCFnC : ﾀｲﾏ/ｶｳﾝﾀn比較C割り込み要求ﾌﾗｸﾞ (Timer/Conter n, Output Compare C Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNTn)値が比較Cﾚｼﾞｽﾀ(OCRnC)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOCnC)ｽﾄﾛｰﾌﾞがOCFnCﾌﾗｸﾞを設定(1)しないことに注意してください。

比較C一致割り込みﾍﾞｸﾀが実行されると、OCFnCは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCFnCは解除(0)できます。

• ﾋﾞｯﾄ2 – OCFnB : ﾀｲﾏ/ｶｳﾝﾀn比較B割り込み要求ﾌﾗｸﾞ (Timer/Conter n, Output Compare B Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNTn)値が比較Bﾚｼﾞｽﾀ(OCRnB)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOCnB)ｽﾄﾛｰﾌﾞがOCFnBﾌﾗｸﾞを設定(1)しないことに注意してください。

比較B一致割り込みﾍﾞｸﾀが実行されると、OCFnBは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCFnBは解除(0)できます。

• ﾋﾞｯﾄ1 – OCFnA : ﾀｲﾏ/ｶｳﾝﾀn比較A割り込み要求ﾌﾗｸﾞ (Timer/Conter n, Output Compare A Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNTn)値が比較Aﾚｼﾞｽﾀ(OCRnA)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOCnA)ｽﾄﾛｰﾌﾞがOCFnAﾌﾗｸﾞを設定(1)しないことに注意してください。

比較A一致割り込みﾍﾞｸﾀが実行されると、OCFnAは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCFnAは解除(0)できます。

• ﾋﾞｯﾄ0 – TOVn : ﾀｲﾏ/ｶｳﾝﾀn溢れ割り込み要求ﾌﾗｸﾞ (Timer/Counter n Overflow Flag)

このﾌﾗｸﾞの(1)設定はWGMn3～0ﾋﾞｯﾄ設定に依存します。標準またはCTC動作でのTOVnﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀn溢れ時に設定(1)されます。他のWGMn3～0ﾋﾞｯﾄ設定を使う時のTOVnﾌﾗｸﾞ動作については92頁の**表15-5.**を参照してください。

ﾀｲﾏ/ｶｳﾝﾀn溢れ割り込みﾍﾞｸﾀが実行されると、TOVnは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもTOVnは解除(0)できます。

16. 8ビット タイマ/カウンタ2 (PWM, 非同期動作付き)

タイマ/カウンタ2は2つの独立した比較出力部とPWM支援付きの汎用8ビット タイマ/カウンタ部です。主な特徴は次のとおりです。

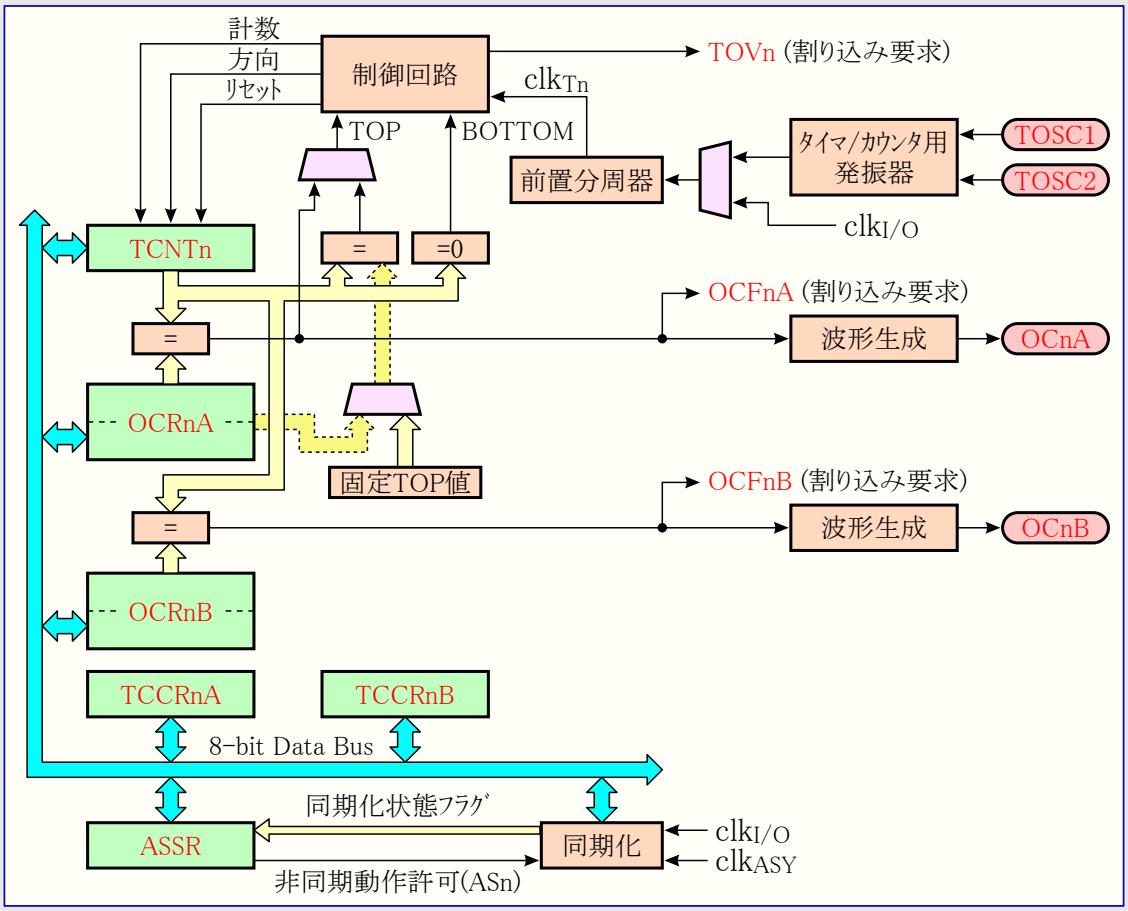
- 2つの独立した比較部
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 周波数発生器
- クロック用10ビット前置分周器
- 溢れと比較一致割り込み (TOV2,OCF2A,OCF2B)
- I/O(システム)クロックに依存しない時計用外部32kHzクリスタルからのクロック駆動可能

16.1. 概要

この8ビット タイマ/カウンタの簡単化した構成図は図16-1.で示されます。I/Oピンの実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は106頁の「8ビット タイマ/カウンタ2用レジスタ」で一覧されます。

32頁の「PRR0 – 電力削減レジスタ」のPRTIM2ビットはタイマ/カウンタ2部を許可するために0を書かれなければなりません。

図16-1. 8ビット タイマ/カウンタ構成図



16.1.1. 関係レジスタ

タイマ/カウンタ(TCNT2)と比較レジスタ(OCR2AとOCR2B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ2割り込み要求レジスタ(TIFR2)で全て見えます。全ての割り込みはタイマ/カウンタ2割り込み許可レジスタ(TIMSK2)で個別に遮蔽(禁止)されます。TIFR2とTIMSK2はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはこの章内の後ろで詳述されるようにTOSC1/2ピンから非同期にクロック駆動されます。非同期動作は非同期状態レジスタ(ASSR)によって制御されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選ばれないと、このタイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタ クロック(clk_{T2})として参照されます。

2重緩衝化した比較レジスタ(OCR2AとOCR2B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC2AとOC2B)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。詳細については100頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF2AとOCF2B)も設定(1)します。

16.1.2. 定義

本章でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は2で置き換えます。小文字のxは比較出力部のチャネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ2のカウンタ値のアクセスに対してのTCNT2のように)。

表16-1.の定義は本文書を通して広範囲に渡って使われます。

表16-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが$00に到達した時。
MAX	タイマ/カウンタが$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値($FF)またはOCR2A値に到達した時。この指定(TOP)値は動作種別に依存します。

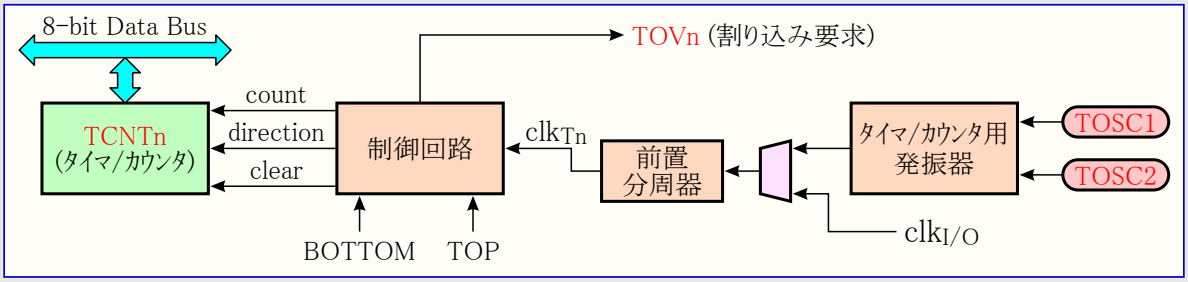
16.2. タイマ/カウンタのクロック

このタイマ/カウンタは内部同期または外部非同期クロック元によってクロック駆動できます。既定のクロック元(clk_{T2})はMCUクロック($clk_{I/O}$)と同じです。非同期状態レジスタ(ASSR)の非同期動作許可(AS2)ビットが論理1を書かれると、クロック元はTOSC1とTOSC2に繋がったタイマ/カウンタ用発振器から取得されます。非同期動作の詳細については110頁の「**ASSR – 非同期状態レジスタ**」をご覧ください。クロック元と前置分周器の詳細については112頁の「**タイマ/カウンタ2の前置分周器**」をご覧ください。

16.3. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。**図16-2.**は、このカウンタとその周辺環境の構成図を示します。

図16-2. 計数器部構成図



信号説明(内部信号)		
	count	TCNT2を1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNT2のリセット($00設定)信号。
	clk_{Tn}	以降でclk_{T2}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT2が最大値に到達したことを示す信号。
	BOTTOM	TCNT2が最小値($00)に到達したことを示す信号。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{T2})で解除($00)、増加(+1)、または減少(-1)されます。clk_{T2}はクロック選択(CS22～0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS22～0=000)時にタイマ/カウンタは停止されます。けれどもTCNT2値はタイマ/カウンタ クロック(clk_{T2})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ2制御レジスタA(TCCR2A)に配置された波形生成種別(WGM21,0)ビットとタイマ/カウンタ2制御レジスタB(TCCR2B)に配置された波形生成種別(WGM22)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC2A/OC2B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては102頁の「**動作種別**」をご覧ください。

タイマ/カウンタ溢れ(TOV2)フラグはWGM22～0ビットによって選ばれた動作種別に従って設定(1)されます。TOV2はCPU割り込み発生に使えます。

16.4. 比較出力部

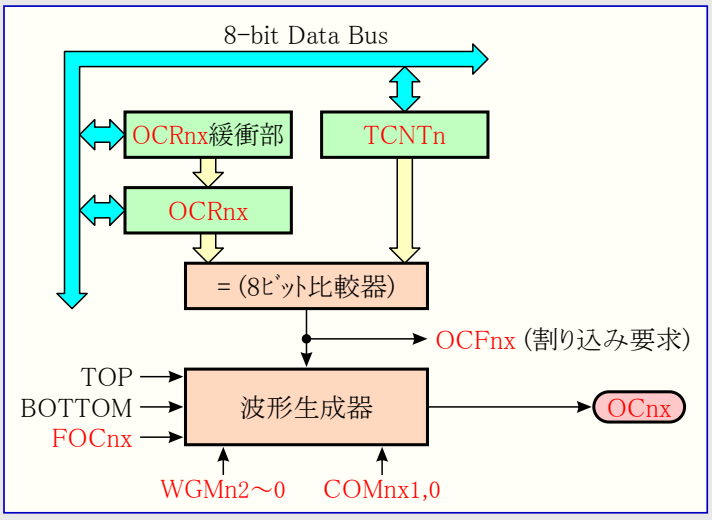
この8ﾋﾞｯﾄ比較器はTCNT2と比較ﾚｼﾞｽﾀ(OCR2AとOCR2B)を継続的に比較します。TCNT2がOCR2AまたはOCR2Bと等しければ比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCF2AまたはOCF2B)を設定(1)します。対応する割り込みが許可(I=1, OCIE2AまたはOCIE2B=1)されているならば、その比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。比較割り込み要求ﾌﾗｸﾞは割り込みが実行されると自動的に解除(0)されます。代わりにこのﾌﾗｸﾞはこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM22～0)ﾋﾞｯﾄと比較出力選択(COM2x1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(102頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

図16-3.は比較出力部の構成図を示します。

OCR2xはﾊﾟﾙｽ幅変調(PWM)のどれかを使う時に2重緩衝されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR2xﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR2xのｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR2x緩衝部をｱｸｾｽし、禁止されるとOCR2xﾚｼﾞｽﾀを直接ｱｸｾｽします。

図16-3. 比較出力部構成図



(訳注) ここでは比較nxﾚｼﾞｽﾀ全体をOCR2x、OCR2xを構成する緩衝部分をOCR2x緩衝部、実際の比較に使われるﾚｼﾞｽﾀ本体部分をOCR2xﾚｼﾞｽﾀとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

16.4.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC2x)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCF2x)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC2xﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COM2x1,0ﾋﾞｯﾄ設定がOC2xﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

16.4.2. TCNT2書き込みによる比較一致妨害

TCNT2への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に割り込みを起動することなく、TCNT2と同じ値に初期化されることをOCR2xに許します。

16.4.3. 比較一致部の使用

どの動作種別でのTCNT2書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、比較出力部を使う場合、TCNT2を変更する時に危険を伴います。TCNT2に書かれた値がOCR2x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にﾀｲﾏ/ｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT2値を書いてはいけません。

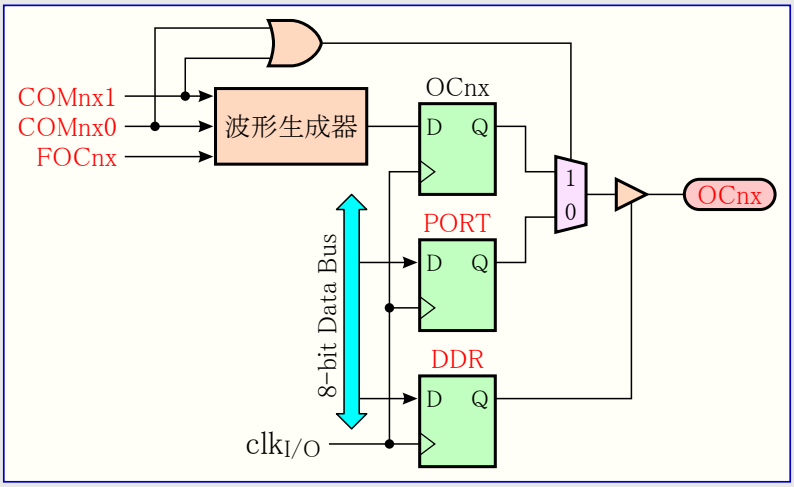
OC2xの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC2x値を設定する一番簡単な方法は標準動作で強制変更(FOC2x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成動作種別間を変更する時でも、OC2x(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COM2x1,0)ﾋﾞｯﾄが比較値(OCR2x)と共に2重緩衝されないことに気付いてください。COM2x1,0ﾋﾞｯﾄの変更は直ちに有効となります。

16.5. 比較一致出力部

比較出力選択(COM2x1,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC2x)状態の定義にCOM2x1,0ﾋﾞｯﾄを使います。またCOM2x1,0ﾋﾞｯﾄはOC2xﾋﾟﾝ出力元を制御します。**図16-4.**はCOM2x1,0ﾋﾞｯﾄ設定によって影響を及ぼされる論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COM2x1,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OC2xの状態を参照するとき、その参照はOC2xﾋﾟﾝでなく内部OC2xﾚｼﾞｽﾀに対してです。

図16-4. 比較一致出力回路図



COM2x1,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OC2x)によって無効にされます。けれどもOC2xﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OC2xﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OC2x)はOC2x値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は波形生成種別と無関係です。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOC2x状態の初期化を許します。いくつかのCOM2x1,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。106頁の「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ**」をご覧ください。

16.5.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM2x1,0ﾋﾞｯﾄを違うふうに使います。全ての動作種別に対してCOM2x1,0=00設定は次の比較一致で実行すべきOC2xﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については106頁の**表16-2.**と**表16-5.**を参照してください。高速PWM動作については106頁の**表16-3.**と**表16-6.**、位相基準PWMについては106頁の**表16-4.**と**表16-7.**を参照してください。

COM2x1,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC2x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

16.6. 動作種別

動作種別、換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作は波形生成種別(WGM22～0)ﾋﾞｯﾄと比較出力選択(COM2x1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COM2x1,0ﾋﾞｯﾄは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM2x1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(101頁の「比較一致出力部」をご覧ください)。

ﾀｲﾐﾝｸﾞ情報の詳細については105頁の「ﾀｲﾏ/ｶｳﾝﾀ2のﾀｲﾐﾝｸﾞ」を参照してください。

16.6.1. 標準動作

最も単純な動作種別が標準動作(WGM22～0=000)です。この動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀ解除は実行されません。ｶｳﾝﾀは8ﾋﾞｯﾄ最大値(TOP=$FF)を通過すると単に範囲を超え、そして$00(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはTCNT2が$00になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOV2ﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第9ﾋﾞｯﾄのようになります。けれどもTOV2ﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

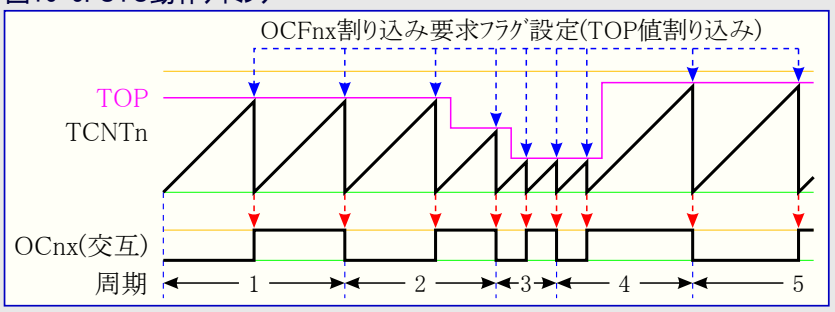
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

16.6.2. 比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGM22～0=010)ではOCR2Aがｶｳﾝﾀの分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNT2)値がOCR2Aと一致すると、ｶｳﾝﾀは$00に解除されます。OCR2Aはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は図16-5.で示されます。ｶｳﾝﾀ(TCNT2)値はTCNT2とOCR2A間で比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNT2)は解除($00)されます。

図16-5. CTC動作ﾀｲﾐﾝｸﾞ



注: COMnx1,0=01

OCF2Aﾌﾗｸﾞを使うことにより、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR2Aに書かれた新しい値がTCNT2の現在値よりも低い(小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後のｶｳﾝﾀは比較一致が起こるのに先立って、最大値($FF)へそして次に$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC2A出力は比較出力選択(COM2A1,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切り替えに設定できます。OC2A値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC2A=1)に設定されない限りﾎﾟｰﾄ ﾋﾟﾝで見えないでしょう。生成された波形はOCR2Aが0($00)に設定される時に$f_{OC2A}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

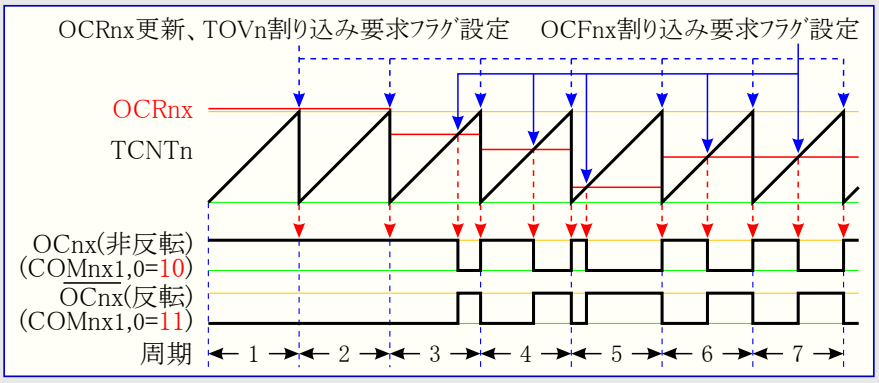
標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$00へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

16.6.3. 高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGM22～0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからTOPまで計数し、その後にBOTTOMから再び始めます。TOPはWGM22～0=011時に$FF、WGM22～0=111時にOCR2Aとして定義されます。非反転比較出力動作(COM2x1,0=10)での比較出力(OC2x)はTCNT2とOCR2x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM2x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

高速PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がTOP値と一致するまで増されます。そしてﾀｲﾏ/ｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で解除($00)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は**図16-6.**で示されます。TCNT2値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線はOCR2x値を示し、TCNT2値との交点(接点)がTCNT2とOCR2x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCF2x)はOCR2x=TOPを除いて比較一致が起こると設定(1)されます(**訳注**:共通性のため本行追加)。

図16-6. 高速PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ﾙｰﾁﾝは比較値を更新するのに使えます。

高速PWM動作での比較部はOC2xﾋﾟﾝでのPWM波形の生成を許します。COM2x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM2x1,0を'11'に設定することで生成できます。WGM22ﾋﾞｯﾄが設定(1)なら、COM2A1,0ﾋﾞｯﾄの'01'設定は比較一致での交互反転をOC2Aﾋﾟﾝに許します。この任意選択はOC2Bﾋﾟﾝに対して利用できません(106頁の**表16-3.**と**表16-6.**をご覧ください)(**訳注**:前2行修正追加)。実際のOC2x値はﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC2x)が出力として設定される場合にだけ見えるでしょう。PWM波形はTCNT2とOCR2x間の比較一致でOC2x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($00、TOPからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でOC2xﾚｼﾞｽﾀを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk_I/O}}{N \times (1+TOP)}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

OCR2xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR2xがBOTTOM($00)と等しく設定されると、出力はTOP+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。OCR2xがTOPに等しく設定されると、(COM2x1,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

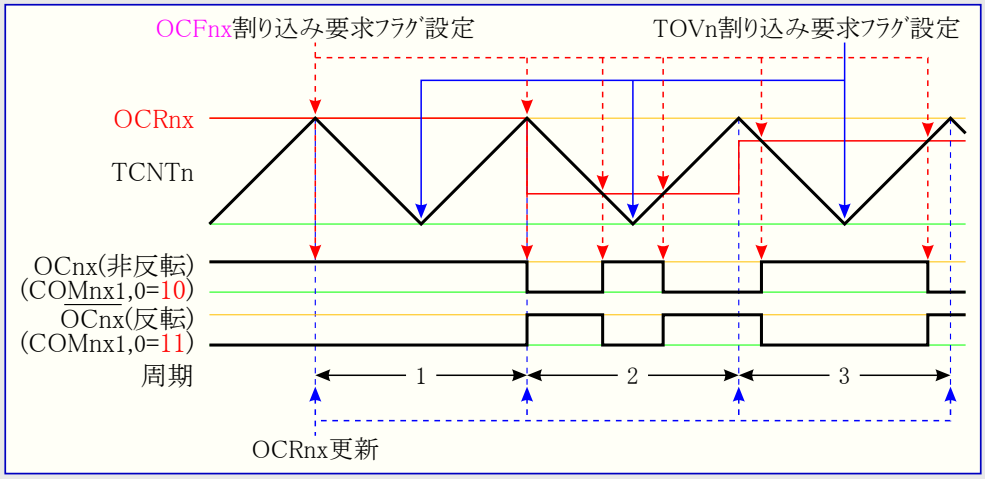
(**訳補**:WGM22～0=111の場合については、)高速PWM動作での(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOC2A設定(COM2A1,0=01)によって達成できます。生成された波形はOCR2Aが0($00)に設定される時に$f_{OC2x}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC2A交互出力(COM2A1,0=01)と同じです。

16.6.4. 位相基準PWM動作

位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM22～0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作に基きます。ｶｳﾝﾀはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM22～0=001時に$FF、WGM22～0=101時にOCR2Aとして定義されます。非反転比較出力動作(COM2x1,0=10)での比較出力(OC2x)は上昇計数中のTCNT2とOCR2xの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM2x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値がTOPと一致するまで増加されます。ｶｳﾝﾀはTOPに達すると計数方向を替えます。このTCNT2値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間TOPと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は図16-7.で示されます。TCNT2値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR2x値を示し、TCNT2値との交点(接点)がTCNT2とOCR2x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。

図16-7. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがBOTTOM値に到達する毎に割り込みを発生するのに使えます。

位相基準PWM動作での比較部はOC2xﾋﾟﾝでのPWM波形の生成を許します。COM2x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM2x1,0ﾋﾞｯﾄを'11'に設定することで生成できます。WGM02ﾋﾞｯﾄが設定(1)なら、COM0A1,0ﾋﾞｯﾄの'01'設定は比較一致での交互反転をOC0Aﾋﾟﾝに許します。この任意選択はOC0Bﾋﾟﾝに対して利用できません(106頁の表16-4.と表16-7.をご覧ください)(訳注:前2行修正追加)。実際のOC2x値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC2x)が出力として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT2とOCR2x間の比較一致でOC2x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT2とOCR2x間の比較一致で、OC2xﾚｼﾞｽﾀを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

OCR2xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR2xがBOTTOM($00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図16-7.の第2周期のその出発点に於いて、例え比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 図16-7.でのようにOCR2xはTOPからその値を変更します。OCR2x値がTOPのとき、OCnxﾋﾟﾝ値は下降計数での比較一致の結果と同じです(訳補: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- ﾀｲﾏ/ｶｳﾝﾀがOCR2x値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

16.7. タイマ/カウンタのタイミング

以下の図は同期動作でのタイマ/カウンタを示し、従ってタイマ/カウンタ クロック(clk_{T2})が計数許可信号として示されます。非同期動作では$clk_{I/O}$がタイマ/カウンタ用発振器(TOSC)クロックによって置換されるべきです。この図は割り込みフラグが設定(1)される時の情報を含みます。図16-8.は基本的なタイマ/カウンタ動作についてのタイミング データを示します。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図16-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

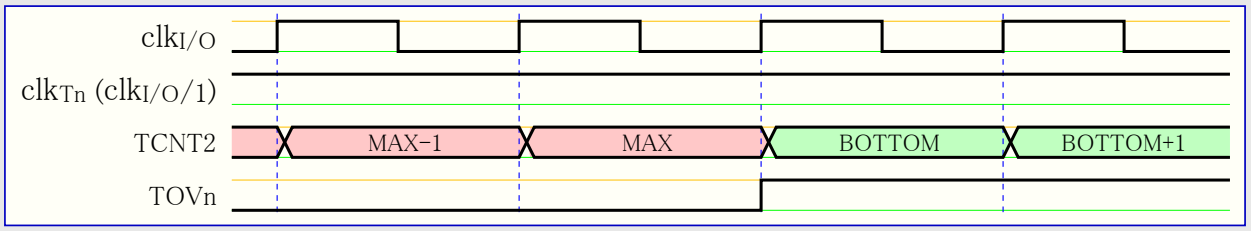


図16-9.は同じタイミング データを示しますが、前置分周器が許可されています。

図16-9. 前置分周器($f_{clk_I/O}/8$)のタイマ/カウンタ タイミング

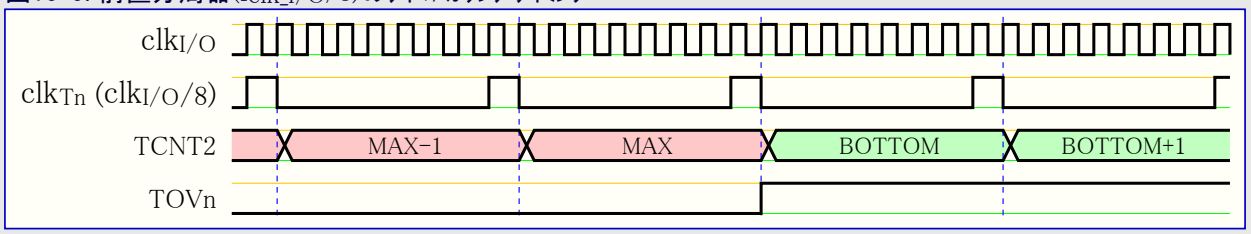


図16-10.はCTC動作を除く全ての動作種別でのOCF2Aの設定を示します。

図16-10. 前置分周器($f_{clk_I/O}/8$)のタイマ/カウンタ、OCF2A設定 タイミング

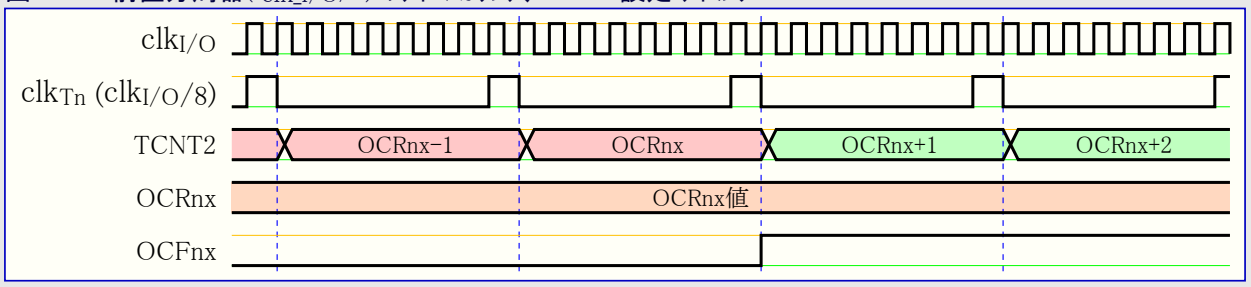
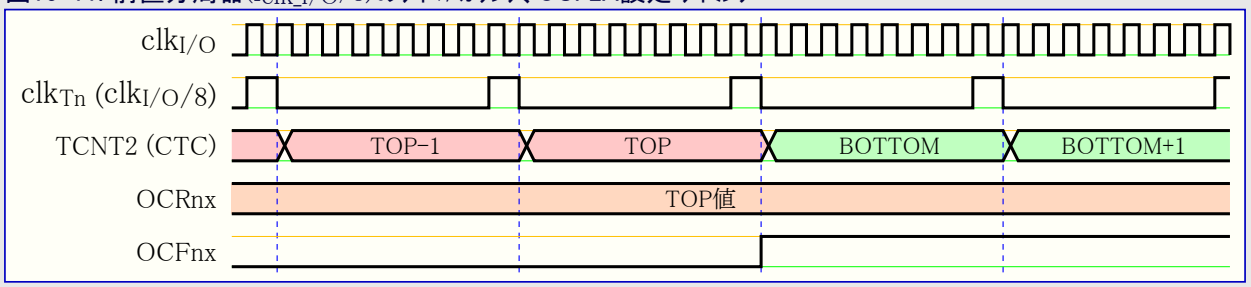


図16-11.はCTC動作でのTCNT2の解除とOCF2Aの設定を示します。

図16-11. 前置分周器($f_{clk_I/O}/8$)のタイマ/カウンタ、OCF2A設定 タイミング



16.8. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ

16.8.1. TCCR2A – ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀA (Timer/Counter2 Control Register A)

ﾋﾞｯﾄ ($B0)	7	6	5	4	3	2	1	0	
	COM2A1	COM2A0	COM2B1	COM2B0	–	–	WGM21	WGM20	TCCR2A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7,6 – COM2A1,0 : 比較A出力選択** (Compare Match A Output Mode bit 1 and 0)

これらのﾋﾞｯﾄはOC2A比較出力ﾋﾟﾝの動作を制御します。COM2A1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC2A出力はそのI/O ﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC2Aﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC2Aがﾋﾟﾝに接続されるとき、COM2A1,0ﾋﾞｯﾄの機能はWGM22～0ﾋﾞｯﾄ設定に依存します。

表16-2.はWGM22～0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM2A1,0ﾋﾞｯﾄ機能を示します。

表16-3.はWGM22～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM2A1,0ﾋﾞｯﾄの機能を示します。

表16-4.はWGM22～0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM2A1,0ﾋﾞｯﾄの機能を示します。

表16-2. 非PWM動作比較A出力選択

COM2A1	COM2A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2A切断)
0	1	比較一致でOC2Aﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC2Aﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC2Aﾋﾟﾝ Highﾚﾍﾞﾙ出力

表16-3. 高速PWM動作比較A出力選択 (共通注意参照)

COM2A1	COM2A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2A切断)
0	1	WGM22=0 : 標準ﾎﾟｰﾄ動作 (OC2A切断) WGM22=1 : 比較一致でOC2Aﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC2Aﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC2Aﾋﾟﾝへ出力 (反転動作)

表16-4. 位相基準PWM動作比較A出力選択 (共通注意参照)

COM2A1	COM2A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2A切断)
0	1	WGM22=0 : 標準ﾎﾟｰﾄ動作 (OC2A切断) WGM22=1 : 比較一致でOC2Aﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC2Aﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC2Aﾋﾟﾝへ出力

• **ﾋﾞｯﾄ5,4 – COM2B1,0 : 比較B出力選択** (Compare Match B Output Mode bit 1 and 0)

これらのﾋﾞｯﾄはOC2B比較出力ﾋﾟﾝの動作を制御します。COM2B1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC2B出力はそのI/O ﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC2Bﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC2Bがﾋﾟﾝに接続されるとき、COM2B1,0ﾋﾞｯﾄの機能はWGM22～0ﾋﾞｯﾄ設定に依存します。

表16-5.はWGM22～0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM2B1,0ﾋﾞｯﾄ機能を示します。

表16-6.はWGM22～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM2B1,0ﾋﾞｯﾄの機能を示します。

表16-7.はWGM22～0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM2B1,0ﾋﾞｯﾄの機能を示します。

表16-5. 非PWM動作比較B出力選択

COM2B1	COM2B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2B切断)
0	1	比較一致でOC2Bﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC2Bﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC2Bﾋﾟﾝ Highﾚﾍﾞﾙ出力

表16-6. 高速PWM動作比較B出力選択 (共通注意参照)

COM2B1	COM2B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2B切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC2Bﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC2Bﾋﾟﾝへ出力 (反転動作)

表16-7. 位相基準PWM動作比較B出力選択 (共通注意参照)

COM2B1	COM2B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2B切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC2Bﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC2Bﾋﾟﾝへ出力

共通注意: COM2x1が設定(1)され、対応するOCR2xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMまたはTOPでの設定(1)または解除(0)は行われます。より多くの詳細については103頁の「高速PWM動作」または104頁の「位相基準PWM動作」をご覧ください。(表16-3,4,6,7.各々での注:を纏めました。)

• ﾋﾞｯﾄ3,2 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• ﾋﾞｯﾄ1,0 – WGM21,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCR2B)で得られるWGM22ﾋﾞｯﾄと組み合わせたこれらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大ｶｳﾝﾀ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します(表16-8.参照)。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作(ｶｳﾝﾀ)、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と2形式のﾊﾟﾙｽ幅変調(PWM)動作です。102頁の「動作種別」をご覧ください。

表16-8. 波形生成種別選択

番号	WGM22	WGM21	WGM20	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR2x更新時	TOV2設定時
0	0	0	0	標準動作	$FF	即時	MAX
1	0	0	1	8ﾋﾞｯﾄ位相基準PWM動作	$FF	TOP	BOTTOM
2	0	1	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR2A	即時	MAX
3	0	1	1	8ﾋﾞｯﾄ高速PWM動作	$FF	BOTTOM	MAX
4	1	0	0	(予約)	–	–	–
5	1	0	1	位相基準PWM動作	OCR2A	TOP	BOTTOM
6	1	1	0	(予約)	–	–	–
7	1	1	1	高速PWM動作	OCR2A	BOTTOM	TOP

注: MAX=$FF、BOTTOM=$00です。

16.8.2. TCCR2B – ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀB (Timer/Counter2 Control Register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($B1)	FOC2A	FOC2B	–	–	WGM22	CS22	CS21	CS20	TCCR2B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – FOC2A : OC2A強制変更 (Force Output Compare A)

FOC2AﾋﾞｯﾄはWGM22～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。

けれども将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR2Bが書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC2Aﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC2A出力はCOM2A1,0ﾋﾞｯﾄ設定に従って変更されます。FOC2Aﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM2A1,0ﾋﾞｯﾄに存在する値です。

FOC2Aｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCR2Aを使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($00)も行いません。

FOC2Aﾋﾞｯﾄは常に0として読みます。

• ﾋﾞｯﾄ6 – FOC2B : OC2B強制変更 (Force Output Compare B)

FOC2BﾋﾞｯﾄはWGM22～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。

けれども将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR2Bが書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC2Bﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC2B出力はCOM2B1,0ﾋﾞｯﾄ設定に従って変更されます。FOC2Bﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM2B1,0ﾋﾞｯﾄに存在する値です。

FOC2Bｽﾄﾛｰﾌﾞは何れの割り込みの生成も行いません。

FOC2Bﾋﾞｯﾄは常に0として読みます。

• ﾋﾞｯﾄ5,4 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• ﾋﾞｯﾄ3 – WGM22 : 波形生成種別 (Waveform Generation Mode bit 2)

106頁の「TCCR2A – ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀA」のWGM21,0ﾋﾞｯﾄ記述をご覧ください。

• ﾋﾞｯﾄ2~0 – CS22~0 : ｸﾛｯｸ選択2 (Clock Select2, bit 2,1 and 0)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT2)によって使われるｸﾛｯｸ元を選びます。表16-9.をご覧ください。

表16-9. ﾀｲﾏ/ｶｳﾝﾀ2入力ｸﾛｯｸ選択

CS22	CS21	CS20	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀ2動作停止)
0	0	1	clk_{T2S} (前置分周なし)
0	1	0	$clk_{T2S}/8$ (8分周)
0	1	1	$clk_{T2S}/32$ (32分周)
1	0	0	$clk_{T2S}/64$ (64分周)
1	0	1	$clk_{T2S}/128$ (128分周)
1	1	0	$clk_{T2S}/256$ (256分周)
1	1	1	$clk_{T2S}/1024$ (1024分周)

16.8.3. TCNT2 – ﾀｲﾏ/ｶｳﾝﾀ2 (Timer/Counter2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($B2)	(MSB)							(LSB)	TCNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀは読み書き両方の操作について、ﾀｲﾏ/ｶｳﾝﾀ部の8ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。TCNT2への書き込みは次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT2)を変更することは、TCNT2とOCR2x間の比較一致消失の危険を誘発します。

16.8.4. OCR2A – ﾀｲﾏ/ｶｳﾝﾀ2 比較Aﾚｼﾞｽﾀ (Timer/Counter2 Output Compare A Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($B3)	(MSB)							(LSB)	OCR2A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT2)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC2Aﾋﾟﾝでの波形出力を生成するのに使えます。

16.8.5. OCR2B – ﾀｲﾏ/ｶｳﾝﾀ2 比較Bﾚｼﾞｽﾀ (Timer/Counter2 Output Compare B Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($B4)	(MSB)							(LSB)	OCR2B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT2)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC2Bﾋﾟﾝでの波形出力を生成するのに使えます。

16.8.6. TIMSK2 – ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ (Timer/Counter 2 Interrupt Mask Register)

ﾋﾞｯﾄ ($70)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	OCIE2B	OCIE2A	TOIE2	TIMSK2
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～3 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ2 – OCIE2B : ﾀｲﾏ/ｶｳﾝﾀ2比較B割り込み許可** (Timer/Counter2 Output Compare Match B Interrupt Enable)

OCIE2Bﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2で比較B一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR2)で比較B割り込み要求ﾌﾗｸﾞ(OCF2B)が設定(1)されると、対応する割り込みが実行されます。

• **ﾋﾞｯﾄ1 – OCIE2A : ﾀｲﾏ/ｶｳﾝﾀ2比較A割り込み許可** (Timer/Counter2 Output Compare Match A Interrupt Enable)

OCIE2Aﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2で比較A一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR2)で比較A割り込み要求ﾌﾗｸﾞ(OCF2A)が設定(1)されると、対応する割り込みが実行されます。

• **ﾋﾞｯﾄ0 – TOIE2 : ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可** (Timer/Counter2 Overflow Interrupt Enable)

TOIE2ﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2溢れが起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR2)でﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み要求(TOV2)ﾌﾗｸﾞが設定(1)されると、対応する割り込みが実行されます。

16.8.7. TIFR2 – ﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter 2 Interrupt Flag Register)

ﾋﾞｯﾄ $17 ($37)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	OCF2B	OCF2A	TOV2	TIFR2
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～3 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ2 – OCF2B : ﾀｲﾏ/ｶｳﾝﾀ2比較B割り込み要求ﾌﾗｸﾞ** (Timer/Conter2, Output Compare B Match Flag)

OCF2Bﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT2)と比較ﾚｼﾞｽﾀ(OCR2B)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCF2Bはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCF2Bは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2比較B一致割り込み許可(OCIE2B)ﾋﾞｯﾄ、OCF2Bが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較B一致割り込みが実行されます。

• **ﾋﾞｯﾄ1 – OCF2A : ﾀｲﾏ/ｶｳﾝﾀ2比較A割り込み要求ﾌﾗｸﾞ** (Timer/Conter2, Output Compare A Match Flag)

OCF2Aﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT2)と比較ﾚｼﾞｽﾀ(OCR2A)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCF2Aはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCF2Aは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2比較A一致割り込み許可(OCIE2A)ﾋﾞｯﾄ、OCF2Aが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較A一致割り込みが実行されます。

• **ﾋﾞｯﾄ0 – TOV2 : ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter2 Overflow Flag)

TOV2ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT2)溢れが起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、TOV2はﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもTOV2は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可(TOIE2)ﾋﾞｯﾄ、TOV2が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みが実行されます。位相基準PWM動作ではﾀｲﾏ/ｶｳﾝﾀ2が$00で計数方向を変える時にこのﾋﾞｯﾄが設定(1)されます。

これらﾌﾗｸﾞの設定はWGM22～0ﾋﾞｯﾄ設定に依存します。107頁の波形生成種別ﾋﾞｯﾄ記述の**表16-8.**を参照してください。

16.9. タイマ/カウンタ2の非同期動作

16.9.1. ASSR – タイマ/カウンタ2非同期状態レジスタ (Timer/Counter2 Asynchronous Status Register)

ビット ($B6)	7	6	5	4	3	2	1	0	
	–	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB	ASSR
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – Res : 予約** (Reserved bit)

このビットは予約されており、常に0として読みます。

• **ビット6 – EXCLK : 外部クロック信号許可** (Enable External Clock Input)

EXCLKが1を書かれ、非同期クロックが選ばれると、外部クロック入力緩衝部が許可され、32kHzクリスタルの代わりに外部クロックがタイマ発振器1(TOSC1)ピンへ入力できます。EXCLKへの書き込みは非同期動作が選ばれる前に行うべきです。クリスタル発振器はこのビットが0の時にだけ走行(動作)することに注意してください。

• **ビット5 – AS2 : タイマ/カウンタ2非同期動作許可** (Asynchronous Timer/Counter2)

AS2が0を書かれると、タイマ/カウンタ2はI/Oクロック($clk_{I/O}$)からクロック駆動されます。AS2が1を書かれると、タイマ/カウンタ2はタイマ発振器(TOSC1,TOSC2)ピンに接続されたクリスタル発振器からクロック駆動されます。AS2の値が変更されると、タイマ/カウンタ2(TCNT2)、比較レジスタ(OCR2A,OCR2B)、タイマ/カウンタ2制御レジスタ(TCCR2A,TCCR2B)の内容は不正にされるかもしれません。

• **ビット4 – TCN2UB : タイマ/カウンタ2更新中フラグ** (Timer/Counter2 Update Busy)

タイマ/カウンタ2が非同期に動き、タイマ/カウンタ2(TCNT2)が書かれると、このビットが設定(1)になります。TCNT2が一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理0はTCNT2が新しい値で更新される用意ができたことを示します。

• **ビット3 – OCR2AUB : タイマ/カウンタ2比較Aレジスタ更新中フラグ** (Output Compare A Register2 Update Busy)

タイマ/カウンタ2が非同期に動き、比較Aレジスタ(OCR2A)が書かれると、このビットが設定(1)になります。OCR2Aが一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理0はOCR2Aが新しい値で更新される用意ができたことを示します。

• **ビット2 – OCR2BUB : タイマ/カウンタ2比較Bレジスタ更新中フラグ** (Output Compare B Register2 Update Busy)

タイマ/カウンタ2が非同期に動き、比較Bレジスタ(OCR2B)が書かれると、このビットが設定(1)になります。OCR2Bが一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理0はOCR2Bが新しい値で更新される用意ができたことを示します。

• **ビット1 – TCR2AUB : タイマ/カウンタ2制御レジスタA更新中フラグ** (Timer/Counter2 Control Register A Update Busy)

タイマ/カウンタ2が非同期に動き、タイマ/カウンタ2制御レジスタA(TCCR2A)が書かれると、このビットが設定(1)になります。TCCR2Aが一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理0はTCCR2Aが新しい値で更新される用意ができたことを示します。

• **ビット0 – TCR2BUB : タイマ/カウンタ2制御レジスタB更新中フラグ** (Timer/Counter2 Control Register B Update Busy)

タイマ/カウンタ2が非同期に動き、タイマ/カウンタ2制御レジスタB(TCCR2B)が書かれると、このビットが設定(1)になります。TCCR2Bが一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理0はTCCR2Bが新しい値で更新される用意ができたことを示します。

更新中フラグが設定(1)中に3つのタイマ/カウンタ2 レジスタのどれかに書き込みが実行されると、更新された値は不正にされ、予期せぬ割り込みを起こす原因になるかもしれません。

TCNT2,OCR2A,OCR2B,TCCR2A,TCCR2B読み込みについての機構は異なります。TCNT2を読む時は実際のタイマ/カウンタ値が読まれ、OCR2A,OCR2B,TCCR2A,TCCR2Bを読む時は一時保存レジスタの値が読まれます。

16.9.2. タイマ/カウンタ2 非同期動作

タイマ/カウンタ2が非同期で動くとき、いくつかの考慮が成されなければなりません。

- 警告: タイマ/カウンタ2の同期/非同期クロック駆動間を切り替えると、タイマ/カウンタ2(TCNT2)、タイマ/カウンタ2比較レジスタ(OCR2x)、タイマ/カウンタ2制御レジスタ(TCCR2x)が不正となるかもしれません。クロック元を切り替える安全な手順を次に示します。
  1. タイマ/カウンタ2割り込み許可レジスタ(TIMSK2)のOCIE2xとTOIE2の解除(0)により、タイマ/カウンタ2割り込みを禁止します。
  2. 非同期状態レジスタ(ASSR)の非同期動作許可(AS2)設定によってクロック元を適切に選びます。
  3. TCNT2,OCR2x,TCCR2xに新しい値を書きます。
  4. 非同期動作へ切り替えるには、TCN2UB, OCR2xUB, TCR2xUBについて(=0まで)待機します。
  5. タイマ/カウンタ2割り込み要求フラグ レジスタ(TIFR2)のOCF2xとTOV2フラグを解除(0)します。
  6. 必要とされるなら、割り込みを許可します。
- CPU主クロック周波数はタイマ発振器周波数の4倍よりも高くなければなりません。
- TCNT2,OCR2x,TCCR2xレジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSC1で2つの上昇端後、(実レジスタ)に設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に新しい値を書くべきではありません。記載された3つのレジスタの各々がそれら個別の一時レジスタを持ちます。それは、例えばTCNT2書き込みがOCR2x書き込みの実行を妨げないことを意味します。転送先レジスタへの転送が起きたことを検知するために非同期状態レジスタ(ASSR)は実装されました。
- TCNT2,OCR2x,TCCR2xに書いた後でパワーセーブまたはA/D変換雑音低減動作へ移行するとき、デバイスを起動するのにタイマ/カウンタ2が使われる場合、使用者は書かれたレジスタが更新されてしまうまで待たなければなりません。さもなければMCUは変更が有効になる前に休止形態へ移行するでしょう。タイマ/カウンタ2比較一致割り込みがデバイスを起動するのに使われると、TCNT2またはOCR2x書き込み中の比較機能が禁止されるため、これは非常に重要です。書き込み周期が完了されず、OCR2xUBが0に戻る前にMCUが休止形態へ移行すると、デバイスは決して比較一致割り込みを受け取らず、そしてMCUは起動しないでしょう。
- パワーセーブまたはA/D変換雑音低減動作からデバイスを起動するためにタイマ/カウンタ2が使われる場合、使用者がこれら動作へ(復帰後)再移行することを欲するなら、予防処置を講じなければなりません。割り込み論理回路はリセットするのに1 TOSC1周期必要です。起動と休止形態再移行間の時間が1 TOSC1周期未満の場合に割り込みが起きず、デバイスは起動に失敗するでしょう。パワーセーブまたはA/D変換雑音動作再移行前の時間が充分であるかどうか迷うなら、1 TOSC1周期が経過されることを保証するのに次の手順が使えます。
  1. TCNT2,OCR2x,TCCR2xに値を書きます。
  2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが0に戻るまで待ちます。
  3. パワーセーブまたはA/D変換雑音低減動作へ移行します。
- 非同期動作が選ばれると、タイマ/カウンタ2用32.768kHz発振器はパワーダウンとスタンバイの動作を除いて常に動作します。電源投入リセット、パワーダウンまたはスタンバイ動作から起動後、この発振器が安定するのに1秒程度かかるかもしれないことを使用者は承知すべきです。電源投入、パワーダウンまたはスタンバイ動作から起動後、タイマ/カウンタ2を使う前に少なくとも1秒待つことが推奨されます。この発振器の使用またはクロック信号がTOSCピンに印加されるかのどちらかに拘らず、起動時の不安的なクロック信号のため、パワーダウンまたはスタンバイ動作からの起動復帰後、タイマ/カウンタ2の全レジスタの内容が失われたとみなされなければなりません。
- タイマ/カウンタ2が非同期でクロック駆動される時のパワーセーブまたはA/D変換雑音低減動作から起動の説明。割り込み条件が合致すると、タイマ/カウンタ クロックの次周期で起動処理が開始され、プロセッサがカウンタ値を読めるのに先立ってタイマ/カウンタは常に最低1、進行されます。起動後にMCUは4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。
- パワーセーブ動作から起動直後のTCNT2の読み込みは不正な結果を得るかもしれません。TCNT2が非同期TOSCクロックでクロック駆動されるため、TCNT2読み込みは内部I/Oクロック領域に同期したレジスタを通して行われなければなりません。同期化はTOSCクロックの全上昇端で行われます。パワーセーブ動作から起動し、I/Oクロック($clk_{I/O}$)が再び活性(有効)になるとき、TCNT2はTOSCクロックの次の上昇端まで以前(休止形態移行前)の値を読むでしょう。パワーセーブ動作から起動後のTOSCクロックの位相は起動時間に依存するため本質的に特定できません。従ってTCNT2読み込みに対する推奨手順は次のとおりです。
  1. OCR2xまたはTCCR2xのどれかに何か値を書きます。
  2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが解除(0)されるまで待ちます。
  3. TCNT2を読みます。
- 非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は3プロセッサ周期+1タイマ周期かかります。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読めるのに先立って、このタイマは最低1、進行されます。比較出力ピンはタイマ クロックで変更され、プロセッサ クロックに同期されません。

(訳注) 本頁記載のA/D変換雑音低減動作は拡張スタンバイ動作かもしれません。

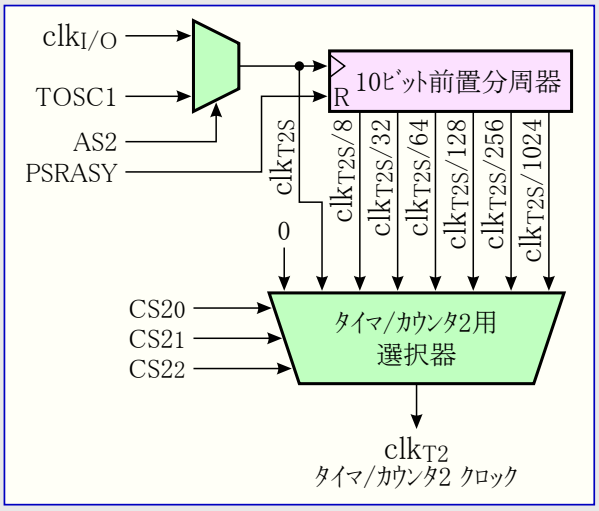
16.10. タイマ/カウンタ2の前置分周器

タイマ/カウンタ2用クロック元の名前はclk_{T2S}です。既定ではclk_{T2S}が主システムI/Oクロック($clk_{I/O}$)に接続されます。タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期クロック許可(AS2)ビットの設定(1)によって、タイマ/カウンタ2はTOSC1ピンから非同期にクロック駆動されます。これは実時間計数器(RTC)としてのタイマ/カウンタ2の使用を可能にします。AS2が設定(1)されると、TOSC1とTOSC2ピンは主クロック発振器や標準ポートから切り離されます。クリスタル発振子はタイマ/カウンタ2用の独立したクロック元として扱うTOSC1とTOSC2ピン間に接続できます。この発振器は32.768kHzクリスタル発振子で使うために最適化されています。TOSC1に外部クロック信号を印加する場合、ASSRの外部クロック許可(EXCLK)ビットが設定(1)されなければなりません(**訳注**:矛盾回避のため本行置換)。

タイマ/カウンタ2に対して可能な前置分周済み選択は$clk_{T2S}/8$, $clk_{T2S}/32$, $clk_{T2S}/64$, $clk_{T2S}/128$, $clk_{T2S}/256$, $clk_{T2S}/1024$です。更に0(停止)は勿論clk_{T2S}も選択可能です。

一般タイマ/カウンタ制御レジスタ(GTCCR)の非同期系タイマ/カウンタ前置分周器リセット(PSRASY)ビットの設定(1)は前置分周器をリセットします。これは予測可能な前置分周器での操作を使用者に許します。

図16-12. タイマ/カウンタ2前置分周器部構成



16.10.1. GTCCR – 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register)

ビット	7	6	5	4	3	2	1	0	
$23 ($43)	TSM	–	–	–	–	–	PSRASY	PSRSYNC	GTCCR
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット1 – PSRASY : 非同期系タイマ/カウンタ前置分周器リセット** (Prescaler Reset Timer/Counter2)

このビットが1の時にタイマ/カウンタ2の前置分周器はリセットします。通常、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ2が非同期動作の時にこのビットが(1を)書かれると、このビットは前置分周器がリセットされてしまうまで1に留まります。TSMビットが設定(1)される場合、このビットはハードウェアによって解除(0)されません。タイマ/カウンタ同期(同時)動作の記載については64頁の「GTCCR – 一般タイマ/カウンタ制御レジスタ」の記述を参照してください。

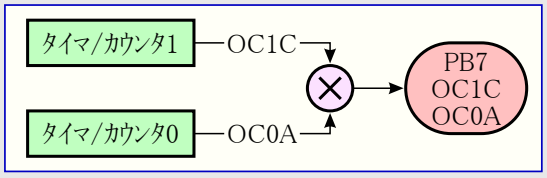
17. 比較出力変調器 (OCM1C0A)

17.1. 概要

比較出力変調器(OCM)は搬送波を変調した波形の生成を許します。この変調器は16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1の比較C出力部と8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0の比較A出力部からの出力を使います。これらのﾀｲﾏ/ｶｳﾝﾀについてのより多くの詳細に関しては77頁の「16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ(ﾀｲﾏ/ｶｳﾝﾀ1,ﾀｲﾏ/ｶｳﾝﾀ3)」と65頁の「8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0(PWM付き)」をご覧ください。

この変調器が許可されると、構成図(図17-1.)で示されるように2つの比較出力が共に変調されます。

図17-1. 比較出力変調器構成図

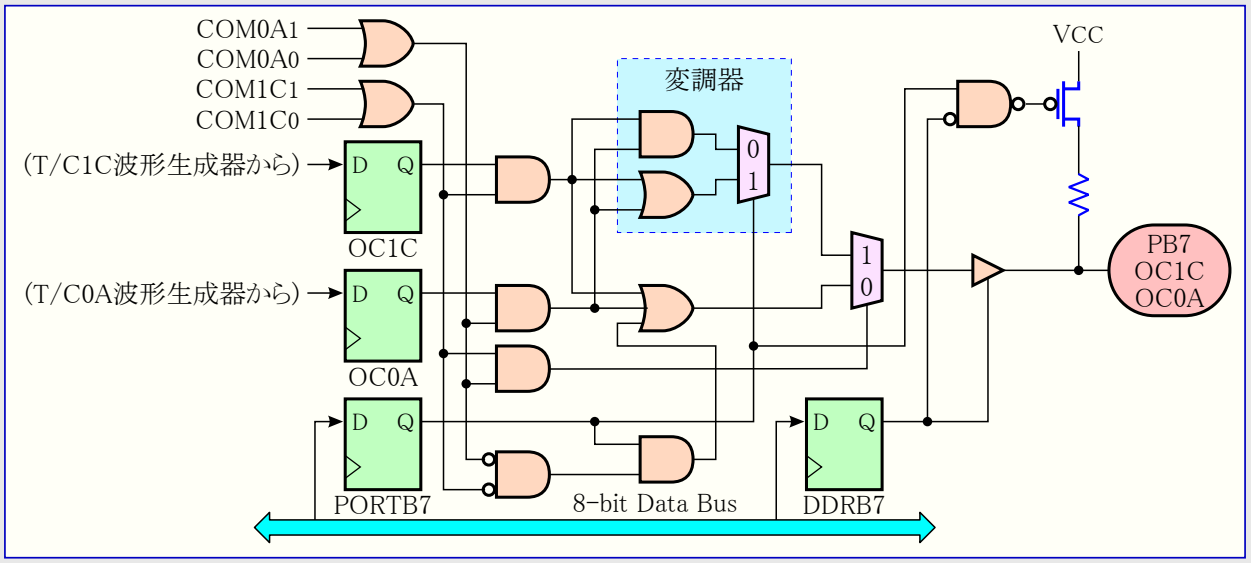


17.2. 説明

比較1C出力部と比較0A出力部は出力に関してPB7ﾎﾟｰﾄ ﾋﾟﾝを共用します。比較出力部の出力(OC1CとOC0A)はこれらの1つが許可(換言すると、COMnx1,0≠00に)されると、標準PORTB7ﾚｼﾞｽﾀを無効にします。OC1CとOC0Aの両方が同時に許可されると、この変調器が自動的に許可されます。

この変調器の機能等価回路図は図17-2.で示されます。この図はﾀｲﾏ/ｶｳﾝﾀ部とﾎﾟｰﾄBのﾋﾞｯﾄ7ﾋﾟﾝ出力駆動回路部分を含みます。

図17-2. 比較出力変調器等価回路図

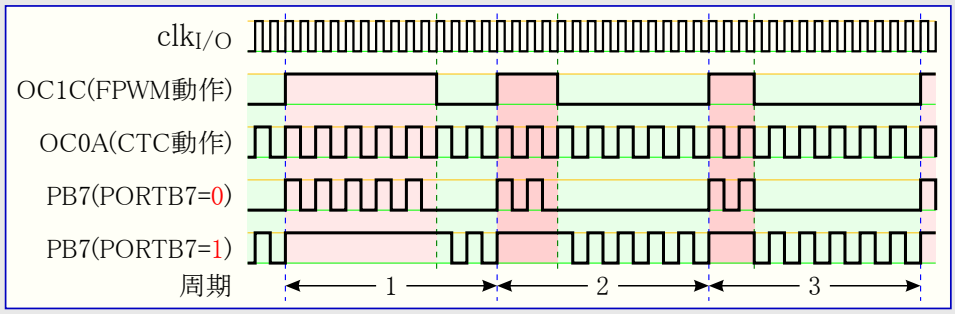


変調器が許可されると、変調形式(論理ANDまたはOR)がPORTB7ﾚｼﾞｽﾀによって選べます。COMnx1,0ﾋﾞｯﾄ設定に拘らず、DDB7がﾎﾟｰﾄの方向を制御することに注意してください。

17.2.1. ﾀｲﾐﾝｸﾞ例

図17-3.は変調器の動作を図解します。この例でのﾀｲﾏ/ｶｳﾝﾀ1は(非反転)高速PWM動作に設定され、ﾀｲﾏ/ｶｳﾝﾀ0は比較交互出力(COM01,0=01)のCTC波形動作を使います。

図17-3. 比較出力変調器ﾀｲﾐﾝｸﾞ図



この例ではﾀｲﾏ/ｶｳﾝﾀ0が搬送波を供給し、一方変調する信号(変調波)はﾀｲﾏ/ｶｳﾝﾀ1の比較C出力によって生成されます。

PWM信号(OC1C)の分解能は変調によって減らされます。この減少係数は搬送波(OC0A)1周期のｼｽﾃﾑ ｸﾛｯｸ周期数と等価です。この例の分解能は係数2で減らされます(即ち1/2)。この減少理由は図17-3.のPORTB7=0時のPB7出力の第2周期と第3周期で図解されます。第2周期のHigh区間は第3周期のHigh区間よりも1周期長いけれども、PB7出力の結果は両周期で等しくなります。

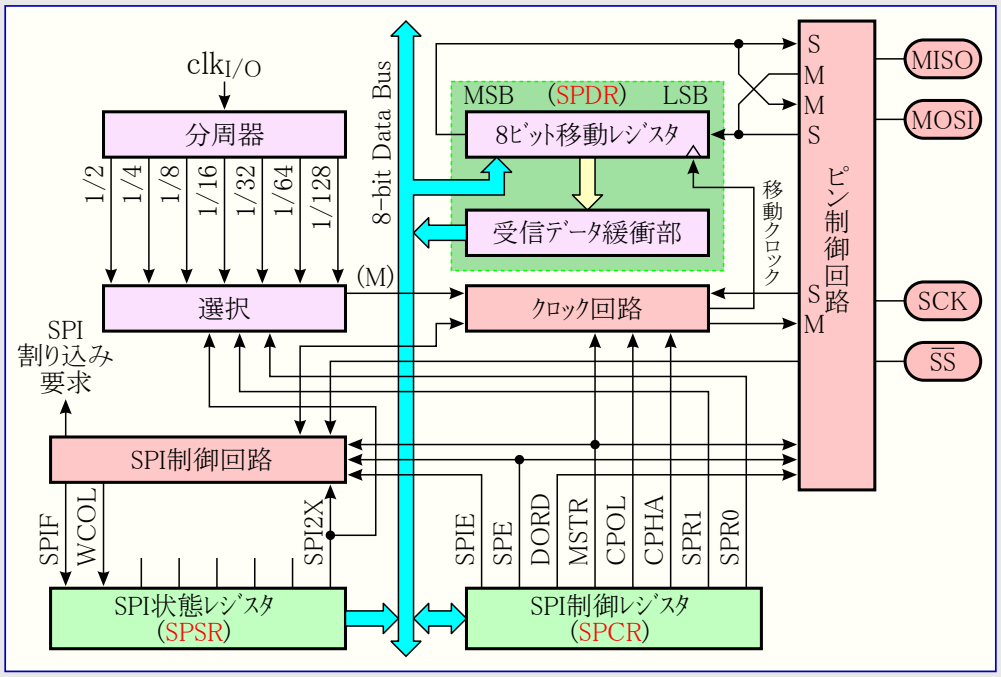
18. 直列周辺インターフェース (SPI: Serial Peripheral Interface)

直列周辺インターフェースはAT90USB64/128と、様々なAVRデバイスや周辺デバイス間の高速同期データ転送を許します。SPIは次の特徴を含みます。

- 全二重3線同期データ転送
- 主装置/従装置動作
- LSB/MSB先行データ転送
- 設定変更可能な7つのビット速度
- 送信完了割り込み要求フラグ
- 送信上書きフラグ保護
- アイドル動作からの起動
- 倍速(CK/2)主装置SPI動作

USARTはSPI主装置動作も使えます。135頁の「USARTでのSPI動作」をご覧ください。32頁の「PRR0 – 電力削減レジスタ」のPRSPIビットはSPI部を許可するために0を書かれなければなりません。

図18-1. SPI構成図



注: SPIピン配置については2頁の「ピン配置」と51頁の表12-6.を参照してください。

SPIでの主装置と従装置のCPU間相互連結は図18-2.で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は希望した従装置の$\overline{SS}$(従装置選択)ピンをLowへ引き込む時に一群の通信を開始します。主装置と従装置は各々の移動レジスタに送出すべきデータを用意し、主装置はデータを交換するのに必要なクロック パルスをSCK信号線に生成します。データは常にMOSI(Master Out Slave In)信号線を主装置から従装置へ、MISO(Master In Slave Out)信号線を従装置から主装置へ移動されます。各データ パケット後、主装置は$\overline{SS}$(従装置選択)ピンをHighへ引き上げることによって従装置と同期を取ります。

主装置として設定されると、SPIインターフェースには$\overline{SS}$信号線の自動制御がありません。これは通信が開始できるのに先立って使用者ソフトウェアによって操作されなければなりません。これが行われると、SPIデータ レジスタ(SPDR)へのバイト書き込みがSPIクロック発生器を始動し、ハードウェアが従装置内へ8ビットを移動します。1バイトの移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の転送完了フラグ(SPIF)を設定(1)します。SPI制御レジスタ(SPCR)でSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。主装置はSPDR内へ次バイトを書くことによって次バイトの移動を継続、または$\overline{SS}$(従装置選択)信号線をHighへ引き上げることによってパケットの終了を指示することができます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

従装置として設定されると、SPIインターフェースは$\overline{SS}$ピンがHighに駆動される限り、MISOをHi-Zにした休止状態に留まります。この状態でプログラムはSPIデータ レジスタ(SPDR)の内容を更新できますが、そのデータは$\overline{SS}$ピンがLowに駆動されるまでSCKピンでの到着クロック パルスによって移動出力されません。1バイトが完全に移動されてしまうと転送完了フラグ(SPIF)が設定(1)されます。SPCRでSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置は受信データを読む前にSPDR内へ送られるべき次のデータの配置を続けられます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

このシステムは送信側で単一緩衝、受信側で2重緩衝です。これは一連の移動全体が完了される前に送信されるべきバイトがSPIデータ レジスタ(SPDR)へ書けないことを意味します。けれども、データを受信するとき、次のデータが完全に移動入力される前に受信したデータがSPIデータ レジスタ (SPDR)から読まれなければなりません。さもなければ始めのバイトは失われます。

SPI従装置動作では制御論理回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、High/Lowの最小時間は各々2 CPUクロック周期よりも長くあるべきです。

SPIが許可されると、MOSI, MISO, SCK, $\overline{SS}$ピンのデータ方向は表18-1.に従って無視されます。自動的なポート無視のより多くの詳細については49頁の「交換ポート機能」を参照してください。

図18-2. SPI 主装置/従装置の連結

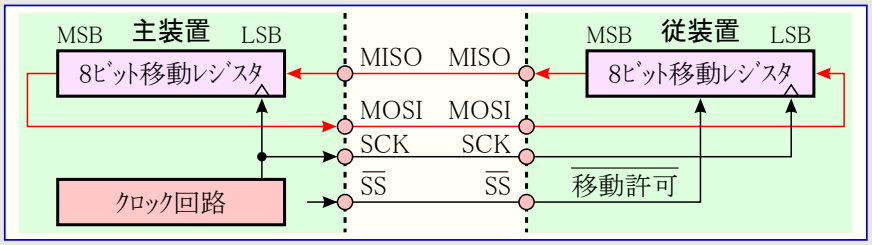


表18-1. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
$\overline{SS}$	ポートB方向レジスタ(DDRB)の指定	入力

注: 使用者定義SPIピンの方向定義方法の詳細記述については51頁の「ポートBの交換機能」を参照してください。

次のｺｰﾄﾞ例は主装置としてSPIを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR_SPIはSPIﾋﾟﾝを制御する実際のﾎﾟｰﾄ方向ﾚｼﾞｽﾀに置き換えられなければなりません。DD_MOSI, DD_MISO, DD_SCKはこれらのﾋﾟﾝに対する実際のﾎﾟｰﾄ方向ﾋﾞｯﾄに置き換えられなければなりません。例えばMOSIがPB5ﾋﾟﾝに配置されるなら、DD_MOSIはDDB5、DDR_SPIはDDRBに置き換えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_M_Init:  LDI     R17,(1<<DD_MOSI)|(1<<DD_SCK)        ;MOSI,SCK=出力、他は入力値を取得
             OUT     DDR_SPI,R17                         ;MOSI,SCK=出力、他は入力に設定
             LDI     R17,(1<<SPE)|(1<<MSTR)|(1<<SPR0)    ;SPI許可、主装置、16分周値を取得
             OUT     SPCR,R17                            ;SPI許可、主装置、16分周に設定
             RET                                         ;呼び出し元へ復帰

SPI_M_Tx:    OUT     SPDR,R16                            ;ﾃﾞｰﾀ(R16)送信開始
SPI_M_Tx_W:  SBIS    SPSR,SPIF                           ;転送完了ならばｽｷｯﾌﾟ
             RJMP    SPI_M_Tx_W                          ;転送完了まで待機
;
             RET                                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI)|(1<<DD_SCK);                  /* MOSI,SCK=出力、他は入力に設定 */
    SPCR = (1<<SPE)|(1<<MSTR)|(1<<SPR0);                 /* SPI許可、主装置、16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                        /* ﾃﾞｰﾀ送信開始 */
    while(!(SPSR & (1<<SPIF)));                          /* 転送完了まで待機 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

次のｺｰﾄﾞ例は従装置としてSPIを初期化する方法と簡単な受信を実行する方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_S_Init:  LDI     R17,(1<<DD_MISO)                    ;MISO出力、他は入力値を取得
             OUT     DDR_SPI,R17                         ;MISO出力、他は入力に設定
             LDI     R17,(1<<SPE)                        ;SPI許可値を取得
             OUT     SPCR,R17                            ;SPI許可設定
             RET                                         ;呼び出し元へ復帰

SPI_S_Rx:    SBIS    SPSR,SPIF                           ;受信(転送)完了ならばｽｷｯﾌﾟ
             RJMP    SPI_S_Rx                            ;受信(転送)完了まで待機
;
             IN      R16,SPDR                            ;受信ﾃﾞｰﾀを取得
             RET                                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                              /* MISO出力、他は入力に設定 */
    SPCR = (1<<SPE);                                     /* SPI許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                          /* 受信(転送)完了まで待機 */
    return SPDR;                                         /* 受信ﾃﾞｰﾀと共に復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

18.1. $\overline{SS}$ﾋﾟﾝの機能

18.1.1. 従装置動作

SPIが従装置として設定されると、従装置選択($\overline{SS}$)ﾋﾟﾝは常に入力です。$\overline{SS}$がLowに保たれるとSPIは活性に(作動)され、使用者によってそのように設定されていればMISOは出力になります。他の全てのﾋﾟﾝは入力です。$\overline{SS}$がHighに駆動されると、出力として使用者設定され得るMISOを除く全てのﾋﾟﾝは入力、SPIは非活動で、それは到着ﾃﾞｰﾀを受信しないことを意味します。一旦$\overline{SS}$ﾋﾟﾝがHighに駆動されると、SPI論理回路がﾘｾｯﾄすることに注意してください。

この$\overline{SS}$ﾋﾟﾝはﾊﾟｹｯﾄ/ﾊﾞｲﾄ同期に対して、従装置ﾋﾞｯﾄ計数器が主装置ｸﾛｯｸ発生器との同期を保つのに有用です。$\overline{SS}$ﾋﾟﾝがHighに駆動されると、SPI従装置は直ちに送受信論理回路をﾘｾｯﾄし、それは移動ﾚｼﾞｽﾀ内で部分的に受信したどのﾃﾞｰﾀも取り落とします。

18.1.2. 主装置動作

SPIが主装置(SPI制御ﾚｼﾞｽﾀ(SPCR)の主装置許可(MSTR)ﾋﾞｯﾄ=1)として設定されると、$\overline{SS}$ﾋﾟﾝの方向は使用者が決められます。

$\overline{SS}$が出力として設定されると、このﾋﾟﾝはSPIｼｽﾃﾑに影響を及ぼされない標準出力ﾋﾟﾝです。代表的にはこのﾋﾟﾝがSPI従装置の$\overline{SS}$ﾋﾟﾝを駆動するでしょう。

$\overline{SS}$が入力として設定されると、SPI主装置動作を保証するため、それはHighに保持されなければなりません。$\overline{SS}$ﾋﾟﾝが入力として定義されたSPI主装置として設定される時に周辺回路によって$\overline{SS}$ﾋﾟﾝがLowに駆動されると、SPIｼｽﾃﾑは他の主装置が従装置として選んでﾃﾞｰﾀ送信を始めると解釈します。ﾊﾞｽの衝突を避けるためにSPIｼｽﾃﾑは次の動作を行います。

1. SPCRで主/従選択(MSTR)ﾋﾞｯﾄが解除(0)され、SPIｼｽﾃﾑは従装置になります。SPIｼｽﾃﾑが従装置になる結果としてMOSIとSCKﾋﾟﾝが入力になります。
2. SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)され、そしてSPI割り込みが許可(SPCRのSPIE=1)され、且つｽﾃｰﾀｽﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)なら、割り込みﾙｰﾁﾝが実行されます。

従って割り込み駆動SPI送信が主装置動作で使われ、$\overline{SS}$がLowに駆動される可能性があるとき、その割り込み(処理)はMSTRﾋﾞｯﾄが未だ設定(1)されていることを常に検査すべきです。MSTRﾋﾞｯﾄが従装置選択によって解除(0)されてしまっていると、それはSPI主装置動作を再び許可するため、使用者によって設定(1)されなければなりません。

18.1.3. SPCR – SPI制御ﾚｼﾞｽﾀ (SPI Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2C ($4C)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – SPIE : SPI割り込み許可** (SPI Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されて、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)されると、このﾋﾞｯﾄがSPI割り込みを実行させます。

• **ﾋﾞｯﾄ6 – SPE : SPI許可** (SPI Enable)

SPEﾋﾞｯﾄが1を書かれるとSPIが許可されます。どのSPI操作を許可するにも、このﾋﾞｯﾄが設定(1)されなければなりません。

• **ﾋﾞｯﾄ5 – DORD : ﾃﾞｰﾀ順選択** (Data Order)

DORDﾋﾞｯﾄが1を書かれるとﾃﾞｰﾀ語のLSBが最初に転送されます。DORDﾋﾞｯﾄが0を書かれるとMSBが最初に転送されます。

• **ﾋﾞｯﾄ4 – MSTR : 主装置/従装置選択** (Master/Slave Select)

このﾋﾞｯﾄは1を書かれると主装置動作、論理0を書かれると従装置動作を選びます。$\overline{SS}$が入力として設定され、MSTRが設定(1)の間にLowへ駆動されると、MSTRが解除(0)され、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)になります。その後に使用者はSPI主装置動作を再び許可するためにMSTRを設定(1)しなければなりません。

• **ﾋﾞｯﾄ3 – CPOL : SCK極性選択** (Clock Polarity)

このﾋﾞｯﾄが1を書かれると、ｱｲﾄﾞﾙ時にSCKはHighです。CPOLが0を書かれると、ｱｲﾄﾞﾙ時にSCKはLowです。例については図18-3.と図18-4.を参照してください。CPOL機能は右で要約されます。

表18-2. CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

• **ﾋﾞｯﾄ2 – CPHA : SCK位相選択** (Clock Phase)

このSCK位相選択(CPHA)ﾋﾞｯﾄの設定はﾃﾞｰﾀがSCKの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。例については図18-3.と図18-4.を参照してください。CPHA機能は右で要約されます。

表18-3. CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

• ﾋﾞｯﾄ1,0 – SPR1,0 : SPIｸﾛｯｸ選択 (SPI Clock Rate Select 1 and 0)

これら2ﾋﾞｯﾄは主装置として設定されたﾃﾞﾊﾞｲｽのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKと(ｼｽﾃﾑ)発振器ｸﾛｯｸ周波数fOSC間の関連は表18-4.で示されます。

表18-4. SCK速度選択 (fOSC=CPUｸﾛｯｸ周波数)

SPR1	0		0		1		1	
SPR0	0		1		0		1	
SPI2X	1	0	1	0	1	0	1	0
SCK周波数	fOSC/2	fOSC/4	fOSC/8	fOSC/16	fOSC/32	fOSC/64		fOSC/128

18.1.4. SPSR – SPI状態ﾚｼﾞｽﾀ (SPI Status Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2D ($4D)	SPIF	WCOL	–	–	–	–	–	SPI2X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – SPIF : SPI割り込み要求ﾌﾗｸﾞ (SPI Interrupt Flag)

直列転送が完了すると、このSPIFﾌﾗｸﾞが設定(1)されます。全割り込みが許可(ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ=1)されて、SPI制御ﾚｼﾞｽﾀ(SPCR)でSPI割り込み許可(SPIE)ﾋﾞｯﾄが設定(1)されるなら、割り込みが生成されます。SPIが主装置動作の時に$\overline{SS}$ﾋﾟﾝが入力でLowに駆動されるなら、これもこのSPIFﾌﾗｸﾞを同様に設定(1)します。対応する割り込み処理ﾍﾞｸﾀを実行する時にSPIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにSPIFが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによってもSPIFﾌﾗｸﾞは解除(0)されます。

• ﾋﾞｯﾄ6 – WCOL : 上書き発生ﾌﾗｸﾞ (Write Collision Flag)

ﾃﾞｰﾀ転送中にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)が書かれると、このWCOLﾋﾞｯﾄが設定(1)されます。WCOLﾋﾞｯﾄ(とSPIFﾋﾞｯﾄ)はWCOLが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによって解除(0)されます。

• ﾋﾞｯﾄ5~1 – Res : 予約 (Reserved Bit)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• ﾋﾞｯﾄ0 – SPI2X : SPI倍速許可 (Double SPI Speed Bit)

このﾋﾞｯﾄが論理1を書かれると、SPIが主装置動作の時にSCK速度(SCK周波数)が倍にされます(表18-4.参照)。これは最小SCK周期が2 CPUｸﾛｯｸ周期であることを意味します。SPIが従装置として設定される時に、SPIはfOSC(CPUｸﾛｯｸ周波数)/4またはそれ以下での動作のみ保証されます。

AT90USB64/128のSPIｲﾝﾀｰﾌｪｰｽはﾌﾗｯｼｭ ﾒﾓﾘやEEPROMの書き換え(読み書き)にも使われます。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合については253頁をご覧ください。

18.1.5. SPDR – SPIﾃﾞｰﾀ ﾚｼﾞｽﾀ (SPI Data Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2E ($4E)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIﾃﾞｰﾀ ﾚｼﾞｽﾀはSPI移動ﾚｼﾞｽﾀとﾚｼﾞｽﾀ ﾌｧｲﾙ(汎用ﾚｼﾞｽﾀ)間のﾃﾞｰﾀ転送に使われる読み書き可能なﾚｼﾞｽﾀです。このﾚｼﾞｽﾀへの書き込みがﾃﾞｰﾀ送信を開始します。このﾚｼﾞｽﾀの読み込みは移動ﾚｼﾞｽﾀの受信緩衝部読み出しを引き起こします。

18.2. データ転送形式

直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットによって決定されるSCK位相と極性で4つの組み合わせがあります。このSPIデータ転送形式は図18-3.と図18-4.で示されます。データ ビットは安定のためデータ信号に対して充分な時間を保証するSCK信号の反対端で移動出力と(入力)ラッチが行われます。これは以下で行われるように表18-2.と表18-3.を要約することによって明解にされます。

表18-5. CPOL,CPHA機能動作

SPI動作種別番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

図18-3. SPIデータ転送形式 (CPHA=0)

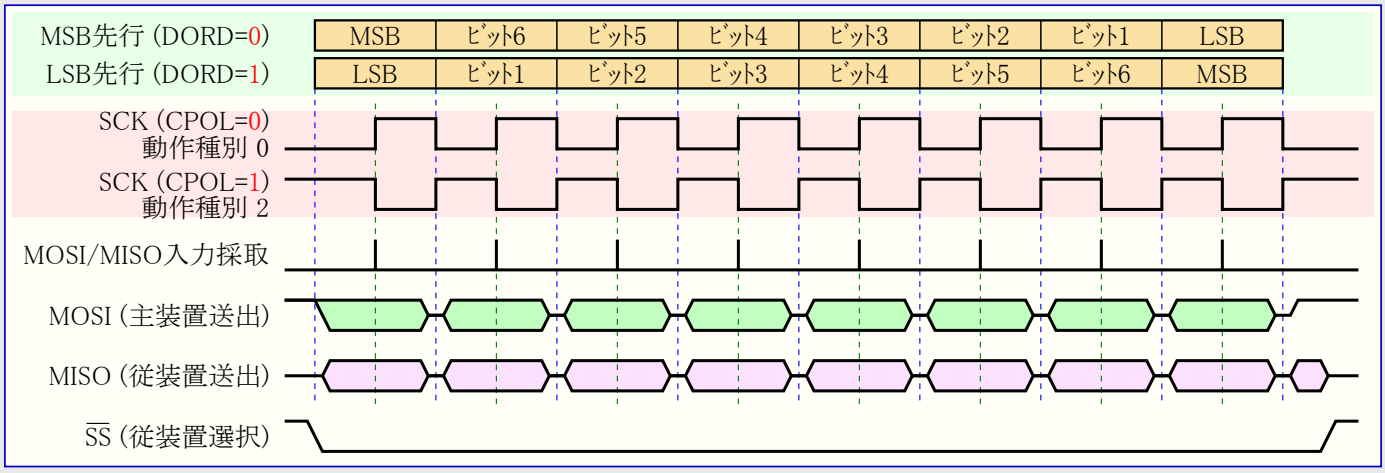
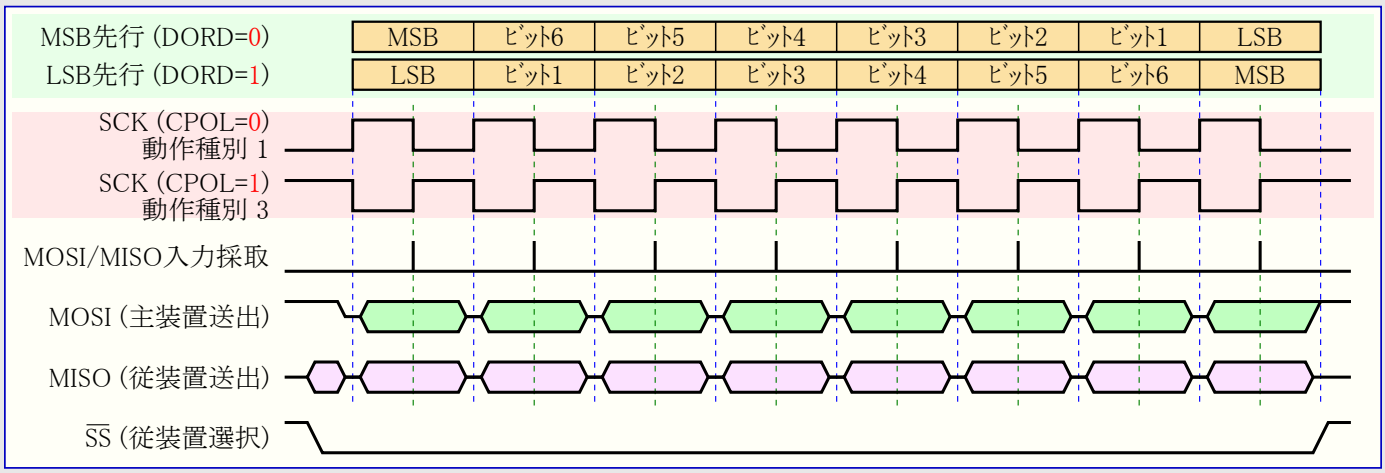


図18-4. SPIデータ転送形式 (CPHA=1)



19. USART

USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は高い柔軟性をもつ直列通信機能です。主な特徴を次に示します。

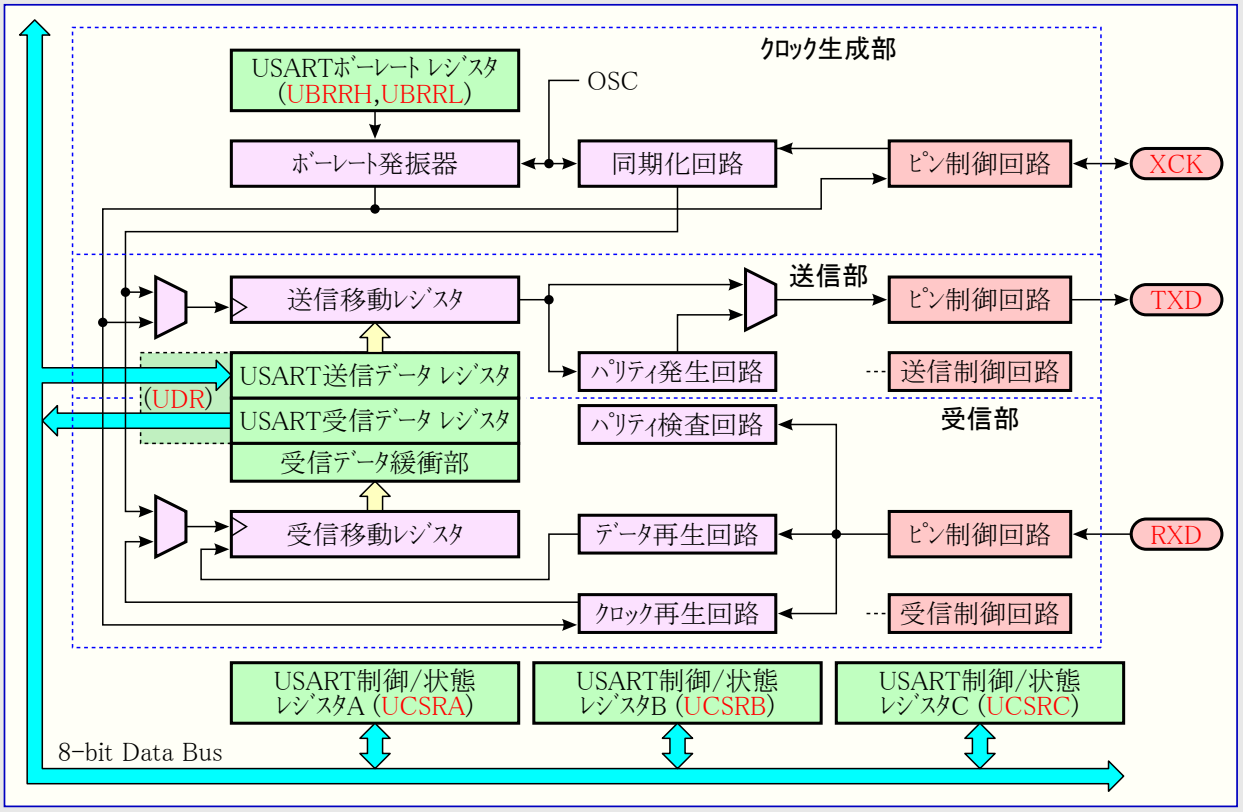
- 全二重動作 (独立した送受信ﾚｼﾞｽﾀ)
- 同期または非同期動作
- 同期ｸﾛｯｸ駆動された主装置/従装置動作
- 高分解能ﾎﾞｰﾚｰﾄ発振器
- 5, 6, 7, 8または9ﾋﾞｯﾄ ﾃﾞｰﾀと1または2停止ﾋﾞｯﾄの直列ﾌﾚｰﾑの支援
- ﾊｰﾄﾞｳｪｱによって支援された奇数または偶数ﾊﾟﾘﾃｨの生成と検査
- ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ検出
- ﾌﾚｰﾐﾝｸﾞ異常検出
- 不正開始ﾋﾞｯﾄ検出とﾃﾞｼﾞﾀﾙ低域通過濾波器を含む雑音濾波器
- 受信完了、送信完了、送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きの3つの分離した割り込み
- 複数ﾌﾟﾛｾｯｻ通信機能
- 倍速非同期通信動作

19.1. 概要

USARTの簡単化した構成図は図19-1.で示されます。CPUがｱｸｾｽ可能なﾚｼﾞｽﾀとI/Oﾋﾟﾝは赤文字(訳注:原文太字)で示されます。

USARTは主装置SPI動作での使用もできます。135頁の「USARTでのSPI動作」をご覧ください。32頁の「PRR1 – 電力削減ﾚｼﾞｽﾀ」のUSART電力削減(PRUSART)ﾋﾞｯﾄはUSART部を許可するために0を書かれなければなりません。(訳注:共通性から前2行追加)

図19-1. USART構成図



注: USARTﾋﾟﾝ配置については2頁の「ﾋﾟﾝ配置」、55頁の表12-12.をご覧ください。

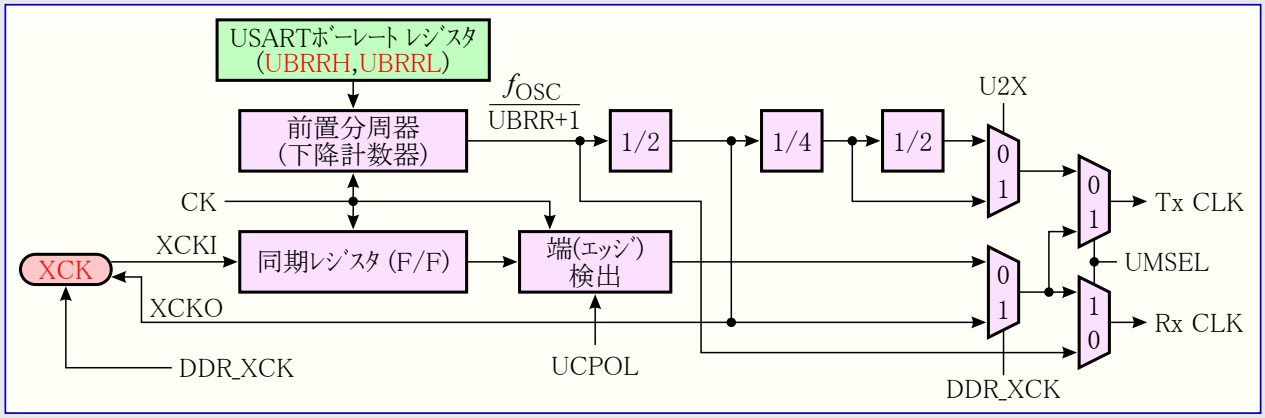
構成図内の破線はUSARTの3つの主要部分、(上から)ｸﾛｯｸ生成部、送信部、受信部を分けます。制御ﾚｼﾞｽﾀは全部によって共用されます。ｸﾛｯｸ生成論理部はﾎﾞｰﾚｰﾄ発振器と同期従装置動作によって使用される外部ｸﾛｯｸ入力に対する同期化論理回路から成ります。転送ｸﾛｯｸ(XCKn)ﾋﾟﾝは同期転送動作だけで使用されます。送信部は単一書き込み緩衝部(UDRn)、直列移動ﾚｼﾞｽﾀ、ﾊﾟﾘﾃｨ発生器、異なる直列ﾌﾚｰﾑ形式を扱うための制御論理回路から成ります。書き込み緩衝部はどんなﾌﾚｰﾑ間の遅れもなしにﾃﾞｰﾀの継続転送を許します。受信部はｸﾛｯｸとﾃﾞｰﾀの再生部のため、USART部の最も複雑な部分です。再生部は非同期ﾃﾞｰﾀ受信で使用されます。再生部に加えて、受信部は2重の受信緩衝部(UDRn)、移動ﾚｼﾞｽﾀ、ﾊﾟﾘﾃｨ検査器、制御論理回路を含みます。受信部は送信部と同じﾌﾚｰﾑ形式を支援し、ﾌﾚｰﾐﾝｸﾞ異常、ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生、ﾊﾟﾘﾃｨ誤りを検知できます。

19.2. クロック生成

クロック生成論理回路は送受信部用基準クロックを生成します。USARTは標準非同期、倍速非同期、同期主装置、同期従装置の4つのクロック動作種別を支援します。USART制御/状態レジスタC(UCSRnC)のUSART動作種別選択(UMSELn0)ビットは同期動作と非同期動作のどちらかを選びます。倍速動作(非同期動作のみ)はUSART制御/状態レジスタA(UCSRnA)にある倍速許可(U2Xn)ビットによって制御されます。同期動作(UMSELn0=1)を使うとき、XCKnピンに対する方向制御ビット(DDR_XCKn)はクロック元が内部(主装置動作)または外部(従装置動作)どちらかを制御します。このXCKnピンは同期動作を使う時だけ活性(有効)です。

図19-2.はクロック生成論理回路の構成図を示します。

図19-2. クロック生成部構成図



信号説明

Tx CLK　：送信クロック (内部信号)
Rx CLK　：受信クロック (内部信号)
XCKI　：XCKピンからの内部入力信号 (同期従装置時)
XCKO　：XCKピンへの内部出力信号 (同期主装置時)
DDR_XCK：対応するポート方向レジスタの方向ビット
f_{OSC}　：システム クロック周波数

19.2.1. ボーレート発振器での内部クロック発生

内部クロック生成は非同期と同期主装置動作種別に対して使われます。本項の記述は図19-2.を参照してください。

USARTボーレート レジスタ(UBRRn(UBRRnH:UBRRnL))と下降計数器は設定可能な前置分周器またはボーレート発振器として機能するように接続されます。システム クロック(f_{OSC})で走行する下降計数器は0への下降計数時毎またはUBRRnLレジスタが書かれる時にUBRRn値で設定されます。1クロックは計数器が0に達する毎に生成されます。このクロックがボーレート発振器出力(=f_{OSC}/(UBRRn+1))です。送信部は動作種別に依存してボーレート発振器出力を2,8,16分周します。ボーレート発振器出力は受信部クロックとデータ再生部によって直接使われます。しかし、再生部はUSART動作種別選択(UMSELn0)、倍速許可(U2Xn)、DDR_XCKnビットの状態によって設定される動作種別に依存して2,8,16段を使う順次処理回路を使います。

表19-1.は内部的に生成したクロック元を使う各動作種別に於けるボーレート(bps)とUBRRn値の計算式を含みます。

表19-1. ボーレート レジスタ(UBRRn)値計算式

動作種別	ボーレート計算式	UBRRn値計算式
標準速非同期動作 (U2Xn=0)	$BAUD=\frac{f_{OSC}}{16\times(UBRRn+1)}$	$UBRRn=\frac{f_{OSC}}{16\times BAUD}-1$
倍速非同期動作 (U2Xn=1)	$BAUD=\frac{f_{OSC}}{8\times(UBRRn+1)}$	$UBRRn=\frac{f_{OSC}}{8\times BAUD}-1$
同期主装置動作	$BAUD=\frac{f_{OSC}}{2\times(UBRRn+1)}$	$UBRRn=\frac{f_{OSC}}{2\times BAUD}-1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。
BAUD　：ボーレート (bps)
UBRRn：UBRRnHとUBRRnLレジスタ値 (0～4095)
f_{OSC}　：システム発振器クロック周波数

いくつかのシステム クロック周波数に対するいくつかのUBRRn値の例は133～134頁の表19-9.で得られます。

19.2.2. 倍速動作 (U2Xn)

転送速度はUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)で倍速許可(U2Xn)ﾋﾞｯﾄを設定(1)することによって倍にできます。このﾋﾞｯﾄの設定は非同期動作に対してだけ有効です。同期動作を使うとき、このﾋﾞｯﾄは0に設定してください。

このﾋﾞｯﾄの設定(1)は事実上非同期通信に対する転送速度を倍にするﾎﾞｰﾚｰﾄ分周器の分周数を16から8に減らします。けれども受信部がﾃﾞｰﾀ採取とｸﾛｯｸ再生に対して半分の(16から8に減じた)採取数をこの場合だけ使い、従ってこの動作種別が使われる時はｼｽﾃﾑ ｸﾛｯｸとﾎﾞｰﾚｰﾄ設定の精度がより必要とされることに注意してください。送信部についての低下要因はありません。

19.2.3. 外部ｸﾛｯｸ

外部ｸﾛｯｸは同期従装置動作種別によって使われます。本項の記述での詳細については図19-2.を参照してください。

XCKnﾋﾟﾝからの外部ｸﾛｯｸ入力は不確定ﾚﾍﾞﾙ状態(ﾒﾀｽﾃｰﾌﾞﾙ)の機会を最少とするために同期化ﾚｼﾞｽﾀによって採取されます。同期化ﾚｼﾞｽﾀからの出力は送受信部で使い得るのに先立って端(ｴｯｼﾞ)検出器を通過しなければなりません。この処理手順が2 CPUｸﾛｯｸ周期の遅延を持ち込み、このため最大外部XCKnｸﾛｯｸ周波数は次式によって制限されます。

$$f_{XCKn} < \frac{f_{OSC}}{4}$$

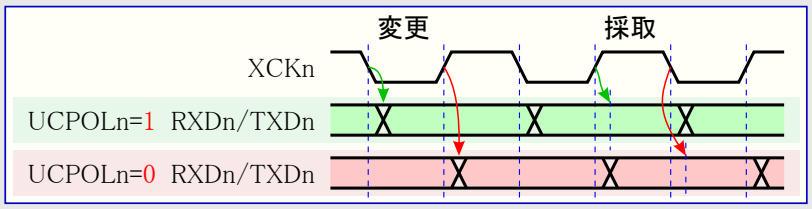
f_{OSC}がｼｽﾃﾑ ｸﾛｯｸ元の安定度に依存することに注意してください。従って周波数変動によるﾃﾞｰﾀ消失の可能性を避けるため、いくらかの余裕分を追加することが推奨されます。

19.2.4. 同期ｸﾛｯｸ動作

同期動作が使われる(UMSELn=1)とき、XCKnﾋﾟﾝはｸﾛｯｸ入力(従装置)またはｸﾛｯｸ出力(主装置)のどちらかとして使われます。ﾃﾞｰﾀ採取またはﾃﾞｰﾀ変更とｸﾛｯｸ端間の依存性は同じです。基本原則はﾃﾞｰﾀ出力(TXDn)が変更される端と反対のXCKnｸﾛｯｸ端でﾃﾞｰﾀ入力(RXDn)が採取されることです。

USART制御/状態ﾚｼﾞｽﾀC(UCSRnC)のXCKn極性(UCPOLn)ﾋﾞｯﾄはﾃﾞｰﾀ採取とﾃﾞｰﾀ変更に対してどちらのｸﾛｯｸ端が使われるのかを選びます。図19-3.で示されるようにUCPOLnが0のとき、ﾃﾞｰﾀはXCKnの上昇端で変更され、下降端で採取されます。UCPOLnが設定(1)の場合、ﾃﾞｰﾀはXCKnの下降端で変更され、上昇端で採取されます。

図19-3. 同期動作XCKnﾀｲﾐﾝｸﾞ



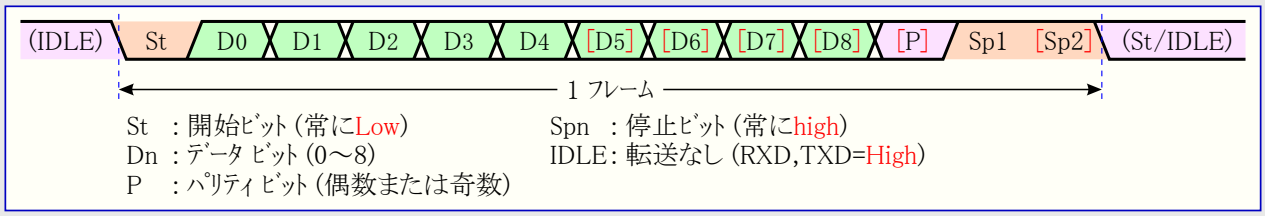
19.3. フレーム形式

1つの直列ﾌﾚｰﾑは複数のﾃﾞｰﾀ ﾋﾞｯﾄと同期ﾋﾞｯﾄ(開始ﾋﾞｯﾄ、停止ﾋﾞｯﾄ)、任意の異常検査用ﾊﾟﾘﾃｨ ﾋﾞｯﾄで定義されます。USARTは有効なﾌﾚｰﾑ形式として以下の組み合わせ30種全てを受け入れます。

- 1 開始ﾋﾞｯﾄ
- 5, 6, 7, 8, 9 ﾋﾞｯﾄ ﾃﾞｰﾀ
- 奇数または偶数ﾊﾟﾘﾃｨ ﾋﾞｯﾄ、またはなし
- 1 または 2 停止ﾋﾞｯﾄ

ﾌﾚｰﾑは最下位ﾃﾞｰﾀ ﾋﾞｯﾄ(LSB)が次に続く開始ﾋﾞｯﾄで始まります。その後に次ﾃﾞｰﾀ ﾋﾞｯﾄが最後の最上位ﾃﾞｰﾀ ﾋﾞｯﾄ(MSB)まで(最大)合計9ﾋﾞｯﾄ続きます。許可したなら、ﾊﾟﾘﾃｨ ﾋﾞｯﾄがﾃﾞｰﾀ ﾋﾞｯﾄの後、停止ﾋﾞｯﾄの前に挿入されます。完全なﾌﾚｰﾑが送信されると、新規ﾌﾚｰﾑによって直ちに後続されるか、または通信線をｱｲﾄﾞﾙ状態(high)に設定できます。図19-4.は組み合わせ可能なﾌﾚｰﾑ形式を図解します。[ ]付きﾋﾞｯﾄは任意選択です。

図19-4. 1ﾌﾚｰﾑの構成



USARTによって使われるﾌﾚｰﾑ形式はUSART制御/状態ﾚｼﾞｽﾀBとC(UCSRnB, UCSRnC)でﾃﾞｰﾀ長選択(UCSZn2～0)ﾋﾞｯﾄ、ﾊﾟﾘﾃｨ選択(UPMn1,0)ﾋﾞｯﾄ、停止ﾋﾞｯﾄ選択(USBSn)ﾋﾞｯﾄによって設定されます。受信部と送信部は同じ設定を使います。これらのどのﾋﾞｯﾄの設定変更も、送受信部両方に対して進行中の通信を不正とすることに注意してください。

ﾃﾞｰﾀ長選択(UCSZn2～0)ﾋﾞｯﾄはﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄ数を選びます。ﾊﾟﾘﾃｨ選択(UPMn1,0)ﾋﾞｯﾄはﾊﾟﾘﾃｨ ﾋﾞｯﾄの許可と種別(奇/偶)を設定します。1または2停止ﾋﾞｯﾄのどちらかの選択は停止ﾋﾞｯﾄ選択(USBSn)ﾋﾞｯﾄによって行います。受信部は第2停止ﾋﾞｯﾄを無視します。従ってﾌﾚｰﾐﾝｸﾞ異常(FEn)は最初の停止ﾋﾞｯﾄが0(Low)の場合にだけ検出されます。

19.3.1. パリティビットの計算

パリティビットは全データビットの排他的論理和(Ex-OR)を行うことによって計算されます。奇数パリティが使われる場合は排他的論理和の結果が反転されます。パリティビットとデータビットの関係は次のとおりです。

偶数パリティビット = D0 Ex-OR D1 Ex-OR D2 Ex-OR ～ Ex-OR Dn-1
奇数パリティビット = D0 Ex-OR D1 Ex-OR D2 Ex-OR ～ Ex-OR Dn-1 Ex-OR 1　　n：データビット長

使った場合、パリティビットは直列フレームの最後のデータビットと最初の停止ビット間に配置されます。

19.4. USARTの初期化

何れかの通信が行えるのに先立ってUSARTは初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、フレーム形式設定、送受信部許可から成ります。割り込み駆動USART操作に関して初期化を行うとき、ステータスレジスタの全割り込み許可(I)ビットは解除(0)される(そして全割り込みが禁止される)べきです。

ボーレートまたはフレーム形式の変更を伴う再初期化を行う前には、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。USART制御/状態レジスタA(UCSRnA)の送信完了(TXCn)フラグは送信部の全転送完了検査に使え、受信完了(RXCn)フラグは受信緩衝部内の未読データ有無検査に使えます。この目的(次送信タイミング)にTXCフラグが使われる場合、各々の送信(USARTデータレジスタ(UDRn)が書かれる)前にTXCnフラグが解除(0)されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例は固定フレーム形式でポーリングを使う(割り込み不許可)非同期動作と仮定します。ボーレート(UBRRn)値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Init:  OUT    UBRRnH, R17                      ;ボーレート設定(上位バイト)
             OUT    UBRRnL, R16                      ;ボーレート設定(下位バイト)
             LDI    R16, (1<<USBSn) | (3<<UCSZn0)    ;フレーム形式値を取得
             OUT    UCSRnC, R16                      ;フレーム形式設定(8ビット,2停止ビット)
             LDI    R16, (1<<RXENn) | (1<<TXENn)     ;送受信許可値を取得
             OUT    UCSRnB, R16                      ;送受信許可
             RET                                     ;呼び出し元へ復帰
```

C言語プログラム例

```
#define FOSC 1843200                                 /* MCUクロック周波数 */
#define BAUD 9600                                    /* 目的USARTボーレート速度 */
#define MYUBRR FOSC/16/BAUD-1                        /* 目的UBRRn値 */

void main(void)
{
    ～
USART_Init(MYUBRR);                                  /* USART初期化 */
    ～
}

void USART_Init(unsigned int baud)
{
    UBRRnH = (unsigned char)(baud>>8);               /* ボーレート設定(上位バイト) */
    UBRRnL = (unsigned char)baud;                    /* ボーレート設定(下位バイト) */
    UCSRnC = (1<<USBSn) | (3<<UCSZn0):               /* フレーム形式設定(8ビット,2停止ビット) */
    UCSRnB = (1<<RXENn) | (1<<TXENn);                /* 送受信許可 */
}
```

注: 5頁の「コード例について」をご覧ください。

割り込みの禁止や引数としてフレーム形式を含めるなどで、より進化した初期化ルーチンが作成できます。けれども多くの応用はボーレートや制御レジスタの固定した設定が使われ、これらの応用形式での初期化コードは主ルーチンに直接置けるか、または他のI/Oの初期化コードと併せられます。

19.5. USARTのデータ送信

USART送信部はUSART制御/状態レジスタB(UCSRnB)で送信許可(TXENn)ビットを設定(1)することによって許可されます。送信部が許可されると、TXDnピンの標準ピン動作はUSARTによって無視され、送信部の直列出力としての機能を与えられます。何かの送信を行う前に一度はボーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKnピンの(受信)クロックは無視され、送信クロックとして使われます。

19.5.1. 5～8ビット データ フレーム送信

データ送信は送信されるべきデータを送信緩衝部に設定することによって開始されます。CPUはUSARTデータ レジスタ(UDRn)I/O位置へ書くことによって送信緩衝部に設定できます。送信緩衝部内のデータは移動レジスタが新規フレームを送る準備が整った時に移動レジスタへ移されます。移動レジスタはアイドル状態(送信進行中以外)、または直前のフレームの最後の停止ビット送信後、直ちに新規データが設定されます。移動レジスタが新規データを設定されると、ボーレート レジスタ(UBRRnH:UBRRnL)と倍速許可(U2Xn)ビット、また動作種別によってはXCKnピンによって与えられる速度で1つの完全なフレームを転送します。8ビット未満のフレームを使うとき、UDRnに書かれた上位ビットは無視されます。

次のコード例はUSART制御/状態レジスタA(UCSRnA)の送信データ レジスタ空き(UDREn)フラグのポーリングを基準とした簡単なUSART送信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Tx:   SBIS    UCSRnA, UDREn       ;送信緩衝部空きでスキップ
            RJMP    USART_Tx            ;送信緩衝部空き待機
;
            OUT     UDRn, R16           ;データ送信(送信開始)
            RET                         ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned char data)
{
            while ( !(UCSRnA & (1<<UDREn)) );   /* 送信緩衝部空き待機 */
            UDRn = data;                        /* データ送信(送信開始) */
}
```

注: 5頁の「コード例について」をご覧ください。

この関数は送信されるべき新規データを設定する前に、UDREnの検査によって送信緩衝部が空になるのを単純に待ちます。送信緩衝部空き割り込みが使われる場合、その割り込み処理ルーチンがデータを緩衝部内に書きます。

19.5.2. 9ビット データ フレーム送信

9ビット データが使われる場合(UCSZn2～0=111)、データの下位バイトがUSARTデータ レジスタ(UDRn)に書かれるのに先立って第9ビットがUSART制御/状態レジスタB(UCSRnB)の送信データ ビット8(TXB8n)ビットに書かれなければなりません。次のコード例は9ビット データを扱う送信関数を示します。アセンブリ言語での送るべきデータはR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Tx:   SBIS    UCSRnA, UDREn       ;送信緩衝部空きでスキップ
            RJMP    USART_Tx            ;送信緩衝部空き待機
;
            CBI     UCSRnB, TXB8n       ;第9ビットを0に仮設定
            SBRC    R17, 0              ;送信すべき第9ビットが0でスキップ
            SBI     UCSRnB, TXB8n       ;第9ビットを1に設定
            OUT     UDRn, R16           ;データ送信(送信開始)
            RET                         ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned int data)
{
            while ( !(UCSRnA & (1<<UDREn)) );   /* 送信緩衝部空き待機 */
            UCSRnB &= ~(1<<TXB8n);              /* TXB8nを0に仮設定 */
            if (data & 0x0100) UCSRnB |= (1<<TXB8n);  /* 第9ビットをR17からTXB8nへ複写 */
            UDRn = data;                        /* データ送信(送信開始) */
}
```

注: これらの送信関数は一般的な機能で書かれています。UCSRBnの内容が静的(換言すると、UCSRnBのTXB8nビットが初期化後に使われるだけ)ならば最適化できます。
5頁の「コード例について」をご覧ください。

第9ビットは複数プロセッサ通信使用時のアドレス フレーム識別、また例えば同期として扱う他の規約で使うことができます。

19.5.3. 送信ﾌﾗｸﾞと割り込み

USART送信部には状態を示す2つのﾌﾗｸﾞ、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDREn)と送信完了(TXCn)があります。両ﾌﾗｸﾞは割り込みを発生するのに使えます。

USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDREn)ﾌﾗｸﾞは送信緩衝部が新規ﾃﾞｰﾀを受け取る準備ができているかどうかを示します。このﾋﾞｯﾄは送信緩衝部が空の時に設定(1)され、送信緩衝部が移動ﾚｼﾞｽﾀに未だ移動されてしまっていない送信されるべきﾃﾞｰﾀを含む時に解除(0)されます。将来のﾃﾞﾊﾞｲｽとの共通性のため、USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)に書くとき、常にこのﾋﾞｯﾄに0を書いてください。

USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)でﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可(UDRIEn)ﾋﾞｯﾄが1を書かれると、(全割り込みが許可されていれば)UDREnﾌﾗｸﾞが設定(1)されている限り、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みが実行されます。UDREnはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)書き込みによって解除(0)されます。割り込み駆動ﾃﾞｰﾀ送信が使われるとき、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みﾙｰﾁﾝはUDREnを解除(0)するために新規ﾃﾞｰﾀをUDRnに書くか、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みを禁止するかのどちらかを行わなければならず、さもなければ一旦割り込みﾙｰﾁﾝを終了しても新しい割り込みが(継続的に)起こります。

送信完了(TXCn)ﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀ内の完全なﾌﾚｰﾑが移動出力されてしまい、送信緩衝部に新規ﾃﾞｰﾀが現在存在しない時に設定(1)されます。TXCnﾌﾗｸﾞは送信完了割り込みが実行されるとき、自動的に解除(0)されるか、またはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)できます。TXCnﾌﾗｸﾞは送信応用ﾌﾟﾛｸﾞﾗﾑが送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない(RS485規格のような)半二重(ﾊｰﾌﾃﾞｭｰﾌﾟﾚｯｸｽ)通信ｲﾝﾀｰﾌｪｰｽで有用です。

UCSRnBで送信完了割り込み許可(TXCIEn)ﾋﾞｯﾄが設定(1)され、(全割り込みが許可されていれば)TXCnﾌﾗｸﾞが設定(1)になる時にUSART送信完了割り込みが実行されます。送信完了割り込みが使われるとき、割り込み処理ﾙｰﾁﾝはTXCnﾌﾗｸﾞを解除(0)しなくてもよく、これは割り込みが実行されるとき、自動的に行われます。

19.5.4. ﾊﾟﾘﾃｨ発生器

ﾊﾟﾘﾃｨ発生器は直列ﾌﾚｰﾑ ﾃﾞｰﾀに対するﾊﾟﾘﾃｨ ﾋﾞｯﾄを計算します。ﾊﾟﾘﾃｨ ﾋﾞｯﾄが許可されると(UPMn1=1)、送信部制御論理回路は送られているﾌﾚｰﾑの最終ﾃﾞｰﾀ ﾋﾞｯﾄと最初の停止ﾋﾞｯﾄ間にﾊﾟﾘﾃｨ ﾋﾞｯﾄを挿入します。

19.5.5. 送信の禁止

送信部の禁止(UCSRnBのUSART送信許可(TXENn)ﾋﾞｯﾄ=0)は進行中と保留中の送信が完了される(換言すると、送信移動ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信されるべきﾃﾞｰﾀを含まない時)まで有効になりません。禁止されると、送信部はもはやTXDnﾋﾟﾝ(の標準ﾋﾟﾝ機能)を無効にしません。

19.6. USARTのﾃﾞｰﾀ受信

USART受信部はUSART制御/状態ﾚｼﾞｽﾀB(UCSRnB)で受信許可(RXENn)ﾋﾞｯﾄに1を書くことによって許可されます。受信部が許可されると、RXDnﾋﾟﾝの標準ﾋﾟﾝ動作はUSARTによって無視され、受信部の直列入力としての機能を与えられます。何か直列受信が行われ得る前に一度はﾎﾞｰﾚｰﾄ、ﾌﾚｰﾑ形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKnﾋﾟﾝのｸﾛｯｸは転送ｸﾛｯｸとして使われます。

19.6.1. 5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ受信

受信部は有効な開始ﾋﾞｯﾄを検出する時にﾃﾞｰﾀ受信を開始します。開始ﾋﾞｯﾄに続く各ﾋﾞｯﾄはﾎﾞｰﾚｰﾄまたはXCKnｸﾛｯｸで採取され、ﾌﾚｰﾑの最初の停止ﾋﾞｯﾄが受信されるまで受信移動ﾚｼﾞｽﾀ内へ移動されます。第2停止ﾋﾞｯﾄは受信部によって無視されます。最初の停止ﾋﾞｯﾄが受信されると(換言すると、受信移動ﾚｼﾞｽﾀに完全なﾌﾚｰﾑが存在すると)、この移動ﾚｼﾞｽﾀの内容は受信緩衝部内へ移されます。受信緩衝部はUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)I/O位置を読むことによって読めます。8ﾋﾞｯﾄ未満のﾌﾚｰﾑを使うとき、UDRnから読むﾃﾞｰﾀの上位ﾋﾞｯﾄは0で覆われます。

次のｺｰﾄﾞ例はUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の受信完了(RXCn)ﾌﾗｸﾞのﾎﾟｰﾘﾝｸﾞを基準とした簡単なUSART受信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Rx:   SBIS    UCSRnA, RXCn        ;受信完了でｽｷｯﾌﾟ
            RJMP    USART_Rx            ;受信完了待機
;
            IN      R16, UDRn           ;受信ﾃﾞｰﾀ取得
            RET                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char USART_Receive(void)
{
    while ( !(UCSRnA & (1<<RXCn)) );    /* 受信完了待機 */
    return UDRn;                        /* 受信ﾃﾞｰﾀ取得 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

この関数は緩衝部を読んで値を戻す前に、RXCnﾌﾗｸﾞの検査によって受信緩衝部にﾃﾞｰﾀが存在するのを単純に待ちます。

19.6.2. 9ビット データ フレーム受信

9ビット データが使われる場合(UCSZn2～0=111)、USARTデータ レジスタ(UDRn)から下位バイトを読むのに先立って第9ビットがUSART制御/状態レジスタB(UCSRnB)の受信データ ビット8(RXB8n)ビットから読まれなければなりません。この規則はフレーミング異常(FEn)、オーバーラン発生(DORn)、パリティ誤り(UPEn)状態フラグにも適用されます。USART制御/状態レジスタA(UCSRnA)から状態情報を読み、その後にUDRnからデータを読んでください。UDRn I/O位置を読むことが受信FIFO緩衝部の状態を切り替え、その結果、FIFO内に保管されるRXB8n,FEn,DORn,UPEnビット全てが切り替わります。

次のコード例は9ビット データと状態ビット両方を扱う簡単なUSART受信関数を示します。

アセンブリ言語プログラム例

```
USART_Rx:    SBIS    UCSRnA, RXCn                          ;受信完了でスキップ
             RJMP    USART_Rx                              ;受信完了待機
;
             IN      R18, UCSRnA                           ;状態フラグ取得
             IN      R17, UCSRnB                           ;受信第9ビット取得
             IN      R16, UDRn                             ;受信データ取得
             ANDI    R18, (1<<FEn)|(1<<DORn)|(1<<UPEn)     ;受信異常検査
             BREQ    USART_Rx_V                            ;異常なしで分岐
;
             LDI     R17, -1                               ;異常で-1値設定
             LDI     R16, -1                               ;
USART_Rx_V:  LSR     R17                                   ;RXB8nビットをビット0位置へ移動
             ANDI    R17, $01                              ;RXB8nビットのみ有効
             RET                                           ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int USART_Receive(void)
{
    unsigned char status, resh, resl;                      /* 一時変数定義 */
    while ( !(UCSRnA & (1<<RXCn)) );                       /* 受信完了待機 */
    status = UCSRnA;                                       /* 状態フラグ取得 */
    resh = UCSRnB;                                         /* 受信第9ビット取得 */
    resl = UDRn;                                           /* 受信データ取得 */
    if ( status & ((1<<FEn)|(1<<DORn)|(1<<UPEn)) ) return -1;  /* 受信異常で-1値設定/復帰 */
    resh = (resh>>1) & 0x01;                               /* RXB8nビットのみ有効最下位へ */
    return ((resh<<8) | resl);                             /* 結果9ビット データ取得/復帰 */
}
```

注: 5頁の「コード例について」をご覧ください。

この受信関数例は何か評価を行う前に、全てのI/Oレジスタをレジスタ ファイルに読みます。これは読まれた緩衝部位置が可能な限り早く新規データを自由に受け入れできるため、最適な受信緩衝部利用になります。

19.6.3. 受信完了フラグと割り込み

USART受信部には受信部の状態を示す1つのフラグがあります。

USART受信完了(RXCn)フラグは未読データが受信緩衝部に存在するかを示します。このフラグは受信緩衝部に未読データが存在する時に1で、受信緩衝部が空の(換言すると、何も未読データを含まない)時に0です。受信部が禁止される場合(RXENn=0)、受信緩衝部が破棄され、その結果としてRXCnフラグは0になります。

USART制御/状態レジスタB(UCSRnB)でUSART受信完了割り込み許可(RXCIEn)ビットが設定(1)されると、(全割り込みが許可されていれば)RXCnフラグが設定(1)されている限り、USART受信完了割り込みが実行されます。割り込み駆動データ受信が使われるとき、受信完了割り込みルーチンはRXCnフラグを解除(0)するためにUSARTデータ レジスタ(UDRn)から受信したデータを読まなければならず、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが(継続的に)起きます。

19.6.4. 受信異常ﾌﾗｸﾞ

USART受信にはﾌﾚｰﾐﾝｸﾞ異常(FEn)、ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生(DORn)、ﾊﾟﾘﾃｨ誤り(UPEn)の3つの異常ﾌﾗｸﾞがあります。これら全てはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)を読むことでｱｸｾｽできます。異常ﾌﾗｸﾞに対する共通点は異常状態を示しているﾌﾚｰﾑと共に受信緩衝部に配置されることです。異常ﾌﾗｸﾞが緩衝されるため、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)I/O位置を読むことが緩衝部読み出し位置を切り替えるので、UCSRnAは受信緩衝部(UDRn)の前に読まれなければなりません。異常ﾌﾗｸﾞに対するその他の共通点はｿﾌﾄｳｪｱがこのﾌﾗｸﾞ位置へ書き込みを行うことによって変更できないことです。しかし、将来のUSART(機能)実装の上位互換性のため、UCSRnAが書かれるとき、全てのﾌﾗｸﾞは0に設定されなければなりません。異常ﾌﾗｸﾞはどれも割り込みを生成できません。

ﾌﾚｰﾐﾝｸﾞ異常(FEn)ﾌﾗｸﾞは受信緩衝部に格納された、次に読み込み可能なﾌﾚｰﾑの第1停止ﾋﾞｯﾄの状態を示します。FEnﾌﾗｸﾞは停止ﾋﾞｯﾄが正しく(Highとして)読まれた時に0で、停止ﾋﾞｯﾄが不正(Low)だった時にFEnﾌﾗｸﾞは1です。このﾋﾞｯﾄは同期外れ状態の検出、中断状態検出、規約での操作に使えます。受信部が最初(第1)以外の全停止ﾋﾞｯﾄを無視するため、FEnﾌﾗｸﾞはUSART制御/状態ﾚｼﾞｽﾀC(UCSRnC)の停止ﾋﾞｯﾄ選択(USBSn)ﾋﾞｯﾄ設定によって影響を及ぼされません。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生(DORn)ﾌﾗｸﾞは受信部緩衝部が一杯状態のためのﾃﾞｰﾀ消失を示します。ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝは受信緩衝部(2ﾌﾚｰﾑ)が一杯で、(次の)新規ﾌﾚｰﾑ ﾃﾞｰﾀが受信移動ﾚｼﾞｽﾀで待っており、(更に次の)新規開始ﾋﾞｯﾄが検出される時に起きます。DORnﾌﾗｸﾞが設定(1)なら、最後にUDRnから読んだﾌﾚｰﾑと次にUDRnから読むﾌﾚｰﾑ間で1つ以上の直列ﾌﾚｰﾑが失われています。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRnAに書くとき、常にこのﾋﾞｯﾄに0を書いてください。DORnﾌﾗｸﾞは受信されたﾃﾞｰﾀが移動ﾚｼﾞｽﾀから受信緩衝部へ正常に移動された時に解除(0)されます。

ﾊﾟﾘﾃｨ誤り(UPEn)ﾌﾗｸﾞは受信緩衝部内の次のﾌﾚｰﾑで受信時にﾊﾟﾘﾃｨ異常があったことを示します。ﾊﾟﾘﾃｨ検査が許可されていない場合、UPEnﾌﾗｸﾞは常に0が読めます。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。より多くの詳細については122頁の「**ﾊﾟﾘﾃｨ ﾋﾞｯﾄの計算**」と次の「**ﾊﾟﾘﾃｨ検査器**」をご覧ください。

19.6.5. ﾊﾟﾘﾃｨ検査器

ﾊﾟﾘﾃｨ検査器はﾊﾟﾘﾃｨ種別上位ﾋﾞｯﾄ(UPMn1)が設定(1)されると活性(有効)になります。実行されるべきﾊﾟﾘﾃｨ検査の形式(偶数または奇数)はUPMn0ﾋﾞｯﾄによって選ばれます。許可されると、ﾊﾟﾘﾃｨ検査器は到着ﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを計算し、その結果と(受信)直列ﾌﾚｰﾑ内のﾊﾟﾘﾃｨ ﾋﾞｯﾄを比較します。検査の結果は受信ﾃﾞｰﾀ、停止ﾋﾞｯﾄと共に受信緩衝部に格納されます。その後ﾊﾟﾘﾃｨ誤り(UPEn)ﾌﾗｸﾞはﾌﾚｰﾑにﾊﾟﾘﾃｨ異常があるかを検査するため、ｿﾌﾄｳｪｱによって読むことができます。

UPEnﾌﾗｸﾞは受信緩衝部から読まれ得る次ﾌﾚｰﾑで受信時にﾊﾟﾘﾃｨ異常があり、その時点でﾊﾟﾘﾃｨ検査が許可されていた(UPMn1=1)場合に設定(1)されます。このﾋﾞｯﾄはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)が読まれるまで有効です。

19.6.6. 受信の禁止

送信部と対照的に受信部の禁止は即時です。従って受信進行中のﾃﾞｰﾀは失われます。禁止されると(換言すると、USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)のUSART受信許可(RXENn)ﾋﾞｯﾄが0に設定)、受信部はもはやRXDnﾎﾟｰﾄ ﾋﾟﾝの標準機能を無効にしません。受信FIFO緩衝部は受信部が禁止されると破棄されます。緩衝部内の残ﾃﾞｰﾀは失われます。

19.6.7. 受信緩衝部の破棄

受信FIFO緩衝部は受信が禁止されると破棄(換言すると、緩衝部は内容を空に)されます。未読ﾃﾞｰﾀは失われます。例えば異常状態のため、通常動作中に緩衝部が破棄されなければならない場合、USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の受信完了(RXCn)ﾌﾗｸﾞが解除(0)されるまでUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)I/O位置を読んでください。次のｺｰﾄﾞ例は受信緩衝部の破棄方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Flush:  SBIS    UCSRnA, RXCn          ;未読ﾃﾞｰﾀありでｽｷｯﾌﾟ
              RET                           ;未読ﾃﾞｰﾀなしで復帰
;
              IN      R16, UDRn             ;ﾃﾞｰﾀ受信
              RJMP    USART_Flush           ;未読ﾃﾞｰﾀなしまで継続
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void USART_Flush(void)
{
    unsigned char dummy;                    /* 一時変数定義 */
    while ( UCSRnA & (1<<RXCn) ) dummy=UDRn;  /* 未読ﾃﾞｰﾀ読み捨て */
}
```

注: 5頁の「**ｺｰﾄﾞ例について**」をご覧ください。

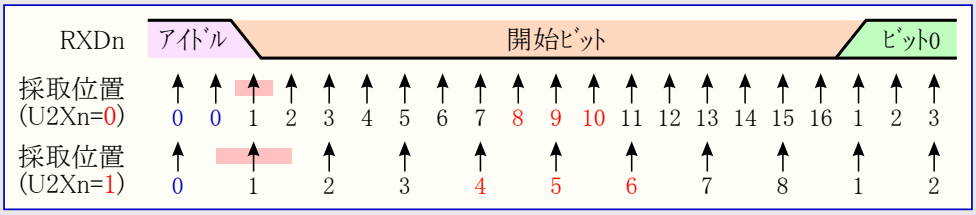
19.7. 非同期受信

USARTは非同期データ受信を扱うためのクロック再生とデータ再生部を含みます。クロック再生論理回路は内部的に生成したボーレート クロックをRXDnピンに到着する非同期直列フレームに同期化するのに使われます。データ再生論理回路は到着ビット毎に低域通過の濾波と採取をし、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は内部ボーレート クロック精度、到着フレーム速度、フレーム長のビット数に依存します。

19.7.1. 非同期クロック再生

クロック再生論理回路は内部クロックを到着直列フレームに同期化します。図19-5.は到着フレームの開始ビットの採取手順を図解します。採取速度は標準速動作でボーレートの16倍、倍速動作で8倍です。赤帯(訳注:原文は水平矢印)は採取処理のための同期変量を図示します。倍速動作(U2Xn=1)を使う時の広い変量時間に注意してください。採取番号0はRXDn信号がアイドル(換言すると、通信の動きなし)の時に行われる採取です。

図19-5. 開始ビットの採取

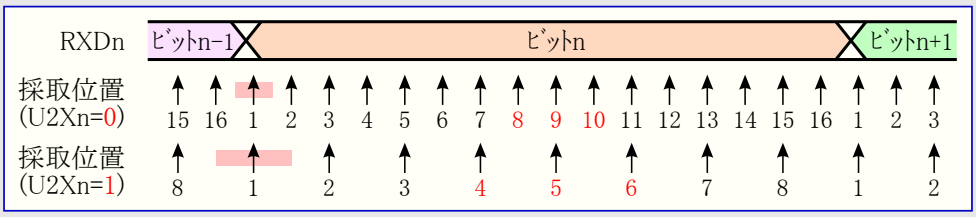


クロック再生論理回路がRXDn信号線でHigh(アイドル)からLow(開始)の遷移を検出すると、開始ビット検出手順が開始されます。図で示されるように採取1は最初のLow採取を意味します。その後にクロック再生回路は有効な開始ビットが受信されるかを決めるために、標準速動作に対して採取8,9,10、倍速動作に対して採取4,5,6(図の赤数字(訳注:原文は箱枠内)で示された採取番号)を使います。これら3回で2回以上の採取が論理Highレベルの場合(多数決)、この開始ビットは尖頭雑音として捨てられ、受信部は次のHighからLowの遷移を探し始めます。けれども有効な開始ビットが検出されると、クロック再生論理回路は同期化され、データ再生が開始されます。この同期化手順は各開始ビット毎に繰り返されます。

19.7.2. 非同期データ再生

受信部クロックが開始ビットに同期化されるとデータ再生が始められます。データ再生部は標準速動作で16段、倍速動作で8段の順列回路を使います。図19-6.はデータ ビットとパリティ ビットの採取を示します。各採取は再生部の各段に等しい番号を与えられます。

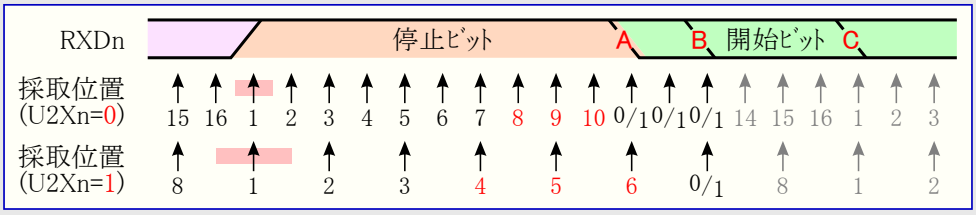
図19-6. データ ビットとパリティ ビットの採取



受信したビットの論理値の決定は受信したビット中央の3採取で論理値の多数決を取ることによって行われます。この中央の3採取は図上の赤文字(訳注:原文は箱枠内)の採取番号によって強調されます。多数決の手順は次のように行われます。2または全3採取がHighレベルならば受信したビットは論理1が記録されます。2または全3採取がLowレベルならば受信したビットは論理0が記録されます。この多数決手順はRXDnピンの到着信号に対して低域通過濾波器(ローパス フィルタ)のように働きます。この再生手順はその後に完全なフレームが受信されるまで繰り返されます。これには最初の(第1)停止ビットを含みます。受信部がフレームの最初の停止ビットだけを使うことに注意してください。

図19-7.は停止ビットの採取と次フレームの最も早い開始ビット開始の可能性を示します。

図19-7. 停止ビットの採取と次の開始ビットの採取



フレーム内の他のビットに対して行われるのと同じ多数決が停止ビットにも行われます。停止ビットが論理0値と記録されると、フレーミング異常(FEn)フラグが設定(1)されます。

新規フレームの開始ビットを示すHighからLowへの遷移は多数決に使った最後のビット後に実現できます。標準速動作での最初のLowレベル採取は図19-7.のA点で有り得ます。倍速動作での最初のLowレベルはB点に遅れます。C点は完全な長さの停止ビット(の終点)を示します。この早い開始ビット検出は受信部の動作範囲に影響します。

19.7.3. 非同期での動作範囲

受信部の動作範囲は受信したﾋﾞｯﾄ速度と内部的に生成したﾎﾞｰﾚｰﾄ間の不一致に依存します。送信部が速すぎるまたは遅すぎるﾋﾞｯﾄ速度でﾌﾚｰﾑを送出したり、内部的に発生した受信部のﾎﾞｰﾚｰﾄが類似した(表19-2.参照)基準周波数を持たない場合、受信部は開始ﾋﾞｯﾄでﾌﾚｰﾑを同期できません。

次式は到着ﾃﾞｰﾀ速度と内部受信部ﾎﾞｰﾚｰﾄ間の比率計算に使えます。

$$R_{slow} = \frac{(D+1)\times S}{S-1+D\times S+S_F} \qquad R_{fast} = \frac{(D+2)\times S}{(D+1)\times S+S_M}$$

D　：ﾃﾞｰﾀとﾊﾟﾘﾃｨのﾋﾞｯﾄ数 (5～10)
S　：ﾋﾞｯﾄあたりの採取数 (標準速=16、倍速=8)
S_F　：多数決に使う最初の採取番号 (標準速=8、倍速=4)
S_M　：多数決に使う中心の採取番号 (標準速=9、倍速=5)
R_{slow}：は受信側ﾎﾞｰﾚｰﾄに対して許容できる最低受信ﾋﾞｯﾄ速度の比率です。
R_{fast}：は受信側ﾎﾞｰﾚｰﾄに対して許容できる最高受信ﾋﾞｯﾄ速度の比率です。

表19-2.は許容できる最大受信部ﾎﾞｰﾚｰﾄ誤差一覧です。標準速動作には、より高いﾎﾞｰﾚｰﾄ変動許容力があることに注目してください。

表19-2. 標準速と倍速での受信部ﾎﾞｰﾚｰﾄ推奨最大許容誤差

D	標準速動作 (U2Xn=0)				倍速動作 (U2Xn=1)			
	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80～+6.67	±3.0	94.12	105.66	-5.88～+5.66	±2.5
6	94.12	105.79	-5.88～+5.79	±2.5	94.92	104.92	-5.08～+4.92	±2.0
7	94.81	105.11	-5.19～+5.11	±2.0	95.52	104.35	-4.48～+4.35	±1.5
8	95.36	104.58	-4.54～+4.58	±2.0	96.00	103.90	-4.00～+3.90	±1.5
9	95.81	104.14	-4.19～+4.14	±1.5	96.39	103.53	-3.61～+3.53	±1.5
10	96.17	103.78	-3.83～+3.78	±1.5	96.70	103.23	-3.30～+3.23	±1.0

注: Dはﾃﾞｰﾀ ﾋﾞｯﾄ数とﾊﾟﾘﾃｨ ﾋﾞｯﾄの合計ﾋﾞｯﾄ数です。
(訳注) 原書は表19-2.に標準速、表19-3.に倍速を記載していますが、比較が容易なように表19-2.として纏めました。

受信部ﾎﾞｰﾚｰﾄの推奨最大許容誤差は最大総合許容誤差を送信部と受信部で等分割するという仮定の元で作られました。

受信部ﾎﾞｰﾚｰﾄ誤差に対して2つの起こり得る原因があります。受信部のｼｽﾃﾑ ｸﾛｯｸ(XTAL)は供給電圧範囲と温度範囲に関して常に若干の不安定性があります。ｼｽﾃﾑ ｸﾛｯｸを生成するのにｸﾘｽﾀﾙ発振子を使う時は殆ど問題ありませんが、(ｾﾗﾐｯｸ)振動子でのｼｽﾃﾑ ｸﾛｯｸは振動子偏差に依存して2%を越えて異なるかもしれません。2つ目の誤り原因はより制御可能です。ﾎﾞｰﾚｰﾄ発振器は欲したﾎﾞｰﾚｰﾄを得るためにｼｽﾃﾑ周波数の正確な分周を常に行うことはできません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRRn値が使えます。

19.8. 複数ﾌﾟﾛｾｯｻ通信動作

USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)での複数ﾌﾟﾛｾｯｻ通信動作(MPCMn)ﾋﾞｯﾄの設定(1)はUSART受信部によって受信された到着ﾌﾚｰﾑの選別機能を許可します。ｱﾄﾞﾚｽ情報を含まないﾌﾚｰﾑは無視され、受信緩衝部に格納されません。これは同一直列ﾊﾞｽ経由で通信する複数MCUのｼｽﾃﾑで、CPUによって扱われなければならない到着ﾌﾚｰﾑ数を効果的に減らします。送信部はMPCMnﾋﾞｯﾄ設定によって影響されませんが、複数ﾌﾟﾛｾｯｻ通信動作を利用するｼｽﾃﾑの一部の時は違うふうに使われなければなりません。

受信部が5～8ﾃﾞｰﾀ ﾋﾞｯﾄを含むﾌﾚｰﾑを受信するように設定されるなら、最初の停止ﾋﾞｯﾄはﾃﾞｰﾀまたはｱﾄﾞﾚｽ情報を含むﾌﾚｰﾑかどうかを示します。受信部が9ﾃﾞｰﾀ ﾋﾞｯﾄのﾌﾚｰﾑに設定されるなら、USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)の受信第9(RXB8n)ﾋﾞｯﾄがｱﾄﾞﾚｽとﾃﾞｰﾀのﾌﾚｰﾑを識別するのに使われます。ﾌﾚｰﾑ種別(最初の停止または第9)ﾋﾞｯﾄが1の時にﾌﾚｰﾑはｱﾄﾞﾚｽを含みます。ﾌﾚｰﾑ種別ﾋﾞｯﾄが0の時にそのﾌﾚｰﾑはﾃﾞｰﾀ ﾌﾚｰﾑです。

複数ﾌﾟﾛｾｯｻ通信動作は主MCUからのﾃﾞｰﾀを多くの従MCUで受信することを可能にします。これはどのMCUがｱﾄﾞﾚｽ指定されるかを検出するため、最初にｱﾄﾞﾚｽ ﾌﾚｰﾑを調べることによって行われます。特定の従MCUがｱﾄﾞﾚｽ指定されたなら、そのMCUは後続するﾃﾞｰﾀ ﾌﾚｰﾑを通常のように受信し、一方その他の従MCUは他のｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまで受信したﾌﾚｰﾑを無視します。

19.8.1. 複数ﾌﾟﾛｾｯｻ通信の使用法

主MCUとして動作するMCUは9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式(UCSZn=7)を使えます。UCSRnBの送信第9(TXB8n)ﾋﾞｯﾄはｱﾄﾞﾚｽ ﾌﾚｰﾑ時に設定(1)、またはﾃﾞｰﾀ ﾌﾚｰﾑ時に解除(0)されて送信されなければなりません。この場合、従MCUは9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式の使用に設定されなければなりません。

複数ﾌﾟﾛｾｯｻ通信動作でﾃﾞｰﾀを交換するのに次の手順が使われるべきです。

1. 全ての従MCUは複数ﾌﾟﾛｾｯｻ通信動作です(UCSRnAの複数ﾌﾟﾛｾｯｻ通信動作(MPCMn)ﾋﾞｯﾄが設定(1))。
2. 主MCUはｱﾄﾞﾚｽ ﾌﾚｰﾑを送り、全ての従装置がこのﾌﾚｰﾑを受信し、これを読みます。従CPUでは通常のようにUCSRnAで受信完了(RXCn)ﾌﾗｸﾞが設定(1)されます。
3. 各従MCUはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)を読み、選ばれたかを判定します。選ばれた場合はUCSRnAのMPCMnﾋﾞｯﾄを解除(0)し、そうでなければ(非選択の場合は)MPCMnﾋﾞｯﾄ設定を保ち、次のｱﾄﾞﾚｽ ﾌﾚｰﾑを待ちます。
4. ｱﾄﾞﾚｽ指定されたMCUは新規ｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまで全ﾃﾞｰﾀ ﾌﾚｰﾑを受信します。MPCMnﾋﾞｯﾄが未だ設定(1)されている他の従CPUはこのﾃﾞｰﾀ ﾌﾚｰﾑを無視します。
5. 最後のﾃﾞｰﾀ ﾌﾚｰﾑがｱﾄﾞﾚｽ指定されたMCUによって受信されると、ｱﾄﾞﾚｽ指定されたMCUはMPCMnﾋﾞｯﾄを設定(1)し、主装置からの新規ｱﾄﾞﾚｽ ﾌﾚｰﾑを待ちます。以降、手順は**2.**からを繰り返します。

5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式のどの使用も可能ですが、受信側が使うnとn+1ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式間を切り替えなければならないため非実用的です。これは送信部と受信部が同じﾃﾞｰﾀ ﾋﾞｯﾄ長設定を使うため、全二重(ﾌﾙﾃﾞｭｰﾌﾟﾚｯｸｽ)動作を困難にします。5～8ﾋﾞｯﾄﾃﾞｰﾀ ﾌﾚｰﾑが使われる場合、最初の停止ﾋﾞｯﾄがﾌﾚｰﾑ種別を示すのに使われるので、送信部は2停止ﾋﾞｯﾄ使用(USBSn=1)に設定されなければなりません。

MPCMnﾋﾞｯﾄを設定(1)または解除(0)するのに読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)命令(SBIとCBI)を使ってはいけません。MPCMnﾋﾞｯﾄは送信完了(TXCn)ﾌﾗｸﾞと同じI/O位置を共用しており、SBIまたはCBI命令を使うと偶然に解除(0)されるかもしれません。

(**訳注**) AT90USB64/128ではUCSRnAのI/OｱﾄﾞﾚｽがSBI,CBI命令適用範囲外のため、上記記述は不適切です。
但し、命令の組み合わせによって同様処理を行う場合に対して、上記注意の本意は適切(有効)です。

19.9. USART用ﾚｼﾞｽﾀ

19.9.1. UDRn – USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ (USART I/O Data Register)

ﾋﾞｯﾄ ($CE)	7	6	5	4	3	2	1	0	
	R/TXB7	R/TXB6	R/TXB5	R/TXB4	R/TXB3	R/TXB2	R/TXB1	R/TXB0	UDRn
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

同じI/Oｱﾄﾞﾚｽを共用するUSART受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀとUSART送信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀまたはUDRnとして引用しました。送信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀ(TXB)はUDRnﾚｼﾞｽﾀ位置に書かれるﾃﾞｰﾀの転送先です。UDRnﾚｼﾞｽﾀ位置読み込みは受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀ(RXB)の内容を返します。

5～7ﾋﾞｯﾄ ﾃﾞｰﾀでの上位未使用ﾋﾞｯﾄは送信部によって無視され、受信部によって0に設定されます。

送信緩衝部はUCSRnAで送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDREn)ﾌﾗｸﾞが設定(1)される時にだけ書けます。UDREnﾌﾗｸﾞが設定(1)されない時にUDRnへ書かれたﾃﾞｰﾀはUSART送信部によって無視されます。送信部が許可されて送信緩衝部にﾃﾞｰﾀが書かれると、送信部は送信移動ﾚｼﾞｽﾀが空きの時にそのﾃﾞｰﾀを送信移動ﾚｼﾞｽﾀへ設定(移動)します。その後にﾃﾞｰﾀはTXDnﾋﾟﾝで直列送信されます。

受信緩衝部は2段のFIFOから成ります。このFIFOは受信緩衝部がｱｸｾｽされる毎にその状態を切り替えます。この受信緩衝部の動きのため、この位置に読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)命令(SBIとCBI)を使えません。ﾋﾞｯﾄ検査(SBICとSBIS)命令もFIFOの状態を換えるので、これらの命令を使う時は注意してください。(**訳注**:適用範囲外命令のため、この注意は不適切です。)

19.9.2. UCSRnA – USART制御/状態ﾚｼﾞｽﾀA (USART Control and Status Register A)

ﾋﾞｯﾄ ($C8)	7	6	5	4	3	2	1	0	
	RXCn	TXCn	UDREn	FEn	DORn	UPEn	U2Xn	MPCMn	UCSRnA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – RXCn : USART受信完了ﾌﾗｸﾞ** (USART Receive Complete)

このﾌﾗｸﾞは受信緩衝部に未読ﾃﾞｰﾀがある時に設定(1)され、受信緩衝部が空の(換言すると、どんな未読ﾃﾞｰﾀも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部が破棄され、その結果RXCnﾌﾗｸﾞは0になります。RXCnﾌﾗｸﾞは受信完了割り込みを発生するのに使えます(USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)の受信完了割り込み許可(RXCIEn)ﾋﾞｯﾄをご覧ください)。

- **ﾋﾞｯﾄ6 – TXCn : USART送信完了ﾌﾗｸﾞ** (USART Transmit Complete)

このﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀ内の完全なﾌﾚｰﾑが移動出力されてしまい、送信緩衝部(UDRn)に新規ﾃﾞｰﾀが現存しない時に設定(1)されます。TXCnﾌﾗｸﾞは送信完了割り込みが実行されるとき、自動的に解除(0)されるか、またはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)できます。TXCnﾌﾗｸﾞは送信完了割り込みを発生できます(UCSRnBの送信完了割り込み許可(TXCIEn)ﾋﾞｯﾄをご覧ください)。

- **ﾋﾞｯﾄ5 – UDREn : USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きﾌﾗｸﾞ** (USART Data Register Empty)

UDREnﾌﾗｸﾞは送信緩衝部(UDRn)が新規ﾃﾞｰﾀを受け取る準備ができているかどうかを示します。UDREnが1ならば緩衝部は空で、従って書かれる準備ができています。UDREnﾌﾗｸﾞは送信緩衝部空き割り込みを発生できます(UCSRnBの送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可(UDRIEn)ﾋﾞｯﾄをご覧ください)。 送信部が準備できているのを示すため、ﾘｾｯﾄ後のUDREnは設定(1)です。

- **ﾋﾞｯﾄ4 – FEn : ﾌﾚｰﾐﾝｸﾞ異常ﾌﾗｸﾞ** (Framing Error)

受信緩衝部の次ﾃﾞｰﾀが受信した時にﾌﾚｰﾐﾝｸﾞ異常(換言すると、受信緩衝部で次ﾃﾞｰﾀの最初の(第1)停止ﾋﾞｯﾄがLow)だった場合、このﾋﾞｯﾄが設定(1)されます。このﾌﾗｸﾞは受信緩衝部(UDRn)が読まれるまで有効です。受信したﾃﾞｰﾀの停止ﾋﾞｯﾄがHighの時にFEnﾌﾗｸﾞは0です。UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

- **ﾋﾞｯﾄ3 – DORn : ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生ﾌﾗｸﾞ** (Data OverRun)

このﾋﾞｯﾄはｵｰﾊﾞｰﾗﾝ状態が検出されると設定(1)されます。受信緩衝部(2ﾌﾚｰﾑ分)が一杯で、新規ﾌﾚｰﾑが受信移動ﾚｼﾞｽﾀ内で待機中に新規開始ﾋﾞｯﾄが検出されるとﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝが起こります。UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

- **ﾋﾞｯﾄ2 – UPEn : ﾊﾟﾘﾃｨ誤りﾌﾗｸﾞ** (USART Parity Error)

受信緩衝部の次ﾃﾞｰﾀが受信した時にﾊﾟﾘﾃｨ異常があり、その時点でﾊﾟﾘﾃｨ検査が許可されていれば(UPMn1=1)、このﾋﾞｯﾄが設定(1)されます。このﾌﾗｸﾞは受信緩衝部(UDRn)が読まれるまで有効です。UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

- **ﾋﾞｯﾄ1 – U2Xn : 倍速許可** (Double the USART Transmission Speed)

このﾋﾞｯﾄは非同期動作でだけ有効です。同期動作を使うとき、このﾋﾞｯﾄに0を書いてください。

このﾋﾞｯﾄに1を書くことはﾎﾞｰﾚｰﾄ分周器の分周値を16から8に減らして事実上、非同期通信の転送速度を倍にします。

- **ﾋﾞｯﾄ0 – MPCMn : 複数ﾌﾟﾛｾｯｻ通信動作** (Multi-Processor Communication Mode)

このﾋﾞｯﾄは複数ﾌﾟﾛｾｯｻ通信動作を許可します。MPCMnﾋﾞｯﾄが1を書かれると、USART受信部によって受信したｱﾄﾞﾚｽ情報を含まない全到着ﾌﾚｰﾑは無視されます。送信部はMPCMn設定に影響されません。より多くの詳細情報については129頁の「**複数ﾌﾟﾛｾｯｻ通信動作**」をご覧ください。

19.9.3. UCSRnB – USART制御/状態ﾚｼﾞｽﾀB (USART Control and Status Register B)

ﾋﾞｯﾄ ($C9)	7	6	5	4	3	2	1	0	
	RXCIEn	TXCIEn	UDRIEn	RXENn	TXENn	UCSZn2	RXB8n	TXB8n	UCSRnB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – RXCIEn : 受信完了割り込み許可** (Receive Complete Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の受信完了(RXCn)ﾌﾗｸﾞでの割り込みを許可します。USART受信完了割り込みはRXCIEnﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)で全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでRXCnﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

• **ﾋﾞｯﾄ6 – TXCIEn : 送信完了割り込み許可** (Transmit Complete Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の送信完了(TXCn)ﾌﾗｸﾞでの割り込みを許可します。USART送信完了割り込みはTXCIEnﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでTXCnﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

• **ﾋﾞｯﾄ5 – UDRIEn : 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可** (Transmit Data Register Empty Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDREn)ﾌﾗｸﾞでの割り込みを許可します。USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みはUDRIEnﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでUDREnﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

• **ﾋﾞｯﾄ4 – RXENn : 受信許可** (Receiver Enable)

このﾋﾞｯﾄへの1書き込みはUSART受信(部)を許可します。受信部は許可されるとRXDnﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。受信の禁止は受信緩衝部を破棄し、ﾌﾚｰﾐﾝｸﾞ異常(FEn)、ｵｰﾊﾞｰﾗﾝ(DORn)、ﾊﾟﾘﾃｨ誤り(UPEn)のﾌﾗｸﾞを無効にします。

• **ﾋﾞｯﾄ3 – TXENn : 送信許可** (Transmitter Enable)

このﾋﾞｯﾄへの1書き込みはUSART送信(部)を許可します。送信部は許可されるとTXDnﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。送信の禁止(TXENn=0書き込み)は進行中と保留中の送信が完了される(換言すると、送信移動ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信されるべきﾃﾞｰﾀを含まない)まで有効になりません。禁止したとき、送信部はもはやTXDnﾎﾟｰﾄ(の標準I/O機能)を無効にしません。

• **ﾋﾞｯﾄ2 – UCSZn2 : ﾃﾞｰﾀ ﾋﾞｯﾄ長選択2** (Character Size)

USART制御/状態ﾚｼﾞｽﾀC(UCSRnC)のUCSZn1,0ﾋﾞｯﾄと組み合わせたUCSZn2ﾋﾞｯﾄは送受信部で使うﾌﾚｰﾑのﾃﾞｰﾀ ﾋﾞｯﾄ数(Character size)を設定します。

• **ﾋﾞｯﾄ1 – RXB8n : 受信ﾃﾞｰﾀ ﾋﾞｯﾄ8** (Receive Data Bit 8)

RXB8nは9ﾋﾞｯﾄ ﾃﾞｰﾀでの直列ﾌﾚｰﾑ操作時に受信したﾌﾚｰﾑの第9ﾃﾞｰﾀ ﾋﾞｯﾄ(ﾋﾞｯﾄ8)です。UDRnから下位ﾋﾞｯﾄを読む前に読んでください。

• **ﾋﾞｯﾄ0 – TXB8n : 送信ﾃﾞｰﾀ ﾋﾞｯﾄ8** (Transmit Data Bit 8)

TXB8nは9ﾋﾞｯﾄ ﾃﾞｰﾀでの直列ﾌﾚｰﾑ操作時に送信されるべきﾃﾞｰﾀの第9ﾃﾞｰﾀ ﾋﾞｯﾄ(ﾋﾞｯﾄ8)です。UDRnへ下位ﾋﾞｯﾄを書く前に書いてください。

19.9.4. UCSRnC – USART制御/状態ﾚｼﾞｽﾀC (USART Control and Status Register C)

ﾋﾞｯﾄ ($CA)	7	6	5	4	3	2	1	0	
	UMSELn1	UMSELn0	UPMn1	UPMn0	USBSn	UCSZn1	UCSZn0	UCPOLn	UCSRnC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

• **ﾋﾞｯﾄ7,6 – UMSELn1,0 : USART動作選択** (USART Mode Select)

このﾋﾞｯﾄは表19-4.で示されるようにUSART動作種別を選びます。

表19-4. USART動作選択

UMSELn1	UMSELn0	動作種別
0	0	非同期動作
	1	同期動作
1	0	(予約)
	1	主装置SPI (MSPIM) (注)

注: 主装置SPI動作(MSPIM)操作の完全な記述については135頁の「USARTでのSPI動作」をご覧ください。

• ﾋﾞｯﾄ5,4 – UPMn1,0 : ﾊﾟﾘﾃｨ選択 (Parity Mode)

これらのﾋﾞｯﾄはﾊﾟﾘﾃｨの発生と検査の許可と種別を設定します。許可した場合、送信部は各ﾌﾚｰﾑ内での送信したﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを自動的に生成して送出します。受信部は到着ﾃﾞｰﾀからﾊﾟﾘﾃｨ値を生成し、UPMn0設定と比較します。不一致が検出されると、USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)でﾊﾟﾘﾃｨ誤り(UPEn)ﾌﾗｸﾞが設定(1)されます。

表19-5. ﾊﾟﾘﾃｨ選択

UPMn1	UPMn0	ﾊﾟﾘﾃｨ動作
0	0	禁止
0	1	(予約)
1	0	偶数ﾊﾟﾘﾃｨ許可
1	1	奇数ﾊﾟﾘﾃｨ許可

• ﾋﾞｯﾄ3 – USBSn : 停止ﾋﾞｯﾄ選択 (Stop Bit Select)

このﾋﾞｯﾄは送信部によって挿入される停止ﾋﾞｯﾄ数を選びます。受信部はこの設定を無視します(訳補:常に第1停止ﾋﾞｯﾄだけが有効)。

表19-6. 停止ﾋﾞｯﾄ選択

USBSn	停止ﾋﾞｯﾄ数
0	1ﾋﾞｯﾄ
1	2ﾋﾞｯﾄ

• ﾋﾞｯﾄ2,1 – UCSZn1,0 : ﾃﾞｰﾀ ﾋﾞｯﾄ長選択 (Character Size)

USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)のUCSZn2ﾋﾞｯﾄと組み合わせたUCSZn1,0ﾋﾞｯﾄは送受信部で使うﾌﾚｰﾑのﾃﾞｰﾀ ﾋﾞｯﾄ数(Character size)を設定します。

表19-7. ﾃﾞｰﾀ ﾋﾞｯﾄ長選択

UCSZn2～0	000	001	010	011	100	101	110	111
ﾃﾞｰﾀ ﾋﾞｯﾄ数	5ﾋﾞｯﾄ	6ﾋﾞｯﾄ	7ﾋﾞｯﾄ	8ﾋﾞｯﾄ	(予約)	(予約)	(予約)	9ﾋﾞｯﾄ

• ﾋﾞｯﾄ0 – UCPOLn : ｸﾛｯｸ極性選択 (Clock Polarity)

このﾋﾞｯﾄは同期動作に対してだけ使われます。非同期動作が使われるとき、このﾋﾞｯﾄに0を書いてください。UCPOLnﾋﾞｯﾄは同期ｸﾛｯｸ(XCKn)、ﾃﾞｰﾀ出力変更、ﾃﾞｰﾀ入力採取間の関係を設定します。

表19-8. XCKｸﾛｯｸ極性選択

UCPOLn	送信ﾃﾞｰﾀ変更 (TXDnﾋﾟﾝ出力)	受信ﾃﾞｰﾀ採取 (RXDnﾋﾟﾝ入力)
0	XCKnの上昇端	XCKnの下降端
1	XCKnの下降端	XCKnの上昇端

19.9.5. UBRRnH, UBRRnL (UBRRn) – USARTﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ (USART Baud Rate Register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($CD)	–	–	–	–	UBRR11	UBRR10	UBRR9	UBRR8	UBRRnH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($CC)	UBRR7	UBRR6	UBRR5	UBRR4	UBRR3	UBRR2	UBRR1	UBRR0	UBRRnL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ15～12 – Res : 予約 (Reserved Bits)

これらのﾋﾞｯﾄは将来使用するために予約されています。将来のﾃﾞﾊﾞｲｽとの共通性のため、UBRRnHが書かれるとき、これらのﾋﾞｯﾄは0が書かれなければなりません。

• ﾋﾞｯﾄ11～0 – UBRR11～0 : ﾎﾞｰﾚｰﾄ分周値 (USART Baud Rate Register)

USARTのﾎﾞｰﾚｰﾄを含む12ﾋﾞｯﾄ ﾚｼﾞｽﾀです。UBRRnHがUSARTﾎﾞｰﾚｰﾄの上位4ﾋﾞｯﾄを含み、UBRRnLが下位8ﾋﾞｯﾄを含みます。ﾎﾞｰﾚｰﾄが変更されると、送受信部で進行中の転送は不正にされます。UBRRnL書き込みはﾎﾞｰﾚｰﾄ前置分周器の更新を直ちに始めます。

19.10. ボーレート設定例

標準的なクリスタル発振子やセラミック振動子の周波数に対して最も一般的に使われる非同期動作のボーレートは**表19-9.**のUBRRn設定を使うことによって生成できます。目的のボーレートに対して設定誤差1.5%(標準速:U2X=0)、1.0%(倍速:U2X=1)以上を赤字で示します(**訳注**:原書の本文は0.5%未満を太字)。より高い誤差率でも受け入れ可能ですが、特に長い直列フレーム(128頁の「**非同期での動作範囲**」参照)で誤差率が高いと、受信部は雑音耐性が低下します。誤差率は次式を使って計算されます。

$$\text{誤差率}(\%) = \left(\frac{\text{UBRRn設定ボーレート(最近似値)}}{\text{目的のボーレート}} - 1 \right) \times 100(\%)$$

表19-9. Xtal、ボーレート対UBRRnH,UBRRnL設定 (UBRR=UBRRnH:UBRRnL)

ボーレート (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ボーレート (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注: 最高速はUBRR=0、誤差=0.0%です。　以降の周波数は次頁へ続く。

(**訳注**) 原書では頁割された表毎に表番号**19-9.**～**12.**となっていますが、共通性から纏めて**表19-9.**としました。
原書に対して数種の発振周波数を追加しました。

表19-9 (続き). Xtal、ボーレート対UBRRnH,UBRRnL設定 (UBRR=UBRRnH:UBRRnL)

ボーレート (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ボーレート (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

ボーレート (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注: 最高速はUBRR=0、誤差=0.0%です。

20. USARTでのSPI動作

USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は主装置SPI互換動作に設定できます。主装置SPI(MSPIM)は次の特徴を持ちます。

- 全二重動作、3線同期ﾃﾞｰﾀ転送
- 主装置動作
- 4つ全てのSPI転送形式(動作種別0,1,2,3)支援
- LSBまたはMSB先行ﾃﾞｰﾀ転送(ﾃﾞｰﾀ順設定)
- 順列動作(2重緩衝)
- 高分解能ﾎﾞｰﾚｰﾄ発振器
- 高速動作($f_{XCKmax}=f_{CK}/2$)
- 柔軟な割り込み生成

20.1. 概要

USART動作選択(UMSELn1,0)ﾋﾞｯﾄの11設定は主装置SPI(MSPIM)論理回路でのUSARTを許可します。この動作種別でのSPI主装置制御論理回路はUSART資源を直接制御します。これらの資源には送受信の移動ﾚｼﾞｽﾀと緩衝部、ﾎﾞｰﾚｰﾄ発生器を含みます。ﾊﾟﾘﾃｨ発生/検査論理回路、ﾃﾞｰﾀ/ｸﾛｯｸ再生論理回路、送受信制御論理回路は禁止されます。USART送受信論理回路は普通のSPI転送制御論理回路に置き換えられます。けれどもﾋﾟﾝ制御論理回路と割り込み生成論理回路は両動作種別で全く同じです。

I/Oﾚｼﾞｽﾀ位置は両動作種別で同じです。けれどもMSPIM使用時、制御ﾚｼﾞｽﾀの一部の機能が変わります。

20.2. ｸﾛｯｸ生成

ｸﾛｯｸ生成論理回路は送受信部に対する基準ｸﾛｯｸを生成します。USARTのMSPIM動作種別については内部ｸﾛｯｸ生成(換言すると主装置動作)だけが支援されます。従って、USARTでMSPIMを正しく動作するにはXCKnﾋﾟﾝに対するﾃﾞｰﾀ方向ﾚｼﾞｽﾀ(DDR_XCKn)が1(換言すると出力)に設定されなければなりません。なるべくならDDR_XCKnはUSARTでのMSPIMが許可(換言するとTXENnとRXENnが1に設定)される前に設定されるべきです。

MSPIM動作で使われる内部ｸﾛｯｸ生成はUSART同期主装置動作と同一です。従ってﾎﾞｰﾚｰﾄやUBRRn設定は同じ式を使って計算できます。表20-1.をご覧ください。

表20-1. ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ(UBRRn)値計算式

動作種別	ﾎﾞｰﾚｰﾄ計算式	UBRRn値計算式
同期主装置動作	$BAUD=\frac{f_{OSC}}{2\times(UBRRn+1)}$	$UBRRn=\frac{f_{OSC}}{2\times BAUD}-1$

注: ﾎﾞｰﾚｰﾄは転送速度(ﾋﾞｯﾄ/1秒)で定義されます。

BAUD : ﾎﾞｰﾚｰﾄ (bps)
UBRRn : UBRRnHとUBRRnLﾚｼﾞｽﾀ値 (0～4095)
f_{OSC} : ｼｽﾃﾑ発振器ｸﾛｯｸ周波数

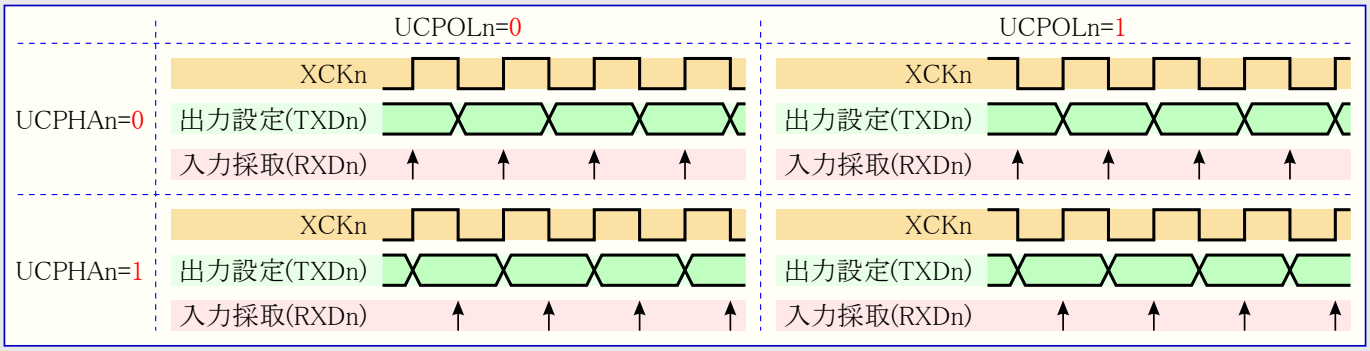
20.3. ﾃﾞｰﾀ転送形式

直列ﾃﾞｰﾀに関してはｸﾛｯｸ位相(UCPHAn)とｸﾛｯｸ極性(UCPOLn)制御ﾋﾞｯﾄによって決定されるXCKn(SCK)位相と極性で4つの組み合わせがあります。このﾃﾞｰﾀ転送ﾀｲﾐﾝｸﾞ図は図20-1.で示されます。ﾃﾞｰﾀ ﾋﾞｯﾄは安定のためにﾃﾞｰﾀ信号に対して充分な時間を保証するXCKn信号の反対端で移動出力と(入力)ﾗｯﾁが行われます。UCPOLnとUCPHAnの機能は表20-2.で要約されます。これらﾋﾞｯﾄのどの変更も送受信両方に対して実行中の通信を不正とすることに注意してください。

表20-2. UCPOLn,UCPHAn機能動作

SPI動作種別番号	UCPOLn	UCPHAn	XCKn(SCK)先行端	XCKn(SCK)後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

図20-1. UCPHAnとUCPOLnによるﾃﾞｰﾀ転送ﾀｲﾐﾝｸﾞ



20.4. フレーム形式

MSPIMの直列フレームは8データ ビット/1フレームに固定されます。USARTでのMSPIM動作は2つの有効なフレーム形式を持ちます。

- MSB先行 8ビット データ
- LSB先行 8ビット データ

フレームは最下位(LSB)または最上位(MSB)のデータ ビットで始まります。その後次のデータ ビットが最後の最上位(MSB)または最下位(LSB)データ ビットまで合計8ビット続きます。完全なフレームが送信されると、新規フレームが直ちに後続するか、または通信線がアイドル状態(high)に設定されるでしょう。

USART制御/状態レジスタC(UCSRnC)のデータ順選択(UDORDn)ビットはUSARTでのMSPIMによって使われるフレーム形式を設定します。送受信部は同じ設定を使います。これらビットのどれかの設定変更が送受信部両方に対して実行中の通信を不正にすることに注意してください。

16ビット データ通信はUDRnに2バイト データを書くことによって達せられます。その後のUSART送信完了割り込み(TXCn)はこの16ビット値が移動出力されてしまったことを示します。

20.4.1. USART MSPIM初期化

USARTでのMSPIM動作はどれかの通信が行われ得るのに先立って初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、主装置動作操作(DDR_XCKnの1)設定、フレーム形式設定、送受信部許可から成ります。送信部だけが独立して操作できます。割り込み駆動USART操作に関して初期化を行う時にステータス レジスタの全割り込み許可(I)ビットが解除(0)される(そして全割り込みが禁止される)べきです。

注: XCKn出力の初期化を直ちに保証するため、ボーレート レジスタ(UBRRn)は送信部が許可される時に0でなければなりません。標準動作のUSART操作と逆に、UBRRnは送信部が許可されて最初の送信が開始される前に、希望する値を書かれなければなりません。この初期化がリセット後直ちに行なわれるなら、UBRRnが0にリセットされているので、送信部許可前にUBRRnを0に設定することは必要ありません。

ボーレート、データ転送形式またはフレーム形式の変更を伴う再初期化を行う前に、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。USART制御/状態レジスタA(UCSRnA)の送信完了(TXCn)フラグは送信部の全転送完了検査に使え、受信完了(RXCn)フラグは受信緩衝部内の未読データ有無検査に使えます。この目的(次送信タイミング)にTXCnフラグが使われる場合、各々の送信(USARTデータ レジスタ(UDRn)が書かれる)前にTXCnフラグが解除(0)されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例はポーリングを使う(割り込み不許可)と仮定します。ボーレート(UBRRn)値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Init:  CLR    R18                                     ;0値取得
             OUT    UBRRnH, R18                             ;ボーレート設定(上位バイト)=0
             OUT    UBRRnL, R18                             ;ボーレート設定(下位バイト)=0 (クロック停止)
             SBI    XCKn_DDR, XCKn                          ;XCKnポート ピン出力設定
             LDI    R18, (1<<UMSELn1) | (1<<UMSELn0) | (0<<UCPHAn) | (0<<UCPOLn)
                                                            ;動作種別値を取得
             OUT    UCSRnC, R18                             ;MSPI,データ種別0設定
             LDI    R18, (1<<RXENn) | (1<<TXENn)            ;送受信許可値を取得
             OUT    UCSRnB, R18                             ;送受信許可
             OUT    UBRRnH, R17                             ;ボーレート設定(上位バイト)
             OUT    UBRRnL, R16                             ;ボーレート設定(下位バイト)
             RET                                            ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Init(unsigned int baud)
{
    UBRRn = 0;                                              /* ボーレート設定(クロック停止) */
    XCKn_DDR |= (1<<XCKn;                                   /* XCKnポート ピン出力設定 */
    UCSRnC = (1<<UMSELn1) | (1<<UMSELn0) | (0<<UCPHAn) | (0<<UCPOLn) :
                                                            /* MSPI,データ種別0設定 */
    UCSRnB = (1<<RXENn) | (1<<TXENn) ;                      /* 送受信許可 */
    UBRRn = baud;                                           /* ボーレート設定 */
}
```

注: 5頁の「コード例について」をご覧ください。

20.5. データ転送

USARTでのMSPI動作の使用は送信部が許可されること、換言するとUSART制御/状態レジスタB(UCSRnB)で送信許可(TXENn)ビットが1に設定される必要があります。送信部が許可されると、TXDnピンの標準ピン動作は無視され、送信部の直列出力としての機能を与えられます。受信部の許可は任意選択で、UCSRnBの受信許可(RXENn)ビットの設定(=1)によって行なわれます。受信部が許可されると、RXDnピンの標準ピン動作は無視され、受信部の直列入力としての機能を与えられます。XCKnは両方の場合で転送クロックとして使われます。

初期化後、USARTはデータ転送を行なう準備が整います。データ転送はUSARTデータ レジスタ(UDRn)I/O位置に書くことによって開始されます。送信部が転送クロックを制御するため、これは送受信データ両方の状態についてです。UDRnに書かれたデータは移動レジスタが新規フレームを送る準備が整った時に送信緩衝部から移動レジスタへ移されます。

注: 入力緩衝部に於いて送信されたデータ バイト数との同期を保つために、送信された各バイトに対して一度、UDRnが読まれなければなりません。入力緩衝操作は通常のUSART動作と同じで、換言すると、オーバーランが起きると、緩衝部内の先頭ではなく最後に受信したデータが失われます。これは第1バイト、第2、第3、第4バイトの順で4バイトのデータが送信され、全ての転送が完了される前にDDRnが読まれない場合、第1バイトではなく、受信されるべき第3バイトが失われます。

次のコード例はUSART制御/状態レジスタA(UCSRnA)の送信データ レジスタ空き(UDREn)フラグのポーリングに基いた、簡単なUSARTでのMSPIM転送関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定され、受信したデータは関数復帰後、同じR16レジスタで利用できます。

この関数は送信されるべき新規データを設定する前に、UDREnの検査によって送信緩衝部が空になるのを単純に待ちます。その後、緩衝部を読んで値を戻す前に、RXCnフラグの検査によって受信緩衝部にデータが存在するのを待ちます。

アセンブリ言語プログラム例

```
USART_MSPI:  SBIS    UCSRnA, UDREn          ;送信緩衝部空きでスキップ
             RJMP    USART_MSPI             ;送信緩衝部空き待機
;
             OUT     UDRn, R16              ;データ送信(送信開始)
USART_SPIR:  SBIS    UCSRnA, RXCn           ;受信完了でスキップ
             RJMP    USART_SPIR             ;受信完了待機
;
             IN      R16, UDRn              ;受信データ取得
             RET                            ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_MSPIM_Transfer(unsigned int data)
{
             while ( !(UCSRnA & (1<<UDREn)) );      /* 送信緩衝部空き待機 */
             UDRn = data;                           /* データ送信(送信開始) */
             while ( !(UCSRnA & (1<<RXCn)) );       /* 受信完了待機 */
             return UDRn;                           /* 受信データ取得 */
}
```

注: 5頁の「コード例について」をご覧ください。

20.5.1. 送受信フラグと割り込み

USARTのMSPI動作での受信完了(RXCn)、送信完了(TXCn)、送信データ レジスタ空き(UDREn)フラグと対応する割り込みは通常のUSART操作と機能的に同一です。けれども受信異常状態フラグ(FEn,DORn,UPEn)は使えず、常に0として読みます。

20.5.2. 送受信の禁止

USARTのMSPI動作での送受信部の禁止は通常のUSART操作と機能的に同一です。

20.6. MSPIMでのUSART用ﾚｼﾞｽﾀ

以下の節はUSARTを使うSPI操作で使われるﾚｼﾞｽﾀを記述します。

20.6.1. UDRn – USART MSPIMﾃﾞｰﾀ ﾚｼﾞｽﾀ (USART I/O Data Register)

MSPIMでのUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)の機能と説明は通常のUSART操作と同一です。130頁の「UDRn – USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ」をご覧ください。

20.6.2. UCSRnA – USART MSPIM制御/状態ﾚｼﾞｽﾀA (USART Control and Status Register A)

ﾋﾞｯﾄ ($C8)	7	6	5	4	3	2	1	0	
	RXCn	TXCn	UDREn	–	–	–	–	–	UCSRnA
Read/Write	R	R/W	R	R	R	R	R	R	
初期値	0	0	1	0	0	0	1	0	

• ﾋﾞｯﾄ7 – RXCn : USART受信完了ﾌﾗｸﾞ (USART Receive Complete)

このﾌﾗｸﾞは受信緩衝部に未読ﾃﾞｰﾀがある時に設定(1)され、受信緩衝部が空の(換言すると、どんな未読ﾃﾞｰﾀも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部が破棄され、その結果RXCnﾌﾗｸﾞは0になります。RXCnﾌﾗｸﾞは受信完了割り込みを発生するのに使えます(USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)の受信完了割り込み許可(RXCIEn)ﾋﾞｯﾄをご覧ください)。

• ﾋﾞｯﾄ6 – TXCn : USART送信完了ﾌﾗｸﾞ (USART Transmit Complete)

このﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀ内の完全なﾌﾚｰﾑが移動出力されてしまい、送信緩衝部(UDRn)に新規ﾃﾞｰﾀが現存しない時に設定(1)されます。TXCnﾌﾗｸﾞは送信完了割り込みが実行されるとき、自動的に解除(0)されるか、またはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)できます。TXCnﾌﾗｸﾞは送信完了割り込みを発生できます(UCSRnBの送信完了割り込み許可(TXCIEn)ﾋﾞｯﾄをご覧ください)。

• ﾋﾞｯﾄ5 – UDREn : USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きﾌﾗｸﾞ (USART Data Register Empty)

UDREnﾌﾗｸﾞは送信緩衝部(UDRn)が新規ﾃﾞｰﾀを受け取る準備ができているかどうかを示します。UDREnが1ならば緩衝部は空で、従って書かれる準備ができています。UDREnﾌﾗｸﾞは送信緩衝部空き割り込みを発生できます(UCSRnBの送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可(UDRIEn)ﾋﾞｯﾄをご覧ください)。 送信部が準備できているのを示すため、ﾘｾｯﾄ後のUDREnは設定(1)です。

• ﾋﾞｯﾄ4~0 – Res : 予約 (Reserved Bits in MSPI mode)

MSPI動作時、これらのﾋﾞｯﾄは将来の使用に予約されています。将来のﾃﾞﾊﾞｲｽとの共通性のため、これらのﾋﾞｯﾄはUCSRnAが書かれるとき、0が書かれなければなりません。

20.6.3. UCSRnB – USART MSPIM制御/状態ﾚｼﾞｽﾀB (USART Control nad Status Register B)

ﾋﾞｯﾄ ($C9)	7	6	5	4	3	2	1	0	
	RXCIEn	TXCIEn	UDRIEn	RXENn	TXENn	–	–	–	UCSRnB
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	1	1	0	

• ﾋﾞｯﾄ7 – RXCIEn : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の受信完了(RXCn)ﾌﾗｸﾞでの割り込みを許可します。USART受信完了割り込みはRXCIEnﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)で全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでRXCnﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

• ﾋﾞｯﾄ6 – TXCIEn : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の送信完了(TXCn)ﾌﾗｸﾞでの割り込みを許可します。USART送信完了割り込みはTXCIEnﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでTXCnﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

• ﾋﾞｯﾄ5 – UDRIEn : 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDREn)ﾌﾗｸﾞでの割り込みを許可します。USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みはUDRIEnﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでUDREnﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

• ﾋﾞｯﾄ4 – RXENn : 受信許可 (Receiver Enable)

このﾋﾞｯﾄへの1書き込みはMSPIMでのUSART受信(部)を許可します。受信部は許可されるとRXDnﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。受信の禁止は受信緩衝部を破棄します。MSPIMで受信(部)だけの許可(換言するとRXENn=1とTXENn=0)は、主装置動作だけが支援されて送信(部)が転送ｸﾛｯｸを制御するので、意味を持ちません。

• **ﾋﾞｯﾄ3 – TXENn : 送信許可** (Transmitter Enable)

このﾋﾞｯﾄへの1書き込みがUSART送信(部)を許可します。送信部は許可された時にTXDnﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。送信の禁止(TXENn=0書き込み)は進行中と保留中の送信が完了される(換言すると、送信移動ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信されるべきﾃﾞｰﾀを含まない)まで有効になりません。禁止したとき、送信部はもはやTXDnﾎﾟｰﾄ(の標準I/O機能)を無効にしません。

• **ﾋﾞｯﾄ2~0 – Res : 予約** (Reserved Bits in MSPI mode)

MSPI動作時、これらのﾋﾞｯﾄは将来の使用に予約されています。将来のﾃﾞﾊﾞｲｽとの共通性のため、これらのﾋﾞｯﾄはUCSRnBが書かれるとき、0が書かれなければなりません。

20.6.4. UCSRnC – USART MSPIM制御/状態ﾚｼﾞｽﾀC (USART Control nad Status Register C)

ﾋﾞｯﾄ ($CA)	7	6	5	4	3	2	1	0	
	UMSELn1	UMSELn0	–	–	–	UDORDn	UCPHAn	UCPOLn	UCSRnC
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

• **ﾋﾞｯﾄ7,6 – UMSELn1,0 : USART動作選択** (USART Mode Select)

このﾋﾞｯﾄは**表20-3.**で示されるようにUSART動作種別を選びます。通常USART操作の完全な記述については、131頁の「**UCSRnC – USART制御/状態ﾚｼﾞｽﾀC**」をご覧ください。主装置SPI動作(MSPIM)は両UMSELnﾋﾞｯﾄが1に設定される時に許可されます。ﾃﾞｰﾀ順選択(UDORDn)、ｸﾛｯｸ位相選択(UCPHAn)、ｸﾛｯｸ極性選択(UCPOLn)はMSPIMが許可されるのと同じ書き込み操作で設定できます。

表20-3. USART動作選択

UMSELn1	UMSELn0	動作種別
0	0	非同期動作
	1	同期動作
1	0	(予約)
	1	主装置SPI (MSPIM)

• **ﾋﾞｯﾄ5~3 – Res : 予約** (Reserved Bits in MSPI mode)

MSPI動作時、これらのﾋﾞｯﾄは将来の使用に予約されています。将来のﾃﾞﾊﾞｲｽとの共通性のため、これらのﾋﾞｯﾄはUCSRnCが書かれるとき、0が書かれなければなりません。

• **ﾋﾞｯﾄ2 – UDORDn : ﾃﾞｰﾀ順選択** (Data Order)

UDORDnﾋﾞｯﾄが1を書かれるとﾃﾞｰﾀ語のLSBが最初に転送されます。UDORDnﾋﾞｯﾄが0を書かれるとMSBが最初に転送されます。詳細については136頁の「**ﾌﾚｰﾑ形式**」項を参照してください。

• **ﾋﾞｯﾄ1 – UCPHAn : ｸﾛｯｸ位相選択** (Clock Phase)

このｸﾛｯｸ位相選択(UCPHAn)ﾋﾞｯﾄの設定はﾃﾞｰﾀがXCKnの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。詳細については135頁の「**ﾃﾞｰﾀ転送形式**」項を参照してください。

• **ﾋﾞｯﾄ0 – UCPOLn : ｸﾛｯｸ極性選択** (Clock Polarity)

ｸﾛｯｸ極性選択(UCPOLn)ﾋﾞｯﾄはXCKnｸﾛｯｸの極性を設定します。UCPOLnとｸﾛｯｸ位相選択(UCPHAn)ﾋﾞｯﾄの組み合わせがﾃﾞｰﾀ転送のﾀｲﾐﾝｸﾞを決めます。詳細については135頁の「**ﾃﾞｰﾀ転送形式**」項を参照してください。

20.6.5. UBRRnH, UBRRnL (UBRRn) – USART MSPIMﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ (USART Baud Rate Register)

MSPIMでのﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ(UBRRn)の機能と説明は通常のUSART操作と同一です。132頁の「**UBRRnH,UBRRnL – USARTﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ**」をご覧ください。

20.7. USARTでのMSPIMとSPIの比較

USARTでのMSPI動作は次に関してSPIと完全な互換性があります。

- 主装置動作ﾀｲﾐﾝｸﾞ図
- ｸﾛｯｸ極性選択(UCPOLn)ﾋﾞｯﾄはSPIのSCK極性選択(CPOL)ﾋﾞｯﾄと機能的に同じです。
- ｸﾛｯｸ位相選択(UCPHAn)ﾋﾞｯﾄはSPIのSCK位相選択(CPHA)ﾋﾞｯﾄと機能的に同じです。
- ﾃﾞｰﾀ順選択(UDORDn)ﾋﾞｯﾄはSPIのﾃﾞｰﾀ順選択(DORD)ﾋﾞｯﾄと機能的に同じです。

けれどもUSARTでのMSPI動作がUSART資源を再使用するため、USARTでのMSPI動作はSPIと比較して多少異なります。加えて制御ﾚｼﾞｽﾀ ﾋﾞｯﾄの差異、主装置動作だけがUSARTでのMSPI動作によって支援されること、2つの部間で異なる次の特質があります。

- USARTでのMSPI動作は送信部の(2重)緩衝部を含みます。SPIは緩衝部を持ちません。
- USARTのMSPI動作での受信部は追加の緩衝段を含みます。
- SPIの上書き(WCOL)ﾋﾞｯﾄはUSARTでのMSPI動作に含まれません。
- SPIの倍速許可(SPI2X)ﾋﾞｯﾄは含まれません。しかし、対応するﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ(UBRRn)設定によって同じ効果が達せられます。
- 割り込みﾀｲﾐﾝｸﾞに互換性はありません。
- USARTでのMSPI動作が主装置動作だけのため、ﾋﾟﾝ制御が異なります。

USARTのMSPI動作とSPIでのﾋﾟﾝは表20-4.で示されます。

表20-4. USARTでのMSPIMとSPIのﾋﾟﾝ比較

USART MSPIM	SPI	備考
TXDn	MOSI	主装置出力のみ
RXDn	MISO	主装置入力のみ
XCKn	SCK	(機能的に同一)
該当なし	$\overline{SS}$	USARTでのMSPIMで未支援

21. 2線直列ｲﾝﾀｰﾌｪｰｽ (TWI:Two-wire Serial Interface, I²C)

21.1. 特徴

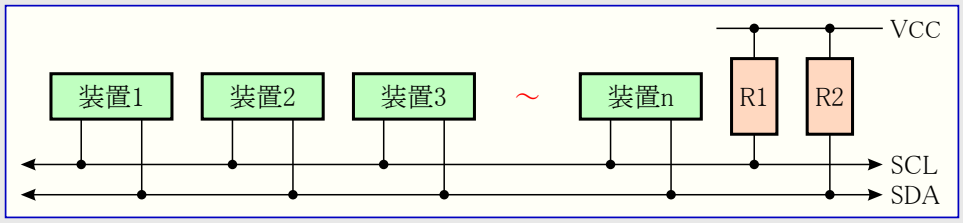
- 2本のﾊﾞｽ信号線のみ必要な、単純ながら強力で柔軟な通信ｲﾝﾀｰﾌｪｰｽ
- 主装置動作と従装置動作の両方を支援
- 送信装置または受信装置として動作可能
- 7ﾋﾞｯﾄのｱﾄﾞﾚｽ空間が128までの異なる従装置ｱﾄﾞﾚｽを許容
- 複数主装置の調停支援
- 400kHzまでのﾃﾞｰﾀ転送速度
- 上昇/下降(ｽﾘｭｰﾚｰﾄ)制限された出力駆動回路
- ﾊﾞｽ信号線のｽﾊﾟｲｸを排除する雑音消去回路
- 一斉呼び出しを含む完全に設定変更可能な従装置ｱﾄﾞﾚｽの支援
- AVRが休止形態の時のｱﾄﾞﾚｽ認証(一致)起動

32頁の「PRR0 – 電力削減ﾚｼﾞｽﾀ」のPRTWIﾋﾞｯﾄは2線直列ｲﾝﾀｰﾌｪｰｽ部を許可するために0を書かれなければなりません。

21.2. 2線直列ｲﾝﾀｰﾌｪｰｽ ﾊﾞｽの定義

2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)は代表的なﾏｲｸﾛ ｺﾝﾄﾛｰﾗ応用に対して理想的に適応されています。TWI通信規約は2本の双方向ﾊﾞｽ信号線、ﾃﾞｰﾀ用1本(SDA)とｸﾛｯｸ用1本(SCL)だけを使って128個までの異なる装置の相互接続をｼｽﾃﾑ設計者に許します。ﾊﾞｽを実現するのに必要とされる外部ﾊｰﾄﾞｳｪｱはTWIﾊﾞｽ信号線各々に1本づつのﾌﾟﾙｱｯﾌﾟ抵抗だけです。ﾊﾞｽに接続した全ての装置は個別のｱﾄﾞﾚｽを持ち、ﾊﾞｽ衝突を解決する機構は本質的にTWI通信規約で行います。

図21-1. 2線直列(TWI)ﾊﾞｽ構成



21.2.1. TWI用語定義

次の定義は本章で度々使われます。

表21-1. TWI用語定義

用語	意味
主装置	送信の開始と終了を行う装置。主装置はSCLｸﾛｯｸも生成します。
従装置	主装置によって指定された装置。
送信装置	ﾊﾞｽ上にﾃﾞｰﾀを送り出す装置。
受信装置	ﾊﾞｽからﾃﾞｰﾀを読み込む装置。

21.2.2. 電気的な相互接続

図21-1.で描かれたように両方のﾊﾞｽ信号線はﾌﾟﾙｱｯﾌﾟ抵抗を通して正供給電圧に接続されます。全てのTWI準拠装置のﾊﾞｽ駆動部はｵｰﾌﾟﾝ ﾄﾞﾚｲﾝかｵｰﾌﾟﾝ ｺﾚｸﾀです。これはｲﾝﾀｰﾌｪｰｽの動作のために重要なﾜｲｱｰﾄﾞAND機能を実現します。TWIﾊﾞｽ信号線のLowﾚﾍﾞﾙは1つまたはより多くのTWI装置の0出力時に生成されます。Highﾚﾍﾞﾙは全TWI装置がHi-Z出力時の出力で、ﾌﾟﾙｱｯﾌﾟ抵抗に信号線をHighへ引き上げさせます。どんなﾊﾞｽ動作を許すのにも、TWIﾊﾞｽに接続した全てのAVRﾃﾞﾊﾞｲｽが電力供給されなければならないことに注意してください。

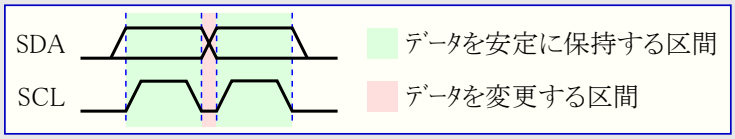
このﾊﾞｽに接続できる装置数は7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽ空間と400pFのﾊﾞｽ容量制限によってのみ制限されます。TWIの電気的特性の詳細仕様は265頁の「2線直列ｲﾝﾀｰﾌｪｰｽ特性」で与えられます。そこで与えられる2組の異なる仕様は、1つがﾊﾞｽ速度100kHz以下に関するもので、もう1つはﾊﾞｽ速度400kHzまでに関して有効です。

21.3. ﾃﾞｰﾀ転送とﾌﾚｰﾑ形式

21.3.1. ﾋﾞｯﾄ転送

TWIﾊﾞｽに転送される各ﾃﾞｰﾀ ﾋﾞｯﾄはｸﾛｯｸ信号線のﾊﾟﾙｽを伴います。ﾃﾞｰﾀ信号線のﾚﾍﾞﾙはｸﾛｯｸ信号線がHighの時に安定していなければなりません。この規則の例外は開始条件と停止条件の生成だけです。

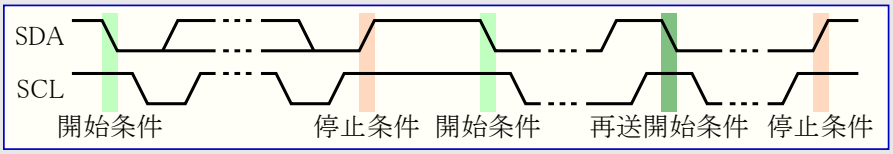
図21-2. ﾃﾞｰﾀの有効性



21.3.2. 開始条件と停止条件

主装置がデータ転送の開始と終了を行います。転送は主装置がバスに開始条件を起こすと開始され、主装置が停止条件を起こすと終了されます。開始条件と停止条件間はバスが使用中と考えられ、他の主装置はバスの制御獲得を試みるべきではありません。開始条件と停止条件間で新規開始条件が起こされると特別な状態が起きます。これは再送開始条件として引用され、主装置がバスの制御を手放さずに新規転送を始めたい時に使われます。再送開始条件後、バスは次の停止条件まで使用中と考えられます。これは開始動作についてと全く同じで、従って特記事項を除いて本データ シートの残りに対して開始条件と再送開始条件の両方の記述に開始条件が使われます。下で描かれるように、開始条件と停止条件はSCL信号線がHighの時のSDA信号線のレベル変更によって指示されます。

図21-3. 開始条件、再送開始条件、停止条件 バス タイミング



21.3.3. アドレス パケット形式

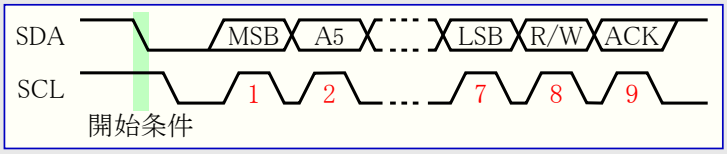
TWIバスに送信した全てのアドレス パケットは7ビットのアドレス ビット、1ビットの方向(Read/Write)制御ビット、1ビットの応答ビットから成る9ビットです。方向(R/W)ビットが設定(1)されると読み出し操作が実行され、さもなければ書き込み操作が実行されるべきです。従装置がアドレス指定されたことを認証すると、9番目のSCL(ACK)周期でSDAをLowへ引くことによって確認応答すべきです。アドレス指定された従装置が忙しいまたはその他の理由で主装置の要求を扱えない場合、確認応答(ACK)クロック周期でSDA信号線をHighのままにすべきです。主装置はその後に停止条件または新規転送を始めるために再送開始条件を送出できます。従装置アドレスと方向(R/W)ビットから成るアドレス パケットは各々、SLA+RまたはSLA+Wと呼ばれます。

アドレス ビットの最上位ビット(MSB)が最初に送信されます。従装置アドレスは設計者によって自由に割り当てられますが、アドレス0000 000は一斉呼び出し用に予約されています。

一斉呼び出しが起こされると、全従装置は確認応答(ACK)周期でSDA信号線をLowにすることによって応答すべきです。一斉呼び出しは主装置がシステム内のそれぞれの従装置に同じ通信内容を送信したい時に使われます。一斉呼び出しアドレスに続きW(方向が書き込み)ビットがバスに送信されると、一斉呼び出しに応答する設定の全ての従装置は、ACK周期でSDA信号線をLowに引き込みます。そして後続のデータ パケットは一斉呼び出しに確認応答した全従装置によって受信されます。一斉呼び出しアドレスに続くR(方向が読み出し)ビットの送信は、従装置それぞれが異なるデータの送信を始めた場合の衝突の原因となるので意味がないことに注意してください。

1111 xxx形式の全アドレスは将来の目的のために予約されるべきです(**訳補**: I²C規格のアドレス拡張他)。

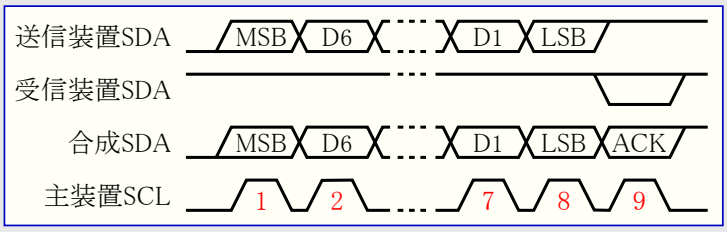
図21-4. アドレス パケット形式



21.3.4. データ パケット形式

TWIバスに送信した全てのデータ パケットは1バイトのデータと1ビットの応答ビットから成る9ビットです。データ転送中、主装置はクロックと開始条件、停止条件を生成し、一方受信装置は受信に応答する責任があります。確認応答(ACK)は受信装置が9番目のSCL周期中にSDA信号線をLowに引き込むことによって示されます。受信装置がSDA信号線をHighのままにするとNACKを示します。受信装置が最終バイトを受信したとき、または何らかの理由でこれ以上のバイトを受信ができないとき、最終バイト後にNACKを送ることによって送信装置へ通知すべきです。データ バイトの最上位(MSB)ビットが最初に送信されます。

図21-5. データ パケット形式

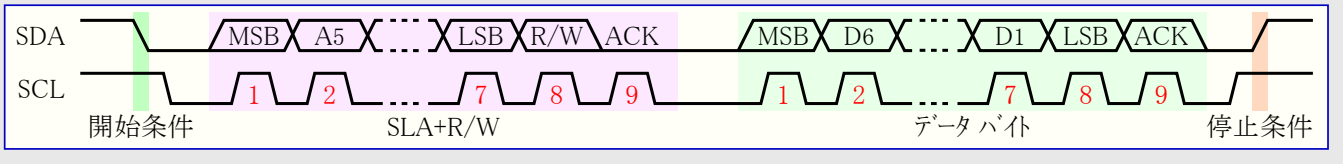


21.3.5. 転送内でのｱﾄﾞﾚｽ ﾊﾟｹｯﾄとﾃﾞｰﾀ ﾊﾟｹｯﾄの組み合わせ

転送は基本的に開始条件、SLA+R/W、1つ以上のﾃﾞｰﾀ ﾊﾟｹｯﾄ、停止条件から成ります。開始条件に続く停止条件から成る空の通信内容は規則違反です。SCL信号線のﾜｲｱｰﾄﾞANDが主装置と従装置間のﾊﾝﾄﾞｼｪｰｸに使えことに注目してください。従装置はSCL信号線をLowに引き込むことによってSCLのLow期間を引き伸ばせます。これは主装置が従装置に対して速すぎるｸﾛｯｸ速度設定、または従装置がﾃﾞｰﾀ送信間の処理に追加時間を必要とする場合に有用です。従装置がSCLのLow期間を延長することは、主装置によって決められるSCLのHigh期間に影響しません。同様に従装置はSCLのﾃﾞｭｰﾃｨ比(Low期間)を延長することによってTWIﾃﾞｰﾀ転送速度を落とせます。

図21-6.は代表的なﾃﾞｰﾀ転送を示します。応用ｿﾌﾄｳｪｱによって実装されたｿﾌﾄｳｪｱ規約に依存して、様々なﾃﾞｰﾀがSLA+R/Wと停止条件間に送信できることに注意してください。

図21-6. 代表的なﾃﾞｰﾀ転送



21.4. 複数主装置ﾊﾞｽ ｼｽﾃﾑの調停と同期

TWI規約は多数主装置のﾊﾞｽ ｼｽﾃﾑを許します。例え2つ以上の主装置が同時に送信を始めても、送信が通常のように続行することを保証するために特別な手段が講じられます。複数主装置のｼｽﾃﾑでは2つの問題が起こります。

- 送信を完了するために1つの主装置だけを許す方法が実現されなければなりません。他の全ての主装置は(自身が行っている従装置)選択手順を失った(失敗した)ことに気付く時に送信を止めるべきです。この選択手順は調停(ｱﾋﾞﾄﾚｰｼｮﾝ)と呼ばれます。競合する主装置は調停(従装置選択)手順を失ったことに気付くと、勝ち残った主装置によってｱﾄﾞﾚｽ指定されるかどうかを調べるため、直ちに従装置動作へ切り替えるべきです。複数の主装置が同時に送信を始めた事実は従装置で検知できるべきではありません。換言すると、ﾊﾞｽに転送されているﾃﾞｰﾀが不正にされてはなりません。
- 違う主装置が異なるSCL周波数を使うかもしれません。同期確定手順で送信が続行するために、全主装置からの直列ｸﾛｯｸを同期化する方法が考案されなければなりません。これは調停手順を容易にします。

ﾊﾞｽ信号線のﾜｲｱｰﾄﾞANDはこれらの問題の両方の解決に使われます。全ての主装置からの直列ｸﾛｯｸはﾜｲｱｰﾄﾞANDされ、最短High期間の主装置の1つからに等しいHigh期間の合成ｸﾛｯｸを生成します。合成ｸﾛｯｸのLow期間は最長Low期間の主装置のLow期間に等しくなります。全ての主装置がSCL信号線を監視する、実際には合成SCL信号線がHighまたはLowになる時に各々SCLのHighとLow経過時間の計時を始めることに注意してください。

調停は全ての主装置がﾃﾞｰﾀ出力後にSDA信号線を継続的に監視することによって実行されます。SDA信号線から読んだ値がその主装置の出力した値と一致しない場合、調停に敗れます。主装置がSDAにHigh値を出力し、同時に他の主装置がLow値を出力する時のみ調停に敗れるかもしれないことに注意してください。敗れた主装置は直ちに従装置動作へ移行し、勝ち残った主装置によってｱﾄﾞﾚｽ指定されるかを検査すべきです。SDA信号線はHighのままにすべきですが、敗れた主装置は現在のﾃﾞｰﾀ若しくはｱﾄﾞﾚｽ ﾊﾟｹｯﾄの最後までｸﾛｯｸ信号を生成することを許されます。調停は唯一の主装置が残るまで継続され、多くのﾋﾞｯﾄを必要とするかもしれません。多くの主装置が同じ従装置をｱﾄﾞﾚｽ指定しようとすると、調停はﾃﾞｰﾀ ﾊﾟｹｯﾄに続くでしょう。

図21-7. 複数主装置間でのSCL同期化

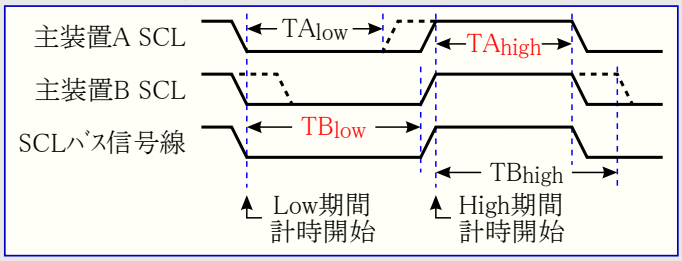
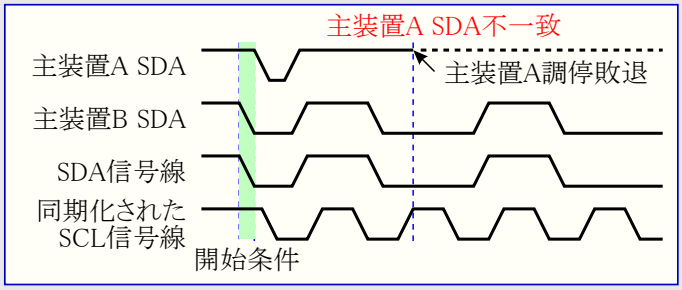


図21-8. 2つの主装置間での調停



調停が次の状態間で許されないことに注意してください。

- 再送開始条件とﾃﾞｰﾀ ﾋﾞｯﾄ間
- 停止条件とﾃﾞｰﾀ ﾋﾞｯﾄ間
- 再送開始条件と停止条件間

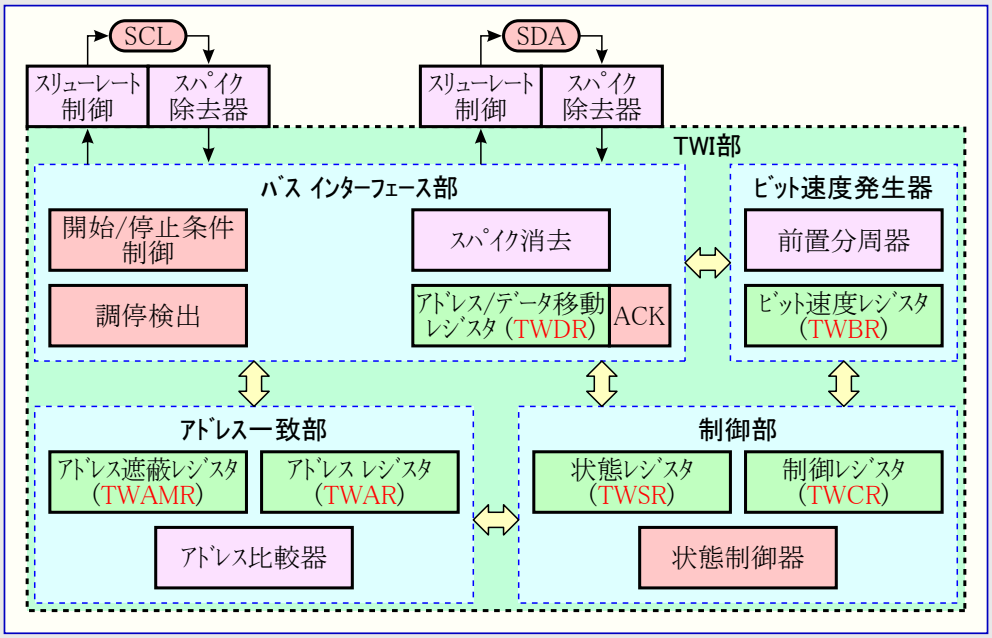
これらの違法な調停状態を決して起こさないように保証するのは使用者ｿﾌﾄｳｪｱの責任です。これは複数主装置ｼｽﾃﾑでの全てのﾃﾞｰﾀ転送は同じ構成、SLA+R/Wとﾃﾞｰﾀ ﾊﾟｹｯﾄを使わなければならないことを意味します。言葉を変えると、全ての送信は同じﾃﾞｰﾀ ﾊﾟｹｯﾄ数を含まなければならず、さもなければ調停の結果は不定にされます。

(訳補) 同じﾃﾞｰﾀ ﾊﾟｹｯﾄ数とは、或る主装置が最後まで調停を継続し、他の主装置がﾊﾟｹｯﾄを残している場合を想定しています。

21.5. TWI部の概要

図21-9.で示されるようにTWI部は様々な部分から成ります。赤文字で示された(訳注:原文は太線で描かれた)全てのﾚｼﾞｽﾀはAVRﾃﾞｰﾀ ﾊﾞｽを通してｱｸｾｽ可能です。

図21-9. 2線直列ｲﾝﾀｰﾌｪｰｽ構成



21.5.1. SCLとSDAﾋﾟﾝ

これらのﾋﾟﾝはAVR TWIをMCUｼｽﾃﾑのその他とｲﾝﾀｰﾌｪｰｽします。出力駆動部はTWI仕様に適合させるためのｽﾘｭｰﾚｰﾄ(上昇/下降)制限器を含みます。入力段は50nsよりも短いｽﾊﾟｲｸを除去するｽﾊﾟｲｸ消去部を含みます。「入出力ﾎﾟｰﾄ」章で説明したようにAVRﾊﾟｯﾄﾞの内部ﾌﾟﾙｱｯﾌﾟはSCLとSDAﾋﾟﾝに対応するﾎﾟｰﾄのﾋﾞｯﾄを設定(1)することによって許可できることに注目してください。内部ﾌﾟﾙｱｯﾌﾟはいくつかのｼｽﾃﾑで外部抵抗の必要をなくせます。

21.5.2. ﾋﾞｯﾄ速度発生器

この部分は主装置動作で動く時のSCL周期を制御します。SCL周期はTWIﾋﾞｯﾄ速度ﾚｼﾞｽﾀ(TWBR)とTWI状態ﾚｼﾞｽﾀ(TWSR)の前置分周器ﾋﾞｯﾄの設定によって制御されます。従装置動作はﾋﾞｯﾄ速度や前置分周器設定と関係ありませんが、従装置でのCPUｸﾛｯｸ周波数はSCL周波数よりも最低16倍高くなければなりません。従装置がSCLのLow期間を延長するかもしれず、これによって平均TWIﾊﾞｽ ｸﾛｯｸ周波数が減少することに注意してください。SCL周波数は次式に従って生成されます。

$$\text{SCL周波数} = \frac{\text{CPUｸﾛｯｸ周波数}}{16+2\times(\text{TWBR})\times\text{前置分周値}}$$

TWBR　　: TWI ﾋﾞｯﾄ速度ﾚｼﾞｽﾀ値
前置分周値 : TWI状態ﾚｼﾞｽﾀ内TWPSで指定(147頁の表21-2.参照)

注: ﾌﾟﾙｱｯﾌﾟ抵抗値はSCL周波数とﾊﾞｽ信号線の容量性負荷に応じて選ばれるべきです。ﾌﾟﾙｱｯﾌﾟ抵抗の値については265頁の表31-2.をご覧ください。

21.5.3. ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ部

この部分はﾃﾞｰﾀとｱﾄﾞﾚｽの移動ﾚｼﾞｽﾀ(TWDR)、開始条件/停止条件制御器、調停検出回路を含みます。TWDRは送信されるべきｱﾄﾞﾚｽまたはﾃﾞｰﾀ ﾊﾞｲﾄ、若しくは受信したｱﾄﾞﾚｽまたはﾃﾞｰﾀ ﾊﾞｲﾄを含みます。8ﾋﾞｯﾄのTWDRに加えてﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ部は送信されるべきまたは受信した(N)ACKﾋﾞｯﾄを含むﾚｼﾞｽﾀも含みます。この(N)ACKﾚｼﾞｽﾀは応用ｿﾌﾄｳｪｱによって直接的にｱｸｾｽできません。けれどもTWI制御ﾚｼﾞｽﾀ(TWCR)を操作することにより、受信時に設定(1)または解除(0)できます。送信装置動作時、受信した(N)ACKﾋﾞｯﾄの値はTWSRの値によって判定できます。

開始条件/停止条件制御器は開始条件、再送開始条件、停止条件の生成と検出に対して責任があります。開始条件/停止条件制御器はAVR MCUが主装置によってｱﾄﾞﾚｽ指定された場合にMCUを起動できる休止形態の1つの時でも、開始条件または停止条件を検出できます。

TWIが主装置として送信を始めると、調停検出ﾊｰﾄﾞｳｪｱは調停が進行中かを決めるために送信の試行を継続的に監視します。TWIが調停に敗れた場合、制御部に通知されます。その後に正しい処置が行われ、適切な状態符号が生成されます。

21.5.4. ｱﾄﾞﾚｽ一致部

ｱﾄﾞﾚｽ一致部は受信したｱﾄﾞﾚｽ ﾊﾞｲﾄがTWI ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)の7ﾋﾞｯﾄ ｱﾄﾞﾚｽと一致するかを検査します。TWARで一斉呼び出し検出許可(TWGCE)ﾋﾞｯﾄが1を書かれると、全ての到着ｱﾄﾞﾚｽ ﾋﾞｯﾄは一斉呼び出しｱﾄﾞﾚｽに対しても比較されます。ｱﾄﾞﾚｽ一致で制御部は通知され、正しい処置を行うことを許します。TWIはTWI制御ﾚｼﾞｽﾀ(TWCR)の設定によって、そのｱﾄﾞﾚｽへの応答をするかもしれないし、しないかもしれません。ｱﾄﾞﾚｽ一致部はAVR MCUが主装置によってｱﾄﾞﾚｽ指定された場合にMCUを起動できる休止形態の1つの時でも、ｱﾄﾞﾚｽを比較できます。TWIがﾊﾟﾜｰﾀﾞｳﾝ動作でのｱﾄﾞﾚｽ一致でCPUを起動中に他の割り込み(例えばINT0)が起こると、TWIは動作を停止し、ｱｲﾄﾞﾙ状態で復帰します。これが何らかの問題の原因なら、ﾊﾟﾜｰﾀﾞｳﾝ動作へ移行する時にTWIｱﾄﾞﾚｽ一致だけが割り込みを許可されることを保証してください。

21.5.5. 制御部

制御部はTWIﾊﾞｽを監視し、TWI制御ﾚｼﾞｽﾀ(TWCR)の設定に従った応答を生成します。応用に注意を要求する事象がTWIﾊﾞｽで起こると、TWI割り込み要求ﾌﾗｸﾞ(TWINT)が有効にされます。次のｸﾛｯｸ周期で、TWI状態ﾚｼﾞｽﾀ(TWSR)は事象を示す状態符号で更新されます。TWI割り込み要求ﾌﾗｸﾞが有効にされる時にだけ、TWSRは適切な状態情報を含みます。他の全てのとき、TWSRは適切な状態情報が利用できないことを示す特別な状態符号を含みます。TWINTﾌﾗｸﾞが設定(1)されている限り、SCL信号線はLowに保たれます。これは続くTWI送信を許す前の(現状)処理完了を応用ｿﾌﾄｳｪｱに許します。

TWI割り込み要求ﾌﾗｸﾞ(TWINT)は次の場合に設定(1)されます。

- 開始条件または再送開始条件送信後
- SLA+R/W送信後
- ｱﾄﾞﾚｽ ﾊﾞｲﾄ送信後
- 調停に敗れた後
- 自身の従装置ｱﾄﾞﾚｽまたは一斉呼び出しによってｱﾄﾞﾚｽ指定された後
- ﾃﾞｰﾀ ﾊﾞｲﾄ受信後
- 従装置として未だｱﾄﾞﾚｽ指定されている間の停止条件または再送開始条件受信後
- 不正な開始条件または停止条件のためﾊﾞｽ異常が起きた時

21.6. TWI用ﾚｼﾞｽﾀ

21.6.1. TWBR – TWI ﾋﾞｯﾄ速度ﾚｼﾞｽﾀ (TWI Bit Rate Register)

ﾋﾞｯﾄ ($B8)	7	6	5	4	3	2	1	0	
	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0	TWBR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7~0 – TWBR7~0 : TWI ﾋﾞｯﾄ速度選択** (TWI Bit Rate Register)

TWBRはﾋﾞｯﾄ速度発生器用の分周値を選びます。ﾋﾞｯﾄ速度発生器は主装置動作でのSCLｸﾛｯｸ周波数を生成する周波数分周器です。ﾋﾞｯﾄ速度の計算については144頁の「ﾋﾞｯﾄ速度発生器」をご覧ください。

21.6.2. TWCR – TWI制御ﾚｼﾞｽﾀ (TWI Control Register)

ﾋﾞｯﾄ ($BC)	7	6	5	4	3	2	1	0	
	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE	TWCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

TWCRはTWI動作の制御に使われます。TWIの許可、ﾊﾞｽ上に開始条件を印加することによる主装置のｱｸｾｽ開始、受信装置の応答生成、停止条件の生成、ﾊﾞｽにﾃﾞｰﾀを送出するためのTWI ﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)への書き込み中のﾊﾞｽの一時停止制御に使われます。TWDRがｱｸｾｽ不能の間にTWDRへ書き込もうとする場合の上書き発生も示します。

• **ﾋﾞｯﾄ7 – TWINT : TWI割り込み要求ﾌﾗｸﾞ** (TWI Interrupt Flag)

このﾋﾞｯﾄはTWIが現在の作業を終了し、応用ｿﾌﾄｳｪｱの応答が予測されるとき、ﾊｰﾄﾞｳｪｱによって設定(1)されます。TWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み許可(TWIE)ﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、MCUはTWI割り込みﾍﾞｸﾀへ飛びます。TWINTﾌﾗｸﾞが設定(1)の間中、SCLのLow期間は引き伸ばされます。TWINTﾌﾗｸﾞは論理1書き込みによってｿﾌﾄｳｪｱで解除(0)されなければなりません。このﾌﾗｸﾞが割り込みﾙｰﾁﾝを実行する時に自動で解除(0)されないことに注意してください。このﾌﾗｸﾞの解除(0)がTWI動作を始めるので、このﾌﾗｸﾞを解除(0)する前にTWIｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)、TWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)、TWI状態ﾚｼﾞｽﾀ(TWSR)への全てのｱｸｾｽが完了していなければならないことにも注意してください。

• **ﾋﾞｯﾄ6 – TWEA : 確認応答(ACK)許可** (TWI Enable Acknowledge Bit)

TWEAﾋﾞｯﾄは確認応答(ACKﾊﾟﾙｽ)の生成を制御します。TWEAﾋﾞｯﾄが1を書かれ、次の条件に合致すると、TWIﾊﾞｽにACKﾊﾟﾙｽが生成されます。

- 装置が自分用の従装置ｱﾄﾞﾚｽを受信した場合。
- TWIｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)の一斉呼び出し検出許可(TWGCE)ﾋﾞｯﾄが設定(1)されている時に一斉呼び出しを受信した場合。
- 主受信装置または従受信装置動作でﾃﾞｰﾀ ﾊﾞｲﾄを受信した場合。

TWEAﾋﾞｯﾄに0を書くことによって一時的かつ仮想的に装置を2線直列ﾊﾞｽから切り離すことができます。ｱﾄﾞﾚｽ認証はその後に再びTWEAﾋﾞｯﾄへ1を書くことによって再開できます。

• **ﾋﾞｯﾄ5 – TWSTA : 開始(START)条件生成許可** (TWI START Condition Bit)

2線直列ﾊﾞｽの主装置になることを欲する時に応用はTWSTAﾋﾞｯﾄに1を書きます。TWIﾊｰﾄﾞｳｪｱはﾊﾞｽが利用可能かを検査し、開放ならばﾊﾞｽに開始条件を生成します。しかし、ﾊﾞｽが未開放の場合、TWIは停止条件が検出されるまで待ち、その後にﾊﾞｽ主権を要求する新規開始条件を生成します。TWSTAは開始条件が送出されてしまった時にｿﾌﾄｳｪｱで解除(0)されなければなりません。

• **ﾋﾞｯﾄ4 – TWSTO : 停止(STOP)条件生成許可** (TWI STOP Condition Bit)

主装置動作でTWSTOﾋﾞｯﾄに1を書くことが2線直列ﾊﾞｽに停止条件を生成します。停止条件がﾊﾞｽで実行されると、TWSTOﾋﾞｯﾄは自動的に解除(0)されます。従装置動作でのTWSTOﾋﾞｯﾄの設定(1)は異常状態からの回復に使えます。これは停止条件を生成しませんが、TWIは明確に指定されていない従装置動作に戻り、SCL、SDA信号線をHi-Z状態に開放します。

• **ﾋﾞｯﾄ3 – TWWC : TWI上書き発生ﾌﾗｸﾞ** (TWI Write Collision Flag)

TWI割り込み要求ﾌﾗｸﾞ(TWINT)が0の時にTWI ﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)への書き込みを試みると、このTWWCﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞはTWINTが1の時のTWDR書き込みによって解除(0)されます。

• **ﾋﾞｯﾄ2 – TWEN : TWI動作許可** (TWI Enable Bit)

TWENﾋﾞｯﾄはTWI動作を許可し、TWIｲﾝﾀｰﾌｪｰｽを活性(有効)にします。TWENが1を書かれると、TWIはSCL、SDAﾋﾟﾝに接続したI/Oﾋﾟﾝを制御できるようになり、ｽﾊﾟｲｸ濾波器とｽﾘｭｰﾚｰﾄ制限器を許可します。このﾋﾞｯﾄが0を書かれると、TWIがOFFにされ、どんな進行中の動作にも関係なく、全てのTWI送信が終了されます。

• **ﾋﾞｯﾄ1 – Res : 予約** (Reserved Bit)

このﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ0 – TWIE : TWI割り込み許可** (TWI Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、TWI割り込み要求ﾌﾗｸﾞ(TWINT)が1である限り、TWI割り込み要求が活性に(発生)されます。

21.6.3. TWSR – TWI状態ﾚｼﾞｽﾀ (TWI Status Register)

ﾋﾞｯﾄ ($B9)	7	6	5	4	3	2	1	0	
	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0	TWSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	1	1	1	1	1	0	0	0	

• **ﾋﾞｯﾄ7~3 – TWS7~3 : TWI状態** (TWI Status)

これら5ﾋﾞｯﾄはTWI論理回路と2線直列ﾊﾞｽの状態を反映します。各種状態符号は本章の後ろで記述されます。TWSRから読む値が5ﾋﾞｯﾄの状態符号と2ﾋﾞｯﾄの前置分周値の両方を含むことに注意してください。応用設計者は状態ﾋﾞｯﾄを検査する時に前置分周器ﾋﾞｯﾄを0で隠すべきです。これは前置分周器設定に関係なく状態検査を行います。この手法は特記事項を除いてこのﾃﾞｰﾀｼｰﾄ内で使われます。

• **ﾋﾞｯﾄ2 – Res : 予約** (Reserved Bit)

このﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ1,0 – TWPS1,0 : TWI前置分周器選択** (TWI Prescaler Bits)

これらのﾋﾞｯﾄは読み書きでき、ﾋﾞｯﾄ速度の前置分周器を制御します。

ﾋﾞｯﾄ速度を計算するには144頁の「**ﾋﾞｯﾄ速度発生器**」をご覧ください。TWPS1,0の値はこの式で使われます。

表21-2. TWIﾋﾞｯﾄ速度前置分周器選択

TWPS1	0	0	1	1
TWPS0	0	1	0	1
分周値	1	4	16	64

21.6.4. TWDR – TWIﾃﾞｰﾀ ﾚｼﾞｽﾀ (TWI Data Register)

ﾋﾞｯﾄ ($BB)	7	6	5	4	3	2	1	0	
	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0	TWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

送信動作でのTWDRは送信されるべき次ﾊﾞｲﾄを含みます。受信動作でのTWDRは最後に受信したﾊﾞｲﾄを含みます。TWDRはTWIがﾊﾞｲﾄを移動する手順でない間に書き込み可能です。これはTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み要求ﾌﾗｸﾞ(TWINT)がﾊｰﾄﾞｳｪｱによって設定(1)されると起きます。最初のTWI割り込みが起こる前にﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)は使用者によって初期化できないことに注意してください。TWDRのﾃﾞｰﾀはTWINTが安定して設定(1)されている限り存続します。ﾃﾞｰﾀが移動出力される間、ﾊﾞｽのﾃﾞｰﾀが同時に移動入力されます。TWI割り込みによる休止形態からの起動後を除いて、TWDRは常にﾊﾞｽに現れる最後のﾊﾞｲﾄを含みます。この例外の場合のTWDRの内容は不定です。ﾊﾞｽ調停に敗れた場合の主装置から従装置への移行でもﾃﾞｰﾀは失われません。確認応答(ACK)ﾋﾞｯﾄの扱いはTWI論理回路によって自動的に制御され、CPUはACKﾋﾞｯﾄを直接的にｱｸｾｽできません。

• **ﾋﾞｯﾄ7~0 – TWD7~0 : TWIﾃﾞｰﾀ** (TWI Data)

これら8ﾋﾞｯﾄは送信されるべき次のﾃﾞｰﾀ ﾊﾞｲﾄ、または2線直列ﾊﾞｽで最後に受信したﾃﾞｰﾀ ﾊﾞｲﾄを構成します。

21.6.5. TWAR – TWI(従装置)ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (TWI (Slave) Address Register)

ﾋﾞｯﾄ ($BA)	7	6	5	4	3	2	1	0	
	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	TWAR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

TWARは従装置の送受信装置として設定した時にTWIが応答する7ﾋﾞｯﾄ従装置ｱﾄﾞﾚｽを(TWAR上位7ﾋﾞｯﾄに)設定されるべきで、主装置動作では必要とされません。複数主装置のｼｽﾃﾑでは、他の主装置によって従装置としてｱﾄﾞﾚｽ指定され得る主装置に於いて、TWARは設定されなければなりません。

TWARの最下位ﾋﾞｯﾄ(TWGCE)は一斉呼び出しｱﾄﾞﾚｽ($00)認証の許可に使われます。これらは受信した直列ｱﾄﾞﾚｽで従装置ｱﾄﾞﾚｽ(と許可ならば一斉呼び出しｱﾄﾞﾚｽ)を捜す関連ｱﾄﾞﾚｽ比較器です。一致が見つかると割り込み要求が生成されます。

• **ﾋﾞｯﾄ7~1 – TWA6~0 : TWI従装置ｱﾄﾞﾚｽ** (TWI (Slave) Address)

これら7ﾋﾞｯﾄはTWI部の従装置ｱﾄﾞﾚｽを構成します。

• **ﾋﾞｯﾄ0 – TWGCE : 一斉呼び出し検出許可** (TWI General Call Recognition Enable Bit)

設定(1)なら、このﾋﾞｯﾄは2線直列ﾊﾞｽを伝って与えられる一斉呼び出しの認証(検出)を許可します。

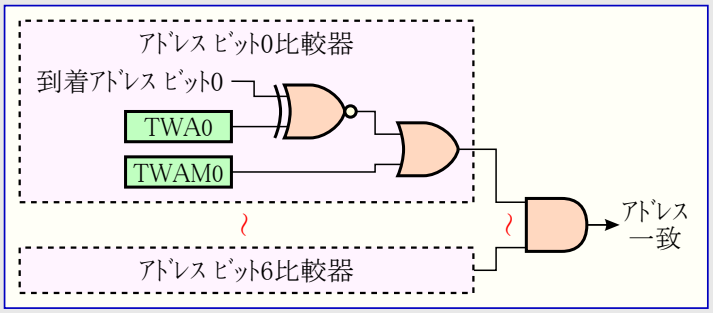
21.6.6. TWAMR – TWI(従装置)ｱﾄﾞﾚｽ遮蔽ﾚｼﾞｽﾀ (TWI (Slave) Address Mask Register)

ﾋﾞｯﾄ ($BD)	7	6	5	4	3	2	1	0	
	TWAM6	TWAM5	TWAM4	TWAM3	TWAM2	TWAM1	TWAM0	–	TWAMR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	1	1	1	1	1	1	1	0	

• **ﾋﾞｯﾄ7～1 – TWAM6~0 : TWI従装置ｱﾄﾞﾚｽ遮蔽** (TWI (Slave) Address Mask)

TWAMRは7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽ遮蔽値を格納できます。TWAMR内の各ﾋﾞｯﾄはTWI(従装置)ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)内の対応するｱﾄﾞﾚｽ ﾋﾞｯﾄを遮蔽(禁止)します。遮蔽ﾋﾞｯﾄが1に設定されると、その後のｱﾄﾞﾚｽ一致論理回路は到着ｱﾄﾞﾚｽ ﾋﾞｯﾄとTWAR内の対応ﾋﾞｯﾄ間の比較を無視します。図21-10.はｱﾄﾞﾚｽ一致論理回路を詳細に示します。

図21-10. TWIｱﾄﾞﾚｽ一致論理 構成図



• **ﾋﾞｯﾄ0 – Res : 予約** (Reserved Bit)

このﾋﾞｯﾄは使われず、常に0として読みます。

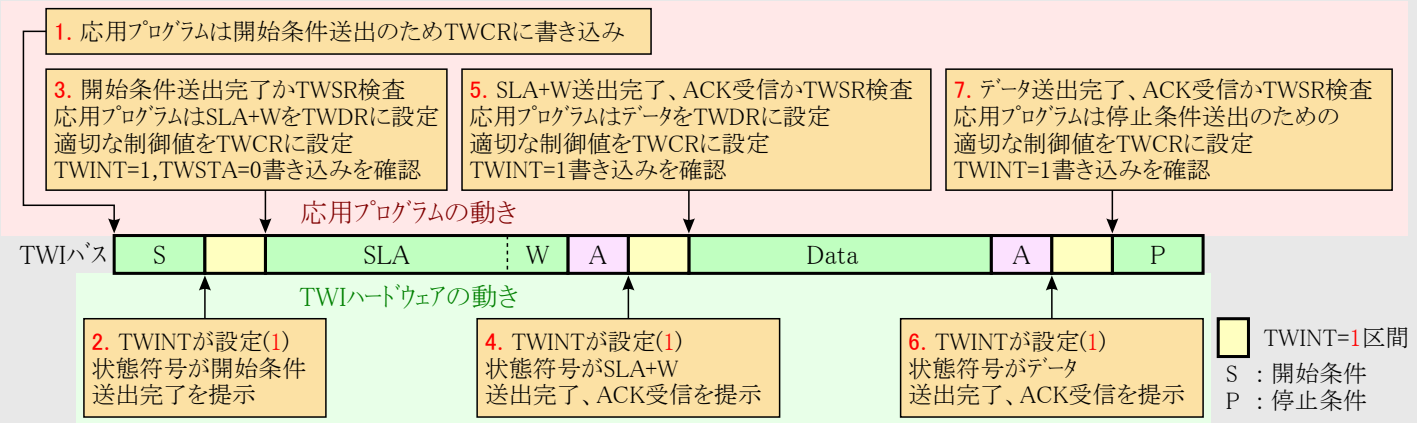
21.7. TWIの使用法

AVR TWIはﾊﾞｲﾄ志向で割り込みが基本です。割り込みはﾊﾞｲﾄの受信や開始条件の送出のような全てのﾊﾞｽの事象後に起こります。TWIは割り込みが基本のため、応用ｿﾌﾄｳｪｱはTWIﾊﾞｲﾄ転送中に他の操作を続行するために開放されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと共にTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み許可(TWIE)ﾋﾞｯﾄは、TWCRのTWI割り込み要求ﾌﾗｸﾞ(TWINT)の設定(1)が割り込み要求を発生すべきかどうか決めることを応用(ｿﾌﾄｳｪｱ)に許します。TWIEﾋﾞｯﾄが解除(0)されると、応用(ｿﾌﾄｳｪｱ)はTWIﾊﾞｽの動きを検知するためにTWINTﾌﾗｸﾞをﾎﾟｰﾘﾝｸﾞしなければなりません。

TWINTﾌﾗｸﾞが設定(1)されると、TWIは動作を終え、応用(ｿﾌﾄｳｪｱ)の応答を待ちます。この場合、TWI状態ﾚｼﾞｽﾀ(TWSR)はTWIﾊﾞｽの現在の状態を示す値を含みます。そして応用ｿﾌﾄｳｪｱはTWCRとTWDRの操作により、TWIが次のTWIﾊﾞｽ周期で何を行うべきかを決定できます。

図21-11.は応用(ｿﾌﾄｳｪｱ)がTWIﾊｰﾄﾞｳｪｱにどうｲﾝﾀｰﾌｪｰｽできるかの簡単な例です。この例では主装置が単一ﾃﾞｰﾀ ﾊﾞｲﾄを従装置に送信しようとします。この内容はかなり大雑把ですので、より詳細な説明が本項の後に続きます。希望した動きを実現する簡単なｺｰﾄﾞ例も示されます。

図21-11. 代表的な送信での応用ﾌﾟﾛｸﾞﾗﾑとTWIのｲﾝﾀｰﾌｪｰｽ



1. TWI送信の最初の段階は開始条件を送出することです。これはTWIﾊｰﾄﾞｳｪｱに開始条件送出を命じる特別な値をTWCR内に書くことによって行います。どんな値を書くかは後で記述されます。けれども、書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みは、このﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちに開始条件の送出を始めます。
2. 開始条件が送出されてしまうと、TWCRでTWINTﾌﾗｸﾞが設定(1)され、TWSRは開始条件が正常に送出されてしまったことを示す状態符号に更新されます。
3. 応用ｿﾌﾄｳｪｱは開始条件が正常に送信されたのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRがその他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)はTWDRにSLA+Wを設定しなければなりません。TWDRがｱﾄﾞﾚｽとﾃﾞｰﾀの両方に使われることを思い出してください。TWDRが希望したSLA+Wに設定されてしまった後、TWDRにあるSLA+Wの送信をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちにｱﾄﾞﾚｽ ﾊﾟｹｯﾄの送信を始めます。
4. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄが送信されてしまうと、TWCRでTWINTﾌﾗｸﾞが設定(1)され、TWSRはｱﾄﾞﾚｽ ﾊﾟｹｯﾄが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がﾊﾟｹｯﾄに応答したかどうかも反映します。
5. 応用ｿﾌﾄｳｪｱはｱﾄﾞﾚｽ ﾊﾟｹｯﾄが正常に送信され、期待されたACKﾋﾞｯﾄ値であるのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)はTWDRにﾃﾞｰﾀを設定しなければなりません。その後、TWDRにあるﾃﾞｰﾀ ﾊﾟｹｯﾄの送信をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちにﾃﾞｰﾀ ﾊﾟｹｯﾄの送信を始めます。
6. ﾃﾞｰﾀ ﾊﾟｹｯﾄが送信されてしまうと、TWCR内のTWINTﾌﾗｸﾞが設定(1)され、TWSRはﾃﾞｰﾀ ﾊﾟｹｯﾄが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がﾊﾟｹｯﾄに応答したかどうかも反映します。
7. 応用ｿﾌﾄｳｪｱはﾃﾞｰﾀ ﾊﾟｹｯﾄが正常に送信され、期待されたACKﾋﾞｯﾄの値であるのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)は停止条件の送出をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値をTWCRに書かなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちに停止条件の送出を始めます。停止条件が送出されてしまった後にTWINTが設定(1)されないことに注意してください。

この例は簡単とはいえ、全てのTWI送信に関係した原理を示しています。これらは次のように要約できます。

- TWIが動作を終了して応用(ソフトウェア)の反応を予想する時にTWINTフラグが設定(1)されます。SCL信号線はTWINTが解除(0)されるまでLowに引き込まれます。
- TWINTフラグが設定(1)されると、使用者は次のTWIバス周期に関連した値で、(必要な)全てのTWIレジスタを更新しなければなりません。例で示されるようにTWDRは次のTWIバス周期で送信されるべき値を設定されなければなりません。
- (必要な)全てのTWIレジスタを更新し、その他保留中の応用ソフトウェアの処理が完了されてしまった後にTWCRが書かれます。TWCR書き込み時、TWINTビットが設定(1)されるべきです。TWINTへの1書き込みはこのフラグを解除(0)します。TWCR設定によってどの動作が指定されても、TWIはその(TWINT=0)後に実行を始めます。

次にアセンブリ言語とC言語の実装例が与えられます。以下のコードは例えばインクルードファイルの使用により、様々な定義が作成されてしまっている前提であることに注意してください。

	アセンブリ言語プログラム例	C言語プログラム例	注釈
1.	LDI R16, (1<<TWINT)|(1<<TWSTA) |(1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)|(1<<TWSTA) |(1<<TWEN);	;開始条件送出
2.	WAIT1: IN R16, TWCR SBRS R16, TWINT RJMP WAIT1	while (!(TWCR & (1<<TWINT)));	;TWINT=1まで待機 ;(開始条件送出完了待機)
3.	IN R16, TWSR ANDI R16, $F8 CPI R16, START BRNE ERROR	if ((TWSR & 0xF8) != START) ERROR();	;TWI状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;STARTと異なる状態符号で ;異常処理へ

	LDI R16, SLA_W
	OUT TWDR, R16
	LDI R16, (1<<TWINT)|(1<<TWEN)
	OUT TWCR, R16
		TWDR = SLA_W;
		
		TWCR = (1<<TWINT)|(1<<TWEN);
			;TWDRにSLA+W設定
			;アドレス送信開始のため
			;TWCRのTWINTを解除(0)

4.	WAIT2: IN R16, TWCR SBRS R16, TWINT RJMP WAIT2	while (!(TWCR & (1<<TWINT)));	;TWINT=1まで待機 ;(SLA+W送出完了と ;ACK/NACK受信完了待機)
5.	IN R16, TWSR ANDI R16, $F8 CPI R16, MT_SLA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_SLA_ACK) ERROR();	;TWI状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;MT_SLA_ACKと違う状態符号で ;異常処理へ

	LDI R16, DATA
	OUT TWDR, R16
	LDI R16, (1<<TWINT)|(1<<TWEN)
	OUT TWCR, R16
		TWDR = DATA;
		
		TWCR = (1<<TWINT)|(1<<TWEN);
			;TWDRにデータ設定
			;データ送信開始のため
			;TWCRのTWINTを解除(0)

6.	WAIT3: IN R16, TWCR SBRS R16, TWINT RJMP WAIT3	while (!(TWCR & (1<<TWINT)));	;TWINT=1まで待機 ;(データ送出完了と ;ACK/NACK受信完了待機)
7.	IN R16, TWSR ANDI R16, $F8 CPI R16, MT_DATA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_DATA_ACK) ERROR();	;TWI状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;MT_DATA_ACKと違う状態符号で ;異常処理へ
	LDI R16, (1<<TWINT)|(1<<TWSTO) |(1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)|(1<<TWSTO) |(1<<TWEN);	;停止条件送出

注: 5頁の「コード例について」をご覧ください。

21.8. 転送種別

TWIは4つの主な動作種別の1つで動けます。これらは送信主装置(MT)、受信主装置(MR)、送信従装置(ST)、受信従装置(SR)と名付けられます。これら種別の多くは同じ応用に使えます。例えば、TWI方式のEEPROM内にﾃﾞｰﾀを書くのにTWIはMT動作を、EEPROMからﾃﾞｰﾀを読み戻すのにMR動作が使えます。ｼｽﾃﾑ内に他の主装置が存在する場合、それらのいくつかがTWIにﾃﾞｰﾀを送信するかもしれず、するとSR動作が使われるでしょう。どの動作種別が適正かを決めるのは応用ｿﾌﾄｳｪｱです。

次項はこれら動作種別の各々を記述します。起こり得る状態符号は各動作種別のﾃﾞｰﾀ伝送詳細図に沿って示されます。これらの図は次の略号を含みます。

S	開始(START)条件
Rs	再送開始(REPEATED START)条件
R	読み出し指定ﾋﾞｯﾄ (SDA=High)
W	書き込み指定ﾋﾞｯﾄ (SDA=Low)
A	確認応答(ACK)ﾋﾞｯﾄ (SDA=Low)
$\overline{A}$	非確認応答(NACK)ﾋﾞｯﾄ (SDA=High)
Data	8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｲﾄ
P	停止(STOP)条件
SLA	従装置ｱﾄﾞﾚｽ

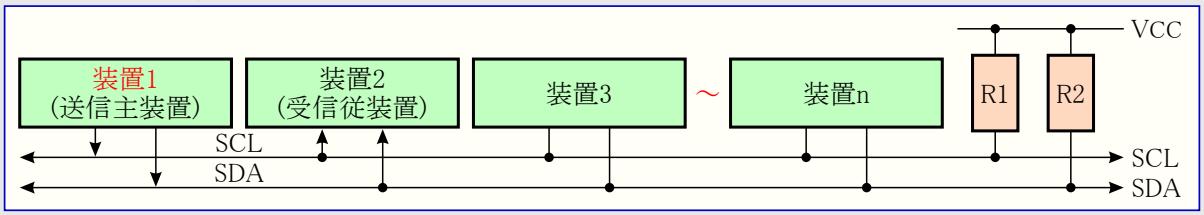
図21-13.～19.内の楕円(**訳注**:原文は円)はTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み要求ﾌﾗｸﾞ(TWINT)がｾｴｯﾄ定(1)されたことを示すために使われます。この楕円内の番号は前置分周選択ﾋﾞｯﾄが0で遮蔽されたTWI状態ﾚｼﾞｽﾀ(TWSR)に保持した状態符号を表します。これら位置での動きはTWI転送の継続または完了が応用(ｿﾌﾄｳｪｱ)によって行われなければなりません。TWI転送はｿﾌﾄｳｪｱによってTWINTﾌﾗｸﾞが解除(0)されるまで一時停止されます。

TWI割り込み要求ﾌﾗｸﾞ(TWINT)が設定(1)される時のTWI状態ﾚｼﾞｽﾀ(TWSR)の状態符号は適切なｿﾌﾄｳｪｱ動作を決めるのに使われます。各状態符号に対する必要なｿﾌﾄｳｪｱ動作や後続の直列転送の詳細は表21-3.～6.で与えられます。これらの表に於いて前置分周選択ﾋﾞｯﾄが0で遮蔽されていることに注意してください。

21.8.1. 送信主装置動作

送信主装置動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが受信従装置へ送信されます(図21-12.参照)。主装置動作へ移行するには開始条件が送出されなければなりません。それに続くｱﾄﾞﾚｽ ﾊﾟｹｯﾄの形式が送信主装置または受信主装置のどちらへ移行すべきかを決めます。SLA+Wが送信されると送信主装置(MT)へ移行し、SLA+Rが送信されると受信主装置(MR)へ移行します。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図21-12. 送信主装置動作でのﾃﾞｰﾀ転送



開始条件はTWCRに次の値を書くことによって送出されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

TWENは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために設定(1)されなければなりません。TWSTAは開始条件を送出するために1を書かれねばならず、TWINTはTWINTﾌﾗｸﾞを解除(0)するために1を書かれなければなりません。そしてTWIは2線直列ﾊﾞｽを検査し、ﾊﾞｽが開放になると直ぐに開始条件を生成します。開始条件が送出されてしまった後、TWINTﾌﾗｸﾞがﾊｰﾄﾞｳｪｱによって設定(1)され、TWSRの状態符号が$08(表21-3.参照)になります。送信主装置へ移行するにはSLA+Wが送信されなければなりません。これはTWDRにSLA+Wを書くことによって行います。その後、転送を継続するためにTWINTﾋﾞｯﾄは(1の書き込みによって)解除(0)されるべきです。これはTWCRに次の値を書くことによって成し遂げられます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	0	X	1	0	X

SLA+Wが送信されて応答ﾋﾞｯﾄが受信されてしまうと、TWINTが再び設定(1)され、TWSRの状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は$18,$20,$38です。これら状態符号の各々に対する適切な動作は表21-3.で詳述されます。

SLA+Wが正常に送信されてしまうと、ﾃﾞｰﾀ ﾊﾟｹｯﾄが送信されるべきです。これはTWDRにﾃﾞｰﾀ ﾊﾞｲﾄを書くことによって行われます。TWDRはTWINTが1の時にだけ書かれなければなりません。さもなければ、そのｱｸｾｽは破棄され、TWCRで上書き発生(TWWC)ﾌﾗｸﾞが設定(1)されます。TWDR更新後、転送を継続するためにTWINTﾋﾞｯﾄは(1の書き込みによって)解除(0)されるべきです。これはTWCRに次の値を書くことによって成し遂げられます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	0	X	1	0	X

最後のﾊﾞｲﾄが送られてしまうまでこの手順が繰り返され、この転送は停止条件または再送開始条件を生成することによって終了されます。停止条件はTWCRに次の値を書くことによって生成されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	1	X	1	0	X

再送開始条件はTWCRに次の値を書くことによって生成されます。

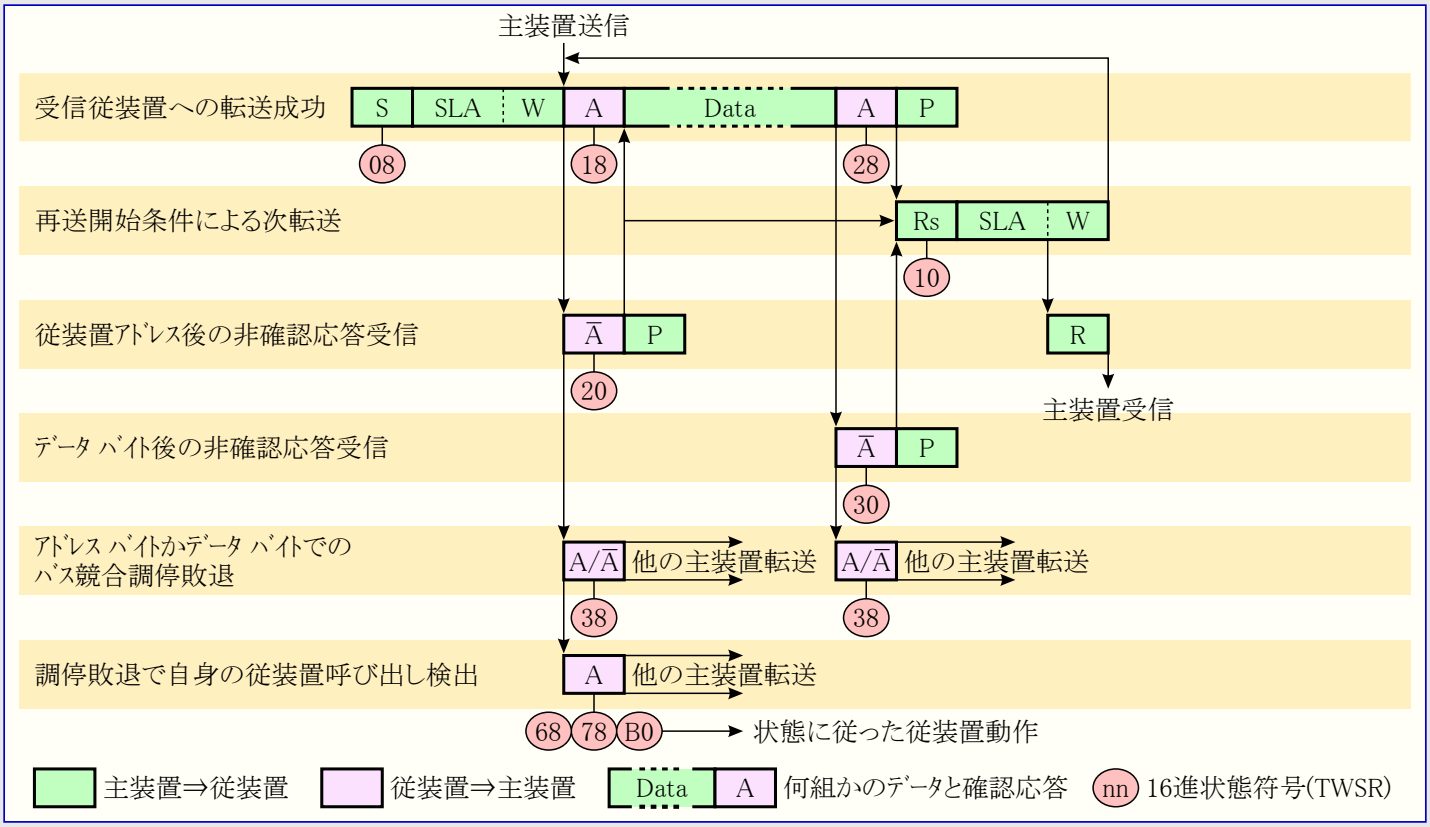
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

再送開始条件(状態符号$10)後、2線直列ｲﾝﾀｰﾌｪｰｽは停止条件を送出せずに再び同じ従装置または新しい従装置にｱｸｾｽできます。再送開始条件は主装置がﾊﾞｽの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします(**訳注**:原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表21-3. 送信主装置動作の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの対応					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$08	開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
$10	再送開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
		SLA+R設定	0	0	1	X	SLA+R送信、受信主装置動作へ移行
$18	SLA+W送信 ACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$20	SLA+W送信 NACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$28	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 ACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$30	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 NACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$38	SLA+W, ﾃﾞｰﾀ ﾊﾞｲﾄでﾊﾞｽ競合調停敗退	なし	0	0	1	X	ﾊﾞｽ開放、未指定従装置動作へ移行
			1	0	1	X	ﾊﾞｽ開放時に開始条件送信

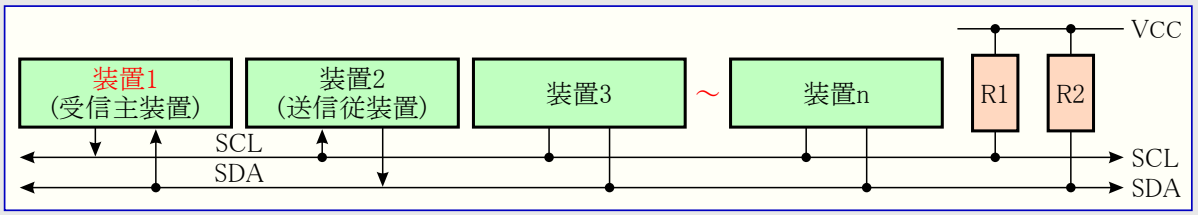
図21-13. 送信主装置動作の形式と状態



21.8.2. 受信主装置動作

受信主装置動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが送信従装置から受信されます(**図21-14.**参照)。主装置動作へ移行するには開始条件が送出されなければなりません。それに続くｱﾄﾞﾚｽ ﾊﾟｹｯﾄの形式が送信主装置または受信主装置のどちらへ移行すべきかを決めます。SLA+Wが送信されると送信主装置(MT)へ移行し、SLA+Rが送信されると受信主装置(MR)へ移行します。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図21-14. 受信主装置動作でのﾃﾞｰﾀ転送



開始条件はTWCRに次の値を書くことによって送出されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

TWENは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために設定(1)されなければなりません。TWSTAは開始条件を送出するために1を書かれねばならず、TWINTはTWINTﾌﾗｸﾞを解除(0)するために1を書かれなければなりません。そしてTWIは2線直列ﾊﾞｽを検査し、ﾊﾞｽが開放になると直ぐに開始条件を生成します。開始条件が送出されてしまった後、TWINTﾌﾗｸﾞがﾊｰﾄﾞｳｪｱによって設定(1)され、TWSRの状態符号が$08(**表21-4.**参照)になります。受信主装置へ移行するにはSLA+Rが送信されなければなりません。これはTWDRにSLA+Rを書くことによって行います。その後、転送を継続するためにTWINTﾋﾞｯﾄは(1の書き込みによって)解除(0)されるべきです。これはTWCRに次の値を書くことによって成し遂げられます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	0	X	1	0	X

SLA+Rが送信されて応答ﾋﾞｯﾄが受信されてしまうと、TWINTが再び設定(1)され、TWSRの状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は$38,$40,$48です。これら状態符号の各々に対する適切な動作は**表21-4.**で詳述されます。

ﾊｰﾄﾞｳｪｱによってTWINTﾌﾗｸﾞが設定(1)されると、受信したﾃﾞｰﾀがTWDRから読めます。この手順は最後のﾊﾞｲﾄが受信されてしまうまで繰り返されます。最後のﾊﾞｲﾄが受信されてしまった後、受信主装置は最後に受信したﾃﾞｰﾀ ﾊﾞｲﾄ後のNACK送信によって送信従装置へ通知すべきです。この転送は停止条件または再送開始条件を生成することによって終了されます。停止条件はTWCRに次の値を書くことによって生成されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	1	X	1	0	X

再送開始条件はTWCRに次の値を書くことによって生成されます。

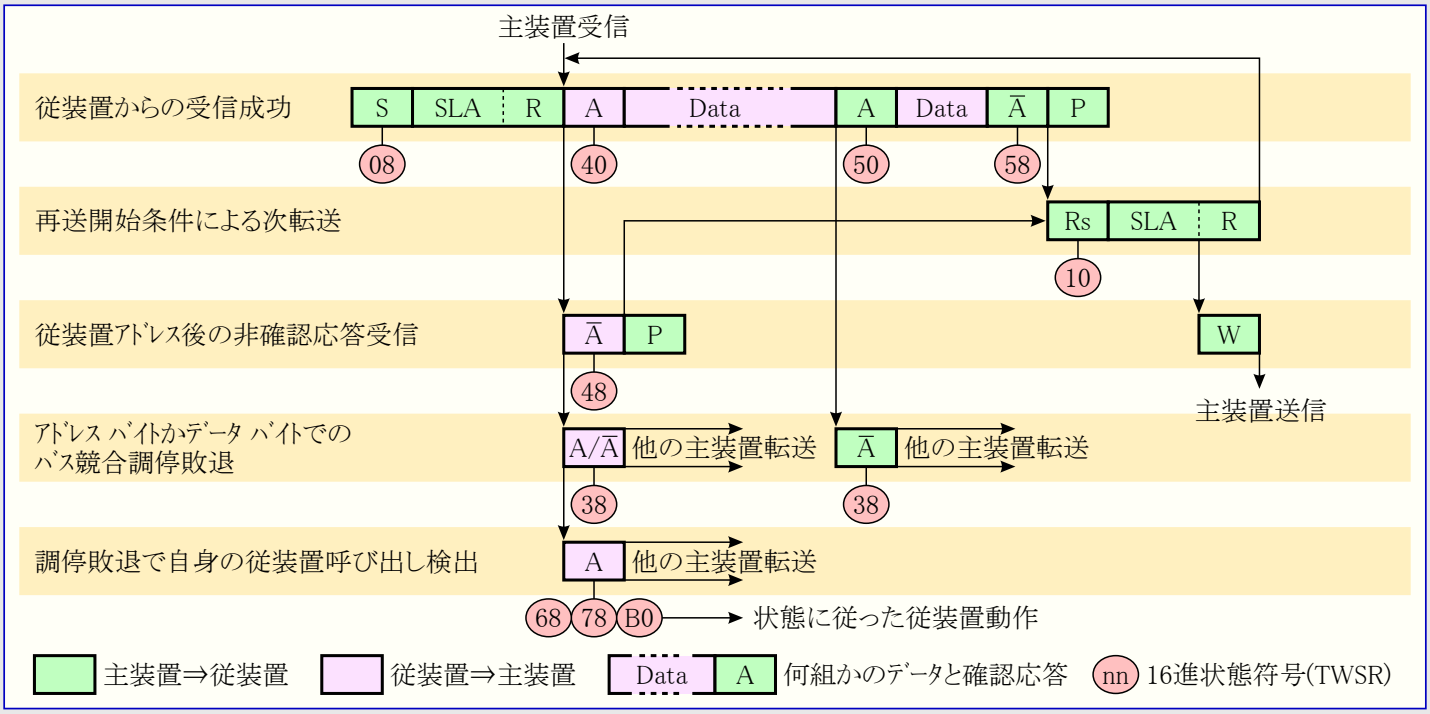
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

再送開始条件(状態符号$10)後、2線直列ｲﾝﾀｰﾌｪｰｽは停止条件を送出せずに再び同じ従装置または新しい従装置にｱｸｾｽできます。再送開始条件は主装置がﾊﾞｽの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします(**訳注**:原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表21-4. 受信主装置動作の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの対応					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$08	開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
$10	再送開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
		SLA+W設定	0	0	1	X	SLA+W送信、送信主装置動作へ移行
$38	SLA+Rで調停敗退またはNACK受信	なし	0	0	1	X	ﾊﾞｽ開放、未指定従装置動作へ移行
			1	0	1	X	ﾊﾞｽ開放時に開始条件送信
$40	SLA+R送信 ACK受信	なし	0	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			0	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$48	SLA+R送信 NACK受信	なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$50	ﾃﾞｰﾀ ﾊﾞｲﾄ受信 ACK応答	ﾃﾞｰﾀ取得	0	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			0	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$58	ﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0

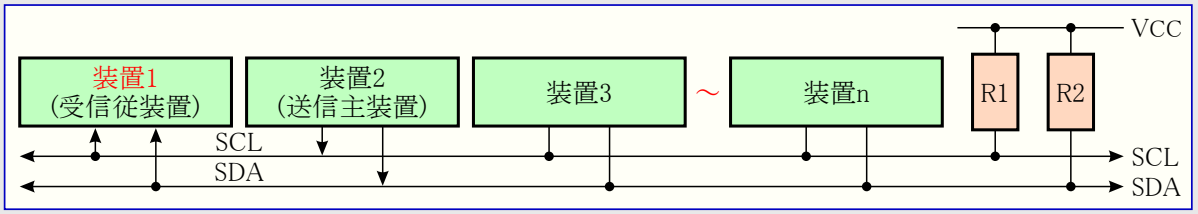
図21-15. 受信主装置動作の形式と状態



21.8.3. 受信従装置動作

受信従装置動作では何バイトかのデータが送信主装置から受信されます(**図21-16.**参照)。本項で言及する全ての状態符号は前置分周選択ビットが0か、または0で遮蔽されることが前提です。

図21-16. 受信従装置動作でのデータ転送



受信従装置動作を始めるにはTWARとTWCRが次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身の従装置アドレス							1/0

上位7ビットは主装置によってアドレス指定される時に2線直列インターフェースが応答するアドレスです。最下位(TWGCE)ビットが設定(1)されるなら、TWIは一斉呼び出し($00)に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	0	1	0	0	0	1	0	X

TWENは2線直列インターフェース(TWI)を許可するために1を書かれなければなりません。TWEAは装置自身の従装置アドレスまたは一斉呼び出しアドレスの確認応答(ACK)を許可するために1を書かれなければなりません。TWSTAとTWSTOは0を書かれなければなりません。

TWARとTWCRが初期化されてしまうと、TWIは自身の従装置アドレス(または許可なら、一斉呼び出しアドレス)とそれに続くデータ方向ビットによってアドレス指定されるまで待機します。方向ビットが0(W)ならばTWIは受信従装置で動作し、さもなく(1(R)なら)ば送信従装置へ移行されます。自身の従装置アドレスとWビットが受信されてしまった後にTWINTフラグが設定(1)され、TWSRから有効な状態符号が読めます。この状態符号は適切なソフトウェア動作を決めるのに使われます。各状態符号に対して行うべき適切な動作は**表21-5.**で詳述されます。受信従装置動作はTWIが主装置動作の間で調停に敗れた場合にも移行されるかもしれません。(状態符号$68,$78参照)

転送中にTWEAビットがリセット(0)されると、TWIは次に受信したデータ バイト後のSDAに非確認応答(NACK)(SDA=High)を返します。これは従装置がこれ以上受信できないことを示すのに使えます。TWEAが0の間中、TWIは自身の従装置アドレスに応答しませんが、2線直列バスは未だ監視され、アドレス認証はTWEAの設定(1)によって何時でも再開できます。これはTWEAビットがTWIを2線直列バスから一時的に隔離するのに使えることを意味します。

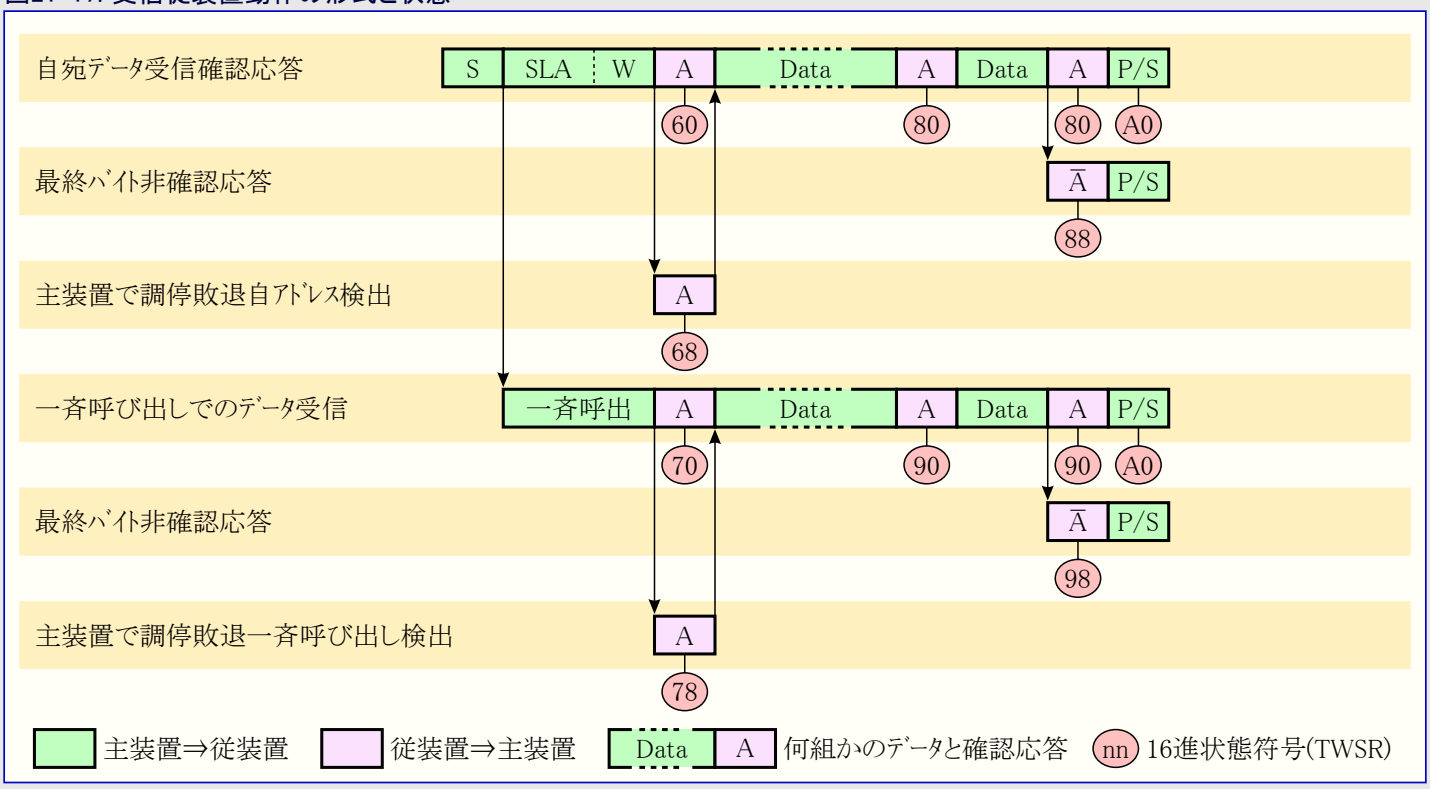
アイドル動作を除く休止形態ではTWIへのクロック系がOFFにされます。TWEAビットが設定(1)されていると、このインターフェースはクロック元として2線直列バス クロック(SCL)を使うことにより、自身の従装置アドレスと一斉呼び出しに未だ確認応答できます。その後デバイスが休止形態から起動し、TWIは起動中からTWINTフラグが(1書き込みによって)解除(0)されるまでSCLクロックをLowに保ちます。その後のデータ受信はAVRクロックが通常通り走行することで通常通りに行われます。AVRが長い起動時間に設定されていると、SCL信号線が長時間Lowに保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

これらの(アイドル動作を除く)休止形態から起動すると、2線直列インターフェース データ レジスタ(TWDR)がバスで渡す最後のバイトを反映しないことに注意してください。

表21-5. 受信従装置動作の状態符号（注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提）

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$60	自宛SLA+W受信 ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$68	主装置のSLA+R/Wで調停敗退/自宛SLA+W受信/ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$70	一斉呼び出し受信 ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$78	主装置のSLA+R/Wで調停敗退/一斉呼び出し受信/ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$80	自宛ﾃﾞｰﾀ ﾊﾞｲﾄ受信 ACK応答	ﾃﾞｰﾀ取得	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$88	自宛ﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$90	一斉呼び出しのﾃﾞｰﾀ ﾊﾞｲﾄ受信/ACK応答	ﾃﾞｰﾀ取得	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$98	一斉呼び出しのﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$A0	自指定中の停止条件または再送開始条件検出	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信

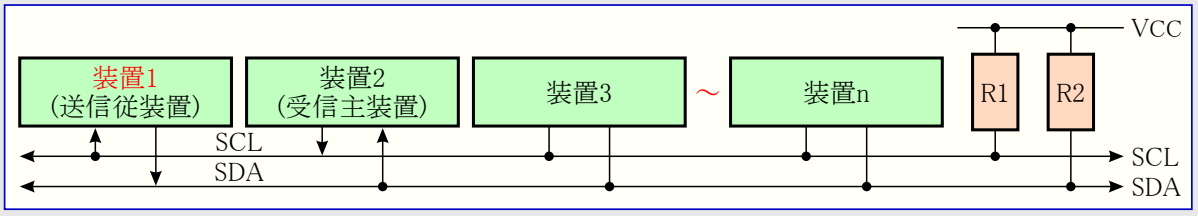
図21-17. 受信従装置動作の形式と状態



21.8.4. 送信従装置動作

送信従装置動作では何バイトかのデータが送信主装置へ送信されます(図21-18.参照)。本項で言及する全ての状態符号は前置分周選択ビットが0か、または0で遮蔽されることが前提です。

図21-18. 送信従装置動作でのデータ転送



送信従装置動作を始めるにはTWARとTWCRが次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身の従装置アドレス							1/0

上位7ビットは主装置によってアドレス指定される時に2線直列インターフェースが応答するアドレスです。最下位(TWGCE)ビットが設定(1)されるなら、TWIは一斉呼び出し($00)に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	0	1	0	0	0	1	0	X

TWENは2線直列インターフェース(TWI)を許可するために1を書かれなければなりません。TWEAは装置自身の従装置アドレスまたは一斉呼び出しアドレスの確認応答(ACK)を許可するために1を書かれなければなりません。TWSTAとTWSTOは0を書かれなければなりません。

TWARとTWCRが初期化されてしまうと、TWIは自身の従装置アドレス(または許可ならば一斉呼び出しアドレス)とそれに続くデータ方向ビットによってアドレス指定されるまで待機します。方向ビットが1(R)ならばTWIは送信従装置で動作し、さもなくば(0(W)ならば)受信従装置へ移行されます。自身の従装置アドレスとRビットが受信されてしまった後、TWINTフラグが設定(1)され、TWSRから有効な状態符号が読めます。この状態符号は適切なソフトウェア動作を決めるのに使われます。各状態符号に対して行うべき適切な動作は表21-6.で詳述されます。送信従装置動作はTWIが主装置動作の間で調停に敗れた場合にも移行されるかもしれません。(状態符号$B0参照)

転送中にTWEAビットが0を書かれると、TWIは転送の最後のバイトを送信します。受信主装置が最終バイト後にACKまたはNACKのどちらを送信するかによって状態$C0か$C8へ移行します。TWIはアドレス指定されていない従装置動作に切り替えられ、主装置が転送を続ける場合、その主装置を無視します。従って受信主装置は直列データとして全て1を受信します。従装置が最後のバイトを送信(TWEAが0で主装置からのNACKを予測)したとしても、主装置が(ACK送信によって)追加データ バイトを要求すると状態$C8へ移行します。

TWEAが0の間中、TWIは自身の従装置アドレスに応答しませんが、2線直列バスは未だ監視され、アドレス認証はTWEAの設定(1)によって何時でも再開できます。これはTWEAビットがTWIを2線直列バスから一時的に隔離するのに使えることを意味します。

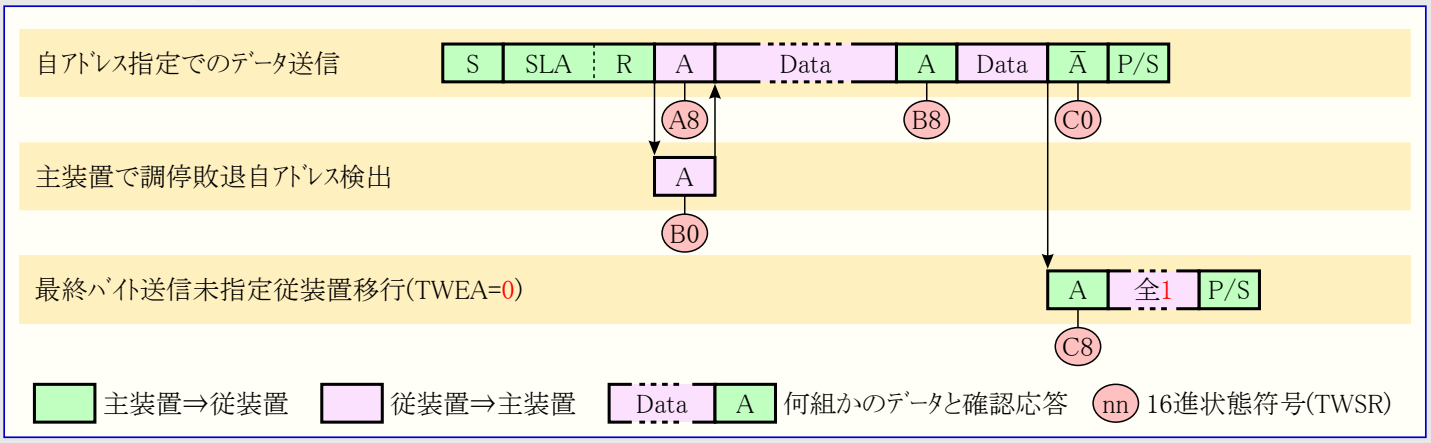
アイドル動作を除く休止形態ではTWIへのクロック系がOFFにされます。TWEAビットが設定(1)されていると、このインターフェースはクロック元として2線直列バス クロック(SCL)を使うことにより、自身の従装置アドレスと一斉呼び出しに未だ確認応答できます。その後デバイスが休止形態から起動し、TWIは起動中からTWINTフラグが(1書き込みによって)解除(0)されるまでSCLクロックをLowに保ちます。その後のデータ受信はAVRクロックが通常通り走行することで通常通りに行われます。AVRが長い起動時間に設定されていると、SCL信号線が長時間Lowに保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

これらの(アイドル動作を除く)休止形態から起動すると、2線直列インターフェース データ レジスタ(TWDR)がバスで渡す最後のバイトを反映しないことに注意してください。

表21-6. 送信従装置動作の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$A8	自宛SLA+R受信 ACK応答	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$B0	主装置のSLA+R/Wで調停敗退/自宛SLA+R受信/ACK応答	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$B8	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 ACK受信	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$C0	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 NACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$C8	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信 (TWEA=0) ACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信

図21-19. 送信従装置動作の形式と状態



21.8.5. その他の状態

定義したTWI状態に従わない2つの状態符号があります。表21-7.をご覧ください。

状態$F8はTWI割り込み要求ﾌﾗｸﾞ(TWINT)が設定(1)されないので適切な情報が利用できないことを示します。これは他の状態間でTWIが直列転送に関係しない時に起きます。

状態$00は2線直列ﾊﾞｽ転送中にﾊﾞｽ異常が起きたことを示します。ﾊﾞｽ異常はﾌﾚｰﾑ形式の不正な位置で開始(START)条件または停止(STOP)条件が起きる時に発生します。このような不正位置の例はｱﾄﾞﾚｽ ﾊﾞｲﾄ、ﾃﾞｰﾀ ﾊﾞｲﾄ、確認応答(ACK)ﾋﾞｯﾄの直列転送中です。ﾊﾞｽ異常が起きるとTWINTが設定(1)されます。ﾊﾞｽ異常から回復するには、停止(STOP)条件生成許可(TWSTO)ﾋﾞｯﾄが設定(1)され、TWINTが論理1書き込みによって解除(0)されなければなりません。これはTWIをｱﾄﾞﾚｽ指定されていない従装置動作にさせ、TWSTOﾋﾞｯﾄを解除(0)させます(TWCRの他のﾋﾞｯﾄは影響されません)。SDAとSCL信号進は開放され、停止条件は送出されません。

表21-7. その他の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$F8	適切な状態情報なし TWINT=0	なし	–	–	–	–	待機または現在の転送続行
$00	不正な開始条件/停止条件でのﾊﾞｽ異常	なし	0	1	1	X	停止条件を送出せずにﾊﾞｽを開放 TWSTO=0

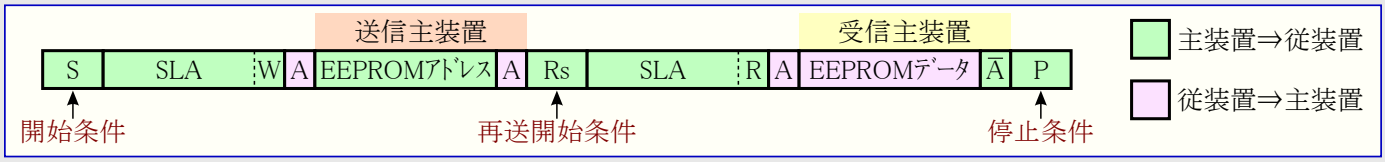
21.8.6. 各種TWI動作種別の組み合わせ

いくつかの場合で望んだ動作を満たすために各々のTWI動作種別は組み合わされなければなりません。例えば直列EEPROMからのデータ読み出しを考えてください。一般的にこのような転送は次の段階を含みます。

1. 転送が開始されなければなりません。
2. EEPROMは読み出すべき場所を指示されなければなりません。
3. 読み出しが実行されなければなりません。
4. 転送が終了されなければなりません。

データが主装置から従装置へとその逆の両方向へ転送されることに注意してください。主装置はどの場所を読みたいかを従装置に指示しなければならず、送信主装置動作の使用を必要とします。その後にデータを従装置から読まねばならず、受信主装置動作の使用を意味します。従って転送方向が切り替えられなければなりません。主装置はこれら全ての段階中にバスの制御を保持しなければならず、この手順は排他的(非分断)操作として行われるべきです。複数主装置システムでこの原則に違反すると、他の主装置が②と③段階間でEEPROM内のデータ ポインタを変更するかもしれず、(元の)主装置は不正なデータ位置を読むでしょう。このような転送方向の切り替えはアドレス バイトの送信とデータの受信間で再送開始条件を送出することによって成し遂げられます。再送開始条件後も主装置はバスの占有権を保持します。次の図はこの転送の流れを示します。

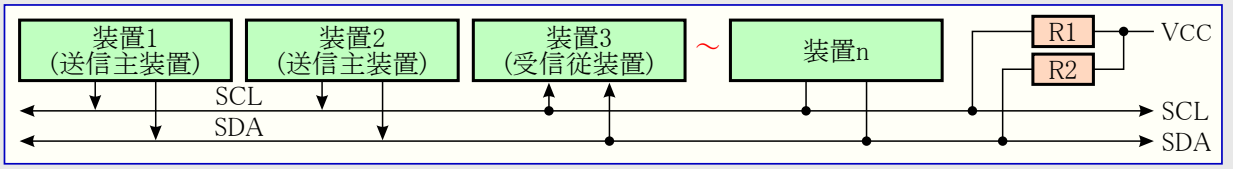
図21-20. 直列EEPROMアクセスでの各種TWI動作種別の組み合わせ



21.9. 複数主装置システムでのバス競合と調停

複数の主装置が同じバスに接続されると、それらの1つまたはそれ以上によって同時に送信が開始されるかもしれません。TWIは主装置の1つが転送を続けることを許され、手順内でデータが失われないような方法でこのような状態が扱われることを標準で保証します。2つの主装置が受信従装置へデータを送信することを試みる場合の調停状況の例は以下で図示されます。

図21-21. バスの競合調停例

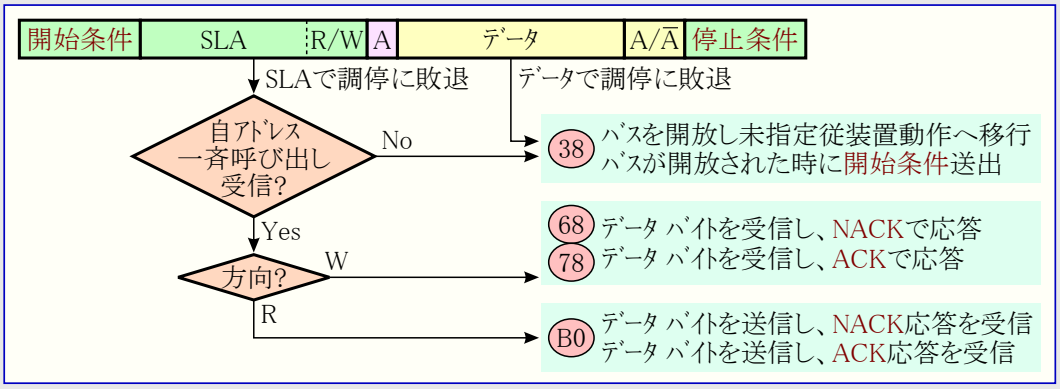


以下で示されるように様々な異なる状況が調停中に起こるかもしれません。

- 複数の主装置が同じ従装置に全く同じ通信を実行する場合。この場合、主/従装置のどれもがバスの衝突について知りません。
- 複数の主装置が異なるデータまたは方向ビット(R/W)で同じ従装置をアクセスする場合。この場合、R/Wビットまたはデータ ビットのどちらかで調停が起きます。他の主装置がSDAに0を出力する間に1を出力しようとする主装置が調停に敗れます。敗れた主装置は応用ソフトウェアの処置によって未指定従装置動作に切り替えるか、またはバスが開放になるまで待って新規開始条件を送出します。
- 複数の主装置が異なる従装置をアクセスする場合。この場合、SLAビット内で調停が起きます。他の主装置がSDAに0を出力する間に1を出力しようとする主装置が調停に敗れます。SLA内で調停に敗れた主装置は勝った主装置によってアドレス指定されるかを検査するために従装置動作へ切り替えます。アドレス指定されると、R/Wビットの値によって受信従装置(SR)動作または送信従装置(ST)動作へ切り替えます。アドレス指定されないなら、応用ソフトウェアの処置によって未指定従装置動作に切り替えるか、またはバスが開放になるまで待って新規開始条件を送出します。

これは図21-22.で要約されます。利用可能な状態符号は楕円(**訳注**:原文は円)で与えられます。

図21-22. バスの競合調停によって発生する利用可能な状態符号



22. USB制御器

22.1. 特徴

- 全速(Full-speed)と低速(Low-speed)を支援
- 交互動作(2ﾊﾞﾝｸ)支援
- 832ﾊﾞｲﾄの2ﾎﾟｰﾄRAM (DPRAM)
- 最大64ﾊﾞｲﾄの1つのｴﾝﾄﾞﾎﾟｲﾝﾄ (既定制御ｴﾝﾄﾞﾎﾟｲﾝﾄ)
- 最大256ﾊﾞｲﾄの1つのｴﾝﾄﾞﾎﾟｲﾝﾄ (1または2ﾊﾞﾝｸ)
- 最大64ﾊﾞｲﾄの5つのｴﾝﾄﾞﾎﾟｲﾝﾄ (1または2ﾊﾞﾝｸ)

22.2. 構成図

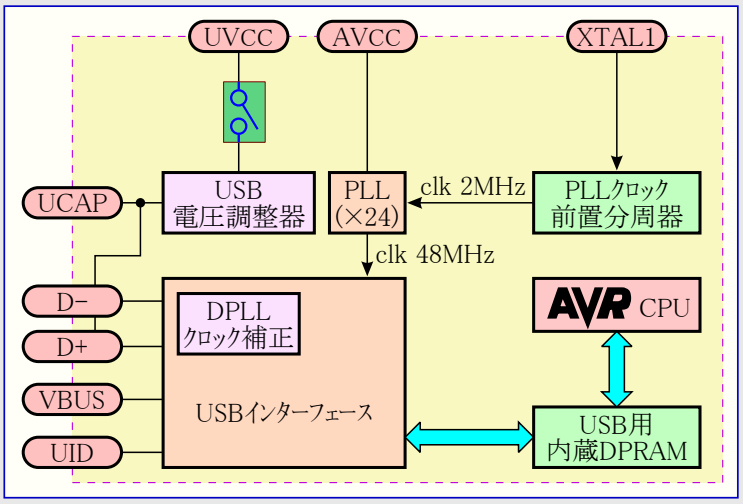
USB制御器は2ﾎﾟｰﾄ ﾒﾓﾘ(DPRAM)に格納されたﾃﾞｰﾀの流れへUSB接続をｲﾝﾀｰﾌｪｰｽするﾊｰﾄﾞｳｪｱを提供します。

(全速動作に関して)USB制御器は内部PLL出力の48MHz±0.25%基準ｸﾛｯｸを必要とします。このPLLはUSBｲﾝﾀｰﾌｪｰｽ用に内部高周波数(48MHz)ｸﾛｯｸを生成し、PLL入力は外部低周波数から生成されます(USB周波数精度とｼﾞｯﾀを満足するためのｸﾘｽﾀﾙ発振器またはXTAL1ﾋﾟﾝからの外部ｸﾛｯｸ入力、これらのｸﾛｯｸ元だけがUSB制御器の正しい機能を許します)。

48MHzｸﾛｯｸは受信したUSB差動ﾃﾞｰﾀからの12MHz全速(Full-speed)または1.5MHz低速(Low-speed)のﾋﾞｯﾄ ｸﾛｯｸ生成と、全速または低速USB装置許容誤差に従ったﾃﾞｰﾀ送信に使われます。ｸﾛｯｸ補正はUSBﾊﾞｽのｼﾞｯﾀ仕様に適合したﾃﾞｼﾞﾀﾙ位相固定化閉路(DPLL)部によって行われます。

USB電気的仕様に従うため、USBﾊﾟｯﾄﾞ(D+とD-)は3.0～3.6V範囲内で給電されるべきです。Atmel AT90USB64/128は5.5Vまで給電できるので、内部電圧調整器がUSBﾊﾟｯﾄﾞ給電を提供します。

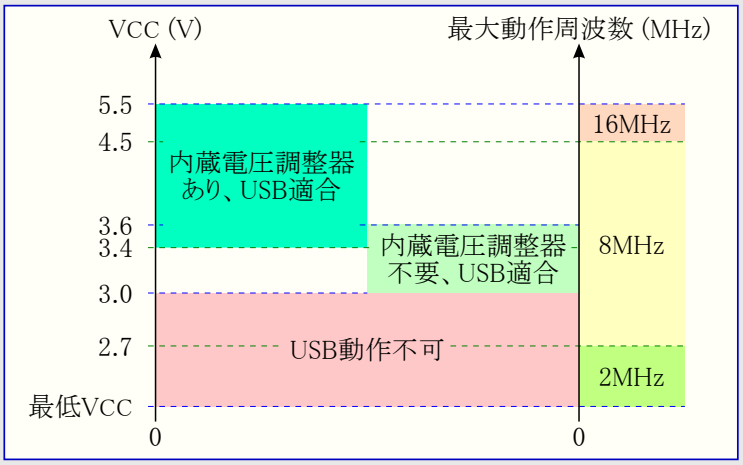
図22-1. USB制御器概要構成図



22.3. 代表的な応用実装

USB動作種別(装置のみ、簡略ﾎｽﾄまたはOTG動作)や対象応用電源に応じて、AT90USB64/128は異なる代表的ﾊｰﾄﾞｳｪｱ実装を必要とします。

図22-2. 動作種別 対 周波数と電源



(訳注) AT90USB646/1286は装置動作だけで、ﾎｽﾄ動作とOTG動作は使えません。

22.3.1. 装置動作

22.3.1.1. ﾊﾞｽ給電装置

図22-3. 5V入出力での代表的ﾊﾞｽ給電応用

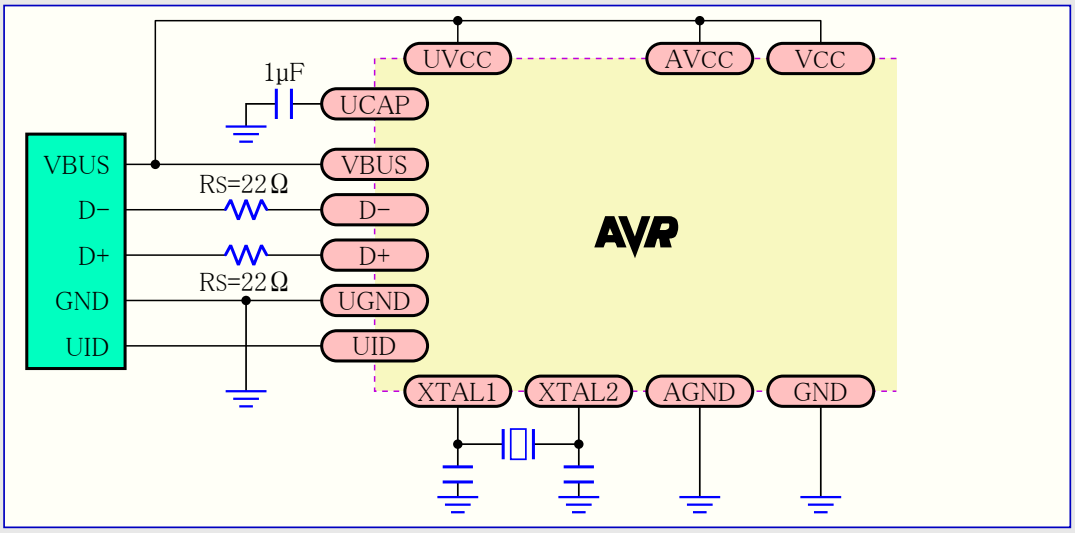
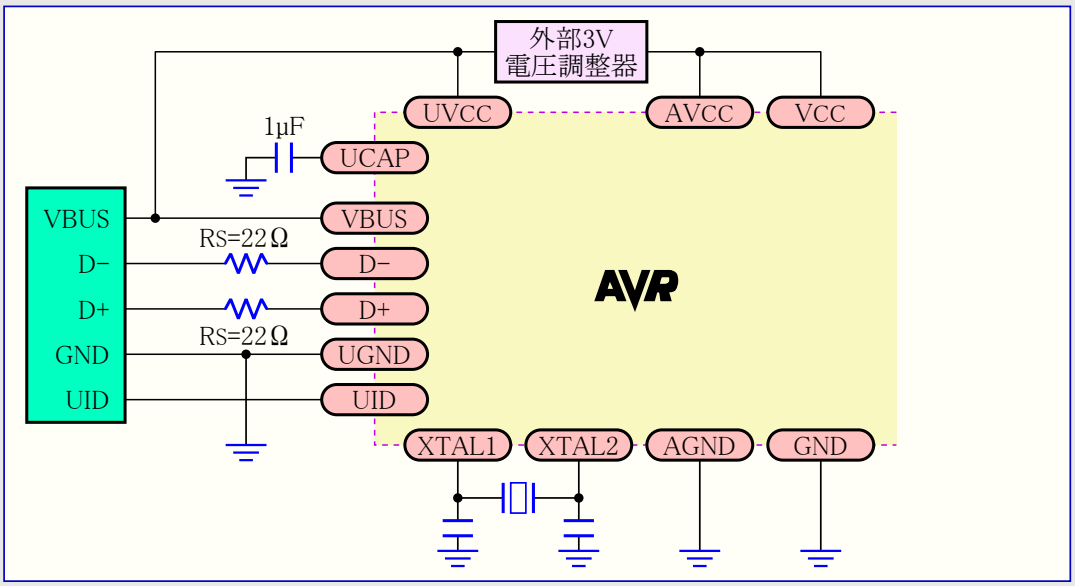


図22-4. 3V入出力での代表的ﾊﾞｽ給電応用



22.3.1.2. 自己給電装置

図22-5. 3.4～5.5V入出力での代表的自己給電応用

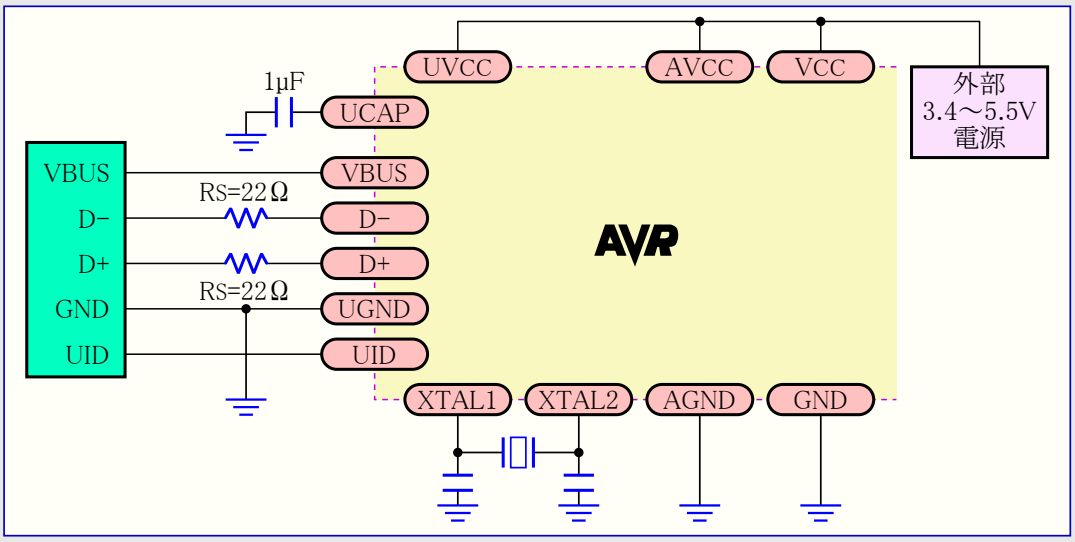
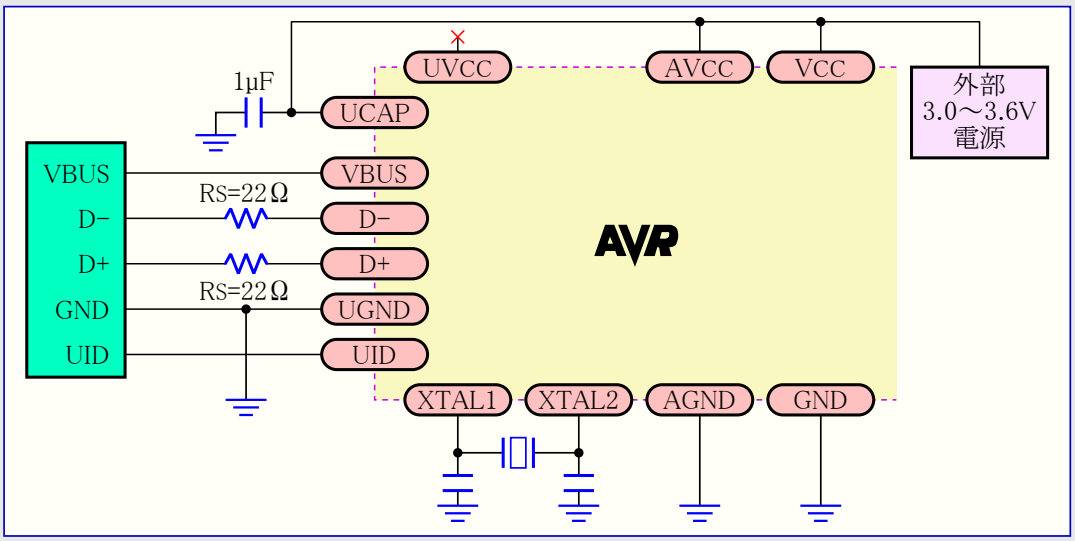


図22-6. 3.0～3.6V入出力での代表的自己給電応用



22.3.2. ホスト/OTG動作

図22-7. 3.0～3.6V入出力でのホスト/OTG応用

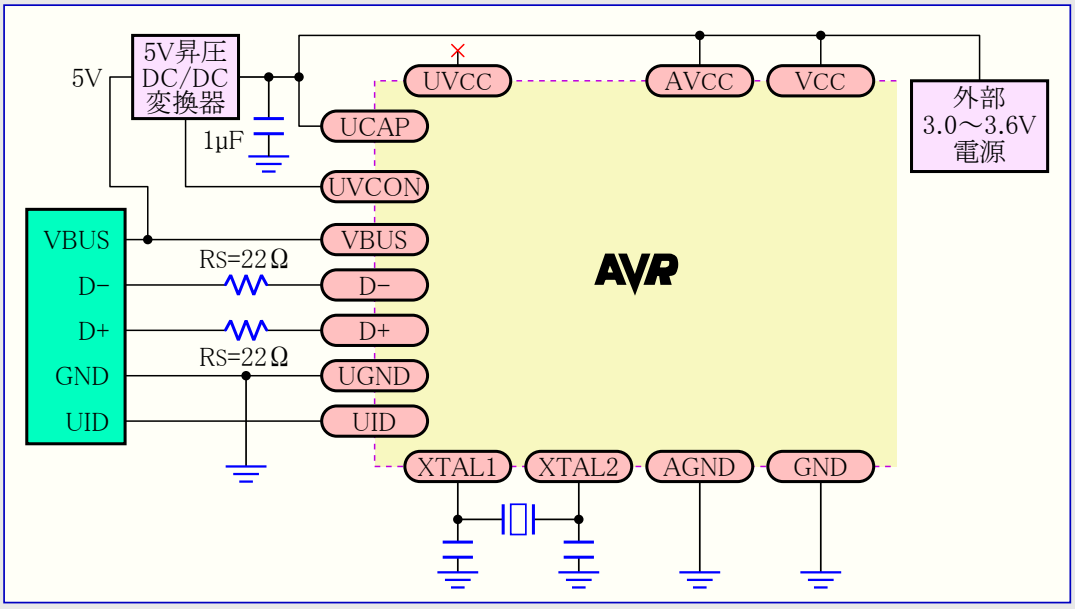
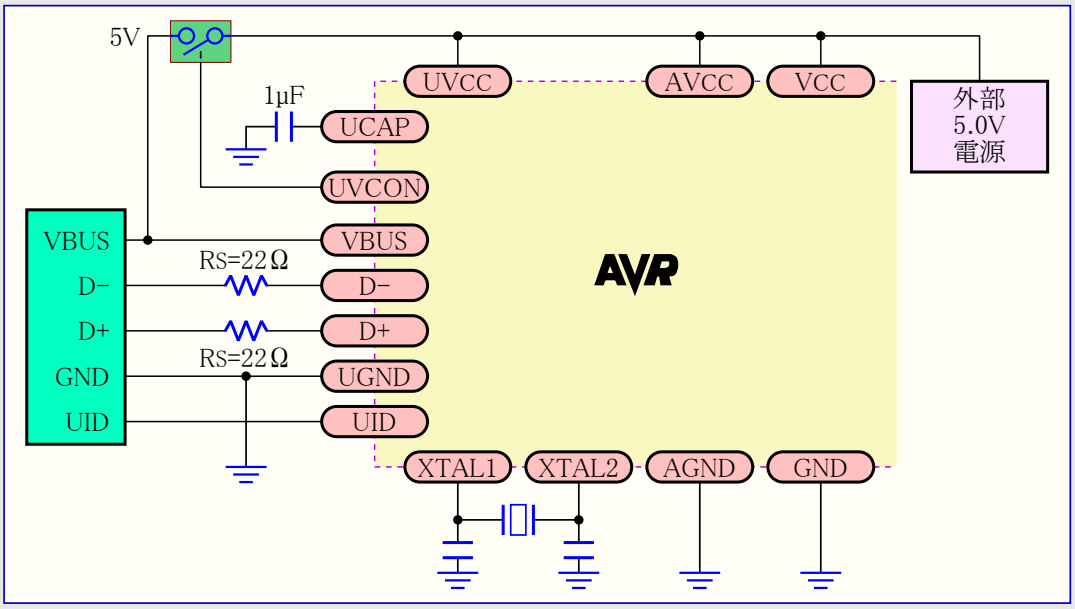


図22-8. 5.0V入出力でのホスト/OTG応用



22.3.3. 設計の指針

- USBデータ線の直列抵抗器は値が22Ω(±5%)であるべきです。
- USB入力コネクタ(またはケーブル付き装置の場合、ケーブル接続)からUSBマイクロ コントローラへの配線は可能な限り短く、差動配線規則(斜めの累積を避け、可能な限り近く、同じ長さ)に従うべきです。
- 外部の妨害によるUSBパッドの損傷を防ぐために、電圧瞬間変動/ESD消去器も使われ得ます。
- UCAPコンデンサは正しい動作のために値が1µF(±10%)であるべきです。
- VBUS線上には10µFコンデンサが強く推奨されます。

22.4. 一般的な動作

22.4.1. 序説

ハードウェア リセット後、USB制御器は禁止されています。許可されると、USB制御器は装置制御器またはホスト制御器で走行しなければなりません。これはUSB ID検出を使って行われます。

- UIDピンがGNDに接続されない場合、USB状態(USBSTA)レジスタのUSB UIDピン(ID)フラグはハードウェア(UIDピンの内部プルアップ)によって設定(1)され、USB装置制御器が選ばれます。
- IDビットはUIDピンでLowレベルが検知された時にハードウェアによって解除(0)されます。そして装置制御器は禁止され、ホスト制御器が許可されます。

多重化された装置制御器レジスタまたはホスト制御器レジスタへアクセスするために、何れにしてもソフトウェアは動作種別(ホスト、装置)を選ばなければなりません。例えば、USB制御器が(UIDピン=Highで)装置動作を検知しているとしても、ソフトウェアは装置動作を選ばなければなりません(USB制御(USBCON)レジスタのホスト/装置選択(HOST)ビットの解除(0))。さもなければ、それはホスト レジスタをアクセスするでしょう。これはホスト動作に対しても当て嵌まります。

注: Atmel AT90USB646/1286製品についてはホスト動作がUSB制御器に含まれず、IDピンは使われずに標準入出力として設定/使われるべきです。

22.4.2. 電源ONとリセット

次の構成図は電源ONでのUSB制御器主状態を説明します。

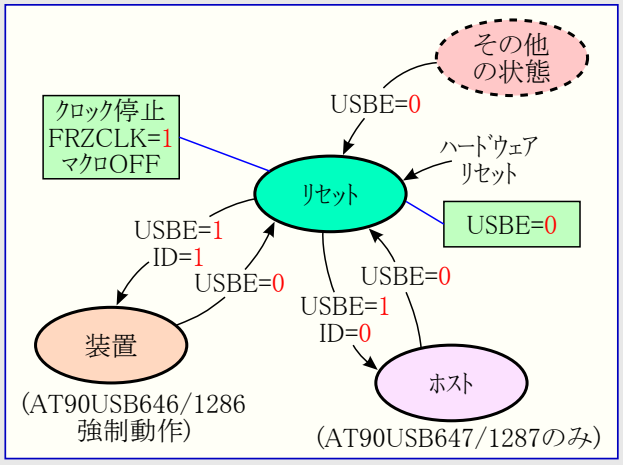
ハードウェア リセット後のUSB制御器状態は「リセット」です。この状態は以下です。

- USBCONレジスタのUSB全体許可(USBE)は設定(1)されません。(=解除(0))
- 電力消費を最小とするためにUSB制御器クロックは停止されます(USBCONレジスタのUSBクロック停止(FRZCLK)=1)。
- USB制御器は禁止されます。
- USBパッドは休止動作です。
- ホストと装置のUSB制御器内部状態はリセットです。

USBE設定(=1)後、(UIDピンに従って)ホストまたは装置状態へ移行します。選んだ制御器は「アイドル」です。

USB制御器はUSBEの解除(0)によって何時でも「停止」にできます。実際にはUSBEの解除(0)がハードウェア リセットとして働きます。

図22-9. リセット後のUSB制御器状態



22.4.3. 割り込み

2つの割り込みベクタがUSBインターフェースに割り当てられます。

装置とホストの割り込みのより多くの詳細については184頁の「**装置割り込み**」と198頁の「**ホスト割り込み**」項をご覧ください。

図22-10. USB割り込み概要

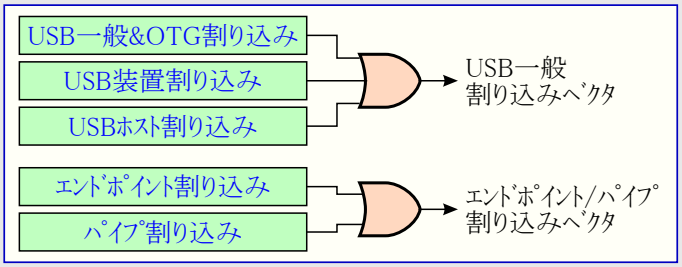


図22-11. USB一般割り込みﾍﾞｸﾀ割り込み元

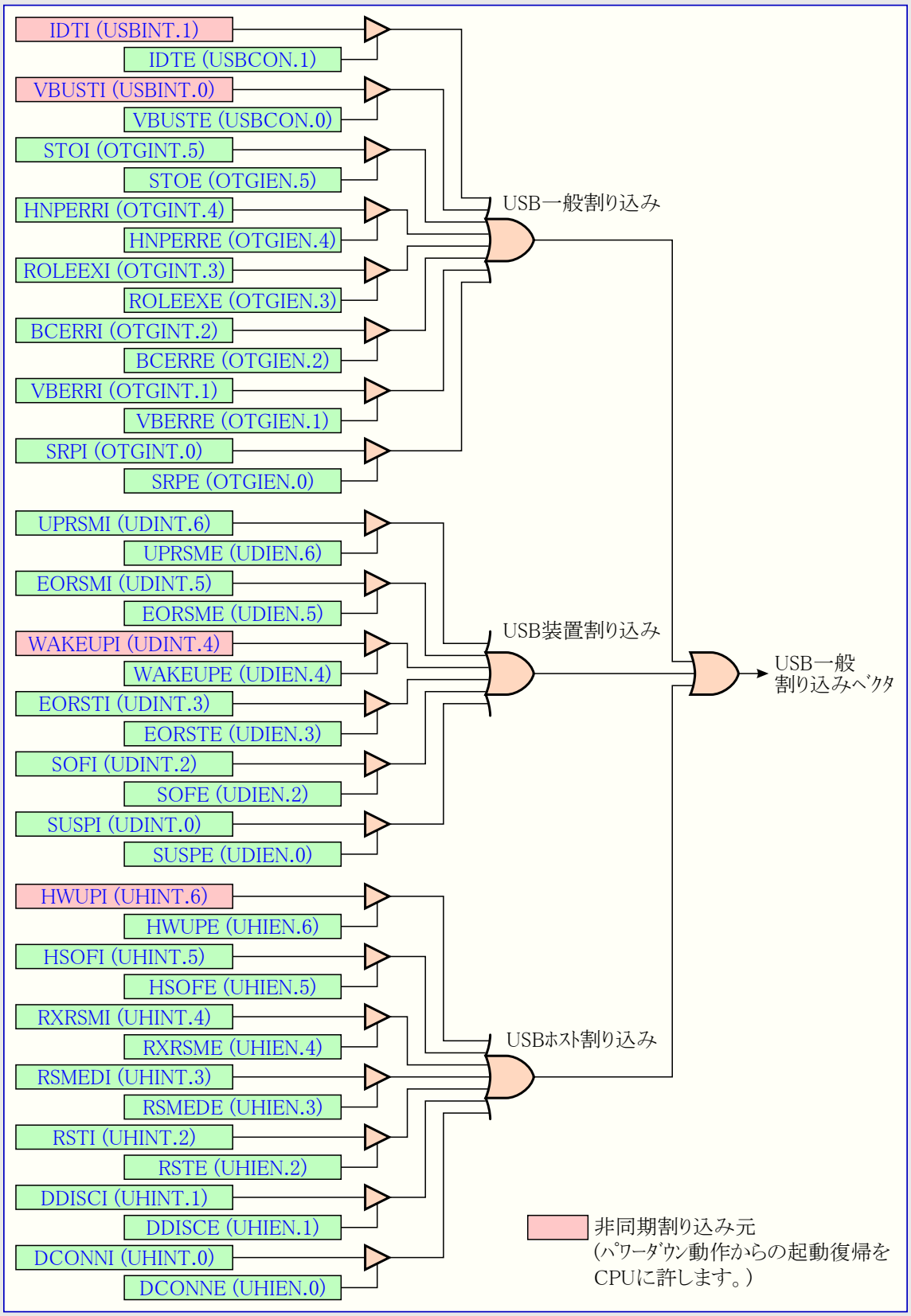
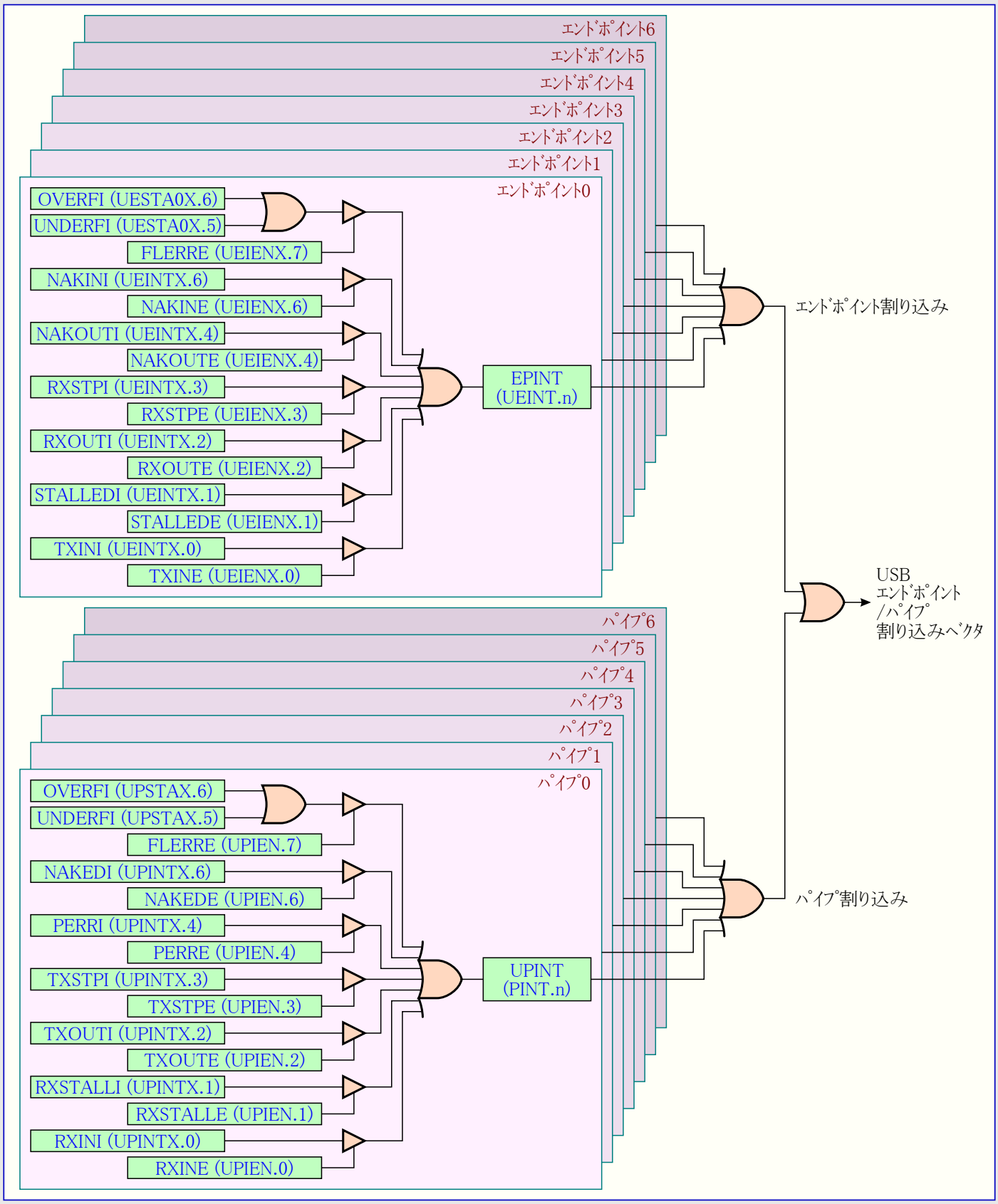


図22-12. USBｴﾝﾄﾞﾎﾟｲﾝﾄ/ﾊﾟｲﾌﾟ割り込みﾍﾞｸﾀ割り込み元



割り込みは割り込み処理(即ちこれらの発生は通常処理の一部)と例外(異常)の2種類です。

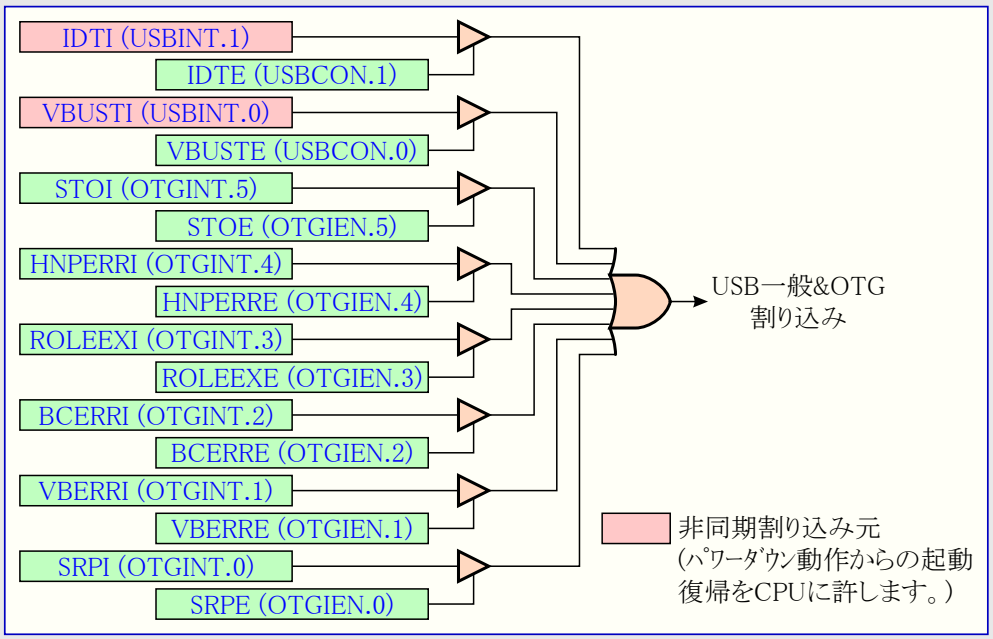
通常処理中割り込みは以下のような事象発生時に生成されます。

- USB IDﾊﾟｯﾄﾞ変化検出(挿抜) (IDTI)
- VBUS接続検出(挿抜) (VBUSTI)
- SRP検出 (SRPI)
- 役割変更 (ROLEEXI)

例外割り込みは以下の事象と共に生成されます。

- VBUS低下検出 (VBERRI)
- B接続中異常 (BCERRI)
- HNP異常 (HNPERRI)
- 休止動作中時間超過検出 (STOI)

図22-13. USB一般とOTG制御器割り込み構成



22.5. 電力動作種別

22.5.1. ｱｲﾄﾞﾙ動作

この動作ではCPUｺｱが停止されます(CPUｸﾛｯｸ停止)。ｱｲﾄﾞﾙ動作はUSB制御器が走行中、非走行中のどちらでも使われます。CPUは何れかのUSB割り込みで起動復帰します。

22.5.2. ﾊﾟﾜｰﾀﾞｳﾝ動作

この動作では発振器が停止され、全てのｸﾛｯｸ(CPUと周辺機能部)が停止します。USB制御器は以下の時に起動復帰します。

- 装置動作(USB制御(USBCON)ﾚｼﾞｽﾀのﾎｽﾄ/装置選択(HOST)=0)でのCPU起動復帰割り込み(WAKEUPI)起動
- ﾎｽﾄ動作(HOST=1)でのﾎｽﾄ起動復帰割り込み(HWUPI)起動
- UID遷移割り込み(IDTI)起動
- VBUS遷移割り込み(VBUSTI)起動

22.5.3. USBｸﾛｯｸ停止

ﾌｧｰﾑｳｪｱはUSB制御器のｸﾛｯｸを停止するUSBCONﾚｼﾞｽﾀのUSBｸﾛｯｸ停止(FRZCLK)ﾋﾞｯﾄの設定(=1)によって電力消費を低減することができます。FRZCLKが設定(1)されている時は次のﾚｼﾞｽﾀが未だｱｸｾｽ可能です。

- USBCON, USBSTA, USBINT
- UDCON (分離(DETACH), ...)
- UDINT
- UDIEN
- UHCON
- UHINT
- UHIEN

更にFRZCLKが設定(1)されている時は次の割り込みだけが起動され得ます。

- CPU起動復帰割り込み(WAKEUPI) ･･･ (装置動作)
- UID遷移割り込み(IDTI)
- VBUS遷移割り込み(VBUSTI)
- ﾎｽﾄ起動復帰(HWUPI) ･･･ (ﾎｽﾄ動作)

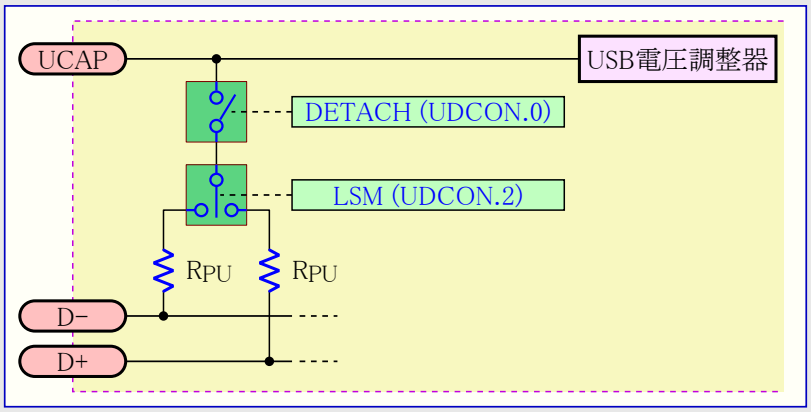
22.6. 速度制御

22.6.1. 装置動作

USBインターフェースが装置動作に設定されると、速度選択(全速(Full-speed)または低速(Low-speed))はD+/D-のプルアップに依存します。

USB装置制御(UDCON)レジスタの低速/全速装置動作(LSM)ビットはD-(低速動作)またはD+(全速動作)データ線上の内部プルアップ選択を許します。

図22-14. 装置動作速度選択



22.6.2. ホスト動作

USBインターフェースがホスト動作に設定されると、内部プルダウン抵抗器がD+/D-線の両方で活性(有効)にされ、インターフェースは接続した装置の形式を検知します。

22.7. メモリ管理

本制御器は以下のメモリ割り当て管理だけを支援します。

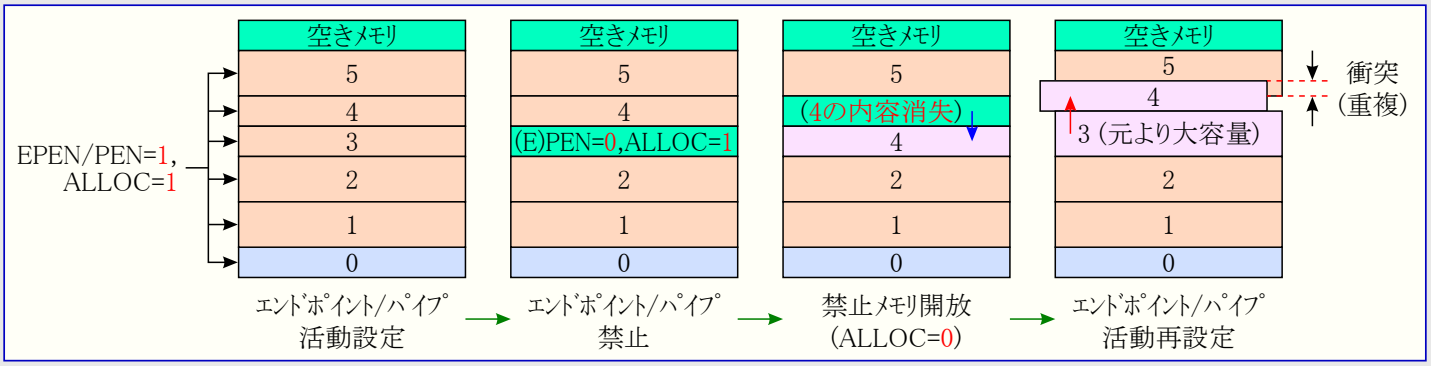
エンドポイントまたはパイプの予約は(エンドポイント/パイプ0から最終エンドポイント/パイプへ)順に増やす場合にだけ行えます。従ってファームウェアはこれと同じ順で設定すべきです。

エンドポイントまたはパイプ "k^i"の予約はそれ(エンドポイント/パイプX構成1(UECFG1X/UPCFG1X)レジスタ)のエンドポイント メモリ割り当て/パイプ メモリ構成(ALLOC)ビットが設定(1)される時に行われます。そしてハードウェアがメモリを割り当て、それをエンドポイント/パイプ "k^{i-1}"と"k^{i+1}"間に挿入します。エンドポイント/パイプ "k^{i+1}"のメモリは上へ移動し、そのデータは失われます。"k^{i+2}"とそれよりも上のエンドポイント/パイプのメモリが移動しないことに注意してください。

エンドポイント許可(EPEN)またはパイプ許可(PEN)の解除(0)はそれの設定(EPSIZE/PSIZE, EPBK/PBK)やALLOCビットのどちらも解除(0)しません。メモリを開放するためにファームウェアはALLOCビットを解除(0)すべきです。するとエンドポイント/パイプ "k^{i+1}"のメモリは自動的に下へ移動します。"k^{i+2}"とそれよりも上のエンドポイント/パイプのメモリが移動しないことに注意してください。

下図は代表例でのUSBメモリの割り当てと認識を図示します。

図22-15. USBメモリの割り当てと認識の流れ



- 最初にエンドポイント/パイプ0～5は昇順で設定されます。各メモリはDPRAM内に予約されます。
- そしてエンドポイント/パイプ3が禁止(EPEN/PEN=0)されますが、メモリの予約は制御器によって内部的に保持されます。
- ALLOCビットが解除(0)され、エンドポイント/パイプ4が下へ移動しますが、エンドポイント/パイプ5は移動しません。
- 最後はファームウェアがより大きな容量でのエンドポイント/パイプ3の再設定を選ぶ場合です。制御器はエンドポイント/パイプ2の後にメモリを予約し、エンドポイント/パイプ4を自動的に移動します。エンドポイント/パイプ5は動かず、エンドポイント/パイプ4と5の共通の領域をうことで衝突(重複)が出現します。これらのエンドポイント/パイプのデータは潜在的に失われます。

以下に注意してください。

- エンドポイント/パイプ0のデータは、より高位のエンドポイント/パイプの活動設定または非活動設定でも決して失われません。このデータはそれが非活性設定にされた場合に失われます。
- 同じ設定での同一エンドポイント/パイプの非活動設定と再活動設定は、より高位のエンドポイント/パイプの移動を引き起こしません。これらのエンドポイント/パイプに対してデータは保護されます。
- エンドポイントX状態0(UESTA0X)/パイプX状態(UPSTAX)レジスタのエンドポイント構成状態/パイプ メモリ構成OK(CFGOK)フラグはメモリ割り当てで衝突(重複)した場合でもハードウェアによって設定(1)されます。

22.8. パッド休止

次図はパッドの動きを図示します。

- アイドル動作でパッドは低電力消費動作に置かれます。
- 活動動作でパッドは動作します。

休止状態を示すUSB装置割り込み要求(UDINT)レジスタの休止(Sunspend)割り込み要求(SUSPI)フラグはUSBバス上で検出されます。このフラグは自動的にUSBパッドをアイドルにします。非アイドル事象の検出はUDINTレジスタのCPU起動復帰割り込み要求(WAKEUPI)フラグを設定(1)し、USBパッドを起動復帰します。

更にパッドはUSB装置制御(UDCON)レジスタの分離(DETACH)ビットが設定(1)されている場合にもアイドル動作にして置けます。これはDETACHビットが解除(0)されると、活動動作に復帰します。

図22-16. パッドの動き

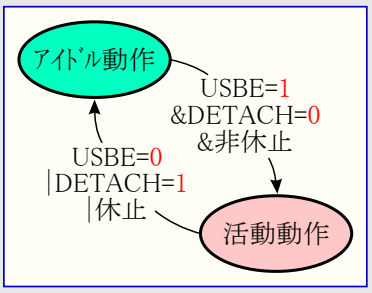
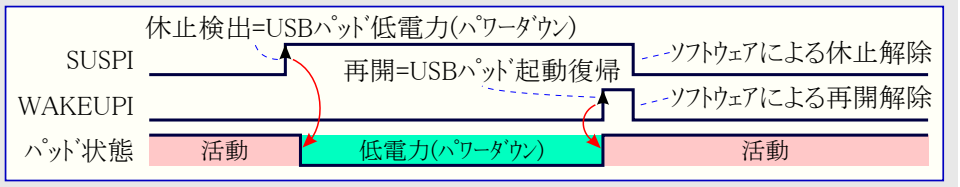


図22-17. パッドの状態遷移



22.9. OTGﾀｲﾏ独自設定

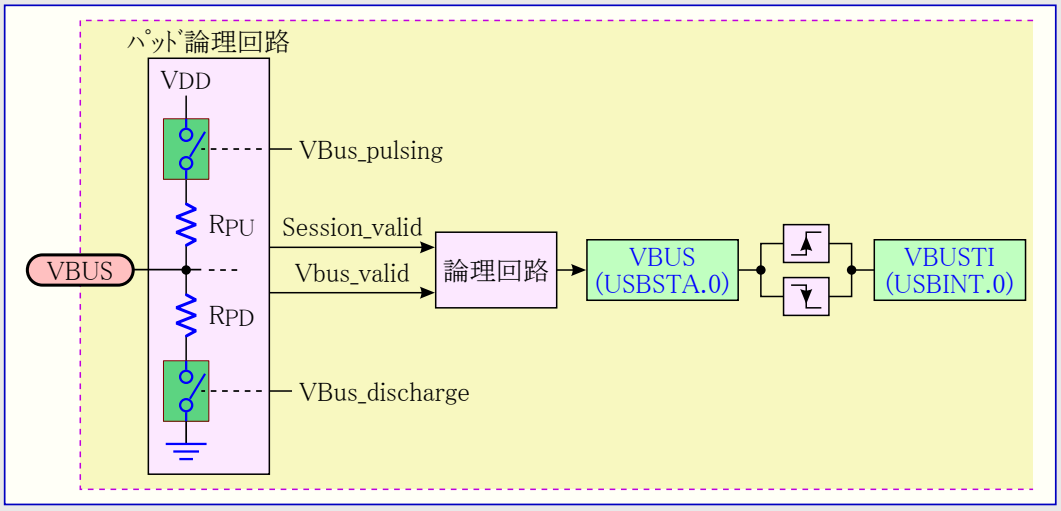
ﾀｲﾏ選択のﾀｲﾏ ﾍﾟｰｼﾞ ｱｸｾｽ(PAGE)ﾋﾞｯﾄと調整値の値(VALUE)ﾋﾞｯﾄを含むOTGﾀｲﾏ制御(OTGTCON)とOTG制御(OTGCON)ﾚｼﾞｽﾀによってOTGﾀｲﾏを細かく調整することが可能です。

- PAGE=00：AWaitVriseﾀｲﾑｱｳﾄ [OTG]。ﾎｽﾄ動作で、一度VBUS要求(VBUSREQ)が設定(1)され、このAWaitVrise遅延後にVBUSﾋﾟﾝでVBUSが検知されない場合、VBUS異常割り込み要求(VBERRI)ﾌﾗｸﾞが設定(1)されます。
  - VALUE=00：ﾀｲﾑｱｳﾄは20msに設定されます。
  - VALUE=01：ﾀｲﾑｱｳﾄは50msに設定されます。
  - VALUE=10：ﾀｲﾑｱｳﾄは70msに設定されます。
  - VALUE=11：ﾀｲﾑｱｳﾄは100msに設定されます。
- PAGE=01：VbBusPulsing [OTG]。装置動作で、この遅延はｾｯｼｮﾝ要求規約(SRP)中のVBUSのﾊﾟﾙｽ幅に対応します。
  - VALUE=00：ﾀｲﾑｱｳﾄは15msに設定されます。
  - VALUE=01：ﾀｲﾑｱｳﾄは23msに設定されます。
  - VALUE=10：ﾀｲﾑｱｳﾄは31msに設定されます。
  - VALUE=11：ﾀｲﾑｱｳﾄは40msに設定されます。
- PAGE=10：PdTmOutCnt [OTG]。装置動作で、ﾌｧｰﾑｳｪｱによって送出されるSRP要求が成されたとき、VBUSがｾｯｼｮﾝ有効(session_valid)閾値電圧以下になった後、最初のﾊﾟﾙｽを開始する前にこの遅延分待たされます。OTG仕様で定義されるようにVBUSがｾｯｼｮﾝ終了(b_session_end)閾値電圧になる待ちのために、この遅延はUSB線放電(ﾌﾟﾙﾀﾞｳﾝ抵抗器 対 信号線容量)の概算として考慮されるべきです。
  - VALUE=00：ﾀｲﾑｱｳﾄは93msに設定されます。
  - VALUE=01：ﾀｲﾑｱｳﾄは105msに設定されます。
  - VALUE=10：ﾀｲﾑｱｳﾄは118msに設定されます。
  - VALUE=11：ﾀｲﾑｱｳﾄは131msに設定されます。
- PAGE=11：SRPDetTmOut [OTG]。ﾎｽﾄ動作で、この遅延は装置からの有効なSRPの検知と受け入れに必要な最低ﾊﾟﾙｽ幅です。
  - VALUE=00：ﾀｲﾑｱｳﾄは10μsに設定されます。
  - VALUE=01：ﾀｲﾑｱｳﾄは100μsに設定されます。
  - VALUE=10：ﾀｲﾑｱｳﾄは1msに設定されます。
  - VALUE=11：ﾀｲﾑｱｳﾄは11msに設定されます。

22.10. ﾌﾟﾗｸﾞ接続検出

USB接続は以下の構成でVBUSﾊﾟｯﾄﾞによって検出されます。

図22-18. ﾌﾟﾗｸﾞ接続検出入力構成図



VBUSﾊﾟｯﾄﾞの制御回路はVBUS電圧水準に関する信号を出力します。

- Session_valid信号はVBUSﾊﾟｯﾄﾞ上の電圧が1.4V以上の時にHigh活性です。1.4Vより低いなら、信号は非活性です。
- Vbus_valid信号はVBUSﾊﾟｯﾄﾞ上の電圧が4.4V以上の時にHigh活性です。4.4Vより低いなら、信号は非活性です。
- VBUS状態ﾋﾞｯﾄはVbus_validより高い場合に設定(1)されます。VBUS状態ﾋﾞｯﾄはVBUSがVbus_valid以下に下がる時に解除(0)されます(ﾋｽﾃﾘｼｽ動作)。
- USB割り込み要求(USBINT)ﾚｼﾞｽﾀのVBUS遷移割り込み(VBUSTI)ﾌﾗｸﾞはVBUSﾋﾞｯﾄの状態変化毎に設定(1)されます。

22.10.1. 装置動作

USB周辺機能はVBUSﾌﾗｸﾞが設定(1)されていない間、ﾊﾞｽに接続できません。

22.10.2. ホスト動作

ﾎｽﾄは外部電源ｽｲｯﾁまたはVBUS線に給電する電圧供給器を駆動するためのUVCONﾋﾟﾝを使わなければなりません。UVCONﾋﾟﾝはﾌｧｰﾑｳｪｱによってUVCONﾋﾟﾝ許可(UVCONE)ﾋﾞｯﾄとVBUS要求(VBUSREQ)ﾋﾞｯﾄが設定(1)されるとき、ﾊｰﾄﾞｳｪｱによって自動的に活性とされ、Highに設定されます。

VBUS供給の300ms以内に装置が接続(D+またはD-上のﾌﾟﾙｱｯﾌﾟ)された場合、装置接続割り込み要求(DCONNI)ﾌﾗｸﾞが設定(1)されます。しかし、一旦VBUSREQﾋﾞｯﾄが設定(1)されてしまっていて、300ms以内に装置接続が検知されない場合、B接続異常割り込み要求(BCERRI)ﾌﾗｸﾞが設定(1)(と割り込みが生成)され、VBUS供給は停止(UVCONは解除(0))されます。

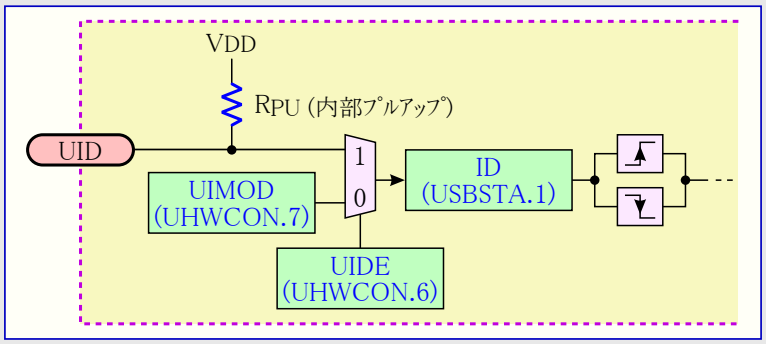
その動きがﾎｽﾄ応用に対して制限を示すなら、以下の対処が使えます。

1. UVCONEとVBUSREQは解除(0)されなければなりません。
2. VBUSﾊｰﾄﾞｳｪｱ制御(VBUSHWC)ﾋﾞｯﾄは(UVCONﾋﾟﾝのﾊｰﾄﾞｳｪｱ制御を禁止するために)解除(0)されなければなりません。
3. PE7ﾋﾟﾝ(UVCONﾋﾟﾝとの交換機能ﾋﾟﾝ)はﾌｧｰﾑｳｪｱによって設定(1)されなければなりません。
4. 装置接続は(通常、新規ｾｯｼｮﾝを要求するOTG B-装置によって送出されるD+/D-ﾊﾟﾙｽの検知に使われ得る)SRP割り込み要求(SRPI)ﾌﾗｸﾞによって検知されるでしょう。

22.11. ID検出

UIDﾋﾟﾝの遷移は以下の構成によって検知されます。

図22-19. ID検出入力構成図



UIDﾋﾟﾝはUSB動作(装置またはﾎｽﾄ)の検知、またはｿﾌﾄｳｪｱ選択で使えます。これはUSBｲﾝﾀｰﾌｪｰｽが許可の時でも一般目的入力での使用をUIDﾋﾟﾝに許します。既定(非AﾌﾟﾗｸﾞまたはBﾌﾟﾗｸﾞ)でUIDﾋﾟﾝが選ばれると、このｲﾝﾀｰﾌｪｰｽは装置動作です(内部ﾌﾟﾙｱｯﾌﾟ)。USB割り込み要求(USBINT)ﾚｼﾞｽﾀでのUID遷移割り込み(IDTI)はAﾌﾟﾗｸﾞ(ﾎｽﾄ)が挿入または抜止される時に起動されます。この割り込みはBﾌﾟﾗｸﾞ(装置)が挿抜される時には起動されません。

ID検出はUSB制御(USBCON)ﾚｼﾞｽﾀでのUSBｲﾝﾀｰﾌｪｰｽ全体許可(USBE)とは無関係です。

22.12. USB一般用ﾚｼﾞｽﾀ

22.12.1. UHWCON – USBﾊｰﾄﾞｳｪｱ制御ﾚｼﾞｽﾀ (USB Hardware Control Register)

ﾋﾞｯﾄ ($D7)	7	6	5	4	3	2	1	0	
	UIMOD	UIDE	–	UVCONE	–	–	–	UVREGE	UHWCON
Read/Write	R/W	R/W	R	R/W	R	R	R	R/W	
初期値	1	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – UIMOD : USB動作種別** (USB Mode Bit)

このﾋﾞｯﾄはUIDﾋﾟﾝ許可(UIDE)ﾋﾞｯﾄが設定(1)されていると無効です。USB装置動作を許可するには設定(1)してください。USBﾎｽﾄ動作を許可するには解除(0)してください。

• **ﾋﾞｯﾄ6 – UIDE : UIDﾋﾟﾝ許可** (UID pin Enable)

UIDﾋﾟﾝを通すUSB動作選択(装置/ﾎｽﾄ)を許可するには設定(1)してください。USB動作種別(UIMOD)ﾋﾞｯﾄでのUSB動作選択(装置/ﾎｽﾄ)を許可するには解除(0)してください。

UIDEはUSBｲﾝﾀｰﾌｪｰｽが禁止(USBE=0)されている時にだけ変更されるべきです。

• **ﾋﾞｯﾄ5 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ4 – UVCONE : UVCONﾋﾟﾝ許可** (UVCON pin Enable)

UVCONﾋﾟﾝ制御を許可するには設定(1)してください。UVCONﾋﾟﾝ制御を禁止するには解除(0)してください。このﾋﾞｯﾄはUSBｲﾝﾀｰﾌｪｰｽが許可の時にだけ設定(1)されるべきです。

• **ﾋﾞｯﾄ3~1 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ0 – UVREGE : USBﾊﾟｯﾄﾞ電圧調整器許可** (USB pad regulator Enable)

USBﾊﾟｯﾄﾞ用電圧調整器を許可するには設定(1)してください。USBﾊﾟｯﾄﾞ用電圧調整器を禁止するには解除(0)してください。

22.12.2. USBCON – USB制御ﾚｼﾞｽﾀ (USB Control Register)

ﾋﾞｯﾄ ($D8)	7	6	5	4	3	2	1	0	
	USBE	HOST	FRZCLK	OTGPADE	–	–	IDTE	VBUSTE	USBCON
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – USBE : USB全体許可** (USB macro Enable Bit)

USB制御器を許可するには設定(1)してください。USBｸﾛｯｸ入力とUSB送受信器を禁止し、USB制御器をﾘｾｯﾄするには解除(0)してください。

• **ﾋﾞｯﾄ6 – HOST : ﾎｽﾄ/装置選択** (HOST Bit)

ﾎｽﾄ動作を許可するには設定(1)してください。装置動作を許可するには解除(0)してください。

• **ﾋﾞｯﾄ5 – FRZCLK : USBｸﾛｯｸ停止** (Freeze USB Clock Bit)

ｸﾛｯｸ入力を禁止(再開検出は未だ活動)するには設定(1)してください。これは電力消費を低減します。ｸﾛｯｸ入力を許可するには解除(0)してください。

• **ﾋﾞｯﾄ4 – OTGPADE : OTGﾊﾟｯﾄﾞ許可** (OTG Pad Enable)

OTGﾊﾟｯﾄﾞを許可するには設定(1)してください。OTGﾊﾟｯﾄﾞを禁止するには解除(0)してください。現実のOTGﾊﾟｯﾄﾞはVBUSﾊﾟｯﾄﾞです。

例えUSB全体許可(USBE)=0でも、このﾋﾞｯﾄが設定(1)/解除(0)できることに留意してください(それは例えUSB制御器が禁止でもVBUS検出を許します)。本ﾊﾟｯﾄﾞはUSB動作(接続、送信など)を許すためにﾎｽﾄ動作と装置動作の両方で許可されなければなりません。

• **ﾋﾞｯﾄ3,2 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ1 – IDTE : ID遷移割り込み許可** (ID Transition Interrupt Enable Bit)

ID遷移割り込み生成の許可には本ﾋﾞｯﾄを設定(1)してください。ID遷移割り込み生成を禁止するには本ﾋﾞｯﾄを解除(0)してください。

• **ﾋﾞｯﾄ0 – VBUSTE : VBUS遷移割り込み許可** (VBUS Transition Interrupt Enable Bit)

VBUS遷移割り込み生成を許可するには、このﾋﾞｯﾄを設定(1)してください。VBUS遷移割り込み生成を禁止するには、このﾋﾞｯﾄを解除(0)してください。

22.12.3. USBSTA – USB状態ﾚｼﾞｽﾀ (USB Status Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($D9)	–	–	–	–	SPEED	–	ID	VBUS	USBSTA
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	1	0	1	0	

- **ﾋﾞｯﾄ7～4 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

- **ﾋﾞｯﾄ3 – SPEED : 速度状態ﾌﾗｸﾞ** (Speed Status Flag)

これはUSB制御器がﾎｽﾄ動作で作動する時にだけ読まれるべきで、装置動作での本ﾋﾞｯﾄからの読み込み値は不完全に終わります。

- **ﾋﾞｯﾄ2 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

- **ﾋﾞｯﾄ1 – ID : UIDﾋﾟﾝ ﾌﾗｸﾞ** (UID pin Flag)

このﾋﾞｯﾄからの読み込み値はUIDﾋﾟﾝの状態を示します。

- **ﾋﾞｯﾄ0 – VBUS : VBUSﾌﾗｸﾞ** (VBus Flag)

このﾋﾞｯﾄからの読み込み値はVBUSﾋﾟﾝの状態を示します。本ﾋﾞｯﾄは装置動作で応用でのUSBﾊﾞｽ接続状態の監視に使えます。より多くの詳細については170頁の「ﾌﾟﾗｸﾞ接続検出」項をご覧ください。

22.12.4. USBINT – USB割り込み要求ﾚｼﾞｽﾀ (USB Interrupt Request Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($DA)	–	–	–	–	–	–	IDTI	VBUSTI	USBINT
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7～2 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

- **ﾋﾞｯﾄ1 – IDTI : UID遷移割り込み要求ﾌﾗｸﾞ** (UID Transition Interrupt Flag)

UIDﾋﾟﾝ上で遷移(HighからLow、またはLowからHigh)が検出された時にﾊｰﾄﾞｳｪｱによって設定(1)されます。
ｿﾌﾄｳｪｱによって解除(0)してください。

- **ﾋﾞｯﾄ0 – VBUSTI : VBUS遷移割り込み要求ﾌﾗｸﾞ** (VBUS Transition Interrupt Flag)

VBUSﾊﾟｯﾄﾞ上で遷移(HighからLow、またはLowからHigh)が検出された時にﾊｰﾄﾞｳｪｱによって設定(1)されます。
ｿﾌﾄｳｪｱによって解除(0)してください。

22.12.5. OTGCON – OTG制御ﾚｼﾞｽﾀ (OTG Control Register) (注: AT90USB646/1286は利用できません。)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($DD)	–	–	HNPREQ	SRPREQ	SRPSEL	VBUSHWC	VBUSREQ	VBUSRQC	OTGCON
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7,6 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

- **ﾋﾞｯﾄ5 – HNPREQ : HNP要求** (HNP Request Bit)

制御器が装置動作(B)の時にﾎｽﾄ交渉規約(HNP)を開始するには設定(1)してください。制御器がﾎｽﾄ動作(A)の時にHNPを受け入れるには設定(1)してください。

- **ﾋﾞｯﾄ4 – SRPREQ : SRP要求** (SRP Request Bit)

制御器が装置動作の時にｾｯｼｮﾝ要求規約(SRP)を開始するには設定(1)してください。制御器がSRPを開始すると、ﾊｰﾄﾞｳｪｱによって解除(0)されます。

- **ﾋﾞｯﾄ3 – SRPSEL : SRP種別選択** (SRP Selection Bit)

SRPの方法としてVBUSﾊﾟﾙｽを選ぶには設定(1)してください。SRPの方法としてﾃﾞｰﾀ線ﾊﾟﾙｽを選ぶには解除(0)してください。

- **ﾋﾞｯﾄ2 – VBUSHWC : VBUSﾊｰﾄﾞｳｪｱ制御** (VBUS Hardware Control Bit)

UVCONﾋﾟﾝでのﾊｰﾄﾞｳｪｱ制御を禁止するには、設定(1)してください。UVCONﾋﾟﾝでのﾊｰﾄﾞｳｪｱ制御を許可するには、解除(0)してください。

- **ﾋﾞｯﾄ1 – VBUSREQ : VBUS要求** (VBUS Request Bit)

VBUS電源生成を許可するためにUVCONﾋﾟﾝを有効出力にするには設定(1)してください。このﾋﾞｯﾄは制御器がﾎｽﾄ動作の時に使われるべきです。

VBUS要求解除(VBUSRQC)ﾋﾞｯﾄが設定(1)されると、ﾊｰﾄﾞｳｪｱによって解除(0)されます。

- **ﾋﾞｯﾄ0 – VBUSRQC : VBUS要求解除** (VBUS Request Clear Bit)

VBUS電源生成を許可するためにUVCONﾋﾟﾝを無効出力にするには設定(1)してください。このﾋﾞｯﾄは制御器がﾎｽﾄ動作の時に使われるべきです。

設定(1)後、ﾊｰﾄﾞｳｪｱによって直ちに解除(0)されます。

22.12.6. OTGTCON – OTGﾀｲﾏ制御ﾚｼﾞｽﾀ (OTG Timer Control Register) (注: AT90USB646/1286は利用できません。)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($F9)	–	PAGE1	PAGE0	–	–	–	VALUE1	VALUE0	OTGTCON
Read/Write	R	R/W	R/W	R	R	R	R/W	R/W	
初期値	1	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に設定(1)です。

- **ﾋﾞｯﾄ6,5 – PAGE1,0 : ﾀｲﾏ ﾍﾟｰｼﾞ ｱｸｾｽ** (Timer page access Bits)

特殊ﾀｲﾏ ﾚｼﾞｽﾀをｱｸｾｽするのに設定(1)/解除(0)します。より多くの詳細については170頁の「**OTGﾀｲﾏ独自設定**」項をご覧ください。

- **ﾋﾞｯﾄ4~2 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

- **ﾋﾞｯﾄ1,0 – VALUE1,0 : 値** (Value Bits)

ﾀｲﾏを新しい値で始めるために設定します。より多くの詳細については170頁の「**OTGﾀｲﾏ独自設定**」項をご覧ください。

22.12.7. OTGIEN – OTG割り込み許可ﾚｼﾞｽﾀ (OTG Interrupt Enable Register) (注: AT90USB646/1286は利用できません。)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($DE)	–	–	STOE	HNPERRE	ROLEEXE	BCERRE	VBERRE	SRPE	OTGIEN
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7,6 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

- **ﾋﾞｯﾄ5 – STOE : 休止時間超過異常割り込み許可** (Suspend Time-out Error Interrupt Enable Bit)

休止時間超過異常割り込み(STOI)を許可するには設定(1)してください。STOI割り込みを禁止するには解除(0)してください。

- **ﾋﾞｯﾄ4 – HNPERRE : HNP異常割り込み許可** (HNP Error Interrupt Enable Bit)

ﾎｽﾄ交渉異常割り込み(HNPERRI)を許可するには設定(1)してください。HNPERRI割り込みを禁止するには解除(0)してください。

- **ﾋﾞｯﾄ3 – ROLEEXE : 役割変更割り込み許可** (Role Exchange Interrupt Enable Bit)

役割変更割り込み(ROLEEXI)を許可するには設定(1)してください。ROLEEXI割り込みを禁止するには解除(0)してください。

- **ﾋﾞｯﾄ2 – BCERRE : B接続異常割り込み許可** (B-Connection Error Interrupt Enable Bit)

B接続異常割り込み(BCERRI)を許可するには設定(1)してください。BCERRI割り込みを禁止するには解除(0)してください。

- **ﾋﾞｯﾄ1 – VBERRE : VBUS異常割り込み許可** (VBUS Error Interrupt Enable Bit)

VBUS異常割り込み(VBERRI)を許可するには設定(1)してください。VBERRI割り込みを禁止するには解除(0)してください。

- **ﾋﾞｯﾄ0 – SRPE : SRP割り込み許可** (SRP Interrupt Enable Bit)

ｾｯｼｮﾝ要求規約割り込み(SRPI)を許可するには設定(1)してください。SRPI割り込みを禁止するには解除(0)してください。

22.12.8. OTGINT – OTG割り込み要求ﾚｼﾞｽﾀ (OTG Interrupt Request Register) (注: AT90USB646/1286は利用できません。)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($DF)	–	–	STOI	HNPERRI	ROLEEXI	BCERRI	VBERRI	SRPI	OTGINT
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7,6 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

- **ﾋﾞｯﾄ5 – STOI : 休止時間超過異常割り込み要求ﾌﾗｸﾞ** (Suspend Time-out Error Interrupt Flag)

休止後に(150msを越える)時間超過異常が検知される時にﾊｰﾄﾞｳｪｱによって設定(1)されます。ｿﾌﾄｳｪｱによって解除(0)してください。

- **ﾋﾞｯﾄ4 – HNPERRI : HNP異常割り込み要求ﾌﾗｸﾞ** (HNP Error Interrupt Flag)

ﾎｽﾄ交渉規約中に異常が検知される時にﾊｰﾄﾞｳｪｱによって設定(1)されます。ｿﾌﾄｳｪｱによって解除(0)してください。

- **ﾋﾞｯﾄ3 – ROLEEXI : 役割変更割り込み要求ﾌﾗｸﾞ** (Role Exchange Interrupt Flag)

HNP交渉(ﾎｽﾄから装置へ、または装置からﾎｽﾄへ)によってUSB制御器がその動作交換成功時にﾊｰﾄﾞｳｪｱによって設定(1)されます。けれども(ﾎｽﾄ/装置)動作選択(HOST)ﾋﾞｯﾄが変化せず、正しいRAM位置と事象ﾋﾞｯﾄを得るためにﾌｧｰﾑｳｪｱによって変更されなければなりません。(本ﾋﾞｯﾄは)ｿﾌﾄｳｪｱによって解除(0)してください。

- **ﾋﾞｯﾄ2 – BCERRI : B接続異常割り込み要求ﾌﾗｸﾞ** (B-Connection Error Interrupt Flag)

B接続中に異常が起きた(例えばVBUS供給要求の300ms後に装置が接続されていない)時にﾊｰﾄﾞｳｪｱによって設定(1)されます。ｿﾌﾄｳｪｱによって解除(0)してください。

- **ﾋﾞｯﾄ1 – VBERRI : VBUS異常割り込み要求ﾌﾗｸﾞ** (VBUS Error Interrupt Flag)

VBUS上の電圧低下が検知される時にﾊｰﾄﾞｳｪｱによって設定(1)されます。ｿﾌﾄｳｪｱによって解除(0)してください。

- **ﾋﾞｯﾄ0 – SRPI : SRP割り込み要求ﾌﾗｸﾞ** (SRP Interrupt Flag)

ｾｯｼｮﾝ要求規約(SRP)が検知される時にﾊｰﾄﾞｳｪｱによって設定(1)されます。ﾎｽﾄ動作でだけ使われるべきです。ｿﾌﾄｳｪｱによって解除(0)してください。

22.13. USBｿﾌﾄｳｪｱ操作種別

USB動作種別に応じて、ｿﾌﾄｳｪｱは以下の操作のいくつかを実行しなければなりません。

USBｲﾝﾀｰﾌｪｰｽ電源ON

- USBﾊﾟｯﾄﾞ電圧調整器電源ON
- PLLｲﾝﾀｰﾌｪｰｽ設定
- PLL許可、PLL固定化(ﾛｯｸ)検査
- USBｲﾝﾀｰﾌｪｰｽ許可
- USBｲﾝﾀｰﾌｪｰｽ設定 (USB速度、ｴﾝﾄﾞﾎﾟｲﾝﾄ設定、...)
- USB VBUS接続情報待機
- USB装置取り付け(接続)

USBｲﾝﾀｰﾌｪｰｽ電源OFF

- USBｲﾝﾀｰﾌｪｰｽ分離
- USBｲﾝﾀｰﾌｪｰｽ禁止
- PLL禁止
- USBﾊﾟｯﾄﾞ電圧調整器禁止

USBｲﾝﾀｰﾌｪｰｽ休止

- 休止ﾋﾞｯﾄ解除(=0)
- USBｸﾛｯｸ休止設定
- PLL禁止
- 休止形態を抜けるための割り込みを確実に許可してください。
- MCUを休止形態へ移行します。

USBｲﾝﾀｰﾌｪｰｽ再開

- PLL許可
- PLL固定化(ﾛｯｸ)待機
- USBｸﾛｯｸ休止解除
- 再開情報解除

23. USB装置動作

23.1. 序説

USB装置制御器は全速(Full-speed)と低速(Low-speed)のﾃﾞｰﾀ転送を支援します。既定の制御(Control)ｴﾝﾄﾞﾎﾟｲﾝﾄに加えて別に、制御(Control)、大量(Bulk:ﾊﾞﾙｸ)、割り込み(Interrupt)、等時(Isochronuos:ｱｲｿｸﾛﾉｽ)動作に設定できる6つのｴﾝﾄﾞﾎﾟｲﾝﾄを提供します。

- ｴﾝﾄﾞﾎﾟｲﾝﾄ0　　：既定制御ｴﾝﾄﾞﾎﾟｲﾝﾄ、64ﾊﾞｲﾄまでのFIFO容量設定可能
- ｴﾝﾄﾞﾎﾟｲﾝﾄ1　　：交互動作で256ﾊﾞｲﾄまでのFIFO容量設定可能
- ｴﾝﾄﾞﾎﾟｲﾝﾄ2～6：交互動作で64ﾊﾞｲﾄまでのFIFO容量設定可能

制御器はｱｲﾄﾞﾙ動作で始まります。この動作ではﾊﾟｯﾄﾞの電力消費が最小に低減されます。

23.2. 電源ONとﾘｾｯﾄ

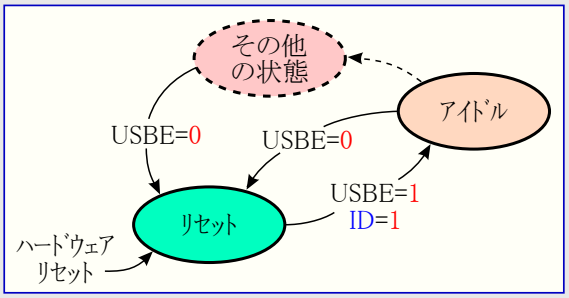
次の構成図は電源ONでのUSB装置制御器の主な状態を説明します。

装置制御器のﾘｾｯﾄ状態は次のとおりです。

- 電力消費を最小とするために全体ｸﾛｯｸが停止されます(USB制御(USBCON)ﾚｼﾞｽﾀのUSBｸﾛｯｸ停止(FRZCLK)=1)。
- USB装置制御器の内部状態はﾘｾｯﾄです(全てのﾚｼﾞｽﾀがそれらの既定値でﾘｾｯﾄされます。USB装置制御(UDCON)ﾚｼﾞｽﾀの分離(DETACH)ﾋﾞｯﾄが設定(1)されることに注意してください)。
- ｴﾝﾄﾞﾎﾟｲﾝﾄのﾊﾞﾝｸはﾘｾｯﾄされます。
- D+とD-のﾌﾟﾙｱｯﾌﾟは非活性(分離(Detach)動作)にされます。

D+とD-のﾌﾟﾙｱｯﾌﾟは分離(DETACH)ﾋﾞｯﾄが解除(0)されると直ぐに活性(有効)にされ、VBUSが現れます。

図23-1. ﾘｾｯﾄ後のUSB装置制御器状態



ﾘｾｯﾄ後の制御器は最小電力消費でのｱｲﾄﾞﾙ状態で、この状態への移行にPLLが動作されている必要はありません。

USB装置制御器はUSB制御(USBCON)ﾚｼﾞｽﾀのUSB全体許可(USBE)ﾋﾞｯﾄの解除(0)よって何時でもﾘｾｯﾄにできます(USBｲﾝﾀｰﾌｪｰｽ禁止)。

23.3. ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾘｾｯﾄ

ｴﾝﾄﾞﾎﾟｲﾝﾄはｴﾝﾄﾞﾎﾟｲﾝﾄ ﾘｾｯﾄ(UERST)ﾚｼﾞｽﾀ内でｴﾝﾄﾞﾎﾟｲﾝﾄに対応するﾋﾞｯﾄ(EPRSTn)の設定(1)によって何時でもﾘｾｯﾄできます。このﾘｾｯﾄは以下を行います。

- そのｴﾝﾄﾞﾎﾟｲﾝﾄの内部状態機構をﾘｾｯﾄ
- RxとTxのﾊﾞﾝｸが消去され、それらの内部ﾎﾟｲﾝﾀが復元(初期化)されます。
- ｴﾝﾄﾞﾎﾟｲﾝﾄX割り込み要求(UEINTX)ﾚｼﾞｽﾀ、ｴﾝﾄﾞﾎﾟｲﾝﾄX状態0(UESTA0X)ﾚｼﾞｽﾀ、ｴﾝﾄﾞﾎﾟｲﾝﾄX状態1(UESTA1X)ﾚｼﾞｽﾀはそれらのﾘｾｯﾄ値に復元(初期化)されます。

交互ﾃﾞｰﾀ番号領域は無変化に留まります。

その他のﾚｼﾞｽﾀは無変化に留まります。

ｴﾝﾄﾞﾎﾟｲﾝﾄ設定は活性(有効)に留まり、ｴﾝﾄﾞﾎﾟｲﾝﾄは未だ許可されています。

ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾘｾｯﾄはCLEAR_FEATURE USB命令への応答としてﾃﾞｰﾀ番号交互命令の解除(ｴﾝﾄﾞﾎﾟｲﾝﾄX制御(UECONX)ﾚｼﾞｽﾀの交互ﾃﾞｰﾀ番号ﾘｾｯﾄ(RSTDT)ﾋﾞｯﾄ)と連携して行えます。

23.4. USBﾘｾｯﾄ

USB線上でUSBﾘｾｯﾄが検出されると、制御器によって次の操作が行われます。

- 全てのｴﾝﾄﾞﾎﾟｲﾝﾄが禁止されます。
- 既定制御ｴﾝﾄﾞﾎﾟｲﾝﾄは構成(設定)状態に留まります(より多くの詳細については「ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾘｾｯﾄ」をご覧ください)。

23.5. ｴﾝﾄﾞﾎﾟｲﾝﾄ選択

CPUによって何らかの操作が行われる前にｴﾝﾄﾞﾎﾟｲﾝﾄが先に選ばれなければなりません。これはCPUによって管理されるｴﾝﾄﾞﾎﾟｲﾝﾄ番号でのｴﾝﾄﾞﾎﾟｲﾝﾄ番号(UENUM)ﾚｼﾞｽﾀのｴﾝﾄﾞﾎﾟｲﾝﾄ番号(EPNUM2～0)ﾋﾞｯﾄ設定によって行われます。

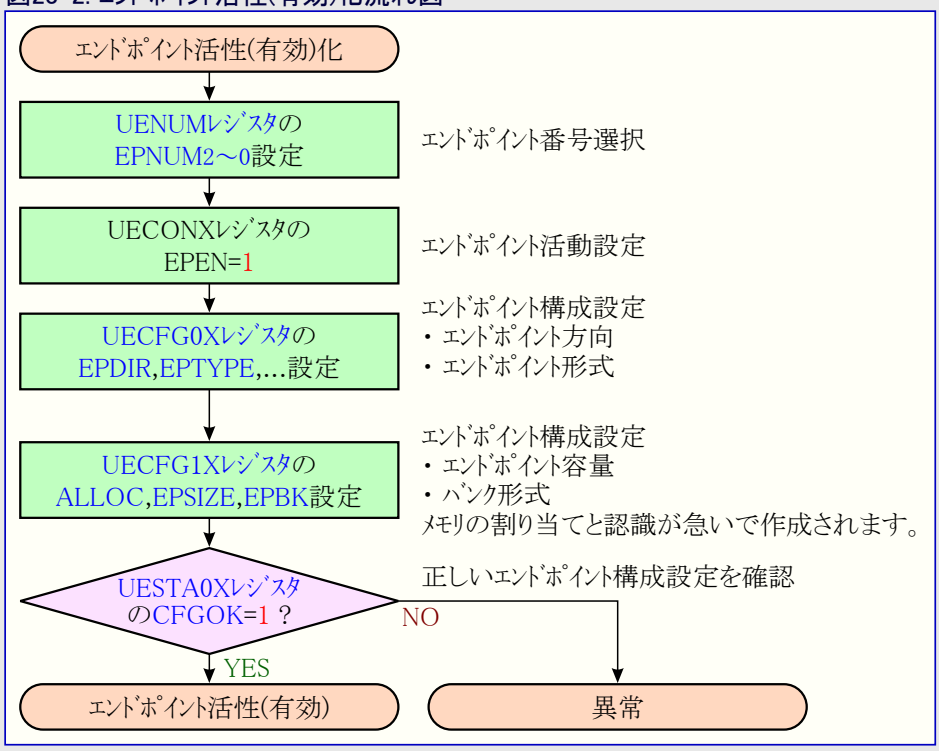
その後にCPUは各種ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾚｼﾞｽﾀとﾃﾞｰﾀへｱｸｾｽすることができます。

23.6. ｴﾝﾄﾞﾎﾟｲﾝﾄの活性化（有効設定）

ｴﾝﾄﾞﾎﾟｲﾝﾄはｴﾝﾄﾞﾎﾟｲﾝﾄX制御(UECONX)ﾚｼﾞｽﾀのｴﾝﾄﾞﾎﾟｲﾝﾄ許可(EPEN)ﾋﾞｯﾄが設定(1)されない限り、ﾘｾｯﾄ下に保たれます。

以下の流れはｴﾝﾄﾞﾎﾟｲﾝﾄを活性(有効)にするために尊重されなければなりません。

図23-2. ｴﾝﾄﾞﾎﾟｲﾝﾄ活性(有効)化流れ図



ｴﾝﾄﾞﾎﾟｲﾝﾄが不正に設定(CFGOK=0)されている限り、ﾊｰﾄﾞｳｪｱはﾎｽﾄによって送られたﾊﾟｹｯﾄに応答しません。

構成状況(CFGOK)ﾌﾗｸﾞはｴﾝﾄﾞﾎﾟｲﾝﾄ容量指定がDPRAM容量よりも大きいなら、設定(1)されません。

ｴﾝﾄﾞﾎﾟｲﾝﾄ許可(EPEN)ﾋﾞｯﾄの解除(0)はｴﾝﾄﾞﾎﾟｲﾝﾄ ﾘｾｯﾄとして働きます(より多くの詳細については177頁の「**ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾘｾｯﾄ**」をご覧ください)。これは次の操作も行います。

- ｴﾝﾄﾞﾎﾟｲﾝﾄの構成設定は保持されます(EPSIZE, EPNK, ALLOC保持)。
- 交互ﾃﾞｰﾀ番号領域をﾘｾｯﾄします。
- ｴﾝﾄﾞﾎﾟｲﾝﾄに関連するDPRAMは未だ予約されています。

ﾒﾓﾘ割り当てと認識についてのより多くの詳細に関しては169頁の「**ﾒﾓﾘ管理**」をご覧ください。

23.7. ｱﾄﾞﾚｽ設定

USB装置ｱﾄﾞﾚｽはUSB規約に従って設定されます。

- 電源投入後、USB装置はｱﾄﾞﾚｽ0で応答します。
- ﾎｽﾄは設定(SETUP)命令を送ります(SET_ADDRESS(addr))。
- ﾌｧｰﾑｳｪｱは装置ｱﾄﾞﾚｽ(UDADDR)ﾚｼﾞｽﾀのUSB装置ｱﾄﾞﾚｽ(UADD6～0)内にそのｱﾄﾞﾚｽを記録しますが、ｱﾄﾞﾚｽ許可(ADDEN)ﾋﾞｯﾄは解除(0)を保持してください。
- USB装置は0ﾊﾞｲﾄのIN命令を送ります(IN 0：0長ﾊﾟｹｯﾄ)。
- その後、ﾌｧｰﾑｳｪｱはADDENﾋﾞｯﾄの設定(1)によってUSB装置ｱﾄﾞﾚｽを許可にできます。制御器によって受け付けられるｱﾄﾞﾚｽはUADD6～0に格納された1つ(のｱﾄﾞﾚｽ)だけです。

ADDENとUADD6～0ﾋﾞｯﾄは同時に書かれるべきではありません。

UADD6～0ﾋﾞｯﾄは電源投入またはﾘｾｯﾄ後、既定ｱﾄﾞﾚｽ$00を内包します。

ADDENﾋﾞｯﾄは以下の状態でﾊｰﾄﾞｳｪｱによって解除(0)されます。

- 電源投入ﾘｾｯﾄ後
- USBﾘｾｯﾄが受信された時
- 制御器が禁止された時(USB制御(USBCON)ﾚｼﾞｽﾀのUSB全体許可(USBE)=0)

この(ADDEN)ﾋﾞｯﾄが解除(0)されると、既定装置ｱﾄﾞﾚｽ$00が使われます。

23.8. 休止、起動復帰と再開

USB線が非活性で3ms間後、制御器は全速(Full-speed)動作に切り替え、(許可されていれば)休止(Suspend)割り込み(SUSPI)を起動します。そしてﾌｧｰﾑｳｪｱはUSB制御(USBCON)ﾚｼﾞｽﾀのUSBｸﾛｯｸ停止(FRZCLK)ﾋﾞｯﾄを設定(1)できます。

CPUは更により低い電力消費にさせるのにｱｲﾄﾞﾙ動作へ移行することもできます。

休止(Suspend)動作からの回復には2つの方法があります。

- 1つ目はFRZCLKﾋﾞｯﾄを解除(0)することです。これはCPUがｱｲﾄﾞﾙ動作でない場合に可能です。
- 2つ目の方法はCPUがｱｲﾄﾞﾙ動作の場合で、CPU起動復帰割り込み(WAKEUPI)を許可(WAKEUPE=1)することです。そして制御器によって非ｱｲﾄﾞﾙ信号が見つかると直ぐに、WAKEUPI割り込みが起動されます。ﾌｧｰﾑｳｪｱはその後に転送を再開するためにFRZCLKﾋﾞｯﾄを解除(0)すべきです。

休止割り込み(SUSPI)とCPU起動復帰割り込み(WAKEUPI)間に関連はなく、WAKEUPI割り込みはﾃﾞｰﾀ線上の非ｱｲﾄﾞﾙ形態で直ぐに起動されます。従ってWAKEUPI割り込みは例え制御器が休止動作でなくても起き得ます。

WAKEUPI割り込みが起動されるとき、SUSPI割り込みが既に設定(1)されている場合、それはﾊｰﾄﾞｳｪｱによって解除(0)されます。

SUSPI割り込みが起動されるとき、WAKEUPI割り込みが既に設定(1)されている場合、それはﾊｰﾄﾞｳｪｱによって解除(0)されます。

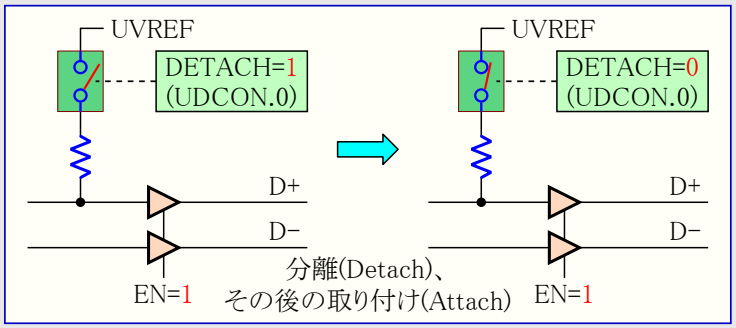
23.9. 分離 (切り離し)

USB装置制御(UDCON)ﾚｼﾞｽﾀの分離(DETACH)ﾋﾞｯﾄのﾘｾｯﾄ値は1です。

単にDETACHﾋﾞｯﾄを設定(1)し、そして解除(0)することによって装置を再列挙(再認識)することが可能です。

- DETACHﾋﾞｯﾄの設定(1)は(選ばれた全速(Full-speed)または低速(Low-speed)動作に応じて)、D+またはD-ﾊﾟｯﾄﾞ上のﾌﾟﾙｱｯﾌﾟを切断します。その後のDETACHﾋﾞｯﾄの解除(0)がD+またはD-ﾊﾟｯﾄﾞ上のﾌﾟﾙｱｯﾌﾟを接続します。

図23-3. 全速動作での装置分離



23.10. 遠隔起動復帰

遠隔起動復帰(Remote Wake-up: または上方向再開(Upstream resume))要求は、装置によって自発的に送ることが許された唯一の操作です。とにかく、それを行うため、装置は最初にホストからDEVICE_REMOTE_WAKEUP要求が受信されるべきです。

- 最初にUSB制御器は信号線の休止(Suspend)状態を検知しなければなりません。遠隔起動復帰は休止(Suspend)割り込み(SUSPI)ﾌﾗｸﾞが設定(1)されている時にだけ送ることができます。
- ﾌｧｰﾑｳｪｱはその後に上方向再開(Upstream resume)列を送るためにUSB装置制御(UDCON)ﾚｼﾞｽﾀの遠隔起動(RMWKUP)ﾋﾞｯﾄを設定(1)できます。
- 制御器が上方向再開(Upstream resume)送信を始めると、(許可されていれば)上方向再開割り込み(UPRSMI)が起動されます。SUSPIはﾊｰﾄﾞｳｪｱによって解除(0)されます。
- 上方向再開(Upstream resume)の最後でRMWKUPﾋﾞｯﾄがﾊｰﾄﾞｳｪｱによって解除(0)されます。
- 制御器がﾎｽﾄからの良好な再開終了(End Of Resume)を検知すると、(許可されていれば)再開終了割り込み(EORSMI)が起動されます。

23.11. 不能応答(STALL)要求

各ｴﾝﾄﾞﾎﾟｲﾝﾄに対する不能応答(STALL)管理は2ﾋﾞｯﾄ(と1ﾌﾗｸﾞ)を使って行われます。

- STALLRQ (不能応答要求(STALL Request)許可)
- STALLRQC (不能応答要求(STALL Request)禁止)
- STALLEDI (不能応答送信(STALL sent)割り込み)

次の要求で不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸを送るにはｴﾝﾄﾞﾎﾟｲﾝﾄX制御(UECONX)ﾚｼﾞｽﾀのSTALLRQﾋﾞｯﾄが設定(1)されなければなりません。後続する全ての要求はSTALLRQCﾋﾞｯﾄが設定(1)されるまで不能応答(STALL)でﾊﾝﾄﾞｼｪｰｸされます。

STALLRQCの設定(1)はSTALLRQﾋﾞｯﾄを自動的に解除(0)します。STALLRQCﾋﾞｯﾄもｿﾌﾄｳｪｱによって設定(1)された後、ﾊｰﾄﾞｳｪｱによって直ちに解除(0)されます。従ってﾌｧｰﾑｳｪｱはこのﾋﾞｯﾄを決して設定(1)として読まないでしょう。

不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸが送られる度にｴﾝﾄﾞﾎﾟｲﾝﾄX割り込み要求(UEINTX)ﾚｼﾞｽﾀのSTALLEDIﾌﾗｸﾞがUSB制御器によって設定(1)され、(許可されていれば)ｴﾝﾄﾞﾎﾟｲﾝﾄn(=X)割り込み(EPINTn)が起動されます。

到着ﾊﾟｹｯﾄは破棄されます(OUTﾃﾞｰﾀ受信割り込み要求(RXOUTI)と読み書き可(RWAL)ﾌﾗｸﾞは設定(1)されません)。

ﾎｽﾄはその後に不能応答(STALL)をﾘｾｯﾄするための命令を送信し、ﾌｧｰﾑｳｪｱは直ぐにSTALLRQCﾋﾞｯﾄを設定(1)してｴﾝﾄﾞﾎﾟｲﾝﾄをﾘｾｯﾄしなければなりません。

23.11.1. 制御ｴﾝﾄﾞﾎﾟｲﾝﾄに対する特別な考慮

SETUP要求は常に肯定応答(ACK)で応答されます。

不能応答(STALL)要求が制御ｴﾝﾄﾞﾎﾟｲﾝﾄで設定され、SETUP要求が起きると、そのSETUP要求はACKで応答されなければならず、不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸ要求(STALLRQ)ﾋﾞｯﾄと不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸ送信完了割り込み要求(STALLEDI)ﾌﾗｸﾞは自動的にﾘｾｯﾄ(=0)されます(SETUP受信割り込み要求(RXSTPI)=1,送信可割り込み要求(TXINI)=0,不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸ送信完了割り込み要求(STALLEDI) =0,...)。

この管理は列挙管理処理を簡単にします。命令が未支援または異常を含む場合、ﾌｧｰﾑｳｪｱは不能応答(STALLRQ)ﾋﾞｯﾄを設定(1)して次のSETUP要求を待つ主作業へ戻ることができます。

この機能はGET_DESCRIPTORに対する追加状態送信をし得る第8節検査に適合します。ﾌｧｰﾑｳｪｱは状態受信後、直ちに不能応答要求(STALLRQ)ﾋﾞｯﾄを設定(1)します。全ての追加状態は以降のSETUP要求まで、自動的に不能応答(STALL)にされます。

23.11.2. 不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸと再試行機構

再試行機構は不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸよりも高い優先順位を持ちます。不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸは不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸ要求(STALLRQ)ﾋﾞｯﾄが設定(1)され、且つ再試行の必要がない場合に送信されます。

23.12. 制御ｴﾝﾄﾞﾎﾟｲﾝﾄ管理

SETUP要求は常に肯定応答(ACK)で応答されます。新規のSETUPﾊﾟｹｯﾄが受信されると、(許可されているならば)SETUP受信割り込み要求(RXSTPI)が起動されます。OUT受信割り込み要求(RXOUTI)は起動されません。

ｴﾝﾄﾞﾎﾟｲﾝﾄX割り込み要求(UEINTX)ﾚｼﾞｽﾀのFIFO制御(FIFOCON)ﾋﾞｯﾄと読み書き可(RWAL)ﾌﾗｸﾞは制御ｴﾝﾄﾞﾎﾟｲﾝﾄに無関係です。従ってﾌｧｰﾑｳｪｱはこのｴﾝﾄﾞﾎﾟｲﾝﾄでそれらを決して使ってはなりません。読むとそれらの値は常に0です。

制御ｴﾝﾄﾞﾎﾟｲﾝﾄは以下のﾋﾞｯﾄによって管理されます。

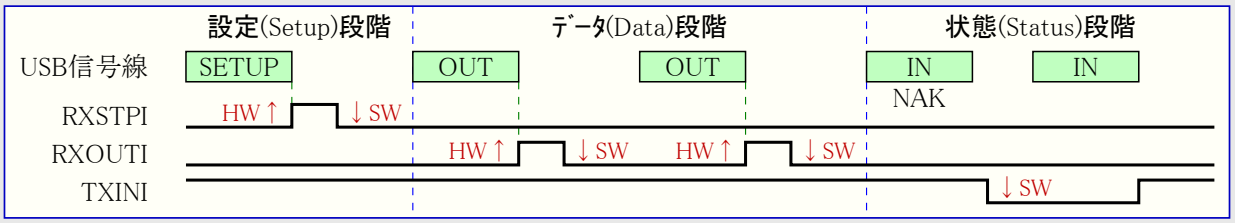
- 新規SETUPﾊﾟｹｯﾄが受信されると、RXSTPIが設定(1)されます。ﾊﾟｹｯﾄの応答と**ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾊﾞﾝｸの解除**のため、これはﾌｧｰﾑｳｪｱによって解除(0)されるべきです。
- 新規OUTﾃﾞｰﾀが受信されると、RXOUTIが設定(1)されます。ﾊﾟｹｯﾄの応答と**ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾊﾞﾝｸの解除**のため、これはﾌｧｰﾑｳｪｱによって解除(0)されるべきです。
- ﾊﾞﾝｸが新規INﾊﾟｹｯﾄ受け入れ準備可の時に送信可割り込み要求(TXINI)が設定(1)されます。**ﾊﾟｹｯﾄの送信**と**ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾊﾞﾝｸの解除**のため、これはﾌｧｰﾑｳｪｱによって解除(0)されるべきです。

23.12.1. 制御出力

図23-4.は制御出力転送を示します。状態段階中に制御器は最初のIN指示票(ﾄｰｸﾝ)で否定応答(NAK)を送信する必要はありません。

- ﾌｧｰﾑｳｪｱが読まなければならない記述子の正確なﾊﾞｲﾄ数を知っているなら、その後の状態段階が予測でき、次のIN指示子に対して0長ﾊﾟｹｯﾄ(ZLP)を送信できます。
- またはﾊﾞｲﾄを読み、全ﾊﾞｲﾄがﾎｽﾄによって送信されてしまったことを知らせる、NAK(否定応答)INﾊﾟｹｯﾄ受信割り込み要求(NAKINI)のﾎﾟｰﾘﾝｸﾞができ、処理単位(Transaction)は既に状態段階です。

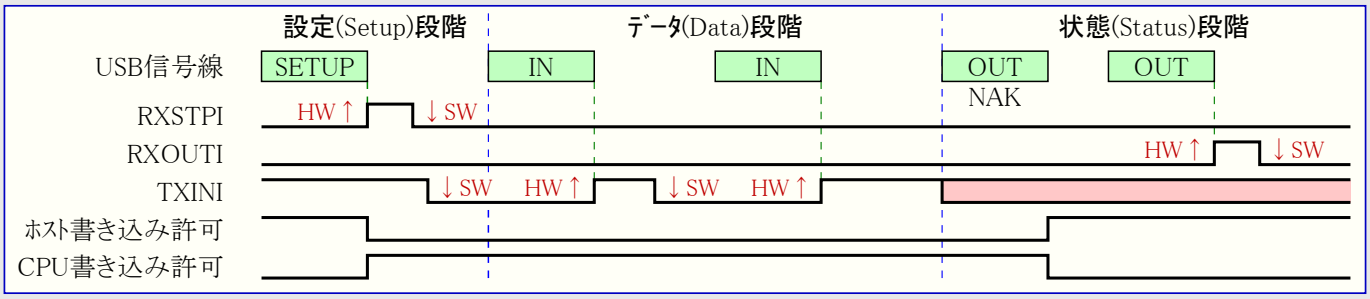
図23-4. 制御出力の流れ



23.12.2. 制御入力

図23-5.は制御入力転送を示します。USB制御器はCPUとﾎｽﾄから同時に起こる書き込み要求を管理しなければなりません。

図23-5. 制御出力の流れ



否定応答(NAK)ﾊﾝﾄﾞｼｪｰｸが状態段階命令の最初で常に生成されます。

制御器が状態段階を検知すると、CPUによって書かれた全ﾃﾞｰﾀが消去され、送信可割り込み要求(TXINI)の解除(0)は無効です。

ﾌｧｰﾑｳｪｱは送信が完了か、または受信が完了かを調べます。

OUT再試行は常に肯定応答(ACK)で応答されます。この受信は次のとおりです。

- OUT受信割り込み要求(RXOUTI)ﾌﾗｸﾞが設定(1)されます。(OUTﾃﾞｰﾀ受信)
- 送信可割り込み要求(TXINI)ﾌﾗｸﾞが設定(1)されます。(ﾃﾞｰﾀ送信、新規ﾃﾞｰﾀ受け入れ可)

ｿﾌﾄｳｪｱでの手順は次のとおりです。

- 送信可状態設定
- 待機 (送信完了または受信完了)
- 受信完了ならﾌﾗｸﾞ解除後復帰、送信完了なら継続へ

一旦OUT状態段階が受信されてしまうと、USB制御器はSETUP要求を待ちます。SETUP要求は他の何れの要求よりも高い優先順位を持ち、肯定応答(ACK)で応答しなければなりません。これはSETUPが受信された時にFIFOがﾘｾｯﾄされ、他のどのﾌﾗｸﾞも解除(0)されるべきことを意味します。

警告: ﾊﾞｲﾄ計数器は0長OUTﾊﾟｹｯﾄが受信された時にﾘｾｯﾄされます。ﾌｧｰﾑｳｪｱはこれに充分注意しなければなりません。

23.13. OUTｴﾝﾄﾞﾎﾟｲﾝﾄ管理

OUTﾊﾟｹｯﾄはﾎｽﾄによって送られます。受け取りを知らせる、または空でないﾊﾞﾝｸの全てのﾃﾞｰﾀはCPUによって読むことができます。

23.13.1. 概要

ｴﾝﾄﾞﾎﾟｲﾝﾄが先に構成設定されなければなりません。

現在のﾊﾞﾝｸが一杯になる毎にOUT受信割り込み要求(RXOUTI)とFIFO制御(FIFOCON)ﾋﾞｯﾄが設定(1)されます。これはOUT受信割り込み許可(RXOUTE)ﾋﾞｯﾄが設定(1)なら、割り込みを起動します。ﾌｧｰﾑｳｪｱはRXOUTIﾋﾞｯﾄの解除(0)によってUSB割り込みに応答できます。ﾌｧｰﾑｳｪｱは現在のﾊﾞﾝｸを開放するためにﾃﾞｰﾀを読み、FIFOCONﾋﾞｯﾄを解除(0)してください。OUTｴﾝﾄﾞﾎﾟｲﾝﾄが2重ﾊﾞﾝｸで構成されている場合、FIFOCONﾋﾞｯﾄの解除(0)は次のﾊﾞﾝｸに切り替えます。そしてRXOUTIとFIFOCONﾋﾞｯﾄは新しいﾊﾞﾝｸの状態に応じてﾊｰﾄﾞｳｪｱよって更新されます。

RXOUTIは常にFIFOCONの解除(0)に先立って解除(0)されるべきです。

読み書き可(RWAL)ﾌﾗｸﾞは常に現在のﾊﾞﾝｸの状態を反映します。このﾌﾗｸﾞはﾌｧｰﾑｳｪｱがﾊﾞﾝｸからﾃﾞｰﾀを読める時に設定(1)され、ﾊﾞﾝｸが空の場合にﾊｰﾄﾞｳｪｱによって解除(0)されます。

図23-6. 1つのOUTﾃﾞｰﾀ ﾊﾞﾝｸ例

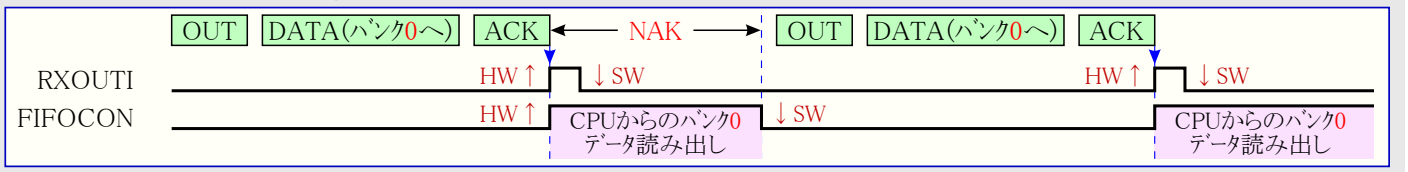
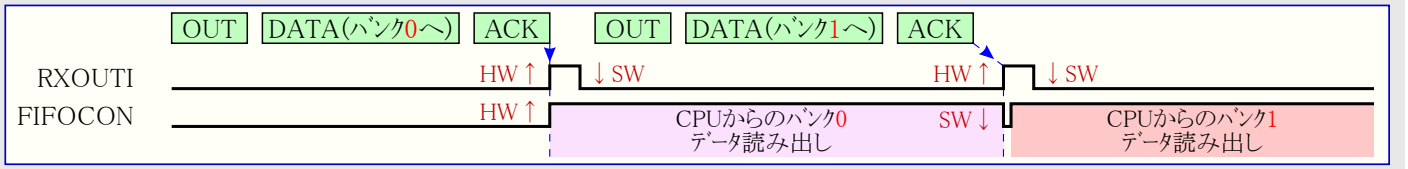


図23-7. 2つのOUTﾃﾞｰﾀ ﾊﾞﾝｸ例



23.13.2. 詳細内容

データは以下の流れに従い、CPUによって読まれます。

- ホストによってバンクが満たされると、エンドポイントn(=X)割り込み(EPINTn)が起動され、許可(OUT受信割り込み許可(RXOUTE)=1)されていればOUT受信割り込み要求(RXOUTI)フラグが設定(1)されます。CPUはソフトウェア構造に応じてRXOUTIフラグまたはFIFO制御(FIFOCON)ビットのポーリングもできます。
- CPUはRXOUTIの解除(0)によって割り込みに応答します。
- CPUは現在のバンク内のバイト数(N)を読めます(N=BYCT)。
- CPUは現在のバンクからデータを読めます(UEDATXのN回読み出し)。
- 全データが読まれると、CPUはFIFOCONビットの解除(0)によってバンクを開放できます。
- UEDATXのN回読み出し後、読み書き可(RWAL)フラグはハードウェアによって直ちに解除(0)されます。

エンドポイントが2つのバンクを使う場合、現在のバンクがCPUによって読まれる一方、2つ目のバンクがホストによって満たされ得ます。その後、CPUがFIFOCONを解除(0)すると、次(2つ目)のバンクが既に(読み出し)の準備が整っているかもしれず、(その場合、)RXOUTIが直ちに設定(1)されます。

23.14. INエンドポイント管理

INパケットはホストからのIN要求でUSB装置制御器によって送られます。受け取りを知らせる、または一杯でないバンクの全てのデータはCPUによって書くことができます。

23.14.1. 概要

エンドポイントが先に構成設定されなければなりません。

現在のバンクが自由になると、ハードウェアによって送信可割り込み要求(TXINI)が設定(1)されます。これは送信可割り込み許可(TXINE)ビットが設定(1)なら、割り込みを起動します。FIFO制御(FIFOCON)ビットが同時に設定(1)されます。CPUはFIFO内にデータを書き、データの送信をUSB制御器に許すためにFIFOCONビットを解除(0)してください。INエンドポイントが2重バンクで構成されている場合、これは次のバンクへの切り替えも行います。TXINIとFIFOCONビットは次のバンクの状態に関してハードウェアよって更新されます。

TXINIは常にFIFOCONの解除(0)に先立って解除(0)されるべきです。

読み書き可(RWAL)フラグは常に現在のバンクの状態を反映します。このビットはファームウェアがバンクへデータを書ける時に設定(1)され、バンクが一杯の場合にハードウェアによって解除(0)されます。

図23-8. 1つのINデータ バンク例

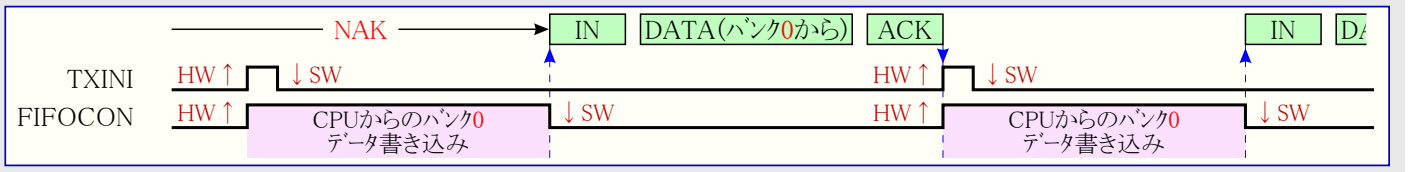
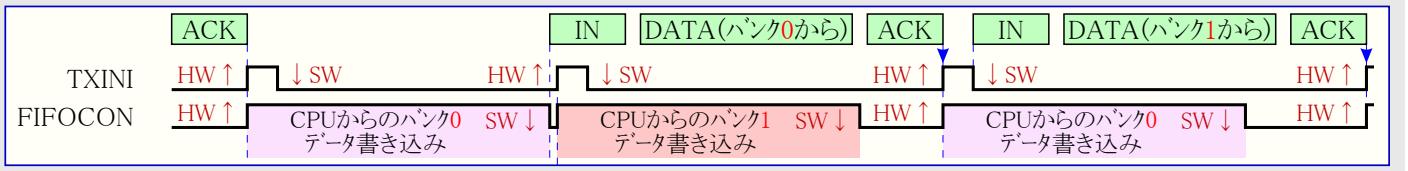


図23-9. 2つのINデータ バンク例



23.14.2. 詳細内容

データは以下の流れに従い、CPUによって書かれます。

- バンクが空のとき、エンドポイントn(=X)割り込み(EPINTn)が起動され、許可(送信可割り込み許可(TXINE)=1)されていれば送信可割り込み要求(TXINI)が設定(1)されます。CPUはソフトウェア構造の選択に応じてTXINIまたはFIFO制御(FIFOCON)のポーリングもできます。
- CPUはTXINIの解除(0)によって割り込みに応答します。
- CPUは現在のバンク内にデータを書けます(UEDATXの書き込み)。
- 全データが書かれると、CPUはFIFOCONの解除(0)によってバンクを開放できます。
- UEDATXのN回書き込み後、読み書き可(RWAL)フラグはハードウェアによって直ちに解除(0)されます。

エンドポイントが2つのバンクを使う場合、現在のバンクがCPUによって書かれる一方、2つ目のバンクがホストによって読まれ得ます。その後、CPUがFIFOCONを解除(0)すると、次(2つ目)のバンクが既に準備が整っている(空)かもしれず、(その場合、)TXINIが直ちに設定(1)されます。

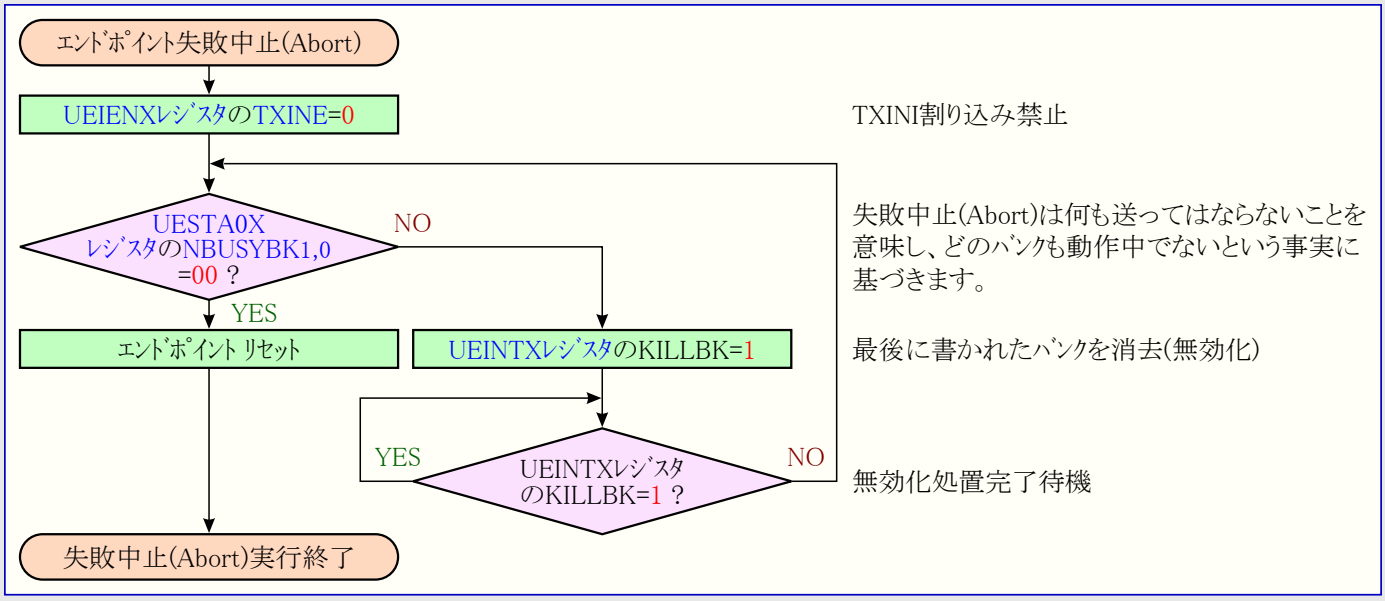
23.14.2.1. 失敗中止 (Abort)

いくつかの状態でﾎｽﾄによって失敗中止(Abort)段階が生成され得ます。

- 制御転送でIN段階中に0長ﾃﾞｰﾀOUTﾊﾟｹｯﾄが受信された場合
- 等時(Isochronous)転送に於いてINｴﾝﾄﾞﾎﾟｲﾝﾄでのIN段階中にOUTｴﾝﾄﾞﾎﾟｲﾝﾄでの0長ﾃﾞｰﾀOUTﾊﾟｹｯﾄが受信された場合
- その他 ...

ﾊﾞﾝｸ消去(KILLBK)ﾋﾞｯﾄは最後に書かれたﾊﾞﾝｸを消す(無効にする)のに使われます。この失敗中止を管理する最良の方法は次の操作を実行することです。

図23-10. 失敗中止の流れ図



23.15. 等時(Isochronous)動作

23.15.1. ｱﾝﾀﾞｰﾌﾛｰ (Underflow)

ｱﾝﾀﾞｰﾌﾛｰはIN段階中にﾎｽﾄが空のﾊﾞﾝｸを読もうと試みる場合に起き得ます。この場合、ｱﾝﾀﾞｰﾌﾛｰ異常割り込み要求(UNDERFI)が起動されます。

ｱﾝﾀﾞｰﾌﾛｰはOUT段階中にﾊﾞﾝｸが既に一杯であるのにﾎｽﾄがﾊﾟｹｯﾄを送る場合に起き得ます。代表的にはCPUが充分速くない場合です。そのﾊﾟｹｯﾄは失われます。

ﾊﾞﾝｸがﾃﾞｰﾀを与える準備ができている場合(OUT受信割り込み要求(RXOUTI)=1または読み書き可(RWAL)=1)でだけCPUが読むのが当然なので、CPU側でOUT段階中にｱﾝﾀﾞｰﾌﾛｰ異常になることは不可能です。

23.15.2. CRC異常

CRC異常はOUT段階中にUSB制御器が不正な受信ﾊﾟｹｯﾄを検出した場合に起き得ます。この場合、不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸ送信完了割り込み要求(STALLEDI)が起動されます。これはOUT受信割り込み要求(RXOUTI)の起動を妨げません。

23.16. ｵｰﾊﾞｰﾌﾛｰ

制御(Control)、等時(Isochronous)、大量(Bulk)または割り込み(Interrupt)ｴﾝﾄﾞﾎﾟｲﾝﾄでのｵｰﾊﾞｰﾌﾛｰは、OUT段階中にﾎｽﾄがﾊﾟｹｯﾄに対して小さすぎるﾊﾞﾝｸに書くことを試みる場合に起き得ます。この場合、(許可なら)ｵｰﾊﾞｰﾌﾛｰ異常割り込み要求(OVERFI)が起動されます。そのﾊﾟｹｯﾄは応答され、(許可なら)OUT受信割り込み要求(RXOUTI)が起動されます。ﾊﾞﾝｸはﾊﾟｹｯﾄの先頭からのﾊﾞｲﾄで満たされます。

ﾊﾞﾝｸがﾃﾞｰﾀ ｱｸｾｽの準備ができている場合(送信可(TXINI)=1または読み書き可(RWAL)=1)でだけCPUが書くのが当然なので、CPU側でIN段階中にｵｰﾊﾞｰﾌﾛｰ異常になることは不可能です。

23.17. 装置割り込み

次図は全割り込み元を示します。

割り込みは割り込み処理(即ちこれらの発生は通常処理の一部です)と例外(異常)の2種類です。

通常処理中割り込みは以下の時に生成されます。

- VBUS接続検出(挿抜) (**VBUSTI**)
- 上方向再開(Upstream resume) (**UPRSMI**)
- 再開終了 (**EORSMI**)
- 起動復帰 (**WAKEUPI**)
- ﾘｾｯﾄ終了(速度初期化) (**EORSTI**)
- ﾌﾚｰﾑ開始 (**SOFI**, ﾌﾚｰﾑ番号CRC異常(FNCERR)ﾌﾗｸﾞ=0の場合)
- 不活性の3ms後の休止(Suspend)検出 (**SUSPI**)

例外割り込みは以下の時に生成されます。

- ﾌﾚｰﾑ開始(SOF)のﾌﾚｰﾑ番号でのCRC異常 (**SOFI**, FNCERR=1の場合)

図23-11. USB装置制御器割り込み元

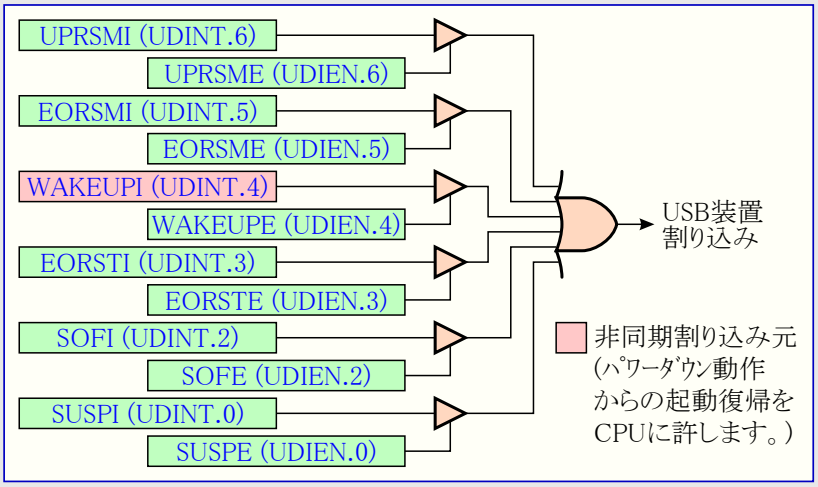
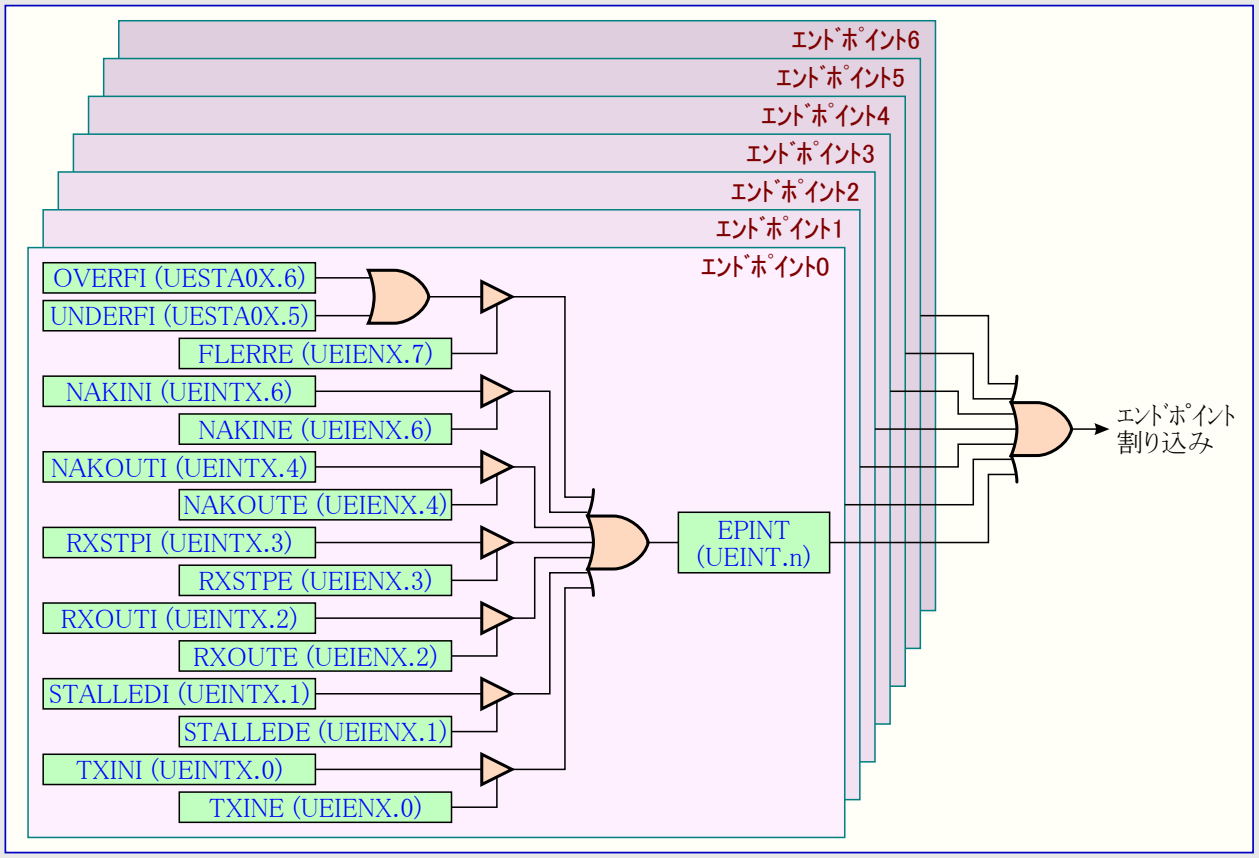


図23-12. USBｴﾝﾄﾞﾎﾟｲﾝﾄ割り込みﾍﾞｸﾀ割り込み元



通常処理中割り込みは以下の時に生成されます。

- INﾃﾞｰﾀ受け入れ可 (**EPINTn**, TXINI=1)
- OUTﾃﾞｰﾀ受信 (**EPINTn**, RXOUTI=1)
- 設定(SETUP)受信 (**EPINTn**, RXSTPI=1)

例外割り込みは以下の時に生成されます。

- 不能ﾊﾟｹｯﾄ (**EPINTn**, STALLEDI=1)
- 等時(Isochronous)動作のOUTでのCRC異常 (**EPINTn**, OVERFI=1)
- 等時動作でのｵｰﾊﾞｰﾌﾛｰ (**EPINTn**, OVERFI=1)
- 等時動作でのｱﾝﾀﾞｰﾌﾛｰ (**EPINTn**, UNDERFI=1)
- INでの否定応答(NAK) (**EPINTn**, NAKINI=1)
- OUTでの否定応答(NAK) (**EPINTn**, NAKOUTI=1)

23.18. USB装置一般用ﾚｼﾞｽﾀ

23.18.1. UDCON – USB装置制御ﾚｼﾞｽﾀ (USB Device Control Register)

ﾋﾞｯﾄ ($E0)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	LSM	RMWKUP	DETACH	UDCON
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

• **ﾋﾞｯﾄ7~3 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ2 – LSM : 低速/全速装置動作選択** (USB Device Low Speed Mode Selection)

構成設定されたUSBが装置動作で設定される時にこのﾋﾞｯﾄがUSBの低速(Low-speed)または全速(Full-speed)動作選択を許します。

全速動作(取り付け(DETACHﾋﾞｯﾄ=0)とでD+内部ﾌﾟﾙｱｯﾌﾟ活性(有効))を選ぶには解除(0)してください。低速動作(取り付け(DETACHﾋﾞｯﾄ=0)とでD-内部ﾌﾟﾙｱｯﾌﾟ活性(有効))を選ぶには設定(1)してください。

このﾋﾞｯﾄはUSBｲﾝﾀｰﾌｪｰｽがﾎｽﾄ動作に設定されている時は無効です。

• **ﾋﾞｯﾄ1 – RMWKUP : 遠隔起動復帰** (Remote Waku-up Bit)

遠隔起動復帰に関してﾎｽﾄへ上方向再開(Upstream-resume)を送信するには設定(1)してください(休止割り込み要求(SUSPI)ﾌﾗｸﾞが設定(1)でなければなりません)。

信号通信完了時、ﾊｰﾄﾞｳｪｱによって解除(0)されます。ｿﾌﾄｳｪｱでの解除(0)は無効です。より多くの詳細については179頁の「**遠隔起動復帰**」をご覧ください。

• **ﾋﾞｯﾄ0 – DETACH : 分離** (Detach Bit)

装置を物理的に分離(D+またはD-上の内部ﾌﾟﾙｱｯﾌﾟ切断)するには設定(1)してください。

装置を再接続するには解除(0)してください。より多くの詳細については179頁の「**分離(切り離し)**」をご覧ください。

23.18.2. UDINT – USB装置割り込み要求ﾚｼﾞｽﾀ (USB Device Interrupt Register)

ﾋﾞｯﾄ ($E1)	7	6	5	4	3	2	1	0	
	–	UPRSMI	EORSMI	WAKEUPI	EORSTI	SOFI	–	SUSPI	UDINT
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ6 – UPRSMI : 上方向再開割り込み要求ﾌﾗｸﾞ** (Upstream Resume Interrupt Flag)

USB制御器が上方向再開(Upstream Resume)と呼ばれる再開信号を送る時にﾊｰﾄﾞｳｪｱによって設定(1)されます。これは上方向再開割り込み許可(UPRSME)が設定(1)されているなら、USB割り込みを起動します。

ｿﾌﾄｳｪｱで解除(0)されるべきです(その前にUSBｸﾛｯｸ入力が許可されていなければなりません)。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ5 – EORSMI : 再開終了割り込み要求ﾌﾗｸﾞ** (End Of Resume Interrupt Flag)

USB制御器がﾎｽﾄによって開始された良好な再開終了(End Of Resume)を検知すると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。これは再開終了割り込み許可(EORSME)が設定(1)されているなら、USB割り込みを起動します。

ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ4 – WAKEUPI : CPU起動復帰割り込み要求ﾌﾗｸﾞ** (Wake-up CPU Interrupt Flag)

USB制御器が信号線から(上方向再開(Upstream resume)でない)非ｱｲﾄﾞﾙ信号濾出によって再活性化されると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。これはCPU起動復帰割り込み許可(WAKEUPE)が設定(1)されているなら、USB割り込みを起動します。この割り込みはﾊﾟﾜｰﾀﾞｳﾝ動作からCPUｺｱを起すためだけに許可すべきです。

ｿﾌﾄｳｪｱで解除(0)されるべきです(その前にUSBｸﾛｯｸ入力が許可されていなければなりません)。ｿﾌﾄｳｪｱによる設定(1)は無効です。

より多くの詳細については179頁の「**休止、起動復帰と再開**」をご覧ください。

• **ﾋﾞｯﾄ3 – EORSTI : ﾘｾｯﾄ終了割り込み要求ﾌﾗｸﾞ** (End Of Reset Interrupt Flag)

ﾘｾｯﾄ終了(End Of Reset)がUSB制御器によって検出されると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。これはﾘｾｯﾄ終了割り込み許可(EORSTE)が設定(1)されているなら、USB割り込みを起動します。

ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• ﾋﾞｯﾄ2 – SOFI : ﾌﾚｰﾑ開始割り込み要求ﾌﾗｸﾞ (Start Of Frame Interrupt Flag)

ﾌﾚｰﾑ開始(SOF)PIDが(毎1msで)検知されると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。これはﾌﾚｰﾑ開始割り込み許可(SOFE)が設定(1)されているなら、USB割り込みを起動します。

• ﾋﾞｯﾄ1 – Res : 予約 (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• ﾋﾞｯﾄ0 – SUSPI : 休止割り込み要求ﾌﾗｸﾞ (Suspend Interrupt Flag)

USB休止(Suspend) (3ﾌﾚｰﾑ期間のﾊﾞｽ ｱｲﾄﾞﾙ、3msのJ状態)が検出されると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。これは休止割り込み許可(SUSPE)が設定(1)されているなら、USB割り込みを起動します。

ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

より多くの詳細については179頁の「**休止、起動復帰と再開**」をご覧ください。

これらの割り込み要求ﾌﾗｸﾞは例え対応する割り込み許可ﾋﾞｯﾄが設定(1)されていなくても設定(1)されます。

23.18.3. UDIEN – USB装置割り込み許可ﾚｼﾞｽﾀ (USB Device Interrupt Enable Register)

ﾋﾞｯﾄ ($E2)	7	6	5	4	3	2	1	0	
	–	UPRSME	EORSME	WAKEUPE	EORSTE	SOFE	–	SUSPE	UDIEN
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – Res : 予約 (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• ﾋﾞｯﾄ6 – UPRSME : 上方向再開割り込み許可 (Upstream Resume Enable Bit)

上方向再開(Upstream Resume)割り込み(UPRSMI)を許可するには設定(1)してください。UPRSMIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ5 – EORSME : 再開終了割り込み許可 (End Of Resume Enable Bit)

再開終了(End Of Resume)割り込み(EORSMI)を許可するには設定(1)してください。EORSMIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ4 – WAKEUPE : CPU起動復帰割り込み許可 (Wake-up CPU Enable Bit)

CPU起動復帰割り込み(WAKEUPI)を許可するには設定(1)してください。正しい割り込み処理実行のため、この割り込みはﾊﾟﾜｰﾀﾞｳﾝ動作移行前にだけ許可すべきです。WAKEUPIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ3 – EORSTE : ﾘｾｯﾄ終了割り込み許可 (End Of Reset Enable Bit)

ﾘｾｯﾄ終了(End Of Reset)割り込み(EORSTI)を許可するには設定(1)してください。EORSTIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ2 – SOFE : ﾌﾚｰﾑ開始割り込み許可 (Start Of Frame Enable Bit)

ﾌﾚｰﾑ開始割り込み(SOFI)を許可するには設定(1)してください。SOFIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ1 – Res : 予約 (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• ﾋﾞｯﾄ0 – SUSPE : 休止割り込み許可 (Suspend Interrupt Enable Bit)

USB休止(Suspend)割り込み(SUSPI)を許可するには設定(1)してください。SUSPIを禁止するには解除(0)してください。

23.18.4. UDADDR – USB装置ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (USB Device Address Register)

ﾋﾞｯﾄ ($E3)	7	6	5	4	3	2	1	0	
	ADDEN	UADD6	UADD5	UADD4	UADD3	UADD2	UADD1	UADD0	UDADDR
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – ADDEN : ｱﾄﾞﾚｽ許可 (Address Enable Bit)

UADD6～0を活性(有効)にするには設定(1)してください。

このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。ｿﾌﾄｳｪｱによる解除(0)は無効です。

より多くの詳細については178頁の「**ｱﾄﾞﾚｽ設定**」をご覧ください。

• ﾋﾞｯﾄ6~0 – UADD6~0 : USB装置ｱﾄﾞﾚｽ (USB Address Bits)

装置ｱﾄﾞﾚｽを指定するためにｿﾌﾄｳｪｱで設定してください。

23.18.5. UDFNUMH, UDFNUML (UDFNUM) – USB装置ﾌﾚｰﾑ番号ﾚｼﾞｽﾀ (USB Device Frame Number Register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($E5)	–	–	–	–	–	FNUM10	FNUM9	FNUM8	UDFNUMH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($E4)	FNUM7	FNUM6	FNUM5	FNUM4	FNUM3	FNUM2	FNUM1	FNUM0	UDFNUML
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ15～11 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ10～0 – FNUM10～0 : ﾌﾚｰﾑ番号** (Frame Number Flags)

ﾊｰﾄﾞｳｪｱによって設定されます。これらは11ﾋﾞｯﾄのﾌﾚｰﾑ番号情報です。これらは最後に受信したﾌﾚｰﾑ開始(SOF)ﾊﾟｹｯﾄで供給されます。FNUM10～0は不正なSOFが受信された場合も更新されます。

(**訳注**) UDFNUMHとUDFNUMLは原書での個別表記を統一表記に纏めました。

23.18.6. UDMFN – USB装置ﾌﾚｰﾑ番号状態ﾚｼﾞｽﾀ (USB Device Maintained Frame Number Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($E6)	–	–	–	FNCERR	–	–	–	–	UDMFN
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～5 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ4 – FNCERR : ﾌﾚｰﾑ番号CRC異常ﾌﾗｸﾞ** (Frame Number CRC Error Flag)

ﾌﾚｰﾑ開始(SOF)ﾊﾟｹｯﾄで不正なﾌﾚｰﾑ番号が受信されると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。

このﾋﾞｯﾄとﾌﾚｰﾑ開始割り込み要求(SOFI)は同時に更新されます。

• **ﾋﾞｯﾄ3～0 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

23.19. USB装置ｴﾝﾄﾞﾎﾟｲﾝﾄ用ﾚｼﾞｽﾀ

23.19.1. UENUM – ｴﾝﾄﾞﾎﾟｲﾝﾄ番号ﾚｼﾞｽﾀ (USB Endpoint Number Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($E9)	–	–	–	–	–	EPNUM2	EPNUM1	EPNUM0	UENUM
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～3 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ2～0 – EPNUM2～0 : ｴﾝﾄﾞﾎﾟｲﾝﾄ番号** (Endpoint Number Bits)

CPUによってｱｸｾｽされるべきｴﾝﾄﾞﾎﾟｲﾝﾄの番号を選ぶためにｿﾌﾄｳｪｱで設定してください。Xで終わるUSB装置ﾚｼﾞｽﾀのXがこの番号に対応します(**訳注**:共通性から本行追加)。より多くの詳細については177頁の「**ｴﾝﾄﾞﾎﾟｲﾝﾄ選択**」項をご覧ください。

EPNUM2～0=111は許されません。

23.19.2. UERST – ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾘｾｯﾄ ﾚｼﾞｽﾀ (USB Endpoint Reset Register)

ﾋﾞｯﾄ ($EA)	7	6	5	4	3	2	1	0	
	–	EPRST6	EPRST5	EPRST4	EPRST3	EPRST2	EPRST1	EPRST0	UERST
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ6~0 – EPRST6~EPRST0 : ｴﾝﾄﾞﾎﾟｲﾝﾄFIFOﾘｾｯﾄ** (Endpoint FIFO Reset Bits)

ﾊｰﾄﾞｳｪｱ ﾘｾｯﾄまたはUSBﾊﾞｽ ﾘｾｯﾄが受信された時に選んだｴﾝﾄﾞﾎﾟｲﾝﾄFIFOをﾘｾｯﾄするために、他のどの操作にも先立って設定(1)してください。より多くの情報については177頁の「ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾘｾｯﾄ」項をご覧ください。

ﾘｾｯﾄ動作を完了するためにｿﾌﾄｳｪｱで解除(0)された後にｴﾝﾄﾞﾎﾟｲﾝﾄの使用を始めてください。

23.19.3. UECONX – ｴﾝﾄﾞﾎﾟｲﾝﾄX制御ﾚｼﾞｽﾀ (USB Endpoint X Control Register)

ﾋﾞｯﾄ ($EB)	7	6	5	4	3	2	1	0	
	–	–	STALLRQ	STALLRQC	RSTDT	–	–	EPEN	UECONX
Read/Write	R	R	W	W	W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7,6 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ5 – STALLRQ : 不能応答ﾊﾝﾄﾞｼｪｰｸ要求** (STALL Request Handshake Bit)

次のﾊﾝﾄﾞｼｪｰｸに対してﾎｽﾄへ不能応答(STALL)を要求するには設定(1)してください。

次の(新規)SETUPが受信されると、ﾊｰﾄﾞｳｪｱによって解除(0)されます。ｿﾌﾄｳｪｱによる解除(0)は無効です。

より多くの詳細につては180頁の「**不能応答**(STALL)**ﾊﾝﾄﾞｼｪｰｸと再試行機構**」項をご覧ください。

• **ﾋﾞｯﾄ4 – STALLRQC : 不能応答ﾊﾝﾄﾞｼｪｰｸ解除** (STALL Request Clear Handshake Bit)

不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸ機構を禁止するには設定(1)してください。

設定(1)後、ﾊｰﾄﾞｳｪｱによって直ちに解除(0)されます。ｿﾌﾄｳｪｱによる解除(0)は無効です。

より多くの詳細につては180頁の「**不能応答**(STALL)**ﾊﾝﾄﾞｼｪｰｸと再試行機構**」項をご覧ください。

• **ﾋﾞｯﾄ3 – RSTDT : 交互ﾃﾞｰﾀ番号ﾘｾｯﾄ** (Reset Data Toggle Bit)

交互ﾃﾞｰﾀ番号処理を自動的に解除するには設定(1)してください。

OUTｴﾝﾄﾞﾎﾟｲﾝﾄに対して次に受信したﾊﾟｹｯﾄは交互ﾃﾞｰﾀ番号=0でしょう。

INｴﾝﾄﾞﾎﾟｲﾝﾄに対して次に送るべきﾊﾟｹｯﾄは交互ﾃﾞｰﾀ番号=0でしょう。

このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって即時に解除(0)されます。ﾌｧｰﾑｳｪｱはこのﾋﾞｯﾄが解除(0)されるのを待つ必要はありません。ｿﾌﾄｳｪｱによる解除(0)は無効です。

• **ﾋﾞｯﾄ2,1 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ0 – EPEN : ｴﾝﾄﾞﾎﾟｲﾝﾄ許可** (Endpoint Enable Bit)

装置構成設定に従ってｴﾝﾄﾞﾎﾟｲﾝﾄを許可するには設定(1)してください。ｴﾝﾄﾞﾎﾟｲﾝﾄ0は装置構成設定に関係するので、ﾊｰﾄﾞｳｪｱまたはUSBﾘｾｯﾄ後、常に許可されるべきです。

ｴﾝﾄﾞﾎﾟｲﾝﾄを禁止するには、このﾋﾞｯﾄを解除(0)してください。より多くの詳細については178頁の「**ｴﾝﾄﾞﾎﾟｲﾝﾄの活性化(有効設定)**」項をご覧ください。

23.19.4. UECFG0X – ｴﾝﾄﾞﾎﾟｲﾝﾄX構成0ﾚｼﾞｽﾀ (USB Endpoint X Configuration 0 Register)

ﾋﾞｯﾄ ($EC)	7	6	5	4	3	2	1	0	
	EPTYPE1	EPTYPE0	–	–	–	–	–	EPDIR	UECFG0X
Read/Write	R/W	R/W	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7,6 – EPTYPE1,0 : ｴﾝﾄﾞﾎﾟｲﾝﾄ形式** (Endpoint Type Bits)

ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定に従ってこのﾋﾞｯﾄを設定してください。

00=制御(Control)、01=等時(Isochronus)、10=大量(Bulk)、11=割り込み(Interrupt)

• **ﾋﾞｯﾄ5,4 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ3,2 – Res : 試験目的用予約** (Reserved for test purpose)

これらのﾋﾞｯﾄからの読み込み値は常に0です。**これらのﾋﾞｯﾄを設定(1)してはいけません。**

• **ﾋﾞｯﾄ1 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ0 – EPDIR : ｴﾝﾄﾞﾎﾟｲﾝﾄ方向** (Endpoint Direction Bit)

大量(Bulk)、割り込み(Interrupt)、等時(Isochronuos)ｴﾝﾄﾞﾎﾟｲﾝﾄに対してIN方向を設定するには設定(1)してください。

大量、割り込み、等時、制御(Control)ｴﾝﾄﾞﾎﾟｲﾝﾄに対してOUT方向を設定するには解除(0)してください。

23.19.5. UECFG1X – ｴﾝﾄﾞﾎﾟｲﾝﾄX構成1ﾚｼﾞｽﾀ (USB Endpoint X Configuration 1 Register)

ﾋﾞｯﾄ ($ED)	7	6	5	4	3	2	1	0	
	–	EPSIZE2	EPSIZE1	EPSIZE0	EPBK1	EPBK0	ALLOC	–	UECFG1X
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ6~4 – EPSIZE2~0 : ｴﾝﾄﾞﾎﾟｲﾝﾄ容量** (Endpoint Size Bits)

ｴﾝﾄﾞﾎﾟｲﾝﾄ容量に従ってこのﾋﾞｯﾄを設定してください。

000=8ﾊﾞｲﾄ　001=16ﾊﾞｲﾄ　010=32ﾊﾞｲﾄ　011=64ﾊﾞｲﾄ、
100=128ﾊﾞｲﾄ(ｴﾝﾄﾞﾎﾟｲﾝﾄ1のみ)　101=256ﾊﾞｲﾄ(ｴﾝﾄﾞﾎﾟｲﾝﾄ1のみ)　110=予約(使用禁止)　111=予約(使用禁止)

• **ﾋﾞｯﾄ3,2 – EPBK1,0 : ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾊﾞﾝｸ形式** (Endpoint Bank Bits)

ｴﾝﾄﾞﾎﾟｲﾝﾄ容量に従ってこの領域を設定してください。

00=1ﾊﾞﾝｸ、01=2ﾊﾞﾝｸ、1x=予約(本設定使用禁止)

• **ﾋﾞｯﾄ1 – ALLOC : ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾒﾓﾘ割り当て** (Endpoint Allocation Bit)

ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾒﾓﾘを割り当てるにはこのﾋﾞｯﾄを設定(1)してください。

ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾒﾓﾘを開放するには解除(0)してください。

より多くの詳細については178頁の「**ｴﾝﾄﾞﾎﾟｲﾝﾄの活性化(有効設定)**」項をご覧ください。

• **ﾋﾞｯﾄ0 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

23.19.6. UESTA0X – ｴﾝﾄﾞﾎﾟｲﾝﾄX状態0ﾚｼﾞｽﾀ (USB Endpoint X Status 0 Register)

ﾋﾞｯﾄ ($EE)	7	6	5	4	3	2	1	0	
	CFGOK	OVERFI	UNDERFI	–	DTSEQ1	DTSEQ0	NBUSYBK1	NBUSYBK0	UESTA0X
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – CFGOK : 構成状態ﾌﾗｸﾞ** (Configuration Status Flag)

ｴﾝﾄﾞﾎﾟｲﾝﾄX容量(EPSIZE)とﾊﾞﾝｸ形式(EPBK)が許された最大ﾊﾞﾝｸ数と最大FIFOと比較して正しい時にﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾋﾞｯﾄは割り当て(ALLOC)ﾋﾞｯﾄが設定(1)される時に更新されます。

このﾋﾞｯﾄが解除(0)されている場合、使用者は正しいEPSIZEとEPBK値でｴﾝﾄﾞﾎﾟｲﾝﾄ構成1(UECFG1X)ﾚｼﾞｽﾀを再設定すべきです。

• **ﾋﾞｯﾄ6 – OVERFI : ｵｰﾊﾞｰﾌﾛｰ異常割り込み要求ﾌﾗｸﾞ** (Overflow Error Interrupt Flag)

等時(Isochronous)ｴﾝﾄﾞﾎﾟｲﾝﾄでｵｰﾊﾞｰﾌﾛｰ異常が起こると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。(許可なら)割り込み(EPINTn)が起動されます。

より多くの詳細については183頁の「**等時**(Isochronous)**動作**」項をご覧ください。

このﾋﾞｯﾄはｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ5 – UNDERFI : ｱﾝﾀﾞｰﾌﾛｰ異常割り込み要求ﾌﾗｸﾞ** (Underflow Error Interrupt Flag)

等時(Isochronous)ｴﾝﾄﾞﾎﾟｲﾝﾄでｱﾝﾀﾞｰﾌﾛｰ異常が起こると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。(許可なら)割り込み(EPINTn)が起動されます。

より多くの詳細については183頁の「**等時**(Isochronous)**動作**」項をご覧ください。

このﾋﾞｯﾄはｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ4 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ3,2 – DTSEQ1,0 : 交互ﾃﾞｰﾀ番号ﾌﾗｸﾞ** (Data Toggle Sequencing Flag)

現在のﾊﾞﾝｸのPIDﾃﾞｰﾀを示すためにﾊｰﾄﾞｳｪｱによって設定されます。

00=Data0、01=Data1、1x=予約

OUT転送に於ける本値は現在のﾊﾞﾝｸで最後に受信した交互ﾃﾞｰﾀ番号を示します。

IN転送に於ける本値は送るべき次ﾊﾟｹｯﾄに対して使われるべき交互ﾃﾞｰﾀ番号を示します。これは現在のﾊﾞﾝｸと無関係です。

• **ﾋﾞｯﾄ1,0 – NBUSYBK1,0 : ﾊﾞﾝｸ内容状況ﾌﾗｸﾞ** (Busy Bank Flag)

内容が設定されているﾊﾞﾝｸ数を示すためにﾊｰﾄﾞｳｪｱによって設定されます。

INｴﾝﾄﾞﾎﾟｲﾝﾄに対しては使用者によって満たされ、IN転送の準備ができているﾊﾞﾝｸ数を示します。

OUTｴﾝﾄﾞﾎﾟｲﾝﾄに対してはﾎｽﾄからのOUT転送単位(Transaction)によって満たされたﾊﾞﾝｸ数を示します。

00=全ﾊﾞﾝｸ空き、01=1ﾊﾞﾝｸ設定済み、10=2ﾊﾞﾝｸ設定済み、11=予約

23.19.7. UESTA1X – ｴﾝﾄﾞﾎﾟｲﾝﾄX状態1ﾚｼﾞｽﾀ (USB Endpoint X Status 1 Register)

ﾋﾞｯﾄ ($EF)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	CTRLDIR	CURRBK1	CURRBK0	UESTA1X
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7~3 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ2 – CTRLDIR : 制御転送方向** (Control Direction Flag)

設定(SETUP)ﾊﾟｹｯﾄ後にﾊｰﾄﾞｳｪｱによって設定され、後続ﾊﾟｹｯﾄの方向を与えます。

0=OUTｴﾝﾄﾞﾎﾟｲﾝﾄ、1=INｴﾝﾄﾞﾎﾟｲﾝﾄ。 ｿﾌﾄｳｪｱによる設定(1)や解除(0)はできません。

• **ﾋﾞｯﾄ1,0 – CURRBK1,0 : (除く制御ｴﾝﾄﾞﾎﾟｲﾝﾄ)現ﾊﾞﾝｸ番号** (Current Bnak (endpoints except Control endpoint) Flag)

現在のﾊﾞﾝｸ番号を示すためにﾊｰﾄﾞｳｪｱによって設定されます。

00=ﾊﾞﾝｸ0、01=ﾊﾞﾝｸ1、1x=予約。 ｿﾌﾄｳｪｱによる設定(1)や解除(0)はできません。

23.19.8. UEINTX – ｴﾝﾄﾞﾎﾟｲﾝﾄX割り込み要求ﾚｼﾞｽﾀ (USB Endpoint X Interrupt Register)

ﾋﾞｯﾄ ($E8)	7	6	5	4	3	2	1	0	
	FIFOCON	NAKINI	RWAL	NAKOUTI	RXSTPI	RXOUTI	STALLEDI	TXINI	UEINTX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – FIFOCON : FIFO制御** (FIFO Control Bit)

OUTとSETUPｴﾝﾄﾞﾎﾟｲﾝﾄに対して：

新規OUTﾒｯｾｰｼﾞが現在のﾊﾞﾝｸ内に格納されると、ﾊｰﾄﾞｳｪｱによってOUTﾃﾞｰﾀ受信割り込み要求(RXOUTI)またはSETUP受信割り込み要求(RXSTPI)と同時に設定(1)されます。

現在のﾊﾞﾝｸを開放するために解除(0)して次のﾊﾞﾝｸに切り替えてください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

INｴﾝﾄﾞﾎﾟｲﾝﾄに対して：

現在のﾊﾞﾝｸが空の時にﾊｰﾄﾞｳｪｱによって送信可割り込み要求(TXINI)と同時に設定(1)されます。

FIFOﾃﾞｰﾀを送信してﾊﾞﾝｸを切り替えるために解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ6 – NAKINI : IN受信否定応答割り込み要求ﾌﾗｸﾞ** (NAK IN Received Interrupt Flag)

ﾎｽﾄからのIN要求の応答で否定応答(NAK)ﾊﾝﾄﾞｼｪｰｸが送られた時にﾊｰﾄﾞｳｪｱによって設定(1)されます。これはIN受信否定応答割り込み許可(NAKINE)が設定(1)されているなら、USB割り込みを起動します。

このﾌﾗｸﾞはｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ5 – RWAL : 読み書き可ﾌﾗｸﾞ** (Read/Write Allowed Flag)

以下を示すためにﾊｰﾄﾞｳｪｱによって設定(1)されます。

– INｴﾝﾄﾞﾎﾟｲﾝﾄについては、現ﾊﾞﾝｸが一杯でない、換言するとﾌｧｰﾑｳｪｱがFIFOにﾃﾞｰﾀを書ける

– OUTｴﾝﾄﾞﾎﾟｲﾝﾄについては、現ﾊﾞﾝｸが空でない、換言するとﾌｧｰﾑｳｪｱがFIFOからﾃﾞｰﾀを読める

このﾋﾞｯﾄは不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸ要求(STALLRQ)が設定(1)、または異常の場合に決して設定(1)されません。

その他の場合、ﾊｰﾄﾞｳｪｱによって解除(0)されます。

このﾋﾞｯﾄは制御(Control)ｴﾝﾄﾞﾎﾟｲﾝﾄに使われるべきではありません。

• **ﾋﾞｯﾄ4 – NAKOUTI : OUT受信否定応答割り込み要求ﾌﾗｸﾞ** (NAK OUT Received Interrupt Flag)

ﾎｽﾄからのOUT/PING要求の応答で否定応答(NAK)ﾊﾝﾄﾞｼｪｰｸが送られた時にﾊｰﾄﾞｳｪｱによって設定(1)されます。これはOUT受信否定応答割り込み許可(NAKOUTE)が設定(1)されているなら、USB割り込みを起動します。

このﾌﾗｸﾞはｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ3 – RXSTPI : SETUP受信割り込み要求ﾌﾗｸﾞ** (Received SETUP Interrupt Flag)

現ﾊﾞﾝｸが新規の有効設定(SETUP)ﾊﾟｹｯﾄを含むことを示すためにﾊｰﾄﾞｳｪｱによって設定(1)されます。(許可なら、)割り込み(EPINTn)が起動されます。

割り込みでのやり取りを行うためにｿﾌﾄｳｪｱで解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

ｴﾝﾄﾞﾎﾟｲﾝﾄがINｴﾝﾄﾞﾎﾟｲﾝﾄの場合、このﾋﾞｯﾄは非活性(解除(0))です。

• **ﾋﾞｯﾄ2 – RXOUTI/KILLBK**

RXOUTI : OUTﾃﾞｰﾀ受信割り込み要求ﾌﾗｸﾞ (Received OUT Data Interrupt Flag)

現ﾊﾞﾝｸが新規ﾊﾟｹｯﾄを含むことを示すためにﾊｰﾄﾞｳｪｱによって設定(1)されます。(許可なら、)割り込み(EPINTn)が起動されます。

割り込みでのやり取りを行うためにｿﾌﾄｳｪｱで解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

KILLBK : 最終書き込みﾊﾞﾝｸ無効化 (Kill Bank IN Bit)

最後に書かれたﾊﾞﾝｸを消去(無効化)するにはこのﾋﾞｯﾄを設定(1)してください。

そのﾊﾞﾝｸが消去(無効化)されると、ﾊｰﾄﾞｳｪｱによって解除(0)されます。ｿﾌﾄｳｪｱによる解除(0)は無効です。

失敗中止(Abort)でのより多くの詳細については183頁の「**失敗中止**(Abort)」をご覧ください。

• **ﾋﾞｯﾄ1 – STALLEDI : 不能応答送信完了/異常検出割り込み要求ﾌﾗｸﾞ** (STALLEDI Interrupt Flag)

不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸが送信された、または等時(Isochronuos)OUTｴﾝﾄﾞﾎﾟｲﾝﾄでCRC異常が検出されたことを示すためにﾊｰﾄﾞｳｪｱによって設定(1)されます。

このﾌﾗｸﾞはｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• ﾋﾞｯﾄ0 – TXINI : 送信可割り込み要求ﾌﾗｸﾞ (Transmiter Ready Flag)

現ﾊﾞﾝｸが空で、満たされ得ることを示すためにﾊｰﾄﾞｳｪｱによって設定(1)されます。(許可なら、)割り込み(EPINTn)が起動されます。割り込みでのやり取りを行うためにｿﾌﾄｳｪｱで解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

ｴﾝﾄﾞﾎﾟｲﾝﾄがOUTｴﾝﾄﾞﾎﾟｲﾝﾄの場合、このﾋﾞｯﾄは非活性(解除(0))です。

23.19.9. UEIENX – ｴﾝﾄﾞﾎﾟｲﾝﾄX割り込み許可ﾚｼﾞｽﾀ (USB Endpoint X Interrupt Enable Register)

ﾋﾞｯﾄ ($F0)	7	6	5	4	3	2	1	0	
	FLERRE	NAKINE	–	NAKOUTE	RXSTPE	RXOUTE	STALLEDE	TXINE	UEIENX
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – FLERRE : 流れ異常割り込み許可 (Flow Error Interrupt Enable Bit)

オーバーフロー割り込み要求(OVERFI)またはｱﾝﾀﾞｰﾌﾛｰ割り込み要求(UNDERFI)が設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を許可するには設定(1)してください。

OVERFIまたはUNDERFIが設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を禁止するには解除(0)してください。

• ﾋﾞｯﾄ6 – NAKINE : IN受信否定応答割り込み許可 (NAK IN Interrupt Enable Bit)

IN受信否定応答割り込み要求(NAKINI)が設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を許可するには設定(1)してください。

NAKINIが設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を禁止するには解除(0)してください。

• ﾋﾞｯﾄ5 – Res : 予約 (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• ﾋﾞｯﾄ4 – NAKOUTE : OUT受信否定応答割り込み許可 (NAK OUT Interrupt Enable Bit)

OUT受信否定応答割り込み要求(NAKOUTI)が設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を許可するには設定(1)してください。

NAKOUTIが設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を禁止するには解除(0)してください。

• ﾋﾞｯﾄ3 – RXSTPE : SETUP受信割り込み許可 (Received SETUP Interrupt Enable Bit)

SETUP受信割り込み要求(RXSTPI)が設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を許可するには設定(1)してください。

RXSTPIが設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を禁止するには解除(0)してください。

• ﾋﾞｯﾄ2 – RXOUTE : OUTﾃﾞｰﾀ受信割り込み許可 (Received OUT Data Interrupt Enable Bit)

OUTﾃﾞｰﾀ受信割り込み要求(RXOUTI)が設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を許可するには設定(1)してください。

RXOUTIが設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を禁止するには解除(0)してください。

• ﾋﾞｯﾄ1 – STALLEDE : 不能応答/異常検出割り込み許可 (Stalled Interrupt Enable Bit)

不能応答/異常検出割り込み要求(STALLEDI)が設定(1)された時に、ｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を許可するには設定(1)してください。

STALLEDIが設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を禁止するには解除(0)してください。

• ﾋﾞｯﾄ0 – TXINE : 送信可割り込み許可 (Transmitter Ready Interrupt Enable Bit)

送信可割り込み要求(TXINI)が設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を許可するには設定(1)してください。

TXINIが設定(1)された時にｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み(EPINTn)を禁止するには解除(0)してください。

23.19.10. UEDATX – ｴﾝﾄﾞﾎﾟｲﾝﾄX ﾃﾞｰﾀ ﾚｼﾞｽﾀ (USB Endpoint X Data Register)

ﾋﾞｯﾄ ($F1)	7	6	5	4	3	2	1	0	
	DAT7	DAT6	DAT5	DAT4	DAT3	DAT2	DAT1	DAT0	UEDATX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7~0 – DAT7~0 : ﾃﾞｰﾀ (Data Bits)

ｴﾝﾄﾞﾎﾟｲﾝﾄ番号(EPNUM)によって選んだｴﾝﾄﾞﾎﾟｲﾝﾄFIFOとのﾊﾞｲﾄ読み書きをｿﾌﾄｳｪｱによって行ってください。

23.19.11. UEBCHX, UEBCLX (UEBCX) – ｴﾝﾄﾞﾎﾟｲﾝﾄX ﾊﾞｲﾄ数ﾚｼﾞｽﾀ (USB Endpoint X Byte Count Register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($F3)	–	–	–	–	–	BYCT10	BYCT9	BYCT8	UEBCHX
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($F2)	BYCT7	BYCT6	BYCT5	BYCT4	BYCT3	BYCT2	BYCT1	BYCT0	UEBCLX
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ15~11 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ10~0 – BYCT10~0 : ﾊﾞｲﾄ数** (Byte count Bits)

ﾊｰﾄﾞｳｪｱによって設定されます。これらはFIFOｴﾝﾄﾞﾎﾟｲﾝﾄのﾊﾞｲﾄ数です。

– (INｴﾝﾄﾞﾎﾟｲﾝﾄについては)、ｴﾝﾄﾞﾎﾟｲﾝﾄ内への毎書き込み後に増加(+1)され、毎ﾊﾞｲﾄ送信後に減少(-1)されます。

– (OUTｴﾝﾄﾞﾎﾟｲﾝﾄについては)、ﾎｽﾄによる毎ﾊﾞｲﾄ送信後に増加(+1)され、ｿﾌﾄｳｪｱによる毎ﾊﾞｲﾄ読み込み後に減少(-1)されます。

(訳注) UEBCHXとUEBCLXは原書での個別表記を統一表記に纏めました。

23.19.12. UEINT – ｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み要求ﾚｼﾞｽﾀ (USB Endpoint Interrupt Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($F4)	–	EPINT6	EPINT5	EPINT4	EPINT3	EPINT2	EPINT1	EPINT0	UEINT
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ6~0 – EPINT6~EPINT0 : ｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み要求ﾌﾗｸﾞ** (Endpoint Interrupts Bits)

ｴﾝﾄﾞﾎﾟｲﾝﾄX割り込み要求(UEINTX)ﾚｼﾞｽﾀに対応するｴﾝﾄﾞﾎﾟｲﾝﾄ割り込み許可ﾋﾞｯﾄが設定(1)され、UEINTXによって割り込みが起動されると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。

その割り込み元が取り扱われる(処理される)と、ﾊｰﾄﾞｳｪｱによって解除(0)されます。

24. USBホスト動作

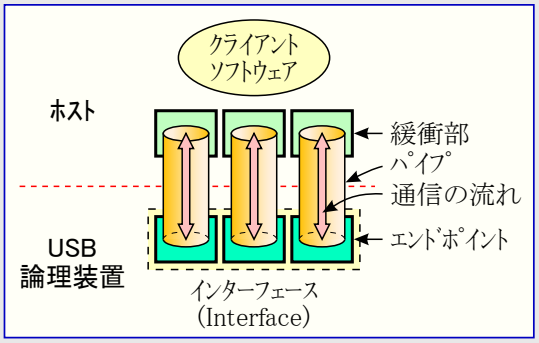
本動作はAtmel AT90USB647/1287製品でだけ利用可能です。

24.1. パイプ概説

USBホスト制御器に対してはUSB装置制御器に対するエンドポイントの代わりにパイプと言う用語が使われます。USB仕様で記述されるように、ホスト パイプは装置エンドポイントに対応します。

USBホスト制御器でのパイプは装置設定記述子(Device Configuration Descriptor)としては装置エンドポイントに組み合わされます。

図24-1. USBでのパイプとエンドポイントの概念



24.2. 分離（切り離し）

USB装置制御(UDCON)レジスタの分離(DETACH)ビットのリセット値は1です。従ってファームウェアにはホスト動作(ホスト/装置動作(HOST)=1)へ切り替える前にこのビットを解除(0)する責任があります。

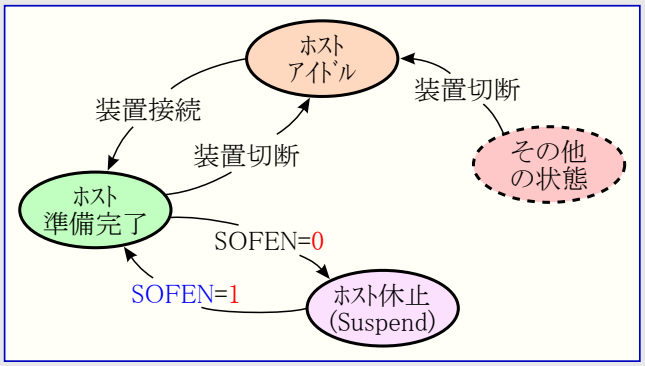
24.3. 電源ONとリセット

次の構成図はホスト制御器の電源ONでの主な状態を説明します。

ハードウェア リセット後のUSBホスト制御器状態は"リセット"です。USB制御器が許可され、USBホスト制御器が選ばれると、USB制御器は"アイドル"状態です。この状態でのUSBホスト制御器は最小電力消費で装置接続を待ちます。USBパッドはアイドル動作であるべきです。"ホスト準備完了"状態への移行にPLLが動作されている必要はありません。

USBバスが休止(Suspend)状態のとき、換言するとホスト制御器がフレーム開始(SOF)を生成しないとき、ホスト制御器は休止状態へ移行します。この状態でのUSB電力消費は最小です。ホスト制御器はUSB線上へのSOF生成を始めると、休止状態を抜けます。

図24-2. リセット後のUSBホスト制御器状態



24.4. 装置検出

装置はUSBバスでD+とD-が異なる場合にUSB制御器によって検出されます。別の言葉では、USBホスト制御器がD+線上の装置プルアップを検出する時です(**訳補**:D+は全速(Full-speed)動作の場合、低速(Low-speed)動作の場合はD-)。この検出を許可するためにホスト制御器は装置へVBUS電力供給を提供しなければなりません。

装置切断はUSB線上でD+とD-がLowのUSBアイドルに該当する時にUSBホスト制御器によって検出されます。

24.5. パイプ選択

CPUによって行われる何れかの操作に先立って最初にパイプが選ばれなければなりません。これはCPUによって管理されるパイプ番号でパイプ番号(UPNUM)レジスタのパイプ番号(PNUM2～0)ビットを設定することによって行われます。

その後にCPUは各種パイプ レジスタとデータへアクセスすることができます。

24.6. ﾊﾟｲﾌﾟ構成設定

以下の流れ(図24-3.をご覧ください。)はﾊﾟｲﾌﾟを活性(有効)にするために尊重されなければなりません。

一旦ﾊﾟｲﾌﾟが活性化(ﾊﾟｲﾌﾟ許可(PEN)=1)されると、ﾊｰﾄﾞｳｪｱは装置へ要求を送る準備が整います。

構成される(構成状況(CFGOK)=1)と、ﾊﾟｲﾌﾟ指示票(PTOKEN)と割り込み(転送)ﾊﾟｲﾌﾟに対するﾎﾟｰﾘﾝｸﾞ間隔だけが修正できます。

制御形式(転送)ﾊﾟｲﾌﾟは1ﾊﾞﾝｸだけを支援します。他の何れかの値は構成異常(CFGOK=0)を引き起こすでしょう。

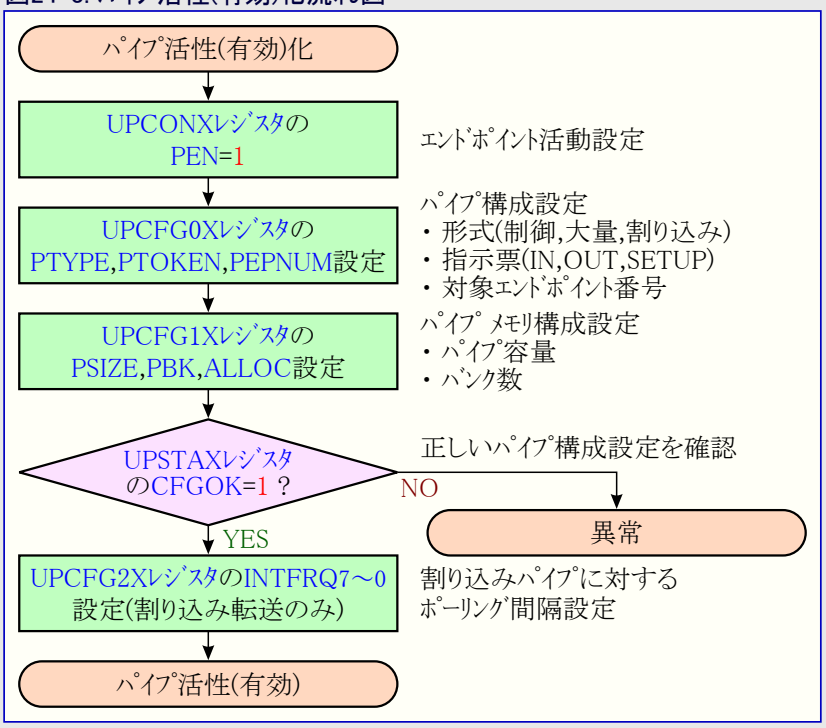
PENの解除(0)はﾊﾟｲﾌﾟの構成をﾘｾｯﾄします。関係する全ﾊﾟｲﾌﾟ ﾚｼﾞｽﾀはそれらのﾘｾｯﾄ値にﾘｾｯﾄされます。より多くの詳細については169頁の「**ﾒﾓﾘ管理**」を参照してください。

注: ﾌｧｰﾑｳｪｱは次の値で既定制御ﾊﾟｲﾌﾟを構成設定しなければなりません。

- 形式 : 制御(Control)
- 指示票(Token) : 設定(SETUP)
- ﾃﾞｰﾀ ﾊﾞﾝｸ : 1
- 容量 : 64ﾊﾞｲﾄ

ﾌｧｰﾑｳｪｱはGET_DESCRIPTOR要求を送る8ﾊﾞｲﾄの装置記述子(Device Descriptor)を請求します。これらのﾊﾞｲﾄは装置既定制御ｴﾝﾄﾞﾎﾟｲﾝﾄの最大ﾊﾟｹｯﾄ容量(MaxPacketSize)を含み、ﾌｧｰﾑｳｪｱはこの容量値で既定制御ｴﾝﾄﾞﾎﾟｲﾝﾄの容量を再構成(設定)します。

図24-3. ﾊﾟｲﾌﾟ活性(有効)化流れ図



24.7. USBﾘｾｯﾄ

USB制御器はﾌｧｰﾑｳｪｱがﾎｽﾄ制御(UHCON)ﾚｼﾞｽﾀのﾘｾｯﾄ(RESET)ﾋﾞｯﾄを設定(1)すると、USBﾘｾｯﾄを送出します。USBﾘｾｯﾄが送出されてしまうと、ﾊｰﾄﾞｳｪｱによってﾎｽﾄ割り込み要求(UHINT)ﾚｼﾞｽﾀのﾘｾｯﾄ送出割り込み要求(RSTI)ﾌﾗｸﾞが設定(1)されます。これはﾎｽﾄ割り込み許可(UHIEN)ﾚｼﾞｽﾀのﾘｾｯﾄ送出割り込み許可(RSTE)ﾋﾞｯﾄが設定(1)されていれば、割り込みを起動します。

USBﾘｾｯﾄが送出されてしまうと、全てのﾊﾟｲﾌﾟ構成設定とﾒﾓﾘ割り当てがﾘｾｯﾄされます。ﾎｽﾄ一般割り込み許可(UHIEN)ﾚｼﾞｽﾀは無変化のままです。

直前のﾊﾞｽが休止(Suspend)動作(ﾌﾚｰﾑ開始生成許可(SOFEN)=0)だった場合、USB制御器は自動的に再開(Resume)動作へ切り替え(UHINTﾚｼﾞｽﾀのﾎｽﾄ起動復帰割り込み要求(HWUPI)が設定(1)され)、USBﾘｾｯﾄ後直ちにﾌﾚｰﾑ開始(SOF)を生成するためにﾊｰﾄﾞｳｪｱによってSOFENﾋﾞｯﾄが設定(1)されます。

24.8. ｱﾄﾞﾚｽ設定

一旦装置が既定ｱﾄﾞﾚｽ(0)での最初のﾎｽﾄ要求に答えると、ﾎｽﾄは装置に新しいｱﾄﾞﾚｽを割り当てます。ﾎｽﾄ制御器は装置へUSBﾘｾｯﾄを送出し、装置によって使われるべき新しいｱﾄﾞﾚｽでSET_ADDRESS制御要求を実行しなければなりません。この制御要求の終わりで、ﾌｧｰﾑｳｪｱは装置ｱﾄﾞﾚｽ指定(UHADDR)ﾚｼﾞｽﾀに新しいｱﾄﾞﾚｽを書きます。全ﾊﾟｲﾌﾟでの後続する全ての要求はこの新ｱﾄﾞﾚｽを使って行われます。

ﾎｽﾄ制御器がUSBﾘｾｯﾄを送出すると、UHADDRﾚｼﾞｽﾀはﾊｰﾄﾞｳｪｱによってﾘｾｯﾄされ、後続するﾎｽﾄ要求は既定ｱﾄﾞﾚｽ(0)を使って行われます。

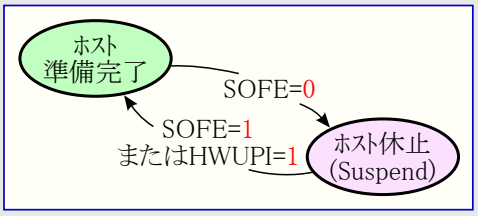
24.9. 遠隔起動復帰検出

ﾎｽﾄ制御器はﾌﾚｰﾑ開始送出許可(SOFEN)ﾋﾞｯﾄを解除(0)すると、休止(Suspend)動作へ移行します。もうﾌﾚｰﾑ開始(SOF)はUSBﾊﾞｽに送出されず、USB装置は3ms遅れて休止動作へ移行します。

装置は上方向再開(Upstream Resume、遠隔起動復帰機能)を送出することによってﾎｽﾄを起します。ﾎｽﾄ制御器はUSBﾊﾞｽ上で非ｱｲﾄﾞﾙ状態を検知してﾎｽﾄ起動復帰割り込み要求(HWUPI)ﾌﾗｸﾞを設定(1)します。上方向再開(K状態)に該当する非ｱｲﾄﾞﾙならばﾊｰﾄﾞ ｳｪｱによって上方向再開受信割り込み要求(RXRSMI)ﾌﾗｸﾞが設定(1)されます。ﾌｧｰﾑｳｪｱは1ms以内にUSB再開(RESUME)ﾋﾞｯﾄの設定(1)によって最低20ms間、下方向再開を生成しなければなりません。

一旦下方向再開が生成されてしまうと、USB再開後直ちにSOFを生成するためにﾊｰﾄﾞｳｪｱによってSOFENﾋﾞｯﾄが自動的に設定(1)されます。

図24-4. 遠隔起動復帰状態遷移



24.10. USB ﾊﾟｲﾌﾟ ﾘｾｯﾄ

ﾌｧｰﾑｳｪｱはﾊﾟｲﾌﾟ ﾘｾｯﾄ(UPRST)ﾚｼﾞｽﾀを使うことでﾊﾟｲﾌﾟをﾘｾｯﾄできます。ﾊﾟｲﾌﾟの構成設定と交互ﾃﾞｰﾀ番号は無変化のままです。ﾊﾞﾝｸ管理と状態ﾋﾞｯﾄはそれらの初期値にﾘｾｯﾄされます。

ﾊﾟｲﾌﾟを完全にﾘｾｯﾄするために、ﾌｧｰﾑｳｪｱはﾊﾟｲﾌﾟを禁止して、その後に許可しなければなりません。

24.11. ﾊﾟｲﾌﾟのﾃﾞｰﾀ入出力

ﾊﾟｲﾌﾟFIFOとの読み書きのためにCPUはﾊﾟｲﾌﾟ番号(UPNUM)ﾚｼﾞｽﾀでﾊﾟｲﾌﾟ番号を選び、ﾊﾟｲﾌﾟ ﾃﾞｰﾀ(UPDATX)ﾚｼﾞｽﾀで読み書き操作を行います。

24.12. 制御ﾊﾟｲﾌﾟ管理

制御転送単位(Transaction)は3段階で構成されます。

- 設定(SETUP)
- ﾃﾞｰﾀ(INまたはOUT)
- 状態(OUTまたはIN)

ﾌｧｰﾑｳｪｱは各段階に対して指示票(Token)を変えなければなりません。

初期交互ﾃﾞｰﾀ番号は指示票に従って設定されます(制御ﾊﾟｲﾌﾟのみ)。

- 設定(SETUP) : ﾃﾞｰﾀ0
- OUT : ﾃﾞｰﾀ1
- IN : ﾃﾞｰﾀ1 (予想される交互ﾃﾞｰﾀ番号)

24.13. OUTﾊﾟｲﾌﾟ管理

ﾊﾟｲﾌﾟは先行して構成設定されなければならず、ﾊﾟｲﾌﾟ凍結(停止)(PFREEZE=1)ではいけません。

注: ﾊﾞﾝｸが送信準備完了であるのに、ﾌｧｰﾑｳｪｱが休止(Suspend)動作への切り替えを決意しても、USB制御器は休止動作から自動的に抜け出し、そのﾊﾞﾝｸ(内容)が送出されます。

現ﾊﾞﾝｸが空になると、ﾊﾟｲﾌﾟX割り込み要求(UPINTX)ﾚｼﾞｽﾀのOUTﾊﾞﾝｸ準備可割り込み要求(TXOUTI)ﾌﾗｸﾞがﾊｰﾄﾞｳｪｱによって設定(1)されます。これはOUTﾊﾞﾝｸ準備可割り込み許可(TXOUTE)ﾋﾞｯﾄが設定(1)されているなら、割り込みを起動します。同時にFIFO制御(FIFOCON)ﾋﾞｯﾄが設定(1)されます。CPUはFIFO内に書き、そのﾃﾞｰﾀ送信をUSB制御器に許すためにFIFOCONﾋﾞｯﾄを解除(0)してください。

OUTﾊﾟｲﾌﾟが複数ﾊﾞﾝｸで構成されている場合、これは次のﾃﾞｰﾀ ﾊﾞﾝｸへの切り替えも行います。TXOUTIとFIFOCONﾋﾞｯﾄは次ﾊﾞﾝｸの状態に従ってﾊｰﾄﾞｳｪｱによって更新されます。

図24-5. 1つのOUTﾃﾞｰﾀ ﾊﾞﾝｸ例

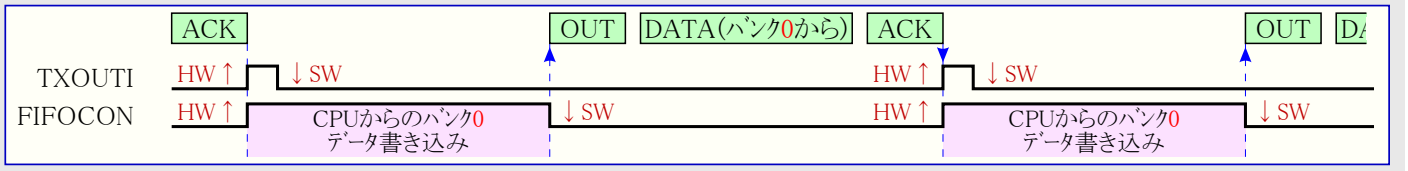


図24-6. 2つのOUTﾃﾞｰﾀ ﾊﾞﾝｸ例

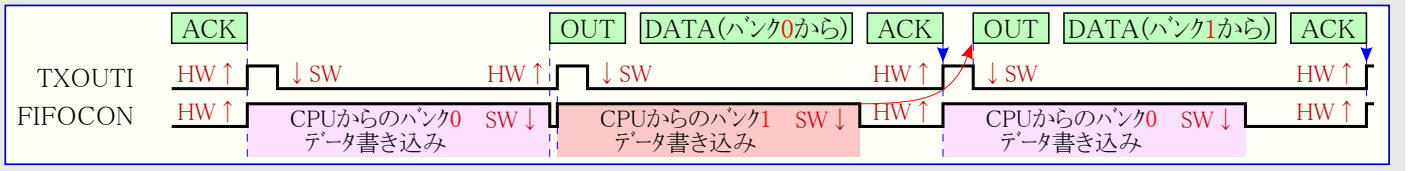
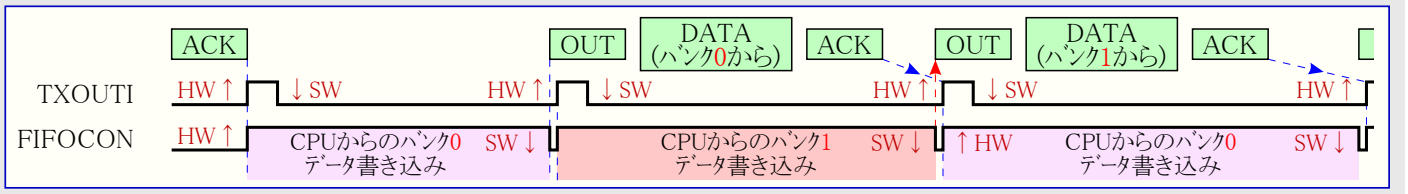


図24-7. 2つのOUTﾃﾞｰﾀ ﾊﾞﾝｸ例



24.14. INﾊﾟｲﾌﾟ管理

ﾊﾟｲﾌﾟは先行して構成設定されなければなりません。

ﾎｽﾄが装置からのﾃﾞｰﾀを必要とするとき、ﾌｧｰﾑｳｪｱはﾊﾟｲﾌﾟX制御(UPCONX)ﾚｼﾞｽﾀのIN要求動作種別(INMODE)ﾋﾞｯﾄを使って、使うIN動作形態を先に決めなければなりません。

- INMODE=0：ﾊﾟｲﾌﾟX IN要求数(UPINRQX)ﾚｼﾞｽﾀの停止前IN要求数(INRQX7～0)が計数を行います。ﾎｽﾄ制御器はﾊﾟｲﾌﾟが停止する前に選んだﾊﾟｲﾌﾟでINRQX+1回のIN要求を実行します。この動作形態はﾊﾟｲﾌﾟでの追加IN要求を無視します。
- INMODE=1：USB制御器はﾌｧｰﾑｳｪｱがﾊﾟｲﾌﾟを凍結(停止)(PFREEZE=1)までIN要求を無限に実行します。

IN要求生成はﾌｧｰﾑｳｪｱがﾊﾟｲﾌﾟ凍結(停止)(PFREEZE)ﾋﾞｯﾄを解除(0)すると始まります。

現ﾊﾞﾝｸが一杯になる毎にINﾃﾞｰﾀ受信割り込み要求(RXINI)とFIFO制御(FIFOCON)ﾋﾞｯﾄが設定(1)されます。これはINﾃﾞｰﾀ受信割り込み許可(RXINE)ﾋﾞｯﾄが設定(1)されていれば、割り込みを起動します。ﾌｧｰﾑｳｪｱはRXINIﾋﾞｯﾄを解除(0)することによってUSB割り込みに応答できます。ﾌｧｰﾑｳｪｱは現ﾊﾞﾝｸを開放するためにﾃﾞｰﾀを読んでFIFOCONﾋﾞｯﾄを解除(0)してください。INﾊﾟｲﾌﾟが複数ﾊﾞﾝｸで構成されている場合、FIFOCONﾋﾞｯﾄの解除(0)は次のﾊﾞﾝｸへ切り替えます。そしてRXINIとFICOCONﾋﾞｯﾄは新ﾊﾞﾝｸの状態に従ってﾊｰﾄﾞｳｪｱによって更新されます。

図24-8. 1つのINﾃﾞｰﾀ ﾊﾞﾝｸ例

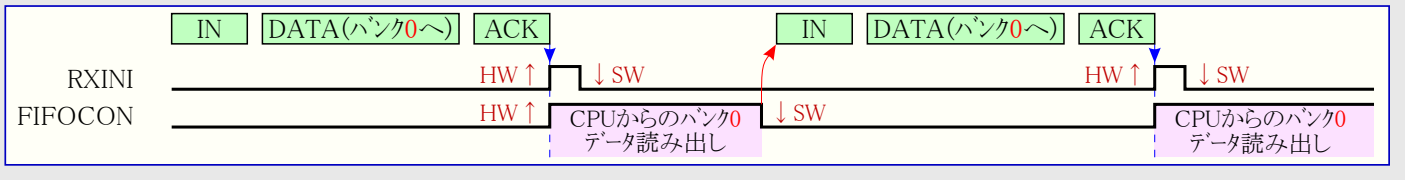
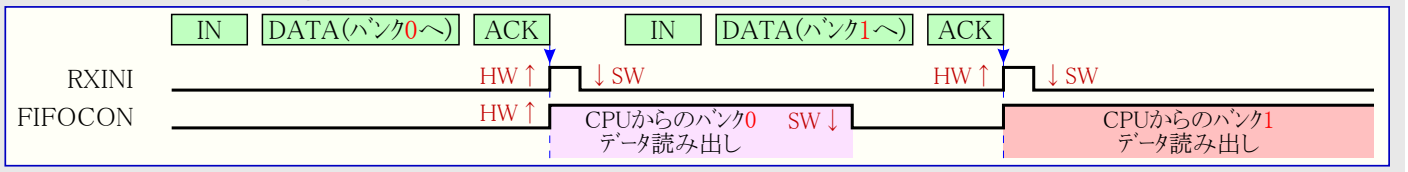


図24-9. 2つのINﾃﾞｰﾀ ﾊﾞﾝｸ例



24.14.1. CRC異常(等時(Isochronous)転送のみ)

CRC異常はIN段階中にUSB制御器が不正な受信ﾊﾟｹｯﾄを検出する場合に起き得ます。この状態では不能応答(STALL)受信/等時CRC異常割り込み(RXSTALLI/CRCERRI)が起動されます。これはINﾃﾞｰﾀ受信割り込み(RXINI)が起動されるのを妨げません。

24.15. ホスト割り込み

図24-10. USBホスト制御器割り込み元

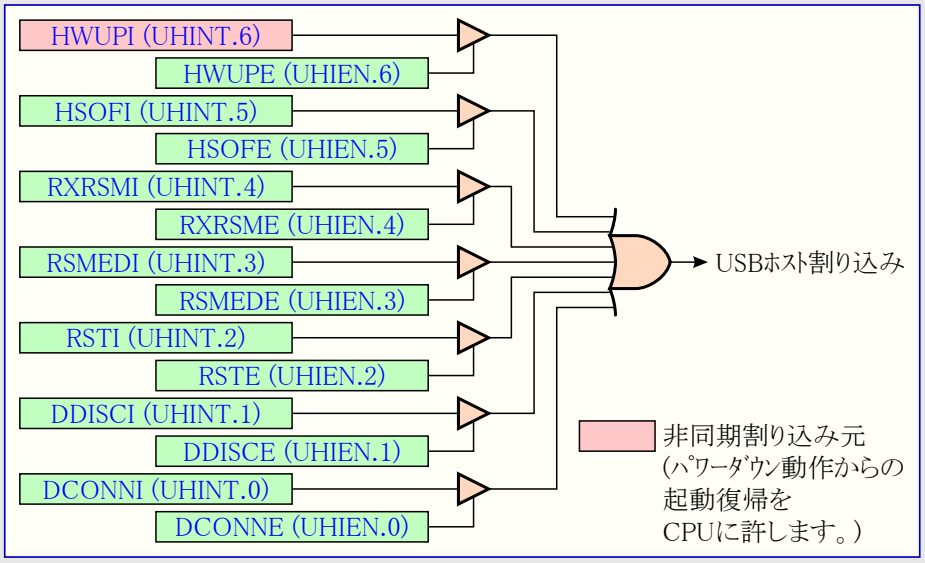
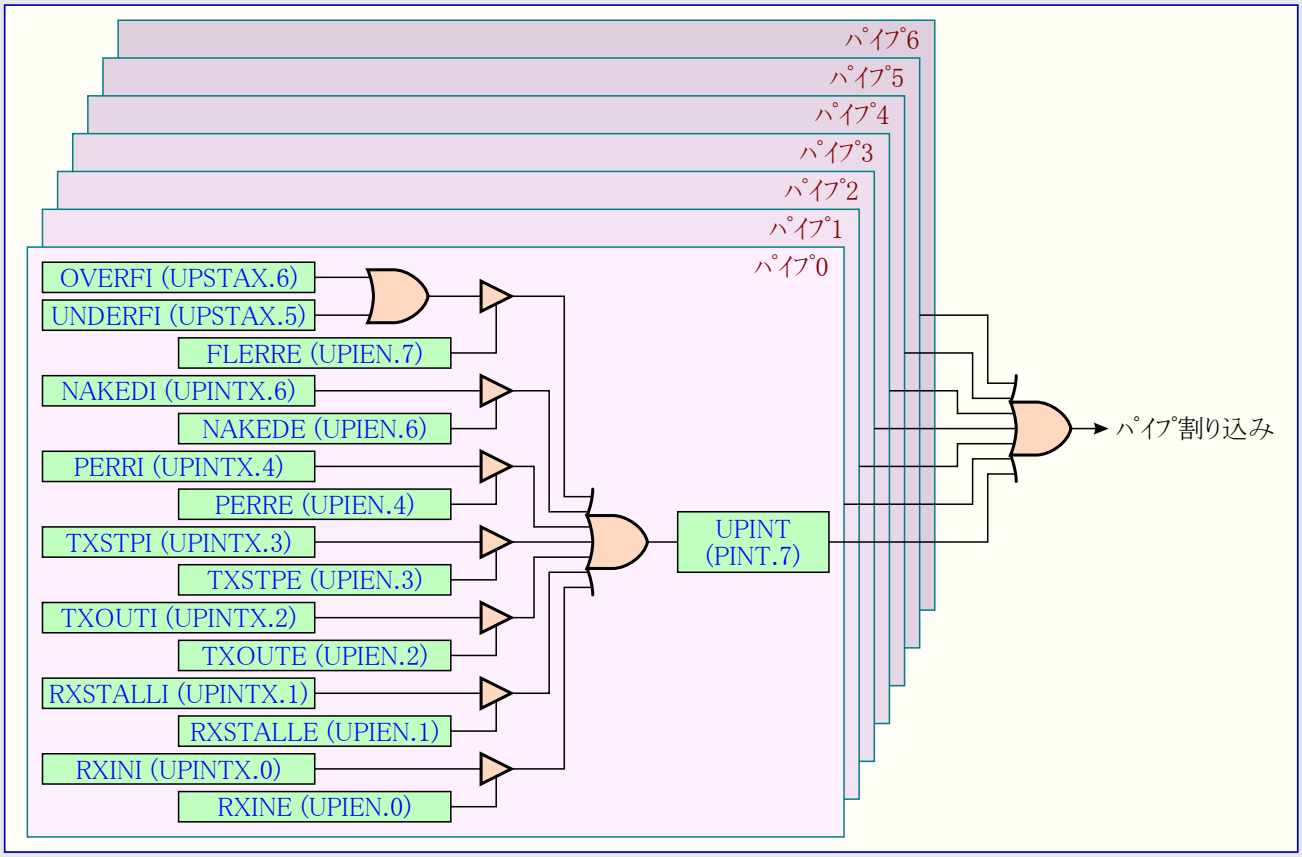


図24-11. USBホスト制御器パイプ割り込み元



24.16. USBホスト一般用レジスタ (注: デバイス名末尾6のデバイスはホスト機能がないため、本節内の全レジスタが利用不可です。)

24.16.1. UHCON – USBホスト制御レジスタ (USB Host Control Register)

ビット ($9E)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	RESUME	RESET	SOFEN	UHCON
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7~3 – Res : 予約** (Reserved)

これらのビットからの読み込み値は常に0です。これらのビットを設定(1)してはいけません。

• **ビット2 – RESUME : USB再開送出** (Send USB Resume Bit)

USBバス上でUSB再開(Resume)を生成するにはこのビットを設定(1)してください。

USB再開が送出されてしまうと、ハードウェアによって解除(0)されます。ソフトウェアによる解除(0)は無効です。
このビットはフレーム開始(SOF)生成が許可(SOFEN=1)の時にだけ設定(1)すべきです。

• **ビット1 – RESET : USBリセット送出** (Send USB Reset Bit)

USBバス上でUSBリセット(Reset)を生成するにはこのビットを設定(1)してください。

USBリセットが送出されてしまうと、ハードウェアによって解除(0)されます。ソフトウェアによる解除(0)は無効です。

より多くの詳細については195頁の「USBリセット」項をご覧ください。

• **ビット0 – SOFEN : フレーム開始(SOF)生成許可** (Start Of Frame Generation Enable Bit)

低速(Low-speed)の活性維持(keep-alive)と全速(Full-speed)でUSBバス上にフレーム開始(SOF)を生成するにはこのビットを設定(1)してください。

SOF生成を禁止し、USBバスをアイドル(または休止(Suspend))状態にするにはこのビットを解除(0)してください。

24.16.2. UHINT – USBホスト割り込み要求レジスタ (USB Host Interrupt Register)

ビット ($9F)	7	6	5	4	3	2	1	0	
	–	HWUPI	HSOFI	RXRSMI	RSMEDI	RSTI	DDISCI	DCONNI	UHINT
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – Res : 予約** (Reserved)

このビットからの読み込み値は常に0です。このビットを設定(1)してはいけません。

• **ビット6 – HWUPI : ホスト起動復帰割り込み要求フラグ** (Host Wake-Up Interrupt Flag)

USBバス上で非アイドル状態が検出されると、ハードウェアによって設定(1)されます。この割り込みはパワーダウン動作からCPUコアを起すためだけに許可すべきです。

この割り込みに応答するためにソフトウェアで解除(0)されるべきでしょう。ソフトウェアによる設定(1)は無効です。

• **ビット5 – HSOFI : ホスト フレーム開始(SOF)割り込み要求フラグ** (Host Start Of Frame Interrupt Flag)

ホスト制御器によってフレーム開始(SOF)が起されると、ハードウェアによって設定(1)されます。これはホスト フレーム開始(SOF)割り込み許可(HSOFE)が設定(1)されているなら、USB割り込みを起動します。低速(Low-speed)動作でのホスト制御器使用時、本ビットは活性維持(keep-alive)送出時にも設定(1)されます。

この割り込みに応答するためにソフトウェアで解除(0)されるべきでしょう。ソフトウェアによる設定(1)は無効です。

• **ビット4 – RXRSMI : 上方向再開受信割り込み要求フラグ** (Upstream Resume Received Interrupt Flag)

装置からの上方向再開(Upstream resume)が受信されると、ハードウェアによって設定(1)されます。

ソフトウェアによって解除(0)されるべきでしょう。ソフトウェアによる設定(1)は無効です。

• **ビット3 – RSMEDI : 下方向再開送出割り込み要求フラグ** (Downstream Resume Sent Interrupt Flag)

下方向再開(Downstream resume)が装置へ送出されてしまうと、ハードウェアによって設定(1)されます。

ソフトウェアによって解除(0)されるべきでしょう。ソフトウェアによる設定(1)は無効です。

• **ビット2 – RSTI : USBリセット送出割り込み要求フラグ** (USB Rest Sent Interrupt Flag)

USBリセット(Reset)が装置へ送出されてしまうと、ハードウェアによって設定(1)されます。

ソフトウェアによって解除(0)されるべきでしょう。ソフトウェアによる設定(1)は無効です。

• ﾋﾞｯﾄ1 – DDISCI : 装置切断割り込み要求ﾌﾗｸﾞ (Device Disconnection Interrupt Flag)

装置がUSBﾊﾞｽから取り外されてしまうと、ﾊｰﾄﾞｳｪｱによって設定(1)されます。
ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• ﾋﾞｯﾄ0 – DCONNI : 装置接続割り込み要求ﾌﾗｸﾞ (Device Connection Interrupt Flag)

装置がUSBﾊﾞｽに接続されてしまうと、ﾊｰﾄﾞｳｪｱによって設定(1)されます。
ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

24.16.3. UHIEN – USBﾎｽﾄ割り込み許可ﾚｼﾞｽﾀ (USB Host Interrupt Enable Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($A0)	–	HWUPE	HSOFE	RXRSME	RSMEDE	RSTE	DDISCE	DCONNE	UHIEN
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – Res : 予約 (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• ﾋﾞｯﾄ6 – HWUPE : ﾎｽﾄ起動復帰割り込み許可 (Host Wake-Up Interrupt Enable Bit)

ﾎｽﾄ起動復帰割り込み(HWUPI)を許可するには設定(1)してください。正しい割り込み処理実行のため、この割り込みはﾊﾟﾜｰﾀﾞｳﾝ動作移行前にだけ許可すべきです。
HWUPIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ5 – HSOFE : ﾎｽﾄ ﾌﾚｰﾑ開始(SOF)割り込み許可 (Host Start Of frame Interrupt Enable Bit)

ﾎｽﾄ ﾌﾚｰﾑ開始(SOF)割り込み(HSOFI)を許可するには設定(1)してください。
HSOFIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ4 – RXRSME : 上方向再開受信割り込み許可 Upstream Resume Received Interrupt Enable Bit)

上方向再開(Upstream resume)受信割り込み(RXRSMI)を許可するには設定(1)してください。
RXRSMIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ3 – RSMEDE : 下方向再開送出割り込み許可 (Downstream Resume Sent Interrupt Enable Bit)

下方向再開(Downstream resume)送出割り込み(RSMEDI)を許可するには設定(1)してください。
RSMEDIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ2 – RSTE : USBﾘｾｯﾄ送出割り込み許可 (USB Reset Sent Interrupt Enable Bit)

USBﾘｾｯﾄ(Reset)送出割り込み(RSTI)を許可するには設定(1)してください。
RSTIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ1 – DDISCE : 装置切断割り込み許可 (Device Disconnection Interrupt Enable Bit)

装置切断割り込み(DDISCI)を許可するには設定(1)してください。
DDISCIを禁止するには解除(0)してください。

• ﾋﾞｯﾄ0 – DCONNE : 装置接続割り込み許可 (Device Connection Interrupt Enable Bit)

装置接続割り込み(DCONNI)を許可するには設定(1)してください。
DCONNIを禁止するには解除(0)してください。

24.16.4. UHADDR – USBﾎｽﾄ ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (USB Host Address Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($A1)	–	HADDR6	HADDR5	HADDR4	HADDR3	HADDR2	HADDR1	HADDR0	UHADDR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – Res : 予約 (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• ﾋﾞｯﾄ6~0 – HADDR6~0 : ﾎｽﾄ指定装置ｱﾄﾞﾚｽ (USB Host Address Bits)

これらのﾋﾞｯﾄはUSB装置のｱﾄﾞﾚｽを含みます。

24.16.5. UHFNUMH, UHFNUML (UHFNUM) – USBホスト フレーム番号レジスタ (USB Host Frame Number Register)

ビット	15	14	13	12	11	10	9	8	
($A3)	–	–	–	–	–	FNUM10	FNUM9	FNUM8	UHFNUMH
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
($A2)	FNUM7	FNUM6	FNUM5	FNUM4	FNUM3	FNUM2	FNUM1	FNUM0	UHFNUML
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット15~11 – Res : 予約** (Reserved)

これらのビットからの読み込み値は常に0です。これらのビットを設定(1)してはいけません。

• **ビット10~0 – FNUM10~0 : フレーム番号** (Frame Number Flags)

これらのレジスタ内に含まれた値は現在のフレーム開始(SOF)番号です。

この値はソフトウェアによって変更できます。

(訳注) UHFNUMHとUHFNUMLは原書での個別表記を統一表記に纏めました。

24.16.6. UHFLEN – USBホスト フレーム長レジスタ (USB Host Frame Length Register)

ビット	7	6	5	4	3	2	1	0	
($A4)	FLEN7	FLEN6	FLEN5	FLEN4	FLEN3	FLEN2	FLEN1	FLEN0	UHFLEN
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ビット7~0 – FLEN7~0 : フレーム長** (Frame Length)

この値は送信したデータ フレーム長を含みます。

24.17. USBホスト パイプ用レジスタ (注: デバイス名末尾6のデバイスはホスト機能がないため、本節内の全レジスタが利用不可です。)

24.17.1. UPNUM – パイプ番号レジスタ (USB Pipe Number Register)

ビット	7	6	5	4	3	2	1	0	
($A7)	–	–	–	–	–	PNUM2	PNUM1	PNUM0	UPNUM
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7~3 – Res : 予約** (Reserved)

これらのビットからの読み込み値は常に0です。これらのビットを設定(1)してはいけません。

• **ビット2~0 – PNUM2~0 : パイプ番号** (Pipe Number Bits)

このレジスタで使うパイプを選んでください。Xで終わるUSBホスト レジスタのXがこの番号に対応します。

この番号はPNUM2~0ビットの値に従ってUSB制御器に対して使われます。

24.17.2. UPRST – パイプ リセット レジスタ (USB Pipe Reset Register)

ビット	7	6	5	4	3	2	1	0	
($A8)	–	P6RST	P5RST	P4RST	P3RST	P2RST	P1RST	P0RST	UPRST
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – Res : 予約** (Reserved)

このビットからの読み込み値は常に0です。このビットを設定(1)してはいけません。

• **ビット6 – P6RST : パイプ6 リセット** (Pipe 6 Reset Bit)

パイプ6をリセットするにはこのビットを1に設定し、そしてこのビットを0にリセットしてください。

• **ビット5 – P5RST : パイプ5 リセット** (Pipe 5 Reset Bit)

パイプ5をリセットするにはこのビットを1に設定し、そしてこのビットを0にリセットしてください。

• **ﾋﾞｯﾄ4 – P4RST : ﾊﾟｲﾌﾟ4 ﾘｾｯﾄ** (Pipe 4 Reset Bit)

ﾊﾟｲﾌﾟ4をﾘｾｯﾄするには、このﾋﾞｯﾄを1に設定し、そしてこのﾋﾞｯﾄを0にﾘｾｯﾄしてください。

• **ﾋﾞｯﾄ3 – P3RST : ﾊﾟｲﾌﾟ3 ﾘｾｯﾄ** (Pipe 3 Reset Bit)

ﾊﾟｲﾌﾟ3をﾘｾｯﾄするには、このﾋﾞｯﾄを1に設定し、そしてこのﾋﾞｯﾄを0にﾘｾｯﾄしてください。

• **ﾋﾞｯﾄ2 – P2RST : ﾊﾟｲﾌﾟ2 ﾘｾｯﾄ** (Pipe 2 Reset Bit)

ﾊﾟｲﾌﾟ2をﾘｾｯﾄするには、このﾋﾞｯﾄを1に設定し、そしてこのﾋﾞｯﾄを0にﾘｾｯﾄしてください。

• **ﾋﾞｯﾄ1 – P1RST : ﾊﾟｲﾌﾟ1 ﾘｾｯﾄ** (Pipe 1 Reset Bit)

ﾊﾟｲﾌﾟ1をﾘｾｯﾄするには、このﾋﾞｯﾄを1に設定し、そしてこのﾋﾞｯﾄを0にﾘｾｯﾄしてください。

• **ﾋﾞｯﾄ0 – P0RST : ﾊﾟｲﾌﾟ0 ﾘｾｯﾄ** (Pipe 0 Reset Bit)

ﾊﾟｲﾌﾟ0をﾘｾｯﾄするには、このﾋﾞｯﾄを1に設定し、そしてこのﾋﾞｯﾄを0にﾘｾｯﾄしてください。

24.17.3. UPCONX – ﾊﾟｲﾌﾟX制御ﾚｼﾞｽﾀ (USB Pipe X Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($A9)	–	PFREEZE	INMODE	–	RSTDT	–	–	PEN	UPCONX
Read/Write	R	R/W	R/W	R	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ6 – PFREEZE : ﾊﾟｲﾌﾟ停止** (Pipe Freeze Bit)

ﾊﾟｲﾌﾟ要求生成を凍結(停止)するにはこのﾋﾞｯﾄを設定(1)してください。

ﾊﾟｲﾌﾟ要求生成を許可するにはこのﾋﾞｯﾄを解除(0)してください。

このﾋﾞｯﾄは以下の時にﾊｰﾄﾞｳｪｱによって設定(1)されます。

- ﾊﾟｲﾌﾟが構成設定されていない。
- このﾊﾟｲﾌﾟで不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸが受信されてしまった。
- ﾊﾟｲﾌﾟ上で異常が起きた(ﾊﾟｲﾌﾟX割り込み要求(UPINTX)ﾚｼﾞｽﾀのﾊﾟｲﾌﾟ異常割り込み要求(PERRI)ﾌﾗｸﾞ=1)。
- IN要求がINRQ+1回処理されてしまった。

このﾋﾞｯﾄはﾊﾟｲﾌﾟ ﾘｾｯﾄまたはﾊﾟｲﾌﾟ許可後、ﾊｰﾄﾞｳｪｱによって1に設定されます。

• **ﾋﾞｯﾄ5 – INMODE : IN要求動作種別** (IN Request mode Bit)

ﾊﾟｲﾌﾟが凍結(停止)されていない時にIN要求を無限に実行するのをUSB制御器に許すには、このﾋﾞｯﾄを設定(1)してください。

予め定義されたIN要求数を実行するにはこのﾋﾞｯﾄを解除(0)してください。この数はﾊﾟｲﾌﾟX IN要求数(UPINRQX)ﾚｼﾞｽﾀ内に格納されます。

• **ﾋﾞｯﾄ4 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ3 – RSTDT : 交互ﾃﾞｰﾀ番号ﾘｾｯﾄ** (Reset Data Toggle Bit)

現ﾊﾟｲﾌﾟに対する初期値のために交互ﾃﾞｰﾀ番号をﾘｾｯﾄするにはこのﾋﾞｯﾄを設定(1)してください。

執行時にﾊｰﾄﾞｳｪｱによって解除(0)されます。ｿﾌﾄｳｪｱによる解除(0)は無効です。

• **ﾋﾞｯﾄ2,1 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ0 – PEN : ﾊﾟｲﾌﾟ許可** (Pipe Enable Bit)

ﾊﾟｲﾌﾟを許可するには設定(1)してください。

ﾊﾟｲﾌﾟを禁止してﾘｾｯﾄするには解除(0)してください。

24.17.4. UPCFG0X – ﾊﾟｲﾌﾟX構成0ﾚｼﾞｽﾀ (USB Pipe X Configuration 0 Register)

ﾋﾞｯﾄ ($AA)	7	6	5	4	3	2	1	0	
	PTYPE1	PTYPE0	PTOKEN1	PTOKEN0	PEPNUM3	PEPNUM2	PEPNUM1	PEPNUM0	UPCFG0X
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7,6 – PTYPE1,0 : ﾊﾟｲﾌﾟ形式** (Pipe Type Bits)

ﾊﾟｲﾌﾟの形態を選んでください。

00=制御(Control)、01=等時(Isochronus)、10=大量(Bulk)、11=割り込み(Interrupt)

- **ﾋﾞｯﾄ5,4 – PTOKEN1,0 : ﾊﾟｲﾌﾟ指示票**(ﾄｰｸﾝ) (Pipe Token Bits)

ﾊﾟｲﾌﾟに組み合わせる指示票(Token)を選んでください。

00=設定(SETUP)、01=IN、10=OUT、11=予約

- **ﾋﾞｯﾄ3~0 – PEPNUM3~0 : ﾊﾟｲﾌﾟ対象ｴﾝﾄﾞﾎﾟｲﾝﾄ番号** (Pipe Endopoint Number Bits)

ﾊﾟｲﾌﾟ構成設定に従ってこの領域を設定してください。ﾊﾟｲﾌﾟによる目的ｴﾝﾄﾞﾎﾟｲﾝﾄ番号を設定してください。この値は0～15です。

24.17.5. UPCFG1X – ﾊﾟｲﾌﾟX構成1ﾚｼﾞｽﾀ (USB Pipe X Configuration 1 Register)

ﾋﾞｯﾄ ($ED)	7	6	5	4	3	2	1	0	
	–	PSIZE2	PSIZE1	PSIZE0	PBK1	PBK0	ALLOC	–	UPCFG1X
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

- **ﾋﾞｯﾄ6~4 – PSIZE2~0 : ﾊﾟｲﾌﾟ容量** (Pipe Size Bits)

ﾊﾟｲﾌﾟの容量を選んでください。

000=8ﾊﾞｲﾄ、001=16ﾊﾞｲﾄ、010=32ﾊﾞｲﾄ、011=64ﾊﾞｲﾄ、100=128ﾊﾞｲﾄ、101=256ﾊﾞｲﾄ、110=予約(使用不可)、111=予約(使用不可)

- **ﾋﾞｯﾄ3,2 – PBK1,0 : ﾊﾟｲﾌﾟ ﾊﾞﾝｸ形式** (Pipe Bank Bits)

現ﾊﾟｲﾌﾟに対して宣言するﾊﾞﾝｸ数を選んでください。

00=1ﾊﾞﾝｸ、01=2ﾊﾞﾝｸ、10=無効、11=無効

- **ﾋﾞｯﾄ1 – ALLOC : ﾊﾟｲﾌﾟ ﾒﾓﾘ構成設定** (Configure Pipe Memory Bit)

(指定)特性でﾊﾟｲﾌﾟ ﾒﾓﾘを構成設定するには設定(1)してください。

ﾒﾓﾘ割り当てを更新するには解除(0)してください。より多くの詳細については169頁の「ﾒﾓﾘ管理」項を参照ください。

- **ﾋﾞｯﾄ0 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

24.17.6. UPCFG2X – ﾊﾟｲﾌﾟX構成2ﾚｼﾞｽﾀ (USB Pipe X Configuration 2 Register)

ﾋﾞｯﾄ ($AD)	7	6	5	4	3	2	1	0	
	INTFRQ7	INTFRQ6	INTFRQ5	INTFRQ4	INTFRQ3	INTFRQ2	INTFRQ1	INTFRQ0	UPCFG2X
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~0 – INTFRQ7~0 : 割り込み転送ﾊﾟｲﾌﾟ要求頻度** (Interrupt Pipe Request Frequency Bits)

これらのﾋﾞｯﾄは割り込み(転送)ﾊﾟｲﾌﾟに対するﾎﾟｰﾘﾝｸﾞ周期のmsでの最大値です。

この値は割り込み(転送)以外のﾊﾟｲﾌﾟに関しては無効です。

24.17.7. UPSTAX – ﾊﾟｲﾌﾟX状態ﾚｼﾞｽﾀ (USB Pipe X Status Register)

ﾋﾞｯﾄ ($AC)	7	6	5	4	3	2	1	0	
	CFGOK	OVERFI	UNDERFI	–	DTSEQ1	DTSEQ0	NBUSYBK1	NBUSYBK0	UPSTAX
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – CFGOK : ﾊﾟｲﾌﾟ ﾒﾓﾘ構成OKﾌﾗｸﾞ** (Configure Pipe Memory OK Flag)

必要としたﾒﾓﾘ構成設定が成功裏に実行された場合にﾊｰﾄﾞｳｪｱによって設定(1)されます。

ﾊﾟｲﾌﾟが禁止されると、ﾊｰﾄﾞｳｪｱによって解除(0)されます。USBﾘｾｯﾄとﾊﾟｲﾌﾟ ﾘｾｯﾄはﾊﾟｲﾌﾟ構成設定上無効です。

• **ﾋﾞｯﾄ6 – OVERFI : ｵｰﾊﾞｰﾌﾛｰ割り込み要求ﾌﾗｸﾞ** (Overflow Interrupt Flag)

現ﾊﾟｲﾌﾟが現ﾊﾟｲﾌﾟの最大長よりも多いﾃﾞｰﾀを受信した時にﾊｰﾄﾞｳｪｱによって設定(1)されます。流れ異常割り込み許可(FLERRE)ﾋﾞｯﾄが設定(1)されているなら、割り込みが起動されます。

ｿﾌﾄｳｪｱによって解除(0)されるべきです。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ5 – UNDERFI : ｱﾝﾀﾞｰﾌﾛｰ割り込み要求ﾌﾗｸﾞ** (Underflow Interrupt Flag)

現在の等時(Isochronous)または割り込み(Interruput)転送ﾊﾟｲﾌﾟで転送単位(Transaction)ｱﾝﾀﾞｰﾌﾛｰが起こると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。ﾊﾟｲﾌﾟは装置によって必要とされたﾃﾞｰﾀの流れを送信することができません。代わりに、0長ﾊﾟｹｯﾄ(ZLP)が送出されます。流れ異常割り込み許可(FLERRE)ﾋﾞｯﾄが設定1)されているなら、割り込みが起動されます。

ｿﾌﾄｳｪｱによって解除(0)されるべきです。ｿﾌﾄｳｪｱによる設定(1)は無効です。

注: 割り込み(転送)ﾊﾟｲﾌﾟに対するｱﾝﾀﾞｰﾌﾛｰ：ﾎｽﾄ制御器はOUTﾊﾟｹｯﾄを送出しなければなりませんが、ﾊﾞﾝｸは空です。0長ﾊﾟｹｯﾄが送出され、UNDERFIﾋﾞｯﾄが設定(1)されます。

• **ﾋﾞｯﾄ4 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ3,2 – DTSEQ1,0 : 交互ﾃﾞｰﾀ番号ﾌﾗｸﾞ** (Toggle Sequencing Flag)

現ﾊﾞﾝｸのPIDﾃﾞｰﾀを示すためにﾊｰﾄﾞｳｪｱによって設定されます。

00=Data0、01=Data1、1x=予約

OUTﾊﾟｲﾌﾟに於ける本値は送られるべき次の交互ﾃﾞｰﾀ番号を示します。これは現ﾊﾞﾝｸと無関係です。

INﾊﾟｲﾌﾟに於ける本値は現ﾊﾞﾝｸで最後に受信した交互ﾃﾞｰﾀ番号を示します。

• **ﾋﾞｯﾄ1,0 – NBUSYBK1,0 : ﾊﾞﾝｸ内容状況ﾌﾗｸﾞ** (Busy Bank Flag)

内容が設定されているﾊﾞﾝｸ数を示すためにﾊｰﾄﾞｳｪｱによって設定されます。

OUTﾊﾟｲﾌﾟに対しては使用者によって満たされ、OUT転送の準備ができているﾊﾞﾝｸ数を示します。

INﾊﾟｲﾌﾟに対しては装置からのIN転送単位(Transaction)によって満たされたﾊﾞﾝｸ数を示します。

00=全ﾊﾞﾝｸ空き、01=1ﾊﾞﾝｸ設定済み、10=2ﾊﾞﾝｸ設定済み、11=予約

24.17.8. UPINRQX – ﾊﾟｲﾌﾟX IN要求数ﾚｼﾞｽﾀ (USB Pipe X IN Request Number Register)

ﾋﾞｯﾄ ($A5)	7	6	5	4	3	2	1	0	
	INRQ7	INRQ6	INRQ5	INRQ4	INRQ3	INRQ2	INRQ1	INRQ0	UPINRQX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7~0 – INRQ7~0 : 停止前IN要求数** (IN Request Number Before Freeze Bits)

USB制御器がﾊﾟｲﾌﾟを凍結(停止)する前のIN転送単位(Transactin)数を入れてください。USB制御器はﾊﾟｲﾌﾟを凍結(停止)するのに先立ってINRQ+1回のIN要求を実行します。この計数器はIN要求が成功裏に実行されてしまう毎、自動的に1減少されます。

(ﾊﾟｲﾌﾟが凍結(停止)されていない間で無限にIN要求を生成する)ﾊﾟｲﾌﾟX制御(UPCONX)ﾚｼﾞｽﾀのIN要求動作種別(INMODE)ﾋﾞｯﾄが設定(1)されている時にこのﾚｼﾞｽﾀは無効です。

24.17.9. UPERRX – ﾊﾟｲﾌﾟX異常ﾚｼﾞｽﾀ (USB Pipe X Error Register)

ﾋﾞｯﾄ ($F5)	7	6	5	4	3	2	1	0	
	–	COUNTER1	COUNTER0	CRC16	TIMEOUT	PID	DATAPID	DATATGL	UPERRX
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• **ﾋﾞｯﾄ6,5 – COUNTER1,0 : 異常計数値** (Error counter Bits)

この計数器はﾊﾟｲﾌﾟで異常が起こる毎にUSB制御器によって増加(+1)されます。この値が3に達すると、ﾊﾟｲﾌﾟが自動的に凍結(停止)されます。

ｿﾌﾄｳｪｱによってこれらのﾋﾞｯﾄを解除(0)してください。

• **ﾋﾞｯﾄ4 – CRC16 : CRC16異常ﾌﾗｸﾞ** (CRC16 Error Flag)

CRC16異常が検出されてしまうと、ﾊｰﾄﾞｳｪｱによって設定(1)されます。

ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ3 – TIMEOUT : 時間超過異常ﾌﾗｸﾞ** (Time-out Error Flag)

時間超過異常が検出されてしまうと、ﾊｰﾄﾞｳｪｱによって設定(1)されます。

ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ2 – PID : ﾊﾟｹｯﾄ識別(PID)異常ﾌﾗｸﾞ** (PID Error Flag)

ﾊﾟｹｯﾄ識別(PID)異常が検出されてしまうと、ﾊｰﾄﾞｳｪｱによって設定(1)されます。

ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ1 – DATAPID : ﾃﾞｰﾀﾊﾟｹｯﾄ識別(PID)異常ﾌﾗｸﾞ** (Data PID Error Flag)

ﾃﾞｰﾀ ﾊﾟｹｯﾄ識別(PID)異常が検出されてしまうと、ﾊｰﾄﾞｳｪｱによって設定(1)されます。

ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ0 – DATATGL : 不正交互ﾃﾞｰﾀ番号** (Bad Data Toggle Flag)

交互ﾃﾞｰﾀ番号異常が検出されてしまうと、ﾊｰﾄﾞｳｪｱによって設定(1)されます。

ｿﾌﾄｳｪｱによって解除(0)されるべきでしょう。ｿﾌﾄｳｪｱによる設定(1)は無効です。

24.17.10. UPINTX – ﾊﾟｲﾌﾟX割り込み要求ﾚｼﾞｽﾀ (USB Pipe X Interrupt Register)

ﾋﾞｯﾄ ($A6)	7	6	5	4	3	2	1	0	
	FIFOCON	NAKEDI	RWAL	PERRI	TXSTPI	TXOUTI	RXSTALLI	RXINI	UPINTX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – FIFOCON : FIFO制御** (FIFO Control Bit)

OUTとSETUPﾊﾟｲﾌﾟに対して：

現ﾊﾞﾝｸが空の時にﾊｰﾄﾞｳｪｱによってOUTﾊﾞﾝｸ空割り込み要求(TXOUTI)またはSETUPﾊﾞﾝｸ空割り込み要求(TXSTPI)と同時に設定(1)されます。

FIFOﾃﾞｰﾀを送信し、ﾊﾞﾝｸを切り替えるために解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

INｴﾝﾄﾞﾎﾟｲﾝﾄに対して：

新規INﾒｯｾｰｼﾞが現ﾊﾞﾝｸ内に格納されると、ﾊｰﾄﾞｳｪｱによってINﾃﾞｰﾀ受信割り込み要求(RXINI)と同時に設定(1)されます。

現ﾊﾞﾝｸを開放するために解除(0)して次のﾊﾞﾝｸに切り替えてください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• **ﾋﾞｯﾄ6 – NAKEDI : 否定応答(NAK)ﾊﾝﾄﾞｼｪｰｸ受信割り込み要求ﾌﾗｸﾞ** (NAK Handshake Received Interrupt Flag)

ﾊﾟｲﾌﾟの現ﾊﾞﾝｸで否定応答(NAK)が受信されると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。これはﾊﾟｲﾌﾟX割り込み許可(UPIENX)ﾚｼﾞｽﾀで否定応答(NAK)ﾊﾝﾄﾞｼｪｰｸ受信割り込み許可(NAKEDE)ﾋﾞｯﾄが設定(1)されているなら、USB割り込みを起動します。

割り込みでやり取りするためにｿﾌﾄｳｪｱで解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• ﾋﾞｯﾄ5 – RWAL : 読み書き可ﾌﾗｸﾞ (Read/Write Allowed Flag)

OUTﾊﾟｲﾌﾟ:

ﾌｧｰﾑｳｪｱがﾊﾟｲﾌﾟFIFO内に新規ﾃﾞｰﾀを書ける時にﾊｰﾄﾞｳｪｱによって設定(1)されます。

現ﾊﾟｲﾌﾟFIFOが一杯の時にﾊｰﾄﾞｳｪｱによって解除(0)されます。

INﾊﾟｲﾌﾟ:

ﾌｧｰﾑｳｪｱがﾊﾟｲﾌﾟFIFO内から新規ﾃﾞｰﾀを読める時にﾊｰﾄﾞｳｪｱによって設定(1)されます。

現ﾊﾟｲﾌﾟFIFOが空の時にﾊｰﾄﾞｳｪｱによって解除(0)されます。

このﾋﾞｯﾄは不能応答(STALL)受信割り込み要求(RXSTALLI)またはﾊﾟｲﾌﾟ異常割り込み要求(PERRI)が設定(1)される時も、ﾊｰﾄﾞｳｪｱによって解除(0)されます。

• ﾋﾞｯﾄ4 – PERRI : ﾊﾟｲﾌﾟ異常割り込み要求ﾌﾗｸﾞ (Pipe Error Interrupt Flag)

ﾊﾟｲﾌﾟの現ﾊﾞﾝｸで異常が起こると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。これはﾊﾟｲﾌﾟX割り込み許可(UPIENX)ﾚｼﾞｽﾀでﾊﾟｲﾌﾟ異常割り込み許可(PERRE)ﾋﾞｯﾄが設定(1)されているなら、割り込みを起動します。

異常原因が解消されると、ﾊｰﾄﾞｳｪｱによって自動的に解除(0)されます。

• ﾋﾞｯﾄ3 – TXSTPI : SETUPﾊﾞﾝｸ空割り込み要求ﾌﾗｸﾞ (SETUP Bank ready Interrupt Flag)

現SETUPﾊﾞﾝｸが開放で、満たされ得る時にﾊｰﾄﾞｳｪｱによって設定(1)されます。これはﾊﾟｲﾌﾟX割り込み許可(UPIENX)ﾚｼﾞｽﾀでSETUPﾊﾞﾝｸ空割り込み許可(TXSTPE)ﾋﾞｯﾄが設定(1)されているなら、割り込みを起動します。

割り込みでやり取りするためにｿﾌﾄｳｪｱによって解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• ﾋﾞｯﾄ2 – TXOUTI : OUTﾊﾞﾝｸ空割り込み要求ﾌﾗｸﾞ (OUT Bank ready Interrupt Flag)

現OUTﾊﾞﾝｸが開放で、満たされ得る時にﾊｰﾄﾞｳｪｱによって設定(1)されます。これはﾊﾟｲﾌﾟX割り込み許可(UPIENX)ﾚｼﾞｽﾀでOUTﾊﾞﾝｸ空割り込み許可(TXOUTE)ﾋﾞｯﾄが設定(1)されているなら、割り込みを起動します。

割り込みでやり取りするためにｿﾌﾄｳｪｱによって解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• ﾋﾞｯﾄ1 – RXSTALLI/CRCERR : 不能応答(STALL)受信/等時CRC異常割り込み要求ﾌﾗｸﾞ
(STALL Received / Isochronuos CRC Error Interrupt Flag)

ﾊﾟｲﾌﾟの現ﾊﾞﾝｸで不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸが受信されてしまうと、ﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾊﾟｲﾌﾟは自動的に凍結(停止)されます。これはﾊﾟｲﾌﾟX割り込み許可(UPIENX)ﾚｼﾞｽﾀで不能応答(STALL)受信割り込み許可(RXSTALLE)ﾋﾞｯﾄが設定(1)されているなら、割り込みを起動します。

割り込みでやり取りするためにｿﾌﾄｳｪｱによって解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

等時(Isochronous)転送ﾊﾟｲﾌﾟに対して:

ﾊﾟｲﾌﾟの現ﾊﾞﾝｸでCRC異常が起こると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。これはﾊﾟｲﾌﾟX割り込み許可(UPIENX)ﾚｼﾞｽﾀで不能応答(STALL)受信割り込み許可(RXSTALLE)ﾋﾞｯﾄが設定(1)されているなら、割り込みを起動します。

割り込みでやり取りするためにｿﾌﾄｳｪｱによって解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

• ﾋﾞｯﾄ0 – RXINI : INﾃﾞｰﾀ受信割り込み要求ﾌﾗｸﾞ (IN Data Received Interrupt Flag)

ﾊﾟｲﾌﾟの現ﾊﾞﾝｸに新規USBﾒｯｾｰｼﾞが格納されると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。これはﾊﾟｲﾌﾟX割り込み許可(UPIENX)ﾚｼﾞｽﾀでINﾃﾞｰﾀ受信割り込み許可(RXINE)ﾋﾞｯﾄが設定(1)されているなら、割り込みを起動します。

割り込みでやり取りするためにｿﾌﾄｳｪｱによって解除(0)してください。ｿﾌﾄｳｪｱによる設定(1)は無効です。

24.17.11. UPIENX – ﾊﾟｲﾌﾟX割り込み許可ﾚｼﾞｽﾀ (USB Pipe X Interrupt Enable Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($AE)	FLERRE	NAKEDE	–	PERRE	TXSTPE	TXOUTE	RXSTALLE	RXINE	UPIENX
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – FLERRE : 流れ異常割り込み許可 (Flow Error Interrupt Enable Bit)

ｵｰﾊﾞｰﾌﾛｰ割り込み(OVERFI)とｱﾝﾀﾞｰﾌﾛｰ割り込み(UNDERFI)を許可するには設定(1)してください。

OVERFIとUNDERFI割り込みを禁止するには解除(0)してください。

• ﾋﾞｯﾄ6 – NAKEDE : 否定応答(NAK)ﾊﾝﾄﾞｼｪｰｸ受信割り込み許可 (NAK Handshake Received Interrupt Enable Bit)

否定応答(NAK)ﾊﾝﾄﾞｼｪｰｸ受信割り込み(NAKEDI)を許可するには設定(1)してください。

NAKEDI割り込みを禁止するには解除(0)してください。

• ﾋﾞｯﾄ5 – Res : 予約 (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

• ﾋﾞｯﾄ4 – PERRE : ﾊﾟｲﾌﾟ異常割り込み許可 (Pipe Error Interrupt Enable Bit)

ﾊﾟｲﾌﾟ異常割り込み(PERRI)を許可するには設定(1)してください。

PERRI割り込みを禁止するには解除(0)してください。

• ﾋﾞｯﾄ3 – TXSTPE : SETUPﾊﾞﾝｸ空割り込み許可 (SETUP Bank ready Interrupt Enable Bit)

SETUPﾊﾞﾝｸ空割り込み(TXSTPI)を許可するには設定(1)してください。

TXSTPI割り込みを禁止するには解除(0)してください。

• ﾋﾞｯﾄ2 – TXOUTE : OUTﾊﾞﾝｸ空割り込み許可 (OUT Bank ready Interrupt Enable Bit)

OUTﾊﾞﾝｸ空割り込み(TXOUTI)を許可するには設定(1)してください。

TXOUTI割り込みを禁止するには解除(0)してください。

• ﾋﾞｯﾄ1 – RXSTALLE : 不能応答(STALL)受信割り込み許可 (STALL Received Interrupt Enable Bit)

不能応答(STALL)受信割り込み(RXSTALLI)を許可するには設定(1)してください。

RXSTALLI割り込みを禁止するには解除(0)してください。

• ﾋﾞｯﾄ0 – RXINE : INﾃﾞｰﾀ受信割り込み許可 (IN Data Received Interrupt Enable Bit)

INﾃﾞｰﾀ受信割り込み(RXINI)を許可するには設定(1)してください。

RXINI割り込みを禁止するには解除(0)してください。

24.17.12. UPDATX – ﾊﾟｲﾌﾟX ﾃﾞｰﾀ ﾚｼﾞｽﾀ (USB Pipe X Data Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($AF)	PDAT7	PDAT6	PDAT5	PDAT4	PDAT3	PDAT2	PDAT1	PDAT0	UPDATX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7~0 – PDAT7~0 : ﾃﾞｰﾀ (Pipe Data Bits)

ﾊﾟｲﾌﾟ番号(PNUM)によって選んだﾊﾟｲﾌﾟFIFOとのﾊﾞｲﾄ読み書きをｿﾌﾄｳｪｱによって行ってください。

24.17.13. UPBCHX, UPBCLX (UPBCX) – ﾊﾟｲﾌﾟX ﾊﾞｲﾄ数ﾚｼﾞｽﾀ (USB Pipe X Byte Count Register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($F7)	–	–	–	–	–	PBYCT10	PBYCT9	PBYCT8	UPBCHX
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($F6)	PBYCT7	PBYCT6	PBYCT5	PBYCT4	PBYCT3	PBYCT2	PBYCT1	PBYCT0	UPBCLX
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ15~11 – Res : 予約 (Reserved)

これらのﾋﾞｯﾄからの読み込み値は常に0です。これらのﾋﾞｯﾄを設定(1)してはいけません。

• ﾋﾞｯﾄ10~0 – PBYCT10~0 : ﾊﾞｲﾄ数 (Pipe Byte count Bits)

ﾊｰﾄﾞｳｪｱによって設定されます。これらはﾊﾟｲﾌﾟFIFOのﾊﾞｲﾄ数です。

– (OUTﾊﾟｲﾌﾟについては)、ﾊﾟｲﾌﾟ内への毎書き込み後に増加(+1)され、毎ﾊﾞｲﾄ送信後に減少(-1)されます。

– (INﾊﾟｲﾌﾟについては)、ﾎｽﾄによる毎ﾊﾞｲﾄ受信後に増加(+1)され、ｿﾌﾄｳｪｱによる毎ﾊﾞｲﾄ読み込み後に減少(-1)されます。

(訳注) UPBCHXとUPBCLXは原書での個別表記を統一表記に纏めました。

24.17.14. UPINT – ﾊﾟｲﾌﾟ割り込み要求ﾚｼﾞｽﾀ (USB Pipe Interrupt Register)

ﾋﾞｯﾄ ($F8)	7	6	5	4	3	2	1	0	
	–	PINT6	PINT5	PINT4	PINT3	PINT2	PINT1	PINT0	UPINT
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄからの読み込み値は常に0です。このﾋﾞｯﾄを設定(1)してはいけません。

- **ﾋﾞｯﾄ6~0 – PINT6~PINT0 : ﾊﾟｲﾌﾟ割り込み要求ﾌﾗｸﾞ** (Pipe Interrupts Bits)

ﾊﾟｲﾌﾟX割り込み要求(UPINTX)ﾚｼﾞｽﾀに対応するﾊﾟｲﾌﾟ割り込み許可ﾋﾞｯﾄが設定(1)され、UPINTXによって割り込みが起動されると、ﾊｰﾄﾞｳｪｱによって設定(1)されます。

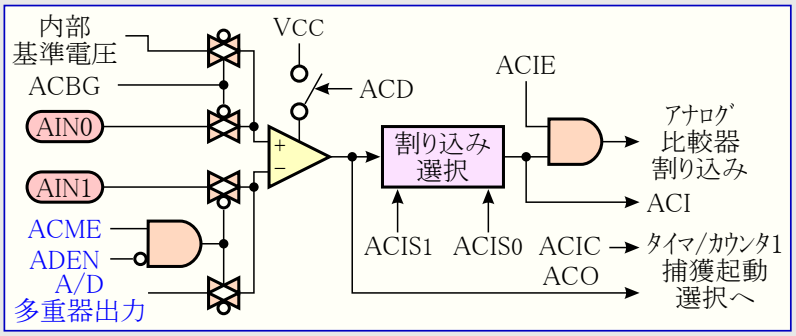
その割り込み元が取り扱われる(処理される)と、ﾊｰﾄﾞｳｪｱによって解除(0)されます。

25. アナログ比較器

アナログ比較器は非反転入力AIN0ピンと反転入力AIN1ピンの入力値を比較します。非反転AIN0ピンの電圧が反転AIN1ピンの電圧よりも高い時にACSRのアナログ比較器出力(ACO)ビットが設定(1)されます。この比較器出力はタイマ/カウンタ1の捕獲機能を起動するように設定できます。加えて、この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図25-1.で示されます。

ADC入力(A/D多重器出力)の使用を可能とするには、32頁の「PRR0 – 電力削減レジスタ」のPRADCビットが論理0を書かれることで(電力削減を)禁止されなければなりません。

図25-1. アナログ比較器部構成図



注: A/D多重器出力については210頁の表25-2.をご覧ください。
アナログ比較器ピン配置については2頁の「ピン配置」と57頁の表12-15.を参照してください。

25.0.1. ACSR – アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
$30 ($50)	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

• **ビット7 – ACD : アナログ比較器禁止** (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でも設定(1)できます。これは活動動作やアイドル動作で電力消費を削減します。ACDビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起こり得ます。

• **ビット6 – ACBG : 基準電圧選択** (Analog Comparator Bandgap Select)

このビットが設定(1)されると、内部基準電圧(公称1.1V)がアナログ比較器への非反転入力に置き換わります。本ビットが解除(0)されると、AIN0がアナログ比較器の非反転入力に印加されます。36頁の「内部基準電圧」をご覧ください。

• **ビット5 – ACO : アナログ比較器出力** (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後に直接ACOへ接続されます。この同期化は1～2クロック周期の遅延をもたらします。

• **ビット4 – ACI : アナログ比較器割り込み要求フラグ** (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRのアナログ比較器割り込み条件(ACIS1,0)ビットによって定義した割り込み方法で起動する時に設定(1)されます。ACSRのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもACIは解除(0)されます。

• **ビット3 – ACIE : アナログ比較器割り込み許可** (Analog Comparator Interrupt Enable)

ACIEビットが論理1を書かれ、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

• **ビット2 – ACIC : アナログ比較器捕獲起動許可** (Analog Comparator Input Capture Enable)

論理1を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタ1の捕獲機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ1捕獲割り込みの雑音消去機能と端(エッジ)選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。論理0を書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ1捕獲割り込みを起動するには、タイマ/カウンタ1割り込み許可レジスタ(TIMSK1)の捕獲割り込み許可(ICIE1)ビットが設定(1)されなければなりません。

• **ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件** (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するのかを決めます。各種設定は表25-1.で示されます。

ACIS1,ACIS0ビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表25-1. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

25.0.2. ADCSRB – A/D変換制御/状態ﾚｼﾞｽﾀB (ADC Control and Status Register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($7B)	ADHSM	ACME	–	–	–	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ6 – ACME : ｱﾅﾛｸﾞ比較器多重器許可** (Analog Comparator Multiplexer Enable)

このﾋﾞｯﾄが論理1を書かれ、A/D変換部がOFF(ADCSRAのADENﾋﾞｯﾄが0)にされると、A/D変換の多重器がｱﾅﾛｸﾞ比較器への反転入力を選びます。このﾋﾞｯﾄが論理0を書かれると、AIN1がｱﾅﾛｸﾞ比較器の反転入力に印加されます。このﾋﾞｯﾄの詳細な記述については次の「**ｱﾅﾛｸﾞ比較器入力選択**」をご覧ください。

25.1. ｱﾅﾛｸﾞ比較器入力選択

ｱﾅﾛｸﾞ比較器への反転入力を取り替えるのにADC7～0のどれかを選ぶことができます。A/D変換の多重器がこの入力選択に使われ、従ってこの機能を利用するためにA/D変換部がOFF(動作禁止)にされなければなりません。ADCSRBのｱﾅﾛｸﾞ比較器多重器許可(ACME)ﾋﾞｯﾄが設定(1)され、A/D変換部がOFF(ADCSRAのADENﾋﾞｯﾄが0)にされていれば、**表25-2.**で示されるようにADMUXのﾁｬﾈﾙ選択(MUX2～0)ﾋﾞｯﾄがｱﾅﾛｸﾞ比較器への反転入力を取り替えるための入力ﾋﾟﾝを選びます。ACMEが解除(0)またはADENが設定(1)されると、AIN1がｱﾅﾛｸﾞ比較器への反転入力に印加されます。

表25-2. ｱﾅﾛｸﾞ比較器反転入力選択

ACME	ADEN	MUX2～0	ｱﾅﾛｸﾞ比較器反転入力	備考
0	x	x x x	AIN1	
1	1	x x x	AIN1	
	0	0 0 0	ADC0	
		0 0 1	ADC1	
		0 1 0	ADC2	
		0 1 1	ADC3	
		1 0 0	ADC4	
		1 0 1	ADC5	
		1 1 0	ADC6	
		1 1 1	ADC7	

25.1.1. DIDR1 – ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ1 (Digital Input Disable Register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($7F)	–	–	–	–	–	–	AIN1D	AIN0D	DIDR1
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～2 – Res : 予約** (Reserved) (**訳注**:共通性から本項追加)

これらのﾋﾞｯﾄは使われず、常に0として読みます。

• **ﾋﾞｯﾄ1,0 – AIN1D,AIN0D : AIN1,AIN0 ﾃﾞｼﾞﾀﾙ入力禁止** (AIN1,AIN0 Digital Input Disable)

このﾋﾞｯﾄが論理1を書かれると、AIN1/0ﾋﾟﾝのﾃﾞｼﾞﾀﾙ入力緩衝部が禁止されます。このﾋﾞｯﾄが設定(1)されると、対応するﾎﾟｰﾄ入力ﾚｼﾞｽﾀのﾋﾞｯﾄ(PINx)は常に0として読みます。AIN1/0ﾋﾟﾝにｱﾅﾛｸﾞ信号が印加され、そのﾋﾟﾝからのﾃﾞｼﾞﾀﾙ入力が必要とされない時にﾃﾞｼﾞﾀﾙ入力緩衝部での消費電力を削減するため、このﾋﾞｯﾄは論理1を書かれるべきです。

26. A/D変換器

26.1. 特徴

- 10ﾋﾞｯﾄ分解能
- 積分非直線性誤差0.5 LSB
- 絶対精度±2 LSB
- 変換時間13～260µs (50kHz～1MHz変換ｸﾛｯｸ)
- 最大分解能で15kSPS(採取/s)まで
- 8ﾁｬﾈﾙのｼﾝｸﾞﾙ ｴﾝﾄﾞ入力多重器内蔵
- 7ﾁｬﾈﾙの差動入力ﾁｬﾈﾙ
- ×10, ×200の任意利得付き2つの差動入力ﾁｬﾈﾙ (訳注:共通性から本行追加)
- A/D変換結果読み出しに対する任意の左揃え
- 0～VCC A/D変換入力電圧範囲
- 選択可能な2.56V A/D変換基準電圧
- 連続と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- 休止形態雑音低減機能

26.2. 概要

Atmel AT90USB64/128は10ﾋﾞｯﾄ逐次比較A/D変換器が特徴です。このA/D変換器はﾎﾟｰﾄFのﾋﾟﾝから構成された8つのｼﾝｸﾞﾙ ｴﾝﾄﾞ電圧入力を許す8ﾁｬﾈﾙ ｱﾅﾛｸﾞ多重器に接続されます。このｼﾝｸﾞﾙ ｴﾝﾄﾞ電圧入力は0V(GND)が基準です。

ﾃﾞﾊﾞｲｽは16通りの差動電圧入力も支援します。差動入力の2つ(ADC1,ADC0とADC3,ADC2)はA/D変換前の差動入力電圧で0dB(×1)、20dB(×10)、46dB(×200)の増幅段を提供する設定変更可能な利得段が装備されます。7つの差動ｱﾅﾛｸﾞ入力が共通反転端子(ADC1)を共用し、一方他のADC入力が非反転入力端子として選べます。利得×1または×10が使われる場合は8ﾋﾞｯﾄ分解能が期待でき、利得×200が使われる場合は7ﾋﾞｯﾄ分解能が期待できます。

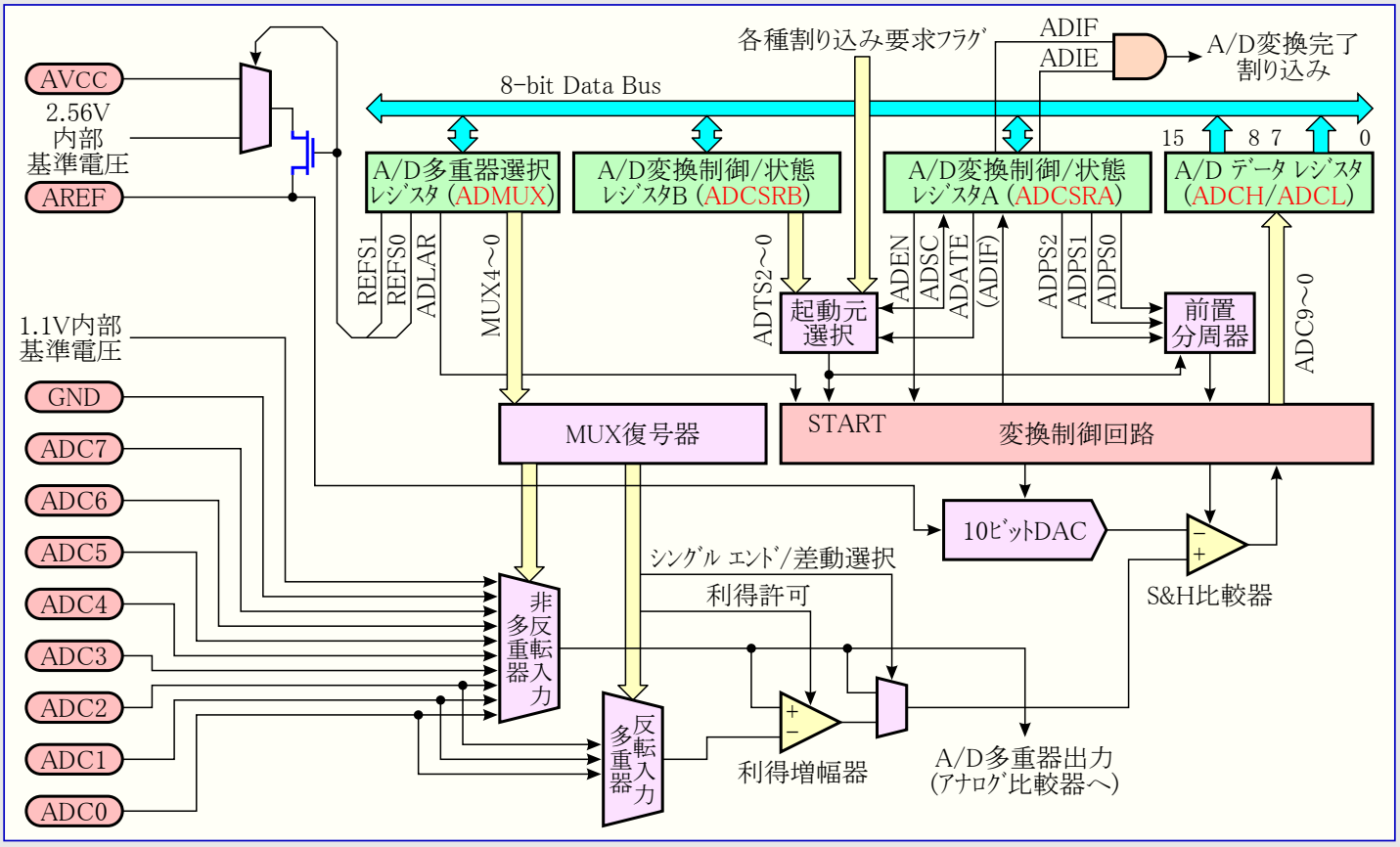
このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は図26-1.で示されます。

A/D変換部には分離されたｱﾅﾛｸﾞ電源供給ﾋﾟﾝ(AVCC)があります。AVCCはVCCから±0.3Vよりも多く違ってはなりません。このﾋﾟﾝの接続方法は216頁の「**雑音低減技術**」項をご覧ください。

公称2.56Vの内蔵基準電圧またはAVCCがﾁｯﾌﾟ上で提供されます。この基準電圧は雑音特性向上のため、ｺﾝﾃﾞﾝｻによってAREFﾋﾟﾝで外部的にﾃﾞｶｯﾌﾟ(雑音分離)できます。

32頁の「**PRR0 – 電力削減ﾚｼﾞｽﾀ**」のPRADCﾋﾞｯﾄはA/D変換部を許可するために0を書かれなければなりません。(訳注:本行追加)

図26-1. A/D変換器部構成図



26.3. 操作

A/D変換部は逐次比較を通してｱﾅﾛｸﾞ入力電圧を10ﾋﾞｯﾄのﾃﾞｼﾞﾀﾙ値に変換します。最小値はGNDを表し、最大値はAREFﾋﾟﾝの電圧-1 LSBを表します。A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)の基準電圧選択(REFS1,0)ﾋﾞｯﾄへの書き込みにより、任意でAVCCまたは内部2.56V基準電圧がAREFﾋﾟﾝに接続できます。この内部基準電圧は雑音耐性を改善するためにAREFﾋﾟﾝで外部ｺﾝﾃﾞﾝｻによってﾃﾞｶｯﾌﾟ(雑音結合減少)のようにできます。

ｱﾅﾛｸﾞ入力ﾁｬﾈﾙと差動利得はADMUXのﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄへの書き込みによって選ばれます。GNDと固定基準電圧(1.1V内蔵基準電圧(V_{BG}))だけでなく、どのADC入力ﾋﾟﾝ(ADC7～0)もがA/D変換器のｼﾝｸﾞﾙ ｴﾝﾄﾞ入力として選べます。ADC入力ﾋﾟﾝの選択は差動利得増幅器への反転と非反転入力として選べます。

差動ﾁｬﾈﾙが選ばれると、差動利得段は選んだ入力ﾁｬﾈﾙ間の差電圧を選んだ増幅率で増幅します。それからこの増幅した値はA/D変換器の入力になります。ｼﾝｸﾞﾙ ｴﾝﾄﾞ ﾁｬﾈﾙが使われると、利得増幅器全体が迂回(無視)されます。(**訳注**:3行追加)

A/D変換部はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D許可(ADEN)ﾋﾞｯﾄの設定(1)によって(動作が)許可されます。基準電圧と入力ﾁｬﾈﾙの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)で示される10ﾋﾞｯﾄの結果を生成します。既定では、この結果が右揃え(16ﾋﾞｯﾄのﾋﾞｯﾄ0側10ﾋﾞｯﾄ)で表されますが、ADMUXで左揃え選択(ADLAR)ﾋﾞｯﾄを設定(1)することにより、任意で左揃え(16ﾋﾞｯﾄのﾋﾞｯﾄ15側10ﾋﾞｯﾄ)で表せます。

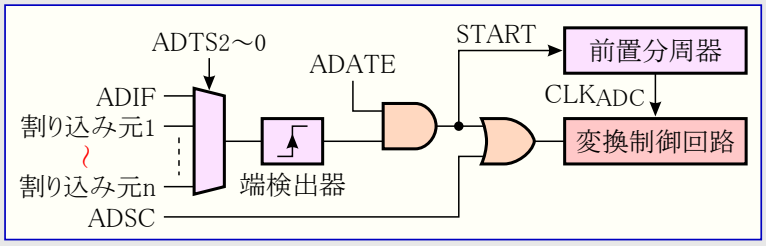
この結果が左揃え補正され、8ﾋﾞｯﾄを越える精度が必要とされない場合はADCHを読むことで足ります。さもなければﾃﾞｰﾀ ﾚｼﾞｽﾀの内容が同じ変換に属すこと(からの結果)を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)ｱｸｾｽが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのﾚｼﾞｽﾀ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器ｱｸｾｽが再び許可されます。

A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀへのA/D変換器ｱｸｾｽがADCLとADCHの読み込み間で禁止されている場合、例えその変換結果が失われても割り込みは起動します。

26.4. 変換の開始

単独変換はADCSRAで変換開始(ADSC)ﾋﾞｯﾄに論理1を書くことによって開始されます。このﾋﾞｯﾄは変換が進行中である限り、1に留まり、変換が完了されるとﾊｰﾄﾞｳｪｱによって解除(0)されます。変換が進行中に違う入力ﾁｬﾈﾙが選ばれると、A/D変換部はそのﾁｬﾈﾙ変更を実行する前に現在の変換を済ませます。

図26-2. A/D変換自動起動回路



また、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D変換自動起動許可(ADATE)ﾋﾞｯﾄの設定(1)によって許可されます。起動元はA/D変換制御/状態ﾚｼﾞｽﾀB(ADCSRB)のA/D変換起動元選択(ADTS2～0)ﾋﾞｯﾄの設定によって選ばれます(起動元の一覧についてはADTSﾋﾞｯﾄの記述をご覧ください)。選んだ起動信号上に上昇端が起きると、A/D変換用前置分周器がﾘｾｯﾄし、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だ設定(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の上昇端が起きると、その端(ｴｯｼﾞ)は無視されます。指定した割り込みが禁止またはｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが解除(0)でも、割り込み要求ﾌﾗｸﾞが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求ﾌﾗｸﾞは解除(0)されなければなりません。

起動元としてA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀを更新します。最初の変換はADCSRAでADSCﾋﾞｯﾄに論理1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)が解除(0)されるかどうかに拘らず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCﾋﾞｯﾄに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使えます。ADSCﾋﾞｯﾄは変換がどう開始されたかに拘らず、変換中は1として読みます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はｱｲﾄﾞﾙ休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については216頁の「**雑音低減機能**」をご覧ください。(**訳注**:共通性から2行追加)

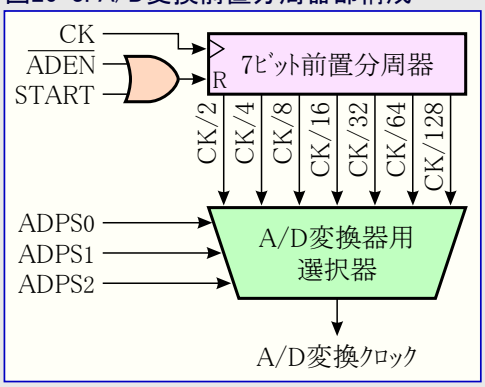
26.5. 前置分周と変換ﾀｲﾐﾝｸﾞ

既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力ｸﾛｯｸ周波数を必要とします。10ﾋﾞｯﾄよりも低い分解能が必要とされるなら、A/D変換器への入力ｸﾛｯｸ周波数は200kHzよりも高くできます。また、A/D変換制御/状態ﾚｼﾞｽﾀB(ADCSRB)の高速A/D変換動作(ADHSM)ﾋﾞｯﾄの設定(1)が、より高い電力消費の犠牲でA/D変換ｸﾛｯｸ周波数の増加を許します。

A/D変換部は100kHz以上のどんなCPUｸﾛｯｸからも受け入れ可能なA/D変換ｸﾛｯｸ周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/Dｸﾛｯｸ選択(ADPS2～0)ﾋﾞｯﾄによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ﾋﾞｯﾄの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENﾋﾞｯﾄが設定(1)される限り走行を保ち、ADENが0の時は継続的にﾘｾｯﾄします。

ADCSRAのA/D変換開始(ADSC)ﾋﾞｯﾄの設定(1)によってｼﾝｸﾞﾙ ｴﾝﾄﾞ入力の変換を起動すると、その変換は直後の変換ｸﾛｯｸの上昇端で始まります。差動変換ﾀｲﾐﾝｸﾞでの詳細については次頁の「**差動増幅ﾁｬﾈﾙ**」をご覧ください。

図26-3. A/D変換前置分周器部構成



通常の変換は13変換ｸﾛｯｸ周期で行われます。A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はｱﾅﾛｸﾞ回路を初期化するために25変換ｸﾛｯｸ周期で行われます。

実際の採取&保持(保持開始点)は通常変換の開始後1.5変換ｸﾛｯｸ周期、初回変換の開始後13.5変換ｸﾛｯｸ周期で行われます。変換が完了すると、結果がA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ﾋﾞｯﾄが解除(0)されます。その後にｿﾌﾄｳｪｱは再びADSCを設定(1)でき、新規変換は変換ｸﾛｯｸの最初の上昇端で開始されます。

自動起動が使われると、前置分周器は起動要因発生時にﾘｾｯﾄされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換ｸﾛｯｸ周期で採取が行われます。同期化論理回路(端(ｴｯｼﾞ)検出器)に対して、追加の3 CPUｸﾛｯｸ周期が費やされます。

連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。変換時間の概要については次頁の**表26-1.**をご覧ください。

図26-4. 初回変換ﾀｲﾐﾝｸﾞ（単独変換動作）

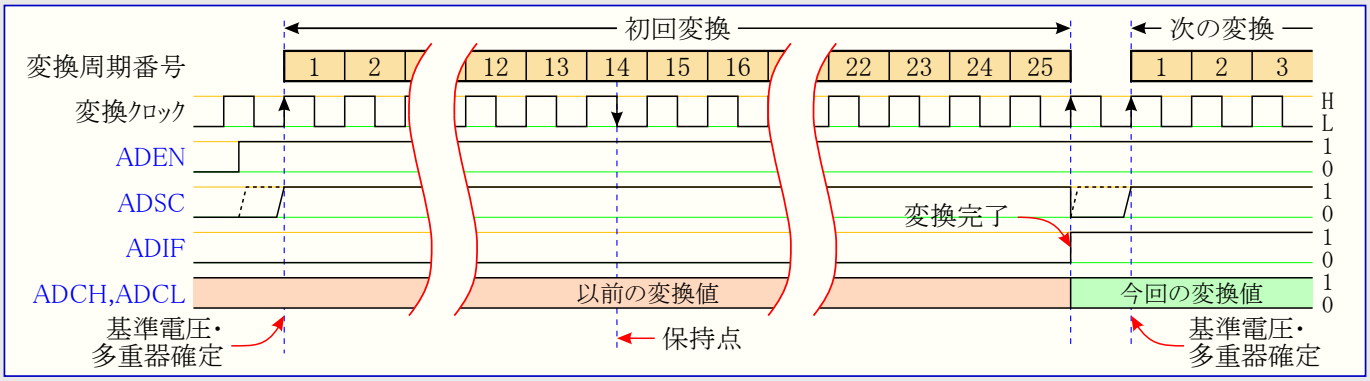


図26-5. 通常変換ﾀｲﾐﾝｸﾞ（単独変換動作）

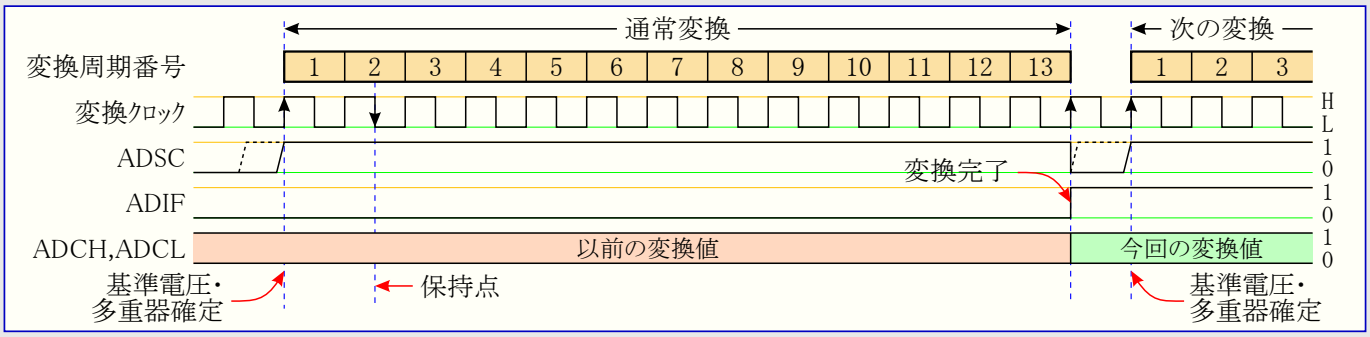


図26-6. 通常変換ﾀｲﾐﾝｸﾞ(自動起動変換動作)

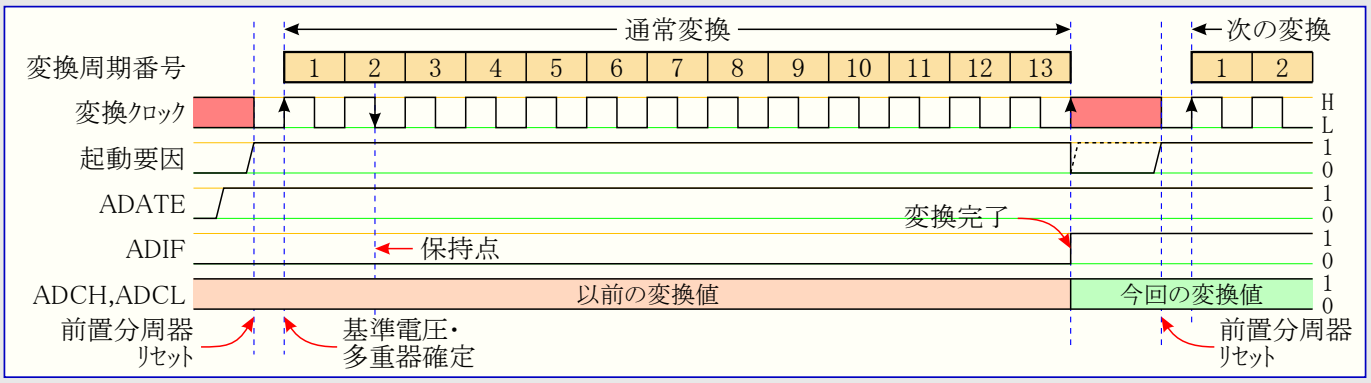


図26-7. 連続変換動作ﾀｲﾐﾝｸﾞ

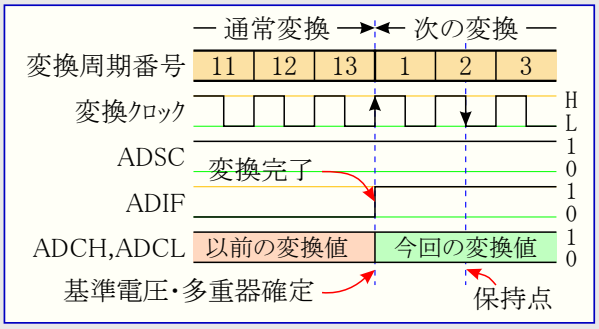


表26-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力通常変換	1.5	13
差動入力通常変換	1.5/2.5 (注1)	13/14 (注1)
自動起動変換	1.5 (2)	13.5

注: 変換時間を除く各値は変換開始からの変換ｸﾛｯｸ数です。

注1: CK_{ADC2}の状態に依存(訳注:共通性から追加)。

26.5.1. 差動増幅ﾁｬﾈﾙ

差動増幅ﾁｬﾈﾙを使うとき、変換の±方向を考慮に入れる必要があります。

差動変換は変換ｸﾛｯｸの半分に等しい内部ｸﾛｯｸCK_{ADC2}に同期化されます。この同期化は採取&保持がCK_{ADC2}の特定位相で起きるというような方法でA/D変換器ｲﾝﾀｰﾌｪｰｽによって自動的に行われます。CK_{ADC2}がLowの時に使用者によって変換が開始されると(即ち全ての単独変換と連続変換の最初)、ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換(次の前置分周したｸﾛｯｸ周期から13変換ｸﾛｯｸ周期)と同じ変換時間になります。CK_{ADC2}がHighの時に使用者によって変換が開始されると、同期化機構のために14変換ｸﾛｯｸ周期になります。連続変換動作では直前の変換完了後、直ちに次の変換が開始され、この時にCK_{ADC2}がHighのため、自動的に開始される全ての連続変換(即ち、初回を除く全て)は14変換ｸﾛｯｸ周期になります。

差増増幅ﾁｬﾈﾙが使われ、自動起動によって変換が開始される場合、A/D変換部は変換の間、OFFに切り替えられなければなりません。自動起動が使われるとき、A/D用前置分周器は変換が開始される前にﾘｾｯﾄされます。利得段は変換以前の安定したA/D変換ｸﾛｯｸに関係するため、この変換は有効ではありません。各変換間のA/D変換部の動作禁止とその後の許可(ADCSRAのADENへの0書き込み後の1書き込み)では、延長した変換(初回変換)だけが実行されます。この延長した変換からの結果は有効です。詳細ﾀｲﾐﾝｸﾞについては213頁の「前置分周と変換ﾀｲﾐﾝｸﾞ」をご覧ください。

利得段は全利得設定に於いて帯域幅4kHzで最適化されています。より高い周波数は非直線増幅に陥るかもしれません。利得段帯域幅よりも高い周波数成分を含む入力信号の場合、外部低域通過濾波器(ﾛｰﾊﾟｽ ﾌｨﾙﾀ)が使われるべきです。A/D変換ｸﾛｯｸ周波数が利得段帯域幅制限と無関係なことに注意してください。例えばA/D変換ｸﾛｯｸ周期が6μsでは、このﾁｬﾈﾙの帯域幅とは無関係に12k採取/sでの採取をﾁｬﾈﾙに許せます。

26.6. チャネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX4～0)ビットと基準電圧選択(REFS1,0)ビットはCPUが乱順にアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して充分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(A/D変換制御/状態レジスタA(ADCSRA)のADIF=1)前の最後の変換クロック周期で再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことが推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXレジスタの更新時に特別な注意が祓われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

- ADENまたはADATEが解除(0)されているとき。
- 変換開始後、最低1変換クロック周期経過後の変換中。
- 変換後から、変換起動元として使った割り込みフラグが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

差動入力チャネルを変更する時に特別な注意が祓われるべきです。一旦差動入力チャネルが選ばれてしまうと、利得段は新しい値に安定するのに125µs程度かかるかもしれません。従って変換は新規差動入力チャネル選択後の最初の125µs内に開始されるべきではありません。または、この期間内に得た変換結果は破棄されるべきです。

(ADMUXのREFS1,0ビットの変更による)A/D変換器基準電圧変更後の最初の差動入力変換に対して、同じ設定(安定)時間が厳守されるべきです。

(入力信号の)設定時間と利得段帯域は高速A/D変換動作(ADHSM)ビット設定と無関係です。

JTAGインターフェース許可の場合、PORTF7～4のADC入力チャネル機能が無効にされます(60頁の**表12-19.**を参照)。(**訳注**:本行追加)

26.6.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選ばれるのを保証するために次の指針を守るべきです。

- 単独変換動作では常に変換を始める前にチャネルを選んでください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。
- 連続変換動作では常に最初の変換を始める前にチャネルを選んでください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

差動増幅チャネルへ切り替える時に自動変位(オフセット)消去回路用の設定時間が必要なので、最初の変換結果は貧弱な正確さとなってしまうかもしれません。使用者は最初の変換結果をなるべくなら無視すべきです。

26.6.2. A/D変換基準電圧

このA/D変換用の基準電圧(V_{REF})はA/D変換に対する変換範囲を示します。V_{REF}を越えるシングル エンド入力チャネルは$3FFで打ち切る符号に帰着します。$V_{REF}$はAVCC、内部2.56V基準電圧、外部AREFピンのどれかとして選べます。

AVCCは受動型スイッチを通してA/D変換部に接続されます。内部2.56V基準電圧は内蔵基準(バンドギャップ)電圧(V_{BG})から内部増幅器を通して生成されます。どちらの場合でも外部AREFピンは直接的にA/D変換部へ接続され、AREFピンとGND間にコンデンサを接続することにより、基準電圧は雑音耐性をより高められます。V_{REF}(電圧)は高入力インピーダンス電圧計とAREFピンで測定することもできます。V_{REF}は高インピーダンス出力で、容量性負荷のみがシステム内で接続されるべきであることに注意してください。

使用者がAREFピンに接続された固定電圧源にするなら、この外部電圧がその他の内部基準電圧と短絡してしまうため、使用者はこの応用内で他の基準電圧選択を使ってはなりません。外部電圧がAREFピンに印加されないなら、使用者は基準電圧選択としてAVCCと2.56V内部基準電圧間の切り替えができます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

差動入力チャネルが使われる場合、選んだ基準電圧は267頁の**表31-5.**で示されるよりもAVCCに近くすべきではありません。

26.7. 雑音低減機能

このA/D変換部はCPUｺｱと他の周辺I/Oが誘導した雑音を削減するために休止形態中の変換を可能にする雑音低減機能が特徴です。この機能はA/D変換雑音低減動作とｱｲﾄﾞﾙ動作で使えます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADATE=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されていなければなりません。
2. A/D変換雑音低減(またはｱｲﾄﾞﾙ)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みﾙｰﾁﾝを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで活動動作に留まります。

ｱｲﾄﾞﾙ動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADENへ0を書くことが推奨されます。

このような休止形態でA/D変換が許可され、使用者が差動変換の実行を欲する場合、使用者は有効な結果を得るための延長した(初回)変換を指示するために、休止形態から起動後にA/D変換部をOFF→ON(ADEN=0→1)に切り替えることが推奨されます。

26.7.1. ｱﾅﾛｸﾞ入力回路

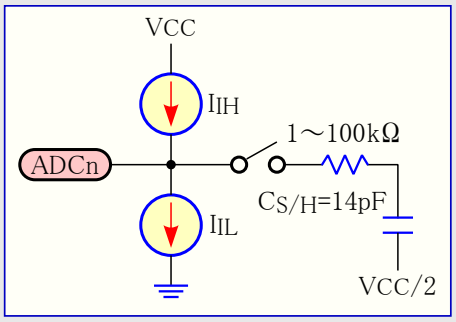
ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力ﾁｬﾈﾙのｱﾅﾛｸﾞ回路は図26-8.で図示されます。ADCnに印加したｱﾅﾛｸﾞ(信号)源はそのﾁｬﾈﾙがADC入力として選ばれているかどうかに拘らず、ﾋﾟﾝ容量とそのﾋﾟﾝの漏れ電流に左右されます。そのﾁｬﾈﾙが選ばれると、(ｱﾅﾛｸﾞ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hｺﾝﾃﾞﾝｻを駆動しなければなりません。

A/D変換部は概ね10kΩ若しくはそれ以下の出力ｲﾝﾋﾟｰﾀﾞﾝｽのｱﾅﾛｸﾞ信号用に最適化されています。このような(ｱﾅﾛｸﾞ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いｲﾝﾋﾟｰﾀﾞﾝｽの(ｱﾅﾛｸﾞ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hｺﾝﾃﾞﾝｻを充電するために(ｱﾅﾛｸﾞ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hｺﾝﾃﾞﾝｻへの充放電を最小とするため、使用者は緩やかに変化する低ｲﾝﾋﾟｰﾀﾞﾝｽ(ｱﾅﾛｸﾞ信号)源だけを使うことが推奨されます。

差動増幅ﾁｬﾈﾙが使われる場合、この入力回路は多少違って見えるので、数100kΩまたはそれ以下の供給元ｲﾝﾋﾟｰﾀﾞﾝｽが推奨されます。

特定できない信号の渦からの歪を避けるために、どのﾁｬﾈﾙに対してもﾅｲｷｽﾄ周波数($f_{ADC}/2$)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に低域通過濾波器(ﾛｰﾊﾟｽ ﾌｨﾙﾀ)で高い周波数成分を取り除くことが推奨されます。

図26-8. ｱﾅﾛｸﾞ入力回路



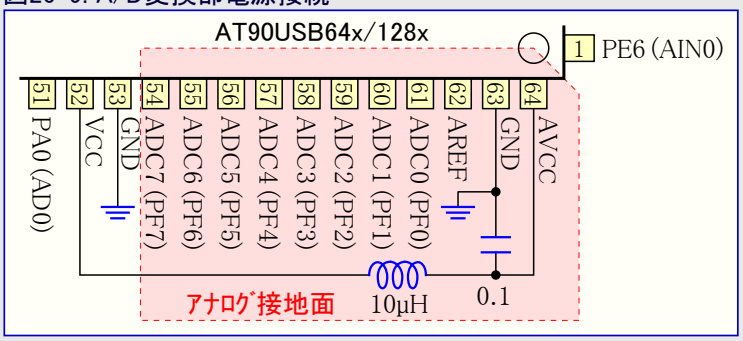
26.7.2. ｱﾅﾛｸﾞ雑音低減技術

ﾃﾞﾊﾞｲｽ内外のﾃﾞｼﾞﾀﾙ回路がｱﾅﾛｸﾞ測定の精度に影響を及ぼすかもしれないEMIを発生します。精密な変換精度が必要な場合、次の技法を適用することによも雑音ﾚﾍﾞﾙを低減できます。

1. ｱﾅﾛｸﾞ信号経路を可能な限り最短にしてください。ｱﾅﾛｸﾞ信号線がｱﾅﾛｸﾞGND面上を走ることに注意し、高速切り替えﾃﾞｼﾞﾀﾙ信号線から充分離すことを守ってください。
2. ﾃﾞﾊﾞｲｽのAVCCﾋﾟﾝは図26-9.で示されるようにLC濾波器経由でﾃﾞｼﾞﾀﾙ供給電圧(VCC)に接続されるべきです。
3. CPUからの誘導雑音を低減するためにA/D変換の雑音低減機能を使ってください。
4. どれかのADCﾎﾟｰﾄ ﾋﾟﾝがﾃﾞｼﾞﾀﾙ出力として使われる場合は、これらが変換進行中、切り替わらない事が重要です。

(訳注) 図26-9.のﾋﾟﾝ名が一部省略されています。

図26-9. A/D変換部電源接続



26.7.3. 変位(ｵﾌｾｯﾄ)補償の仕組み

利得段には差動測定の変位(ｵﾌｾｯﾄ)をできるだけ無効にする組み込み変位補正回路があります。ｱﾅﾛｸﾞ経路内の残留変位は両差動入力に対して同じﾁｬﾈﾙを選ぶことによって直接的に計測できます。その後にこの残留変位は計測結果からｿﾌﾄｳｪｱで減算できます。この変位補正に基いたｿﾌﾄｳｪｱ手法の使用はどのﾁｬﾈﾙの変位も1 LSB以下に減少できます。

26.7.4. A/D変換の精度定義

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力電圧のnﾋﾞｯﾄA/D変換はGNDとVREF間を2^nで直線的に変換します。最低値符号は0として読み、最高値符号は2^n-1として読みます。以下の各種ﾊﾟﾗﾒｰﾀは理想状態からの偏差を表します。

- **変位(ｵﾌｾｯﾄ)誤差 – 図26-10.**

最初の遷移点($000から$001)で理想遷移点(差0.5 LSB)と比べた偏差です。理想値は0 LSBです。

- **利得誤差 – 図26-11.**

変位誤差補正後の最後の遷移点($3FEから$3FF)で理想遷移点(最大差1.5 LSB以下)と比べた偏差です。理想値は0 LSBです。

- **積分非直線性誤差 (INL) – 図26-12.**

変位誤差と利得誤差補正後の全ての遷移点で理想遷移点と比べた最大偏差です。理想値は0 LSBです。

- **微分非直線性誤差 (DNL) – 図26-13.**

実際の符号の幅(隣接する2つの遷移点間)で理想符号幅(1 LSB)と比べた最大偏差です。理想値は0 LSBです。

- **量子化誤差**

有限数の符号で入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値の符号になります。この値は常に±0.5 LSBです。

- **絶対精度**

補正しない全ての遷移点で理想遷移点と比べた最大偏差です。これは、変位誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は±0.5 LSBです。

図26-10. 変位(ｵﾌｾｯﾄ)誤差

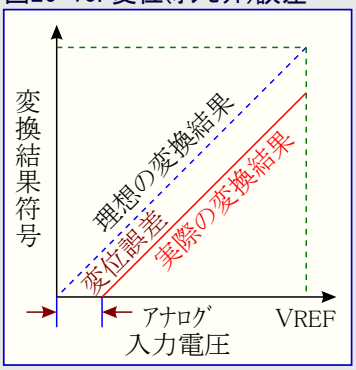


図26-11. 利得誤差

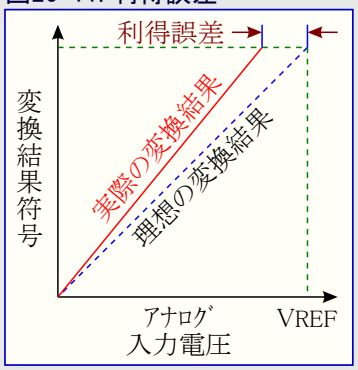


図26-12. 積分非直線性誤差

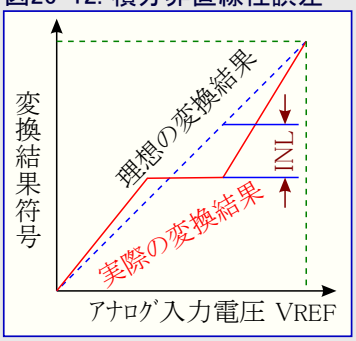
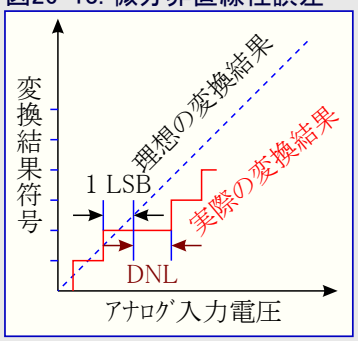


図26-13. 微分非直線性誤差



26.8. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH, ADCL)で得られます。

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換の結果は右式で示されます。V_{IN}は選んだ入力ﾋﾟﾝの電圧、V_{REF}は選んだ基準電圧です(218頁の表26-3.と表26-4.をご覧ください)。$000はｱﾅﾛｸﾞGNDを表し、$3FFは選んだ基準電圧-1 LSBを表します。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

差動ﾁｬﾈﾙが使われると、その結果は右式で示されます。V_{POS}は非反転入力ﾋﾟﾝの電圧、V_{NEG}は反転入力ﾋﾟﾝの電圧、GAINは選んだ倍率、V_{REF}は選んだ基準電圧です。この結果は-512($200)～+511 ($1FF)の2の補数形式で示されます。使用者が結果の符号を素早く検査したいなら、結果のMSB(ADCHのADC9)を読むことで充分なことに注目してください。このﾋﾞｯﾄが1ならばその結果は－、0ならばその結果は＋です。図26-14.は差動入力範囲の符号化を示します。

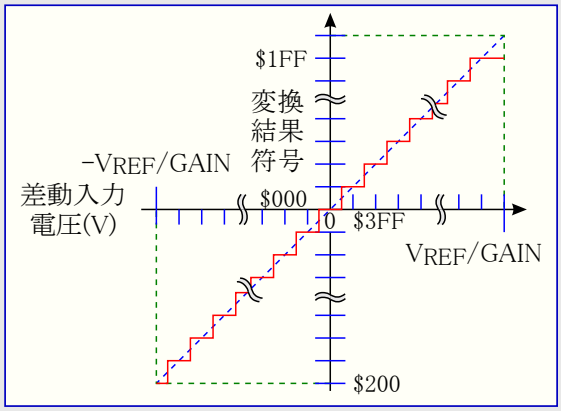
$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

表26-2.は差動入力ﾁｬﾈﾙの組(ADCn-ADCm)が基準電圧(V_{REF})で選ばれた場合の出力符号の結果を示します。

表26-2. 入力電圧と出力符号の関係

V_{ADCn}	読み出し符号	対応する10進値
$V_{ADCm}+V_{REF}/GAIN$	$1FF	511
$V_{ADCm}+(511/512)V_{REF}/GAIN$	$1FF	511
$V_{ADCm}+(510/512)V_{REF}/GAIN$	$1FE	510
≀	≀	≀
$V_{ADCm}+(1/512)V_{REF}/GAIN$	$001	1
V_{ADCm}	$000	0
$V_{ADCm}-(1/512)V_{REF}/GAIN$	$3FF	-1
≀	≀	≀
$V_{ADCm}-(511/512)V_{REF}/GAIN$	$201	-511
$V_{ADCm}-V_{REF}/GAIN$	$200	-512

図26-14. 差動入力計測範囲



例: ADMUX=$ED(ADC3とADC2差動10倍入力、$V_{REF}$=2.56V、左揃え)で、ADC3が300mV、ADC2が500mVの場合、
A/D変換値=512×10×(300-500)÷2560=-400=$270
従って、ADCH=$9C, ADCL=$00、ADLAR=0なら、ADCH=$02, ADCL=$70。

26.9. A/D変換用ﾚｼﾞｽﾀ

26.9.1. ADMUX – A/D多重器選択ﾚｼﾞｽﾀ (ADC Multiplexer Select Register)

ﾋﾞｯﾄ ($7C)	7	6	5	4	3	2	1	0	
	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7,6 – REFS1,0 : 基準電圧選択** (Reference Select Bits 1, 0)

これらのﾋﾞｯﾄは**表26-3.**で示されるようにA/D変換器の基準電圧を選びます。これらのﾋﾞｯﾄが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。AREFﾋﾟﾝに外部基準電圧が印加される場合、内部の基準電圧が使われてはなりません。

表26-3. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AREFﾋﾟﾝの外部基準電圧 (AVCCと内部基準電圧は切り離されます。)
0	1	AVCC (内部基準電圧は切り離され、AREFにﾃﾞｶｯﾌﾟ用ｺﾝﾃﾞﾝｻが接続できます。)
1	0	(予約)
1	1	内部2.56V基準電圧 (AVCCは切り離され、AREFにﾃﾞｶｯﾌﾟ用ｺﾝﾃﾞﾝｻが接続できます。)

• **ﾋﾞｯﾄ5 – ADLAR : 左揃え選択** (ADC Left Adjust Result)

ADLARﾋﾞｯﾄはA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARﾋﾞｯﾄの変更はどんな進行中の変換にも拘らず、直ちにA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀの内容に影響を及ぼします。このﾋﾞｯﾄの完全な記述については220頁の「A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ」をご覧ください。

• **ﾋﾞｯﾄ4~0 – MUX4~0 : A/Dﾁｬﾈﾙ選択** (Analog Channel Select Bits 4～0)

これらのﾋﾞｯﾄの値はA/D変換器にどのｱﾅﾛｸﾞ入力の組み合わせが接続されるかを選びます。これらのﾋﾞｯﾄは差動ﾁｬﾈﾙに対する利得も選びます。詳細については**表26-4.**をご覧ください。これらのﾋﾞｯﾄが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

表26-4. ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ選択

MUX4～0	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力	差動入力			MUX4～0	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力	差動入力		
		非反転入力	反転入力	利得			非反転入力	反転入力	利得
00000	ADC0				10000		ADC0	ADC1	×1
00001	ADC1				10001		ADC1	ADC1	×1
00010	ADC2				10010		ADC2	ADC1	×1
00011	ADC3				10011		ADC3	ADC1	×1
00100	ADC4				10100		ADC4	ADC1	×1
00101	ADC5				10101		ADC5	ADC1	×1
00110	ADC6				10110		ADC6	ADC1	×1
00111	ADC7				10111		ADC7	ADC1	×1
01000		ADC0	ADC0	×10	11000		ADC0	ADC2	×1
01001		ADC1	ADC0	×10	11001		ADC1	ADC2	×1
01010		ADC0	ADC0	×200	11010		ADC2	ADC2	×1
01011		ADC1	ADC0	×200	11011		ADC3	ADC2	×1
01100		ADC2	ADC2	×10	11100		ADC4	ADC2	×1
01101		ADC3	ADC2	×10	11101		ADC5	ADC2	×1
01110		ADC2	ADC2	×200	11110	1.1V(V_{BG})			
01111		ADC3	ADC2	×200	11111	0V(GND)			

26.9.2. ADCSRA – A/D変換 制御/状態ﾚｼﾞｽﾀA (ADC Control and Status Register A)

ﾋﾞｯﾄ ($7A)	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – ADEN : A/D許可** (ADC Enable)

このﾋﾞｯﾄに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFにされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

• **ﾋﾞｯﾄ6 – ADSC : A/D変換開始** (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのﾋﾞｯﾄへ1を書いてください。連続変換動作で最初の変換を始めるにはこのﾋﾞｯﾄへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の13に代わって25変換ｸﾛｯｸ周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読みます。変換が完了すると0に戻ります。このﾋﾞｯﾄへの0書き込みは無効です。

• **ﾋﾞｯﾄ5 – ADATE : A/D変換自動起動許可** (ADC Auto Trigger Enable)

このﾋﾞｯﾄが1を書かれると、A/D変換の自動起動が許可されます。A/D変換器は選んだ起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態ﾚｼﾞｽﾀB(ADCSRB)のA/D変換起動要因選択(ADTS2～0)ﾋﾞｯﾄ設定によって選ばれます。

• **ﾋﾞｯﾄ4 – ADIF : A/D変換完了割り込み要求ﾌﾗｸﾞ** (ADC Interrupt Flag)

A/D変換が完了し、A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀが更新されると、このﾌﾗｸﾞが設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとA/D変換完了割り込み許可(ADIE)ﾋﾞｯﾄが設定(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ﾍﾞｸﾀを実行する時にADIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞｨﾌｧｲ ﾗｲﾄ)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます(**訳注**:ｱﾄﾞﾚｽ範囲外のため、本行は不適切です)。

• **ﾋﾞｯﾄ3 – ADIE : A/D変換完了割り込み許可** (ADC Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、SREGの全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、A/D変換完了割り込みが活性に(許可)されます。このﾋﾞｯﾄが解除(0)されると、この割り込みは禁止されます(**訳注**:共通性のため本行追加)。

• **ﾋﾞｯﾄ2~0 – ADPS2~0 : A/D変換ｸﾛｯｸ選択** (ADC Prescaler Select Bits)

これらのﾋﾞｯﾄはXTAL(ｼｽﾃﾑ)周波数とA/D変換部への入力ｸﾛｯｸ間の分周値を決めます。

表26-5. A/D変換ｸﾛｯｸ選択 (CK=ｼｽﾃﾑ ｸﾛｯｸ)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換ｸﾛｯｸ	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

26.9.3. ADCSRB – A/D変換 制御/状態ﾚｼﾞｽﾀB (ADC Control and Status Register B)

ﾋﾞｯﾄ ($7B)	7	6	5	4	3	2	1	0	
	ADHSM	ACME	–	–	–	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – ADHSM : 高速A/D変換動作** (ADC High Speed Mode)

このﾋﾞｯﾄへの1書き込みは高速A/D変換動作を許可します。この動作は、より高い電力消費の犠牲で、より高い変換速度を可能にします。

• **ﾋﾞｯﾄ2~0 – ADTS2~0 : A/D変換自動起動要因選択** (ADC Auto Trigger Source)

A/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D変換自動起動許可(ADATE)ﾋﾞｯﾄが1を書かれると、これらのﾋﾞｯﾄ値はどの起動元がA/D変換を起動するのかを選びます。ADATEが解除(0)されると、ADTS2～0設定は無効です。変換は選んだ割り込みﾌﾗｸﾞの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが、起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ﾋﾞｯﾄが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2～0=0)への切り替えは、例えA/D変換完了割り込み要求ﾌﾗｸﾞが設定(1)されていても、起動事象を引き起こしません。

(**訳補**:起動元一覧表は次頁参照)

表26-6. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	ｱﾅﾛｸﾞ比較器
0	1	0	外部割り込み要求0
0	1	1	ﾀｲﾏ/ｶｳﾝﾀ0比較A一致
1	0	0	ﾀｲﾏ/ｶｳﾝﾀ0溢れ
1	0	1	ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
1	1	0	ﾀｲﾏ/ｶｳﾝﾀ1溢れ
1	1	1	ﾀｲﾏ/ｶｳﾝﾀ1捕獲要求

26.9.4. ADCH,ADCL – A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ (ADC Data Register)

ADLAR=0時

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($79)	–	–	–	–	–	–	ADC9	ADC8	ADCH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($78)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ADLAR=1時

15	14	13	12	11	10	9	8	
ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
7	6	5	4	3	2	1	0	
ADC1	ADC0	–	–	–	–	–	–	ADCL

A/D変換が完了すると、その結果がこれらの2ﾚｼﾞｽﾀで得られます。差動ﾁｬﾈﾙが使われると、結果は2の補数形式で表されます。

ADCLが読まれると、A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀはADCHが読まれるまで更新されません。従ってこの結果が左揃えで、且つ8ﾋﾞｯﾄ(差動入力ﾁｬﾈﾙについては符号+7ﾋﾞｯﾄ)を越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなければADCLが初めに、その後にADCHが読まれなければなりません。

A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)の左揃え選択(ADLAR)ﾋﾞｯﾄとA/Dﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄはこのﾚｼﾞｽﾀから結果を読む方法に影響を及ぼします。ADLARが設定(1)ならば結果は左揃えにされます。ADLARが解除(0:既定)ならば結果は右揃えにされます。

- **ADC9~0 : A/D変換結果** (ADC Conversion result)

これらのﾋﾞｯﾄは217頁の「**A/D変換の結果**」で詳述されるように変換での結果を表します。

26.9.5. DIDR0 – ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ0 (Digital Input Disable Register 0)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($7E)	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~0 – ADC7D~ADC0D : ADC7~0 ﾃﾞｼﾞﾀﾙ入力禁止** (ADC7～0 Digital Input Disable)

このﾋﾞｯﾄが論理1を書かれると、対応するADC7～0ﾋﾟﾝのﾃﾞｼﾞﾀﾙ入力緩衝部が禁止されます。このﾋﾞｯﾄが設定(1)されると、対応するﾎﾟｰﾄ入力ﾚｼﾞｽﾀのﾋﾞｯﾄ(PINx)は常に0として読みます。ｱﾅﾛｸﾞ信号がADC7～0ﾋﾟﾝに印加され、そのﾋﾟﾝからのﾃﾞｼﾞﾀﾙ入力が必要とされない時にﾃﾞｼﾞﾀﾙ入力緩衝部での消費電力を削減するため、そのﾋﾞｯﾄは論理1を書かれるべきです。

27. JTAGインターフェースと内蔵デバッグ機能

27.1. 特徴

- JTAGインターフェース (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- デバッガは各部のアクセスが可能
  - 全ての内蔵周辺機能
  - 内部及び外部RAM
  - 内蔵レジスタ ファイル
  - プログラム カウンタ
  - EEPROM及びフラッシュ メモリ
- 中断(BREAK)によって支援される広範囲な内蔵デバッグ機能
  - AVRのBREAK命令
  - プログラムの流れ変更での停止
  - 1命令実行(シングル ステップ)停止
  - プログラム メモリ上の単一アドレスまたはアドレス範囲による中断点(ブレークポイント)
  - データ メモリ上の単一アドレスまたはアドレス範囲による中断点
- JTAGインターフェースを介してのフラッシュ メモリ、EEPROM、ヒューズ ビット、施錠ビットの読み書き(プログラミング)
- AVR Studioによる内蔵デバッグ機能の支援

27.2. 概要

AVRのIEEE標準1149.1準拠JTAGインターフェースは以下について使えます。

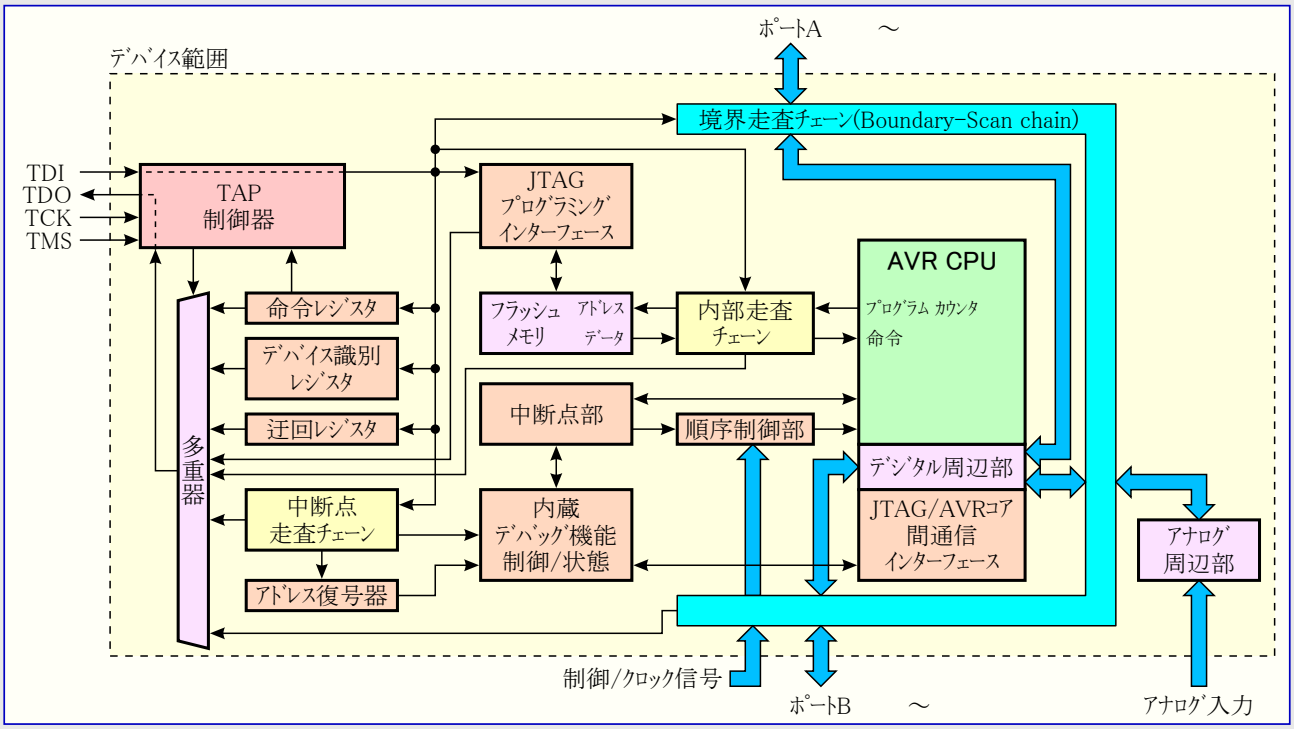
- JTAG境界走査(Boudary-Scan)能力による基板などの試験
- 不揮発性メモリ、ヒューズ ビット、施錠ビットの読み書き(プログラミング)
- 内蔵デバッグ機能による実装デバッグ

簡単な記述は次節で与えられます。JTAGインターフェース経由のプログラミングと境界走査(Boundary-Scan)チェーンに関する詳細な記述は、各々256頁の「JTAGインターフェース経由のプログラミング」と225頁の「IEEE 1149.1(JTAG)境界走査(Boundary-Scan)」で得られます。内蔵デバッグ機能の支援は独自JTAG命令で考慮されており、Atmelと選ばれた業者のみに配布されます。

図27-1.はJTAGインターフェースと内蔵デバッグ機能の構成図を示します。TAP(検査入出力ポート)制御器はTMSとTCKによって制御される順次回路です。TAP制御器はTDI入力とTDO出力間の走査チェーン(移動レジスタ接続)として、JTAG命令レジスタまたは各種データ レジスタの1つのどれかを選びます。JTAG命令レジスタはデータ レジスタの動きを制御するJTAG命令を保持します。

デバイス識別(Identification)レジスタ、迂回(Bypass)レジスタ、境界走査チェーン(Boundary-Scan chain)の各データ レジスタは基板段階の試験に使われます。(実際には現実と仮想の各種データ レジスタで構成する)JTAGプログラミング インターフェースはJTAGインターフェース経由での直列プログラミングに使われます。内部走査チェーン(Scan chain)と中断点(ブレークポイント)走査チェーンは内部デバッグ機能だけで使われます。

図27-1. JTAGインターフェースと内蔵デバッグ機能の構成図



27.3. 検査入出力ﾎﾟｰﾄ (TAP:Test Access Port)

JTAGｲﾝﾀｰﾌｪｰｽはAVRの4つのﾋﾟﾝを通してｱｸｾｽされます。JTAG用語ではこれらのﾋﾟﾝが検査入出力ﾎﾟｰﾄ(TAP)を構成します。

- TMS：検査種別選択。このﾋﾟﾝはTAP制御器順次回路を通しての指示に使われます。
- TCK：検査ｸﾛｯｸ。JTAG操作はTCKに同期します。
- TDI ：検査ﾃﾞｰﾀ入力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀ(走査ﾁｪｰﾝ)内に移されるべき直列入力ﾃﾞｰﾀです。
- TDO：検査ﾃﾞｰﾀ出力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀからの直列出力ﾃﾞｰﾀです。

IEEE標準1149.1では任意TAP信号の検査ﾘｾｯﾄ(TRST)も記載されていますが、この信号は提供されません。

JTAGENﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)の時にこれら4つのTAPﾋﾟﾝは標準ﾎﾟｰﾄ ﾋﾟﾝで、TAP制御器はﾘｾｯﾄです。ﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されると、TAP信号入力は内部的にHighへ引かれ、JTAGは境界走査(Boundary-Scan)とﾌﾟﾛｸﾞﾗﾐﾝｸﾞに関して許可されます。このﾃﾞﾊﾞｲｽはこのﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されて出荷されます。

内蔵ﾃﾞﾊﾞｯｸﾞ機能ではJTAGｲﾝﾀｰﾌｪｰｽ ﾋﾟﾝに加え、外部ﾘｾｯﾄ元が検知できるため、$\overline{\text{RESET}}$ﾋﾟﾝがﾃﾞﾊﾞｯｶﾞによって監視されます。応用でﾘｾｯﾄ信号線にｵｰﾌﾟﾝ ｺﾚｸﾀ(ﾄﾞﾚｲﾝ)だけが使われるとすれば、ﾃﾞﾊﾞｯｶﾞは全ｼｽﾃﾑをﾘｾｯﾄするために$\overline{\text{RESET}}$ﾋﾟﾝをLowにすることもできます。

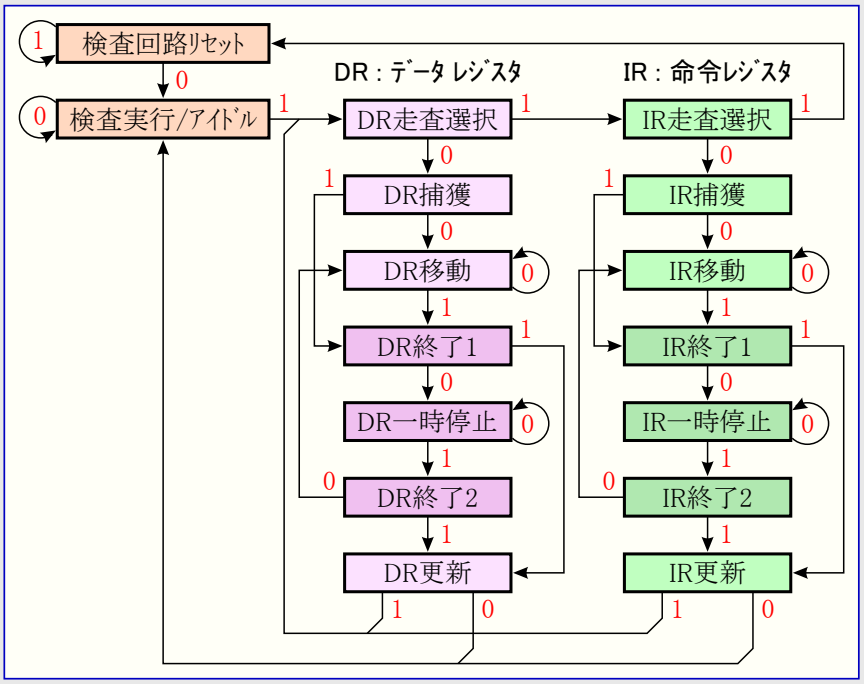
27.4. TAP制御器

TAP制御器は境界走査(Boundary-Scan)回路、JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ回路、内蔵ﾃﾞﾊﾞｯｸﾞ機能の働きを制御する16段の無限順次回路です。図27-2.に描かれた状態遷移はTCKｸﾛｯｸの上昇時の(各状態遷移付近で示される)TMS上に存在する信号に依存します。電源投入ﾘｾｯﾄ後の初期状態は検査回路ﾘｾｯﾄです。

この文書内の定義として、全ての移動ﾚｼﾞｽﾀに関して入出力ともLSBが最初に移動されます。

検査実行/ｱｲﾄﾞﾙ状態が現在の状態と仮定した、JTAGｲﾝﾀｰﾌｪｰｽを使うための典型的な手順を次に示します。

図27-2. TAP制御器状態遷移図



- 命令ﾚｼﾞｽﾀ(IR)移動状態へ移行するためにTCKの上昇でTMSへ順次1,1,0,0を与えます。この状態中、TCKの上昇端でTDI入力からJTAG命令ﾚｼﾞｽﾀ内に4ﾋﾞｯﾄのJTAG命令を移動します。TMS入力はIR移動状態に留まるために3 LSBの入力中、Lowに保持されなければなりません。命令のMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。命令がTDIﾋﾟﾝから移されている間、捕獲されたIRの状態($01)がTDOﾋﾟﾝへ移動出力されます。JTAG命令はTDIとTDO間に通す(接続する)特定のﾃﾞｰﾀ ﾚｼﾞｽﾀを選び、選んだﾃﾞｰﾀ ﾚｼﾞｽﾀ周辺回路を制御します。
- 検査実行/ｱｲﾄﾞﾙ状態へ再度移行するためにTMSへ順次1,1,0を与えます。この(JTAG)命令はIR更新状態通過で移動ﾚｼﾞｽﾀから並列出力にﾗｯﾁされます。IR終了1、IR一時停止、IR終了2の各状態は順次回路の誘導操作のためだけに使われます。
- ﾃﾞｰﾀ ﾚｼﾞｽﾀ移動(DR移動)状態へ移行するためにTCKの上昇端でTMSへ順次1,0,0を与えます。この状態中、TCKの上昇端でTDI入力から(JTAG命令ﾚｼﾞｽﾀ内の現在のJTAG命令で)選んだﾃﾞｰﾀ ﾚｼﾞｽﾀに値を移動入力します。DR移動状態に留まるためにMSBを除く全ﾋﾞｯﾄの入力中、TMS入力はLowに保持されなければなりません。ﾃﾞｰﾀのMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。ﾃﾞｰﾀ ﾚｼﾞｽﾀがTDIﾋﾟﾝから移動入力される間、DR捕獲状態(1,0)でﾃﾞｰﾀ ﾚｼﾞｽﾀに捕獲した並列入力がTDOﾋﾟﾝへ移動出力されます。
- 検査実行/ｱｲﾄﾞﾙ状態へ再移行するためにTMSへ順次1,1,0を与えます。選んだﾃﾞｰﾀ ﾚｼﾞｽﾀがﾗｯﾁした並列出力を持つ場合、DR更新状態でﾗｯﾁを行います。DR終了1、DR一時停止、DR終了2の各状態は順次回路の誘導操作のためだけに使われます。

状態遷移図で示されるように検査実行/ｱｲﾄﾞﾙ状態はJTAG命令の選択とﾃﾞｰﾀ ﾚｼﾞｽﾀの使用間で移行される必要はなく、また、いくつかのJTAG命令は検査実行/ｱｲﾄﾞﾙ状態で実行されるべき必然的な機能を選ぶかもしれず、それはｱｲﾄﾞﾙ状態として不適当になります。

注: TAP制御器の初期状態に関係なく、5 TCKｸﾛｯｸ周期に対してTMSをHighに保持することにより、常に検査回路ﾘｾｯﾄ状態へ移行することができます。

JTAG仕様の詳細情報については224頁の「参考文献」に記載された文献を参照してください。

27.5. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain)の使用

境界走査能力の完全な説明は225頁の「IEEE 1149.1(JTAG)境界走査(Boundary-Scan)」項で与えられます。

27.6. 内蔵ﾃﾞﾊﾞｯｸﾞ機能の使用

図27-1.で示されるように内蔵ﾃﾞﾊﾞｯｸﾞに関するﾊｰﾄﾞｳｪｱ支援は主に次の部分から成ります。

- 内部AVR CPUｺｱと内部周辺機能部間ｲﾝﾀｰﾌｪｰｽの走査ﾁｪｰﾝ(Scan chain)
- 中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)部
- CPUとJTAGｼｽﾃﾑ間の通信ｲﾝﾀｰﾌｪｰｽ

ﾃﾞﾊﾞｯｶﾞの実行で必要とされる全ての読み込みまたは変更/書き込みは内部AVR CPU走査ﾁｪｰﾝ(Scan chain)経由のAVR命令によって行われます。CPUはCPUとJTAGｼｽﾃﾑ間の通信ｲﾝﾀｰﾌｪｰｽ部分が配置されるI/Oﾒﾓﾘ位置に結果を送ります。

中断点部はﾌﾟﾛｸﾞﾗﾑの流れ変更での一時停止(Break)、1命令実行(Single Step Break)、2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ用中断点、2つの複合中断点を実行します。合わせて4つ中断点は次のどれかとして設定ができます。

- 4つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点
- 3つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾃﾞｰﾀ ﾒﾓﾘ単一中断点
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 2つのﾃﾞｰﾀ ﾒﾓﾘ単一中断点
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ範囲中断点 (中断点と遮蔽)
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾃﾞｰﾀ ﾒﾓﾘ範囲中断点 (中断点と遮蔽)

けれどもAVR Studio®のようなﾃﾞﾊﾞｯｶﾞは最終使用者への柔軟性をより少なくする内部目的にこれら資源の1つまたはそれ以上を使うかもしれません。

内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令の一覧は「内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令」で与えられます。

JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されなければなりません。加えて内蔵ﾃﾞﾊﾞｯｸﾞ機能で作業するには更にOCDENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、施錠ﾋﾞｯﾄが施錠なしに設定されなければなりません。何れかの施錠ﾋﾞｯﾄが設定(0)されると、保護機能で内蔵ﾃﾞﾊﾞｯｸﾞ機能が禁止されます。そうでなければ内蔵ﾃﾞﾊﾞｯｸﾞ機能が保護されたﾃﾞﾊﾞｲｽへの裏口を提供することになっていたでしょう(**訳補**:保護の意味がなくなるの意)。

AVR Studioは使用者にﾁｯﾌﾟ内蔵ﾃﾞﾊﾞｯｸﾞ能力(機能)、AVRｲﾝｻｰｷｯﾄ ｴﾐｭﾚｰﾀ、または(AVR Studio)組み込みAVR命令一式ｼﾐｭﾚｰﾀでAVRﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾑ実行を完全に制御することを可能にします。AVR StudioはAtmel AVRｱｾﾝﾌﾞﾗでｱｾﾝﾌﾞﾙしたｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑと他業者製ｺﾝﾊﾟｲﾗでｺﾝﾊﾟｲﾙしたC言語ﾌﾟﾛｸﾞﾗﾑのｿｰｽ ﾚﾍﾞﾙ実行を支援します。

AVR StudioはMicrosoft Windows® 98/2000、Windows NT®、Windows XP®、Windows Vista®下で走行します。

AVR Studioの完全な記述についてはAVR Studio使用者の手引きを参照してください。要点だけが本文書で示されます。

全ての必要な実行指令はAVR Studio内のｿｰｽ ﾚﾍﾞﾙと逆ｱｾﾝﾌﾞﾘ ﾚﾍﾞﾙの両方で利用できます。使用者はﾌﾟﾛｸﾞﾗﾑの実行、1命令実行(Single Step)、内側(関数内)実行、外側(関数外)実行、命令行へのｶｰｿﾙ配置と命令行が(ｶｰｿﾙ行へ)到達されるまでの実行、一時停止、実行対象のﾘｾｯﾄができます。加えて使用者は無制限数のｺｰﾄﾞの中断点(BREAK命令使用)と、2つまでのﾃﾞｰﾀ ﾒﾓﾘの中断点か、代わりに遮蔽による範囲指定(複合)中断点を持てます。

27.7. 内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令

内蔵ﾃﾞﾊﾞｯｸﾞの支援は独自JTAG命令で考慮され、Atmelと選ばれた業者だけに配布されます。参考のため、命令ｺｰﾄﾞの一覧が示されます。

- **独自命令0**：$8 (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令1**：$9 (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令2**：$A (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令3**：$B (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)

27.8. 内蔵ﾃﾞﾊﾞｯｸﾞに関連するI/Oﾒﾓﾘ内のﾚｼﾞｽﾀ

27.8.1. OCDR – 内蔵ﾃﾞﾊﾞｯｸﾞ ﾚｼﾞｽﾀ (On-chip Debug Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$31 ($51)	IDRD/MSB							LSB	OCDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

OCDRはﾏｲｸﾛ ｺﾝﾄﾛｰﾗ内の実行ﾌﾟﾛｸﾞﾗﾑからﾃﾞﾊﾞｯｶﾞへの通信ﾁｬﾈﾙを提供します。CPUはこの位置へ書くことによってﾃﾞﾊﾞｯｶﾞへﾊﾞｲﾄを転送できます。このﾚｼﾞｽﾀが書かれてしまっているのをﾃﾞﾊﾞｯｶﾞに示すため、同時に内部ﾌﾗｸﾞIDRD(I/Oﾃﾞﾊﾞｯｸﾞ ﾚｼﾞｽﾀ更新)が設定(1)されます。CPUがOCDRを読むとき、LSB 7ﾋﾞｯﾄがOCDRからで、一方MSBはIDRDﾋﾞｯﾄです。ﾃﾞﾊﾞｯｶﾞはこの情報を読む時にIDRDﾋﾞｯﾄを解除(0)します。

いくつかのAVRﾃﾞﾊﾞｲｽに於いてこのﾚｼﾞｽﾀは標準I/O位置で共用されます。この場合、OCDRは内蔵ﾃﾞﾊﾞｯｸﾞ許可(OCDEN)ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)された場合にだけｱｸｾｽでき、ﾃﾞﾊﾞｯｶﾞがOCDRへｱｸｾｽできます。他の全ての場合、標準I/O位置がｱｸｾｽされます。

このﾚｼﾞｽﾀの使用法のより多くの情報はﾃﾞﾊﾞｯｶﾞの資料を参照してください。

27.9. JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力の使用

JTAG経由AVRﾃﾞﾊﾞｲｽ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは4ﾋﾟﾝのJTAGﾎﾟｰﾄ、TCK,TMS,TDI,TDO経由で実行されます。これらはJTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行のために(電源ﾋﾟﾝに加えて)制御/監視される必要があるﾋﾟﾝだけです。外部的な12V印加は必要とされません。JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されなければなりません。

JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力は以下を支援します。

- ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- EEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- ﾋｭｰｽﾞ ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- 施錠ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合

施錠ﾋﾞｯﾄ保護は丁度並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのようです。施錠ﾋﾞｯﾄLB1またはLB2がﾌﾟﾛｸﾞﾗﾑ(0)されると、先にﾁｯﾌﾟ消去を行わない限り、OCDENﾋｭｰｽﾞはﾌﾟﾛｸﾞﾗﾑ(0)できません。これは保護されたﾃﾞﾊﾞｲｽの内容を読み出す裏口が存在しないことを保証する保護機能です。

JTAGｲﾝﾀｰﾌｪｰｽを通すﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令の記述は256頁の「**JTAGｲﾝﾀｰﾌｪｰｽ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」項で与えられます。

27.10. 参考文献

一般的な境界走査(Boudary-Scan)についての詳細は次の文献を参照してください。

- IEEE : IEEE Std 1149.1-1990. IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE, 1993
- Colin Maunder : The Board Designers Guide to Testable Logic Circuits, Addison Wesley, 1992

28. IEEE 1149.1 (JTAG) 境界走査(Boundary-Scan)

28.1. 特徴

- JTAGｲﾝﾀｰﾌｪｰｽ (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- ﾁｯﾌﾟ外接続を持つｱﾅﾛｸﾞ回路は勿論、全てのﾎﾟｰﾄ機能の完全な走査(Scan)
- 任意IDCODE命令の支援
- AVRﾘｾｯﾄ用公開AVR_RESET命令の追加

28.2. 概要

境界走査ﾁｪｰﾝ(Boundary-Scan chain)にはﾃﾞｼﾞﾀﾙI/Oﾋﾟﾝは勿論、ﾁｯﾌﾟ外接続を持つｱﾅﾛｸﾞ回路のｱﾅﾛｸﾞとﾃﾞｼﾞﾀﾙ間境界の論理値を駆動、監視する能力があります。ｼｽﾃﾑ上ではJTAG能力を持つ全てのICがTDIとTDOの接続により長い移動ﾚｼﾞｽﾀの形態で接続されます。外部制御器がこれらの出力ﾋﾟﾝで値を駆動するようにﾃﾞﾊﾞｲｽを設定し、他のﾃﾞﾊﾞｲｽから受け取った入力値を監視します。この制御器は予測される結果と受信した値を比較します。この方法で境界走査(Boundary-Scan)は4つのTAP信号だけを使うことにより、基板上の部品全般と内部結線の検査機構を提供します。

IEEE 1149.1で定義された4つの必須JTAG命令、IDCODE, BYPASS, SAMPLE/PRELOAD, EXTESTだけでなく、AVR特殊公開JTAG命令のAVR_RESETも基板検査に使えます。既定JTAG命令がIDCODEなので、ﾃﾞｰﾀ ﾚｼﾞｽﾀ経路の初期走査はﾃﾞﾊﾞｲｽの識別符号(ID-code)を示します。検査動作中にﾘｾｯﾄ(状態)のAVRﾃﾞﾊﾞｲｽがあることは好都合かもしれません。ﾘｾｯﾄでない場合、ﾃﾞﾊﾞｲｽの入力は走査動作によって決定されるかもしれず、検査動作を終了する時に内部ｿﾌﾄｳｪｱが未確定状態になってしまうかもしれません。ﾘｾｯﾄへの移行で、どのﾎﾟｰﾄ ﾋﾟﾝの出力も直ちにHi-Z状態に移行し、HIGHZ命令が不要になります。必要とされるなら、ﾃﾞﾊﾞｲｽを通過する走査ﾁｪｰﾝを可能な限り最短とするのにBYPASS命令が発行できます。外部RESETﾋﾟﾝをLowに引き込むか、またはﾘｾｯﾄﾃﾞｰﾀ ﾚｼﾞｽﾀの適切な設定によるAVR_RESET命令の発行でﾃﾞﾊﾞｲｽをﾘｾｯﾄ状態に設定できます。

EXTEST命令は外部ﾋﾟﾝの採取と出力ﾋﾟﾝの値設定に使われます。EXTEST命令がJTAG命令ﾚｼﾞｽﾀ(IR)に設定されると、直ちに出力ﾗｯﾁからの値がﾋﾟﾝで出力駆動されます。このため、最初にEXTEST命令を発行する時に基板の損傷を避けるため、走査ﾁｪｰﾝ内に初期値を設定するのにSAMPLE/PRELOAD命令も使われるべきです。SAMPLE/PRELOAD命令は通常動作中ﾃﾞﾊﾞｲｽの外部ﾋﾟﾝの高速監視にも使えます。

JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されなければなりません。

境界走査(Boundary-Scan)にJTAGｲﾝﾀｰﾌｪｰｽを使う場合、内部ﾁｯﾌﾟ周波数よりも高いJTAG TCKｸﾛｯｸ周波数の使用が可能です。ﾁｯﾌﾟのｸﾛｯｸは走行に必要とされません。

28.3. ﾃﾞｰﾀ ﾚｼﾞｽﾀ

境界走査(Boundary-Scan)に関連するﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)を次に示します。

- 迂回(Bypass)ﾚｼﾞｽﾀ
- ﾃﾞﾊﾞｲｽ識別(Device Identification)ﾚｼﾞｽﾀ
- ﾘｾｯﾄ(Reset)ﾚｼﾞｽﾀ
- 境界走査ﾁｪｰﾝ(Boundary-Scan chain)

28.3.1. 迂回 (Bypass) ﾚｼﾞｽﾀ

迂回ﾚｼﾞｽﾀは1段の移動ﾚｼﾞｽﾀから成ります。TDIとTDO間の経路として迂回ﾚｼﾞｽﾀが選ばれると、このﾚｼﾞｽﾀはTAP制御器がﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)捕獲状態を抜ける時に0へﾘｾｯﾄされます。迂回ﾚｼﾞｽﾀは他のﾃﾞﾊﾞｲｽが検査される時にｼｽﾃﾑ上の走査ﾁｪｰﾝ(Scan chain)を短くするのに使えます。

28.3.2. ﾃﾞﾊﾞｲｽ識別 (Device Identification) ﾚｼﾞｽﾀ

図28-1.はﾃﾞﾊﾞｲｽ識別ﾚｼﾞｽﾀの構造を示します。

版番号 版番号は部品(ﾃﾞﾊﾞｲｽ)の改訂を示す4ﾋﾞｯﾄです。JTAG版番号はﾃﾞﾊﾞｲｽの改訂版に従います。改訂Aは$00,改訂Bは$01, 以下同様です。

部品番号 部品番号は部品(名)を示す16ﾋﾞｯﾄです。AT90USB64/128のJTAG部品番号は表28-1.で一覧されます。

製造者識別 製造者識別は製造業者を示す11ﾋﾞｯﾄです。AtmelのJTAG製造者識別は表28-2.で示されます。

図28-1. ﾃﾞﾊﾞｲｽ識別ﾚｼﾞｽﾀの形式

ﾋﾞｯﾄ	31 28	27 12	11 1	0
ﾃﾞﾊﾞｲｽ識別	版番号	部品番号	製造者識別	1
ﾋﾞｯﾄ数	4	16	11	1

表28-1. AVR JTAG 部品番号

部品番号	JTAG部品番号(Hex)
AT90USB64x	$9682
AT90USB128x	$9782

表28-2. 製造者ID

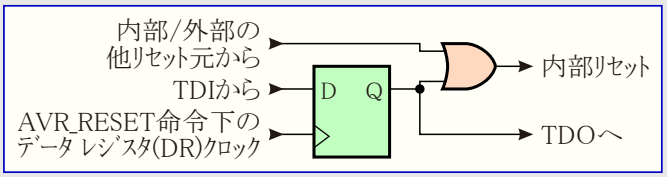
製造業者	JTAG製造者ID番号(Hex)
Atmel	$01F

28.3.3. リセット (Reset) レジスタ

リセット レジスタはデバイスのリセットに使われる検査データ レジスタです。リセットによってAVRのポート ピンがHi-Z状態となるので、未実装の任意JTAG命令HIGHZ機能の代わりにできます。

リセット レジスタ内の値1は外部RESETピンをLowに引っ張るのと同じです。デバイスはリセット レジスタ内の値が1である限り、リセットです。リセット レジスタの開放後、デバイスはクロック選択用ヒューズ ビットの設定に従ってリセット起動遅延時間(23頁の「**クロック元**」参照)、リセットに留まります。**図23-2.**で示されるようにこのデータ レジスタからの出力はラッチされず、直ちにリセットが行われます。

図28-2. リセット レジスタ



28.3.4. 境界走査チェーン(Boundary-Scan Chain)

境界走査チェーンにはデジタルI/Oピンは勿論、チップ外の接続を持つアナログ回路のアナログとデジタル間境界の論理値上の設定と監視能力があります。

完全な記述については228頁の「**境界走査チェーン**(Boundary-Scan chain)」をご覧ください。

28.4. 境界走査(Boundary-Scan)用JTAG命令

命令レジスタ(IR)は16種までの命令を支援する4ビット幅です。以下に示した一覧は境界走査(Boundary-Scan)操作に有用なJTAG命令です。全ポート ピンをHi-Z状態にするための任意HIGHZ命令は実装されませんが、AVR_RESET命令を使うことによって全出力がHi-Z状態に設定できることに注目してください。

このデータシート内の定義として、全ての移動レジスタに関して入出力ともLSBが最初に移されます。

各命令の命令コードは命令名下の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選ばれるデータ レジスタを記述します。(**訳注**:配置構成変更により、内容を一部変更)

28.4.1. EXTEST – $0

AVRデバイスに外部回路的検査を行うためにデータ レジスタ(DR)として境界走査チェーン(Boundary-Scan chain)を選ぶための必須JTAG命令です。ポート ピンは方向、プルアップ、出力値、入力値は走査チェーン(Scan chain)内で全てアクセス可能です。チップ外接続を持つアナログ回路についてはアナログとデジタル論理間のインターフェースが走査チェーン内になります。境界走査チェーンのラッチした出力値はJTAG命令レジスタ(IR)にEXTEST命令が設定されると直ぐに駆動されます。 本命令が有効な状態を次に示します。

- **DR捕獲**：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動**：内部走査チェーンがTCKクロック入力によって移されます。
- **DR更新**：走査チェーンからの値が出力ピンに印加(出力)されます。

28.4.2. IDCODE – $1

データ レジスタ(DR)として32ビットのデバイス識別(ID)レジスタを選ぶ任意JTAG命令です。デバイス識別レジスタは版番号、デバイス番号と、JEDECによって決められた製造者符号から成ります。これは電源投入後の既定命令です。 本命令が有効な状態を次に示します。

- **DR捕獲**：デバイス識別レジスタ内の値が境界走査チェーン内に採取されます。
- **DR移動**：内部走査チェーン(デバイス識別レジスタ値)がTCKクロック入力によって移されます。

28.4.3. SAMPLE_PRELOAD – $2

システム動作に影響を与えずに入出力ピンの状態採取、出力ラッチの事前設定を行うための必須JTAG命令です。けれども出力ラッチはピンに接続されません。データ レジスタ(DR)として境界走査チェーン(Boundary-Scan chain)が選ばれます。 本命令が有効な状態を次に示します。

- **DR捕獲**：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動**：境界走査チェーンがTCKクロック入力によって移されます。
- **DR更新**：境界走査チェーンからの値が出力ラッチに印加(設定)されます。けれども出力ラッチはピンに接続されません。

28.4.4. AVR_RESET – $C

AVRデバイスを強制的にリセット状態、またはJTAGリセット元から開放するためのAVR特殊公開JTAG命令です。この命令で検査入出力ポート(TAP)制御器はリセットされません。データ レジスタ(DR)として1ビットのリセット レジスタが選ばれます。リセット チェーン(レジスタ)が論理1である限り、リセットが活性(有効)なことに注意してください。このチェーンからの出力はラッチされません。 本命令が有効な状態を次に示します。

- **DR移動**：走査チェーン(リセット レジスタ)がTCKクロック入力によって移されます。

28.4.5. BYPASS – $F

データ レジスタ(DR)に迂回(Bypass)レジスタを選ぶ必須JTAG命令です。 本命令が有効な状態を次に示します。

- **DR捕獲**：迂回レジスタに論理0を設定します。
- **DR移動**：TDIとTDO間の迂回レジスタ(セル)が移されます。

28.5. 境界走査(Boundary-Scan)に関連するI/Oメモリ内のレジスタ

28.5.1. MCUCR – MCU制御レジスタ (MCU Control Register)

MCU制御レジスタは一般MCU機能制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
$35 ($55)	JTD	–	–	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – JTD : JTAGインターフェース禁止** (JTAG interface disable)

このビットが0の時にJTAGENヒューズがプログラム(0)されていれば、JTAGインターフェースが許可されます。このビットが1の場合、JTAGインターフェースは禁止されます。JTAGインターフェースの予期せぬ許可や禁止を避けるためにこのビットを変更する時は時間制限手順に従わなければなりません。この値を変更するために応用ソフトウェアは4周期以内に希望する値をこのビットへ2回書かなければなりません。内蔵デバッグシステム使用時、このビットが切り替えられてはならないことに注意してください。

JTAGインタフェースが他のJTAG回路に接続されないままにされる場合、このJTDビットは1に設定されるべきです。この理由はJTAGインターフェースのTDOピンの静止時電流を避けるためです。(**訳注**:共通性から前2行追加)

28.5.2. MCUSR – MCU状態レジスタ (MCU Status Register)

MCU状態レジスタはMCUリセットを起こしたリセット元の情報を提供します。

ビット	7	6	5	4	3	2	1	0	
$34 ($54)	–	–	–	JTRF	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

• **ビット4 – JTRF : JTAG リセット フラグ** (JTAG Reset Flag)

このビットはJTAG命令AVR_RESETによって選んだJTAG リセット レジスタ内の論理1でリセットが起こされると設定(1)されます。このビットは電源ONリセットまたはこのフラグへの論理0書き込みによってリセット(0)されます。

28.6. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain)

境界走査ﾁｪｰﾝにはﾃﾞｼﾞﾀﾙI/Oﾋﾟﾝは勿論、ﾁｯﾌﾟ外の接続を持つｱﾅﾛｸﾞ回路のｱﾅﾛｸﾞとﾃﾞｼﾞﾀﾙ間境界の論理値の設定と監視の能力があります。

28.6.1. ﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝの走査

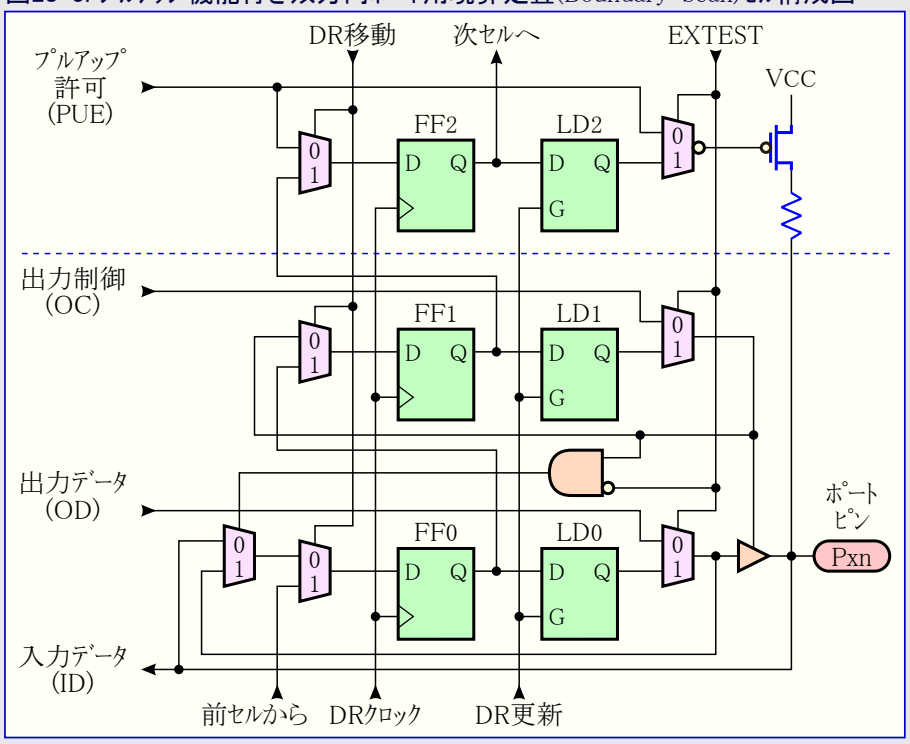
図28-3.はﾌﾟﾙｱｯﾌﾟ機能付き双方向ﾎﾟｰﾄ ﾋﾟﾝ用境界走査(Boundary-Scan)ｾﾙを示します。このｾﾙはﾌﾟﾙｱｯﾌﾟ許可(PUExn)用標準境界走査(Boundary-Scan)ｾﾙと3つの信号、出力(方向)制御(OCxn)、出力ﾃﾞｰﾀ(ODxn)、入力ﾃﾞｰﾀ(IDxn)の組み合わせの双方向ﾋﾟﾝ用ｾﾙの2段の移動ﾚｼﾞｽﾀだけから成ります。ﾎﾟｰﾄとﾋﾟﾝの添え字は続く記述で使われません。

境界走査(Boundary-Scan)論理回路はﾃﾞｰﾀｼｰﾄ内の図に含まれません。図28-4.は46頁の「入出力ﾎﾟｰﾄ」章で記載される単純なﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝを示します。図28-3.からの境界走査ｾﾙの詳細が図28-4.上の破線内に置き換わります。

交換ﾎﾟｰﾄ機能が存在しない場合、入力ﾃﾞｰﾀ(ID)はPINxnﾚｼﾞｽﾀ値(けれどもIDは同期化回路を持たず)、出力ﾃﾞｰﾀ(OD)はPORTxnﾚｼﾞｽﾀ、出力制御(OC)はDDxn方向ﾚｼﾞｽﾀ、ﾌﾟﾙｱｯﾌﾟ許可(PUE)は論理合成値(PUD AND DDxn AND PORTxn)に各々対応します。

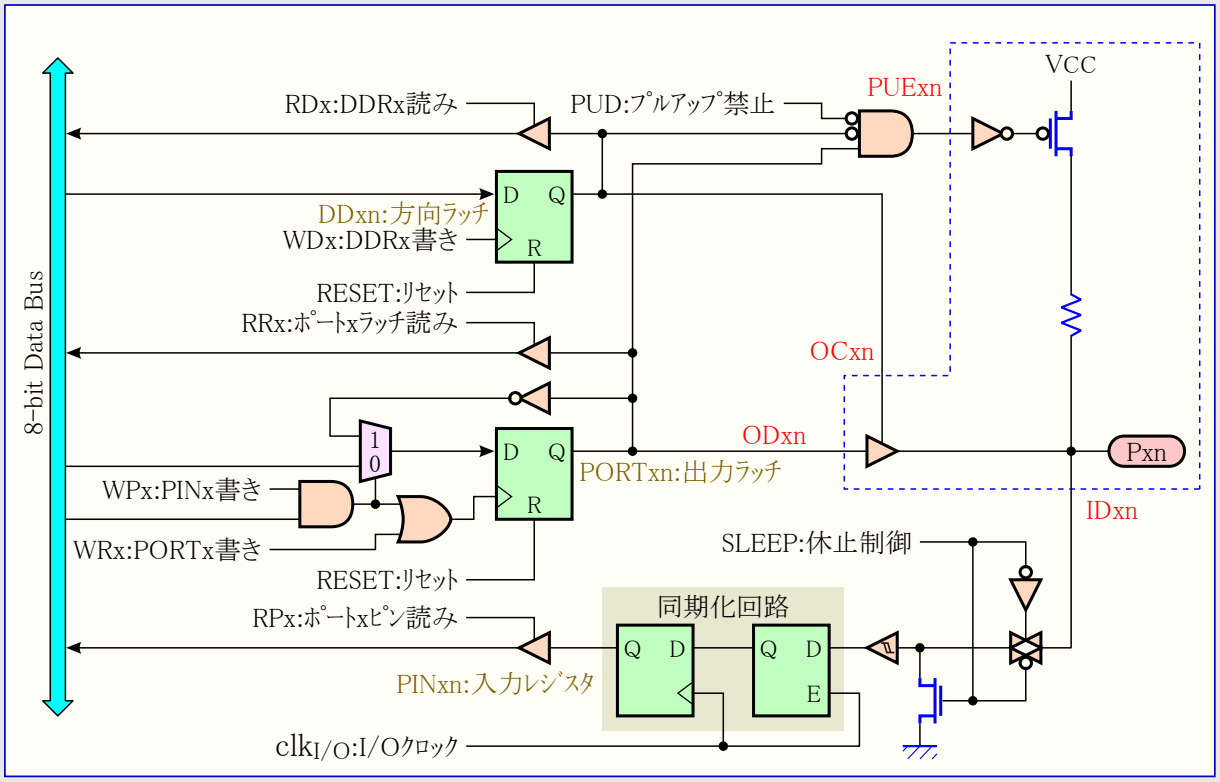
ﾃﾞｼﾞﾀﾙ交換ﾎﾟｰﾄ(ﾋﾟﾝ)機能は走査ﾁｪｰﾝ(Scan chain)が実際のﾋﾟﾝ値を読むために図28-4.内の破線外側に接続されます。ｱﾅﾛｸﾞ機能について、それらは外部ﾋﾟﾝからｱﾅﾛｸﾞ回路へ直結で、走査ﾁｪｰﾝはｱﾅﾛｸﾞ回路とﾃﾞｼﾞﾀﾙ論理回路間のｲﾝﾀｰﾌｪｰｽに挿入されます。

図28-3. ﾌﾟﾙｱｯﾌﾟ機能付き双方向ﾎﾟｰﾄ用境界走査(Boundary-Scan)ｾﾙ構成図



JTAG IRがEXTESTまたはSAMPLE_PRELOADを内包すると、ｸﾛｯｸは例えCKOUTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されていてもﾎﾟｰﾄ ﾋﾟﾝに送出されません。例えｸﾛｯｸが出力でも、JTAG IRがSAMPLE_PRELOADを内包するとき、ｸﾛｯｸは境界走査によって採取されません。

図28-4. 標準ﾎﾟｰﾄ ﾋﾟﾝ構成図

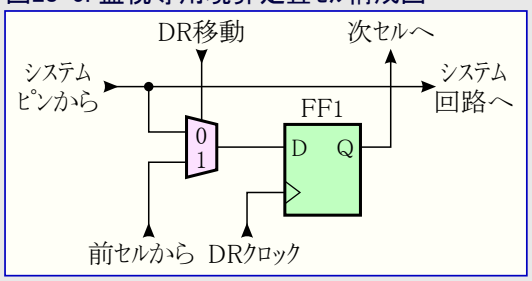


注: 詳細については境界走査(Boundary-Scan)をご覧ください。

28.6.2. RESETﾋﾟﾝの走査

RESETﾋﾟﾝは標準ﾘｾｯﾄ動作について5V負論理(Low有効)、高電圧並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞについて12V正論理(High有効)を受け入れます。図28-5.で示される監視専用ｾﾙが5Vﾘｾｯﾄ信号(RSTT)と12Vﾘｾｯﾄ信号(RSTHV)の両方に挿入されます。

図28-5. 監視専用境界走査ｾﾙ構成図



28.7. AT90USB64/128の境界走査(Boundary-Scan)順

表28-3.は境界走査ﾁｪｰﾝがﾃﾞｰﾀ経路として選ばれる時のTDIとTDO間の走査順を示します。ﾋﾞｯﾄ0が最下位ﾋﾞｯﾄで走査の最初に入出力されます。走査順は可能な限りﾋﾟﾝ配置順に従います。このためにﾎﾟｰﾄAのﾋﾞｯﾄは他のﾎﾟｰﾄと違うﾋﾞｯﾄ順で走査されます。この規則の例外はｱﾅﾛｸﾞ回路が接続される物理ﾋﾟﾝに関係なく走査ﾁｪｰﾝの最上位を構成するｱﾅﾛｸﾞ回路用走査ﾁｪｰﾝです。図28-3.上で、Pxn出力はFF0、Pxn制御はFF1、Pxnﾌﾟﾙｱｯﾌﾟ許可はFF2に各々対応します。ﾎﾟｰﾄFのﾋﾞｯﾄ4,5,6,7はJTAG許可時にTAPﾋﾟﾝを構成するので走査ﾁｪｰﾝには存在しません。

表28-3. AT90USB64/128境界走査(Boundary-Scan)順

ﾋﾞｯﾄ	信号名	基本単位
88	PE6.Data	ﾎﾟｰﾄE
87	PE6.Control	
86	PE7.Data	
85	PE7.Control	
84	PE3.Data	
83	PE3.Control	
82	PB0.Data	ﾎﾟｰﾄB
81	PB0.Control	
80	PB1.Data	
79	PB1.Control	
78	PB2.Data	
77	PB2.Control	
76	PB3.Data	
75	PB3.Control	
74	PB4.Data	
73	PB4.Control	
72	PB5.Data	
71	PB5.Control	
70	PB6.Data	
69	PB6.Control	
68	PB7.Data	
67	PB7.Control	
66	PE4.Data	ﾎﾟｰﾄE
65	PE4.Control	
64	PE5.Data	
63	PE5.Control	
62	RSTT	ﾘｾｯﾄ(監視専用)
61	PD0.Data	ﾎﾟｰﾄD
60	PD0.Control	
59	PD1.Data	

ﾋﾞｯﾄ	信号名	基本単位
58	PD1.Control	ﾎﾟｰﾄD
57	PD2.Data	
56	PD2.Control	
55	PD3.Data	
54	PD3.Control	
53	PD4.Data	
52	PD4.Control	
51	PD5.Data	
50	PD5.Control	
49	PD6.Data	
48	PD6.Control	
47	PD7.Data	
46	PD7.Control	
45	PE0.Data	ﾎﾟｰﾄE
44	PE0.Control	
43	PE1.Data	
42	PE1.Control	
41	PC0.Data	ﾎﾟｰﾄC
40	PC0.Control	
39	PC1.Data	
38	PC1.Control	
37	PC2.Data	
36	PC2.Control	
35	PC3.Data	
34	PC3.Control	
33	PC4.Data	
32	PC4.Control	
31	PC5.Data	
30	PC5.Control	
29	PC6.Data	

ﾋﾞｯﾄ	信号名	基本単位
28	PC6.Control	ﾎﾟｰﾄC
27	PC7.Data	
26	PC7.Control	
25	PE2.Data	ﾎﾟｰﾄE
24	PE2.Control	
23	PA7.Data	ﾎﾟｰﾄA
22	PA7.Control	
21	PA6.Data	
20	PA6.Control	
19	PA5.Data	
18	PA5.Control	
17	PA4.Data	
16	PA4.Control	
15	PA3.Data	
14	PA3.Control	
13	PA2.Data	
12	PA2.Control	
11	PA1.Data	
10	PA1.Control	
9	PA0.Data	
8	PA0.Control	
7	PF3.Data	ﾎﾟｰﾄF
6	PF3.Control	
5	PF2.Data	
4	PF2.Control	
3	PF1.Data	
2	PF1.Control	
1	PF0.Data	
0	PF0.Control	

28.8. 境界走査記述言語(Boundary-Scan Description Language)ﾌｧｲﾙ

境界走査記述言語(BSDL)ﾌｧｲﾙは境界走査が可能なﾃﾞﾊﾞｲｽを自動検査生成ｿﾌﾄｳｪｱによって使われる標準形式で記述します。境界走査ﾃﾞｰﾀ ﾚｼﾞｽﾀ内のﾋﾞｯﾄの順番と機能がこの記述内に含まれます。Atmel AT90USB64/128用のBSDLﾌｧｲﾙは入手可能です。

29. ﾌﾞｰﾄ ﾛｰﾀﾞ支援 - 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾞｰﾄ ﾛｰﾀﾞ支援はMCU自身によるﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞのﾀﾞｳﾝﾛｰﾄﾞとｱｯﾌﾟﾛｰﾄﾞ用の真の書き込み中の読み出しが可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機構を提供します。この特徴はﾌﾗｯｼｭ ﾒﾓﾘに常駐するﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑを使うMCUによって制御される柔軟な応用ｿﾌﾄｳｪｱ更新を可能にします。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑはﾌﾗｯｼｭ ﾒﾓﾘ内にｺｰﾄﾞを書き(ﾌﾟﾛｸﾞﾗﾑ)、ｺｰﾄﾞを読み、またはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘからｺｰﾄﾞを読むのに、利用可能なﾃﾞｰﾀ ｲﾝﾀｰﾌｪｰｽと関連する規約のどれもが使えます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域内のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘを含むﾌﾗｯｼｭ ﾒﾓﾘ全体を書く能力を持ちます。従ってﾌﾞｰﾄ ﾛｰﾀﾞは自身をも変更でき、この機能がそれ以上必要とされないなら、そのｺｰﾄﾞから自身を消去することもできます。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘの容量はﾋｭｰｽﾞで設定可能で、ﾌﾞｰﾄ ﾛｰﾀﾞは個別に設定可能な2組の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。SPMとELPMの一般情報は6頁の「AVR CPUｺｱ」で提供されます。

29.1. 特徴

- **書き込み中読める**(Read-While-Write)**自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**
- **柔軟性のあるﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘ容量**
- **高い安全性** (柔軟な保護用の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄ)
- **ﾘｾｯﾄ ﾍﾞｸﾀ選択用の独立したﾋｭｰｽﾞ**
- **最適化されたﾍﾟｰｼﾞ容量** (注1)
- **効率的なｺｰﾄﾞ手法**
- **効率的な読み-変更-書き**(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)**支援**

注1: ﾍﾟｰｼﾞはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に使われる多数のﾊﾞｲﾄから成るﾌﾗｯｼｭ ﾒﾓﾘの区画です(245頁の表30-11.参照)。このﾍﾟｰｼﾞ構成は通常動作に影響を及ぼしません。

29.2. ﾌﾗｯｼｭ ﾒﾓﾘの応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域

ﾌﾗｯｼｭ ﾒﾓﾘは応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の2つの主な領域で構成されます(図29-2.参照)。各領域の容量は240頁の表29-8.と図29-2.で示されるようにBOOTSZﾋｭｰｽﾞによって設定されます。これら2つの領域は個別の施錠ﾋﾞｯﾄの組を持つため、異なる保護基準を持てます。

29.2.1. 応用領域

応用領域は応用ｺｰﾄﾞを格納するのに使われるﾌﾗｯｼｭ ﾒﾓﾘの領域です。応用領域用保護基準は応用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ0)によって選べます(232頁の表29-2.参照)。応用領域から実行される時にSPM命令が禁止されるので、応用領域はどんなﾌﾞｰﾄ ﾛｰﾀﾞｺｰﾄﾞも決して格納し得ません。

29.2.2. ﾌﾞｰﾄ ﾛｰﾀﾞ領域 (BLS)

応用領域が応用ｺｰﾄﾞ格納用に使われるのに対して、SPM命令はBLSから実行する時にだけﾌﾟﾛｸﾞﾗﾐﾝｸﾞを始められるので、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはBLSに格納されなければなりません。SPM命令はBLS自身を含む全てのﾌﾗｯｼｭ ﾒﾓﾘをｱｸｾｽできます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域用保護基準はﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ 1)によって選べます(232頁の表29-3.参照)。

29.3. ﾌﾗｯｼｭ ﾒﾓﾘの書き込み中に読み出し可能な領域と不能な領域

どちらのｱﾄﾞﾚｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞされるかによって、CPUが書き込み中の読み出しを支援するか、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中にCPUが停止されるかのどちらです。上で記述されるようなBOOTSZﾋｭｰｽﾞによって設定可能な2つの領域に加え、ﾌﾗｯｼｭ ﾒﾓﾘは書き込み中読み出し可能な(RWW)領域と書き込み中読み出し不能な(NRWW)領域の2つの固定領域にも分けられます。RWWとNRWW領域間の境界は231頁の図29-2.と240頁の表29-9.で与えられます。この2つの領域間の主な違いを次に示します。

- RWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、NRWW領域はその動作中に読むことができます。
- NRWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、その全ての動作中にCPUは停止されます。

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ動作中、使用者ｿﾌﾄｳｪｱがRWW領域側に配置されるどのｺｰﾄﾞも決して読めないことに注意してください。「書き込み中読み出し可能領域」という記述はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(消去または書き込み)される領域としての引用で、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中に実際に読まれる領域ではありません。

訳補: 上の記述はNRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞするという前提で、消去または書き込みを行う側ではなく、行われる側でこの名称が定義されていることを意味します。即ち、NRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞすると、NRWW領域のﾌﾟﾛｸﾞﾗﾑは通常通り動作する(即ち読める)ので、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞされる側はRWW領域と名付けられ、この逆ではCPUが停止する(即ち読めない)ので、NRWW領域と名付けられているという意味です。

29.3.1. RWW – 書き込み中読み出し可能領域

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ更新がRWW領域側のﾍﾟｰｼﾞをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする場合、ﾌﾗｯｼｭ ﾒﾓﾘからｺｰﾄﾞを読むことが可能ですが、NRWW領域に配置されるｺｰﾄﾞだけです。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行中、そのｿﾌﾄｳｪｱはRWW領域が決して読まれないことを保証しなければなりません。使用者ｿﾌﾄｳｪｱがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に(例えば、CALL,JMP,(E)LPM系命令または割り込みによって)RWW領域側に配置されるｺｰﾄﾞを読もうとすると、そのｿﾌﾄｳｪｱは未知の状態へ行き着くかもしれません。これを避けるために割り込みは禁止またはﾌﾞｰﾄ ﾛｰﾀﾞ領域へ移動のどちらかにされるべきです。ﾌﾞｰﾄ ﾛｰﾀﾞ領域は常にNRWW領域に配置されます。RWW領域が読み出しに対して妨げられている限り、SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)のRWW領域多忙(RWWSB)ﾋﾞｯﾄは論理1として読みます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後、RWW領域に配置したｺｰﾄﾞを読む前にRWWSBはｿﾌﾄｳｪｱによって解除(0)されなければなりません。RWWSBを解除(0)する方法の詳細については234頁の「SPMCSR – SPM命令制御/状態ﾚｼﾞｽﾀ」をご覧ください。

29.3.2. NRWW – 書き込み中読み出し不能領域

NRWW領域に配置したｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱがRWW領域内のﾍﾟｰｼﾞを更新する時に読めます。ﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞがNRWW領域を更新するとき、全てのﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み動作中にCPUが停止されます。

表29-1. 書き込み中読み出し可能機能

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にZﾎﾟｲﾝﾀで指定される領域	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に読める領域	CPU動作	RWW機能支援
RWW領域	NRWW領域	通常動作	あり
NRWW領域	なし	停止	なし

図29-1. RWW領域とNRWW領域の関係

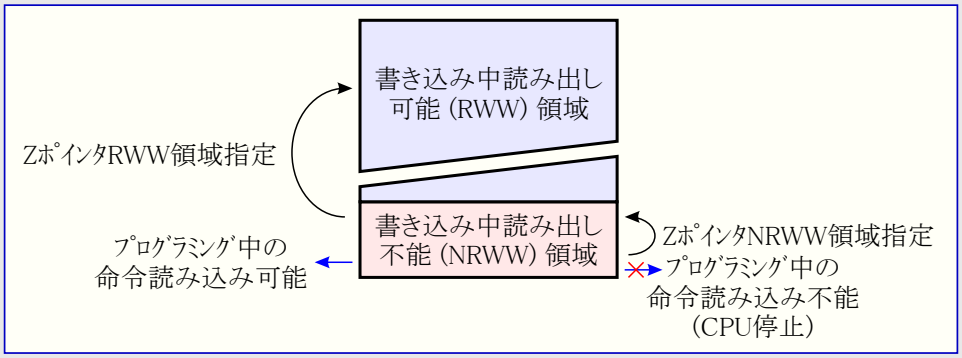
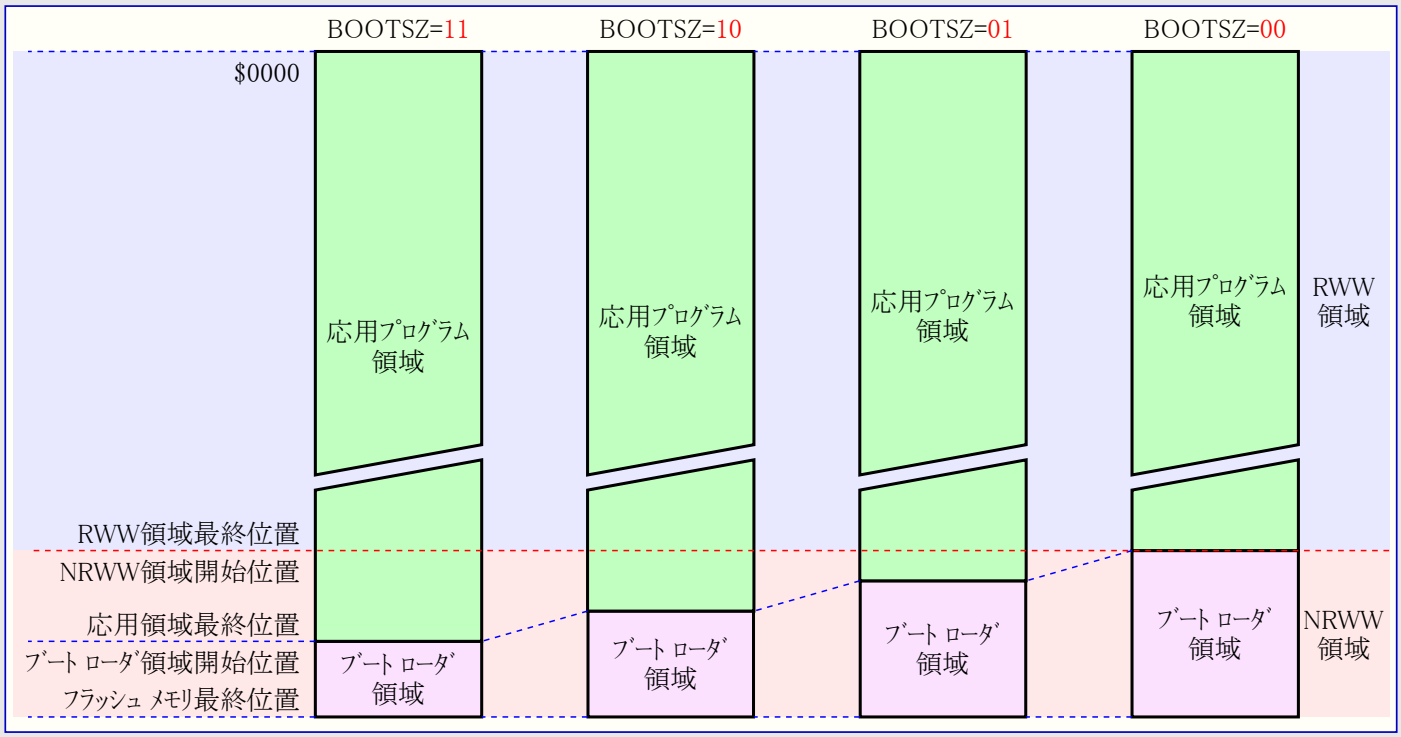


図29-2. 選択によるﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘの領域分割



注: 図内の各ﾊﾟﾗﾒｰﾀについては240頁の表29-8.で与えられます。

29.4. ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ

ﾌﾞｰﾄ ﾛｰﾀﾞ能力が必要とされないなら、ﾌﾗｯｼｭ ﾒﾓﾘ全体が応用ｺｰﾄﾞ用に利用可能です。ﾌﾞｰﾄ ﾛｰﾀﾞは個別に設定可能な独立した2組のﾌﾞｰﾄ施錠ﾋﾞｯﾄを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。

使用者は以下を選べます。

- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘ全体を保護
- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄ ﾛｰﾀﾞ領域だけを保護
- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘの応用領域だけを保護
- ﾌﾗｯｼｭ ﾒﾓﾘ全体で更新するｿﾌﾄｳｪｱを許可

より多くの詳細については**表29-2.**と**表29-3.**をご覧ください。ﾌﾞｰﾄ施錠ﾋﾞｯﾄはｿﾌﾄｳｪｱと直列または並列のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作で設定(0)できますが、これらのﾋﾞｯﾄはﾁｯﾌﾟ消去指令によってのみ解除(1)できます。一般書き込み禁止(LB動作種別2)はSPM命令によるﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞを制御しません。同様に、試みられたなら、一般読み書き禁止(LB動作種別3)は(E)LPM命令とSPM命令による読み込みも書き込みも制御しません。(**訳補**:一般LBは(E)LPM/SPM命令に関して無関係の意)

表29-2. 応用領域に対する保護種別 (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BLB0 動作種別	BLB02	BLB01	保護種別
1	1	1	(E)LPM, SPM命令が応用領域をｱｸｾｽすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ﾌﾞｰﾄ ﾛｰﾀﾞ領域での(E)LPM命令による応用領域からの読み込みが許されません。(**注**)
4	0	1	ﾌﾞｰﾄ ﾛｰﾀﾞ領域での(E)LPM命令による応用領域からの読み込みが許されません。(**注**)

注: BLB02=0で、割り込みﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

表29-3. ﾌﾞｰﾄ ﾛｰﾀﾞ領域に対する保護種別 (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BLB1 動作種別	BLB12	BLB11	保護種別
1	1	1	(E)LPM, SPM命令がﾌﾞｰﾄ ﾛｰﾀﾞ領域をｱｸｾｽすることに対して制限はありません。
2	1	0	SPM命令はﾌﾞｰﾄ ﾛｰﾀﾞ領域に書くことを許されません。
3	0	0	SPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ領域への書き込みと、応用領域での(E)LPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ領域からの読み込みが許されません。(**注**)
4	0	1	応用領域での(E)LPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ領域からの読み込みが許されません。(**注**)

注: BLB12=0で、割り込みﾍﾞｸﾀが応用領域に配置されていると、ﾌﾞｰﾄ ﾛｰﾀﾞ領域での実行時に割り込みが禁止されます。

29.5. ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑへの移行

ﾌﾞｰﾄ ﾛｰﾀﾞは3つの異なる状況で実行できます。

29.5.1. 通常応用状況

応用ﾌﾟﾛｸﾞﾗﾑから無条件分岐(Jump)またはｻﾌﾞﾙｰﾁﾝ呼び出し(Call)を行ってください。これはUSART、SPIまたはUSB経由で受信した指令のような起点によって始められるかもしれません。

29.5.2. ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞ

ﾘｾｯﾄ後にﾘｾｯﾄ ﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域開始ｱﾄﾞﾚｽを指示するようにﾌﾞｰﾄ ﾘｾｯﾄ(BOOTRST)ﾋｭｰｽﾞをﾌﾟﾛｸﾞﾗﾑ(0)できます。この場合、ﾌﾞｰﾄ ﾛｰﾀﾞがﾘｾｯﾄ後に開始されます。応用ｺｰﾄﾞが設定された(書かれた)後、そのﾌﾟﾛｸﾞﾗﾑ(ﾌﾞｰﾄ ﾛｰﾀﾞ)は応用ｺｰﾄﾞの実行を開始することができます。このﾋｭｰｽﾞがMCU自身によって変更できないことに注意してください。これは一旦ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾘｾｯﾄ ﾍﾞｸﾀは常にﾌﾞｰﾄ ﾛｰﾀﾞ ﾘｾｯﾄを指示し、このﾋｭｰｽﾞが直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたは並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたはJTAGｲﾝﾀｰﾌｪｰｽを通してのみ変更できることを意味します。

表29-4. ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞ (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BOOTRST	ﾘｾｯﾄ後実行開始ｱﾄﾞﾚｽ (ﾘｾｯﾄ ﾍﾞｸﾀ)	
0	ﾌﾞｰﾄ ﾛｰﾀﾞ ﾘｾｯﾄ	ﾌﾞｰﾄ ﾛｰﾀﾞ開始ｱﾄﾞﾚｽ (240頁の表29-8.参照)
1	応用ﾘｾｯﾄ	$0000

29.5.3. 外部ﾊｰﾄﾞｳｪｱ状況

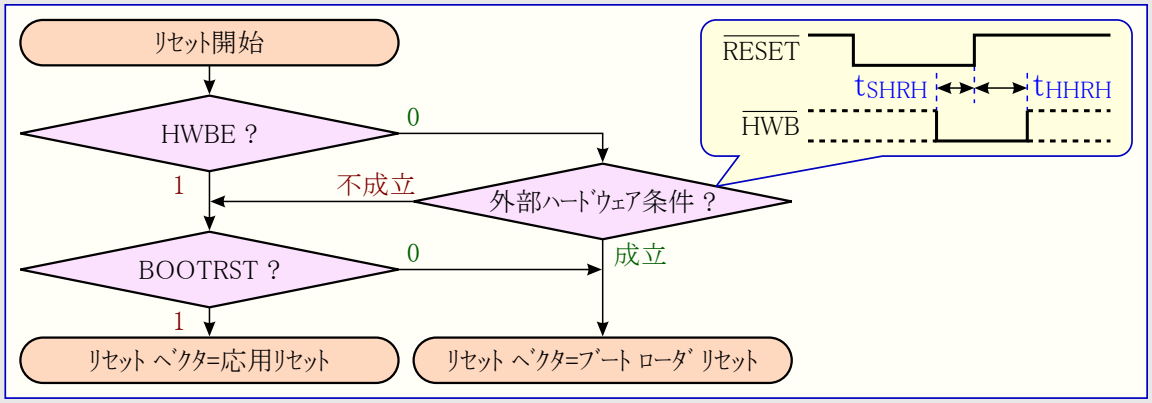
ﾘｾｯﾄ下の特別なﾊｰﾄﾞｳｪｱ条件でﾌﾞｰﾄ ﾛｰﾀﾞの実行がﾘｾｯﾄ後に強制されるようにﾊｰﾄﾞｳｪｱ ﾌﾞｰﾄ許可(HWBE)ﾋｭｰｽﾞをﾌﾟﾛｸﾞﾗﾑ(0)できます。

HWBEﾋｭｰｽﾞ許可時、ALE/$\overline{\text{HWB}}$ﾋﾟﾝはﾘｾｯﾄ間に入力として設定され、ﾘｾｯﾄの上昇端中に採取されます。ﾘｾｯﾄの上昇端の間中でALE/$\overline{\text{HWB}}$ﾋﾟﾝが0のとき、ﾘｾｯﾄ ﾍﾞｸﾀはﾌﾞｰﾄ ﾛｰﾀﾞ ﾘｾｯﾄ ｱﾄﾞﾚｽとして設定され、ﾌﾞｰﾄ ﾛｰﾀﾞが実行されます(図29-3.をご覧ください)。

表29-5. ﾊｰﾄﾞｳｪｱ ﾌﾞｰﾄ許可ﾋｭｰｽﾞ (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

HWBE	ﾘｾｯﾄ後実行開始ｱﾄﾞﾚｽ (ﾘｾｯﾄ ﾍﾞｸﾀ)
0	ALE/$\overline{\text{HWB}}$ﾋﾟﾝはﾘｾｯﾄ後の強制ﾌﾞｰﾄ ﾛｰﾀﾞ実行に使えません。
1	ALE/$\overline{\text{HWB}}$ﾋﾟﾝはﾘｾｯﾄ後の強制ﾌﾞｰﾄ ﾛｰﾀﾞ実行のために、ﾘｾｯﾄの間に使われます。

図29-3. ﾌﾞｰﾄ処理内容



29.5.4. SPMCSR – SPM命令制御/状態ﾚｼﾞｽﾀ (Store Program Memory Control and Status Register)

このﾚｼﾞｽﾀはﾌﾞｰﾄ ﾛｰﾀﾞ動作を制御するために必要とされる制御ﾋﾞｯﾄを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$37 ($57)	SPMIE	RWWSB	SIGRD	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	SPMCSR
Read/Write	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – SPMIE : SPM操作可割り込み許可 (SPM Interrupt Enable)

SPMIEﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRのSPM操作許可(SPMEN)ﾋﾞｯﾄが解除(0)されている限り実行されます。

• ﾋﾞｯﾄ6 – RWWSB : RWW領域多忙 (Read-While-Write Section Busy)

RWW領域に自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み)操作が開始されると、RWWSBがﾊｰﾄﾞｳｪｱによって設定(1)されます。RWWSBﾋﾞｯﾄが設定(1)されると、RWW領域はｱｸｾｽできません。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了された後にRWWSREﾋﾞｯﾄが1を書かれると、このRWWSBﾋﾞｯﾄは解除(0)されます。同様に、ﾍﾟｰｼﾞ設定操作が開始されると、RWWSBﾋﾞｯﾄは自動的に解除(0)されます。

• ﾋﾞｯﾄ5 – SIGRD : 識票列読み出し (Signature Row Read)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の3ｸﾛｯｸ周期内のLPM命令は識票列からﾊﾞｲﾄを転送先ﾚｼﾞｽﾀに読みます。詳細については237頁の「**ｿﾌﾄｳｪｱからの識票列読み出し**」をご覧ください。SIGRDとSPMENが設定(1)された後の4ｸﾛｯｸ周期内のSPM命令は無効です。この操作は将来の使用に対して予約されており、使われるべきではありません。

• ﾋﾞｯﾄ4 – RWWSRE : RWW領域読み出し許可 (Read-While-Write Section Read Enable)

RWW領域にﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み)すると、RWW領域は(RWWSBがﾊｰﾄﾞｳｪｱによって設定(1)され)読み出しに対して防がれます。RWW領域を再許可するために使用者ｿﾌﾄｳｪｱはﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了(SPMENが解除(0))されるまで待たねばなりません。その後、RWWSREﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令がRWW領域を再許可します。ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込みでﾌﾗｯｼｭ ﾒﾓﾘが多忙(SPMEN=1)の間、RWW領域は再許可できません。ﾌﾗｯｼｭ ﾒﾓﾘが設定されている間にRWWSREﾋﾞｯﾄが書かれると、ﾌﾗｯｼｭ ﾒﾓﾘ設定操作は失敗し、設定したﾃﾞｰﾀが失われます。

• ﾋﾞｯﾄ3 – BLBSET : ﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定 (Boot Lock Bits Set)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令はR0のﾃﾞｰﾀに従ったﾌﾞｰﾄ施錠ﾋﾞｯﾄを設定します。R1のﾃﾞｰﾀとZﾎﾟｲﾝﾀのｱﾄﾞﾚｽは無視されます。BLBSETﾋﾞｯﾄは施錠ﾋﾞｯﾄの設定完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。

SPMCSRでBLBSETとSPMENが設定(1)された後の3ｸﾛｯｸ周期内の(E)LPM命令は(ZﾎﾟｲﾝﾀのZ0によって)ﾋｭｰｽﾞ ﾋﾞｯﾄまたは施錠ﾋﾞｯﾄのどちらかを転送先ﾚｼﾞｽﾀに読みます。詳細については237頁の「**ｿﾌﾄｳｪｱからのﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し**」をご覧ください。

• ﾋﾞｯﾄ2 – PGWRT : ﾍﾟｰｼﾞ書き込み (Page Write)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令は一時緩衝部に格納したﾃﾞｰﾀでﾍﾟｰｼﾞ書き込みを実行します。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀの上位部から取得されます。R1とR0のﾃﾞｰﾀは無視されます。PGWRTﾋﾞｯﾄはﾍﾟｰｼﾞ書き込みの完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がｱﾄﾞﾚｽ指定されると、ﾍﾟｰｼﾞ全体の書き込み動作中にCPUは停止されます。

• ﾋﾞｯﾄ1 – PGERS : ﾍﾟｰｼﾞ消去 (Page Erase)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令はﾍﾟｰｼﾞ消去を実行します。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀの上位部から取得されます。R1とR0のﾃﾞｰﾀは無視されます。PGERSﾋﾞｯﾄはﾍﾟｰｼﾞ消去の完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がｱﾄﾞﾚｽ指定されると、ﾍﾟｰｼﾞ全体の消去中にCPUは停止されます。

• ﾋﾞｯﾄ0 – SPMEN : SPM操作許可 (Store Program Memory Enable)

このﾋﾞｯﾄは次の4ｸﾛｯｸ周期間のSPM命令を許可します。このﾋﾞｯﾄがRWWSRE, BLBSET, PGWRT, PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます(上の記述をご覧ください)。SPMENだけが書かれると、続くSPM命令はZﾎﾟｲﾝﾀによってｱﾄﾞﾚｽ指定したﾍﾟｰｼﾞ一時緩衝部へR1:R0の値を格納します。Zﾚｼﾞｽﾀの最下位ﾋﾞｯﾄは無視されます。SPMENﾋﾞｯﾄはSPM命令の完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み中、SPMENﾋﾞｯﾄはその動作が完了されるまで1に留まります。

下位6ﾋﾞｯﾄに100001, 010001, 001001, 000101, 000011, 000001以外のどんな組み合わせを書いても無効です。

注: 常に1つのSPM命令だけが活動すべきです。

29.6. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定

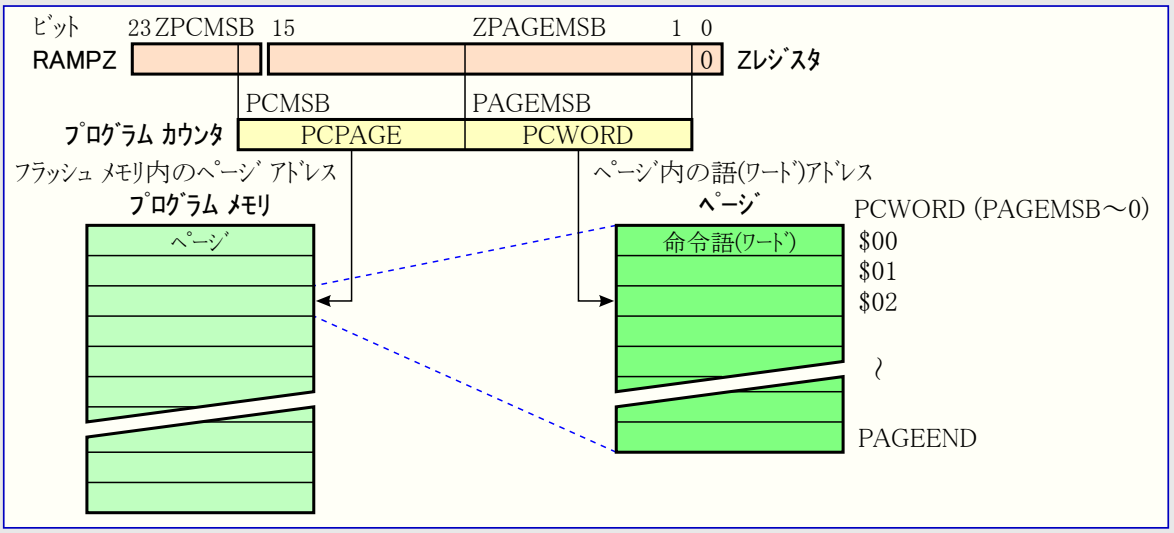
RAMPZと共にZﾎﾟｲﾝﾀ(ﾚｼﾞｽﾀ)がSPM命令でのｱﾄﾞﾚｽ指定に使われます。Zﾎﾟｲﾝﾀはﾚｼﾞｽﾀ ﾌｧｲﾙのZH,ZLとI/O空間のRAMPZﾚｼﾞｽﾀから成ります。RAMPZﾚｼﾞｽﾀは64Kﾊﾞｲﾄよりも大きなﾌﾟﾛｸﾞﾗﾑ空間の場合にだけ実装されることに注意してください。

ﾋﾞｯﾄ	23	22	21	20	10	18	17	16
RAMPZ	–	–	–	–	–	–	–	RAMPZ0
ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

ﾌﾗｯｼｭ ﾒﾓﾘがﾍﾟｰｼﾞで構成されるため(245頁の表30-11.参照)、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ)は2つの違う領域を持つように取り扱われます。1つの領域は下位側ﾋﾞｯﾄから成り、ﾍﾟｰｼﾞ内の語(ﾜｰﾄﾞ)をｱﾄﾞﾚｽ指定し、一方上位側ﾋﾞｯﾄはそのﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定します。これは図29-4.で示されます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作が個別にｱﾄﾞﾚｽ指定されることに注意してください。従ってﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが最も重要です。一旦ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が開始されると、このｱﾄﾞﾚｽはﾗｯﾁされ、Zﾎﾟｲﾝﾀ(RAMPZ,ZH,ZL)は他の操作に使えます。

(E)LPM命令はｱﾄﾞﾚｽを格納するのにZﾎﾟｲﾝﾀを使います。この命令はﾌﾗｯｼｭ ﾒﾓﾘのﾊﾞｲﾄ単位をｱﾄﾞﾚｽ指定するので、Zﾎﾟｲﾝﾀの最下位ﾋﾞｯﾄ(Z0)も使われます。

図29-4. SPM操作中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定



注: 図内で使った各変数は240頁の表29-10.で一覧されます。
PCPAGEとPCWORDは245頁の表30-11.で一覧されます。(訳注:共通性から追加)

29.7. ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘはﾍﾟｰｼﾞ単位形式で更新されます。ﾍﾟｰｼﾞ一時緩衝部へ格納したﾃﾞｰﾀでﾍﾟｰｼﾞを書く前にそのﾍﾟｰｼﾞが消去されなければなりません。ﾍﾟｰｼﾞ一時緩衝部はSPM命令使用時毎の1語(ﾜｰﾄﾞ)で満たされ、この緩衝部はﾍﾟｰｼﾞ消去命令前、またはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作間のどちらかで満たすことができます。

手段1 (ﾍﾟｰｼﾞ消去前の一時緩衝部格納)

- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

手段2 (ﾍﾟｰｼﾞ消去後の一時緩衝部格納)

- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

ﾍﾟｰｼﾞの一部の変更だけが必要な場合、消去前にﾍﾟｰｼﾞの残す部分は(例えばﾍﾟｰｼﾞ一時緩衝部に)保存されなければならず、その後に改めて書かれます。**手段1.**を使う場合、初めにﾍﾟｰｼﾞを読んで必要な変更を行い、その後に変更したﾃﾞｰﾀを書き戻すことを使用者ｿﾌﾄｳｪｱに許す効率的な読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)機能をﾌﾞｰﾄ ﾛｰﾀﾞが提供します。**手段2.**が使われる場合、ﾍﾟｰｼﾞが既に消去されているため、格納中の旧ﾃﾞｰﾀを読むことができません。ﾍﾟｰｼﾞ一時緩衝部は乱順でｱｸｾｽできます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で使われるﾍﾟｰｼﾞ ｱﾄﾞﾚｽは同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが非常に重要です。ｱｾﾝﾌﾞﾘ言語でのｺｰﾄﾞ例については239頁の「ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例」をご覧ください。

29.7.1. SPM命令によるﾍﾟｰｼﾞ消去の実行

ﾍﾟｰｼﾞ消去を実行するにはRAMPZとZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)に'X0000011'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはRAMPZとZﾎﾟｲﾝﾀのPCPAGEに書かれなければなりません。この操作中、Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄは無視されます。

- RWW領域のﾍﾟｰｼﾞ消去　：ﾍﾟｰｼﾞ消去中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ消去 ：ﾍﾟｰｼﾞ消去中、CPUは停止されます。

29.7.2. ﾍﾟｰｼﾞ一時緩衝部の設定 (ﾍﾟｰｼﾞ設定)

命令語(ﾜｰﾄﾞ)を(ﾍﾟｰｼﾞ一時緩衝部に)書くにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽ、R1:R0にﾃﾞｰﾀを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。ZﾎﾟｲﾝﾀのPCWORDの内容は一時緩衝部のﾃﾞｰﾀのｱﾄﾞﾚｽに使われます。一時緩衝部はﾍﾟｰｼﾞ書き込み操作後、またはSPMCSRのRWWSREﾋﾞｯﾄ書き込みによって自動的に消去されます。ｼｽﾃﾑ ﾘｾｯﾄ後も消去されています。一時緩衝部を消去せずに各ｱﾄﾞﾚｽへ複数回書くことができないことに注意してください。

注: SPMﾍﾟｰｼﾞ設定操作の途中でEEPROMが書かれると、設定した全ﾃﾞｰﾀが失われます。

29.7.3. ﾍﾟｰｼﾞ書き込みの実行

ﾍﾟｰｼﾞ書き込みを行うにはRAMPZとZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPMCSRに'X0000101'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽは(RAMPZとZﾎﾟｲﾝﾀの)PCPAGEに書かれなければなりません。この操作中、Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄは0を書かれなければなりません。

- RWW領域のﾍﾟｰｼﾞ書き込み　：ﾍﾟｰｼﾞ書き込み中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ書き込み ：ﾍﾟｰｼﾞ書き込み中、CPUは停止されます。

29.7.4. SPM操作可割り込みの使用法

SPM操作可割り込みが許可されると、SPMCSRのSPMENﾋﾞｯﾄが解除(0)されている時にSPM操作可割り込みが継続的に発生します。これはｿﾌﾄｳｪｱでSPMCSRをﾎﾟｰﾘﾝｸﾞする代わりにこの割り込みが使えることを意味します。SPM操作可割り込みを使うとき、割り込みが読み出しに対して防がれる時にRWW領域をｱｸｾｽするのを避けるために、割り込みﾍﾞｸﾀはﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるべきです。割り込み(ﾍﾞｸﾀ)の移動法は41頁の「**割り込み**」で記述されます。

29.7.5. ﾌﾞｰﾄ ﾛｰﾀﾞ領域更新中の考慮

ﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)が非ﾌﾟﾛｸﾞﾗﾑ(1)にされたままとすることによって使用者がﾌﾞｰﾄ ﾛｰﾀﾞ領域に更新を許す場合、特別な注意が祓われなければなりません。ﾌﾞｰﾄ ﾛｰﾀﾞ自身への予期せぬ書き込みはﾌﾞｰﾄ ﾛｰﾀﾞ全体を不正にし得て、更にｿﾌﾄｳｪｱの更新が不可能になるかもしれません。ﾌﾞｰﾄ ﾛｰﾀﾞ自体の変更が必要ないなら、内部ｿﾌﾄｳｪｱのどんな変更からもﾌﾞｰﾄ ﾛｰﾀﾞを保護するためにﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)をﾌﾟﾛｸﾞﾗﾑ(0)することが推奨されます。

29.7.6. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のRWW領域読み込みの防止

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中(ﾍﾟｰｼﾞ消去もﾍﾟｰｼﾞ書き込みも)、RWW領域は読み出しに対して常に防がれます。使用者ｿﾌﾄｳｪｱそれ自身が自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作中にこの領域がｱﾄﾞﾚｽ指定されるのを防止しなければなりません。SPMCSRのRWWSBはRWW領域が多忙である限り設定(1)されます。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の割り込みﾍﾞｸﾀ表は41頁の「**割り込み**」で記述されるようにﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるべきか、または割り込みが禁止されなければなりません。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後にRWW領域をｱﾄﾞﾚｽ指定する前に、使用者ｿﾌﾄｳｪｱはRWWSREの書き込みによってRWWSBを解除(0)しなければなりません。例については239頁の「**ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例**」をご覧ください。

29.7.7. SPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄの設定

ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄを解除(0)するには希望したﾃﾞｰﾀをR0に設定してSPMCSRに'X0001001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。ｱｸｾｽ可能な施錠ﾋﾞｯﾄはMCUによるどのｿﾌﾄｳｪｱ更新からも応用とﾌﾞｰﾄ ﾛｰﾀﾞ領域を保護できるﾌﾞｰﾄ施錠ﾋﾞｯﾄだけです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	1	1

ﾌﾗｯｼｭ ﾒﾓﾘのｱｸｾｽに影響を及ぼすﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄの各種設定法については**表29-2.**と**表29-3.**をご覧ください。

R0のﾋﾞｯﾄ5～2が解除(0)される場合、SPMCSRでSPMENとﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定(BLBSET)ﾋﾞｯﾄが設定(1)された後4ｸﾛｯｸ周期内にSPM命令が実行されると、対応するﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されます。この操作中、Zﾎﾟｲﾝﾀは関係ありませんが、将来との共通性のために(施錠ﾋﾞｯﾄ読み出しに使われるのと同じ)$0001でZﾎﾟｲﾝﾀを設定することが推奨されます。将来との共通性のため、施錠ﾋﾞｯﾄ書き込み時、R0のﾋﾞｯﾄ7,6,1,0は1に設定することも推奨されます。施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾐﾝｸﾞするとき、この操作中に全てのﾌﾗｯｼｭ ﾒﾓﾘは読むことができます。

29.7.8. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がﾌﾗｯｼｭ ﾒﾓﾘへの全ｿﾌﾄｳｪｱ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを妨げることに注意してください。ｿﾌﾄｳｪｱからのﾋｭｰｽﾞと施錠ﾋﾞｯﾄ読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄを検査し、SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)へ書く前にこのﾋﾞｯﾄが解除(0)されているのを確認することが推奨されます。

29.7.9. ｿﾌﾄｳｪｱからのﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ｿﾌﾄｳｪｱからﾋｭｰｽﾞと施錠ﾋﾞｯﾄの両方を読めます。施錠ﾋﾞｯﾄを読むにはZﾎﾟｲﾝﾀに$0001を設定してSPMCSRのSPMENとﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定(BLBSET)ﾋﾞｯﾄを設定(1)してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRに設定された後、3 CPU周期内に(E)LPM命令が実行されると、施錠ﾋﾞｯﾄの値が転送先ﾚｼﾞｽﾀに格納されます。SPMENとBLBSETﾋﾞｯﾄは施錠ﾋﾞｯﾄ読み出しの完了で、または3 CPU周期内に(E)LPM命令が実行されないか、または4 CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。SPMENとBLBSETﾋﾞｯﾄが解除(0)されると、(E)LPMは命令一式手引書で記述されるように動作します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	–	–	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ﾋｭｰｽﾞ下位ﾋﾞｯﾄを読む手順は上記の施錠ﾋﾞｯﾄ読み出しと同様です。ﾋｭｰｽﾞ下位ﾋﾞｯﾄを読み出すにはZﾎﾟｲﾝﾀに$0000を設定してSPMCSRのSPMENとBLBSETﾋﾞｯﾄを設定(1)してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRに設定された後、3 CPU周期内に(E)LPM命令が実行されると、以下で示されるようにﾋｭｰｽﾞ下位ﾋﾞｯﾄ(FLB)の値が転送先ﾚｼﾞｽﾀに格納されます。ﾋｭｰｽﾞ下位ﾋﾞｯﾄの配置と詳細な記述については242頁の表30-5.を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ﾋｭｰｽﾞ上位ﾋﾞｯﾄを読むにはZﾎﾟｲﾝﾀに$0003を設定してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRで設定(1)された後、3周期内に(E)LPM命令が実行されると、以下で示されるようにﾋｭｰｽﾞ上位ﾋﾞｯﾄ(FHB)の値が転送先ﾚｼﾞｽﾀに格納されます。ﾋｭｰｽﾞ上位ﾋﾞｯﾄの配置と詳細な記述については242頁の表30-4.を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

拡張ﾋｭｰｽﾞ ﾋﾞｯﾄを読む時はZﾎﾟｲﾝﾀに$0002を設定してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRで設定(1)された後、3周期内に(E)LPM命令が実行されると、以下で示されるように拡張ﾋｭｰｽﾞ ﾋﾞｯﾄ(EFB)の値が転送先ﾚｼﾞｽﾀに格納されます。拡張ﾋｭｰｽﾞ ﾋﾞｯﾄの配置と詳細な記述については242頁の表30-3.を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	–	–	–	–	EFB3	EFB2	EFB1	EFB0

ﾌﾟﾛｸﾞﾗﾑ(0)されたﾋｭｰｽﾞと施錠ﾋﾞｯﾄは0として読みます。非ﾌﾟﾛｸﾞﾗﾑ(1)にされたﾋｭｰｽﾞと施錠ﾋﾞｯﾄは1として読みます。

29.7.10. ｿﾌﾄｳｪｱからの識票列読み出し

ｿﾌﾄｳｪｱから識票列を読むには表29-6.で与えられる識票ﾊﾞｲﾄ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに設定してSPMCSRのSPMENと識票列読み出し(SIGRD)ﾋﾞｯﾄを設定(1)してください。SPMENとSIGRDﾋﾞｯﾄがSPMCSRに設定された後、3 CPU周期内に(E)LPM命令が実行されると、識票ﾊﾞｲﾄ値が転送先ﾚｼﾞｽﾀに格納されます。SPMENとSIGRDﾋﾞｯﾄは識票ﾊﾞｲﾄ読み出しの完了で、または3 CPU周期内に(E)LPM命令が実行されない場合、自動的に解除(0)されます。SPMENとSIGRDﾋﾞｯﾄが解除(0)されると、(E)LPMはAVR命令一式説明で記述されるように動作します。

AT90USB64/128は識票列に配置された10ﾊﾞｲﾄの固有通番を含みます。この固有通番は装置列挙(接続認識)手順でのUSB通番として使うことができます。この固有通番をｱｸｾｽするためのZﾎﾟｲﾝﾀ ｱﾄﾞﾚｽは表29-6.で与えられます。

表29-6. 識票列ｱﾄﾞﾚｽ一覧

識票ﾊﾞｲﾄ	Zﾎﾟｲﾝﾀ ｱﾄﾞﾚｽ
ﾃﾞﾊﾞｲｽ識票ﾊﾞｲﾄ 1	$0000
ﾃﾞﾊﾞｲｽ識票ﾊﾞｲﾄ 2	$0002
ﾃﾞﾊﾞｲｽ識票ﾊﾞｲﾄ 3	$0004
RC発振器校正値	$0001
固有通番	$000E～$0018

注: 他の全てのｱﾄﾞﾚｽは将来の使用に対して予約されています。

29.7.11. ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ化けの防止

低VCCの期間中、CPUとﾌﾗｯｼｭ ﾒﾓﾘの正しい動作に対して供給電圧が低すぎるためにﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾑが不正にされ得ます。これらの問題はﾌﾗｯｼｭ ﾒﾓﾘを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾑ化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてﾌﾗｯｼｭ ﾒﾓﾘへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

ﾌﾗｯｼｭ ﾒﾓﾘ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- そのｼｽﾃﾑでﾌﾞｰﾄ ﾛｰﾀﾞ更新が必要ない場合、どんなﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ更新をも防ぐためにﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾑ(0)してください。
- 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCﾘｾｯﾄ保護回路を使えます。書き込み操作進行中にﾘｾｯﾄが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- 低VCCの期間中、AVRｺｱをﾊﾟﾜｰﾀﾞｳﾝ休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSR従ってﾌﾗｯｼｭ ﾒﾓﾘを予期せぬ書き込みから効果的に保護します。

29.7.12. SPM命令使用時のﾌﾗｯｼｭ ﾒﾓﾘ用ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)時間

校正された内蔵RC発振器がﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽ時間に使われます。表29-7.はCPUからのﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽに対する代表的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間を示します。

表29-7. SPM命令によるﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

項目	最小	最大
SPM命令によるﾌﾗｯｼｭ書き込み (ﾍﾟｰｼﾞ消去、ﾍﾟｰｼﾞ書き込み、施錠ﾋﾞｯﾄ書き込み)	3.7ms	4.5ms

29.7.13. アセンブリ言語による簡単なブート ローダ例

このルーチンはRAMからフラッシュ メモリへ1ページのデータを書きます。RAM内の最初のデータ位置はYレジスタによって指示され、フラッシュ メモリ内の最初のデータ位置はZレジスタによって指示されます。異常処理は含まれません。このルーチン(少なくともSPMJサブルーチン)はブート ローダ領域側に配置されなければなりません。NRWW領域側のコードだけが自己プログラミング(ページ消去とページ書き込み)中に読めます。使用レジスタはR0,R1,TMP,CNTL,CNTH,SPMCで、レジスタの保存と復帰はこのルーチン内に含まれず、使用レジスタはコード量を犠牲にすれば最適化できます。割り込み表がブート ローダ領域に移動されるか、割り込みが禁止されるかのどちらかが前提です。

ページ内データが256バイト以下の場合は計数器上位が不要になります。また関連する命令も変更になります。これらの部分を赤字で示します(訳注:本行は以下のプログラム補正に対応して追加しました)。RAMPZは予め設定されている前提です。

```
ﾗﾍﾞﾙ    命令                                    注釈
        .EQU    PGSZB = PAGESIZE*2              ; PGSZBはページ内のバイト数です。(PAGESIZEは語(ワード)数)
        .ORG    SMALLBOOTSTART                  ;

                                                ; [ ページ消去 ]
WRPG:   LDI     SPMC,(1<<PGERS)+(1<<SPMEN)      ; ページ消去SPMCSR値を取得
        CALL    SPMJ                            ; ページ消去
                                                ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        CALL    SPMJ                            ; RWW領域読み出し許可
                                                ; [ RAMからフラッシュ ページ一時緩衝部へ転送 ]
        LDI     CNTL,LOW(PGSZB)                 ; バイト計数器を初期化
        LDI     CNTH,HIGH(PGSZB)                ; (削除)
WLP:    LD      R0,Y+                           ; RAM上の下位データを取得(ポインタ進行)
        LD      R1,Y+                           ; RAM上の上位データを取得(ポインタ進行)
        LDI     SPMC,(1<<SPMEN)                 ; ページ一時緩衝部書き込みSPMCSR値を取得
        CALL    SPMJ                            ; 対応語(ワード)データをページ一時緩衝部に設定
        ADIW    ZH:ZL,2                         ; ページ一時緩衝部ポインタ進行
        SBIW    CNTH:CNTL,2                     ; 計数器を減数 (SUBI)
        BRNE    WLP                             ; 指定バイト数分継続
                                                ; [ ページ書き込み ]
        SUBI    ZL,LOW(PGSZB)                   ; ページ一時緩衝部先頭にポインタを復帰
        SBCI    ZH,HIGH(PGSZB)                  ; (削除)
        LDI     SPMC,(1<<PGWRT)+(1<<SPMEN)      ; フラッシュ書き込みSPMCSR値を取得
        CALL    SPMJ                            ; フラッシュ メモリ ページ書き込み
                                                ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        CALL    SPMJ                            ; RWW領域読み出し許可
                                                ; [ 読み戻し照合 (任意) ]
        LDI     CNTL,LOW(PGSZB)                 ; バイト計数器を初期化
        LDI     CNTH,HIGH(PGSZB)                ; (削除)
        SUBI    YL,LOW(PGSZB)                   ; RAMデータ先頭にポインタを復帰
        SBCI    YH,HIGH(PGSZB)                  ;
RLP:    LPM     R0,Z+                           ; フラッシュ メモリから1バイト取得(ポインタ進行)
        LD      R1,Y+                           ; RAMから1バイト データを取得(ポインタ進行)
        CPSE    R0,R1                           ; 値一致でスキップ
        JMP     ERROR                           ; 不一致で異常処理へ
;
        SBIW    CNTH:CNTL,1                     ; カウンタを減数 (SUBI)
        BRNE    RLP                             ; 指定バイト数分継続
:                                               ; [ RWW領域へ復帰 ]
RTN:    IN      TMP,SPMCSR                      ; SPM命令制御/状態レジスタ値を取得
        SBRS    TMP,RWWSB                       ; RWW領域多忙でスキップ
        RET                                     ; 準備可で呼び出し元へ復帰
;                                               ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        CALL    SPMJ                            ; RWW領域読み出し許可
        RJMP    RTN                             ; RWW領域準備可まで待機へ
                                                ; [ SPM命令実行サブルーチン ]
SPMJ:   IN      TMP,SPMCSR                      ; SPM命令制御/状態レジスタ値を取得
        SBRC    TMP,SPMEN                       ; 操作可能(直前のSPM完了)でスキップ
        RJMP    SPMJ                            ; 操作可まで待機
;
        IN      TMP,SREG                        ; ステータス レジスタ値を保存
        CLI                                     ; 全割り込み禁止
WAIT:   SBIC    EECR,EEWE                       ; EEPROM書き込み中以外でスキップ
        RJMP    WAIT                            ; EEPROM書き込み完了まで待機
;
        OUT     SPMCSR,SPMC                     ; SPM動作指定
        SPM                                     ; 対応SPM動作実行
        OUT     SREG,TMP                        ; ステータス レジスタ値を復帰
        RET                                     ; 呼び出し元へ復帰
```

29.7.14. Atmel AT90USB64/128用ﾌﾞｰﾄ ﾛｰﾀﾞのﾊﾟﾗﾒｰﾀ

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの記述で使ったﾊﾟﾗﾒｰﾀは表29-8.～10.で与えられます。

表29-8. 応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の分割設定（上段:AT90USB64x,下段:AT90USB128x）

BOOTSZ1	BOOTSZ0	ﾌﾞｰﾄ ﾛｰﾀﾞ領域		ｱﾄﾞﾚｽ範囲		
		容量（語）	ﾍﾟｰｼﾞ数	応用ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ
1	1	512	4	$0000～$7DFF	$7E00～$7FFF	$7E00
				$0000～$FDFF	$FE00～$FFFF	$FE00
1	0	1024	8	$0000～$7BFF	$7C00～$7FFF	$7C00
				$0000～$FBFF	$FC00～$FFFF	$FC00
0	1	2048	16	$0000～$77FF	$7800～$7FFF	$7800
				$0000～$F7FF	$F800～$FFFF	$F800
0	0	4096	32	$0000～$6FFF	$7000～$7FFF	$7000
				$0000～$EFFF	$F000～$FFFF	$F000

注: 各種BOOTSZﾋｭｰｽﾞ設定は図29-2.で示されます。

表29-9. RWW領域とNRWW領域の範囲（上段:AT90USB64x,下段:AT90USB128x）

領域	ﾍﾟｰｼﾞ数	ｱﾄﾞﾚｽ範囲
書き込み中読み出し可能(RWW)領域	224 480	$0000～$6FFF $0000～$EFFF
書き込み中読み出し不能(NRWW)領域	32	$7000～$7FFF $F000～$FFFF

注: これら2つの領域についての詳細に関しては231頁の「RWW – 書き込み中読み出し可能領域」と「NRWW – 書き込み中読み出し不能領域」をご覧ください。

表29-10. 図29-4.で使った各変数説明とZﾎﾟｲﾝﾀの配置（上段:AT90USB64x,下段:AT90USB128x）

変数名	対応値		意味（注1）
	PC	Zﾎﾟｲﾝﾀ（注2）	
PCMSB	PC14 PC15		ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀの最上位ﾋﾞｯﾄ。 (ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは15ﾋﾞｯﾄ、PC14～0) (ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは16ﾋﾞｯﾄ、PC15～0)
PAGEMSB	PC6 PC6		1ﾍﾟｰｼﾞ内に使われる語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽの最上位ﾋﾞｯﾄ。 (ﾍﾟｰｼﾞ内の128語には7ﾋﾞｯﾄ PC6～0が必要) (ﾍﾟｰｼﾞ内の128語には7ﾋﾞｯﾄ PC6～0が必要)
ZPCMSB		Z15 Z16（注3）	PCMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPCMSB=PCMSB+1)
ZPAGEMSB		Z7 Z7	PAGEMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPAGEMSB=PAGEMSB+1)
PCPAGE	PC14～7 PC15～7	Z15～8 Z16～8	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ ﾍﾟｰｼﾞ ｱﾄﾞﾚｽ：ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み用のﾍﾟｰｼﾞ選択
PCWORD	PC6～0 PC6～0	Z7～1 Z7～1	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ 語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽ：一時緩衝部格納用語(ﾜｰﾄﾞ)選択 (ﾍﾟｰｼﾞ書き込み操作中は0でなければなりません。)

注1: Z0：全てのSPM命令に対して0であるべきで、(E)LPM命令に対するﾊﾞｲﾄ選択です。

注2: 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のZﾎﾟｲﾝﾀの使用についての詳細に関しては235頁の「自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定」をご覧ください。

注3: Zﾚｼﾞｽﾀは16ﾋﾞｯﾄ幅だけです。ﾋﾞｯﾄ16以上はI/O空間内のRAMPZﾚｼﾞｽﾀに配置されます。

30. メモリ プログラミング

30.1. プログラム メモリとデータ メモリ用施錠ビット

Atmel AT90USB64/128は非プログラム(1)のままか、表30-2.で一覧される付加機能を得るためにプログラム(0)できる6つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ1に消去できます。

表30-1. 施錠ビット バイトの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
BLB12	5	ブート ローダ領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB11	4		0 (プログラム)
BLB02	3	応用領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB01	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	0 (プログラム)
LB1	0		0 (プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表30-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはJTAG経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズ ビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズ ビットとブート施錠ビットが固定されます。(注1)
LB0 種別	BLB02	BLB01	フラッシュ メモリの応用プログラム領域に対する保護
1	1	1	(E)LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブート ローダ領域での(E)LPM命令による応用領域からの読み込みが許されません。(注2)
4	0	1	ブート ローダ領域での(E)LPM命令による応用領域からの読み込みが許されません。(注2)
LB1 種別	BLB12	BLB11	フラッシュ メモリのブート ローダ プログラム領域に対する保護
1	1	1	(E)LPM, SPM命令がブート ローダ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブート ローダ領域に書くことを許されません。
3	0	0	SPM命令によるブート ローダ領域への書き込みと、応用領域での(E)LPM命令によるブート ローダ領域からの読み込みが許されません。(注3)
4	0	1	応用領域での(E)LPM命令によるブート ローダ領域からの読み込みが許されません。(注3)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズ ビットとブート施錠ビットを書いてください。

注2: BLB02=0で、割り込みベクタがブート ローダ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

注3: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブート ローダ領域での実行時に割り込みが禁止されます。

30.2. ﾋｭｰｽﾞ ﾋﾞｯﾄ

Atmel AT90USB64/128には3つのﾋｭｰｽﾞ ﾊﾞｲﾄがあります。表30-3.～5.は全てのﾋｭｰｽﾞの概略機能とﾋｭｰｽﾞ ﾊﾞｲﾄ内でどのように配置されるかを示します。ﾋｭｰｽﾞはﾌﾟﾛｸﾞﾗﾑされると、論理0として読まれることに注意してください。

表30-3. 拡張ﾋｭｰｽﾞ ﾊﾞｲﾄ一覧 ($F3)

名称	ﾋﾞｯﾄ	意味	既定値
-	7		1 (非ﾌﾟﾛｸﾞﾗﾑ)
-	6		1 (非ﾌﾟﾛｸﾞﾗﾑ)
-	5		1 (非ﾌﾟﾛｸﾞﾗﾑ)
-	4		1 (非ﾌﾟﾛｸﾞﾗﾑ)
HWBE	3	ﾊｰﾄﾞｳｪｱ ﾌﾞｰﾄ許可。	0 (ﾌﾟﾛｸﾞﾗﾑ) $\overline{\text{HWB}}$ﾋﾟﾝ有効
BODLEVEL2	2	低電圧検出(BOD)ﾘｾｯﾄの制御と検出電圧選択。 (注1)	0 (ﾌﾟﾛｸﾞﾗﾑ)
BODLEVEL1	1		1 (非ﾌﾟﾛｸﾞﾗﾑ)
BODLEVEL0	0		1 (非ﾌﾟﾛｸﾞﾗﾑ)

注1: BODLEVELﾋｭｰｽﾞの符号化については36頁の表9-2.をご覧ください。

表30-4. ﾋｭｰｽﾞ上位ﾊﾞｲﾄ一覧 (AT90USB64x=$9B,AT90USB128x=$99)

名称	ﾋﾞｯﾄ	意味	既定値
OCDEN (注4)	7	内蔵ﾃﾞﾊﾞｯｸﾞ機能(OCD)許可。	1 (非ﾌﾟﾛｸﾞﾗﾑ) OCD禁止
JTAGEN (注5)	6	JTAGｲﾝﾀｰﾌｪｰｽ許可。	0 (ﾌﾟﾛｸﾞﾗﾑ) JTAG許可
SPIEN (注1)	5	直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可。	0 (ﾌﾟﾛｸﾞﾗﾑ) 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可
WDTON (注3)	4	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ常時有効。	1 (非ﾌﾟﾛｸﾞﾗﾑ) WDTはWDTCSRで許可
EESAVE	3	ﾁｯﾌﾟ消去からEEPROM内容を保護。	1 (非ﾌﾟﾛｸﾞﾗﾑ) EEPROMは未保護
BOOTSZ1	2	ﾌﾞｰﾄ ﾛｰﾀﾞ容量選択。(表29-8.参照) (注2)	0 (ﾌﾟﾛｸﾞﾗﾑ)
BOOTSZ0	1		1 (非ﾌﾟﾛｸﾞﾗﾑ) : AT90USB64x 0 (ﾌﾟﾛｸﾞﾗﾑ) : AT90USB128x
BOOTRST	0	ﾘｾｯﾄ ﾍﾞｸﾀ(応用領域またはﾌﾞｰﾄ ﾛｰﾀﾞ領域)選択。	1 (非ﾌﾟﾛｸﾞﾗﾑ) 応用領域

注1: SPIENﾋｭｰｽﾞは直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでｱｸｾｽできません。

注2: 240頁の表29-8.をご覧ください。

注3: 詳細については40頁の「WDTCSR - ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ」をご覧ください。

注4: 施錠ﾋﾞｯﾄやJTAGENﾋｭｰｽﾞの設定に拘らず、OCDENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)された製品の出荷は決してありません。ﾌﾟﾛｸﾞﾗﾑ(0)されたOCDENﾋｭｰｽﾞは全球H氏形態でｸﾛｯｸ系の一部を許可します。これは消費電力の増加になってしまいます。

注5: JTAGｲﾝﾀｰﾌｪｰｽが未接続のままにされる場合、JTAGENﾋｭｰｽﾞは可能ならば禁止されるべきです。これはJTAGｲﾝﾀｰﾌｪｰｽのTDOﾋﾟﾝの静止時電流を避けるためです。

表30-5. ﾋｭｰｽﾞ下位ﾊﾞｲﾄ一覧 ($5E)

名称	ﾋﾞｯﾄ	意味	既定値
CKDIV8 (注4)	7	ｼｽﾃﾑ ｸﾛｯｸ 8分周選択。	0 (ﾌﾟﾛｸﾞﾗﾑ) 8分周
CKOUT (注3)	6	ｼｽﾃﾑ ｸﾛｯｸ出力許可。	1 (非ﾌﾟﾛｸﾞﾗﾑ) 不許可
SUT1	5	起動時間選択。 (注1)	0 (非ﾌﾟﾛｸﾞﾗﾑ)
SUT0	4		1 (ﾌﾟﾛｸﾞﾗﾑ)
CKSEL3	3	ｸﾛｯｸ種別選択。 (注2)	1 (ﾌﾟﾛｸﾞﾗﾑ)
CKSEL2	2		1 (ﾌﾟﾛｸﾞﾗﾑ)
CKSEL1	1		1 (非ﾌﾟﾛｸﾞﾗﾑ)
CKSEL0	0		0 (ﾌﾟﾛｸﾞﾗﾑ)

注1: SUT1,0の既定値の詳細については25頁の表7-4.をご覧ください。

注2: CKSEL3～0の既定設定は8MHzの外部ｸﾘｽﾀﾙ用発振器になります。詳細については23頁の表7-1.をご覧ください。

注3: CKOUTはﾎﾟｰﾄC7に出力することをｼｽﾃﾑ ｸﾛｯｸに許します。詳細については27頁の「ｸﾛｯｸ出力緩衝部」をご覧ください。

注4: 詳細については28頁の「ｼｽﾃﾑ ｸﾛｯｸ前置分周器」をご覧ください。

ﾋｭｰｽﾞ ﾋﾞｯﾄの状態はﾁｯﾌﾟ消去によって影響されません。施錠ﾋﾞｯﾄ1(LB1)がﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾋｭｰｽﾞ ﾋﾞｯﾄが固定されることに注意してください。施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾑ(0)する前にﾋｭｰｽﾞ ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)してください。

30.2.1. ﾋｭｰｽﾞのﾗｯﾁ

ﾋｭｰｽﾞ値はﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作へ移行する時にﾗｯﾁされ、ﾋｭｰｽﾞ値の変更はﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を去るまで無効です。これは一旦ﾌﾟﾛｸﾞﾗﾑ(0)されると直ぐに効果があるEESAVEﾋｭｰｽﾞには適用されません。ﾋｭｰｽﾞは通常動作での電源投入でもﾗｯﾁされます。

30.3. 識票ﾊﾞｲﾄ

全てのAtmelﾏｲｸﾛ ｺﾝﾄﾛｰﾗはﾃﾞﾊﾞｲｽを識別する3ﾊﾞｲﾄの識票符号を持ちます。この符号は直列と並列の両ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作で、またﾃﾞﾊﾞｲｽが施錠されていても読めます。この3ﾊﾞｲﾄは分離された空間に存在します。

Atmel AT90USB64xの識票ﾊﾞｲﾄを右に示します。

① $000：$1E　製造業者Atmelを示します。
② $001：$96　ﾌﾗｯｼｭ ﾒﾓﾘ容量64Kﾊﾞｲﾄを示します。
③ $002：$82　②値$96と合せ、AT90USB64xを示します。

Atmel AT90USB128xの識票ﾊﾞｲﾄを右に示します。

① $000：$1E　製造業者Atmelを示します。
② $001：$97　ﾌﾗｯｼｭ ﾒﾓﾘ容量128Kﾊﾞｲﾄを示します。
③ $002：$82　②値$97と合せ、AT90USB128xを示します。

30.4. 校正ﾊﾞｲﾄ

AT90USB64/128には内蔵RC発振器用に1ﾊﾞｲﾄの校正値があります。このﾊﾞｲﾄは識票ｱﾄﾞﾚｽ空間でｱﾄﾞﾚｽ$0000の上位ﾊﾞｲﾄにあります。ﾘｾｯﾄ中、校正付き内蔵RC発振器の正しい周波数を保証するために、このﾊﾞｲﾄが発振校正(OSCCAL)ﾚｼﾞｽﾀへ自動的に書かれます。

30.5. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

本章はAT90USB64/128のﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、ﾃﾞｰﾀ用EEPROM、ﾒﾓﾘの施錠ﾋﾞｯﾄ、ﾋｭｰｽﾞ ﾋﾞｯﾄの並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合の方法を記述します。特記事項を除いて、ﾊﾟﾙｽ幅は最低250nsと仮定されます。

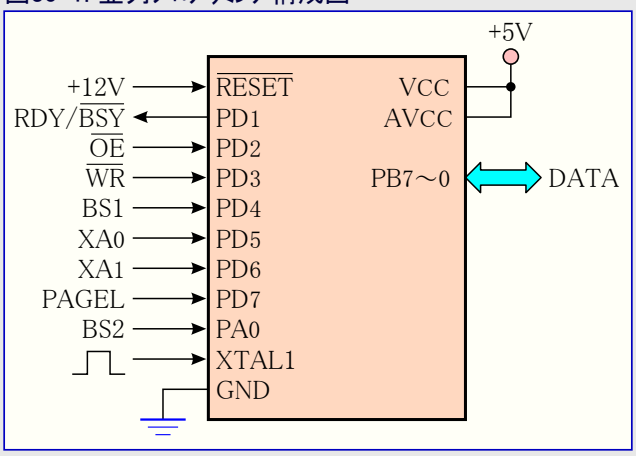
30.5.1. 信号名

本章でAT90USB64/128のいくつかのﾋﾟﾝは並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の機能を表す信号名で参照されます。図30-1.と表30-6.をご覧ください。後続の表で示されないﾋﾟﾝはﾋﾟﾝ名によって参照されます。

XA0とXA1ﾋﾟﾝはXTAL1ﾋﾟﾝが正ﾊﾟﾙｽを与えられる時に実行される動作を決めます。このﾋﾞｯﾄ符号化は表30-9.で示されます。

$\overline{\text{WR}}$または$\overline{\text{OE}}$ﾊﾟﾙｽ送出時、設定された指令が決める動作が実行されます。各種指令は表30-10.で示されます。

図30-1. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



注: 未使用ﾋﾟﾝは浮き状態のままにすべきです。

表30-6. 信号名とﾋﾟﾝ名の関係

信号名	ﾋﾟﾝ名	入出力	機能
RDY/$\overline{\text{BSY}}$	PD1	出力	0(Low) : 多忙(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中)　1(High) : 準備可(指令受付可)
$\overline{\text{OE}}$	PD2	入力	出力許可(負論理)
$\overline{\text{WR}}$	PD3	入力	書き込みﾊﾟﾙｽ(負論理)
BS1	PD4	入力	ﾊﾞｲﾄ選択1 (表30-7.参照)
XA0	PD5	入力	XTAL動作ﾋﾞｯﾄ0
XA1	PD6	入力	XTAL動作ﾋﾞｯﾄ1
PAGEL	PD7	入力	ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘとEEPROMﾃﾞｰﾀをﾍﾟｰｼﾞ一時緩衝部に設定
BS2	PA0	入力	ﾊﾞｲﾄ選択2 (表30-7.参照)
DATA	PB7～0	入出力	双方向ﾃﾞｰﾀ ﾊﾞｽ ($\overline{\text{OE}}$=Low時出力)

表30-7. BS2とBS1の符号化(機能)

BS2	1	1	0	0
BS1	1	0	1	0
ﾌﾗｯｼｭ/EEPROMｱﾄﾞﾚｽ設定	(予約)	拡張上位ﾊﾞｲﾄ	上位ﾊﾞｲﾄ	下位ﾊﾞｲﾄ
ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ設定/読み出し	(予約)	(予約)	上位ﾊﾞｲﾄ	下位ﾊﾞｲﾄ
ﾋｭｰｽﾞ書き込み	(予約)	拡張ﾋｭｰｽﾞ ﾊﾞｲﾄ	ﾋｭｰｽﾞ上位ﾊﾞｲﾄ	ﾋｭｰｽﾞ下位ﾊﾞｲﾄ
ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し	ﾋｭｰｽﾞ上位ﾊﾞｲﾄ	拡張ﾋｭｰｽﾞ ﾊﾞｲﾄ	施錠ﾋﾞｯﾄ	ﾋｭｰｽﾞ下位ﾊﾞｲﾄ

表30-8. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作移行時のﾋﾟﾝ値

ﾋﾟﾝ名	ｼﾝﾎﾞﾙ	値
PAGEL	Prog_enable[3]	0
XA1	Prog_enable[2]	0
XA0	Prog_enable[1]	0
BS1	Prog_enable[0]	0

表30-9. XA0とXA1の符号化(機能)

XA1	XA0	XTAL1ﾊﾟﾙｽ時の動作
0	0	ﾌﾗｯｼｭまたはEEPROMのｱﾄﾞﾚｽ設定 (上位/下位はBS1,2で指定)
0	1	ﾃﾞｰﾀ設定 (ﾌﾗｯｼｭの上位/下位はBS1で指定)
1	0	指令設定
1	1	ｱｲﾄﾞﾙ (動作なし)

表30-10. 指令ﾊﾞｲﾄのﾋﾞｯﾄ符号化

指令ﾊﾞｲﾄ	指令の機能	指令ﾊﾞｲﾄ	指令の機能
$80 (1000 0000)	ﾁｯﾌﾟ消去	$08 (0000 1000)	識票ﾊﾞｲﾄ、校正ﾊﾞｲﾄ読み出し
$40 (0100 0000)	ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み	$04 (0000 0100)	ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ読み出し
$20 (0010 0000)	施錠ﾋﾞｯﾄ書き込み	$02 (0000 0010)	ﾌﾗｯｼｭ ﾒﾓﾘ読み出し
$10 (0001 0000)	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み	$03 (0000 0011)	EEPROM読み出し
$11 (0001 0001)	EEPROM書き込み		

表30-11. ﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ数とﾍﾟｰｼﾞの語数

ﾃﾞﾊﾞｲｽ	全容量	ﾍﾟｰｼﾞ容量	PCWORD	ﾍﾟｰｼﾞ数	PCPAGE	PCMSB
AT90USB64x	32K語 (64Kﾊﾞｲﾄ)	128語	PC6～0	256	PC14～7	14
AT90USB128x	64K語 (128Kﾊﾞｲﾄ)			512	PC15～7	15

表30-12. EEPROMﾒﾓﾘのﾍﾟｰｼﾞ数とﾍﾟｰｼﾞの語数

ﾃﾞﾊﾞｲｽ	全容量	ﾍﾟｰｼﾞ容量	PCWORD	ﾍﾟｰｼﾞ数	PCPAGE	EEAMSB
AT90USB64x	2Kﾊﾞｲﾄ	8ﾊﾞｲﾄ	EEA2～0	256	EEA10～3	10
AT90USB128x	4Kﾊﾞｲﾄ			512	EEA11～3	11

30.6. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

30.6.1. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

次に示す方法がﾃﾞﾊﾞｲｽを並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作にします。

① VCCとGND間に4.5～5.5Vを印加します。
② $\overline{\text{RESET}}$をLow(0)にし、XTAL1を少なくとも6回、交互に(High/Low)切り替えます。
③ 244頁の表30-8.で一覧されるProg_enableﾋﾟﾝを全てLow(0)に設定し、最低100ns待ちます。
④ $\overline{\text{RESET}}$に11.5～12.5Vを印加します。+12Vが$\overline{\text{RESET}}$に印加されてしまった後100ns以内のProg_enableﾋﾟﾝのどんな動きも、ﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行を失敗させます。
⑤ 新規指令送出前に少なくとも50µs間待ちます。

30.6.2. 効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞへの考慮

設定した指令とｱﾄﾞﾚｽはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、維持されます。効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行うために次を考慮すべきです。

- 複数のﾒﾓﾘ領域を読み書きする時に指令設定は一度だけ必要です。
- ﾁｯﾌﾟ消去後のﾌﾗｯｼｭ ﾒﾓﾘと(EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合を除き)EEPROM全体の内容は$FFなので、値が$FFのﾃﾞｰﾀ書き込みを飛ばします。
- ｱﾄﾞﾚｽ上位ﾊﾞｲﾄはﾌﾗｯｼｭ ﾒﾓﾘで新規256語(ﾜｰﾄﾞ)枠、EEPROMで新規256ﾊﾞｲﾄ枠の読み書き前に一度だけ必要です。この考慮は識票ﾊﾞｲﾄ読み出しにも適用されます。

30.6.3. ﾁｯﾌﾟ消去

ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM(注1)、施錠ﾋﾞｯﾄを消去します。施錠ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘが完全に消去されてしまうまでﾘｾｯﾄ(消去)されません。ﾋｭｰｽﾞ ﾋﾞｯﾄは変更されません。ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されていると、EEPROMはﾁｯﾌﾟ消去中、保護されます。

「ﾁｯﾌﾟ消去」指令設定

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② BS1をLow(0)に設定します。
③ DATAを$80(1000 0000)に設定します。これはﾁｯﾌﾟ消去指令です。
④ XTAL1に正ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去指令を設定します。
⑤ $\overline{\text{WR}}$に負ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去を開始します。RDY/$\overline{\text{BSY}}$がLow(0)になります。
⑥ 次の指令を設定する前にRDY/$\overline{\text{BSY}}$がHigh(1)になるまで待ちます。

(訳注) 原書に於いて、ﾌﾗｯｼｭ ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時のｱﾄﾞﾚｽ指定が拡張ｱﾄﾞﾚｽまで指定するようになっています。然しながらﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時のｱﾄﾞﾚｽ指定は語(ﾜｰﾄﾞ)単位で行うため、64K語(128Kﾊﾞｲﾄ)までの場合は16ﾋﾞｯﾄ幅以内なので、基本的に拡張ｱﾄﾞﾚｽ指定は必要ない筈です。これは128K語(256Kﾊﾞｲﾄ)用のﾃﾞﾊﾞｲｽ記述を複写し、修正を忘れたものと思われます。けれども、将来の展開を予想し、64K語(128Kﾊﾞｲﾄ)を越えるﾃﾞﾊﾞｲｽ用の回路を採用したため、拡張ｱﾄﾞﾚｽの明示的な指定が必要になった、と考えることもできます。

本書では原則的に原書に従いますが、独自追加部分は拡張ｱﾄﾞﾚｽ指定なし、として記述しました。

30.6.4. フラッシュ メモリ書き込み (図30-3.タイミングを参照)

フラッシュ メモリはページで構成されます(245頁の表30-11.参照)。フラッシュ メモリへ書く時にプログラム データはページ緩衝部にラッチされます。これは同時に書かれることをプログラム データの1ページに許します。次の手順は完全なフラッシュ メモリの書き込み方法を記述します。

A. 「フラッシュ メモリ書き込み」指令設定

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② BS1をLow(0)に設定します。
③ DATAを$10(0001 0000)に設定します。これはフラッシュ メモリ書き込み指令です。
④ XTAL1に正パルスを与えます。これはフラッシュ メモリ書き込み指令を設定します。

B. アドレス下位バイト (アドレス ビット7～0) 設定

① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
② BS2をLow(0)、BS1をLow(0)に設定します。これは下位アドレス(バイト)を選びます。
③ DATAにアドレス下位バイト($00～$FF)を設定します。
④ XTAL1に正パルスを与えます。これはアドレス下位バイトを設定します。

C. データ下位バイト設定

① XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
② DATAにデータ下位バイト($00～$FF)を設定します。
③ XTAL1に正パルスを与えます。これはデータ下位バイトを設定します。

D. データ上位バイト設定

① BS1をHigh(1)に設定します。これは上位バイトを選びます。
② XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
③ DATAにデータ上位バイト($00～$FF)を設定します。
④ XTAL1に正パルスを与えます。これはデータ上位バイトを設定します。

E. 語(ワード)データをページ一時緩衝部に設定

① BS1をHigh(1)にします。これは上位バイトを選びます。
② PAGELに正パルスを与えます。これは語データをページ一時緩衝部にラッチ(設定)します。

F. 緩衝部全体が満たされるか、または(必要な)全てのデータが緩衝部内に設定されるまで、B～Eを繰り返し

アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュ メモリ内のページをアドレス指定します。これは次頁の図30-2.で図示されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量<256)、アドレス下位バイトの最上位(側)ビットがページ書き込み実行時のページ アドレスに使われることに注意してください。

G. アドレス上位バイト (アドレス ビット15～8) 設定

① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
② BS2をLow(0)、BS1をHigh(1)に設定します。これは上位アドレス(バイト)を選びます。
③ DATAにアドレス上位バイト($00～$3F/$7F/$FF)を設定します。
④ XTAL1に正パルスを与えます。これはアドレス上位バイトを設定します。

H. アドレス上位拡張バイト (アドレス ビット23～16) 設定

① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
② BS2をHigh(1)、BS1をLow(0)に設定します。これは上位拡張アドレス(バイト)を選びます。
③ DATAにアドレス上位バイト($00)を設定します。
④ XTAL1に正パルスを与えます。これはアドレス上位拡張バイトを設定します。

I. ページ書き込み

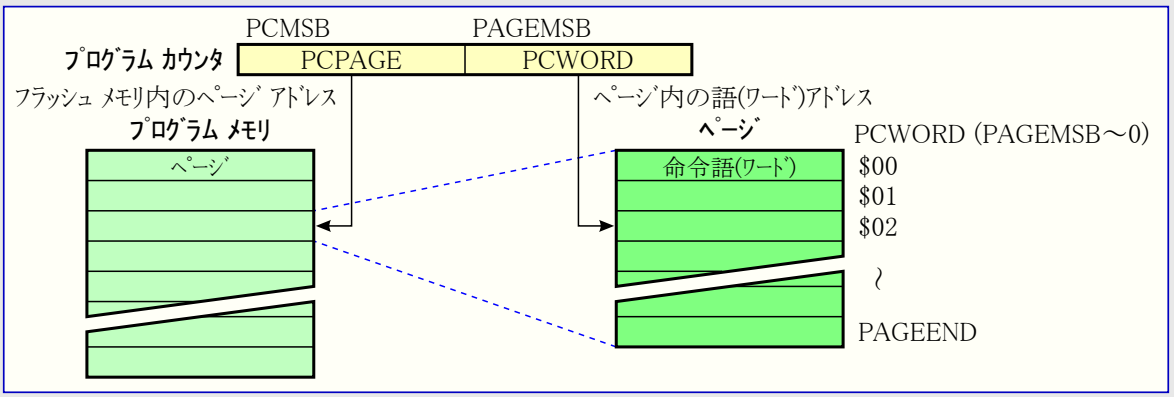
① BS1をLow(0)に設定します。
② $\overline{\text{WR}}$に負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/$\overline{\text{BSY}}$がLow(0)になります。
③ RDY/$\overline{\text{BSY}}$がHigh(1)になるまで待ちます。

J. フラッシュ メモリ全部が書かれるか、または(必要な)全データが書かれてしまうまで、B～Iを繰り返し

K. ページ書き込み終了

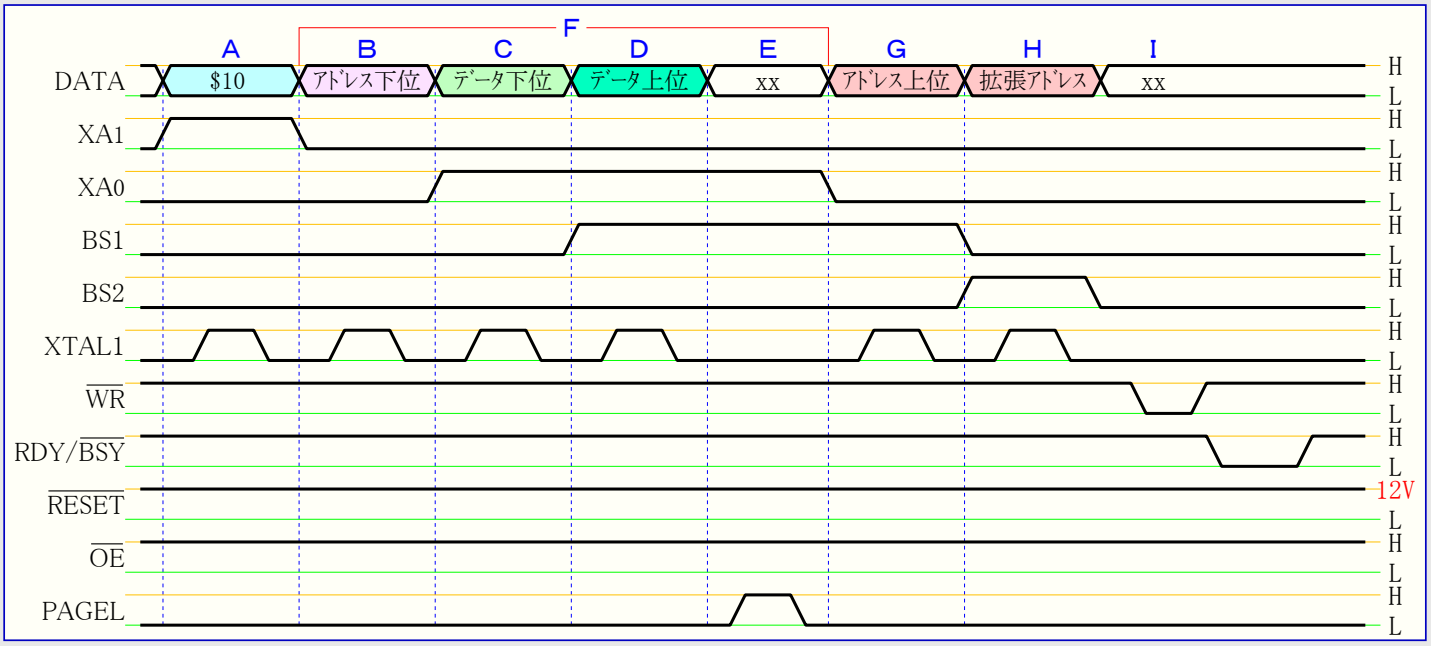
① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② DATAを$00(0000 0000)にします。これは無操作指令です。
③ XTAL1に正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図30-2. ページで構成されたフラッシュ メモリのアドレス指定



注: PCPAGEとPCWORDは245頁の表30-11.で一覧されます。

図30-3. フラッシュ メモリ書き込みタイミング



注: xx値は無関係です。A～Iは前記プログラミングを参照してください。

30.6.5. EEPROM書き込み

EEPROMはページで構成されます(245頁の表30-12.参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(指令、アドレス、データ設定の詳細については246頁の「フラッシュ メモリの書き込み」を参照。図30-4.タイミング参照。)

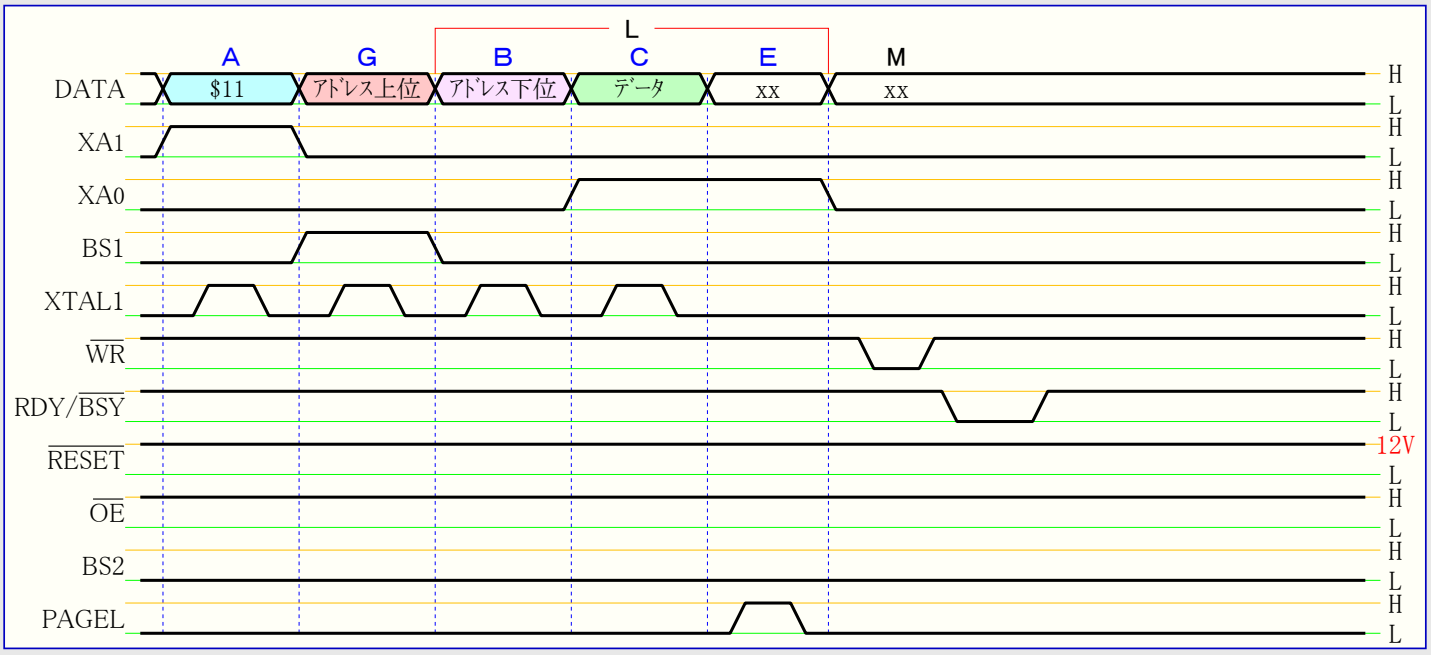
1. EEPROM書き込み指令$11(0001 0001)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$03/$07/$0F)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. データ バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のCを参照)
5. データをラッチします(PAGELに正パルスを与えます)。(「フラッシュ メモリ書き込み」のEを参照)

L. 緩衝部全体が満たされるまで3～5を繰り返します。

M. EEPROMページ書き込み

① BS2をLow(0)、BS1をLow(0)に設定します。
② $\overline{WR}$に負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/$\overline{BSY}$がLow(0)になります。
③ 次のページを書く前に、RDY/$\overline{BSY}$がHigh(1)になるまで待ちます。

図30-4. EEPROM書き込みタイミング



30.6.6. フラッシュ メモリ読み出し

フラッシュ メモリの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については246頁の「フラッシュ メモリの書き込み」を参照)

1. フラッシュ メモリ読み出し指令$02(0000 0010)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス拡張バイト($00)を設定します。(「フラッシュ メモリ書き込み」のHを参照)
3. アドレス上位バイト($00～$3F/$7F/$FF)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
4. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
5. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。フラッシュ メモリ語(ワード)の下位バイトが直ぐにDATAで読めます。
6. BS1をHigh(1)に設定します。フラッシュ メモリ語(ワード)の上位バイトが直ぐにDATAで読めます。
7. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

30.6.7. EEPROM読み出し

EEPROMの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については246頁の「フラッシュ メモリの書き込み」を参照)

1. EEPROM読み出し指令$03(0000 0011)を設定します。(「フラッシュ メモリの書き込み」のAを参照)
2. アドレス上位バイト($00～$03/$07/$0F)を設定します。(「フラッシュ メモリの書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリの書き込み」のBを参照)
4. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。EEPROMのバイト データが直ぐにDATAで読めます。
5. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

30.6.8. ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み (訳注:原書での拡張/上位/下位ﾋｭｰｽﾞ項を1つに纏めました。)

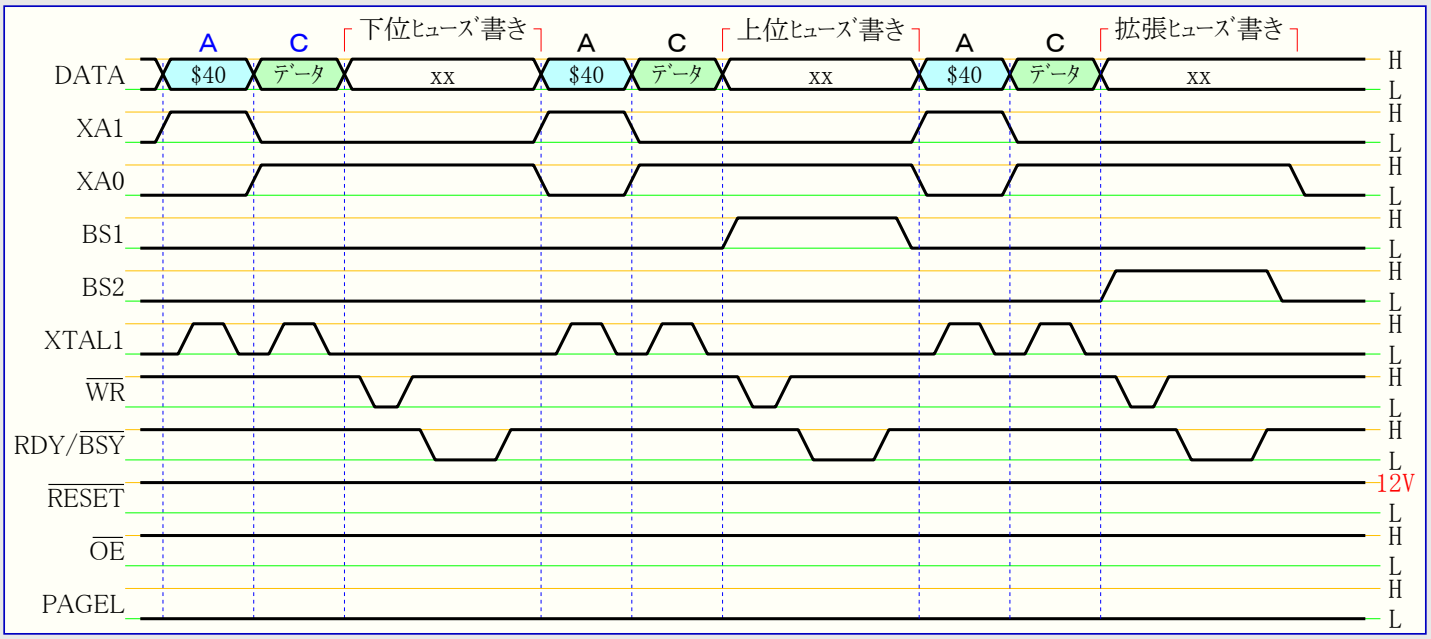
各ﾋｭｰｽﾞ ﾊﾞｲﾄの書き込み方法は次のとおりです。(指令とﾃﾞｰﾀ設定の詳細については246頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み指令$40(0100 0000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のAを参照)
2. ﾃﾞｰﾀ下位ﾊﾞｲﾄを設定します。0=ﾌﾟﾛｸﾞﾗﾑ,1=非ﾌﾟﾛｸﾞﾗﾑ(消去)です。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のCを参照)
3. BS1とBS2を右表の目的ﾊﾞｲﾄに対応する設定にします。
4. $\overline{\text{WR}}$に負ﾊﾟﾙｽを与え、RDY/$\overline{\text{BSY}}$がHighになるまで待ちます。
5. 3.でHighに設定したBS1、BS2をLow(0)に戻します。これはﾃﾞｰﾀ下位ﾊﾞｲﾄを選びます。

表A. ﾋｭｰｽﾞ ﾊﾞｲﾄ対応BS1,BS2設定

ﾋｭｰｽﾞ ﾊﾞｲﾄ	BS1	BS2
拡張ﾊﾞｲﾄ	Low(0)	High(1)
上位ﾊﾞｲﾄ	High(1)	Low(0)
下位ﾊﾞｲﾄ	Low(0)	Low(0)

図30-5. ﾋｭｰｽﾞ書き込みﾀｲﾐﾝｸﾞ



30.6.9. 施錠ﾋﾞｯﾄ書き込み

施錠ﾋﾞｯﾄの書き込み方法は次のとおりです。(指令とﾃﾞｰﾀ設定の詳細については246頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. 施錠ﾋﾞｯﾄ書き込み指令$20(0010 0000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. ﾃﾞｰﾀ下位ﾊﾞｲﾄ(としてﾃﾞｰﾀ)を設定します。0=ﾌﾟﾛｸﾞﾗﾑ,1=無変化です。LB保護種別3が設定(LB1とLB2がﾌﾟﾛｸﾞﾗﾑ(0))されると、どの外部的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作種別によってもﾌﾞｰﾄ施錠ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾐﾝｸﾞできません。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のCを参照)
3. $\overline{\text{WR}}$に負ﾊﾟﾙｽを与え、RDY/$\overline{\text{BSY}}$がHighになるまで待ちます。

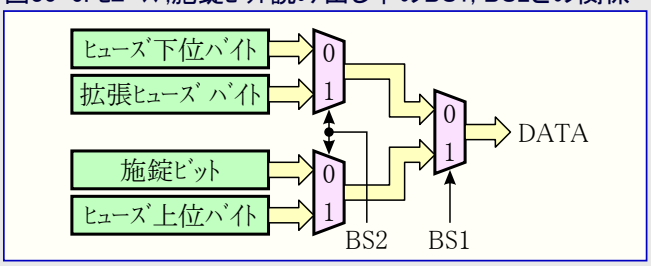
施錠ﾋﾞｯﾄはﾁｯﾌﾟ消去の実行によってのみ解除(1)できます。

30.6.10. ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し方法は次のとおりです。(指令設定の詳細については246頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し指令$04(0000 0100)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. BS1とBS2をLow(0)、$\overline{\text{OE}}$をLow(0)に設定します。ﾋｭｰｽﾞ下位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
3. BS1とBS2をHigh(1)、$\overline{\text{OE}}$をLow(0)に設定します。ﾋｭｰｽﾞ上位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
4. BS1をLow(0)、BS2をHigh(1)、$\overline{\text{OE}}$をLow(0)に設定します。拡張ﾋｭｰ ｽﾞﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
5. BS1をhigh(1)、BS2をLow(0)、$\overline{\text{OE}}$をLow(0)に設定します。施錠ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
6. $\overline{\text{OE}}$をHigh(1)に設定します。DATAはHi-Zになります。

図30-6. ﾋｭｰｽﾞ,施錠ﾋﾞｯﾄ読み出し中のBS1, BS2との関係



30.6.11. 識票ﾊﾞｲﾄ読み出し

識票ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については246頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. 識票ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$02)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のBを参照)
3. BS1をLow(0)、$\overline{\text{OE}}$をLow(0)に設定します。選んだ識票ﾊﾞｲﾄが直ぐにDATAで読めます。
4. $\overline{\text{OE}}$をHigh(1)に設定します。DATAはHi-Zになります。

30.6.12. 校正ﾊﾞｲﾄ読み出し

校正ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については246頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. 校正ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄに$00を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のBを参照)
3. BS1をHigh(1)、$\overline{\text{OE}}$をLow(0)に設定します。校正ﾊﾞｲﾄが直ぐにDATAで読めます。
4. $\overline{\text{OE}}$をHigh(1)に設定します。DATAはHi-Zになります。

30.6.13. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図30-7. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (一般的な必要条件)

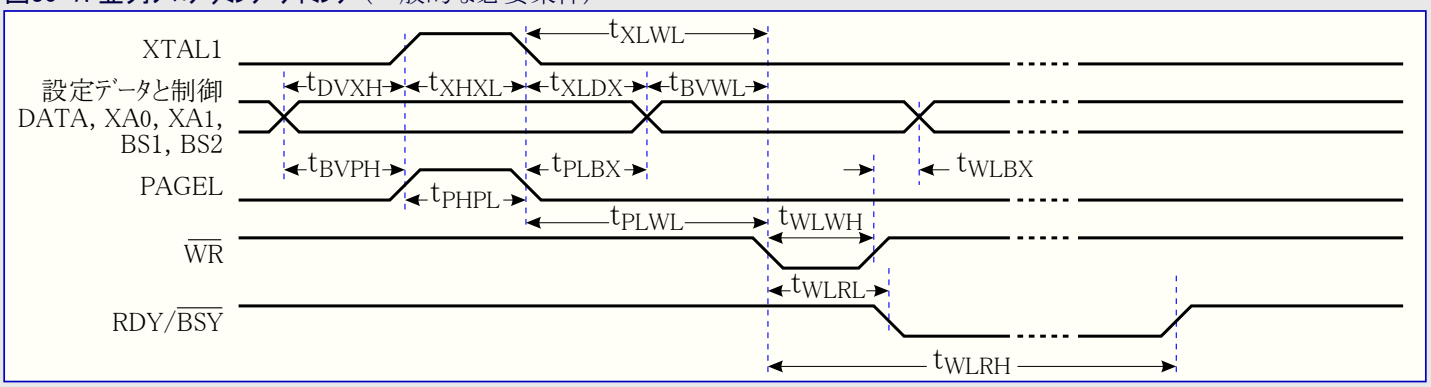
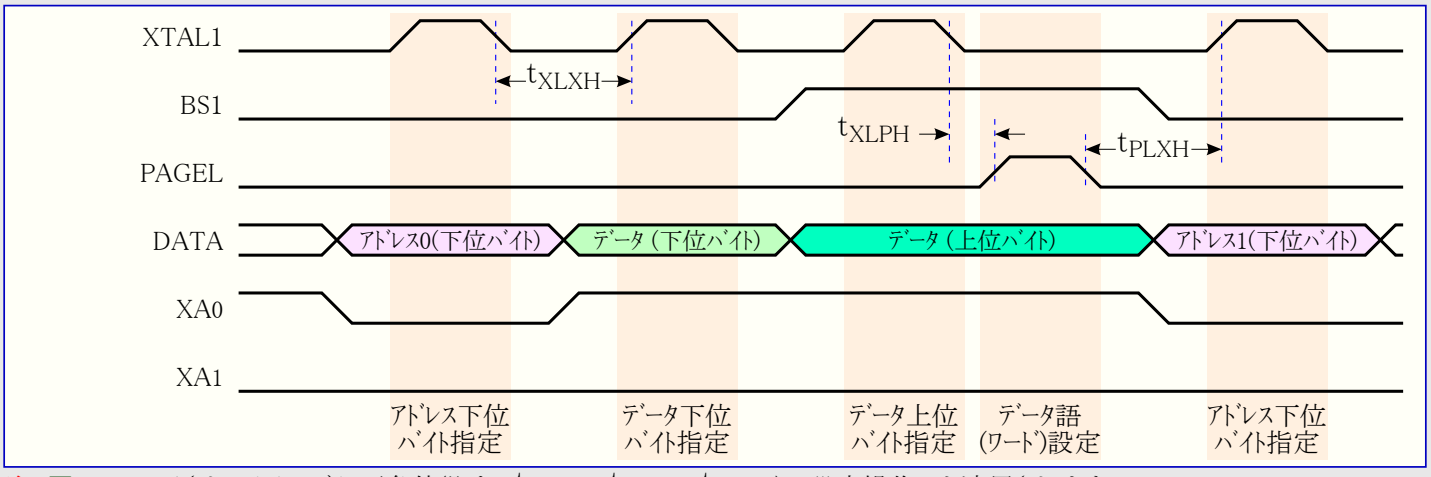
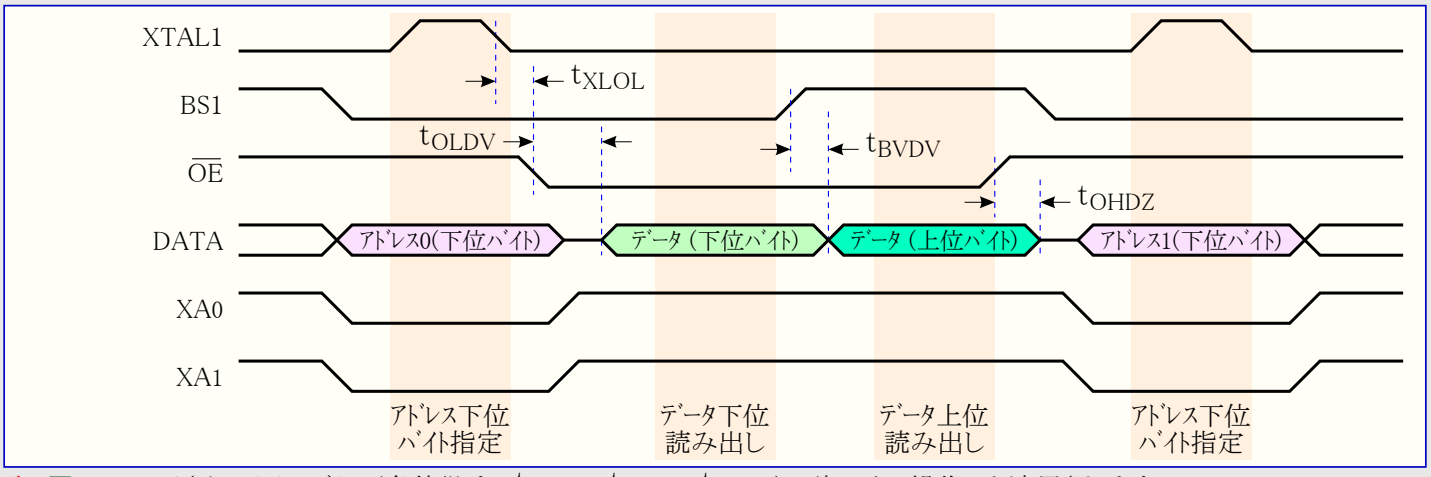


図30-8. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (ﾍﾟｰｼﾞ設定での必要条件)



注: 図30-7.で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、t_{DVXH}、t_{XHXL}、t_{XLDX})は設定操作にも適用されます。

図30-9. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (同一ﾍﾟｰｼﾞ読み出しでの必要条件)



注: 図30-7.で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、t_{DVXH}、t_{XHXL}、t_{XLDX})は読み出し操作にも適用されます。

表30-13. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 (VCC=5V±10%)

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
V_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電圧	11.5		12.5	V
I_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電流			250	µA
t_{DVXH}	XTAL1↑に対するﾃﾞｰﾀと制御の準備時間	67			ns
t_{XLXH}	XTAL1↓から次XTAL1↑までの待機時間	200			
t_{XHXL}	XTAL1 Highﾊﾟﾙｽ幅	150			
t_{XLDX}	XTAL1ﾊﾟﾙｽ↓後のﾃﾞｰﾀと制御の保持時間	67			
t_{XLWL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{WR}$↓待機時間	0			
t_{XLPH}	XTAL1ﾊﾟﾙｽ↓後のPAGELﾊﾟﾙｽ↑待機時間	0			
t_{PLXH}	PAGELﾊﾟﾙｽ↓後のXTAL1ﾊﾟﾙｽ↑待機時間	150			
t_{BVPH}	PAGELﾊﾟﾙｽ↑に対するBS1準備時間	67			
t_{PHPL}	PAGEL Highﾊﾟﾙｽ幅	150			
t_{PLBX}	PAGELﾊﾟﾙｽ↓後のBS1保持時間	67			
t_{WLBX}	$\overline{WR}$ﾊﾟﾙｽ↓後のBS1,BS2保持時間	67			
t_{PLWL}	PAGELﾊﾟﾙｽ↓後の$\overline{WR}$ﾊﾟﾙｽ↓待機時間	67			
t_{BVWL}	$\overline{WR}$ﾊﾟﾙｽ↓に対するBS1準備時間	67			
t_{WLWH}	$\overline{WR}$ Lowﾊﾟﾙｽ幅	150			
t_{WLRL}	$\overline{WR}$ﾊﾟﾙｽ↓後のRDY/$\overline{BSY}$↓遅延時間	0		1	µs
t_{WLRH}	書き込み時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注1)	3.7		4.5	ms
t_{WLRH_CE}	ﾁｯﾌﾟ消去時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注2)	7.5		9	
t_{XLCL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{OE}$↓待機時間	0			ns
t_{BVDV}	BS1有効からのDATA遅延時間	0		250	
t_{OLDV}	$\overline{OE}$↓後のDATA出力遅延時間			250	
t_{OHDZ}	$\overline{OE}$↑後のDATAﾌﾛｰﾃｨﾝｸﾞ遅延時間			250	

注1: ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ書き込み指令に対して有効です。

注2: ﾁｯﾌﾟ消去指令に対して有効です。

30.7. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの両方はRESETがGNDに引かれている間に直列SPIﾊﾞｽを使ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞできます。この直列ｲﾝﾀｰﾌｪｰｽはSCK入力、PDI入力、PDO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令が初めに実行されるのを必要とします。注意、表30-14.でSPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のﾋﾟﾝ配置が一覧されます。全てのﾃﾞﾊﾞｲｽが内部SPIｲﾝﾀｰﾌｪｰｽに対する専用SPIﾋﾟﾝを使うとは限りません。

30.7.1. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾋﾟﾝ配置

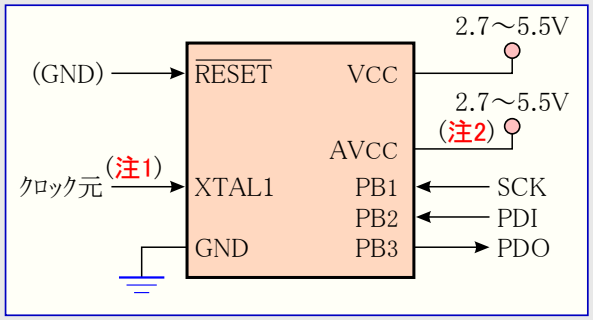
表30-14. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾋﾟﾝ配置

信号名	ﾋﾟﾝ名	入出力	機能
SCK	PB1	入力	直列ｸﾛｯｸ
PDI/MOSI	PB2	入力	直列ﾃﾞｰﾀ入力
PDO/MISO	PB3	出力	直列ﾃﾞｰﾀ出力

EEPROMをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする時に自動消去周期が自動書き込み動作内に組み入れられ(直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞのみ)、ﾁｯﾌﾟ消去命令を初めに実行する必要がありません。ﾁｯﾌﾟ消去操作はﾌﾟﾛｸﾞﾗﾑ(ﾌﾗｯｼｭ ﾒﾓﾘ)とEEPROM両方の全てのﾒﾓﾘ位置の内容を$FFにします。

CKSELﾋｭｰｽﾞによる有効なｸﾛｯｸが与えられなければなりません。直列ｸﾛｯｸ(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

図30-10. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



注1: ﾃﾞﾊﾞｲｽが内蔵発振器で動作する場合、XTAL1ﾋﾟﾝにｸﾛｯｸ元を接続する必要はありません。

注2: VCC-0.3V<AVCC<VCC+0.3Vですが、AVCCは常に2.7～5.5V内にすべきです。

f_{CK}<12MHz : Low区間 > 2 CPUｸﾛｯｸ周期　f_{CK}<12MHz : High区間 > 2 CPUｸﾛｯｸ周期
f_{CK}≧12MHz : Low区間 > 3 CPUｸﾛｯｸ周期　f_{CK}≧12MHz : High区間 > 3 CPUｸﾛｯｸ周期

30.8. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順 (訳注:本項の一部を矛盾回避のため修正しました。)

Atmel AT90USB64/128に直列ﾃﾞｰﾀを書く時にﾃﾞｰﾀはSCKの上昇端で行われ、AT90USB64/128から読む時にﾃﾞｰﾀはSCKの下降端で行われます。ﾀｲﾐﾝｸﾞの詳細については図30-11.をご覧ください。

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合は次の手順が推奨されます(4ﾊﾞｲﾄ命令形式は表30-16.を参照)。

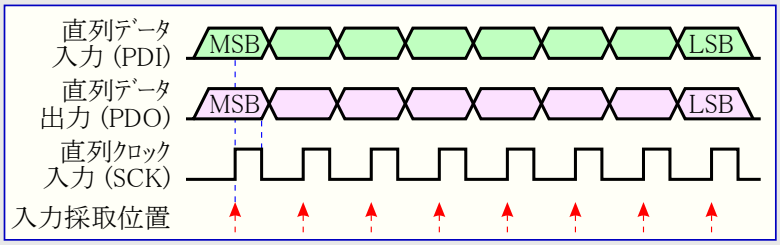
1. **電源投入手順:**
   RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのｼｽﾃﾑで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2 CPUｸﾛｯｸ周期幅の正ﾊﾟﾙｽを与えられなければなりません。
2. 最低20ms待ち、PDIﾋﾟﾝにﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を送ることによって直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可してください。
3. 通信が同期を外していると、直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令は動作しません。同期していると、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令の第3ﾊﾞｲﾄ送出時に第2ﾊﾞｲﾄ($53)が戻ります。この戻りが正しいかどうかによらず、命令の4ﾊﾞｲﾄ全てが送信されなければなりません。$53が戻らない場合、RESETに正ﾊﾟﾙｽを与え、新規ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を行ってください。
4. ﾌﾗｯｼｭ ﾒﾓﾘは1ﾍﾟｰｼﾞ単位で書かれます。ﾍﾟｰｼﾞ容量は245頁の表30-11.で得られます。このﾒﾓﾘ ﾍﾟｰｼﾞはﾍﾟｰｼﾞ設定命令と共にｱﾄﾞﾚｽの下位6/7/7+1ﾋﾞｯﾄとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄづつ設定されます。ﾍﾟｰｼﾞが正しく設定されるのを保証するため、与えられたｱﾄﾞﾚｽでのﾃﾞｰﾀ上位ﾊﾞｲﾄ適用前にﾃﾞｰﾀ下位ﾊﾞｲﾄが設定されなければなりません。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのﾍﾟｰｼﾞはｱﾄﾞﾚｽの上位8/8/9ﾋﾞｯﾄ(PC13/14/15～6/7/7)を含むﾍﾟｰｼﾞ書き込み命令の設定によって(ﾌﾗｯｼｭ ﾒﾓﾘに)格納されます。この命令が行なわれる前に拡張ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定命令がｱﾄﾞﾚｽのMSB定義に使われていることに注意してください。拡張ｱﾄﾞﾚｽ ﾊﾞｲﾄは本命令が再実行されるまで保存されます。換言すると、本命令は初回ﾍﾟｰｼﾞと64K語(ﾜｰﾄﾞ)境界を過ぎる時にだけ実行される必要があります。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、使用者は次のﾍﾟｰｼﾞを行う前に最低t_{WD_FLASH}(表30-15.参照)待たなければなりません。ﾌﾗｯｼｭ書き込み操作完了前の(ﾎﾟｰﾘﾝｸﾞ以外の)直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽでのｱｸｾｽは不正な書き込み結果になり得ます。
5. EEPROMはﾍﾟｰｼﾞ単位かﾊﾞｲﾄ単位のどちらかでﾌﾟﾛｸﾞﾗﾐﾝｸﾞできます。
   ﾊﾞｲﾄ単位: EEPROMは適切なEEPROM書き込み命令と共にｱﾄﾞﾚｽとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄ単位で書かれます。EEPROMのﾒﾓﾘ位置は新規ﾃﾞｰﾀが書かれるのに先立って始めで自動的に消去されます。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、次のﾊﾞｲﾄを行う前に最低t_{WD_EEPROM}(表30-15.参照)待たなければなりません。
   ﾍﾟｰｼﾞ単位: EEPROMの1ﾍﾟｰｼﾞはEEPROMﾍﾟｰｼﾞ設定命令と共にｱﾄﾞﾚｽの下位2/3/3ﾋﾞｯﾄとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄづつ設定されます。EEPROMﾍﾟｰｼﾞはｱﾄﾞﾚｽの上位8/8/9ﾋﾞｯﾄを含むEEPROMﾍﾟｰｼﾞ書き込み命令によって(EEPROMに)格納されます。EEPROMﾍﾟｰｼﾞ ｱｸｾｽ使用時、EEPROMﾍﾟｰｼﾞ設定命令で設定したﾊﾞｲﾄ位置だけが変更されます。残りの位置は無変化で留まります。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、次ﾍﾟｰｼﾞ(表30-12.参照)を行う前に最低t_{WD_EEPROM}(表30-15.参照)待たなければなりません。ﾁｯﾌﾟ消去されたﾃﾞﾊﾞｲｽでの$FFﾃﾞｰﾀは書かれる必要がありません。
6. どのﾒﾓﾘ位置も選んだｱﾄﾞﾚｽの内容を直列出力PDOに読み戻す読み出し命令を使うことで照合できます。ﾌﾗｯｼｭ ﾒﾓﾘ読み出し時、ﾌﾗｯｼｭ ﾒﾓﾘ読み出し命令内に含まれない上位ｱﾄﾞﾚｽ ﾊﾞｲﾄ定義に拡張ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定命令を使ってください。拡張ｱﾄﾞﾚｽ ﾊﾞｲﾄはこの命令が再実行されるまで保存されます。換言すると、本命令は初回ﾍﾟｰｼﾞと64K語(ﾜｰﾄﾞ)境界を過ぎる時にだけ実行される必要があります。

7. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ作業終了時、$\overline{\text{RESET}}$は通常動作を開始するため、High(1)に設定できます。
8. 電源OFF手順（必要とされるならば）
   - $\overline{\text{RESET}}$をHigh(1)に設定します。
   - VCC電源をOFFにします。

表30-15. ﾋｭｰｽﾞ, ﾌﾗｯｼｭ, EEPROM書き込み待機時間

ｼﾝﾎﾞﾙ	最低待機時間	備考
t_{WD_FUSE}	4.5ms	ﾋｭｰｽﾞ書き込み
t_{WD_FLASH}	4.5ms	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み
t_{WD_EEPROM}	9.0ms	EEPROM書き込み
t_{WD_ERASE}	9.0ms	ﾁｯﾌﾟ消去

図30-11. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾊﾞｲﾄ通信波形



30.8.1. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式（訳注:命令一覧は新記述形式に変更しました。）

表30-16.と次頁の図30-12.は命令一式を記述します。

表30-16. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令	命令形式				備考
	第1ﾊﾞｲﾄ	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ	第4ﾊﾞｲﾄ	
ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可	$AC	$53	$00	$00	
ﾁｯﾌﾟ消去	$AC	$80	$00	$00	
多忙/準備可検査	$F0	$00	$00	状態値	最下位ﾋﾞｯﾄが多忙ﾌﾗｸﾞ。
設定系命令					
拡張ｱﾄﾞﾚｽ設定（注1）	$4D	$00	拡張ｱﾄﾞﾚｽ	$00	
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ内上位ﾊﾞｲﾄ設定	$48	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	上位ﾊﾞｲﾄ	
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ内下位ﾊﾞｲﾄ設定	$40	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	下位ﾊﾞｲﾄ	
EEPROMﾍﾟｰｼﾞ内ﾊﾞｲﾄ設定	$C1	$00	ﾍﾟｰｼﾞ内位置	ﾊﾞｲﾄ	注:ﾍﾟｰｼﾞ内指示以外のﾋﾞｯﾄは0。
読み出し命令					
ﾌﾗｯｼｭ ﾒﾓﾘ上位ﾊﾞｲﾄ読み出し	$28	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	上位ﾊﾞｲﾄ	
ﾌﾗｯｼｭ ﾒﾓﾘ下位ﾊﾞｲﾄ読み出し	$20	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	下位ﾊﾞｲﾄ	
EEPROM読み出し	$A0	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	ﾊﾞｲﾄ	
施錠ﾋﾞｯﾄ読み出し	$58	$00	$00	施錠ﾋﾞｯﾄ値	
識票ﾊﾞｲﾄ読み出し	$30	$00	ｱﾄﾞﾚｽ	識票ﾊﾞｲﾄ	
ﾋｭｰｽﾞ下位読み出し	$50	$00	$00	ﾋｭｰｽﾞ下位	
ﾋｭｰｽﾞ上位読み出し	$58	$08	$00	ﾋｭｰｽﾞ上位	
拡張ﾋｭｰｽﾞ読み出し	$50	$08	$00	拡張ﾋｭｰｽﾞ	
校正ﾊﾞｲﾄ読み出し	$38	$00	$00	校正ﾊﾞｲﾄ	
書き込み命令					
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み	$4C	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	$00	
EEPROMﾊﾞｲﾄ書き込み	$C0	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	ﾊﾞｲﾄ	
EEPROMﾍﾟｰｼﾞ書き込み	$C2	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	$00	注:ﾍﾟｰｼﾞ指示以外のｱﾄﾞﾚｽ ﾋﾞｯﾄは0。
施錠ﾋﾞｯﾄ書き込み	$AC	$E0	$00	施錠ﾋﾞｯﾄ値	
ﾋｭｰｽﾞ下位書き込み	$AC	$A0	$00	ﾋｭｰｽﾞ下位	
ﾋｭｰｽﾞ上位書き込み	$AC	$A8	$00	ﾋｭｰｽﾞ上位	
拡張ﾋｭｰｽﾞ書き込み	$AC	$A4	$00	拡張ﾋｭｰｽﾞ	

注1：全命令が全ﾃﾞﾊﾞｲｽで利用可能な訳ではありません。

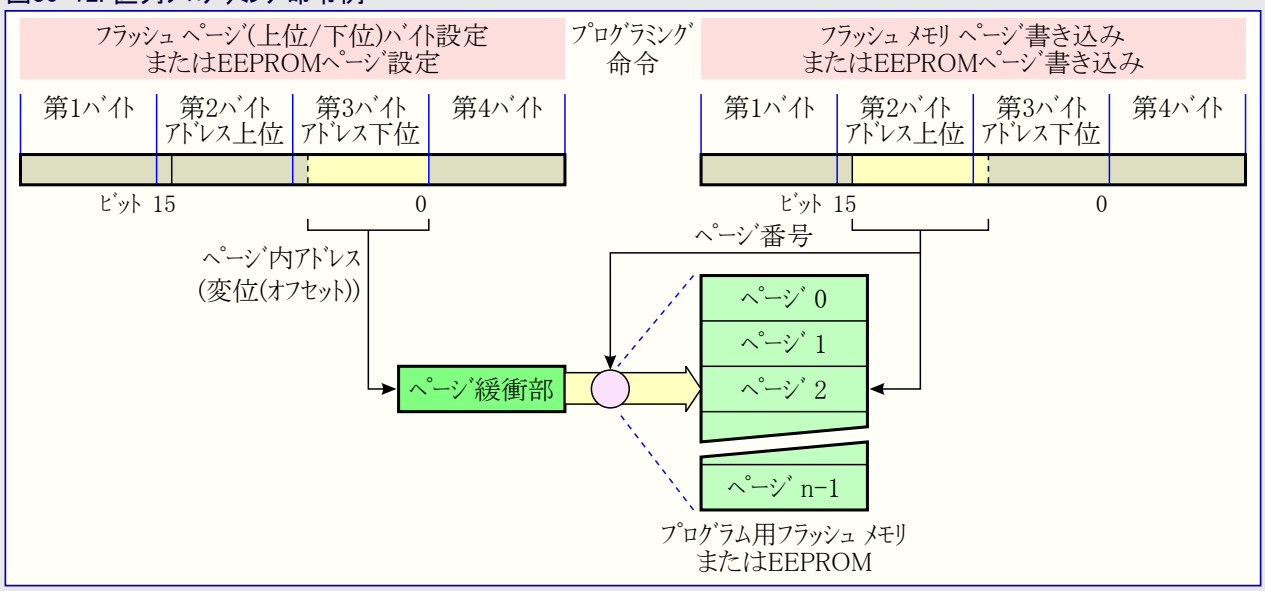
注:
- 施錠ﾋﾞｯﾄとﾋｭｰｽﾞ値はﾌﾟﾛｸﾞﾗﾑが0、非ﾌﾟﾛｸﾞﾗﾑが1です。将来との互換性のため、未使用のﾋｭｰｽﾞと施錠ﾋﾞｯﾄは非ﾌﾟﾛｸﾞﾗﾑ(1)にすべきです。
- ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄ、識票ﾊﾞｲﾄ、校正ﾊﾞｲﾄ、ﾍﾟｰｼﾞ容量については対応項目を参照してください。
- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと書き込み器に関する応用記述については http://www.atmel.com/avr をご覧ください。
- 第4ﾊﾞｲﾄの赤背景はﾎｽﾄ読み込み(ﾃﾞﾊﾞｲｽ出力)を示します。

多忙/準備可検査ﾊﾞｲﾄ ﾃﾞｰﾀ出力のLSBが1なら、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が未だ保留(動作中)です。次の命令が実行される前に本ﾋﾞｯﾄが0に戻るまで待ってください。

同じﾍﾟｰｼﾞ内で、下位ﾊﾞｲﾄ ﾃﾞｰﾀは上位ﾊﾞｲﾄ ﾃﾞｰﾀに先行して格納されなければなりません。

ﾃﾞｰﾀがﾍﾟｰｼﾞ緩衝部に格納された後にEEPROMﾍﾟｰｼﾞをﾌﾟﾛｸﾞﾗﾑしてください。図30-12.をご覧ください。

図30-12. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令例



(訳補) ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、ﾍﾟｰｼﾞ緩衝部内のｱﾄﾞﾚｽ(位置)指定に使うﾋﾞｯﾄはﾒﾓﾘ容量とﾍﾟｰｼﾞ構成に依存します。AT90USB64/128でのこれらの指定方法は次表で要約されます。

表B. ｱﾄﾞﾚｽ(第2,3ﾊﾞｲﾄ)指定法

命令	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ	備考
拡張ｱﾄﾞﾚｽ設定	–	–	該当命令なし
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ内ﾊﾞｲﾄ設定	0000 0000	0LLL LLLL	AT90USB64x/128x : L=PC6～0
EEPROMﾍﾟｰｼﾞ内ﾊﾞｲﾄ設定	0000 0000	0000 0LLL	AT90USB64x/128x : L=EEA2～0
ﾌﾗｯｼｭ ﾒﾓﾘ読み出し	0HHH HHHH HHHH HHHH	LLLL LLLL	AT90USB64x : H=PC14～8,L=PC7～0 AT90USB128x : H=PC15～8,L=PC7～0
EEPROM読み出し	0000 0HHH 0000 HHHH	LLLL LLLL	AT90USB64x : H=EEA10～8,L=EEA7～0 AT90USB128x : H=EEA11～8,L=EEA7～0
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み	0HHH HHHH HHHH HHHH	L000 0000	AT90USB64x : H=PC14～8,L=PC7 AT90USB128x : H=PC15～8,L=PC7
EEPROMﾊﾞｲﾄ書き込み	0000 0HHH 0000 HHHH	LLLL LLLL	AT90USB64x : H=EEA10～8,L=EEA7～0 AT90USB128x : H=EEA11～8,L=EEA7～0
EEPROMﾍﾟｰｼﾞ書き込み	0000 0HHH 0000 HHHH	LLLL L000	AT90USB64x : H=EEA10～8,L=EEA7～3 AT90USB128x : H=EEA11～8,L=EEA7～3

30.8.2. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

SPI部の特性については266頁の「SPIﾀｲﾐﾝｸﾞ特性」を参照してください。

30.9. JTAGｲﾝﾀｰﾌｪｰｽ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

JTAGｲﾝﾀｰﾌｪｰｽを通すﾌﾟﾛｸﾞﾗﾐﾝｸﾞは4つのJTAG仕様ﾋﾟﾝ、TCK,TMS,TDI,TDOの制御が必要です。RESETﾋﾟﾝとｸﾛｯｸ ﾋﾟﾝの制御は必要とされません。

JTAGｲﾝﾀｰﾌｪｰｽが使われ得るにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されなければなりません。このﾃﾞﾊﾞｲｽは既定でこのﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されて出荷されます。更にMCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されなければなりません。JTDﾋﾞｯﾄが設定(1)の場合、代わりに外部ﾘｾｯﾄを強制的なLowにできます。その後、2ﾁｯﾌﾟ(CPU)ｸﾛｯｸ後にJTDﾋﾞｯﾄが解除(0)され、JTAGﾋﾟﾝはﾌﾟﾛｸﾞﾗﾐﾝｸﾞに利用できます。これはJTAGｲﾝﾀｰﾌｪｰｽ経由実装書き込みを許すにも拘らず、一方、実行動作で標準ﾎﾟｰﾄ ﾋﾟﾝとしてJTAGﾋﾟﾝを使う手段を提供します。境界走査(Boundary-Scan)や内蔵ﾃﾞﾊﾞｯｸﾞ機能にJTAGﾋﾟﾝを使う時にこの手法が使えないことに注意してください。これらの場合のJTAGﾋﾟﾝはその目的専用にされなければなりません。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、TCK入力のｸﾛｯｸ周波数はﾁｯﾌﾟの最高周波数よりも低くなければなりません。ｼｽﾃﾑ ｸﾛｯｸ前置分周器はTCKｸﾛｯｸ入力を充分に低い周波数へ分周するのには使えません。

この文書内の定義では全ての移動ﾚｼﾞｽﾀについて入出力ともLSBが最初に移動されます。

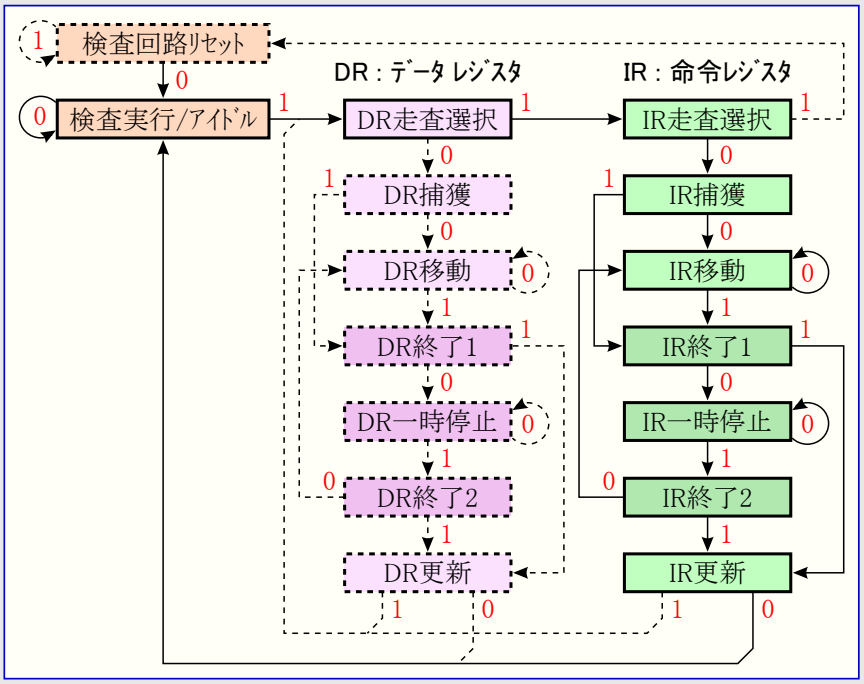
30.9.1. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令

命令ﾚｼﾞｽﾀ(IR)は4ﾋﾞｯﾄ長で、16種類までの命令を支援します。以下に示される一覧はﾌﾟﾛｸﾞﾗﾐﾝｸﾞに有用なJTAG命令です。

各命令の命令ｺｰﾄﾞは命令名後の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選ばれるﾃﾞｰﾀ ﾚｼﾞｽﾀを記述します。

検査入出力ﾎﾟｰﾄ(TAP)制御器の検査実行/ｱｲﾄﾞﾙ状態は内部ｸﾛｯｸの発生に使われます。また、JTAG手順間のｱｲﾄﾞﾙ状態としても使えます。命令を切り替えるための順次回路の順番は図30-13.で示されます。

図30-13. 命令語変更手順時順次回路状態遷移図



30.9.2. AVR_RESET ($C)

AVRﾃﾞﾊﾞｲｽをﾘｾｯﾄ状態へ、またはﾘｾｯﾄ状態から開放するためのAVR固有公開JTAG命令です。この命令によって検査入出力ﾎﾟｰﾄ(TAP)制御器はﾘｾｯﾄされません。1ﾋﾞｯﾄのﾘｾｯﾄ ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選択されます。ﾘｾｯﾄ ﾁｪｰﾝに論理1がある限り、ﾘｾｯﾄが有効であることに注意してください。このﾁｪｰﾝからの出力はﾗｯﾁされません。 本命令が有効な状態を次に示します。

- **DR移動** : ﾘｾｯﾄ ﾚｼﾞｽﾀがTCKｸﾛｯｸ入力によって移されます。

30.9.3. PROG_ENABLE ($4)

JTAGﾎﾟｰﾄ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可するためのAVR固有公開JTAG命令です。16ﾋﾞｯﾄ長のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選ばれます。 本命令が有効な状態を次に示します。

- **DR移動** : ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子がﾃﾞｰﾀ ﾚｼﾞｽﾀに移動入力されます。
- **DR更新** : ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子が正規値と比較され、識別子が有効なら、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作に移行されます。

30.9.4. PROG_COMMANDS ($5)

JTAGﾎﾟｰﾄ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令移行用のAVR固有公開JTAG命令です。15ﾋﾞｯﾄ長のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選ばれます。 本命令が有効な状態を次に示します。

- **DR捕獲** : 直前の命令の結果がﾃﾞｰﾀ ﾚｼﾞｽﾀに設定されます。
- **DR移動** : ﾃﾞｰﾀ ﾚｼﾞｽﾀがTCK入力により移され、直前の命令の結果を移動出力し、新規命令を移動入力します。
- **DR更新** : ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令がﾌﾗｯｼｭ ﾒﾓﾘ入力に適用されます。
- **検査実行/ｱｲﾄﾞﾙ** : 1つのｸﾛｯｸ周期が生成され、適用された命令を実行します。

30.9.5. PROG_PAGELOAD ($6)

JTAGﾎﾟｰﾄ経由でﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ ﾃﾞｰﾀを直接設定するためのAVR固有公開JTAG命令です。8ﾋﾞｯﾄ ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選ばれます。これは物理的にﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令ﾚｼﾞｽﾀの下位8ﾋﾞｯﾄです。活性(有効)状態は以下です。

- **DR移動**：ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀがTCKｸﾛｯｸ入力によって移されます。
- **DR更新**：ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀの内容が一時ﾚｼﾞｽﾀに複写されます。11 TCK周期で開始される書き込み(設定)手順が一時ﾚｼﾞｽﾀの内容をﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部に設定します。AVRはPROG_PAGELOAD命令移行後出会った最初のDR更新に対して下位ﾊﾞｲﾄで始め、新規DR更新状態毎に上位/下位ﾊﾞｲﾄ書き込み間を自動的に切り替えます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは最初の書き込みﾊﾞｲﾄを除き、下位ﾊﾞｲﾄ書き込み前に予め増加(+1)されます。これは最初のﾃﾞｰﾀがPROG_COMMANDSによって設定したｱﾄﾞﾚｽに書かれ、ﾍﾟｰｼﾞ緩衝部の最終位置設定がﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀを次ﾍﾟｰｼﾞへ増加しないことを保証します。

30.9.6. PROG_PAGEREAD ($7)

JTAGﾎﾟｰﾄ経由でﾌﾗｯｼｭ ﾒﾓﾘ内容を直接捕獲するためのAVR固有公開JTAG命令です。8ﾋﾞｯﾄ ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選ばれます。これは物理的にﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令ﾚｼﾞｽﾀの下位8ﾋﾞｯﾄです。活性(有効)状態は以下です。

- **DR捕獲**：選んだﾌﾗｯｼｭ ﾒﾓﾘ ﾊﾞｲﾄの内容がﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀに捕獲されます。AVRはPROG_PAGEREAD命令移行後に出会った最初のDR捕獲に対して下位ﾊﾞｲﾄで始め、新規DR捕獲状態毎に上位/下位ﾊﾞｲﾄ読み込み間を自動的に切り替えます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは最初の読み込みﾊﾞｲﾄを含め、各上位ﾊﾞｲﾄ読み込み後に増加(+1)されます。これは最初のﾃﾞｰﾀがPROG_COMMANDSによって設定した先頭ｱﾄﾞﾚｽから捕獲され、ﾍﾟｰｼﾞの最終位置読み込みがﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀを次ﾍﾟｰｼﾞへ増加(進行)することを保証します。
- **DR移動**：ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀがTCKｸﾛｯｸ入力によって移されます。

30.9.7. ﾃﾞｰﾀ ﾚｼﾞｽﾀ

ﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)は256頁の「ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令」項で記載されたJTAG命令ﾚｼﾞｽﾀ(IR)によって選ばれます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作に関連するﾃﾞｰﾀ ﾚｼﾞｽﾀを次に示します。

- **ﾘｾｯﾄ**(Reset)**ﾚｼﾞｽﾀ**
- **ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可**(Programing Enable)**ﾚｼﾞｽﾀ**
- **ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令**(Programing Command)**ﾚｼﾞｽﾀ**
- **ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ**(Flash Data Byte)**ﾚｼﾞｽﾀ**

30.9.8. ﾘｾｯﾄ (Reset) ﾚｼﾞｽﾀ

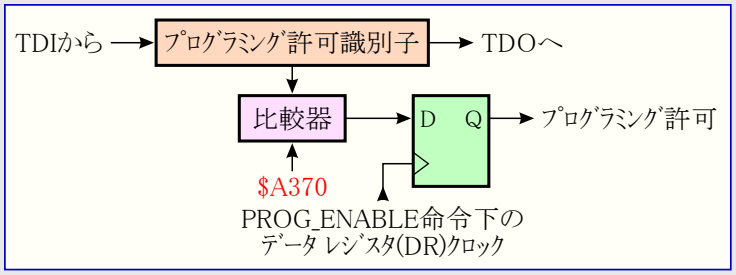
ﾘｾｯﾄ ﾚｼﾞｽﾀはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、ﾃﾞﾊﾞｲｽをﾘｾｯﾄするのに使われる検査ﾃﾞｰﾀ ﾚｼﾞｽﾀです。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行に先立ってﾃﾞﾊﾞｲｽをﾘｾｯﾄするのに必要とされます。

ﾘｾｯﾄ ﾚｼﾞｽﾀ内の値1は外部RESETをLowに引き込むことに相当します。ﾘｾｯﾄ ﾚｼﾞｽﾀ内の値が1である限り、ﾃﾞﾊﾞｲｽはﾘｾｯﾄされます。ﾘｾｯﾄ ﾚｼﾞｽﾀの開放後、ﾃﾞﾊﾞｲｽはｸﾛｯｸ種別ﾋｭｰｽﾞ設定に従ってﾘｾｯﾄ起動遅延時間(23頁の「ｸﾛｯｸ元」参照)分ﾘｾｯﾄを維持します。226頁の図28-2.で示されるようにこのﾃﾞｰﾀ ﾚｼﾞｽﾀからの出力はﾗｯﾁされず、それ故ﾘｾｯﾄが直ちに起こります。

30.9.9. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可 (Programing Enable) ﾚｼﾞｽﾀ

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀは16ﾋﾞｯﾄ長のﾚｼﾞｽﾀです。このﾚｼﾞｽﾀの内容はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子$A370(1010 0011 0111 0000)と比較されます。このﾚｼﾞｽﾀの内容がﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子と一致すると、JTAGﾎﾟｰﾄ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞが許可されます。このﾚｼﾞｽﾀは電源ONﾘｾｯﾄで0にﾘｾｯﾄされ、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を抜ける時には常にﾘｾｯﾄされるべきです。

図30-14. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可 ﾚｼﾞｽﾀ



30.9.10. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令 (Programing Command) ﾚｼﾞｽﾀ

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令ﾚｼﾞｽﾀは15ﾋﾞｯﾄ長のﾚｼﾞｽﾀです。このﾚｼﾞｽﾀはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を連続的に移動入力し、直前のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令の結果を連続的に移動出力するのに使われます。JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式は表30-17.で示されます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を移動入力する時の状態順は図30-16.で図解されます。

図30-15. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令 ﾚｼﾞｽﾀ

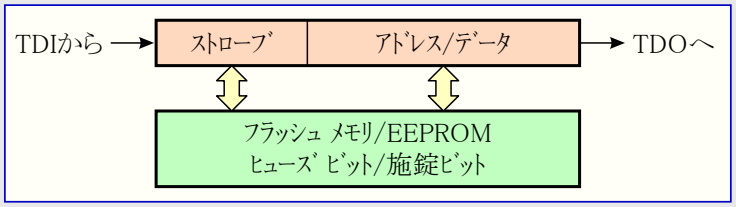


表30-17. JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式（手順）

命令			TDI入力	TDO出力	備考
チップ消去	1①	ﾁｯﾌﾟ消去	010 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0001 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
	1②	ﾁｯﾌﾟ消去完了検査	011 0011 1000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュメモリ書き込み	2①	ﾌﾗｯｼｭ書き込み移行	010 0011 0001 0000	xxx xxxx xxxx xxxx	
	2②	ｱﾄﾞﾚｽ拡張上位ﾊﾞｲﾄ設定	000 0111 EEEE EEEE	xxx xxxx xxxx xxxx	(注10)
	2③	ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	2④	ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	2⑤	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	2⑥	ﾃﾞｰﾀ上位ﾊﾞｲﾄ設定	001 0111 WWWW WWWW	xxx xxxx xxxx xxxx	
	2⑦	ﾃﾞｰﾀ ﾗｯﾁ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2⑧	ﾍﾟｰｼﾞ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2⑨	ﾍﾟｰｼﾞ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュ読出し	3①	ﾌﾗｯｼｭ読み出し移行	010 0011 0000 0010	xxx xxxx xxxx xxxx	
	3②	ｱﾄﾞﾚｽ拡張上位ﾊﾞｲﾄ設定	000 0111 EEEE EEEE	xxx xxxx xxxx xxxx	(注10)
	3③	ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	3④	ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	3⑤	ﾃﾞｰﾀ下位/上位ﾊﾞｲﾄ取得	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位ﾊﾞｲﾄ
			011 0111 0000 0000	xxx xxxx RRRR RRRR	上位ﾊﾞｲﾄ
EEPROM書き込み	4①	EEPROM書き込み移行	010 0011 0001 0001	xxx xxxx xxxx xxxx	
	4②	ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	4③	ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	4④	ﾃﾞｰﾀ ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	4⑤	ﾃﾞｰﾀ ﾗｯﾁ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	4⑥	EEPROM書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	4⑦	EEPROM書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
EEPROM読出し	5①	EEPROM読み出し移行	010 0011 0000 0011	xxx xxxx xxxx xxxx	
	5②	ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	5③	ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	5④	EEPROM読み出し	011 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
			011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	

次頁へ続く

表30-17 (続き). JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令			TDI入力	TDO出力	備考
ヒューズ ビット書き込み	6①	ﾋｭｰｽﾞ書き込み移行	010 0011 0100 0000	xxx xxxx xxxx xxxx	
	6②	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ﾋﾞｯﾄ配置は242頁の表30-3.参照
	6③	拡張ﾋｭｰｽﾞ書き込み	011 1011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 1001 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
	6④	拡張ﾋｭｰｽﾞ書き込み完了検査	011 1011 0000 0000	xxx xxSx xxxx xxxx	(注2)
	6⑤	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ﾋﾞｯﾄ配置は242頁の表30-4.参照
	6⑥	上位側ﾋｭｰｽﾞ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	6⑦	上位ﾋｭｰｽﾞ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
	6⑧	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ﾋﾞｯﾄ配置は242頁の表30-5.参照
	6⑨	下位側ﾋｭｰｽﾞ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	6⑩	下位ﾋｭｰｽﾞ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
施錠ビット書き込み	7①	施錠ﾋﾞｯﾄ書き込み移行	010 0011 0010 0000	xxx xxxx xxxx xxxx	
	7②	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 11WW WWWW	xxx xxxx xxxx xxxx	(注4) ﾋﾞｯﾄ配置は241頁の表30-1.参照
	7③	施錠ﾋﾞｯﾄ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	7④	施錠ﾋﾞｯﾄ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
ヒューズ/施錠ビット読み出し	8①	ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し移行	010 0011 0000 0100	xxx xxxx xxxx xxxx	
	8②	拡張ﾋｭｰｽﾞ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	(注5) ﾋﾞｯﾄ配置は242頁の表30-3.参照
			011 1011 0000 0000	xxx xxxx RRRR RRRR	
	8③	上位側ﾋｭｰｽﾞ読み出し	011 1110 0000 0000	xxx xxxx xxxx xxxx	(注5) ﾋﾞｯﾄ配置は242頁の表30-4.参照
			011 1111 0000 0000	xxx xxxx RRRR RRRR	
	8④	下位側ﾋｭｰｽﾞ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	(注5) ﾋﾞｯﾄ配置は242頁の表30-5.参照
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
	8⑤	施錠ﾋﾞｯﾄ読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	(注5) ﾋﾞｯﾄ配置は241頁の表30-1.参照
			011 0111 0000 0000	xxx xxxx xxRR RRRR	
	8⑥	ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	(注5)
			011 1110 0000 0000	xxx xxxx RRRR RRRR	拡張ﾋｭｰｽﾞ
			011 0010 0000 0000	xxx xxxx RRRR RRRR	上位ﾋｭｰｽﾞ
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位ﾋｭｰｽﾞ
			011 0111 0000 0000	xxx xxxx RRRR RRRR	施錠ﾋﾞｯﾄ
識票バイト	9①	識票ﾊﾞｲﾄ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	9②	ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	9③	識票ﾊﾞｲﾄ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
発振バイト	10①	校正ﾊﾞｲﾄ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	10②	ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	10③	校正ﾊﾞｲﾄ読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx RRRR RRRR	
	11①	無操作設定	010 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	

E = ｱﾄﾞﾚｽ上位拡張ﾊﾞｲﾄのﾋﾞｯﾄ　H = ｱﾄﾞﾚｽ上位ﾊﾞｲﾄのﾋﾞｯﾄ　L = ｱﾄﾞﾚｽ下位ﾊﾞｲﾄのﾋﾞｯﾄ　S = 動作完了ﾌﾗｸﾞ
R = 読み出しﾃﾞｰﾀ (MCU出力)　W = 書き込みﾃﾞｰﾀ (MCU入力)　x = 0か1 (無効/無意味)

注1 ： この命令は直前の命令手順によって上位7ﾋﾞｯﾄが正しく設定されている(通常の)場合、必要ではありません。

注2 ： Sが1になるまで繰り返します。(待機)

注3 ： 設定値0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑです。

注4 ： 設定値0でﾌﾟﾛｸﾞﾗﾑ、1では施錠ﾋﾞｯﾄが変化しません。

注5 ： 読み出し値0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑです。

(訳注) 原書での注6～9は表内備考欄に直接記載しました。

注10： PCMSB(表30-11.参照)とEEAMSB(表30-12.参照)を越えるｱﾄﾞﾚｽ ﾋﾞｯﾄは無効です。

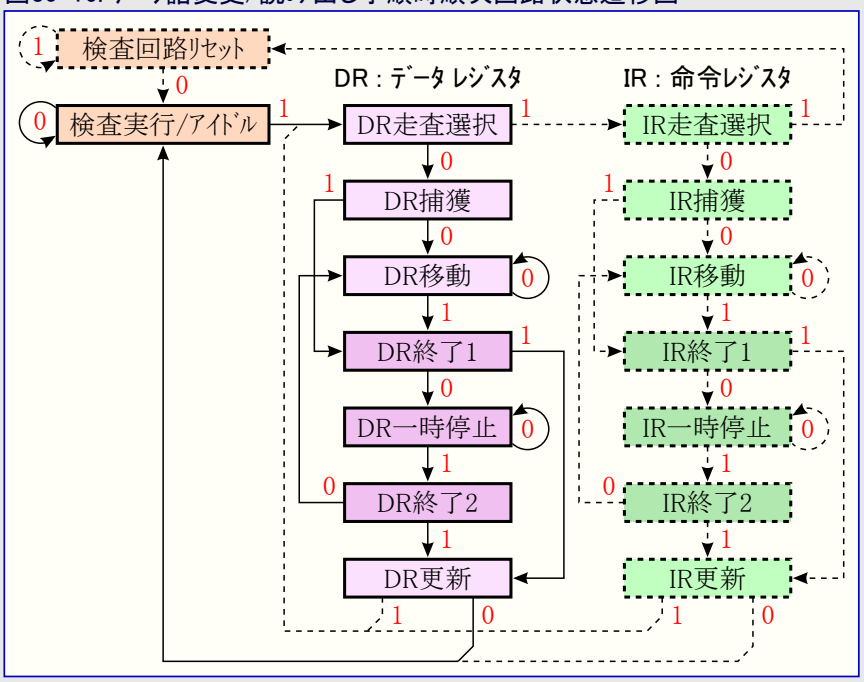
注11： 全てのTDIとTDO手順は2進数で示されています。

30.9.11. ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ (Flash Data Byte) ﾚｼﾞｽﾀ

ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀはﾍﾟｰｼﾞ書き込み実行前のﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部全体設定、またはﾌﾗｯｼｭ ﾒﾓﾘ内容の読み出しや照合の効率的な方法を提供します。順次回路はﾌﾗｯｼｭ ﾒﾓﾘへの制御信号を設定し、ﾌﾗｯｼｭ ﾒﾓﾘからのｽﾄﾛｰﾌﾞ信号を判断し、従って移動入出力されるためのﾃﾞｰﾀ語だけが必要です。

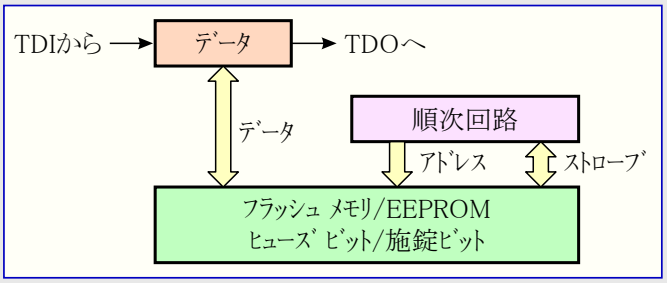
実際のﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀは8ﾋﾞｯﾄの走査ﾁｪｰﾝと8ﾋﾞｯﾄの一時ﾚｼﾞｽﾀから成ります。ﾍﾟｰｼﾞ設定中、DR更新状態は走査ﾁｪｰﾝによる内容を一時ﾚｼﾞｽﾀへ複写し、11 TCK周期内で一時ﾚｼﾞｽﾀの内容をﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部へ設定する書き込み(設定)手順を始めます。AVRはPROG_PAGELOAD命令移行後に出会った最初のDR更新に対して下位ﾊﾞｲﾄで始め、新規DR更新毎に上位/下位ﾊﾞｲﾄ書き込み間を自動的に切り替えます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは最初の書き込みﾊﾞｲﾄを除き、下位ﾊﾞｲﾄ書き込み前に予め増加(+1)されます。これはPROG_COMMANDSによって設定したｱﾄﾞﾚｽに最初のﾃﾞｰﾀが書かれ、ﾍﾟｰｼﾞ緩衝部の最終位置設定がﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀを次ﾍﾟｰｼﾞに増加しないことを保証します。

図30-16. ﾃﾞｰﾀ語変更/読み出し手順時順次回路状態遷移図



ﾍﾟｰｼﾞ読み込み中、選んだﾌﾗｯｼｭ ﾒﾓﾘのﾊﾞｲﾄの内容はDR捕獲状態中にﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀ内に捕獲されます。AVRはPROG_PAGEREAD命令移行後に出会った最初のDR捕獲に対して下位ﾊﾞｲﾄで始め、新規DR捕獲毎に上位/下位ﾊﾞｲﾄ読み込み間を自動的に切り替えます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは最初の読み込みﾊﾞｲﾄを含め、各上位ﾊﾞｲﾄ読み込み後に増加(+1)されます。これは最初のﾃﾞｰﾀがPROG_COMMANDSによって設定した先頭ｱﾄﾞﾚｽから捕獲され、ﾍﾟｰｼﾞの最終位置読み込みがﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀを次ﾍﾟｰｼﾞに増加(進行)することを保証します。

図30-17. ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀ



ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀを制御する順次回路はTCKによってｸﾛｯｸ駆動されます。通常動作中内でﾌﾗｯｼｭ ﾒﾓﾘの各ﾊﾞｲﾄに対して8ﾋﾞｯﾄが移動され、TAP制御器を通して誘導するために必要としたこのｸﾛｯｸ周期はﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀに対し、それが使用者にとって明白に操作を完了するための充分なｸﾛｯｸ ﾊﾟﾙｽ数で順次回路を自動的に送ります。けれどもﾍﾟｰｼﾞ設定中に各DR更新状態間で更に数ﾋﾞｯﾄが移動される場合、各DR更新状態間の最小11 TCK周期を保証するためのいくつかのTCK周期に対し、TAP制御器は検査実行/ｱｲﾄﾞﾙ状態に留まるべきです。

30.9.12. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手法

1①、1②形式のような以下の全ての参照は表30-17.を参照してください。

30.9.13. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

1. JTAG命令AVR_RESETを入力し、ﾘｾｯﾄ ﾚｼﾞｽﾀに1を移動します。
2. PROG_ENABLE命令を入力し、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀに$A370(1010 0011 0111 0000)を移動します。

30.9.14. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作からの抜け出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 無操作命令(11①参照)により、全てのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を禁止します。
3. PROG_ENABLE命令を入力し、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀに$0000(0000 0000 0000 0000)を移動します。
4. JTAG命令AVR_RESETを入力し、ﾘｾｯﾄ ﾚｼﾞｽﾀに0を移動します。

30.9.15. ﾁｯﾌﾟ消去の実行

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾁｯﾌﾟ消去命令(1①参照)を使い、ﾁｯﾌﾟ消去を開始します。
3. ﾁｯﾌﾟ消去完了検査(1②参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、t_{WLRH_CE}(252頁の表30-13.参照)時間待ちます。

30.9.16. フラッシュ メモリの書き込み

フラッシュ メモリへ書き込む前にチップ消去が実行されなければなりません。260頁の「チップ消去の実行」をご覧ください。

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ書き込み移行命令(2①参照)を使い、フラッシュ メモリ書き込みを許可します。
3. 上位拡張アドレス設定命令(2②参照)を使い、書き込みアドレス上位拡張バイトを設定します。
4. アドレス上位設定命令(2③参照)を使い、書き込みアドレス上位バイトを設定します。
5. アドレス下位設定命令(2④参照)を使い、書き込みアドレス下位バイトを設定します。
6. データ設定命令(2⑤, 2⑥, 2⑦参照)を使い、書き込みデータを設定します。
7. ページ内の全語(ワード)数分5.と6.を繰り返します。
8. ページ書き込み命令(2⑧参照)を使い、ページをフラッシュ メモリに書き込みます。
9. ページ書き込み完了検査(2⑨参照)を使い、完了までポーリングするか、tWLRH_FLASH(252頁の表30-13.参照)時間待ちます。
10. 全データ書き込みまで3.～9.を繰り返します。

より効率的なデータ転送はPROG_PAGELOAD命令を使うことで達せられます。

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ書き込み移行命令(2①参照)を使い、フラッシュ メモリ書き込みを許可します。
3. アドレス設定命令(2②, 2③, 2④参照)を使い、ページ アドレスを設定します。ページ内アドレスにはPCWORD(245頁の表30-11.参照)が使われ、これらのビットは0として書かれなければなりません。
4. JTAG命令PROG_PAGELOADを入力します。
5. 先頭命令のLSBから始まって最終命令のMSBで終わるページ内にバイト単位で全命令語を移動入力することによってページ全体を設定します。フラッシュ バイト データ レジスタの内容をフラッシュ ページ位置に複写し、各新規ワード前にプログラム カウンタを自動増加するのにDR更新を使います。
6. JTAG命令PROG_COMMANDSを入力します。
7. ページ書き込み命令(2⑧参照)を使い、ページをフラッシュ メモリに書き込みます。
8. ページ書き込み完了検査(2⑨参照)を使い、完了までポーリングするか、tWLRH_FLASH(252頁の表30-13.参照)時間待機します。
9. 全データ書き込みまで3.～8.を繰り返します。

30.9.17. フラッシュ メモリの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ読み出し移行命令(3①参照)を使い、フラッシュ メモリ読み出しを許可します。
3. アドレス設定命令(3②, 3③, 3④参照)を使い、読み出しアドレスを設定します。
4. データ読み出し命令(3⑤参照)を使い、データを読み出します。
5. 全データ読み出しまで3.～4.を繰り返します。

より効率的なデータ転送はPROG_PAGEREAD命令を使うことで達せられます。

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ読み出し移行命令(3①参照)を使い、フラッシュ メモリ読み出しを許可します。
3. アドレス設定命令(3②, 3③, 3④参照)を使い、ページ アドレスを設定します。ページ内アドレスにはPCWORD(245頁の表30-11.参照)が使われ、これらのビットは0として書かれなければなりません。
4. JTAG命令PROG_PAGEREADを入力します。
5. 先頭命令のLSBから始まり最終命令のMSBで終わるページ(またはフラッシュ)内で全命令語を移動出力することにより、ページ(またはフラッシュ)全体を読みます。DR捕獲状態はフラッシュ メモリからのデータ捕獲と各語(ワード)が読まれた後にプログラム カウンタも自動増加します。DR移動に先立ってDR捕獲が起きることに注意してください。従って移動出力される先頭バイトは有効なデータを含みます。
6. JTAG命令PROG_COMMANDSを入力します。
7. 全データ読み出しまで3.～6.を繰り返します。

30.9.18. EEPROMの書き込み

EEPROMへ書き込む前にチップ消去が実行されなければなりません。260頁の「チップ消去の実行」をご覧ください。

1. JTAG命令PROG_COMMANDSを入力します。
2. EEPROM書き込み移行命令(4①参照)を使い、EEPROMメモリ書き込みを許可します。
3. アドレス上位設定命令(4②参照)を使い、書き込みアドレス上位バイトを設定します。
4. アドレス下位設定命令(4③参照)を使い、書き込みアドレス下位バイトを設定します。
5. データ設定命令(4④, 4⑤参照)を使い、書き込みデータを設定します。
6. ページ内の全バイト数分4.と5.を繰り返します。
7. EEPROM書き込み命令(4⑥参照)を使い、データをEEPROMメモリに書き込みます。
8. EEPROM書き込み完了検査(4⑦参照)を使い、完了までポーリングするか、tWLRH(252頁の表30-13.参照)時間待ちます。
9. 全データ書き込みまで3.～8.を繰り返します。

PROG_PAGELOAD命令がEEPROM書き込み時に使えないことに注意してください。

30.9.19. EEPROMの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. EEPROM読み出し移行命令(5①参照)を使い、EEPROMﾒﾓﾘ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(5②, 5③参照)を使い、読み出しｱﾄﾞﾚｽを設定します。
4. ﾃﾞｰﾀ読み出し命令(5④参照)を使い、ﾃﾞｰﾀを読み出します。
5. 全ﾃﾞｰﾀが読み出されてしまうまで3.～4.を繰り返します。

PROG_PAGEREAD命令がEEPROM読み出し時に使えないことに注意してください。

30.9.20. ﾋｭｰｽﾞ ﾋﾞｯﾄの書き込み (訳注:本項は修正してあります。)

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾋｭｰｽﾞ書き込み移行命令(6①参照)を使い、ﾋｭｰｽﾞ書き込みを許可します。
3. 拡張ﾃﾞｰﾀ設定命令(6②参照)を使い、拡張ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
4. 拡張ﾋｭｰｽﾞ書き込み命令(6③参照)を使い、拡張ﾋｭｰｽﾞを書き込みます。
5. ﾋｭｰｽﾞ書き込み完了検査(6④参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(252頁の表30-13.参照)時間待ちます。
6. 上位ﾃﾞｰﾀ設定命令(6⑤参照)を使い、上位側ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
7. 上位ﾋｭｰｽﾞ書き込み命令(6⑥参照)を使い、上位側ﾋｭｰｽﾞを書き込みます。
8. ﾋｭｰｽﾞ書き込み完了検査(6⑦参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(252頁の表30-13.参照)時間待ちます。
9. 下位ﾃﾞｰﾀ設定命令(6⑧参照)を使い、下位側ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
10. 下位ﾋｭｰｽﾞ書き込み命令(6⑨参照)を使い、下位側ﾋｭｰｽﾞを書き込みます。
11. ﾋｭｰｽﾞ書き込み完了検査(6⑩参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(252頁の表30-13.参照)時間待ちます。

30.9.21. 施錠ﾋﾞｯﾄの書き込み

1. JTAG命令PROG_COMMANDSを入力します。
2. 施錠ﾋﾞｯﾄ書き込み移行命令(7①参照)を使い、施錠ﾋﾞｯﾄ書き込みを許可します。
3. ﾃﾞｰﾀ設定命令(7②参照)を使い、施錠ﾋﾞｯﾄ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=無変化)
4. 施錠ﾋﾞｯﾄ書き込み命令(7③参照)を使い、施錠ﾋﾞｯﾄに書き込みます。
5. 施錠ﾋﾞｯﾄ書き込み完了検査(7④参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(252頁の表30-13.参照)時間待ちます。

30.9.22. ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄの読み出し (訳注:本項は修正してあります。)

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し移行命令(8①参照)を使い、ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出しを許可します。
3. 全てのﾋｭｰｽﾞと施錠ﾋﾞｯﾄを読むにはﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し命令(8⑥参照)を使います。
   拡張ﾋｭｰｽﾞ ﾋﾞｯﾄのみを読み出す場合は拡張ﾋｭｰｽﾞ読み出し命令(8②参照)を使います。
   上位側ﾋｭｰｽﾞ ﾋﾞｯﾄだけを読むには上位ﾋｭｰｽﾞ読み出し命令(8③参照)を使います。
   下位側ﾋｭｰｽﾞ ﾋﾞｯﾄだけを読むには下位ﾋｭｰｽﾞ読み出し命令(8④参照)を使います。
   施錠ﾋﾞｯﾄだけを読むには施錠ﾋﾞｯﾄ読み出し命令(8⑤参照)を使います。

30.9.23. 識票ﾊﾞｲﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 識票読み出し移行命令(9①参照)を使い、識票読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(9②参照)を使い、読み出しｱﾄﾞﾚｽ$00を設定します。
4. ﾃﾞｰﾀ読み出し命令(9③参照)を使い、識票ﾊﾞｲﾄを読み出します。
5. 第2、第3ﾊﾞｲﾄを読むためにｱﾄﾞﾚｽを$01,$02として各々3.～4.を繰り返します。

30.9.24. 校正ﾊﾞｲﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 校正ﾊﾞｲﾄ読み出し移行命令(10①参照)を使い、校正ﾊﾞｲﾄ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(10②参照)を使い、読み出しｱﾄﾞﾚｽ$00を設定します。
4. ﾃﾞｰﾀ読み出し命令(10③参照)を使い、校正ﾊﾞｲﾄを読み出します。

31. 電気的特性

（重要注意）本書内の全DC特性はｼﾐｭﾚｰｼｮﾝと同じ製法技術で製造された他のAVRﾏｲｸﾛ ｺﾝﾄﾛｰﾗの特性に基いています。これらの値は設計目標を示す暫定値で、実ﾃﾞﾊﾞｲｽの特性付け後に更新されます。

31.1. 絶対最大定格（警告）

動作温度	−40℃ ～ +85℃
保存温度	−65℃ ～ +150℃
RESET,VBUSを除くﾋﾟﾝ許容電圧	−0.5V ～ VCC+0.5V
RESETﾋﾟﾝ許容電圧	−0.5V ～ +13.0V
VBUSﾋﾟﾝ許容電圧	−0.5V ～ +6.0V
最大動作電圧	6.0V
入出力ﾋﾟﾝ出力電流	40.0mA
消費電流	200.0mA

（警告）

絶対最大定格を超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

31.2. DC特性

TA=−40℃～85℃, VCC=2.7V～5.5V（特記事項を除く）

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VIL	Lowﾚﾍﾞﾙ入力電圧 (XTAL1,RESETを除く)	VCC=2.7～5.5V	−0.5		0.2VCC（注1）	V
VIL1	Lowﾚﾍﾞﾙ入力電圧（XTAL1）	VCC=2.7～5.5V	−0.5		0.1VCC（注1）	V
VIL2	Lowﾚﾍﾞﾙ入力電圧（RESET）	VCC=2.7～5.5V	−0.5		0.1VCC（注1）	V
VIH	Highﾚﾍﾞﾙ入力電圧 (XTAL1,RESETを除く)	VCC=2.7～5.5V	0.6VCC（注2）		VCC+0.5	V
VIH1	Highﾚﾍﾞﾙ入力電圧（XTAL1）	VCC=2.7～5.5V	0.7VCC（注2）		VCC+0.5	V
VIH2	Highﾚﾍﾞﾙ入力電圧（RESET）	VCC=2.7～5.5V	0.9VCC（注2）		VCC+0.5	V
VOL	Lﾚﾍﾞﾙ出力電圧（注3）	IOL=10mA, VCC=5V		0.3	0.7	V
		IOL=5mA, VCC=3V		0.2	0.5	V
VOH	Hﾚﾍﾞﾙ出力電圧（注4）	IOH=−20mA, VCC=5V	4.2	4.5		V
		IOH=−10mA, VCC=3V	2.3	2.6		V
IIL	I/OﾋﾟﾝLowﾚﾍﾞﾙ入力漏れ電流	VCC=5.5V 確実なH/L範囲			1	µA
IIH	I/OﾋﾟﾝHighﾚﾍﾞﾙ入力漏れ電流	VCC=5.5V 確実なH/L範囲			1	µA
RRST	RESETﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗		30		60	kΩ
RPU	I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗		20		50	kΩ
ICC	活動動作消費電流 (電力削減ﾚｼﾞｽﾀ(PRR0,1)全ﾋﾞｯﾄ=0)	VCC=3V, 4MHz		2.5	5	mA
		VCC=3V, 8MHz		5	10	mA
		VCC=5V, 8MHz		10	18	mA
		VCC=5V, 16MHz		19	30	mA
	ﾊﾟﾜｰﾀﾞｳﾝ動作 消費電流	VCC=3V, 25℃, WDT許可, BOD許可		30		µA
		VCC=3V, 25℃, WDT許可, BOD禁止		10		µA
		VCC=3V, 25℃, WDT禁止, BOD禁止		2		µA
VACIO	ｱﾅﾛｸﾞ比較器入力変位(ｵﾌｾｯﾄ)電圧	VCC=5V, Vin=VCC/2		10	40	mV
IACLK	ｱﾅﾛｸﾞ比較器入力漏れ電流	VCC=5V, Vin=VCC/2	−50		50	nA
tACPD	ｱﾅﾛｸﾞ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		ns
Iq	USB電圧調整器静止電流	UVCC>3.6V, I=0mA		10	30	µA
Vusb	USB電圧調整器出力電圧(UCAP)	UVCC>3.6V, I=40mA（注5）	3.0	3.3	3.5	V

注1: Lowﾚﾍﾞﾙの認識が保証される最高電圧です。

注2: Highﾚﾍﾞﾙの認識が保証される最低電圧です。

(注3)～(注5)は次頁を参照してください。

注3: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=3Vで10mA,VCC=5Vで20mA)よりも多くの吸い込み電流を流すことができますが、次の条件を厳守しなければなりません。

1. ポートA7～0、C7～4のIOLの合計が100mAを超えるべきではありません。
2. ポートB7～0、E7～0のIOLの合計が100mAを超えるべきではありません。
3. ポートC3～0、D7～0のIOLの合計が100mAを超えるべきではありません。
4. ポートF7～0のIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件よりも大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=3Vで10mA,VCC=5Vで20mA)よりも多くの吐き出し電流を流すことができますが、次の条件を厳守しなければなりません。

1. ポートA7～0、C7～4のIOHの合計が100mAを超えるべきではありません。
2. ポートB7～0、E7～0のIOHの合計が100mAを超えるべきではありません。
3. ポートC3～0、D7～0のIOHの合計が100mAを超えるべきではありません。
4. ポートF7～0のIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件よりも大きな吐き出し電流を流すことは保証されません。

注5: USB周辺機能はUSB全負荷使用時に電圧調整器またはUVCCピンから最大50mA消費します。

注6: USB電気的特性節で詳述されるようにD+/D-パッドは39Ωの直列抵抗器を通して印加する-1Vへの電圧低下に耐えます。

31.3. 外部クロック特性

図31-1. 外部クロック駆動波形

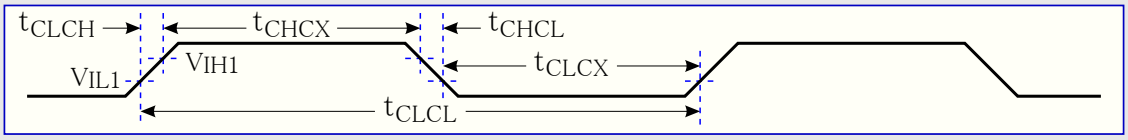


表31-1. 外部クロック特性

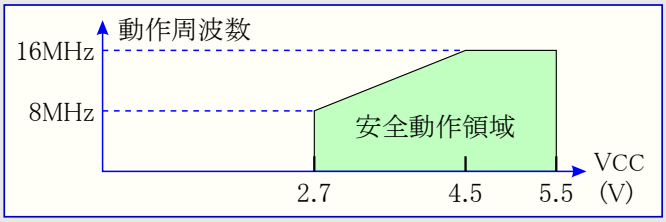
シンボル	項目	VCC=2.2～5.5V		VCC=2.7～5.5V		VCC=4.5～5.5V		単位
		最小	最大	最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	2	0	8	0	16	MHz
tCLCL	クロック周期	500		125		62.5		ns
tCHCX	Highレベル時間	200		50		25		ns
tCLCX	Lowレベル時間	200		50		25		ns
tCLCH	上昇時間		2.0		1.6		0.5	µs
tCHCL	下降時間		2.0		1.6		0.5	µs
⊿tCLCL	隣接クロック周期間の変化率		2		2		2	%

注: 詳細については27頁の「外部クロック信号」を参照してください。

31.4. 最高速と動作電圧

最高周波数は動作電圧に依存します。図31-2.で示されるように最高周波数対動作電圧曲線は2.7～4.5V間で直線です。

図31-2. AT90USB64/128の最高周波数 対 VCC



31.5. 2線直列インターフェース特性

表31-2.は2線直列バスに接続した装置に対する必要条件を記述します。AT90USB64/128の2線直列インターフェースは記載条件下で、これらの必要条件を越えるか、または合致します。

図31-3. 2線直列バス タイミング

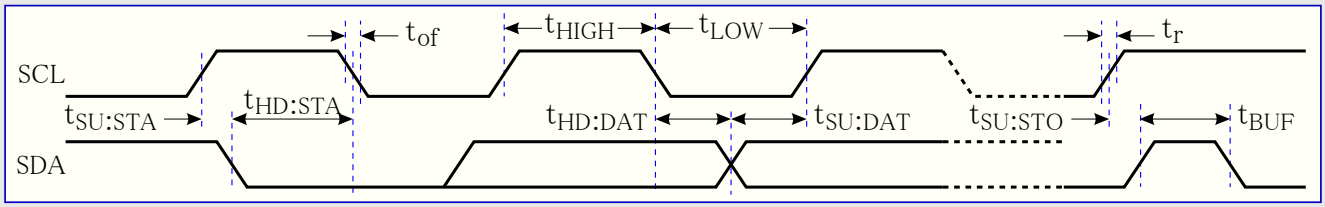


表31-2. 2線直列インターフェース必要条件

シンボル	項目	条件	最小	最大	単位
V_{IL}	Lowレベル入力電圧		-0.5	0.3VCC	V
V_{IH}	Highレベル入力電圧		0.7VCC	VCC+0.5	V
V_{hys} ①	シュミット トリガ入力ヒステリシス電圧		② 0.05VCC		V
V_{OL} ①	Lowレベル出力電圧	I_{OL}=3mA	0	0.4	V
t_r ①	出力上昇時間(V_{ILmin}→V_{IHmax})		② 20+0.1Cb ③	300	ns
t_{of} ①	出力下降時間(V_{IHmin}→V_{ILmax})	10pF<Cb<400pF ③	② 20+0.1Cb ③	250	ns
t_{SP} ①	入力パルス最小幅(尖頭消去濾波)		0	② 50	ns
I_i	入力電流(ピン単位)	0.1VCC<V_i<0.9VCC	-10	10	µA
C_i ①	ピン入力容量			10	pF
f_{SCL}	SCLクロック周波数 ④⑤	f_{CK}>max(16f_{SCL},250kHz)	0	400	kHz
R_p	プルアップ抵抗値	f_{SCL}≦100kHz	(VCC-0.4V)/3mA	1000ns/Cb	Ω
		f_{SCL}>100kHz	(VCC-0.4V)/3mA	300ns/Cb	Ω
$t_{HD:STA}$	(再送)開始条件保持時間	f_{SCL}≦100kHz	4.0		µs
		f_{SCL}>100kHz	0.6		µs
t_{LOW}	SCLクロックLowレベル時間	f_{SCL}≦100kHz ⑥	4.7		µs
		f_{SCL}>100kHz ⑦	1.3		µs
t_{HIGH}	SCLクロックHighレベル時間	f_{SCL}≦100kHz	4.0		µs
		f_{SCL}>100kHz	0.6		µs
$t_{SU:STA}$	再送開始条件準備時間	f_{SCL}≦100kHz	4.7		µs
		f_{SCL}>100kHz	0.6		µs
$t_{HD:DAT}$	データ保持時間	f_{SCL}≦100kHz	0	3.45	µs
		f_{SCL}>100kHz	0	0.9	µs
$t_{SU:DAT}$	データ準備時間	f_{SCL}≦100kHz	250		ns
		f_{SCL}>100kHz	100		ns
$t_{SU:STO}$	停止条件準備時間	f_{SCL}≦100kHz	4.0		µs
		f_{SCL}>100kHz	0.6		µs
t_{BUF}	停止条件→開始条件間バス開放時間	f_{SCL}≦100kHz	4.7		µs
		f_{SCL}>100kHz	1.3		µs

① AT90USB64/128で、この項目は特性が記載されていますが、100%検査はされていません。

② f_{SCL}>100kHzについてのみ必要とされます。

③ Cbは1つのバス信号線の容量(pF)です。

④ f_{CK}はCPU(システム)クロック周波数です。

⑤ この必要条件はAT90USB64/128Aの全ての2線直列インターフェース動作に適用します。2線直列バスに接続した他の装置は一般的なf_{SCL}必要条件に従うことだけを必要とします。

⑥ AT90USB64/128の2線直列インターフェースによって生成した実際のLow区間は(1/f_{SCL}-2/f_{CK})で、従ってLow時間の必要条件に対してf_{SCL}=100kHzで厳密に満たされるには、f_{CK}が(概ね)6MHz以上でなければなりません。

⑦ AT90USB64/128の2線直列インターフェースによって生成した実際のLow区間は(1/f_{SCL}-2/f_{CK})で、従ってf_{CK}=8MHz時、厳密にはf_{SCL}>308kHzでLow時間の必要条件が満たされません。それにも拘らず、バスに接続されたAT90USB64/128装置は相応なt_{LOW}許容余地のある他の装置だけでなく他のAT90USB64/128装置と最高速(400kHz)で通信できるでしょう。

31.6. SPIﾀｲﾐﾝｸﾞ特性

図31-4. SPI ﾀｲﾐﾝｸﾞ必要条件 (主装置動作)

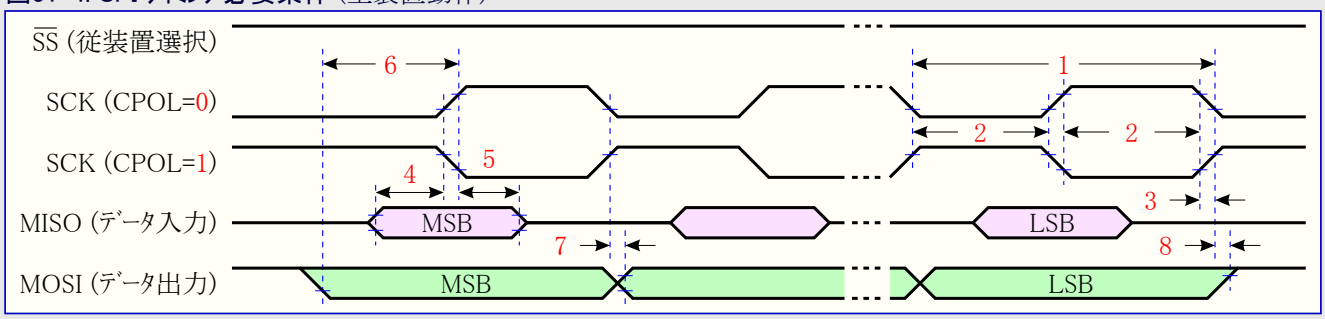


図31-5. SPI ﾀｲﾐﾝｸﾞ必要条件 (従装置動作)

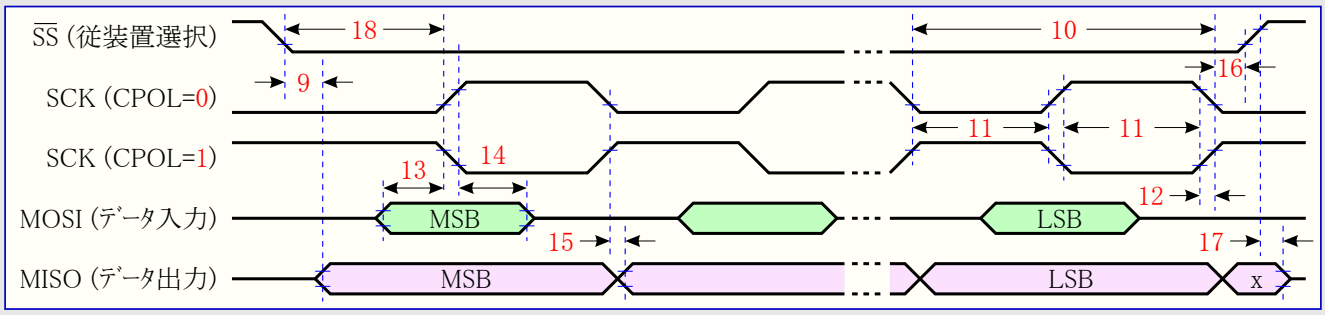


表31-3. SPI ﾀｲﾐﾝｸﾞ特性

番号	項目	動作種別	最小	代表	最大	単位
1	SCK周期	主装置		表18-4.参照		ns
2	SCK High/Low期間	主装置		50%ﾃﾞｭｰﾃｨ比		
3	SCK上昇/下降時間	主装置		3.6		
4	入力ﾃﾞｰﾀ 準備時間	主装置		10		
5	入力ﾃﾞｰﾀ 保持時間	主装置		10		
6	出力からSCK変移時間	主装置		$0.5t_{SCK}$		
7	SCKからの出力遅延時間	主装置		10		
8	SCKからのHigh出力時間	主装置		10		
9	$\overline{SS}$↓からの出力遅延時間	従装置		15		
10	SCK周期	従装置	$4t_{CK}$			
11	SCK High/Low期間 (注)	従装置	$2t_{CK}$			
12	SCK上昇/下降時間	従装置			1.6	µs
13	入力ﾃﾞｰﾀ 準備時間	従装置	10			ns
14	入力ﾃﾞｰﾀ 保持時間	従装置	t_{CK}			
15	SCKからの出力遅延時間	従装置		15		
16	SCKからの$\overline{SS}$↑遅延時間	従装置	20			
17	$\overline{SS}$↑からの出力Hi-Z遅延時間	従装置		10		
18	$\overline{SS}$↓からのSCK遅延時間	従装置	20			

注: SPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞでの最小SCK High/Low期間は、$2t_{CLCL}$(t_{CK}＜12MHz)、$3t_{CLCL}$(t_{CK}≧12MHz)です。

31.7. ﾊｰﾄﾞｳｪｱ ﾌﾞｰﾄ受付ﾀｲﾐﾝｸﾞ特性

図31-6. ﾊｰﾄﾞｳｪｱ ﾌﾞｰﾄ ﾀｲﾐﾝｸﾞ必要条件

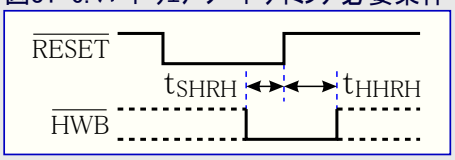


表31-4. ﾊｰﾄﾞｳｪｱ ﾌﾞｰﾄ ﾀｲﾐﾝｸﾞ

ｼﾝﾎﾞﾙ	項目	最小	最大	単位
t_{SHRH}	RESET↑前Low確保時間	0		ns
t_{HHRH}	RESET↑後Low保持時間	付加起動遅延時間 (SUTによるCK計数+WDT計数)		

31.8. A/D変換器特性

表31-5. A/D変換特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
	分解能	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換			10		ﾋﾞｯﾄ
		×1,×10差動入力変換			8		
		×200差動入力変換			7		
	絶対精度 (積分非直線性誤差、微分非直線性誤差、量子化誤差、利得誤差、変位(ｵﾌｾｯﾄ)誤差を含む)	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換 VCC=4V VREF=4V	変換ｸﾛｯｸ=200kHz		1.5		LSB
			変換ｸﾛｯｸ=1MHz				
			変換ｸﾛｯｸ=200kHz 雑音低減動作		1.5		
			変換ｸﾛｯｸ=1MHz 雑音低減動作				
	絶対精度	利得=×1,×10,×200 VCC=5V、VREF=4V 変換ｸﾛｯｸ=50～200kHz			1		
	積分非直線性誤差 (変位(ｵﾌｾｯﾄ),利得誤差補正後)				0.5	1	
	積分非直線性誤差	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換 VCC=4V、VREF=4V 変換ｸﾛｯｸ=200kHz			0.5	1	
	微分非直線性誤差				0.3	1	
	利得誤差			-2	0	+2	
		利得=×1,×10,×200		-2	0	+2	
	変位(ｵﾌｾｯﾄ)(ｾﾞﾛ)誤差	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換 VCC=4V、VREF=4V 変換ｸﾛｯｸ=200kHz		-2	1	+2	
		利得=×1,×10,×200 VCC=5V、VREF=4V 変換ｸﾛｯｸ=50～200kHz		-1	0	+1	
	変換時間	連続変換動作		65		260	µs
	変換ｸﾛｯｸ周波数			0.05		1	MHz
AVCC	ｱﾅﾛｸﾞ供給電圧			VCC-0.3		VCC+0.3	V
VREF	基準電圧	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換		2.0		AVCC	
		差動入力変換		2.0		AVCC-0.5	
VIN	入力電圧	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換		0		VREF	
		差動入力変換		0		AVCC	
	入力周波数帯域	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換			38.5		kHz
		差動入力変換			4		
VINT1	内蔵1.1V基準電圧			1.0	1.1	1.2	V
VINT2	内蔵2.56V基準電圧			2.4	2.56	2.8	
RREF	基準電圧入力ｲﾝﾋﾟｰﾀﾞﾝｽ				32		kΩ
RAIN	ｱﾅﾛｸﾞ入力ｲﾝﾋﾟｰﾀﾞﾝｽ				100		MΩ

31.9. 校正付き内蔵RC発振器の精度

表31-6. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度
工場校正	8.0MHz	3V	25℃	±10%
使用者校正	7.3～8.1MHz	2.7～5.5V	-40～85℃	±1%

31.10. 外部メモリ タイミング特性

表31-7. 外部データ メモリ特性 (VCC=4.5V～5.5V、待ちなし)

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	16		MHz
1	t_{LHLL}	ALE Highパルス幅	115		$1.0t_{CLCL}-10$			ns
2	t_{AVLL}	ALE↓前 下位アドレス準備時間	57.5		$0.5t_{CLCL}-5$		1	
3A	$t_{LLAX,ST}$	ライト時 ALE↓後 下位アドレス保持時間	5		5			
3B	$t_{LLAX,LD}$	リード時 ALE↓後 下位アドレス保持時間	5		5			
4	t_{AVLLC}	ALE↓前 上位アドレス準備時間	57.5		$0.5t_{CLCL}-5$		1	
5	t_{AVRL}	リード時$\overline{RD}$↓前 下位アドレス有効時間	115		$1.0t_{CLCL}-10$			
6	t_{AVWL}	ライト時$\overline{WR}$↓前 下位アドレス有効時間	115		$1.0t_{CLCL}-10$			
7	t_{LLWL}	ALE↓後 $\overline{WR}$↓遅延時間	47.5	67.5	$0.5t_{CLCL}-15$	$0.5t_{CLCL}+5$	2	
8	t_{LLRL}	ALE↓後 $\overline{RD}$↓遅延時間	47.5	67.5	$0.5t_{CLCL}-15$	$0.5t_{CLCL}+5$	2	
9	t_{DVRH}	$\overline{RD}$↑前 データ準備時間	40		40			
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		75		$1.0t_{CLCL}-50$		
11	t_{RHDX}	$\overline{RD}$↑後 データ保持時間	0		0			
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	115		$1.0t_{CLCL}-10$			
13	t_{OVWL}	$\overline{WR}$↓前 データ準備時間	42.5		$0.5t_{CLCL}-20$		1	
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	115		$1.0t_{CLCL}-10$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	125		$1.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	115		$1.0t_{CLCL}-10$			

注1: 一般式の定数はデューティ サイクル=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティ サイクル=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

表31-8. 外部データ メモリ特性 (VCC=4.5V～5.5V、SRWn1=0, SRWn0=1 (1待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	16		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		200		$2.0t_{CLCL}-50$		ns
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	240		$2.0t_{CLCL}-10$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	250		$2.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	240		$2.0t_{CLCL}-10$			

表31-9. 外部データ メモリ特性 (VCC=4.5V～5.5V、SRWn1=1, SRWn0=0 (2待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	16		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		325		$3.0t_{CLCL}-50$		ns
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	365		$3.0t_{CLCL}-10$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	375		$3.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	365		$3.0t_{CLCL}-10$			

表31-10. 外部データ メモリ特性 (VCC=4.5V～5.5V、SRWn1=1, SRWn0=1 (2&1待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	16		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		325		$3.0t_{CLCL}-50$		ns
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	365		$3.0t_{CLCL}-10$			
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	240		$2.0t_{CLCL}-10$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	375		$3.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	365		$3.0t_{CLCL}-10$			

表31-11. 外部データ メモリ特性 (VCC=2.7V～5.5V、待ちなし)

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8		MHz
1	t_{LHLL}	ALE Highパルス幅	235		$1.0t_{CLCL}-15$			ns
2	t_{AVLL}	ALE↓前 下位アドレス準備時間	115		$0.5t_{CLCL}-10$		1	
3A	$t_{LLAX,ST}$	ライト時 ALE↓後 下位アドレス保持時間	5		5			
3B	$t_{LLAX,LD}$	リード時 ALE↓後 下位アドレス保持時間	5		5			
4	t_{AVLLC}	ALE↓前 上位アドレス準備時間	115		$0.5t_{CLCL}-10$		1	
5	t_{AVRL}	リード時$\overline{RD}$↓前 下位アドレス有効時間	235		$1.0t_{CLCL}-15$			
6	t_{AVWL}	ライト時$\overline{WR}$↓前 下位アドレス有効時間	235		$1.0t_{CLCL}-15$			
7	t_{LLWL}	ALE↓後 $\overline{WR}$↓遅延時間	115	130	$0.5t_{CLCL}-10$	$0.5t_{CLCL}+5$	2	
8	t_{LLRL}	ALE↓後 $\overline{RD}$↓遅延時間	115	130	$0.5t_{CLCL}-10$	$0.5t_{CLCL}+5$	2	
9	t_{DVRH}	$\overline{RD}$↑前 データ準備時間	45		45			
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		190		$1.0t_{CLCL}-60$		
11	t_{RHDX}	$\overline{RD}$↑後 データ保持時間	0		0			
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	235		$1.0t_{CLCL}-15$			
13	t_{OVWL}	$\overline{WR}$↓前 データ準備時間	105		$0.5t_{CLCL}-20$		1	
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	235		$1.0t_{CLCL}-15$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	250		$1.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	235		$1.0t_{CLCL}-15$			

注1: 一般式の定数はデューティ サイクル=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティ サイクル=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

表31-12. 外部データ メモリ特性 (VCC=2.7V～5.5V、SRWn1=0, SRWn0=1 (1待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		440		$2.0t_{CLCL}-60$		ns
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	485		$2.0t_{CLCL}-15$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	500		$2.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	485		$2.0t_{CLCL}-15$			

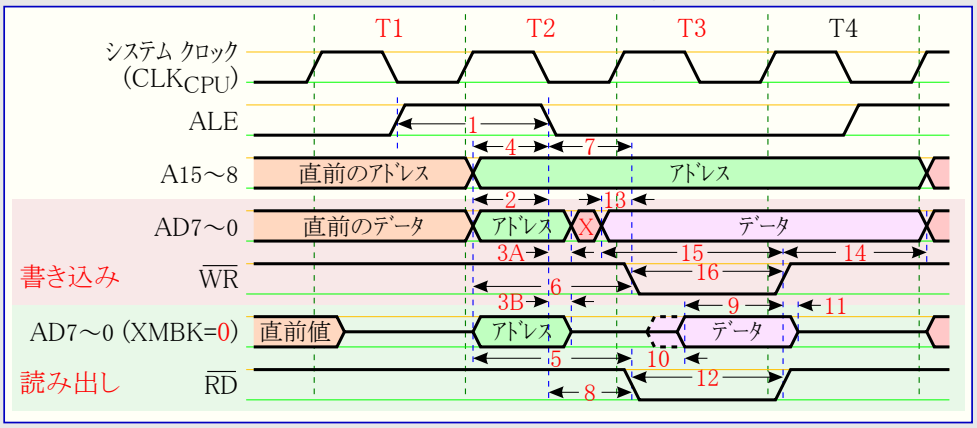
表31-13. 外部データ メモリ特性 (VCC=2.7V～5.5V、SRWn1=1, SRWn0=0 (2待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		690		$3.0t_{CLCL}-60$		ns
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	735		$3.0t_{CLCL}-15$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	750		$3.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	735		$3.0t_{CLCL}-15$			

表31-14. 外部データ メモリ特性 (VCC=2.7V～5.5V、SRWn1=1, SRWn0=1 (2&1待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		690		$3.0t_{CLCL}-60$		ns
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	735		$3.0t_{CLCL}-15$			
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	485		$2.0t_{CLCL}-15$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	750		$3.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	735		$3.0t_{CLCL}-15$			

図31-7. 待ち状態なし外部データ メモリ アクセス周期 (SRWn1=0, SRWn0=0) [T1～T3]



共通注意事項

SRWn1はSRW11(上位領域)またはSRW01(下位領域)、SRWn0はSRW10(上位領域)またはSRW00(下位領域)です。

[T1～Tn]は図での命令実行周期範囲です。

Xは値変更区間を示します。

最終周期のALEは次命令がRAM(内部または外部)をアクセスする場合だけ存在します。また、最後の周期のアドレスとデータの変更区間の有無も同様です。

図31-8. 1待ち状態 外部データ メモリ アクセス周期 (SRWn1=0, SRWn0=1) [T1～T4]

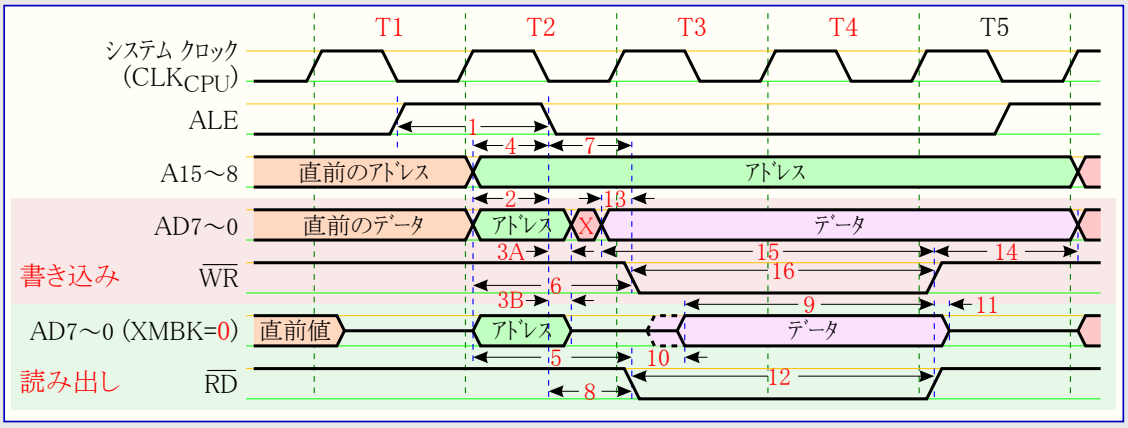


図31-9. 2待ち状態 外部データ メモリ アクセス周期 (SRWn1=1, SRWn0=0) [T1～T5]

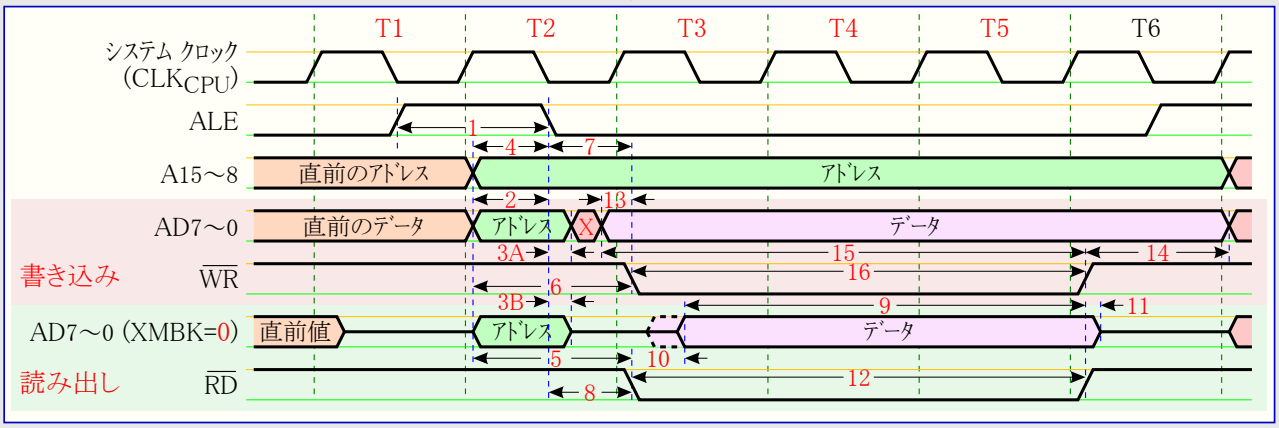
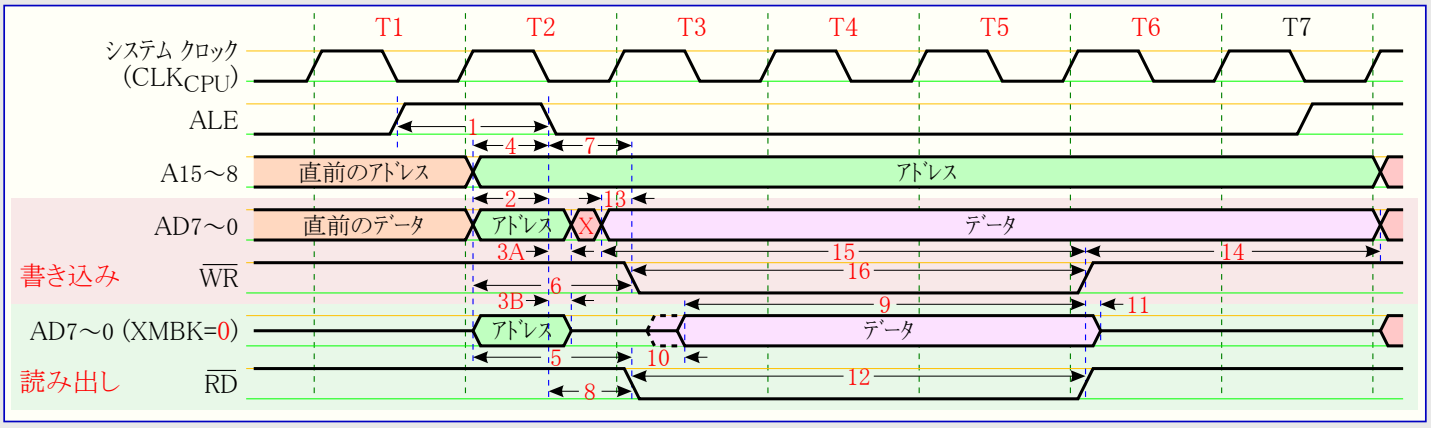


図31-10. 2待ち状態+保持1待ち状態 外部データ メモリ アクセス周期 (SRWn1=1, SRWn0=1) [T1～T6]



32. 代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

活動動作とアイドル動作の消費電流測定は電力削減レジスタ(PRR)で全ビットが設定(1)で行なわれ、従って関係周辺機能部はOFFにされます。アナログ比較器もこれらの測定中に禁止されます。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) C_L(負荷容量)×VCC(動作電圧)×f(I/Oピンの平均切り替え周波数) として推測できます。

デバイスは検査範囲よりも高い周波数特性を示します。デバイスは注文番号が示す周波数よりも高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマによって引き込んだ(消費した)差電流を表します。

32.1. 入力電圧水準

図32-1. D+/D-,XTAL1,RESETを除く全I/O入力L電圧 対 動作電圧

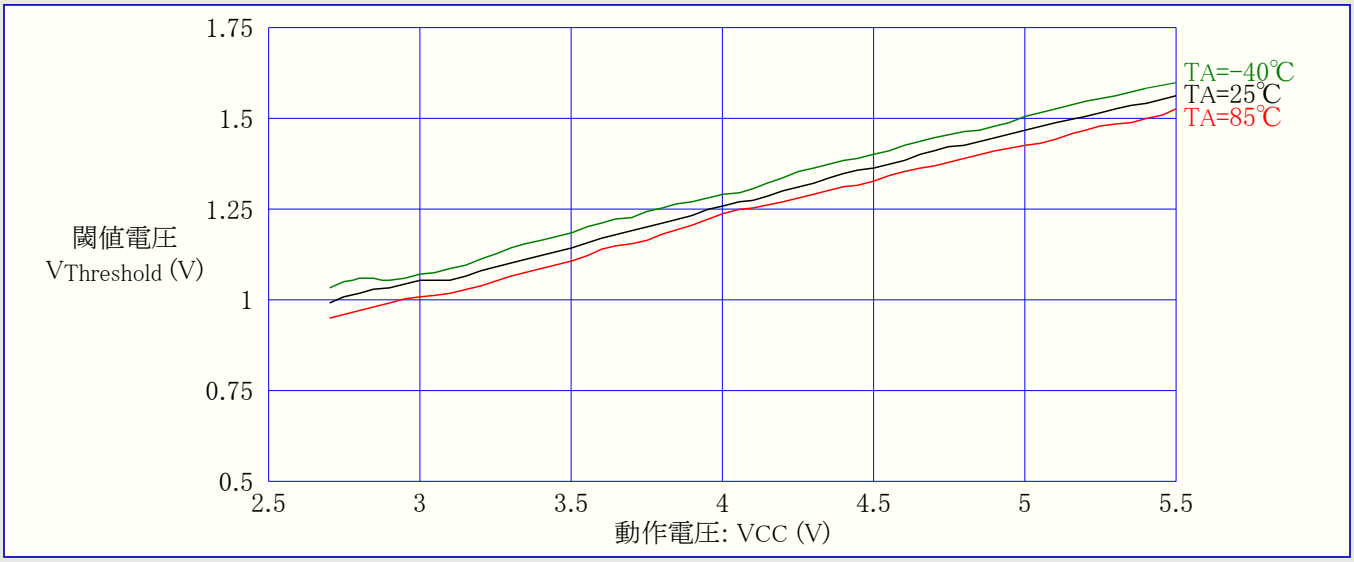
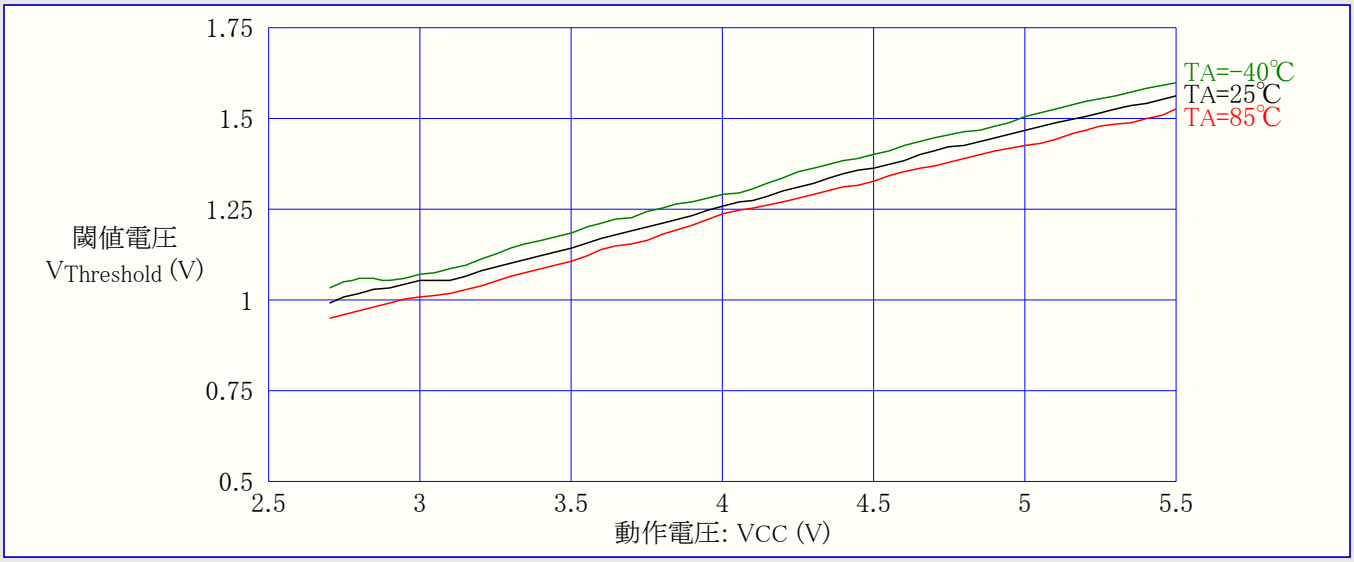


図32-2. D+/D-,XTAL1,RESETを除く全I/O入力H電圧 対 動作電圧



32.2. 出力電圧水準

図32-3. D+/D-を除く全I/O出力L電圧 対 出力電流 (VCC=3V)

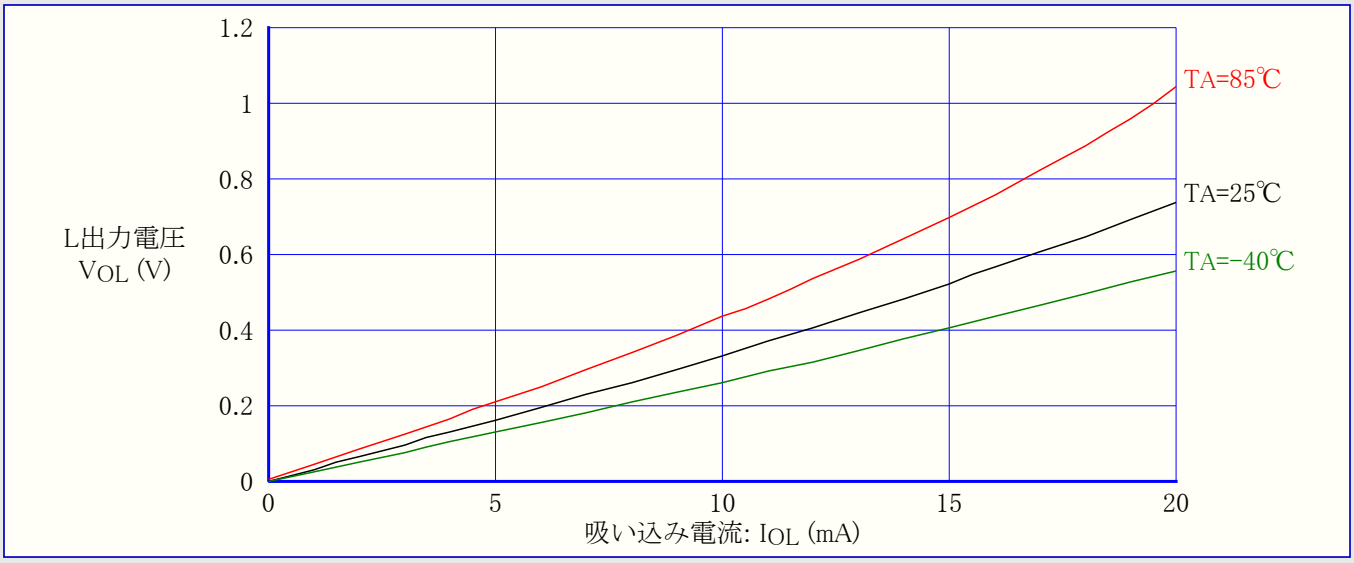


図32-4. D+/D-を除く全I/O出力L電圧 対 出力電流 (VCC=5V)

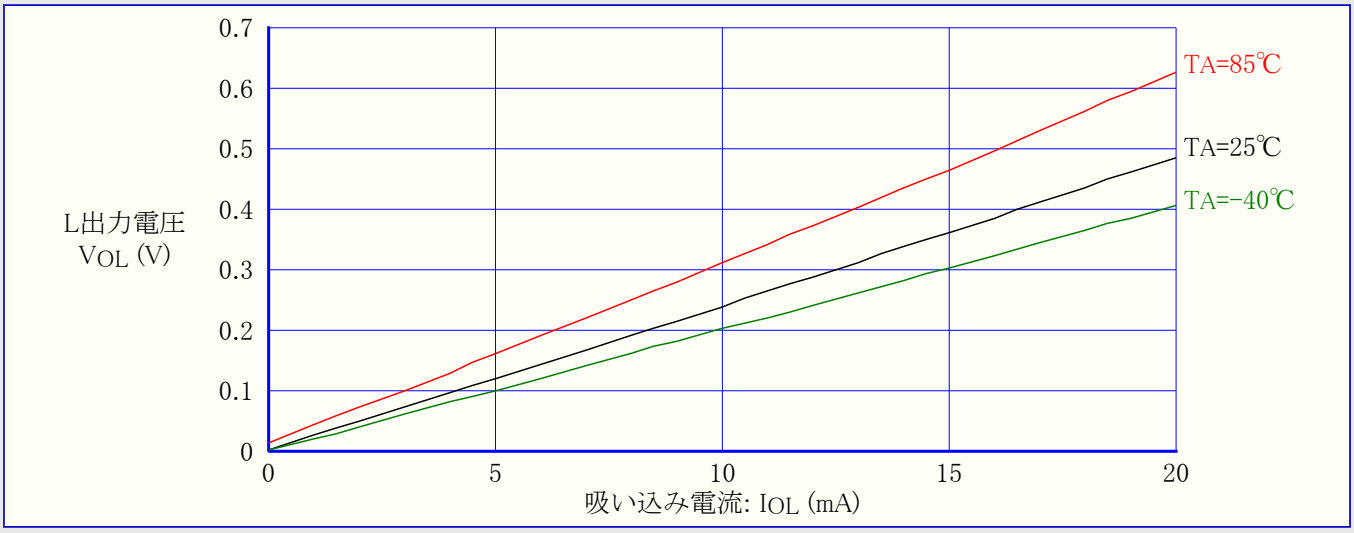


図32-5. D+/D-を除く全I/O出力H電圧 対 出力電流 (VCC=3V)

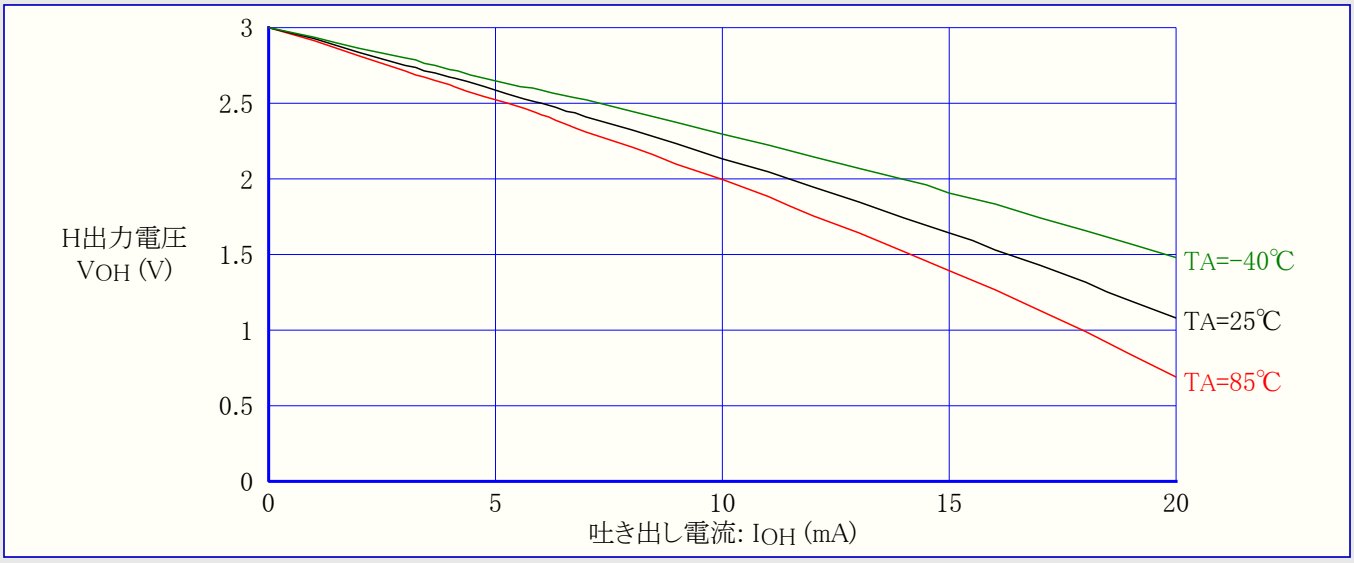
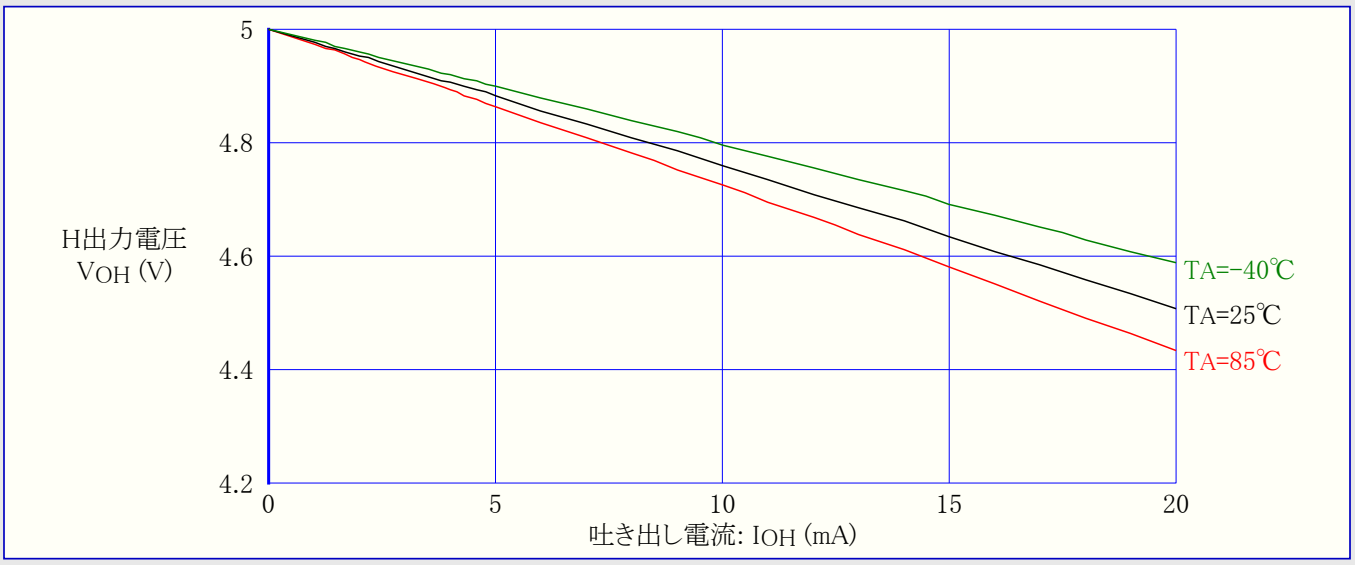


図32-6. D+/D-を除く全I/O出力H電圧 対 出力電流 (VCC=5V)



32.3. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流

図32-7. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (WDT禁止,BOD禁止)

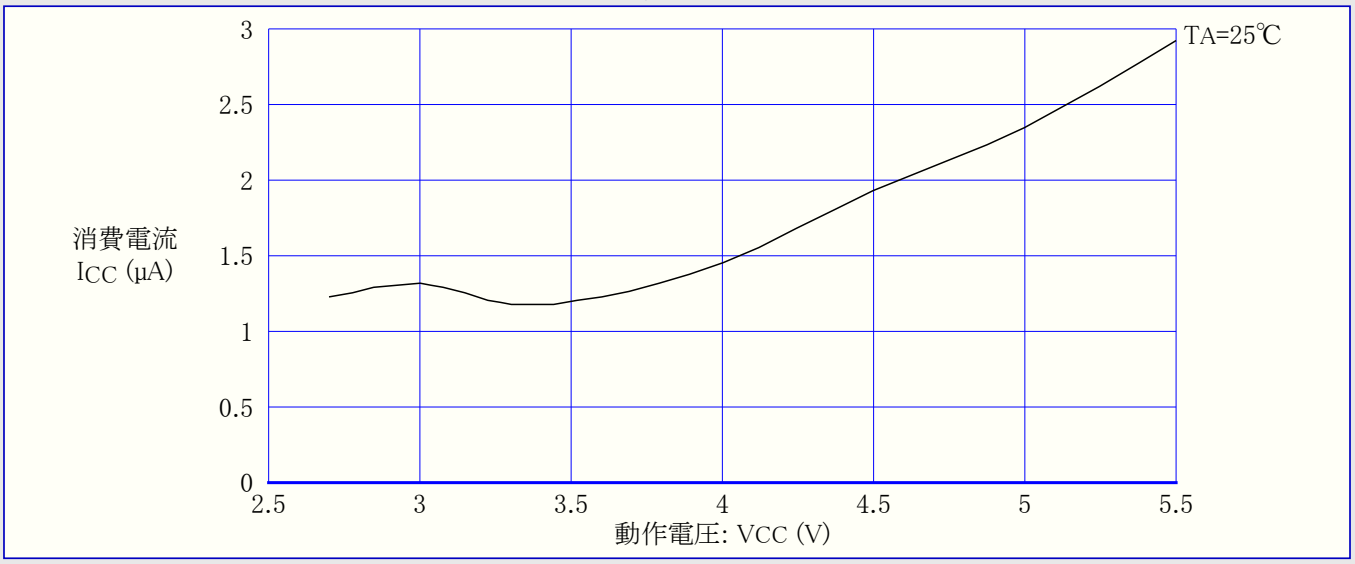


図32-8. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (WDT許可,BOD禁止)

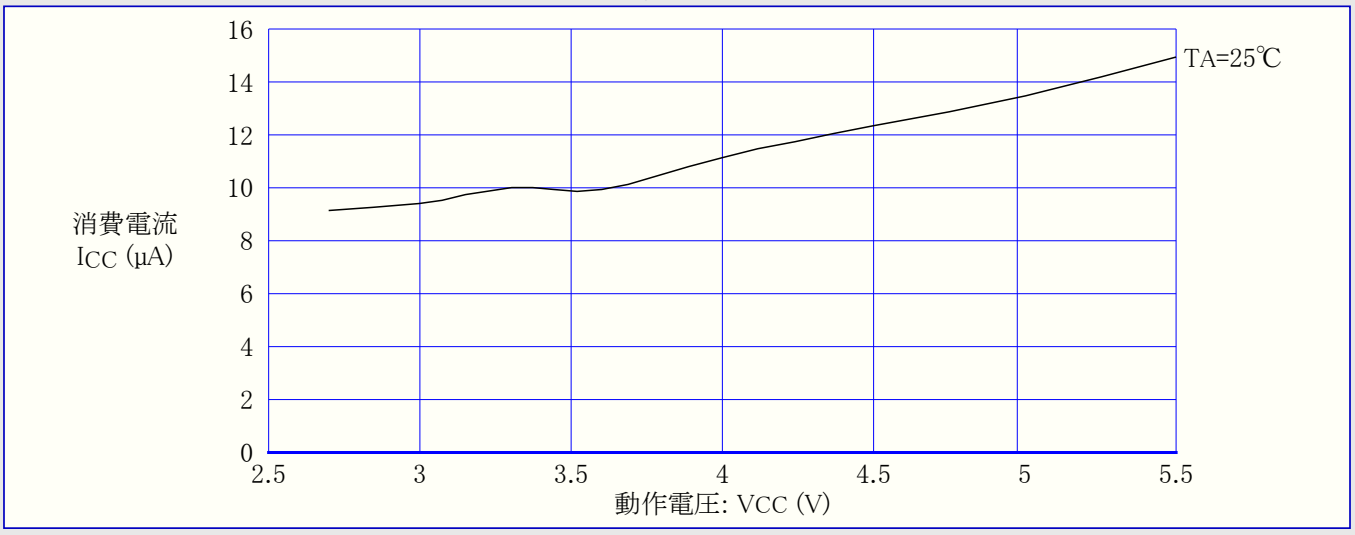
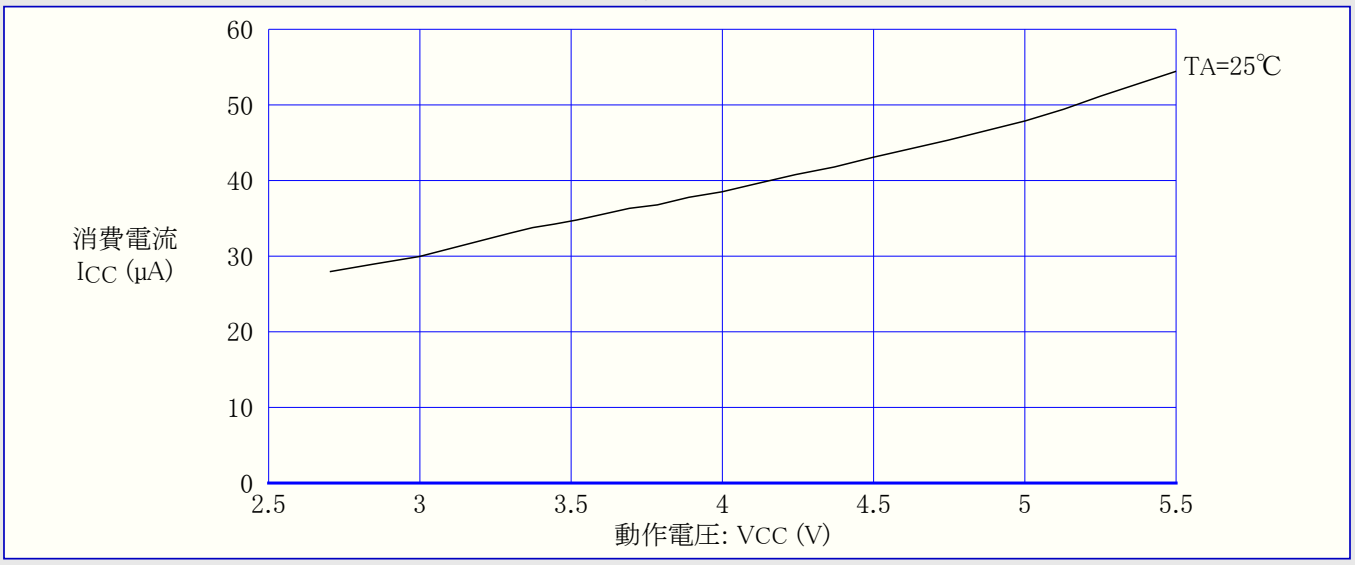
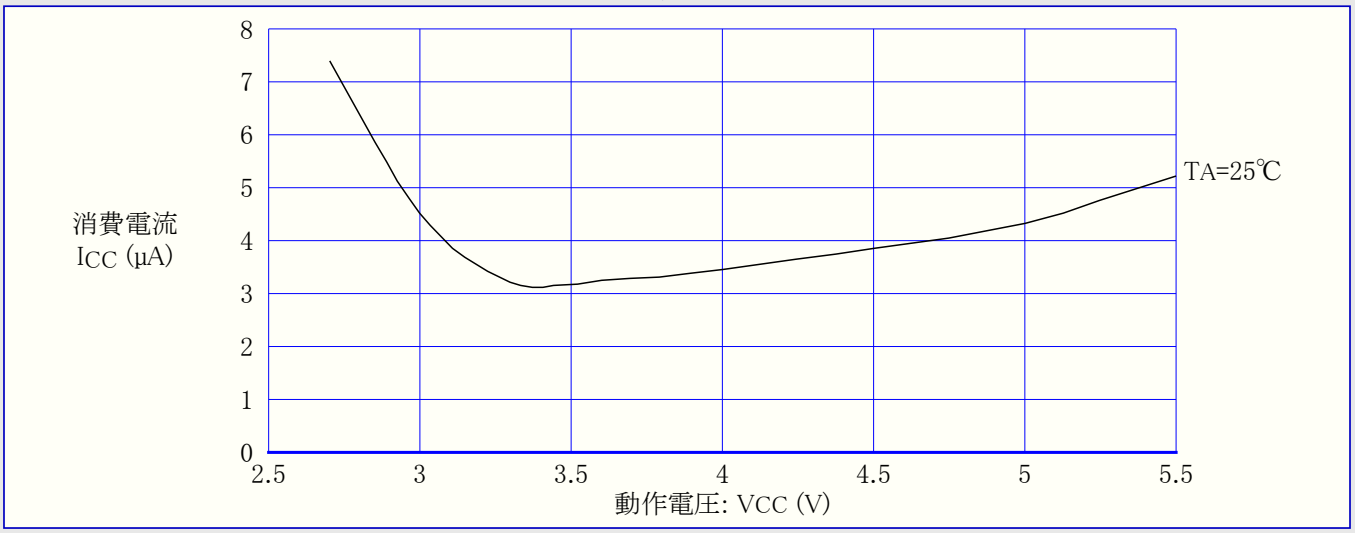


図32-9. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (WDT許可,BOD許可)



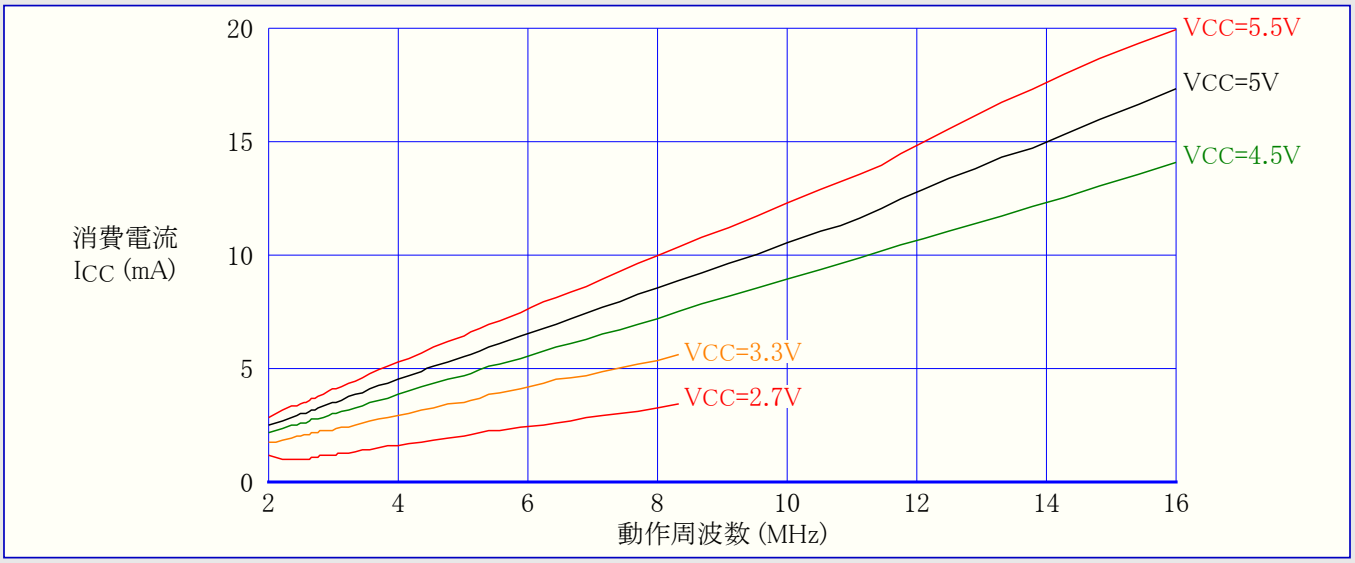
32.4. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流

図32-10. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 対 動作電圧 (WDT禁止,BOD禁止)



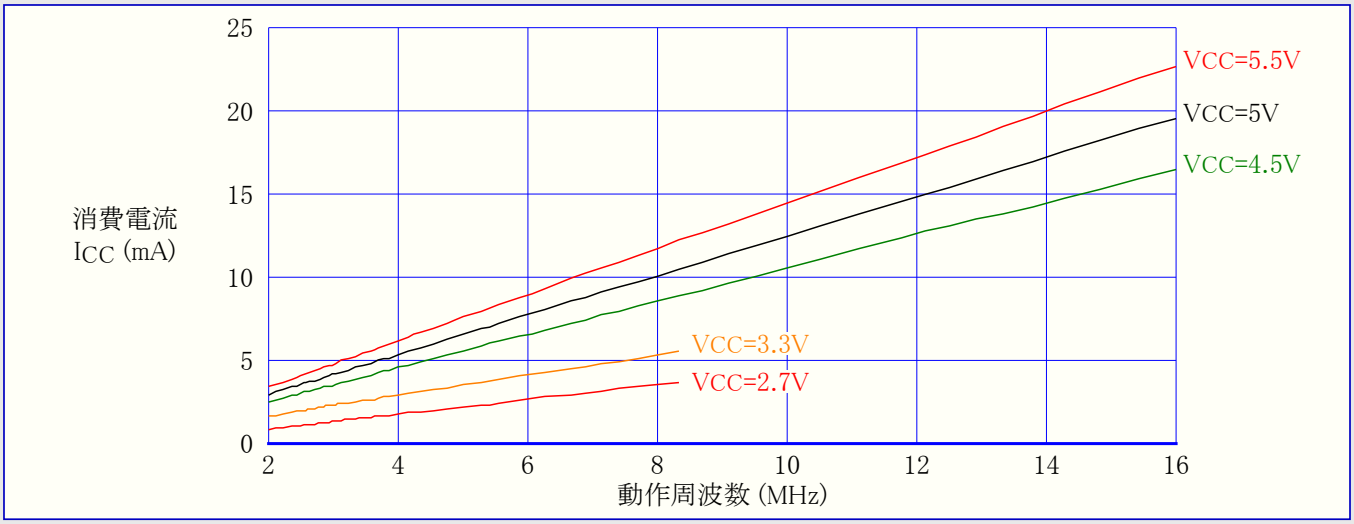
32.5. ｱｲﾄﾞﾙ動作消費電流

図32-11. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (TA=25℃)



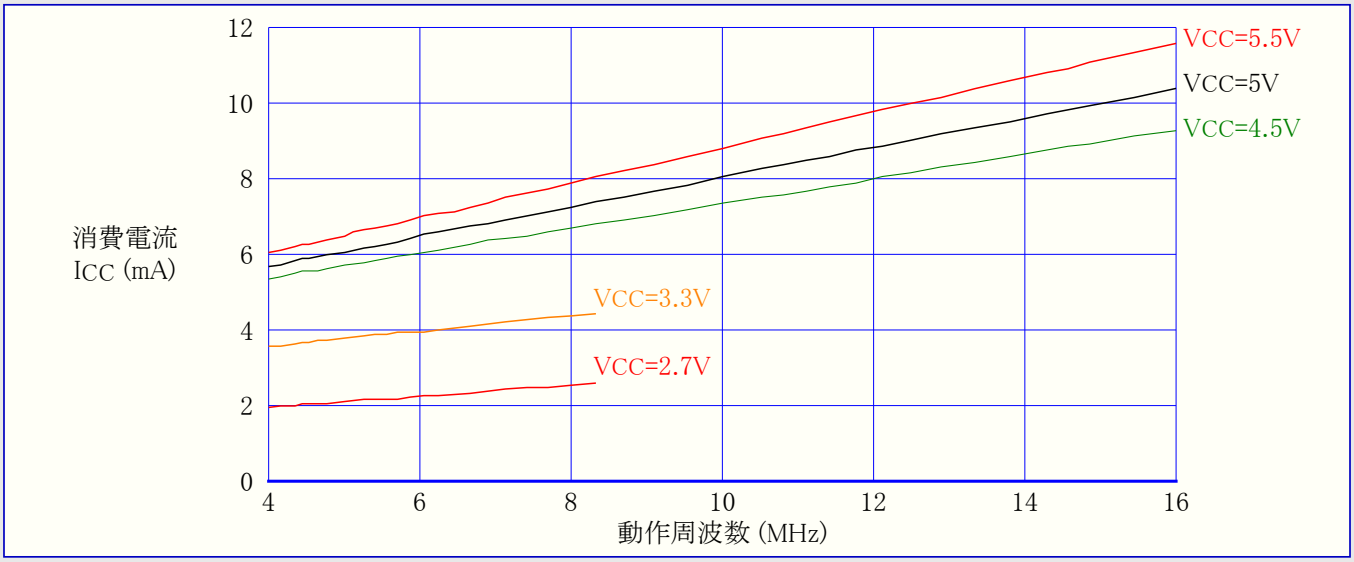
32.6. 活動動作消費電流

図32-12. 活動動作消費電流 対 周波数 (TA=25℃)



32.7. リセット消費電流

図32-13. リセット消費電流 対 周波数 (TA=25℃)



32.8. I/O プルアップ電流

図32-14. 標準I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=5V)

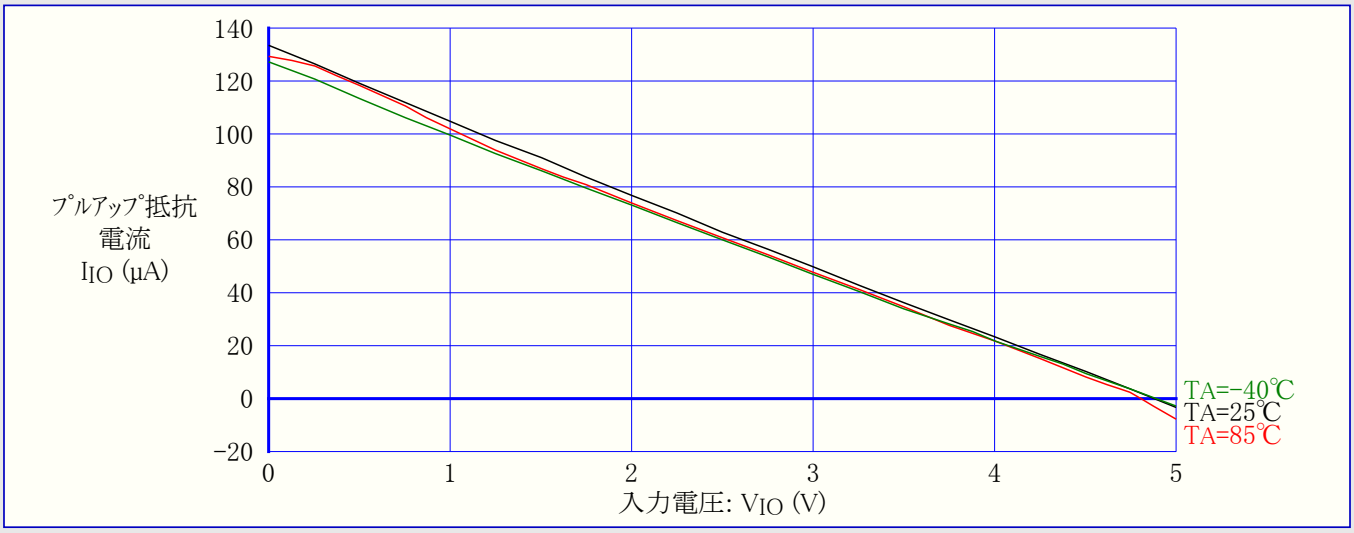
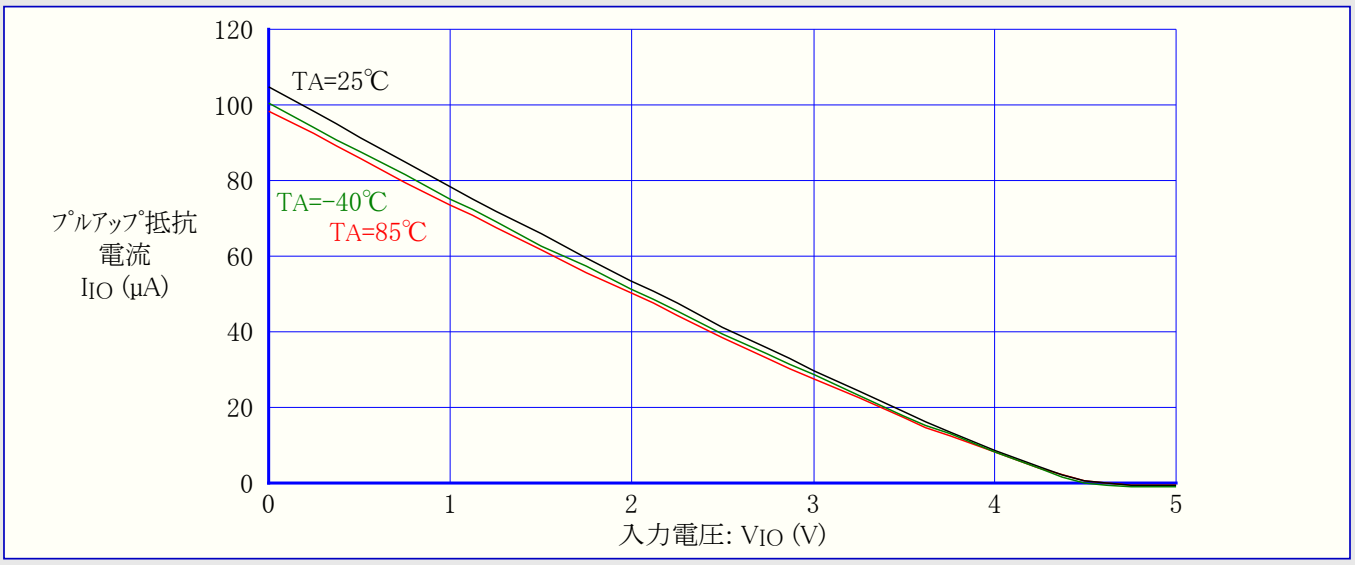
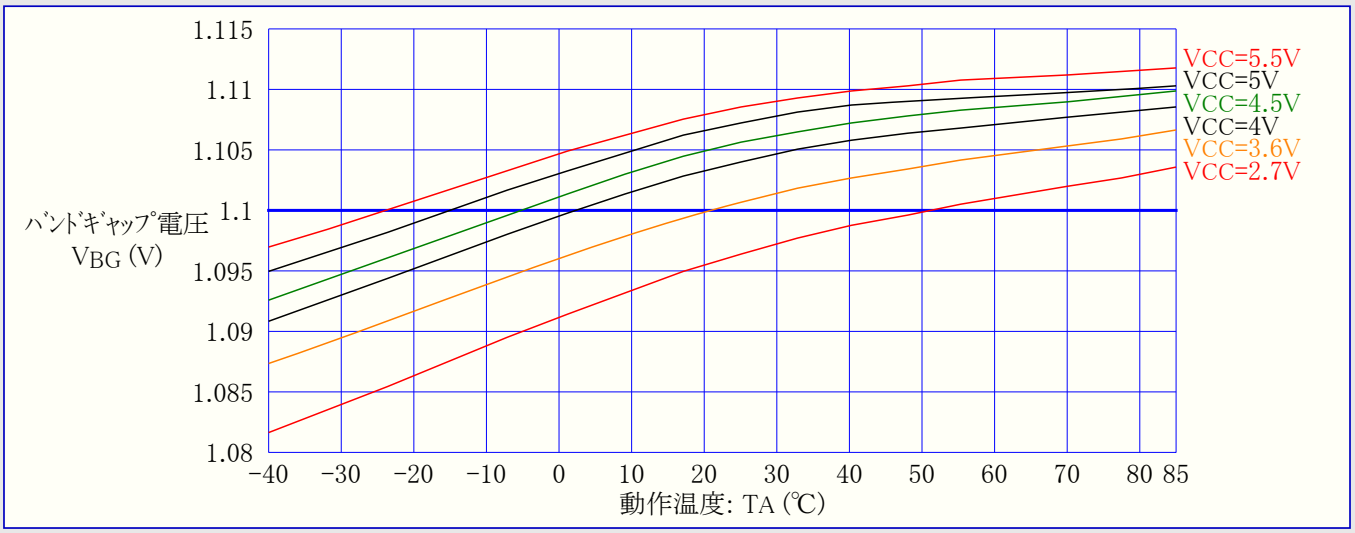


図32-15. ﾘｾｯﾄ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=5V)



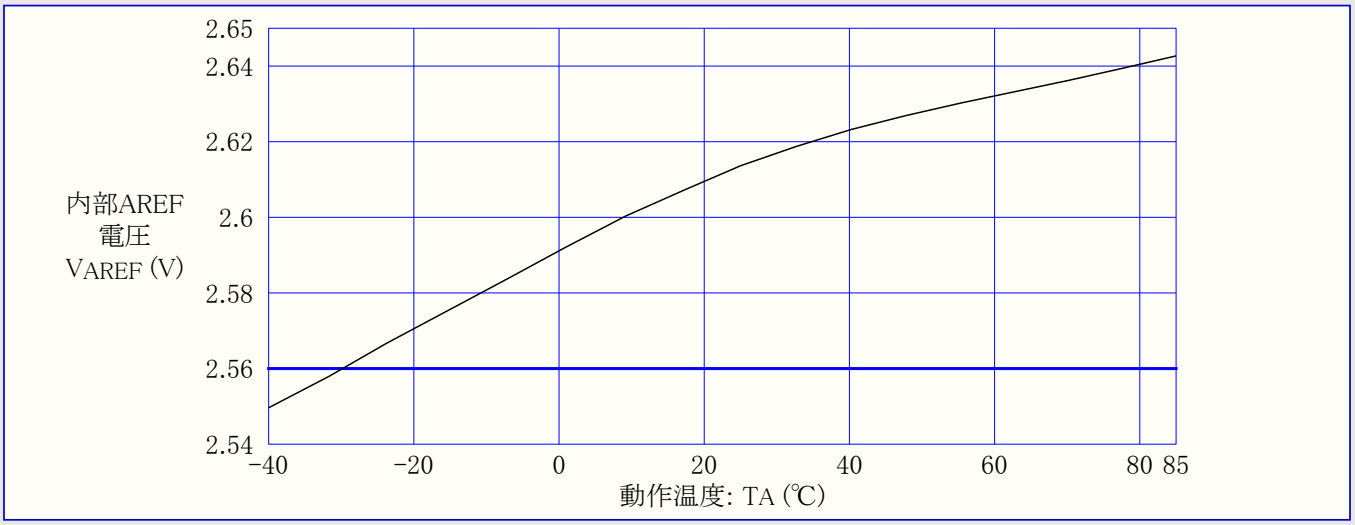
32.9. 内部基準(ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ)電圧

図32-16. 内部基準(ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ)電圧 対 動作電圧/温度



32.10. 内部AREF基準電圧

図32-17. 内部AREF基準電圧 対 温度 (VCC=2.7～5.5V)



32.11. USB電圧調整器

図32-18. USB電圧調整器静止電流 対 入力電圧 (無負荷)

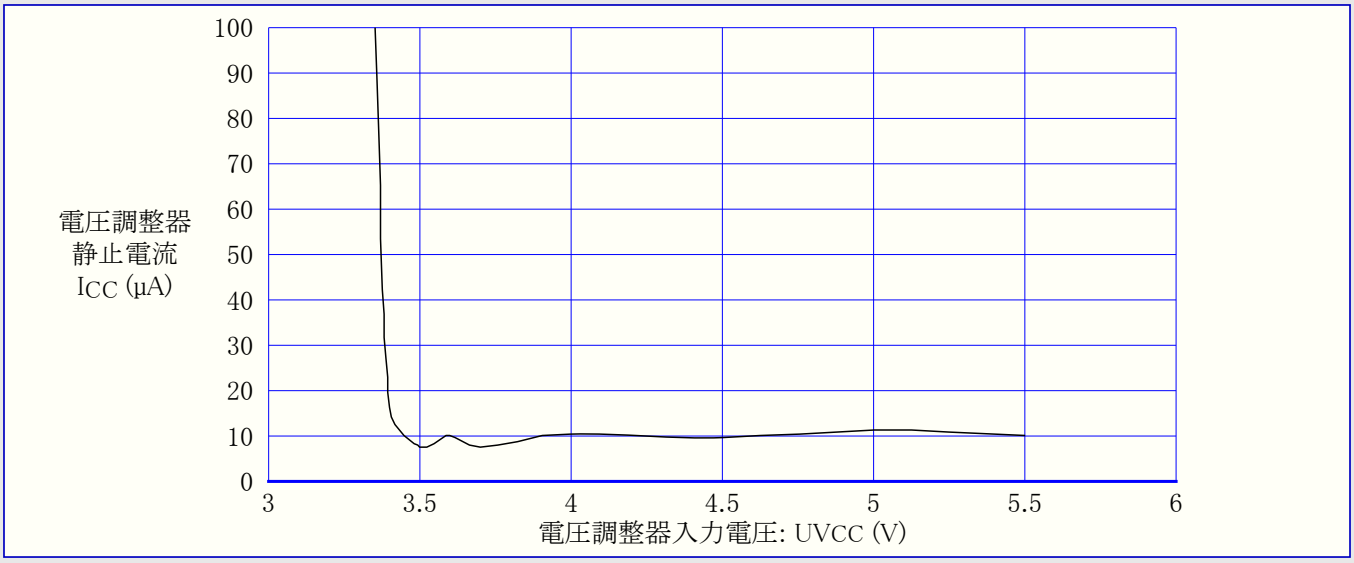
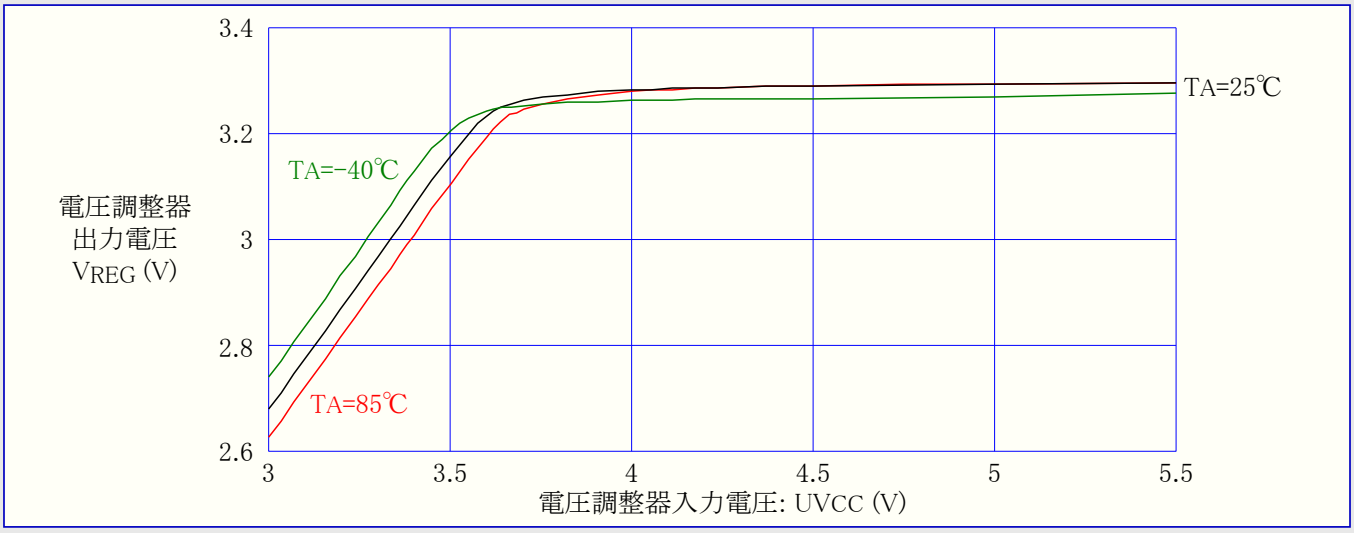


図32-19. USB電圧調整器出力電圧 対 入力電圧 (75Ω負荷)



注: 75Ωは(全バス負荷)動作中のUSB周辺機能の最大平均消費と等価です。

32.12. 低電圧検出器(BOD)閾値

図32-20. 低電圧検出器(BOD)閾値(スレッショールド)電圧 対 動作温度 (検出電圧2.4V)

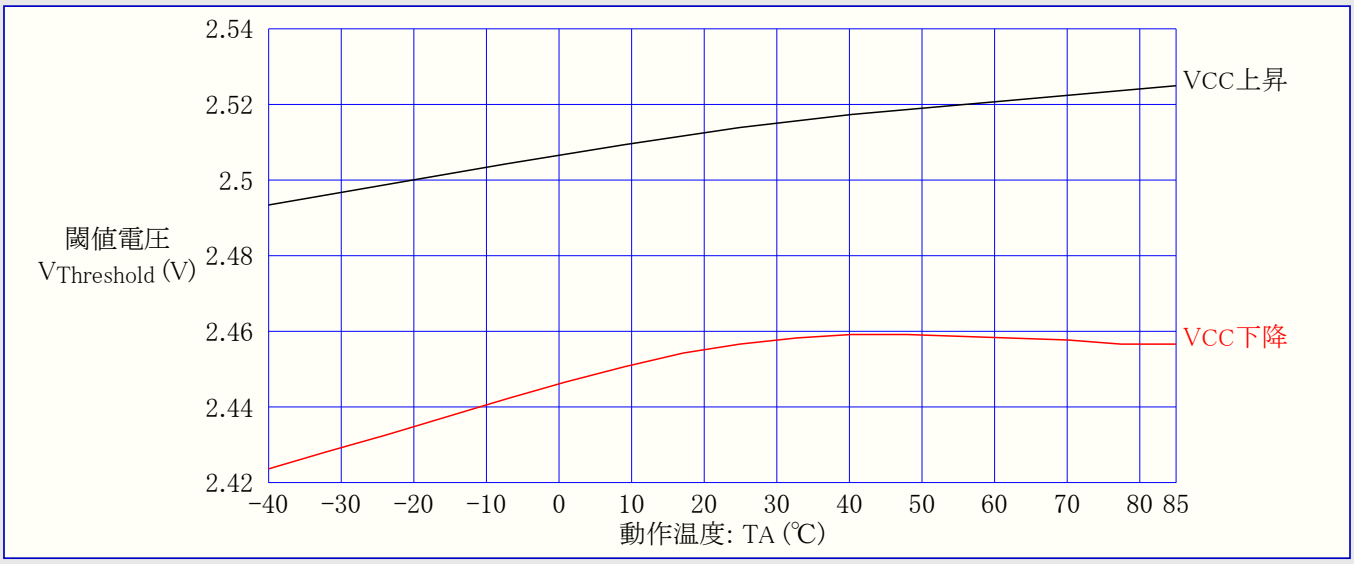


図32-21. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧3.4V)

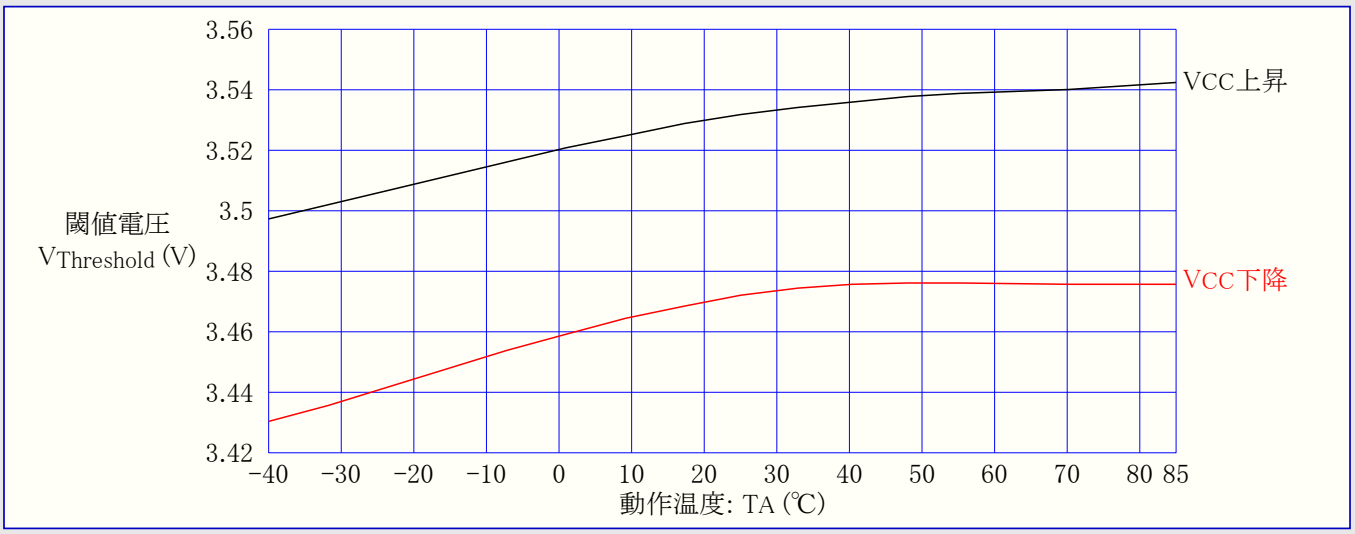
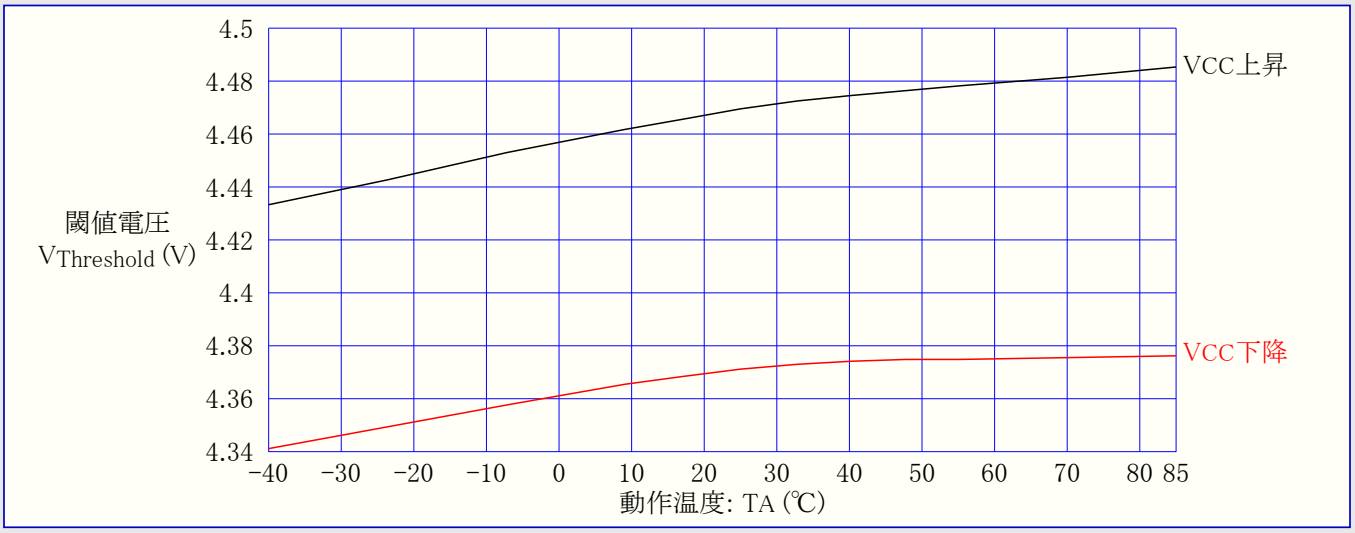
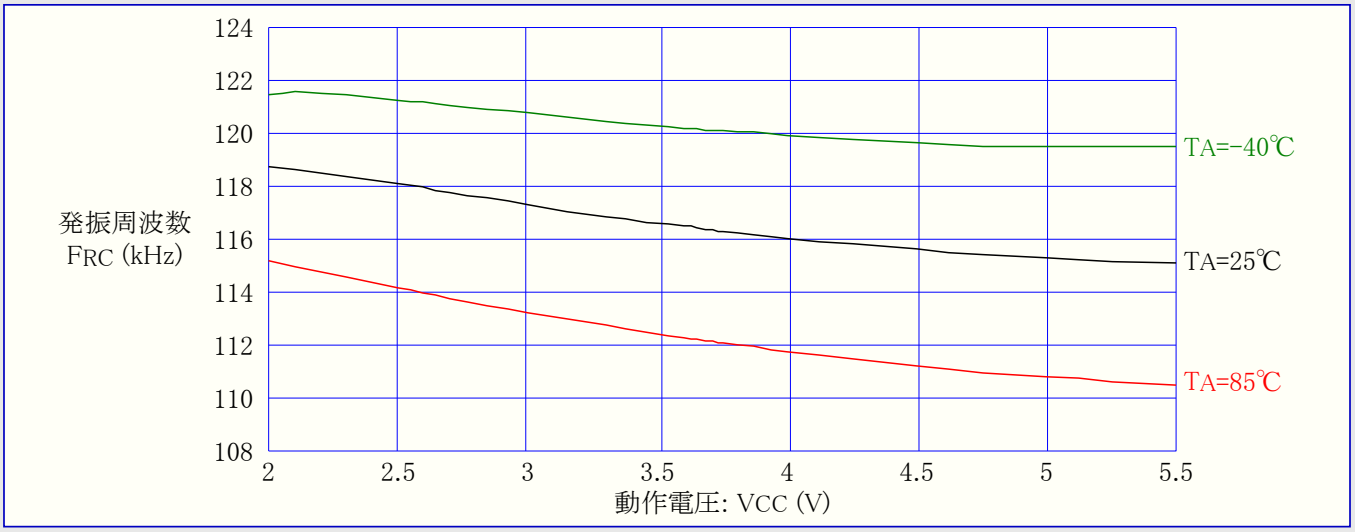


図32-22. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧4.3V)



32.13. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ周波数

図32-23. ｳｫｯﾁﾄﾞｯｸﾞ発振器周波数 対 動作電圧



32.14. 校正付き内蔵RC発振器周波数

図32-24. 校正付き内蔵RC発振器周波数 対 発振校正(OSCCAL)値 (TA=25℃)

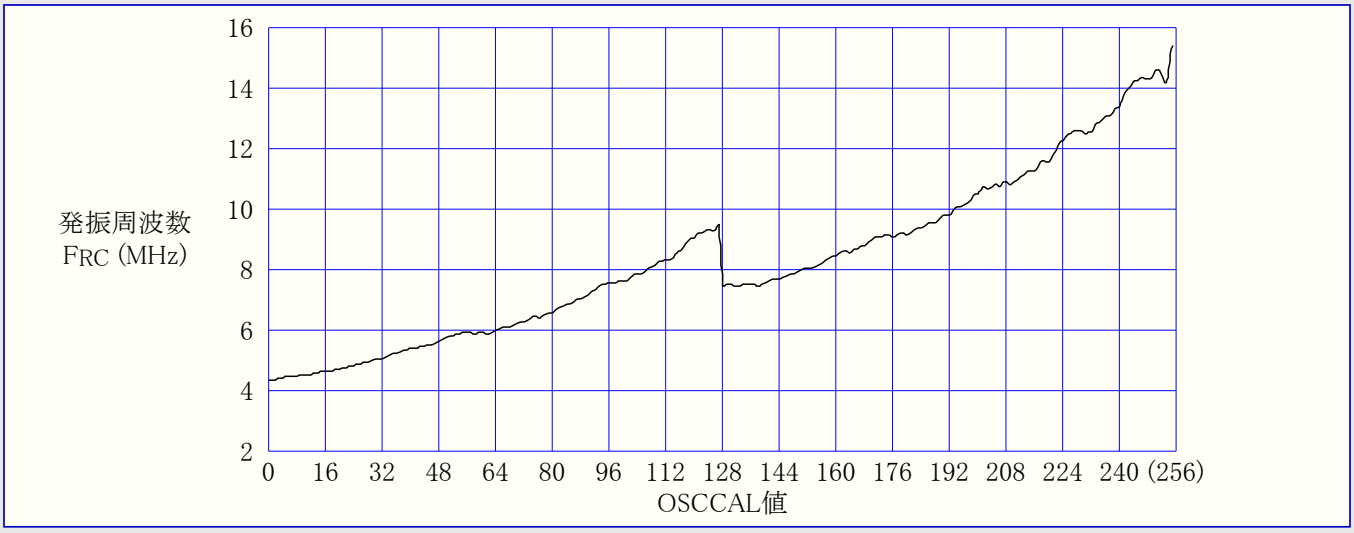


図32-25. 校正付き内蔵RC発振器周波数 対 動作電圧

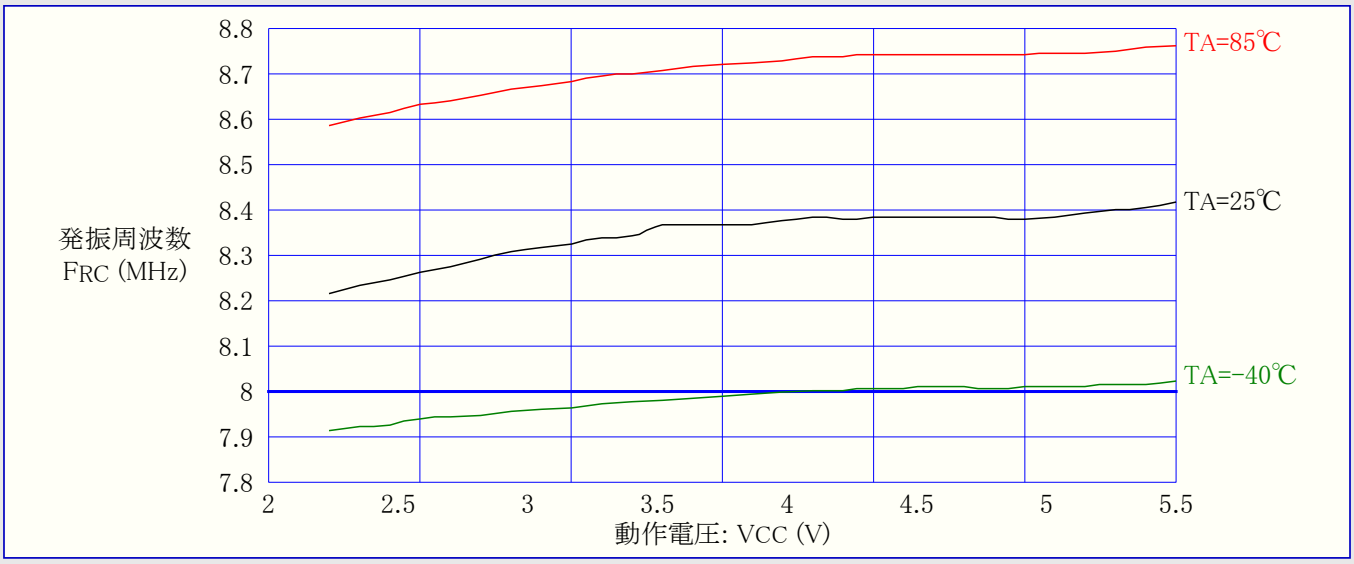
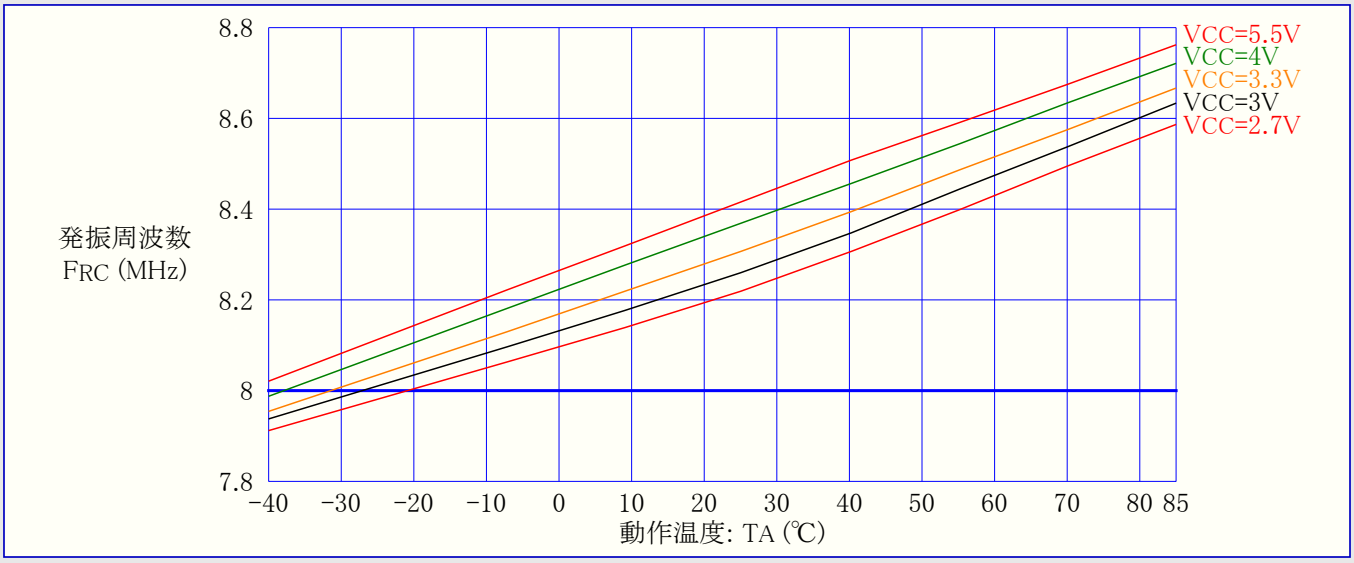
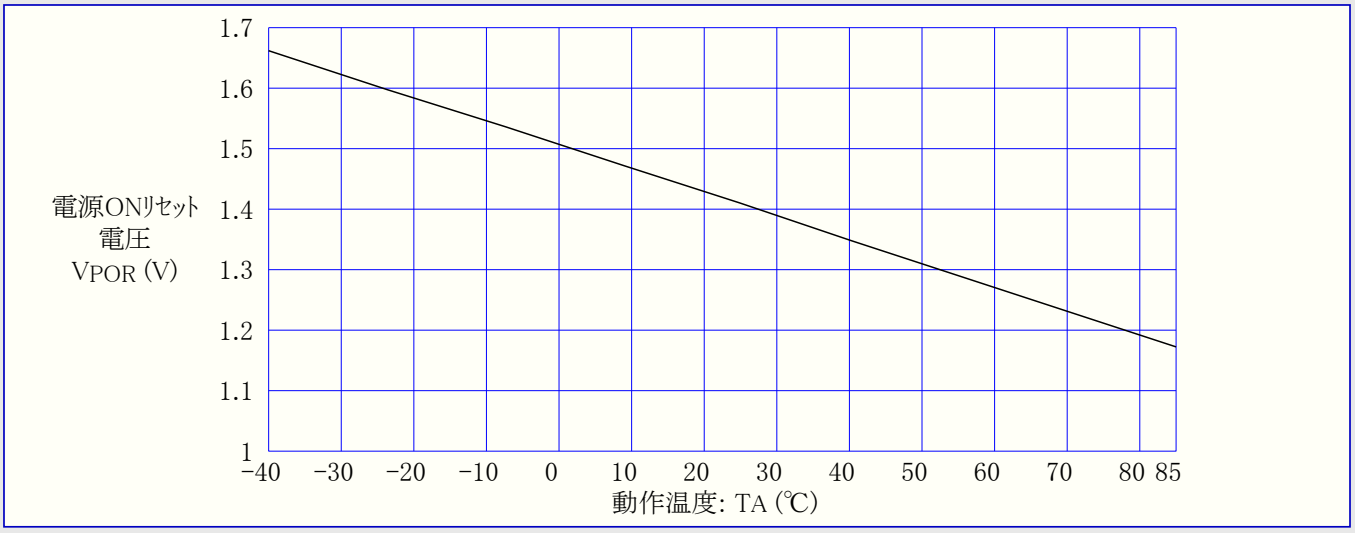


図32-26. 校正付き内蔵RC発振器周波数 対 動作温度



32.15. 電源ONリセット

図32-27. 電源ONリセット電圧 対 動作温度



33. レジスタ要約

拡張I/Oレジスタ領域 (1/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
($FF)	予約									
($FE)	予約									
($FD)	予約									
($FC)	予約									
($FB)	予約									
($FA)	予約									
($F9)	OTGTCON	–	PAGE1	PAGE0	–	–	–	VALUE1	VALUE0	174
($F8)	UPINT	–	UPINT6	UPINT5	UPINT4	UPINT3	UPINT2	UPINT1	UPINT0	208
($F7)	UPBCHX	–	–	–	–	–	P-X バイト カウンタ上位 (PBYCT10～8)			207
($F6)	UPBCLX	パイプX バイト カウンタ下位 (PBYCT7～0)								
($F5)	UPERRX	–	COUNTER1	COUNTER0	CRC16	TIMEOUT	PID	DATAPID	DATATGL	205
($F4)	UEINT	–	EPINT6	EPINT5	EPINT4	EPINT3	EPINT2	EPINT1	EPINT0	193
($F3)	UEBCHX	–	–	–	–	–	EP-X バイト計数上位 (BYCT10～8)			193
($F2)	UEBCLX	エンドポイントX バイト計数下位 (BYCT7～0)								
($F1)	UEDATX	エンドポイントX データ (DAT7～0)								192
($F0)	UEIENX	FLERRE	NAKINE	–	NAKOUTE	RXSTPE	RXOUTE	STALLEDE	TXINE	192
($EF)	UESTA1X	–	–	–	–	–	CTRLDIR	CURRBK1	CURRBK0	190
($EE)	UESTA0X	CFGOK	OVERFI	UNDERFI	–	DTSEQ1	DTSEQ0	NBUSYBK1	NBUSYBK0	190
($ED)	UECFG1X	–	EPSIZE2	EPSIZE1	EPSIZE0	EPBK1	EPBK0	ALLOC	–	189
($EC)	UECFG0X	EPTYPE1	EPTYPE0	–	–	–	–	–	EPDIR	189
($EB)	UECONX	–	–	STALLRQ	STALLRQC	RSTDT	–	–	EPEN	188
($EA)	UERST	–	EPRST6	EPRST5	EPRST4	EPRST3	EPRST2	EPRST1	EPRST0	188
($E9)	UENUM	–	–	–	–	–	EPNUM2	EPNUM1	EPNUM0	187
($E8)	UEINTX	FIFOCON	NAKINI	RWAL	NAKOUTI	RXSTPI	RXOUTI	STALLEDI	TXINI	191
($E7)	予約									
($E6)	UDMFN	–	–	–	FNCERR	–	–	–	–	187
($E5)	UDFNUMH	–	–	–	–	–	装置フレーム番号上位 (FNUM10～8)			187
($E4)	UDFNUML	装置フレーム番号下位 (FNUM7～0)								
($E3)	UDADDR	ADDEN	装置アドレス (UADD6～0)							186
($E2)	UDIEN	–	UPRSME	EORSME	WAKEUPE	EORSTE	SOFE	–	SUSPE	186
($E1)	UDINT	–	UPRSMI	EORSMI	WAKEUPI	EORSTI	SOFI	–	SUSPI	185
($E0)	UDCON	–	–	–	–	–	LSM	RMWKUP	DETACH	185
($DF)	OTGINT	–	–	STOI	HNPERRI	ROLEEXI	BCERRI	VBERRI	SRPI	175
($DE)	OTGIEN	–	–	STOE	HNPERRE	ROLEEXE	BCERRE	VBERRE	SRPE	175
($DD)	OTGCON	–	–	HNPREQ	SRPREQ	SRPSEL	VBUSHWC	VBUSREQ	VBUSRQC	174
($DC)	予約									
($DB)	予約									
($DA)	USBINT	–	–	–	–	–	–	IDTI	VBUSTI	173
($D9)	USBSTA	–	–	–	–	SPEED	–	ID	VBUS	173
($D8)	USBCON	USBE	HOST	FRZCLK	OTGPADE	–	–	IDTE	VBUSTE	172
($D7)	UHWCON	UIMOD	UIDE	–	UVCONE	–	–	–	UVREGE	172
($D6)	予約									
($D5)	予約									
($D4)	予約									
($D3)	予約									
($D2)	予約									
($D1)	予約									
($D0)	予約									
($CF)	予約									
($CE)	UDR	USART データ レジスタ								130
($CD)	UBRRH	–	–	–	–	USART ボーレート レジスタ上位 (UBRR11～8)				132
($CC)	UBRRL	USART ボーレート レジスタ下位 (UBRR7～0)								
($CB)	予約									
($CA)	UCSRC	UMSEL1	UMSEL0	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	131
($C9)	UCSRB	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	131
($C8)	UCSRA	RXC	TXC	UDRE	FE	DOR	UPE	U2X	MPCM	130
($C7)	予約									
($C6)	予約									
($C5)	予約									
($C4)	予約									
($C3)	予約									
($C2)	予約									
($C1)	予約									
($C0)	予約									

注: 暗背景のレジスタとビットはAT90USB646/1286で利用できません。

拡張I/Oレジスタ領域 (2/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
($BF)	予約									
($BE)	予約									
($BD)	TWAMR	TWAM6	TWAM5	TWAM4	TWAM3	TWAM2	TWAM1	TWAM0	–	148
($BC)	TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE	146
($BB)	TWDR	2線直列インターフェース データ レジスタ								147
($BA)	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	147
($B9)	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0	147
($B8)	TWBR	2線直列インターフェース ビット速度レジスタ								146
($B7)	予約									
($B6)	ASSR	–	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB	110
($B5)	予約									
($B4)	OCR2B	タイマ/カウンタ2 比較Bレジスタ								108
($B3)	OCR2A	タイマ/カウンタ2 比較Aレジスタ								108
($B2)	TCNT2	タイマ/カウンタ2								108
($B1)	TCCR2B	FOC2A	FOC2B	–	–	WGM22	CS22	CS21	CS20	107
($B0)	TCCR2A	COM2A1	COM2A0	COM2B1	COM2B0	–	–	WGM21	WGM20	106
($AF)	UPDATX	パイプX データ (PDAT7～0)								207
($AE)	UPIENX	FLERRE	NAKEDE	–	PERRE	TXSTPE	TXOUTE	RXSTALLE	RXINE	206
($AD)	UPCFG2X	割り込みパイプ転送要求頻度(間隔時間値) (INTFRQ7～0)								203
($AC)	UPSTAX	CFGOK	OVERFI	UDERFI	–	DTSEQ1	DTSEQ0	NBUSYBK1	NBUSYBK0	204
($AB)	UPCFG1X	–	PSIZE2	PSIZE1	PSIZE0	PBK1	PBK0	ALLOC	–	203
($AA)	UPCFG0X	PTYPE1	PTYPE0	PTOKEN1	PTOKEN0	PEPNUM3	PEPNUM2	PEPNUM1	PEPNUM0	203
($A9)	UPCONX	–	PFREEZE	INMODE	–	RSTDT	–	–	PEN	202
($A8)	UPRST	–	P6RST	P5RST	P4RST	P3RST	P2RST	P1RST	P0RST	201
($A7)	UPNUM	–	–	–	–	–	PNUM2	PNUM1	PNUM0	201
($A6)	UPINTX	FIFOCON	NAKEDI	RWAL	PERRI	TXSTPI	TXOUTI	RXSTALLI	RXINI	205
($A5)	UPINRQX	パイプX IN要求送出回数レジスタ (INRQ7～0)								204
($A4)	UHFLEN	ホスト フレーム長レジスタ (FLEN7～0)								201
($A3)	UHFNUMH	–	–	–	–	–	ホスト フレーム番号上位 (FNUM10～8)			201
($A2)	UHFNUML	ホスト フレーム番号下位 (FNUM7～0)								
($A1)	UHADDR	–	装置アドレス (HADDR6～0)							200
($A0)	UHIEN	–	HWUPE	HSOFE	RXRSME	RSMEDE	RSTE	DDISCE	DCONNE	200
($9F)	UHINT	–	HWUPI	HSOFI	RXRSMI	RSMEDI	RSTI	DDISCI	DCONNI	199
($9E)	UHCON	–	–	–	–	–	RESUME	RESET	SOFEN	199
($9D)	OCR3CH	タイマ/カウンタ3 比較Cレジスタ上位バイト								95
($9C)	OCR3CL	タイマ/カウンタ3 比較Cレジスタ下位バイト								
($9B)	OCR3BH	タイマ/カウンタ3 比較Bレジスタ上位バイト								95
($9A)	OCR3BL	タイマ/カウンタ3 比較Bレジスタ下位バイト								
($99)	OCR3AH	タイマ/カウンタ3 比較Aレジスタ上位バイト								95
($98)	OCR3AL	タイマ/カウンタ3 比較Aレジスタ下位バイト								
($97)	ICR3H	タイマ/カウンタ3 捕獲レジスタ上位バイト								96
($96)	ICR3L	タイマ/カウンタ3 捕獲レジスタ下位バイト								
($95)	TCNT3H	タイマ/カウンタ3 上位バイト								94
($94)	TCNT3L	タイマ/カウンタ3 下位バイト								
($93)	予約									
($92)	TCCR3C	FOC3A	FOC3B	FOC3C	–	–	–	–	–	93
($91)	TCCR3B	ICNC3	ICES3	–	WGM33	WGM32	CS32	CS31	CS30	92
($90)	TCCR3A	COM3A1	COM3A0	COM3B1	COM3B0	COM3C1	COM3C0	WGM31	WGM30	91
($8F)	予約									
($8E)	予約									
($8D)	OCR1CH	タイマ/カウンタ1 比較Cレジスタ上位バイト								94
($8C)	OCR1CL	タイマ/カウンタ1 比較Cレジスタ下位バイト								
($8B)	OCR1BH	タイマ/カウンタ1 比較Bレジスタ上位バイト								94
($8A)	OCR1BL	タイマ/カウンタ1 比較Bレジスタ下位バイト								
($89)	OCR1AH	タイマ/カウンタ1 比較Aレジスタ上位バイト								94
($88)	OCR1AL	タイマ/カウンタ1 比較Aレジスタ下位バイト								
($87)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト								96
($86)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト								
($85)	TCNT1H	タイマ/カウンタ1 上位バイト								94
($84)	TCNT1L	タイマ/カウンタ1 下位バイト								
($83)	予約									
($82)	TCCR1C	FOC1A	FOC1B	FOC1C	–	–	–	–	–	93
($81)	TCCR1B	ICNC1	ICES1	–	WGM13	WGM12	CS12	CS11	CS10	92
($80)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	COM1C1	COM1C0	WGM11	WGM10	91

注: 暗背景のレジスタとビットはAT90USB646/1286で利用できません。

拡張I/Oレジスタ領域 (3/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
($7F)	DIDR1	–	–	–	–	–	–	AIN1D	AIN0D	210
($7E)	DIDR0	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	220
($7D)	予約									
($7C)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	218
($7B)	ADCSRB	ADHSM	ACME	–	–	–	ADTS2	ADTS1	ADTS0	210,219
($7A)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	219
($79)	ADCH	A/Dデータ レジスタ上位バイト (ADC9～8またはADC9～2)								220
($78)	ADCL	A/Dデータ レジスタ下位バイト (ADC7～0またはADC1,0)								
($77)	予約									
($76)	予約									
($75)	XMCRB	XMBK	–	–	–	–	XMM2	XMM1	XMM0	21
($74)	XMCRA	SRE	SRL2	SRL1	SRL0	SRW11	SRW10	SRW01	SRW00	20
($73)	予約									
($72)	予約									
($71)	TIMSK3	–	–	ICIE3	–	OCIE3C	OCIE3B	OCIE3A	TOIE3	96
($70)	TIMSK2	–	–	–	–	–	OCIE2B	OCIE2A	TOIE2	109
($6F)	TIMSK1	–	–	ICIE1	–	OCIE1C	OCIE1B	OCIE1A	TOIE1	96
($6E)	TIMSK0	–	–	–	–	–	OCIE0B	OCIE0A	TOIE0	76
($6D)	予約									
($6C)	予約									
($6B)	PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	45
($6A)	EICRB	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40	44
($69)	EICRA	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	43
($68)	PCICR	–	–	–	–	–	–	–	PCIE0	45
($67)	予約									
($66)	OSCCAL	内蔵RC発振器 発振校正値レジスタ								26
($65)	PRR1	PRUSB	–	–	–	PRTIM3	–	–	PRUSART	33
($64)	PRR0	PRTWI	PRTIM2	PRTIM0	–	PRTIM1	PRSPI	–	PRADC	32
($63)	予約									
($62)	予約									
($61)	CLKPR	CLKPCE	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	28
($60)	WDTCSR	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	40

注意:
- 将来のデバイスとの共通性のため、アクセスされる場合の予約ビットは0を書かれるべきです。予約したI/Oメモリ アドレスは決して書かれるべきではありません。
- アドレス範囲$00～$1F内のI/OレジスタはSBIとCBI命令を使う直接ビット アクセスが可能です。これらのレジスタではSBISとSBIC命令を使うことによって単一ビット値が検査できます。
- いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけ操作し、故にこのような状態フラグを含むレジスタで使えます。CBIとSBI命令は$00～$1Fのレジスタだけで動作します。
- I/O指定命令INとOUTを使う時はI/Oアドレス$00～$3Fが使われなければなりません。LDとST命令を使ってデータ空間としてI/Oレジスタをアドレス指定する時はこれらのアドレスに$20が加算されなければなりません。AT90USB64/128はINとOUT命令で予約した64位置で支援できるよりも多くの周辺部(機能)の複合マイクロ コントローラです。SRAM(データ空間)内の拡張I/O空間はST/STS/STDとLD/LDS/LDD命令だけが使えます。

標準I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
$3F ($5F)	SREG	I	T	H	S	V	N	Z	C	7
$3E ($5E)	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	8
$3D ($5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
$3C ($5C)	予約									
$3B ($5B)	RAMPZ	–	–	–	–	–	–	–	(RAMPZ0)	9
$3A ($5A)	予約									
$39 ($59)	予約									
$38 ($58)	予約									
$37 ($57)	SPMCSR	SPMIE	RWWSB	SIGRD	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	234
$36 ($56)	予約									
$35 ($55)	MCUCR	JTD	–	–	PUD	–	–	IVSEL	IVCE	227,50,42
$34 ($54)	MCUSR	–	–	–	JTRF	WDRF	BORF	EXTRF	PORF	227,37
$33 ($53)	SMCR	–	–	–	–	SM2	SM1	SM0	SE	30
$32 ($52)	予約									
$31 ($51)	OCDR/ MONDR	OCDR7/ MOND7	OCDR6/ MOND6	OCDR5/ MOND5	OCDR4/ MOND4	OCDR3/ MOND3	OCDR2/ MOND2	OCDR1/ MOND1	OCDR0/ MOND0	223
$30 ($50)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	209
$2F ($4F)	予約									
$2E ($4E)	SPDR	SPI データ レジスタ								117
$2D ($4D)	SPSR	SPIF	WCOL	–	–	–	–	–	SPI2X	117
$2C ($4C)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	116
$2B ($4B)	GPIOR2	汎用I/Oレジスタ2								16
$2A ($4A)	GPIOR1	汎用I/Oレジスタ1								16
$29 ($49)	PLLCSR	–	–	–	PLLP2	PLLP1	PLLP0	PLLE	PLOCK	29
$28 ($48)	OCR0B	タイマ/カウンタ0 比較Bレジスタ								75
$27 ($47)	OCR0A	タイマ/カウンタ0 比較Aレジスタ								75
$26 ($46)	TCNT0	タイマ/カウンタ0								75
$25 ($45)	TCCR0B	FOC0A	FOC0B	–	–	WGM02	CS02	CS01	CS00	74
$24 ($44)	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	73
$23 ($43)	GTCCR	TSM	–	–	–	–	–	PSRASY	PSRSYNC	112,64
$22 ($42)	EEARH	–	–	–	–	(EEAR11)	EEAR10	EEAR9	EEAR8	13
$21 ($41)	EEARL	EEPROMアドレス レジスタ下位バイト (EEAR7～0)								
$20 ($40)	EEDR	EEPROMデータ レジスタ								13
$1F ($3F)	EECR	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	13
$1E ($3E)	GPIOR0	汎用I/Oレジスタ0								16
$1D ($3D)	EIMSK	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0	44
$1C ($3C)	EIFR	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0	44
$1B ($3B)	PCIFR	–	–	–	–	–	–	–	PCIF0	45
$1A ($3A)	予約									
$19 ($39)	予約									
$18 ($38)	TIFR3	–	–	ICF3	–	OCF3C	OCF3B	OCF3A	TOV3	97
$17 ($37)	TIFR2	–	–	–	–	–	OCF2B	OCF2A	TOV2	109
$16 ($36)	TIFR1	–	–	ICF1	–	OCF1C	OCF1B	OCF1A	TOV1	97
$15 ($35)	TIFR0	–	–	–	–	–	OCF0B	OCF0A	TOV0	76
$14 ($34)	予約									
$13 ($33)	予約									
$12 ($32)	予約									
$11 ($31)	PORTF	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0	62
$10 ($30)	DDRF	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0	62
$0F ($2F)	PINF	PINF7	PINF6	PINF5	PINF4	PINF3	PINF2	PINF1	PINF0	62
$0E ($2E)	PORTE	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	62
$0D ($2D)	DDRE	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	62
$0C ($2C)	PINE	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	62
$0B ($2B)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	62
$0A ($2A)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	62
$09 ($29)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	62
$08 ($28)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	61
$07 ($27)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	61
$06 ($26)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	61
$05 ($25)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	61
$04 ($24)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	61
$03 ($23)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	61
$02 ($22)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	61
$01 ($21)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	61
$00 ($20)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	61

注: ( )付きのビットはAT90USB64xで無効です。

(訳注) 原書本位置の注意は前頁に移動しました。

34. 命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
		算術、論理演算命令			
ADD	Rd,Rr	汎用レジスタ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	RdH:RdL ← RdH:RdL + K6	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd ← Rd − Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd ← Rd − K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	RdH:RdL ← RdH:RdL − K6	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd ← Rd − Rr − C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd ← Rd − K − C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF − Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 − Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	Rd ← Rd AND ($FF − K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(−1)	Rd ← Rd − 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	R1:R0 ← Rd×Rr (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	R1:R0 ← Rd×Rr (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1:R0 ← Rd×Rr (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×U)	I,T,H,S,V,N,Z,C	2
		分岐命令			
RJMP	k	相対無条件分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	3
CALL	k	絶対サブルーチン呼び出し	STACK ← PC, PC ← k	I,T,H,S,V,N,Z,C	4
RET		サブルーチンからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	PC ← STACK	1,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd − Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd − Rr − C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd − K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータス フラグが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータス フラグが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリー フラグが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリー フラグが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの<で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	−(マイナス)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリー フラグが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

K6, K：6, 8ビット定数　P：I/Oレジスタ　Rd, Rr：汎用レジスタ(R0～R31)　X, Y, Z：X, Y, Zレジスタ
b：ビット(0～7)　k：アドレス定数(7,12,16ビット)　q：符号なし6ビット定数(変位)　s：ステータス フラグ(C,Z,N,V,X,H,T,I)

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾃﾞｰﾀ移動命令					
MOV	Rd,Rr	汎用ﾚｼﾞｽﾀ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用ﾚｼﾞｽﾀ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xﾚｼﾞｽﾀ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXﾚｼﾞｽﾀ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXﾚｼﾞｽﾀ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yﾚｼﾞｽﾀ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYﾚｼﾞｽﾀ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zﾚｼﾞｽﾀ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZﾚｼﾞｽﾀ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	ﾃﾞｰﾀ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xﾚｼﾞｽﾀ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXﾚｼﾞｽﾀ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXﾚｼﾞｽﾀ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yﾚｼﾞｽﾀ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYﾚｼﾞｽﾀ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYﾚｼﾞｽﾀ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYﾚｼﾞｽﾀ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zﾚｼﾞｽﾀ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZﾚｼﾞｽﾀ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZﾚｼﾞｽﾀ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZﾚｼﾞｽﾀ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2
STS	k,Rr	ﾃﾞｰﾀ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2
LPM		ﾌﾟﾛｸﾞﾗﾑ領域からZﾚｼﾞｽﾀ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	3
ELPM		ﾌﾟﾛｸﾞﾗﾑ領域から拡張Zﾚｼﾞｽﾀ間接で取得	R0 ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	Rd ← (RAMPZ:Z), RAMPZ:Z ← RAMPZ:Z + 1	I,T,H,S,V,N,Z,C	3
SPM		ﾌﾟﾛｸﾞﾗﾑ領域へZ ﾚｼﾞｽﾀ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oﾚｼﾞｽﾀからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oﾚｼﾞｽﾀへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用ﾚｼﾞｽﾀをｽﾀｯｸへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	2
POP	Rd	ｽﾀｯｸから汎用ﾚｼﾞｽﾀへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2
ﾋﾞｯﾄ関係命令					
SBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ﾋﾞｯﾄ移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	ｷｬﾘｰを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	ｷｬﾘｰを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ﾆﾌﾞﾙ(4ﾋﾞｯﾄ)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄを一時ﾌﾗｸﾞへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時ﾌﾗｸﾞを汎用ﾚｼﾞｽﾀのﾋﾞｯﾄへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		ｷｬﾘｰ ﾌﾗｸﾞを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		ｷｬﾘｰ ﾌﾗｸﾞを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負ﾌﾗｸﾞを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負ﾌﾗｸﾞを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ｾﾞﾛ ﾌﾗｸﾞを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ｾﾞﾛ ﾌﾗｸﾞを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号ﾌﾗｸﾞを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号ﾌﾗｸﾞを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れﾌﾗｸﾞを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れﾌﾗｸﾞを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時ﾌﾗｸﾞを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時ﾌﾗｸﾞを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵ﾃﾞﾊﾞｯｸﾞ機能専用	I,T,H,S,V,N,Z,C	N/A

35. 注文情報

ﾃﾞﾊﾞｲｽ	速度(MHz)(注3)	電源電圧(注3)	USBｲﾝﾀｰﾌｪｰｽ	注文符号 (注2)	外囲器(注1)	動作範囲
90USB646	16	2.7～5.5V	装置のみ	AT90USB646-AU	MD	工業用 (-40℃～85℃)
				AT90USB646-MU	PS	
90USB647	16	2.7～5.5V	ﾎｽﾄ(OTG)/装置	AT90USB647-AU	MD	
				AT90USB647-MU	PS	
90USB1286	16	2.7～5.5V	装置のみ	AT90USB1286-AU	MD	
				AT90USB1286-MU	PS	
90USB1287	16	2.7～5.5V	ﾎｽﾄ(OTG)/装置	AT90USB1287-AU	MD	
				AT90USB1287-MU	PS	

注1: このﾃﾞﾊﾞｲｽはｳｪﾊｰ(ﾁｯﾌﾟ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛ﾌﾘｰ製品。またﾊﾛｹﾞﾝ化合物ﾌﾘｰで完全に安全です。

注3: 速度と電源電圧の関係については264頁の「**最高速と動作電圧**」をご覧ください。

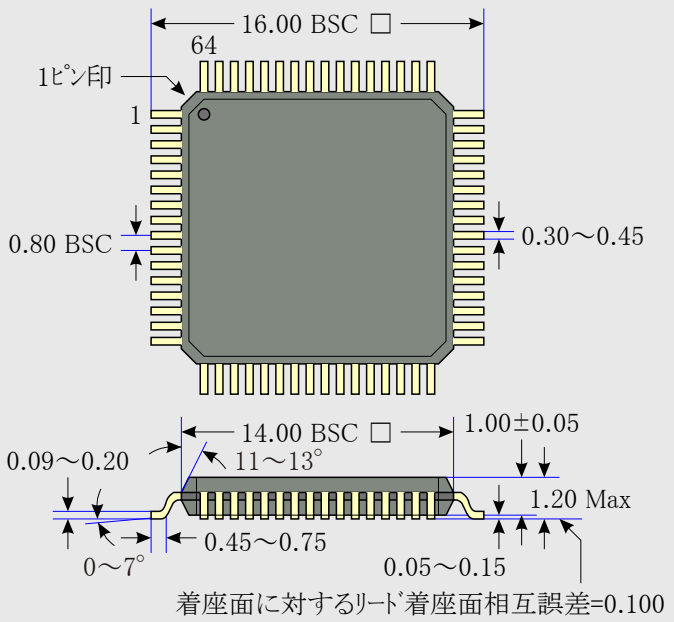
外囲器形式	
MD	64ﾘｰﾄﾞ 14×14mm, 1.0mm厚, 0.8mmﾋﾟｯﾁ ﾌﾟﾗｽﾃｨｯｸ4方向平板外囲器 (TQFP)
PS	64ﾊﾟｯﾄﾞ 9×9mm, 0.5mmﾋﾟｯﾁ 4方向平板ﾘｰﾄﾞなし/極小ﾘｰﾄﾞ枠外囲器 (QFN)

36. 外囲器情報

36.1. TQFP64

64ﾘｰﾄﾞ 0.8mmﾋﾟｯﾁ ﾌﾟﾗｽﾃｨｯｸ4方向平板外囲器 (TQFP)

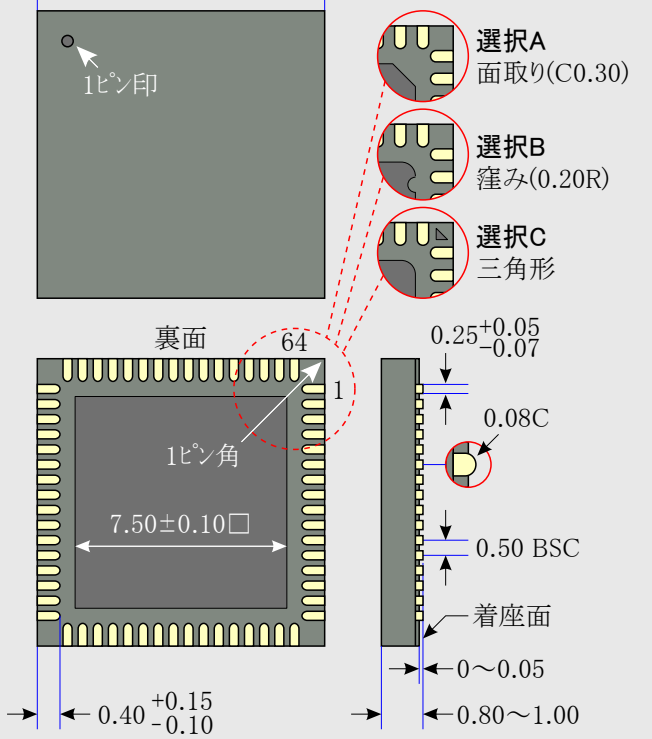
寸法: mm
JEDEC規格 MS-026 AEB



36.2. QFN64

64ﾊﾟｯﾄﾞ 0.5mmﾋﾟｯﾁ 4方向平板ﾘｰﾄﾞなし (QFN)

寸法: mm
JEDEC規格 MO-220 VMMD3



37. 障害情報

この章の改訂番号はAT90USB64/128ﾃﾞﾊﾞｲｽの改訂版を参照してください。

シリコン版	日付,ﾛｯﾄ番号刻印					
	AT90USB646	AT90USB647		AT90USB1286	AT90USB1287	
	MU (QFN64)	AU (TQFP64)	MU (QFN64)	MU (QFN64)	AU (TQFP64)	MU (QFN64)
初版	TBD	TBD	TBD	日付:～0648	日付:～0714 と ﾛｯﾄ: 0735 6H2726(注)	日付:～0701
第2版	TBD	TBD	TBD	日付:0709～0801 除く ﾛｯﾄ: 0801 7H5103(注)	日付:0722～0806 除く ﾛｯﾄ: 0735 6H2726(注)	日付:0714～0810 除く ﾛｯﾄ: 0748 7H5103(注)
第3版	–	–	–	日付:0814～ と ﾛｯﾄ: 0801 7H5103(注)	日付:0814～	日付:0814～ と ﾛｯﾄ: 0801 7H5103(注)
第4版	–	–	–	TBD	TBD	TBD

注: 空白または何れかの英数文字

- 非同期ﾀｲﾏの休止からの起動割り込みが複数回割り込みを生成 64x-①～②, 128x-①～④
- TWI許可時のTWIﾋﾟﾝでのｽﾊﾟｲｸ 64x-①～②, 128x-①～④
- 休止形態での高消費電流 64x-①～②, 128x-①～④
- USB休止(Suspend)動作での一時的挙動で過消費 64x-①～②, 128x-①～④
- VBUSTI,IDTI割り込み要求ﾌﾗｸﾞに対する不正な割り込みﾙｰﾁﾝ実行 64x-①, 128x-①～③
- 低速動作でのUSBｱｲ様式図違反 64x-①～②, 128x-①～②
- VBUSｾｯｼｮﾝ有効(Session_valid)閾値電圧 128x-①～②
- VBUS残留電圧 128x-①
- USB信号速度 128x-①

1. **非同期ﾀｲﾏの休止からの起動割り込みが複数回割り込みを生成** (64x-①～②, 128x-①～④)

   CPUｺｱが休止形態で非同期ﾀｲﾏ割り込みから起動する場合、その後休止形態へ戻り、複数回の起動復帰になるかもしれません。

   対策/対処

   ｿﾌﾄｳｪｱの対策はSLEEP命令の実行前にTCNT2>OCR2x+1まで待つことです。

2. **TWI許可時のTWIﾋﾟﾝでのｽﾊﾟｲｸ** (64x-①～②, 128x-①～④)

   TWIが許可される時にSDAとSCLﾋﾟﾝで負のｽﾊﾟｲｸが発生します。

   対策/対処

   既知の対策はなく、TWI網の他の接続点の前で最初にAtmel AT90USB64/128を許可してください。

3. **休止形態での高消費電流** (64x-①～②, 128x-①～④)

   保留割り込みが選んだ休止形態からﾃﾞﾊﾞｲｽを起動復帰し得ない場合、SEI命令直後のSLEEP命令実行時の休止中、消費電流が増加するでしょう。

   対策/対処

   休止移行に先立って休止形態からﾃﾞﾊﾞｲｽの起動復帰に使われない割り込みは禁止されるべきです。

4. **USB休止(Suspend)での一時的挙動で過消費** (64x-①～②, 128x-①～④)

   装置動作でUSBが休止(Suspend)の時にUSB信号線での一時的挙動が復帰状態を生じます。けれどもその挙動以降のｱｲﾄﾞﾙ状態は休止(Suspend)割り込み(SUSPI)ﾋﾞｯﾄを設定(1)しません。内部USB部は休止動作に留まりますが、USB差動受信部は未だ許可され、代表的に300µAの追加電力消費を生じます。一時的挙動後の休止状態検知は(SUIPIﾋﾞｯﾄ読みに代わり)ｿﾌﾄｳｪｱによって実行されるべきでしょう。

   対策/対処

   USB規格は休止(Suspend)状態で2.5mAまでの消費を給電装置に許します。

5. VBUSTIとIDTI割り込みルーチンに関する不正なCPUの動き (64x-①, 128x-①～③)

CPUコアはVBUSTI(VBUS接続検出(挿抜))とIDTI(USB IDパッド変化検出(挿抜))割り込み要求フラグに関連する割り込みベクタを不正に実行するかもしれません。

対策/対処

これらの割り込みを許可しないでください。ファームウェアはこれらのUSB事象をVBUSTIとIDTIのフラグをポーリングすることによって処理しなければなりません。

6. 低速動作でのUSBアイ様式図違反 (64x-①～②, 128x-①～②)

低速信号での送信時でD-のLowからHighへの遷移がUSBアイ様式図に違反しています。

対策/対処

ありません。

7. VBUSセッション有効(Session_valid)閾値電圧 (128x-①～②)

VBUSセッション有効(Session_valid)閾値電圧は内部的にVBus_Valid(概ね4.4V)に接続されています。VBUSがV_Session Validの代わりにVBusValidよりも高い場合にだけ装置接続を引き起こします。従ってVBUSが4.4Vよりも低い場合、装置は切り離されます。

対策/対処

USB電圧低下(予測)案に応じて、これは装置をルート ハブまたは自己給電ハブに接続する必要があるかもしれません。

8. VBUS残留電圧 (128x-①)

USB装置とホスト動作で、一度5VレベルがVBUSパッドで検出されると、VBUSピンで残留レベル(約3V)が測定されます。

対策/対処

ありません。

9. USB信号速度 (128x-①)

平均USB信号速度は或る時にショート フレームでUSB仕様(12MHz±30kHz)外が測定されるかもしれません。長い区間で測定すると、この平均信号速度値はこの仕様に適合します。このビット速度偏差は通信または機能的な異常を生成しません。

対策/対処

ありません。

38. データシート改訂履歴

この章内の参照頁番号はこの文書が参照されていることに注意してください。この章内の改訂番号は文書の改訂番号を参照してください。

38.1. 7593A – 2006年2月

1. 初版

38.2. 7593B – 2006年4月

1. 施錠ビットとヒューズ ビットに対する既定設定を変更
2. 存在しないタイマ/カウンタ4,5 レジスタを削除
3. USB項で代表的な応用図を更新

38.3. 7593C – 2006年5月

1. 289頁のTQFP64とQFN64の外囲器図を更新

38.4. 7593D – 2006年7月

1. 更なる製品互換性のため、USB PLLの可能な前置分周器設定を変更しました。8MHzと16MHzのクリスタル周波数だけがUSB動作を許します(29頁の**表6-10.**をご覧ください)。

38.5. 7593E – 2008年1月

1. PLL前置分周器表更新：原振16MHzでのPLL許可のための設定語はAT90USB64xとAT90USB 128x間で異なります。
2. USBレジスタからいくつかのビットを整理削除、OTGタイマ、遠隔起動復帰、リセットと接続タイミングについての情報を更新
3. クロック配給系統図更新(USB前置分周器供給元と設定レジスタ)
4. レジスタ一覧を整理削除
5. 「**外部割り込み**」から存在しないPCINT23～8を消去
6. 「**電気的特性**」を更新
7. 「**代表特性**」を追加
8. 「**障害情報**」章を更新

38.6. 7593F – 2008年3月

1. 文書状況から'暫定'を削除
2. スタンバイ動作でのUSBに関して明瞭化(31頁の「**スタンバイ動作**」をご覧ください。)

38.7. 7593G – 2008年1月

1. 「**障害情報**」章を更新

38.8. 7593H – xxxx年xx月

1. 64Kデバイスに対して識票情報を追加
2. 代表的なバス給電応用に関する図を修正
3. BOD基準に対して最小/最大の値を追加
4. ATmega32U6製品を追加
5. 「**障害情報**」章を更新
6. HWUPEとWAKEUPEの割り込み許可に関する説明を変更(これらの割り込みはパワーダウン動作からCPUを起すためだけに許可されるべきです。)
7. 識票列に配置される固有通番アクセスの説明を追加(237頁の「**ソフトウェアからの識票列読み出し**」をご覧ください。

38.9. 7593I – 2009年2月

1. 36頁の「**低電圧(ブラウンアウト)検出リセット**」で**表8-2.**を更新(未使用BOD基準削除)

38.10. 7593J – 2009年3月

1. 36頁の「**低電圧(ブラウンアウト)検出リセット**」で**表8-2.**を更新(BOD基準100を削除)
2. 288頁の「**注文情報**」を更新
3. ATmega32U6障害情報項目を削除

38.11. 7593K – 2009年11月

1. 19頁の**図5-7.,図5-8.,図5-9.**を修正
2. 39頁でのｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄのｱｾﾝﾌﾞﾘ言語例を更新
3. 288頁の「**注文情報**」を修正
4. ATmega32U6ﾃﾞﾊﾞｲｽの削除とそれによるﾃﾞｰﾀｼｰﾄの更新

38.12. 7593L – 2012年9月

1. 211頁の「**概要**」の先頭節でﾎﾟｰﾄFによってﾎﾟｰﾄAを置換
2. 217頁の「**A/D変換結果**」で式を更新。式は1023の代わりに1024
3. 288頁の「**注文情報**」を更新。速度を20MHzから16MHzに変更
4. 288頁「**注文情報**」でAT90USB647のUSBｲﾝﾀｰﾌｪｰｽをUSB OTGに変更(**訳注**:実際は無変化)
5. 288頁「**注文情報**」でAT90USB1286のUSBｲﾝﾀｰﾌｪｰｽを装置に変更(**訳注**:実際は無変化)
6. 288頁「**注文情報**」でAT90USB1287のUSBｲﾝﾀｰﾌｪｰｽをﾎｽﾄOTGに変更(**訳注**:実際は無変化)
7. 「**外囲器情報**」章を作成
8. 更新されたQFN64外囲器図によって「**QFN64**」外囲器を置換
9. 289頁の「**障害情報**」を更新。AT90USB1286/7は第4版、一方AT90USB646/7は第2版で更新
10. ﾃﾞｰﾀｼｰﾄ全体を通してAT90USBxxxxによってATmegaAT90USBxxxxを置換
11. 新しい雛形に従って全般を更新

目次

特徴 ・・・

20.1. 概要 ・・・

30.8. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順 ・・・・・・・・・・・・・・・・・・・ 253
30.9. JTAGｲﾝﾀｰﾌｪｰｽ経由ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・・・ 256
31. 電気的特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 263
31.1. 絶対最大定格 ・・・・・・・・・・・・・・・・・・・・・・・・ 263
31.2. DC特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 263
31.3. 外部ｸﾛｯｸ特性 ・・・・・・・・・・・・・・・・・・・・・・・・ 264
31.4. 最高速と動作電圧 ・・・・・・・・・・・・・・・・・・・・・ 264
31.5. 2線直列ｲﾝﾀｰﾌｪｰｽ特性 ・・・・・・・・・・・・・・・・・ 265
31.6. SPI ﾀｲﾐﾝｸﾞ特性 ・・・・・・・・・・・・・・・・・・・・・・・・ 266
31.7. ﾊｰﾄﾞｳｪｱ ﾌﾞｰﾄ受付ﾀｲﾐﾝｸﾞ特性 ・・・・・・・・・・・ 266
31.8. A/D変換器特性 ・・・・・・・・・・・・・・・・・・・・・・・ 267
31.9. 校正付き内蔵RC発振器精度 ・・・・・・・・・・・・・ 267
31.10. ﾃﾞｰﾀ用外部ﾒﾓﾘ ﾀｲﾐﾝｸﾞ特性 ・・・・・・・・・・・・・ 268
32. 代表特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 271
32.1. 入力電圧水準 ・・・・・・・・・・・・・・・・・・・・・・・・ 271
32.2. 出力電圧水準 ・・・・・・・・・・・・・・・・・・・・・・・・ 272
32.3. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 ・・・・・・・・・・・・・・・・・ 273
32.4. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 ・・・・・・・・・・・・・・・・・ 274
32.5. ｱｲﾄﾞﾙ動作消費電流 ・・・・・・・・・・・・・・・・・・・・ 274
32.6. 活動動作消費電流 ・・・・・・・・・・・・・・・・・・・・・ 275
32.7. ﾘｾｯﾄ消費電流 ・・・・・・・・・・・・・・・・・・・・・・・・ 275
32.8. I/O ﾌﾟﾙｱｯﾌﾟ電流 ・・・・・・・・・・・・・・・・・・・・・・ 275
32.9. 内部基準(ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ)電圧 ・・・・・・・・・・・・・ 276
32.10. 内部AREF基準電圧 ・・・・・・・・・・・・・・・・・・・・ 276
32.11. USB電圧調整器 ・・・・・・・・・・・・・・・・・・・・・・ 277
32.12. 低電圧検出器(BOD)閾値 ・・・・・・・・・・・・・・・・ 277
32.13. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ周波数 ・・・・・・・・・・・・・・・・・・ 278
32.14. 校正付き内蔵RC発振器周波数 ・・・・・・・・・・ 279
32.15. 電源ONﾘｾｯﾄ ・・・・・・・・・・・・・・・・・・・・・・・・ 280
33. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 281
34. 命令要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 285
35. 注文情報 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 288
36. 外囲器情報 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 288
37. 障害情報 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 289
38. ﾃﾞｰﾀｼｰﾄ改訂履歴 ・・・・・・・・・・・・・・・・・・・・・・ 291

Atmel Corporation
2325 Orchard Parkway
San Jose, CA 95131
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited
Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH
Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan
141-0032 東京都品川区
大崎1-6-4
新大崎勧業ﾋﾞﾙ 16F
ｱﾄﾒﾙ ｼﾞｬﾊﾟﾝ合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2012 Atmel Corporation. 不許複製

Atmel®、Atmelﾛｺﾞとそれらの組み合わせ、それとAVR®、AVR Studio®とその他はAtmel Corporationの登録商標または商標またはその付属物です。Windows®とその他は米国とその他の国に於いてMicrosoft Corporationの登録商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。**Atmelのｳｪﾌﾞｻｲﾄに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。**Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© *HERO* 2025.

本ﾃﾞｰﾀｼｰﾄはAtmelのAT90USB64/128英語版ﾃﾞｰﾀｼｰﾄ(Rev.7593L-09/12)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。更に一部の図表番号も異なります。