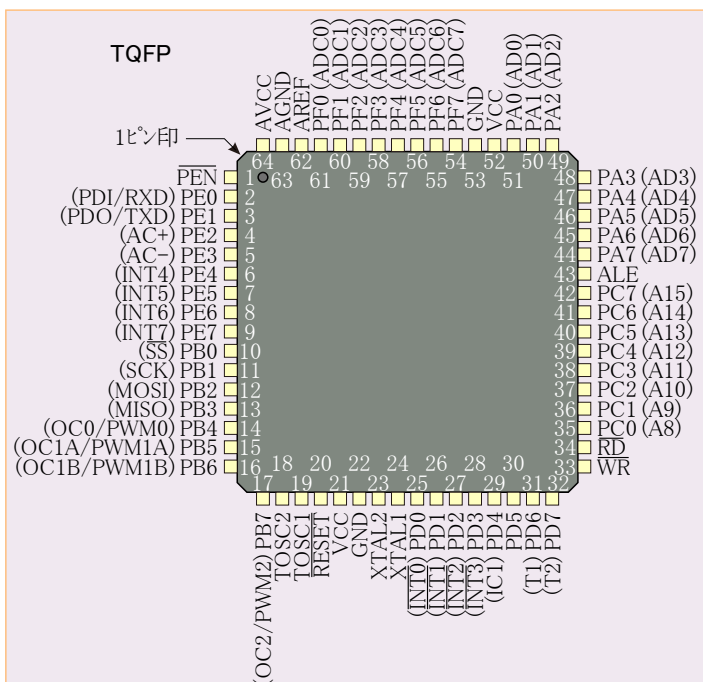


特徴

- AVR[®] RISC構造
- AVR –高性能、低消費RISC構造
 - 強力な**121命令**(多くは1周期で実行)
 - 32個の1バイト長**汎用レジスタ**
 - 6MHz時、6MIPSに達する高速動作
- 不揮発性プログラム用メモリとデータ用メモリ
 - 実装書き換え(ISP)可能な128Kバイト(64K語)**フラッシュメモリ**内蔵 (1000回の書き換え可能)
 - 4000バイトの**SRAM**
 - 実装書き換え(ISP)可能な4Kバイトの**EEPROM** (100,000回の書き換え可能)
 - 64Kバイトまでの任意**外部SRAM(メモリ)空間**
 - ソフトウェア保護用の設定可能な**施錠機能**
- 内蔵周辺機能
 - 分離された前置分周器、PWM付き、2つの**8ビットタイマ/カウンタ**
 - 分離された前置分周器、比較、捕獲、2つの8,9または10ビットPWM付き、拡張された1つの**16ビットタイマ/カウンタ**
 - 8チャンネル 10ビット **A/D変換器**
 - **アナログ比較器**
 - 設定可能な専用発振器付き**ウォッチドッグタイマ**
 - 設定可能な**UART**
 - 主装置/従装置動作**SPI直列インターフェース**
- 特殊マイクロコントローラ機能
 - 専用発振器と**8ビットタイマ/カウンタ**による実時間計数器(RTC)
 - アイドル、**パワーセーブ**、**パワーダウン**の3つの**低消費(休止)動作**
 - **ソフトウェア選択可能なクロック周波数**
 - 外部及び内部の**割り込み**
- 電気的特長
 - 高速、低消費なCMOS製法
 - 完全なスタティック動作
- 消費電流 (条件: 4MHz, 3V, 25°C)
 - 標準動作 5.5mA
 - **アイドル動作** 1.6mA
 - **パワーダウン動作** 1µA未満
- 動作電圧
 - 2.7~3.6V (ATmega103L)
 - 4.0~5.5V (ATmega103)
- I/Oと外圍器
 - 32ビットの**設定可能なI/O**、8ビット入力、8ビット出力
 - **64リードTQFP**
- 動作速度
 - 0~4MHz (ATmega103L)
 - 0~6MHz (ATmega103)

ピン配置



8ビット **AVR[®]**
 マイクロコントローラ
 実装書き換え可能な
 128Kバイト
 フラッシュメモリ内蔵

ATmega103
 ATmega103L

本製品での新規設計は推奨されません。

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 0945I-02/07, 0945IJ9-09/22

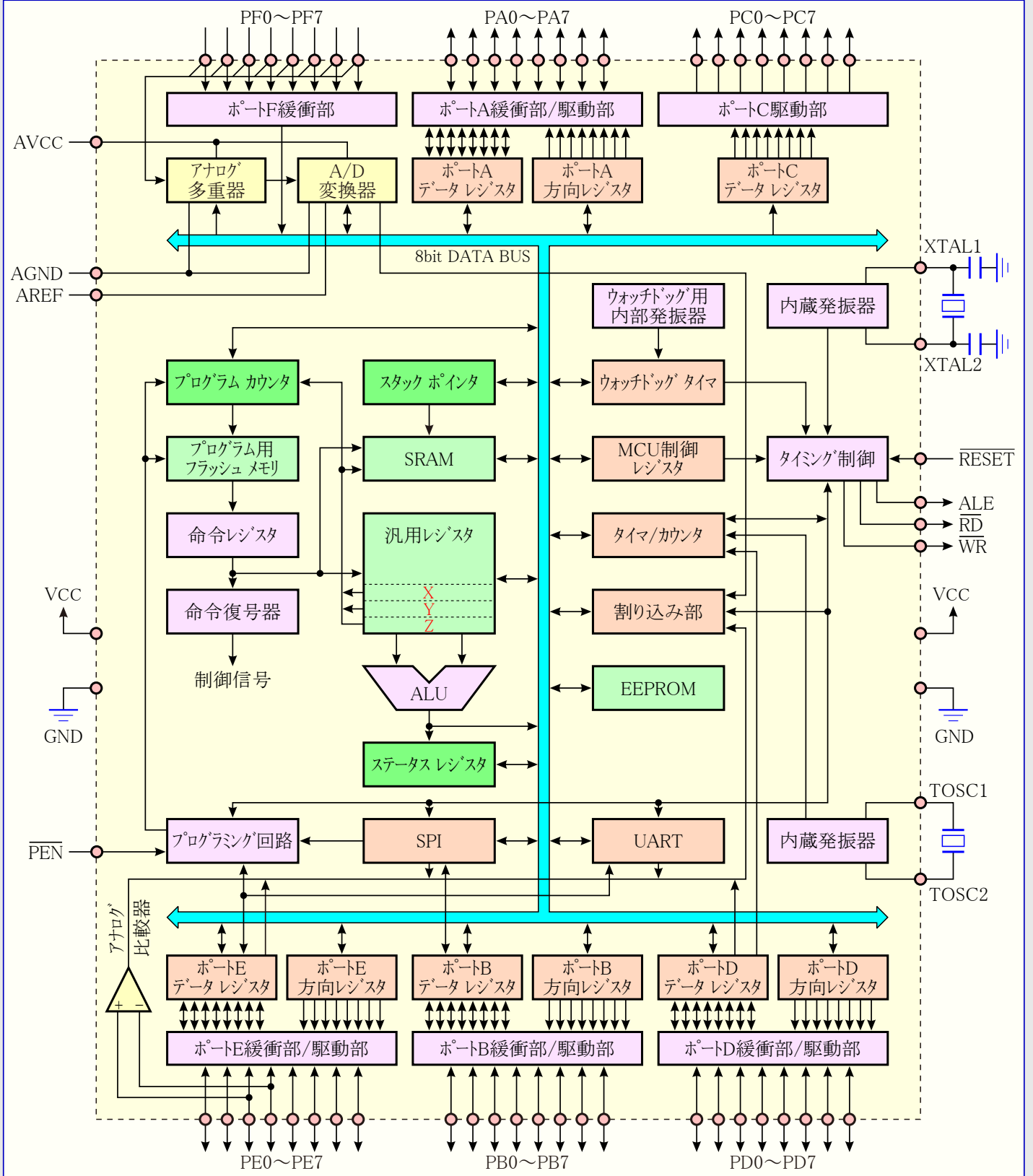


概要

ATmega103はAVR RISC構造の低消費CMOS 8ビット マイクロ コントローラです。1周期で実行する強力な命令はMHzあたり1 MIPSに達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロ コントローラに対し、最大10倍の単位処理量向上効果があります。

図1. ATmega103構成図



ATmega103は128Kバイトの実装書き換え可能なフラッシュメモリ、4KバイトのEEPROM、4000バイトのSRAM、32ビットの汎用入出力、8ビット入力線、8ビット出力線、32個の汎用レジスタ、実時間計数器(RTC)、比較動作やPWMを含む柔軟な3つのタイマ/カウンタ、UART、内部及び外部割り込み、8チャンネル10ビットA/D変換器、設定変更可能な内部発振器付きウォッチドッグタイマ、SPI直列ポート、ソフトウェアで選べる3つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPIポート、割り込み機能は有効で動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで他の全機能を無効にします。パワーセーブ動作ではタイマ用発振器が動作を継続し、デバイス停止中であっても基準タイマの継続が許されます。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なフラッシュメモリはプログラムメモリに使い、規定の不揮発性メモリ書き込み器かSPI直列インターフェース経由によって再書き込みができます。モリシックチップ上の実装書き換え可能なフラッシュメモリと拡張された8ビットRISC型CPUの組み合わせによるATmega103は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

ATmega103 AVRはCコンパイラ、マクロアセンブラ、デバッグ、シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

ピン概要

VCC

デジタル電源ピン。

GND

デジタル接地ピン。

PA7~PA0 (ポートA)

ポートAは8ビット双方向入出力ポートです。ポートピンは(ビット毎に選ばれる)内蔵プルアップ抵抗を提供できます。ポートA出力緩衝部は20mAの吸い込み電流を流せ、LED表示器を直接駆動できます。PA0~7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効の場合、吐き出し電流が流れます。

外部SRAM使用時、ポートAは切り替え使われるアドレス/データの入出力として取り扱います。

リセット条件が有効になるとき、クロックが動作していなくても、ポートAピンはHi-Zになります。

PB7~PB0 (ポートB)

ポートBは内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートBの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。

ポートBは各特殊機能も扱います。

リセット条件が有効になるとき、クロックが動作していなくても、ポートBピンはHi-Zになります。

PC7~PC0 (ポートC)

ポートCは8ビット出力ポートです。ポートCの出力緩衝部は20mAの吸い込み電流を流せます。

外部SRAM使用時、ポートCはアドレス出力としても取り扱います。

ポートCは出力専用ポートのため、リセット条件が有効になるとき、ポートCピンはHi-Zにされません。

PD7~PD0 (ポートD)

ポートDは内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートDの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートDピンには吐き出し電流が流れます。

ポートDは各特殊機能も扱います。

リセット条件が有効になるとき、クロックが動作していなくても、ポートDピンはHi-Zになります。

PE7~PE0 (ポートE)

ポートEは内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートEの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートEピンには吐き出し電流が流れます。

ポートEは各特殊機能も扱います。

リセット条件が有効になるとき、クロックが動作していなくても、ポートEピンはHi-Zになります。

PF7~PF0 (ポートF)

ポートFは8ビットの入力ポートです。ポートFはA/D変換器のアナログ入力としても扱います。

RESET

リセット入力。外部リセットはRESETピンのLowレベルにより生成されます。50nsより長いリセットパルスはクロックが動作していなくてもリセットを発生します。短すぎるパルスはリセットの生成が保証されません。

XTAL1

発振器用反転増幅器の入力、内部クロック動作回路の入力。

XTAL2

発振器用反転増幅器の出力。

TOSC1

タイマ/カウンタ発振器用反転増幅器の入力。

TOSC2

タイマ/カウンタ発振器用反転増幅器の出力。

$\overline{\text{RD}}$

外部SRAM(メモリ)用読み出しストローブ出力信号です。

$\overline{\text{WR}}$

外部SRAM(メモリ)用書き込みストローブ出力信号です。

ALE

ALEは外部メモリが許可される時に使われるアドレスラッチ許可です。このALEストローブは第1アクセス周期(High)間にアドレスラッチ内へ下位側アドレス(8ビット)をラッチするために使われ、第2アクセス周期(Low)間、AD7~0ピンはデータ用に使われます。

AVCC

AVCCはポートF(アナログ入力)とA/D変換器用の供給電圧です。A/D変換が使われない場合、このピンはVCCに接続されなければなりません。A/D変換を使う時の詳細については50頁の「雑音低減技術」をご覧ください。

AREF

AREFはA/D変換器用アナログ基準(電圧)入力です。A/D変換動作ではAGND~AVCCの範囲の電圧がこのピンに供給されなければなりません。

AGND

基板に分離されたアナログGND面がある場合、このピンはそのGND面に接続されるべきです。その他の場合はGNDに接続します。

$\overline{\text{PEN}}$

$\overline{\text{PEN}}$ は直列プログラミング動作用のプログラミング許可(入力)ピンです。電源ONリセット中、このピンをLowに保持することによってデバイスが直列プログラミング動作へ移行します。 $\overline{\text{PEN}}$ には通常動作中の機能はありません。

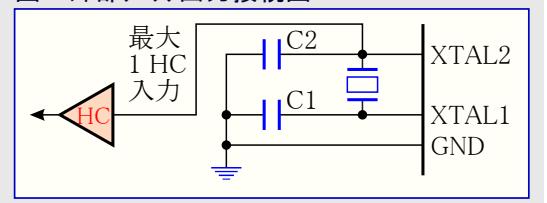
クロック任意選択

クリスタル発振器

XTAL1とXTAL2は図2.に示される内蔵発振器として使える反転増幅器の各々、入力と出力です。クリスタル発振子かセラミック振動子のどちらでも使えます。

注: 外部デバイス用クロックとしてMCU発振器を使うとき、図で示されるようにHC緩衝器が接続されるべきです。

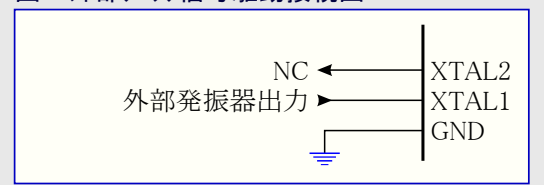
図2. 外部クロック出力接続図



外部クロック信号

外部クロック信号でデバイスを駆動するには図3.で示されるようにXTAL1が駆動され、XTAL2は未接続のままにすべきです。

図3. 外部クロック信号駆動接続図

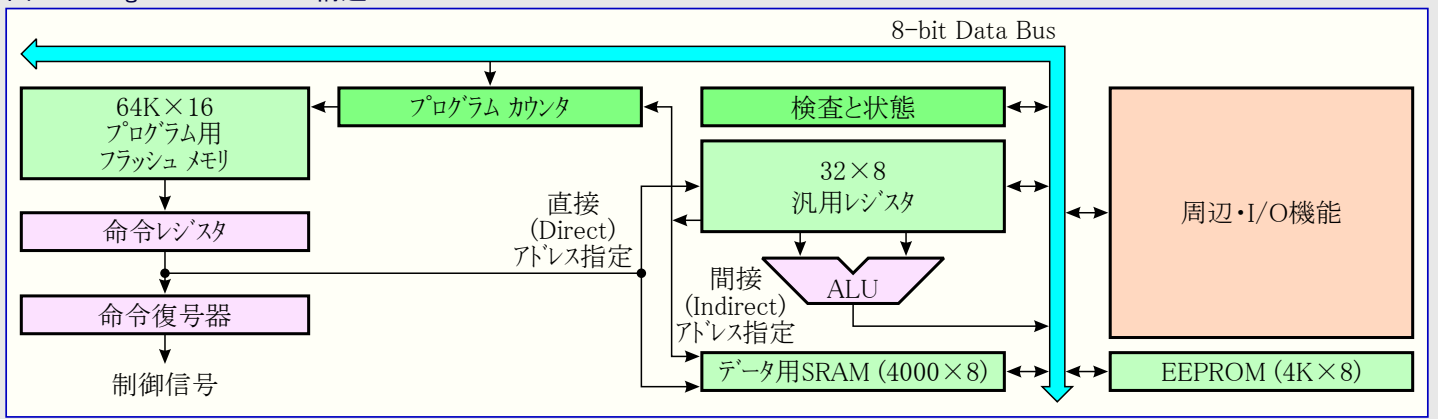


タイマ用発振器

タイマ用発振器(TOSC1とTOSC2)ピンについてはクリスタル発振子がこのピン間に直接接続されます。外部コンデンサは不要です。この発振器は時計用32.768kHzクリスタルに最適化されています。TOSC1への外部クロック信号供給は推奨されません。

構造概要

図4. ATmega103 AVR RISC構造



AVRはプログラムとデータ用にメモリとバスが各々分離されたハーバード構造の概念を使います。プログラムメモリは1段のパイプラインでアクセスされます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。少数の例外を除いて、AVRの命令は16ビット/語形式で、全てのプログラムメモリ位置が単一の16ビット命令を含むことを意味しています。

割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAMに配置され、その結果として、スタック容量は合計SRAM容量とSRAM使用量でのみ制限されます。全てのプログラムはリセット処理ルーチンで(サブルーチンや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。16ビットのSPはI/O空間で読み書きアクセスができます。

4000バイトのデータSRAMはAVR構造で支援される5つの異なるアドレス指定種別で容易にアクセスできます。

柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の全割り込み許可(1)ビットがあります。全ての割り込み要因はプログラムメモリの先頭に割り込みベクタ表として、個別の割り込みベクタがあります。各割り込みはこの割り込みベクタ表の位置に従った優先順です。下位側割り込みベクタアドレスが高い優先順位です。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

汎用レジスタ ファイル

図5は32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令はレジスタ直接指定ができ、1周期でアクセスします。SBCI,SUBI,CPI,ANDI,ORIの5つの算術、論理定数演算命令と、定数をレジスタに設定するLDI命令だけは例外です。これらの命令はレジスタファイル後半のR16~R31に対してだけ適用されます。通常のSBC,SUB,CP,AND,ORや他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

図5.で示されるように、各レジスタはデータメモリ領域の先頭からの32アドレスに配置されています。レジスタファイルは物理的にSRAMのような配置構成ではなく、この特別な構成のため、X,Y,Zレジスタを指標とする任意のレジスタ指定のような、非常に柔軟なアクセスができます。

一般データ用に利用可能な4000バイトのSRAMはアドレス\$0060~\$0FFFとして実装されます。

図5. AVR CPU 汎用レジスタ構成図

		7	0	アドレス		
汎用 レジスタ ファイル		R0		\$00		
		}				
		R15		\$0F		
		R16		\$10		
		}				
		R26		\$1A	Xレジスタ	下位8ビット
		R27		\$1B		上位8ビット
		R28		\$1C	Yレジスタ	下位8ビット
		R29		\$1D		上位8ビット
		R30		\$1E	Zレジスタ	下位8ビット
		R31		\$1F		上位8ビット

Xレジスタ, Yレジスタ, Zレジスタ

レジスタR26~R31には通常の汎用用途以外にいくつかの付加機能があります。これらのレジスタはデータ空間の間接アドレス指定ポインタにもなります。この3つの間接アドレス用レジスタX,Y,Zは図6.で定義されます。

これらのアドレスレジスタは定数変位付き、自動増加/減少付きのアドレス指定が行えます(これらの概要は個別命令を参照してください)。

図6. X,Y,Zレジスタ構成図

		15 (上位)		(下位)	0
Xレジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
Yレジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
Zレジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個全ての汎用レジスタに直接接続され、動作します。レジスタファイル内のレジスタ間ALU操作は1クロック周期内で実行されます。ALU操作は、算術演算、論理演算、ビット操作の3つの主な種類に大別されます。

実装書き換え(ISP: In-System Program)可能なプログラム用フラッシュメモリ

ATmega103にはプログラム用に実装書き換え可能な128Kバイトのフラッシュメモリが内蔵されています。全ての命令が16または32ビット語のため、フラッシュメモリは64K×16ビットとして構成されています。フラッシュメモリは少なくとも1000回再書き込みの耐久性があります。

定数表はプログラムメモリ空間全てに配置できます(LPM(Load Program Memory)とELPM(Extended Load Program Memory)命令の説明参照)。

データ用EEPROMメモリ

ATmega103には4Kバイトのデータ用EEPROMがあります。これは1バイト単位で読み書きできる独立したデータ空間として構成されます。EEPROMは少なくとも100,000回書き換えの耐久性があります。EEPROMとCPU間のアクセスは36頁のEEPROMアドレスレジスタ、EEPROMデータレジスタ、EEPROM制御レジスタで詳細に説明されます。

内蔵SRAMと外部SRAM

表1. で示されるように、ATmega103はSRAMデータメモリについて2つの異なる設定を支援します。

データメモリの最初の4096位置は汎用レジスタファイル、I/Oレジスタ両方と、データ用内蔵SRAMを指定します。最初の96位置はレジスタファイルとI/Oレジスタ、次の4000位置がデータ用内蔵SRAMを指定します。

ATmega103では任意の外部データ用SRAMが使えます。このSRAMは64Kアドレス空間の残りのアドレス位置の領域を占有します。この領域は内蔵SRAMに続くアドレスから始まります。64K外部SRAMが使われる場合、外部メモリの4Kはそのアドレスが内部メモリに占有されるため失われます。

アドレスが内蔵データSRAMを越えるデータメモリ空間にアクセスするとき、外部データSRAMは内蔵データSRAMのアクセス時と同じ命令を使ってアクセスされます。内部データ空間がアクセスされる時、読み書きスローブピン(RDとWR)はそのアクセス周期中全てで無効(High)です。外部SRAM動作はMCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットの設定(1)によって許可されます。

外部SRAMのアクセスは内蔵SRAMのアクセスに比べ、バイト毎に1つの付加クロック周期を必要とします。これはLD, ST, LDS, STS, PUSH, POP命令が1つの付加クロック周期を必要とすることを意味します。スタックが外部SRAMに配置されると、割り込み、サブルーチン呼び出し、その復帰は、2バイト

のプログラムカウンタがプッシュ/ポップされるため、2クロック周期の追加が必要になります。外部SRAMインターフェースが待ち状態付きで使われると、バイト毎に2つの付加クロック周期が使われます。これは次の影響があります。データ転送命令は2つの追加クロック周期が必要になり、然るに、割り込み、サブルーチン呼び出し、その復帰は91頁の「命令要約」で示されるより4クロック周期多く必要です。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つのアドレス指定種別がデータメモリ空間を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定時のポインタレジスタです。

変位付き間接アドレス指定はYまたはZレジスタで与えられる基準アドレスから届く63アドレス位置が特徴です。

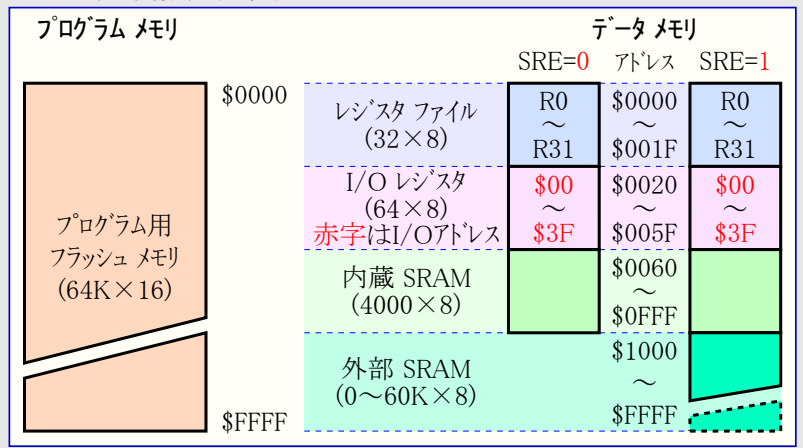
事前減少付き間接、事後増加付き間接アドレス指定を使うとき、アドレスレジスタX, YまたはZが使われ、自動的に減少または増加されず。

32個の汎用レジスタ、64個のI/Oレジスタを含む全データアドレス空間はこれら全てのアドレス指定種別を通して全てがアクセス可能です。各アドレス指定種別の詳細な説明については次章をご覧ください。

表1. SRAM/データメモリ設定

SRE	内蔵SRAM	外部メモリ
0		なし
1	4000	～60K

図7. メモリ空間設定(配置)

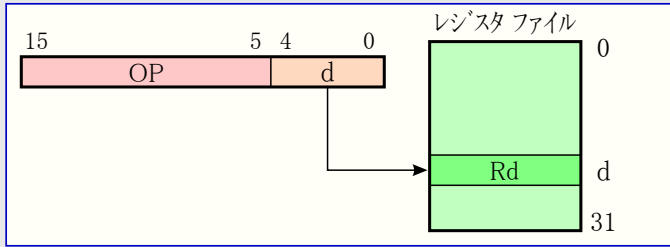


プログラム及びデータ空間に対するアドレス指定種別

ATmega103 AVR RISCマイクロ コントローラはプログラム メモリ(フラッシュ メモリ)とデータ メモリ(SRAM、レジスタ ファイル、I/Oメモリ)アクセス用に効率的なアドレス指定種別を支援します。本項はAVR構造によって支援される各アドレス指定種別を記述します。図内のOPは命令語の動作符号部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

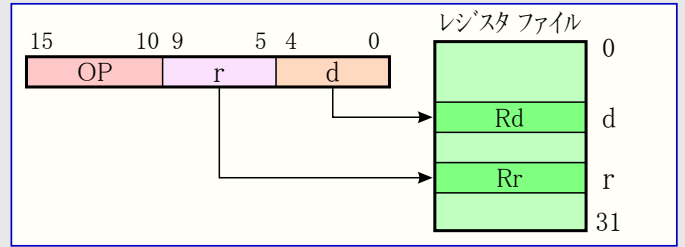
図8. 単一レジスタ直接



オペランドはレジスタd(Rd)を示します。

レジスタ間(Rd, Rr)直接

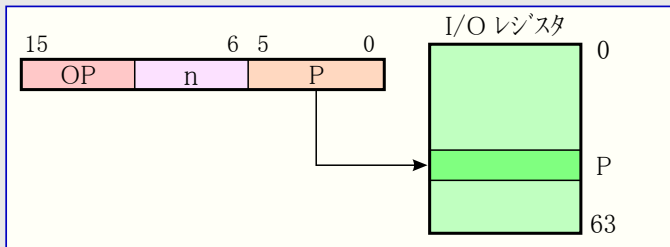
図9. レジスタ間直接



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

I/O直接

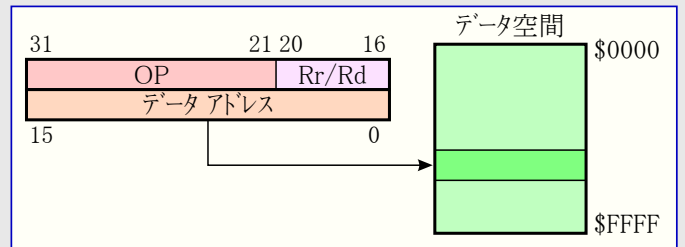
図10. I/O直接



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

データ直接

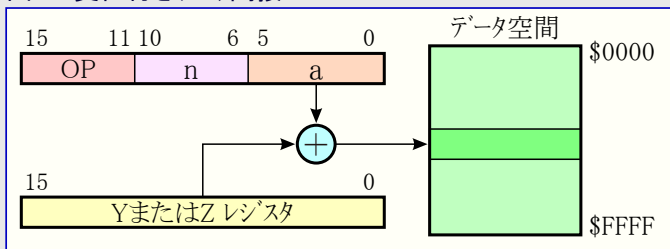
図11. データ直接



オペランドは2語命令の下位16ビットでデータ空間のアドレス位置を示し、Rr/Rdは転送元または転送先となるレジスタを示します。

変位付きデータ間接

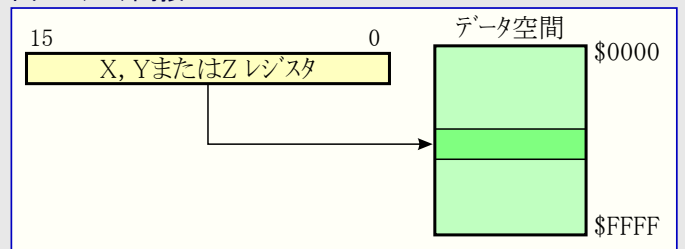
図12. 変位付きデータ間接



オペランド アドレスは、YまたはZレジスタの内容と命令語内の6ビット値aを加算した値となり、他方が転送元または転送先となるレジスタn(Rn)を示します。

データ間接

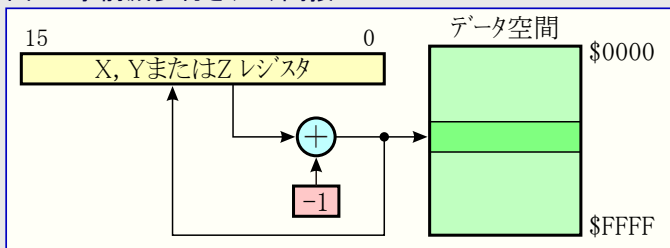
図13. データ間接



オペランド アドレスは、X, YまたはZレジスタの内容となります。

事前減少付きデータ間接

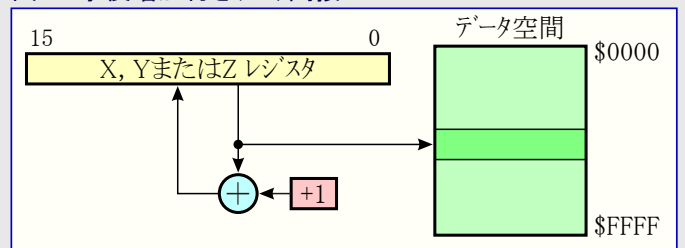
図14. 事前減少付きデータ間接



X, YまたはZレジスタはアクセス動作前に内容が減少されます。オペランド アドレスは減少されたX, YまたはZレジスタの内容となります。

事後増加付きデータ間接

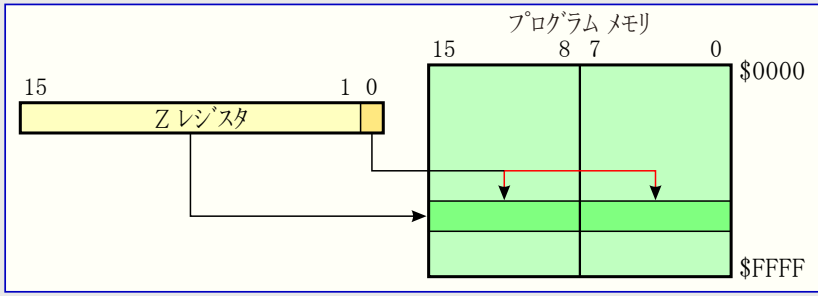
図15. 事後増加付きデータ間接



X, YまたはZレジスタはアクセス動作後に内容が増加されます。オペランド アドレスは増加される前のX, YまたはZレジスタの内容となります。

LPM,ELPM命令による定数アドレス指定

図16. プログラム空間定数アドレス指定

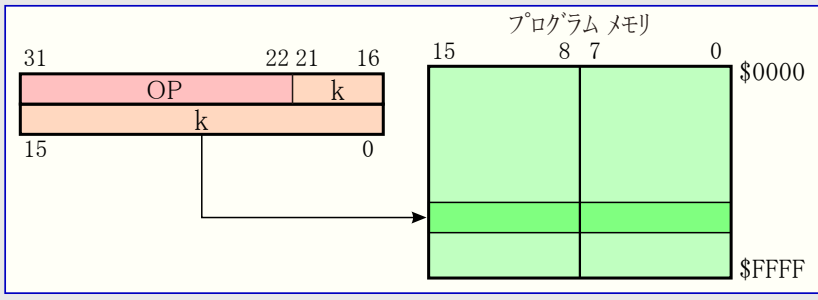


バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0~32Kの語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

ELPMが使われる場合、RAMページレジスタ(RAMPZ)のLSB(最下位ビット)がメモリページの上位または下位を選ぶのに使われます(RAMPZ0=0:下位ページ、RAMPZ0=1:上位ページ)。

JMP, CALL命令によるプログラム絶対(直接)アドレス指定

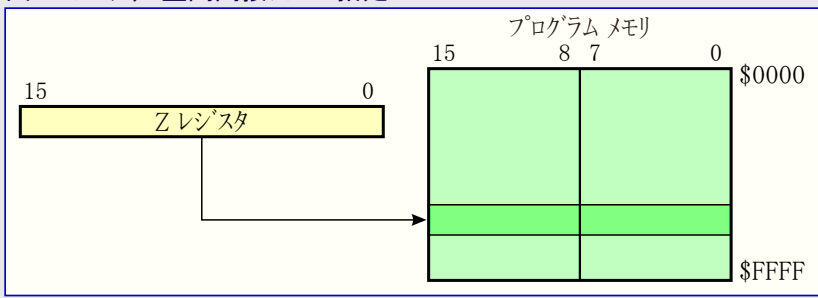
図17. プログラム空間絶対アドレス指定



プログラムはkのアドレスから実行が継続されます。(PCにkの下位16ビットを設定します。)

IJMP, ICALL命令によるプログラム間接アドレス指定

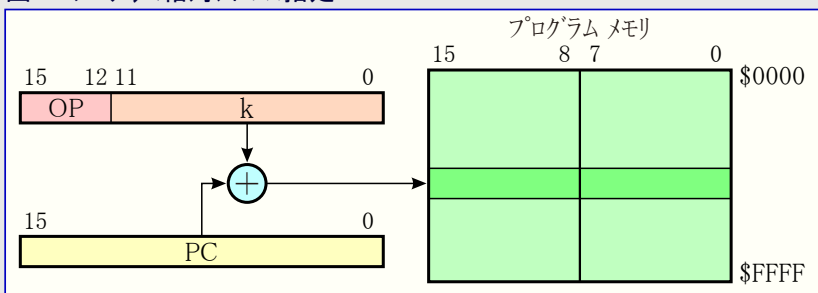
図18. プログラム空間間接アドレス指定



プログラムはZレジスタの内容のアドレスから実行が継続されます。(PCにZレジスタの内容を設定します。)

RJMP, RCALL命令によるプログラム相対アドレス指定

図19. プログラム相対アドレス指定



プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048~2047です。

注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

メモリアクセスと命令実行タイミング

本項は命令実行と内部メモリアクセスについての一般的なアクセスタイミングの概念を記述します。

AVR CPUは外部クロック クリスタルから直接的に生成されるシステムクロックφによって駆動されます。内部クロック分周は使われません。

図20.はハーバート構造と高速アクセスレジスタファイルの概念によって可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、機能対クロック、機能対電源部での好結果に相当するMHzあたり1 MIPSまでを得る基本的なパイプラインの概念です。

図20. 命令の取得と実行の並列動作

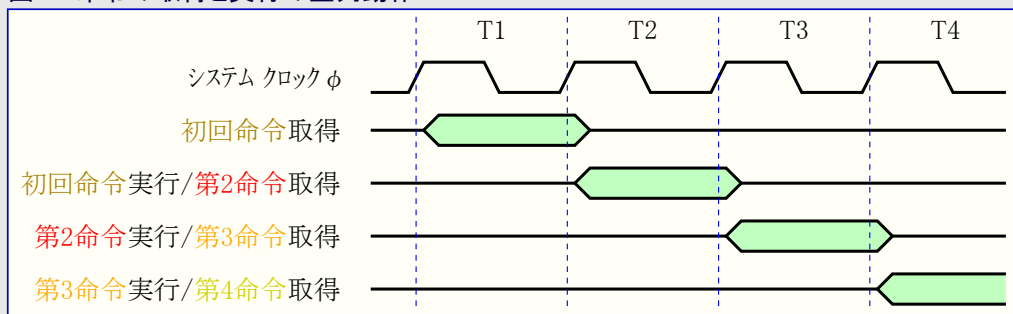
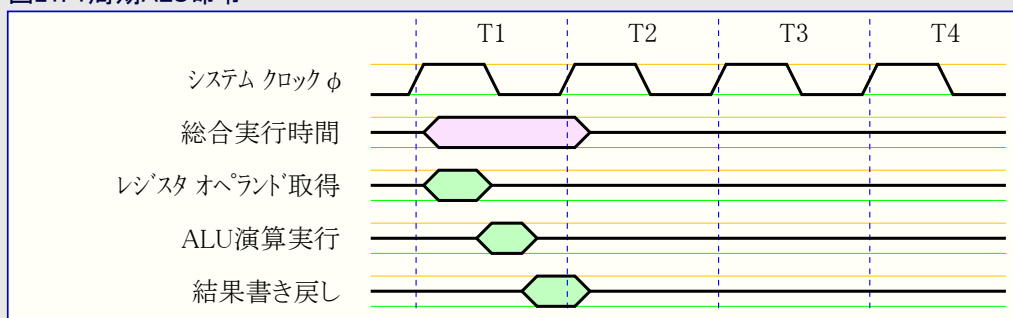


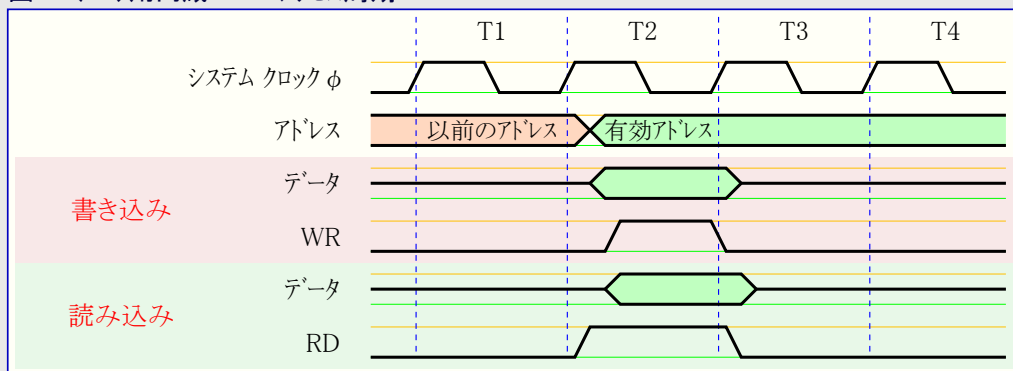
図21.はレジスタファイルに対する内部タイミングの概念を示します。2つのレジスタオペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図21. 1周期ALU命令



データ用内蔵SRAMのアクセスは、図22.で示されるように、2システムクロック周期で実行されます。

図22. データ用内蔵SRAMアクセス周期



注: T1, T2が命令実行周期です。

外部SRAMアクセスの説明については52頁の「外部SRAM(メモリ)インターフェース」をご覧ください。

I/O レジスタ

ATmega103のI/O領域定義は表2.に示されます。

表2. ATmega103 I/Oレジスタ

アドレス	レジスタ略名	レジスタ名
\$3F (\$5F)	SREG	ステータスレジスタ Status Register
\$3E (\$5E)	SPH	スタックポインタ上位 Stack Pointer High
\$3D (\$5D)	SPL	スタックポインタ下位 Stack Pointer Low
\$3C (\$5C)	XDIV	クロック分周制御レジスタ XTAL Divide Control Register
\$3B (\$5B)	RAMPZ	RAMページ選択レジスタ RAM Page Z Select Register
\$3A (\$5A)	EICR	外部割り込み条件制御レジスタ External Interrupt Control register
\$39 (\$59)	EIMSK	外部割り込み許可レジスタ External Interrupt MaSK register
\$38 (\$58)	EIFR	外部割り込み要求フラグレジスタ External Interrupt Flag Register
\$37 (\$57)	TIMSK	タイマ/カウンタ割り込み許可レジスタ Timer/Counter Interrupt MaSK register
\$36 (\$56)	TIFR	タイマ/カウンタ割り込み要求フラグレジスタ Timer/Counter Interrupt Flag Register
\$35 (\$55)	MCUCR	MCU制御レジスタ MCU general Control Register
\$34 (\$54)	MCUSR	MCU状態レジスタ MCU general Status Register
\$33 (\$53)	TCCR0	タイマ/カウンタ0 制御レジスタ Timer/Counter 0 Control Register
\$32 (\$52)	TCNT0	タイマ/カウンタ0 カウンタ Timer/CouNter 0 (8bit)
\$31 (\$51)	OCR0	タイマ/カウンタ0 比較レジスタ Timer/Counter 0 Output Compare Register
\$30 (\$50)	ASSR	タイマ/カウンタ0 非同期状態レジスタ Asynchronous mode Status Register
\$2F (\$4F)	TCCR1A	タイマ/カウンタ1 制御レジスタA Timer/Counter 1 Control Register A
\$2E (\$4E)	TCCR1B	タイマ/カウンタ1 制御レジスタB Timer/Counter 1 Control Register B
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 カウンタ上位 Timer/CouNter 1 High byte
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 カウンタ下位 Timer/CouNter 1 Low byte
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1 比較Aレジスタ上位 Timer/Counter 1 Output Compare Register 1A High byte
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1 比較Aレジスタ下位 Timer/Counter 1 Output Compare Register 1A Low byte
\$29 (\$49)	OCR1BH	タイマ/カウンタ1 比較Bレジスタ上位 Timer/Counter 1 Output Compare Register 1B High byte
\$28 (\$48)	OCR1BL	タイマ/カウンタ1 比較Bレジスタ下位 Timer/Counter 1 Output Compare Register 1B Low byte
\$27 (\$47)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位 Timer/Counter 1 Input Capture Register High byte
\$26 (\$46)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位 Timer/Counter 1 Input Capture Register Low byte
\$25 (\$45)	TCCR2	タイマ/カウンタ2 制御レジスタ Timer/Counter 2 Control Register
\$24 (\$44)	TCNT2	タイマ/カウンタ2 カウンタ Timer/CouNter 2 (8bit)
\$23 (\$43)	OCR2	タイマ/カウンタ2 比較レジスタ Timer/Counter 2 Output Compare Register
\$21 (\$41)	WDTCR	ウォッチドッグ タイマ制御レジスタ WatchDog Timer Control Register
\$1F (\$3F)	EEARH	EEPROM アドレス上位レジスタ EEPROM Address Register high byte
\$1E (\$3E)	EEARL	EEPROM アドレス下位レジスタ EEPROM Address Register low byte
\$1D (\$3D)	EEDR	EEPROM データレジスタ EEPROM Data Register
\$1C (\$3C)	EECR	EEPROM 制御レジスタ EEPROM Control Register
\$1B (\$3B)	PORTA	ポートA 出力データレジスタ Data Register, Port A
\$1A (\$3A)	DDRA	ポートA 方向レジスタ Data Direction Register, Port A
\$19 (\$39)	PINA	ポートA 入力データレジスタ Input Pins, Port A
\$18 (\$38)	PORTB	ポートB 出力データレジスタ Data Register, Port B
\$17 (\$37)	DDRB	ポートB 方向レジスタ Data Direction Register, Port B
\$16 (\$36)	PINB	ポートB 入力データレジスタ Input Pins, Port B
\$15 (\$35)	PORTC	ポートC 出力データレジスタ Data Register, Port C
\$12 (\$32)	PORTD	ポートD 出力データレジスタ Data Register, Port D
\$11 (\$31)	DDRD	ポートD 方向レジスタ Data Direction Register, Port D
\$10 (\$30)	PIND	ポートD 入力データレジスタ Input Pins, Port D
\$0F (\$2F)	SPDR	SPI データレジスタ SPI I/O Data Register
\$0E (\$2E)	SPSR	SPI 状態レジスタ SPI Status Register
\$0D (\$2D)	SPCR	SPI 制御レジスタ SPI Control Register
\$0C (\$2C)	UDR	UART データレジスタ UART Data Register
\$0B (\$2B)	USR	UART 状態レジスタ UART Status Register
\$0A (\$2A)	UCR	UART 制御レジスタ UART Control Register
\$09 (\$29)	UBRR	UART ボーレートレジスタ UART Baud Rate Register
\$08 (\$28)	ACSR	アナログ比較器 制御/状態レジスタ Analog Comparator Control and Status Register
\$07 (\$27)	ADMUX	A/D変換 多重器選択レジスタ ADC Multiplexer Select Register
\$06 (\$26)	ADCSR	A/D変換 制御/状態レジスタ ADC Control and Status Register
\$05 (\$25)	ADCH	A/D変換 データレジスタ上位 ADC Data Register High
\$04 (\$24)	ADCL	A/D変換 データレジスタ下位 ADC Data Register Low
\$03 (\$23)	PORTE	ポートE 出力データレジスタ Data Register, Port E
\$02 (\$22)	DDRE	ポートE 方向レジスタ Data Direction Register, Port E
\$01 (\$21)	PINE	ポートE 入力データレジスタ Input Pins, Port E
\$00 (\$20)	PINF	ポートF 入力データレジスタ Input Pins, Port F

注: 予約と未使用の位置は、この表で示されていません。()内のアドレスはデータ空間の一部としてアクセスする場合のアドレスです。

ATmega103の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より多くの詳細については91頁の命令要約を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。I/OレジスタをSRAMとしてアクセスするとき、\$20がこのアドレスに加算されなければなりません。本文書を通して、全てのI/Oレジスタアドレスは、()内でデータ空間アドレスが示されます。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

状態フラグのいくつかは、論理1を書くことで解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読むフラグは1が書き戻され、従ってフラグを解除(0)することに注意してください。CBIとSBI命令は、レジスタ\$00～\$1Fでのみ動作します。

I/Oと周辺制御レジスタは次章で説明されます。

ステータス レジスタ (Status Register) SREG

AVRのステータス レジスタ(SREG)は、I/O領域の\$3F(\$5F)で、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合、設定(1)しなければなりません。各割り込みの許可は、各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令によって設定(1)されます。

• ビット6 – T: ビット変数 (Bit Copy Storage)

このTビットはBLD(Bit Load)命令とBST(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

• ビット5 – H: ハーフキャリー フラグ (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については命令要約を参照してください。

• ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

• ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

• ビット2 – N: 負フラグ (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

• ビット1 – Z: ゼロフラグ (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

• ビット0 – C: キャリー フラグ (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないうことに注意してください。これはソフトウェアによって操作しなければなりません。

スタックポインタ (Stack Pointer) SPH, SPL (SP)

AVRの一般16ビットスタックポインタは、実際にはI/O空間位置\$3E(\$5E)と\$3D(\$5D)の2つの8ビットレジスタの構造です。ATmega103は64Kバイトまでの外部SRAMを支援するため、16ビット全てが使われます。

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

スタックポインタはサブルーチンと割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック領域は、割り込みの許可や、何れかのサブルーチン呼び出しが実行される前にプログラムによって定義されなければなりません。スタックポインタは\$60以上を指示するために設定されなければなりません。スタックポインタは、**PUSH**命令でデータがスタック上に格納される時-1され、サブルーチン呼び出しや割り込みでアドレスがスタック上に格納される時-2されます。**POP**命令でデータをスタックから引き出す時+1され、サブルーチンからの復帰(**RET**命令)や割り込みからの復帰(**RETI**命令)でアドレスをスタックから引き出す時+2されます。

クロック分周制御レジスタ (XTAL Divide Control Register) XDIV

クロック分周制御レジスタはXTAL(システム)クロック周波数を1~129の範囲の数で分周するのに使われます。この機能は必要な処理能力が低い時の電力消費削減に使えます。

ビット	7	6	5	4	3	2	1	0	
\$3C (\$5C)	XDIVEN	XDIV6	XDIV5	XDIV4	XDIV3	XDIV2	XDIV1	XDIV0	XDIV
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 - XDIVEN : クロック分周許可 (XTAL Divide Enable)

XDIVENビットが設定(1)されると、CPUと全ての周辺機能のクロック周波数はXDIV6~0の設定によって定義される係数で分周されます。応用に合致するクロック周波数に変えるため、このビットは実行中に設定(1)と解除(0)ができます。

• ビット6~0 - XDIV6~0 : クロック分周値選択 (XTAL Divide Select Bits 6~0)

これらのビットはクロック分周許可(XDIVEN)ビットが設定(1)される時に適用する分周係数を定義します。これらのビットの値が*d*で示されるなら、次式が結果のCPUクロック周波数*f*_{CLK}を定義します。

$$f_{CLK} = \frac{XTAL}{129-d} \quad XTAL : \text{元クロック周波数}$$

これらのビット値はXDIVENビットが0の時だけ変更できます。XDIVENが1に設定されるとき、同時にXDIV6~0へ書かれた値は分周係数として採用されます。XDIVENが0に解除されるとき、同時にXDIV6~0へ書かれた値は却下されます。分周器がMCUへの主クロックを分周するために分周係数が使われると、全ての周辺機能の速度が下げられます。

RAMページ選択レジスタ (RAM Page Z Select Register) RAMPZ

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	-	-	-	-	-	-	-	RAMPZ0	RAMPZ
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

通常、RAMページ選択レジスタ(RAMPZ)はZポインタ(レジスタ)間接によってどの64K RAMページがアクセスされるのかを選ぶのに使われます。ATmega103は64Kを越えるSRAMメモリを支援しないので、このレジスタは**ELPM**命令が使われる時にプログラムメモリ内のどのページがアクセスされるのかを選ぶためだけに使われます。RAMPZ0ビットの各設定は次の効果があります。

RAMPZ0=0 : プログラムメモリのアドレス\$0000~\$7FFF(下位64Kバイト)が**ELPM**命令によってアクセスされます。

RAMPZ0=1 : プログラムメモリのアドレス\$8000~\$FFFF(上位64Kバイト)が**ELPM**命令によってアクセスされます。

スループット

MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタはMCU機能一般についての制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW	SE	SM1	SM0	-	-	-	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 - SRE : 外部SRAM許可 (External SRAM Enable)**

このSREビットが設定(1)されるとデータ用外部SRAMが許可され、AD7~0(ポートA)、A15~8(ポートC)のピン機能は交換ピン機能として活性化(有効に)されます。その時、SREビットは各ポート方向レジスタでのどんなピン方向設定も無視します。SREビットが解除(0)されると、データ用外部SRAMが禁止され、標準ピンとデータ方向設定が使われます。

- **ビット6 - SRW : 外部SRAM待ち (External SRAM Wait State)**

このSRWビットが設定(1)されると、データ用外部SRAMアクセス周期に1周期の待ち状態が挿入されます。SRWビットが解除(0)されると、データ用外部SRAMアクセスは標準の3周期構造で実行されます。52頁の図51と図52をご覧ください。

- **ビット5 - SE : 休止許可 (Sleep Enable)**

SLEEP命令が実行される時にMCUを休止形態へ移行させるには休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的外休止形態移行をなくすため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

- **ビット4,3 - SM1,0 : 休止種別 (Sleep Mode Select Bits 1 and 0)**

これらのビットは表3.で示される利用可能な3つの休止形態の1つを選びます。

表3. 休止形態種別選択

SM1	SM0	休止形態種別
0	0	アイドル動作
	1	(予約)
1	0	パワーダウン動作
	1	パワーセーブ動作

- **ビット2~0 - Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

リセットと割り込みの扱い

ATmega103には23種類の割り込みがあります。これらの割り込みとリセットのベクタはプログラムメモリ空間内に各々個別のベクタを持っています。全ての割り込みは割り込みを許可するために個別の許可ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットを共に設定(1)しなければなりません。

プログラムメモリ空間の最下位アドレスはリセットと割り込みのベクタとして自動的に定義されます。このベクタの全一覧は表4.に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表4. リセットと割り込みのベクタ

ベクタ番号	プログラムアドレス	発生元	備考
1	\$0000	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$0002	INT0	外部割り込み要求0
3	\$0004	INT1	外部割り込み要求1
4	\$0006	INT2	外部割り込み要求2
5	\$0008	INT3	外部割り込み要求3
6	\$000A	INT4	外部割り込み要求4
7	\$000C	INT5	外部割り込み要求5
8	\$000E	INT6	外部割り込み要求6
9	\$0010	INT7	外部割り込み要求7
10	\$0012	タイマ/カウンタ2 COMP2	タイマ/カウンタ2比較一致
11	\$0014	タイマ/カウンタ2 OVF2	タイマ/カウンタ2溢れ
12	\$0016	タイマ/カウンタ1 CAPT	タイマ/カウンタ1捕獲発生
13	\$0018	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
14	\$001A	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
15	\$001C	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
16	\$001E	タイマ/カウンタ0 COMP0	タイマ/カウンタ0比較一致
17	\$0020	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
18	\$0022	SPI STC	SPI 転送完了
19	\$0024	UART RX	UART受信完了
20	\$0026	UART UDRE	UART送信緩衝部空き
21	\$0028	UART TX	UART送信完了
22	\$002A	A/D変換 ADC	A/D変換完了
23	\$002C	EEPROM EE_RDY	EEPROM 操作可
24	\$002E	アナログ比較器 ANA_COMP	アナログ比較器出力遷移

リセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$0000		JMP RESET	;各種リセット
\$0002		JMP EXT_INT0	;外部割り込み要求0
\$0004		JMP EXT_INT1	;外部割り込み要求1
\$0006		JMP EXT_INT2	;外部割り込み要求2
\$0008		JMP EXT_INT3	;外部割り込み要求3
\$000A		JMP EXT_INT4	;外部割り込み要求4
\$000C		JMP EXT_INT5	;外部割り込み要求5
\$000E		JMP EXT_INT6	;外部割り込み要求6
\$0010		JMP EXT_INT7	;外部割り込み要求7
\$0012		JMP TIM2_COMP	;タイマ/カウンタ2比較一致
\$0014		JMP TIM2_OVF	;タイマ/カウンタ2溢れ
\$0016		JMP TIM1_CAPT	;タイマ/カウンタ1捕獲発生
\$0018		JMP TIM1_COMPA	;タイマ/カウンタ1比較A一致
\$001A		JMP TIM1_COMPB	;タイマ/カウンタ1比較B一致
\$001C		JMP TIM1_OVF	;タイマ/カウンタ1溢れ
\$001E		JMP TIMO_COMP	;タイマ/カウンタ0比較一致
\$0020		JMP TIMO_OVF	;タイマ/カウンタ0溢れ
\$0022		JMP SPI_STC	;SPI転送完了
\$0024		JMP UART_RXC	;UART受信完了
\$0026		JMP UART_DRE	;UART送信緩衝部空
\$0028		JMP UART_TXC	;UART送信完了
\$002A		JMP ADC	;A/D変換完了
\$002C		JMP EE_RDY	;EEPROM操作可
\$002E		JMP ANA_COMP	;アナログ比較器出力遷移
;			
\$0030	RESET:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得
\$0031		OUT SPH, R16	;スタックポインタ上位を初期化
\$0032		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$0033		OUT SPL, R16	;スタックポインタ下位を初期化
		}	;以下、I/O初期化など

リセット元

ATmega103には次の3つのリセット元があります。

- **電源ONリセット** 電源電圧が電源ONリセット閾値電圧(V_{POT})以下でリセットになります。
- **外部リセット** RESETピンが50ns以上Lowレベルに保たれるとリセットになります。
- **ウォッチドッグリセット** ウォッチドッグが許可され、ウォッチドッグ タイマ周期が経過するとリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、その後にアドレス\$0000からプログラム実行が始まります。アドレス\$0000に配置される命令は、リセット処理ルーチンへの無条件絶対分岐(JMP)命令でなければなりません。プログラムで決して割り込みを許可しないなら、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。図23.にリセット部の回路構成を示します。表5.はリセット回路の電気的特性とタイミングを定義します。

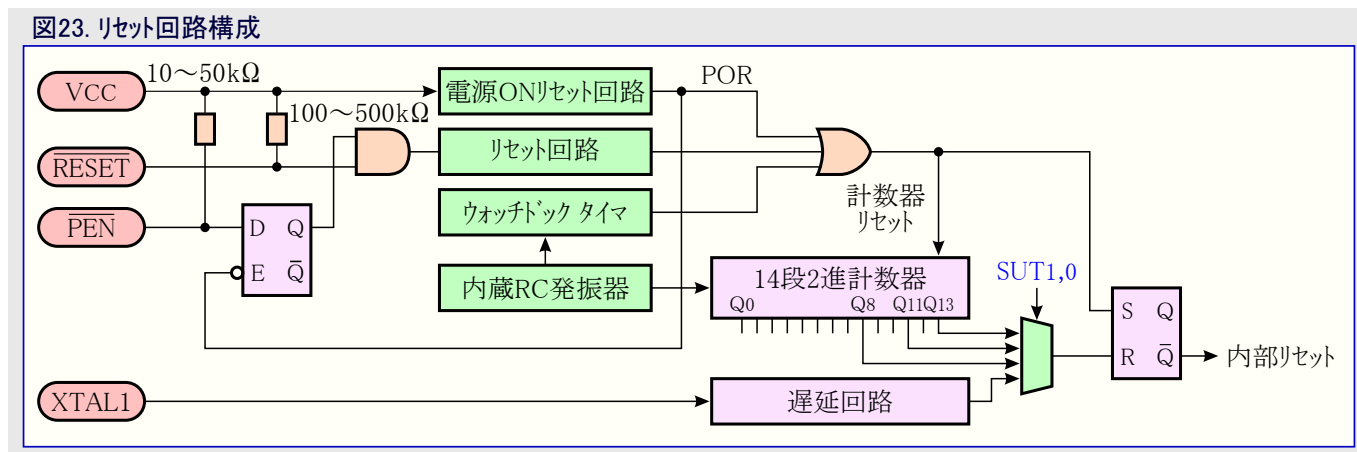


表5. リセット電気的特性 (VCC=5.0V)

シンボル	項目	最小	代表	最大	単位	
V _{POT}	上昇時電源ONリセット閾値電圧	1.0	1.4	1.8	V	
	下降時電源ONリセット閾値電圧 (注1)	0.4	0.6	0.8		
V _{RST}	RESETピン閾値電圧		VCC/2			
t _{TOUT}	リセット遅延時間	SUT=00		5	CPUクロック	
		SUT=01	0.4	0.5	0.6	ms
		SUT=10	3.2	4.0	4.8	
		SUT=11	12.8	16.0	19.2	

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

電源ONリセット

電源ONリセット(POR)回路は電源投入時のデバイスリセットを保証します。図23.で示されるように、ウォッチドッグ発振器から駆動される内部タイマは、VCC上昇時間に拘らず、VCCが電源ON閾値電圧(V_{POT})に達した後の或る期間後までMCUを開始から保護します(図24.参照)。SUT1とSUT0のヒューズビットは表5.で示されるリセット起動時間を選ぶのに使われます。

代表的な発振器起動時間に合致する起動時間を選べます。SUT=00を除く各起動時間で使われるウォッチドッグ発振器(WDT)周期数は表6.で示されます。ウォッチドッグ発振器の周波数は83頁の「代表特性」内で示されるように電圧に依存します。

SUT1,0=00設定は5 CPUクロック周期後にMCUを始めさせ、外部クロック信号がXTAL1ピンに供給される時に使えます。この設定はウォッチドッグ発振器を使わず、休止形態中にクロック信号が存在すれば、パワーダウンやパワーセーブの休止形態から非常に高速な起動を可能にします。詳細については71頁から始まるプログラミング仕様を参照してください。

内蔵起動遅延時間で十分な場合、RESETを直接または外部プルアップ抵抗を介してVCCに接続できます。VCC供給後も、このピンをLowレベルに保持することで起動遅延時間を延長することができます。このタイミング例は図25.を参照してください。

表6. ウォッチドッグ発振器の周期数

SUT1,0	遅延時間(VCC=5V)	WDT周期数
0 1	0.5ms	512
1 0	4.0ms	4K
1 1	16.0ms	16K

図24. 内蔵電源ONリセット (RESETはVCCに接続)

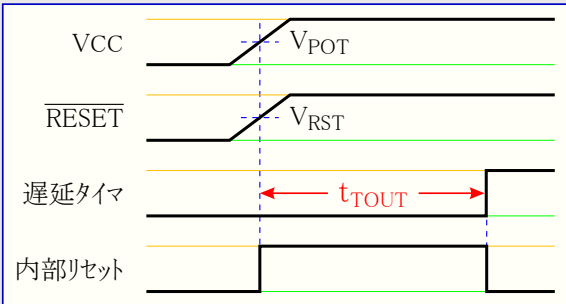
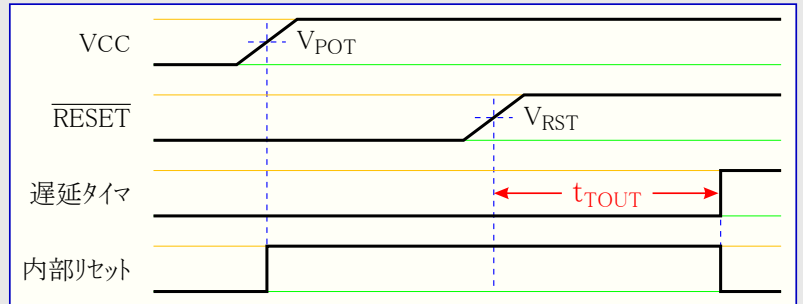


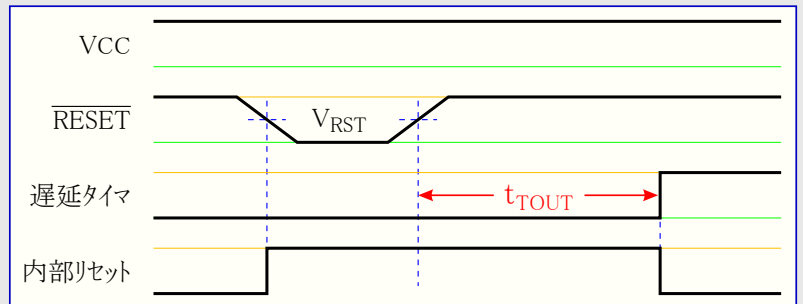
図25. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピン上のLowレベルによって生成されます。例えばクロックが動いていなくても、50nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセットが保証されません。供給された信号の上昇がリセット閾値電圧(V_{RST})に達すると、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを起動します。

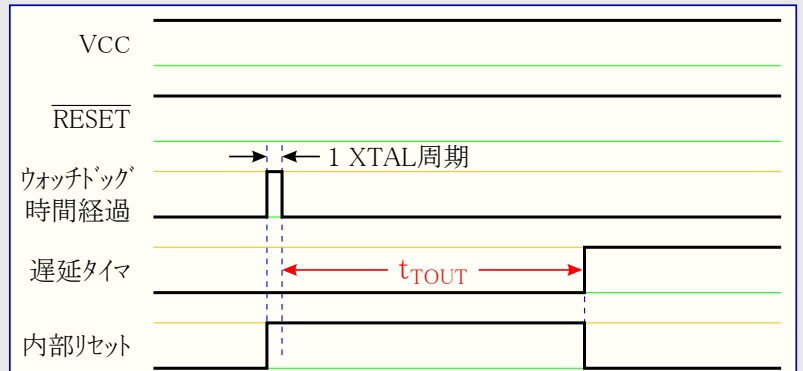
図26. 動作中の外部リセット



ウォッチドッグリセット

ウォッチドッグ時間経過で1 XTAL周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ操作の詳細については35頁を参照してください。

図27. 動作中のウォッチドッグリセット



MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元でMCUリセットが起こされたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	-	-	-	-	-	-	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	内容参照	内容参照	

• ビット7~2 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1 - EXTRF : 外部リセット フラグ (External Reset Flag)

電源ONリセット後、このビットは不定です。このビットは外部リセットによって設定(1)されます。ウォッチドッグ リセットは、このビットを無変化、そのままにします。

• ビット0 - PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットによって設定(1)されます。外部リセットやウォッチドッグ リセットは、このビットを無変化、そのままにします。

要約のため、表7.は3つのリセット動作後の、これら2ビットの値を示します。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くEXTRFとPORF両方を解除(0)すべきです。EXTRFとPORF値の検査は、このビットが解除(0)される前に行います。外部またはウォッチドッグ リセットが起こる前に、これらのビットが解除(0)される場合、リセット元は右の真理値表(表8.)を使うことで得られます。

表7. リセット発生元によるフラグの変化

リセット発生元	EXTRF	PORF
電源ON リセット	不定	1
外部リセット	1	不変
ウォッチドッグ リセット	不変	不変

表8. フラグによるリセット発生元判定

EXTRF	PORF	リセット発生元
0	0	ウォッチドッグ リセット
0	1	電源ON リセット
1	0	外部リセット
1	1	電源ON リセット

割り込みの扱い

ATmega103には外部割り込み許可レジスタ(EIMSK)とタイマ/カウンタ割り込み許可レジスタ(TIMSK)の2つの専用の8ビット割り込み許可制御レジスタがあります。その他の許可と遮蔽は周辺制御レジスタ内で得られます。

割り込みが起こると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われなことに注意してください。これはソフトウェアによって操作しなければなりません。

外部割り込み条件制御レジスタ (External Interrupt Control Register) EICR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40	EICR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7~0 - ISCn1,0 : 外部割り込み7~4条件選択 (External Interrupt Request 7~4 Sense Control Bits)

外部割り込み7~4はステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み許可レジスタ(EIMSK)で対応する割り込み許可が共に設定(1)されている場合の外部ピン(INT7~4)により起動されます。この割り込みを起動する外部ピン上の端(エッジ)やレベルは表9.で定義されます。

INTnピンの値は端検出以前から採取比較されています。端割り込みが選ばれると、1 CPUクロック周期より長く持続するパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。XTAL(クロック)分周器が許可されている場合、CPUクロック周波数がXTAL周波数より低くできることに注意してください。Lowレベル割り込みが選ばれると、割り込みを発生するためには、現在実行中の命令の完了までLowレベルが保持されなければなりません。許可されていれば、レベル起動割り込みはピンがLowに保持されている限り、割り込み要求を発生し続けます。

表9. 外部割り込みn(INTn)割り込み条件

ISCn1	ISCn0	割り込み発生条件
0	0	INTnピンがLowレベルで発生。
	1	(予約)
1	0	INTnピンの下降端で発生。
	1	INTnピンの上昇端で発生。

注: nは7~4

外部割り込み許可レジスタ (External Interrupt Mask Register) EIMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0	EIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7~4 - INT7~4 : 外部割り込み7~4許可 (External Interrupt Request 7~4 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとINT7~4ビットが共に設定(1)されると、対応する外部ピン割り込みが許可されます。外部割り込み条件制御レジスタ(EICR)の割り込み条件制御ビットは、外部割り込みが上昇端、下降端、またはLowレベルのどれで起動されるかを定義します。これらのピンが出力として許可されていても、それらのどのピンの有効な動きも割り込み要求を起動します。これはソフトウェア割り込み生成の方法を提供します。

•ビット3~0 - INT3~0 : 外部割り込み3~0許可 (External Interrupt Request 3~0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとINT3~0ビットが共に設定(1)されると、対応する外部ピン割り込みが許可されます。外部割り込みは常にLowレベルで起動される割り込みです。これらのピンが出力として許可されていても、それらのどのピンの有効な動きも割り込み要求を起動します。これはソフトウェア割り込み生成の方法を提供します。許可されていると、レベルで起動された割り込みはピンがLowに保持されている限り、割り込み要求を発生し続けます。

外部割り込み要求フラグ レジスタ (External Interrupt Flag Register) EIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	INTF7	INTF6	INTF5	INTF4	-	-	-	-	EIFR
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

•ビット7~4 - INTF7~4 : 外部割り込み7~4要求フラグ (External Interrupt 7~4 Flags)

INT7~4ピン上の端(エッジ)が割り込み要求を起こすと、対応する割り込み要求フラグ(INTF7~4)が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み許可レジスタ(EIMSK)の対応する外部割り込み許可(INT7~4)ビットが共に設定(1)されていれば、MCUは対応する割り込みベクタへ飛びます。このフラグは対応する割り込み処理ルーチンが実行される時に解除(0)されます。代わりに、このフラグは論理1を書くことによっても解除(0)されます。INT7~4がレベル割り込みとして設定されると、これらのフラグは常に解除(0)されます。

•ビット4~0 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – OCIE2 : タイマ/カウンタ2比較一致割り込み許可 (Timer/Counter2 Output Compare Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE2ビットが共に設定(1)で、タイマ/カウンタ2の比較一致割り込みが許可されます。タイマ/カウンタ2で比較一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ2比較一致割り込み要求フラグ(OCF2)が設定(1)されると、対応する割り込み(ベクタ \$0012)が実行されます。

• ビット6 – TOIE2 : タイマ/カウンタ2溢れ割り込み許可 (Timer/Counter2 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTOIE2ビットが共に設定(1)で、タイマ/カウンタ2溢れ割り込みが許可されます。タイマ/カウンタ2溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ2溢れ割り込み要求フラグ(TOV2)が設定(1)されると、対応する割り込み(ベクタ \$0014)が実行されます。

• ビット5 – TICIE1 : タイマ/カウンタ1捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTICIE1ビットが共に設定(1)で、タイマ/カウンタ1の捕獲割り込みが許可されます。IC1(PD4)ピン上に捕獲要求が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1捕獲割り込み要求フラグ(ICF1)が設定(1)されると、対応する割り込み(ベクタ \$0016)が実行されます。

• ビット4 – OCIE1A : タイマ/カウンタ1比較A一致割り込み許可 (T/Counter1 Output Compare A Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE1Aビットが共に設定(1)で、タイマ/カウンタ1の比較A一致割り込みが許可されます。タイマ/カウンタ1で比較A一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1比較A一致割り込み要求フラグ(OCF1A)が設定(1)されると、対応する割り込み(ベクタ \$0018)が実行されます。

• ビット3 – OCIE1B : タイマ/カウンタ1比較B一致割り込み許可 (T/Counter1 Output Compare B Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE1Bビットが共に設定(1)で、タイマ/カウンタ1の比較B一致割り込みが許可されます。タイマ/カウンタ1で比較B一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1比較B一致割り込み要求フラグ(OCF1B)が設定(1)されると、対応する割り込み(ベクタ \$001A)が実行されます。

• ビット2 – TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTOIE1ビットが共に設定(1)で、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1溢れ割り込み要求フラグ(TOV1)が設定(1)されると、対応する割り込み(ベクタ \$001C)が実行されます。

• ビット1 – OCIE0 : タイマ/カウンタ0比較一致割り込み許可 (Timer/Counter0 Output Compare Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE0ビットが共に設定(1)で、タイマ/カウンタ0の比較一致割り込みが許可されます。タイマ/カウンタ0で比較一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0比較一致割り込み要求フラグ(OCF0)が設定(1)されると、対応する割り込み(ベクタ \$001E)が実行されます。

• ビット0 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTOIE0ビットが共に設定(1)で、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)が設定(1)されると、対応する割り込み(ベクタ \$0020)が実行されます。

タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – OCF2 : タイマ/カウンタ2比較一致割り込み要求フラグ (Timer/Counter2 Output Compare Interrupt Flag)

タイマ/カウンタ2と比較レジスタ(OCR2)の値間で比較一致が起こると、OCF2が設定(1)されます。対応する割り込み処理ベクタを実行する時にOCF2は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF2は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ2比較一致割り込み許可(OCIE2)ビットとOCF2が設定(1)されると、タイマ/カウンタ2比較一致割り込みが実行されます。

• ビット6 – TOV2 : タイマ/カウンタ2溢れ割り込み要求フラグ (Timer/Counter2 Overflow Interrupt Flag)

タイマ/カウンタ2溢れが起こると、TOV2が設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV2は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV2は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ2溢れ割り込み許可(TOIE2)ビットとTOV2が設定(1)されると、タイマ/カウンタ2溢れ割り込みが実行されます。PWM動作ではタイマ/カウンタ2が\$00から進行する時にこのフラグが設定(1)されます。

• ビット5 – ICF1 : タイマ/カウンタ1捕獲割り込み要求フラグ (Timer/Counter1 Input Capture Interrupt Flag)

このICF1ビットはタイマ/カウンタ1の値が捕獲レジスタ(ICR1)に転送されてしまったことを示す、捕獲発生フラグのために設定(1)されます。対応する割り込み処理ベクタを実行すると、ICF1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもICF1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1捕獲割り込み許可(TICIE1)ビットとICF1が設定(1)されると、タイマ/カウンタ1捕獲割り込みが実行されます。

• ビット4 – OCF1A : タイマ/カウンタ1比較A一致割り込み要求フラグ (Timer/Counter1 Output Compare Interrupt Flag A)

タイマ/カウンタ1と比較Aレジスタ(OCR1A)の値間で比較一致が起こると、OCF1Aが設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Aは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較A一致割り込み許可(OCIE1A)ビットとOCF1Aが設定(1)されると、タイマ/カウンタ1比較A一致割り込みが実行されます。

• ビット3 – OCF1B : タイマ/カウンタ1比較B一致割り込み要求フラグ (Timer/Counter1 Output Compare Interrupt Flag B)

タイマ/カウンタ1と比較Bレジスタ(OCR1B)の値間で比較一致が起こると、OCF1Bが設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Bは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較B一致割り込み許可(OCIE1B)ビットとOCF1Bが設定(1)されると、タイマ/カウンタ1比較B一致割り込みが実行されます。

• ビット2 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Interrupt Flag)

タイマ/カウンタ1溢れが起こると、TOV1が設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットとTOV1が設定(1)されると、タイマ/カウンタ1溢れ割り込みが実行されます。PWM動作ではタイマ/カウンタ1が\$0000から進行する時にこのフラグが設定(1)されます。

• ビット1 – OCF0 : タイマ/カウンタ0比較一致割り込み要求フラグ (Timer/Counter0 Output Compare Interrupt Flag)

タイマ/カウンタ0と比較レジスタ(OCR0)の値間で比較一致が起こると、OCF0が設定(1)されます。対応する割り込み処理ベクタを実行する時にOCF0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0比較一致割り込み許可(OCIE0)ビットとOCF0が設定(1)されると、タイマ/カウンタ0比較一致割り込みが実行されます。

• ビット0 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、TOV0ビットが設定(1)されます。対応する割り込みベクタを実行する時にTOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。PWM動作ではタイマ/カウンタ0が\$00から進行する時にこのフラグが設定(1)されます。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4クロック周期です。割り込み要求フラグが設定(1)されてしまった後の4クロック周期で、実際の割り込み処理ルーチン用の**割り込みベクタアドレス**が実行されます。この4クロック周期期間中、プログラムカウンタ(2バイト)がスタック上に保存(プッシュ)され、**スタックポインタ**が減少(-2)されます。通常、このベクタは割り込み処理ルーチンに対する絶対分岐(JMP)命令で、この分岐に3クロック周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前にその命令が完了されます。

割り込み処理ルーチンからの復帰(サブルーチン呼び出しについてと同じように)は4クロック周期要します。この4クロック周期中に、スタックからプログラムカウンタ(2バイト)が回復(ポップ)されてスタックポインタが増加(+2)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されます。割り込みを抜ける時は常に主(元)プログラムへ復帰し、保留されている割り込みが扱われる前に1つ以上の命令を実行します。

休止形態

3つの休止形態の何れかへ移行するには、**MCU制御レジスタ(MCUCR)の休止許可(SE)ビット**が設定(1)され、**SLEEP**命令が実行されなければなりません。MCUCRの**休止種別(SM1,SM0)ビット**が選ぶどれかの休止形態(アイドル、パワーダウン、パワーセーブ)が、**SLEEP**命令によって有効動作にされます(13頁の表3参照)。

MCUが休止形態中に許可されている割り込みが発生すると、MCUは起動復帰して、その割り込み処理ルーチンを実行し、そして**SLEEP**命令の次から実行を再開します。レジスタファイル、SRAM、I/Oレジスタの内容は変化しません。休止形態中にリセットが発生するとMCUは起動復帰し、リセットベクタから実行します。

アイドル動作

休止種別(SM1,SM0)ビットが00に設定されているとき、**SLEEP**命令でMCUがアイドル動作へ移行し、CPUは停止しますが、SPI(直列周辺インターフェース)、UART、アナログ比較器、A/D変換器、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これはタイマ溢れやUART受信完了のような内部割り込みだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。アナログ比較器割り込みからの起動復帰が必要とされない場合、**アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビット**を設定(1)することより、アナログ比較器を電源断にできます。これはアイドル動作での電力消費を削減します。アイドル動作から起動復帰すると、CPUは直ちにプログラムの実行を始めます。

パワーダウン動作

休止種別(SM1,SM0)ビットが10に設定されているとき、**SLEEP**命令でMCUがパワーダウン動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ウォッチドッグは動作を継続します。外部リセット、(許可されていれば)ウォッチドッグリセット、外部レベル割り込みだけがMCUを起動復帰できます。

パワーダウン動作からの復帰にレベルで起動された割り込みが使われる場合、MCUを起動するため、変更されたレベルは一定時間保持されなければならないことに注意してください。これはMCUの雑音不安定性を減らします。変更されたレベルはウォッチドッグ用発振器クロックによって2度採取され、この入力がこの時間中、必要とされるレベルであれば、MCUは起動復帰します。ウォッチドッグ用発振器の周期は公称1 μ s(5V,25°C)です。83頁の「代表特性」内で示されるように、ウォッチドッグ用発振器の周波数は電圧に依存します。

パワーダウン動作から復帰するとき、起動復帰条件発生から起動復帰の効果が現れるまで遅延を伴います。これは停止されてしまっている後に、再開のためのクロックが許可され、安定状態になるためです。この起動時間は**リセット遅延時間**を定義する**SUTヒューズ**によって同じく定義されます。この起動時間は15頁の表5.で示される**リセット期間**と同じです。

MCUが起動して実行を始める前に起動復帰条件が消滅すると、例えばLowレベルが充分長く保持されないと、起動復帰の原因となる割り込みは実行されません。

パワーセーブ動作

休止種別(SM1,SM0)ビットが11のとき、**SLEEP**命令でMCUがパワーセーブ動作へ移行します。この動作は1点を除いてパワーダウン動作と同じです。

タイマ/カウンタ0が非同期駆動されている、換言すると、**タイマ/カウンタ0非同期状態レジスタ(ASSR)の非同期クロック(AS0)ビット**が設定(1)されている場合、タイマ/カウンタ0は休止中も動作します。パワーダウンの起動復帰元に加えて、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**と**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**の対応するタイマ/カウンタ0割り込み許可ビットが設定(1)されていれば、タイマ/カウンタ0からの溢れまたは比較一致のどちらからでもデバイスが起動復帰できます。

外部割り込みによってパワーセーブ動作から起動復帰するとき、割り込み要求フラグが更新される前に2命令周期が実行されます。非同期タイマによって起動復帰する時は、このフラグが更新される前に3命令周期が実行されます。これらの周期間にプロセッサは命令を実行しますが、割り込み状態は読めず、割り込み処理ルーチンは未だ開始されていません。非同期タイマが非同期駆動されない場合、例えばASSRのAS0が0でも、パワーセーブ動作での起動復帰後、非同期タイマのレジスタ内容は不定とみなされるべきなので、パワーセーブ動作の代わりにパワーダウン動作が推奨されます。

タイマ/カウンタ

ATmega103には3つ(8ビット×2と16ビット×1)の汎用タイマ/カウンタがあります。タイマ/カウンタ0は任意で外部(クリスタルによる)発振器から非同期クロック駆動もできます。この発振器は時計用32.768kHzクリスタルの使用に最適化されており、実時間時計(RTC)としてのタイマ/カウンタ0使用を可能にします。タイマ/カウンタ1と2には同じ10ビット前置分周器用タイマから選ぶ個別の前置分周器があります。タイマ/カウンタ0には独自の前置分周器があります。タイマ/カウンタは内部クロックを基準とするタイマや、外部ピンに接続された契機信号によるカウンタなどの使用ができます。

タイマ/カウンタ前置分周器

タイマ/カウンタ1と2について、前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、CK/8, CK/64, CK/256, CK/1024です。タイマ/カウンタ1と2の2つでは、CK、外部クロック信号、停止もクロック元として選べます。

図29. タイマ/カウンタ0 前置分周器部構成

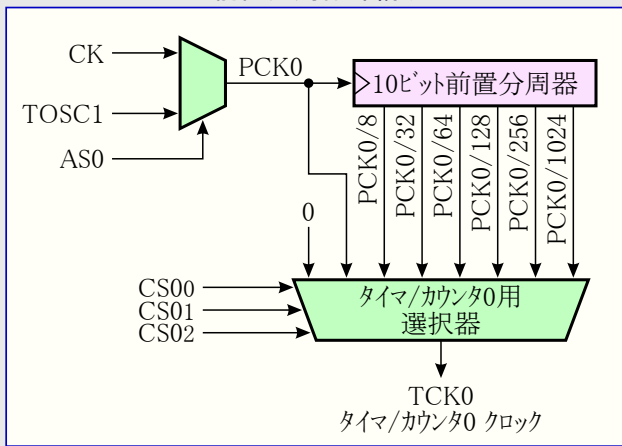
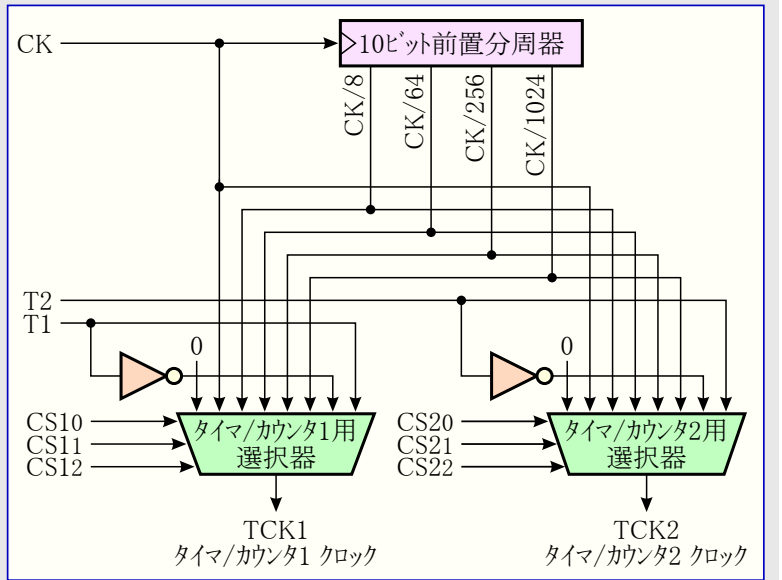


図28. タイマ/カウンタ1,2 前置分周器部構成



タイマ/カウンタ0の前置分周器用クロック元はPCK0で示されます。既定のPCK0は主システムクロック(CK)に接続されます。XTAL(クロック)分周器が許可されている場合、CPUクロック周波数がXTAL周波数より低くできることに注意してください。タイマ/カウンタ0非同期状態レジスタ(ASSR)の非同期クロック(AS0)ビットの設定(=1)により、タイマ/カウンタ0の前置分周器はTOSC1ピンから非同期クロック駆動されます。これは実時間時計(RTC)としてのタイマ/カウンタ0使用を可能にします。タイマ/カウンタ0用の独立したクロック元として扱うために、TOSC1とTOSC2ピン間にクリスタル発振器が接続できます。この発振器は時計用32.768kHzクリスタルに最適化されています。

8ビット タイマ/カウンタ0、タイマ/カウンタ2

図30.はタイマ/カウンタ0の構成図を示します。図31.はタイマ/カウンタ2の構成図を示します。

図30. タイマ/カウンタ0構成図

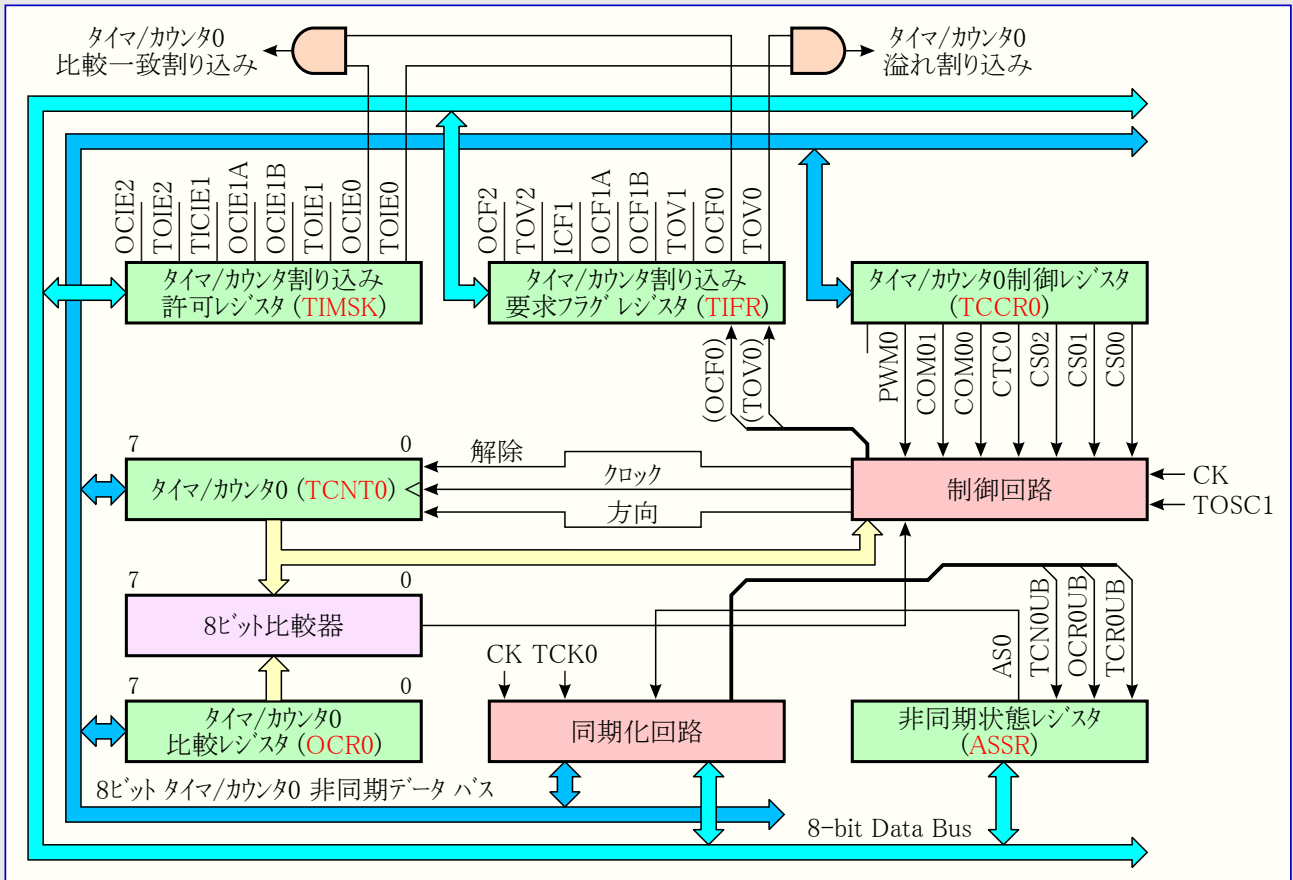
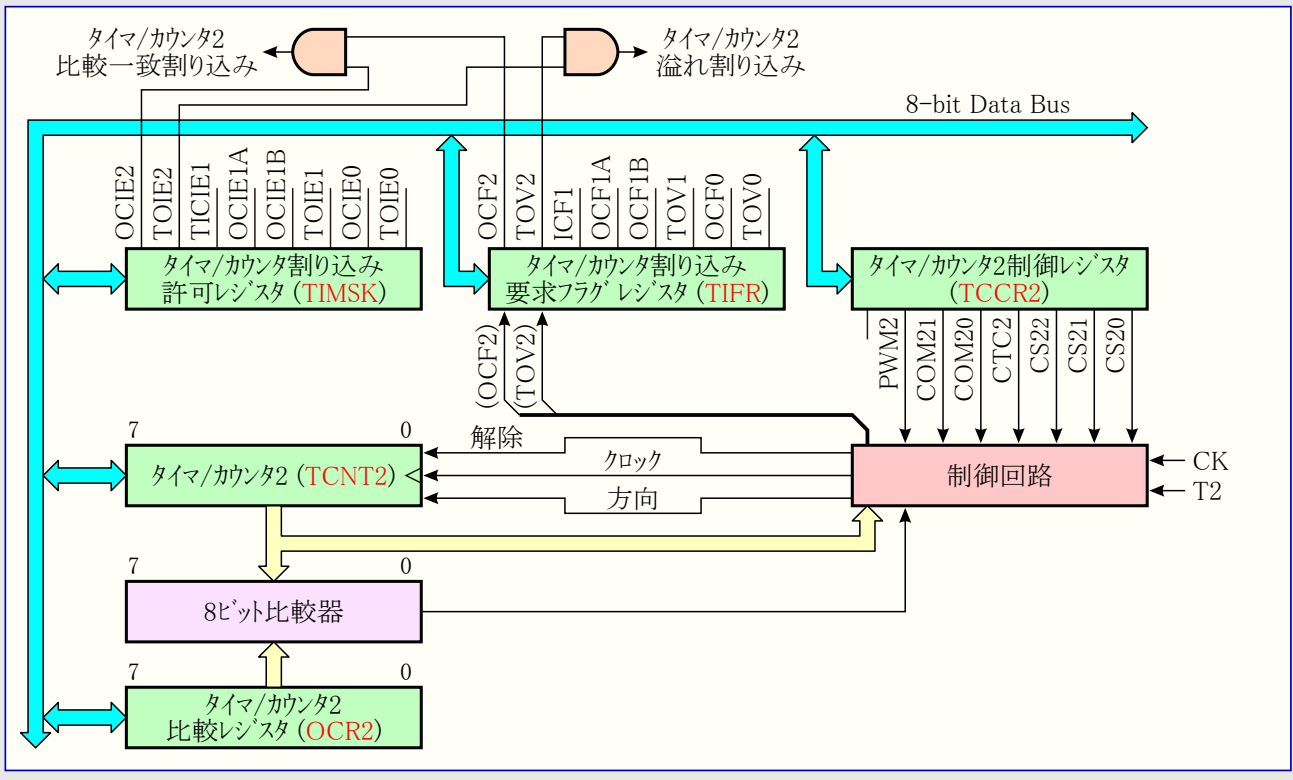


図31. タイマ/カウンタ2構成図



8ビットのタイマ/カウンタ0はPCK0、分周されたPCK0からのクロック元を選べます。8ビットのタイマ/カウンタ2はCK、分周されたCK、または外部ピンからクロック元を選べます。両タイマ/カウンタはタイマ/カウンタ制御レジスタ(TCCR0とTCCR2)の詳細で説明されるように停止もできます。

各状態フラグ(溢れ:TOV0,TOV2、比較一致:OCF0,OCF2)はタイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)にあります。制御ビットはタイマ/カウンタ制御レジスタ(TCCR0とTCCR2)にあります。割り込みの許可/禁止設定はタイマ/カウンタ割り込み許可レジスタ(TIMSK)内にあります。

タイマ/カウンタ2が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには外部クロックの2つの変移間の最小時間が少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

この単位部は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会は低速な目的や稀に動く正確なタイミングの目的についてこの単位部を有効にします。

両タイマ/カウンタはタイマ/カウンタ(TCNT0とTCNT2)の内容と比較されるデータ元として比較レジスタ(OCR0とOCR2)を使う比較出力機能を支援します。この比較出力機能は任意選択可能な比較一致でのカウンタの解除(=0)や比較一致での比較出力(OC0/PWM0/PB4とOC2/PWM2/PB7)ピン上の動作を含みます。

タイマ/カウンタ0と2は8ビットのパルス幅変調器(PWM)としても使えます。この動作ではタイマ/カウンタ(TCNT0とTCNT2)と比較レジスタ(OCR0とOCR2)は不具合の無い周期中央パルス方式の独立したPWMとして扱えます。この機能の詳細説明については26頁を参照してください。

タイマ/カウンタ0 制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	-	PWM0	COM01	COM00	CTC0	CS02	CS01	CS00	TCCR0
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ2 制御レジスタ (Timer/Counter2 Control Register) TCCR2

ビット	7	6	5	4	3	2	1	0	
\$25 (\$45)	-	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20	TCCR2
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット6 - PWM0/PWM2 : PWM動作許可 (Pulse Width Modulator Enable)

設定(1)されると、このビットはタイマ/カウンタ0またはタイマ/カウンタ2のPWM動作を許可します。この動作は26頁に記載されます。

• ビット5,4 - COM01,0/COM21,0 : 比較出力選択 (Compare Output Mode bits 1 and 0)

このCOMn1とCOMn0制御ビットはタイマ/カウンタ(TCNT0またはTCNT2)での比較一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC0/PWM0(PB4)またはOC2/PWM2(PB7)ピンに影響を及ぼします。これはI/Oポートの交換機能で、出力ピンを制御するために対応する方向制御ビットは設定(1)されなければなりません(DDB4=1またはDDB7=1)。制御設定は表10.で示されます。

表10. 比較出力選択

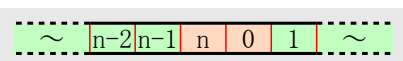
COMn1	COMn0	意味
0	0	OCn/PWMn切断 (PB4/7として機能)
0	1	OCn/PWMnピン トグル(交互)出力
1	0	OCn/PWMnピン Lowレベル出力
1	1	OCn/PWMnピン Highレベル出力

注: n=0または2

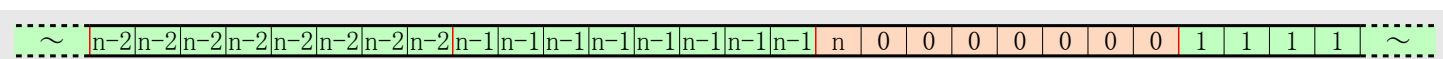
注: PWM動作では、これらのビットは異なる機能を持ちます。詳細な記述については、表13.を参照してください。

• ビット3 - CTC0/CTC2 : 一致解除許可 (Clear Timer/Counter on Compare Match)

CTC0またはCTC2制御ビットが設定(1)されると、タイマ/カウンタ0/2は比較一致後のCPUクロック周期で\$00にリセットされます。この制御ビットが解除(0)されると、タイマ/カウンタは比較一致による影響を受けず、計数動作を続けます。比較一致は一致に続くCPUクロック周期で検出されるため、1より大きい前置分周値が使われる時にこの動作は異なる動作になります。前置分周値が1で、比較レジスタ(OCR0/2)にnが設定されている時にCTC0/2が設定(1)されていると、タイマ/カウンタは次のように計数します。



前置分周器がCK/8分周に設定されていると、タイマ/カウンタは次のように計数します。



PWM動作では、このビットは無効です。

•ビット2~0 - CS02~0/CS22~0: クロック選択0/2 (Clock Select Bits 2,1 and 0)

クロック選択0/2ビット2~0はタイマ/カウンタ0/2に供給するクロック元を定義します。

表11. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	PCK0 (CPUクロックか外部発振TOSC)
0	1	0	PCK0/8 (PCK0の8分周)
0	1	1	PCK0/32 (PCK0の32分周)
1	0	0	PCK0/64 (PCK0の64分周)
1	0	1	PCK0/128 (PCK0の128分周)
1	1	0	PCK0/256 (PCK0の256分周)
1	1	1	PCK0/1024 (PCK0の1024分周)

表12. タイマ/カウンタ2入力クロック選択

CS22	CS21	CS20	意味
0	0	0	停止 (タイマ/カウンタ2は動作停止)
0	0	1	CK (CPUクロック)
0	1	0	CK/8 (CPUクロックの8分周)
0	1	1	CK/64 (CPUクロックの64分周)
1	0	0	CK/256 (CPUクロックの256分周)
1	0	1	CK/1024 (CPUクロックの1024分周)
1	1	0	外部T2(PD7)ピンの下降端
1	1	1	外部T2(PD7)ピンの上昇端

停止状態はタイマ/カウンタの許可/禁止機能を提供します。CKの分周出力動作では、発振器クロック (CK)から直接的に分周されます。タイマ/カウンタ2で外部ピン動作が使われる場合、T2(PD7)ピンの遷移は、例えそのピンが出力として設定されていても、タイマ/カウンタをクロック駆動します。この特徴がソフトウェアでの計数制御を提供できます。

タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ2 (Timer/Counter2) TCNT2

ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	(MSB)							(LSB)	TCNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この8ビットレジスタはタイマ/カウンタ0/2の値です。

両タイマ/カウンタは読み書き可能な上昇または上昇/下降(PWM動作時)計数器として実現されます。クロック供給元が選ばれ、タイマ/カウンタが書かれると、書き込み動作の次に来るタイマ/カウンタクロック周期で計数を開始/継続します。

タイマ/カウンタ0 比較レジスタ (Timer/Counter0 Output Compare Register) OCR0

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	(MSB)							(LSB)	OCR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ2 比較レジスタ (Timer/Counter2 Output Compare Register) OCR2

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	(MSB)							(LSB)	OCR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタは読み書き可能な8ビットのレジスタです。

このタイマ/カウンタ比較レジスタ(OCR0とOCR2)はタイマ/カウンタ(TCNT0とTCNT2)と継続的に比較されるべきデータを保持します。比較一致での動作はタイマ/カウンタ制御レジスタ(TCCR0とTCCR2)で詳細に示されます。比較一致はタイマ/カウンタがOCR値を計数する場合のみ起きます。タイマ/カウンタと比較レジスタに同じ値を設定するソフトウェア書き込みでは比較一致を生成しません。

比較一致は比較での出来事に続くCPUクロック周期で比較一致割り込み要求フラグ(OCF0,OCF2)を設定(1)します。

タイマ/カウンタ0、タイマ/カウンタ2 PWM動作

PWM動作が選ばされると、タイマ/カウンタ(TCNT0,TCNT2)と比較レジスタ(OCR0,OCR2)は自由走行動作で不具合のない位相基準の8ビットPWMとOC0/PWM0(PB4),OC2/PWM2(PB7)ピン出力を形成します。タイマ/カウンタは上昇/下降計数器として動作し、\$00から\$FFまで上昇計数して、その周期が繰り返される前に向きを変えて再び\$00まで下降計数します。タイマ/カウンタ値が比較レジスタの内容と一致すると、OC0/PWM0(PB4)またはOC2/PWM2(PB7)ピンはタイマ/カウンタ制御レジスタ(TCCR0,TCCR2)の比較出力選択(COM01,COM00またはCOM21,COM20)の設定に従って設定(High)または解除(Low)されます。詳細については表13を参照してください。

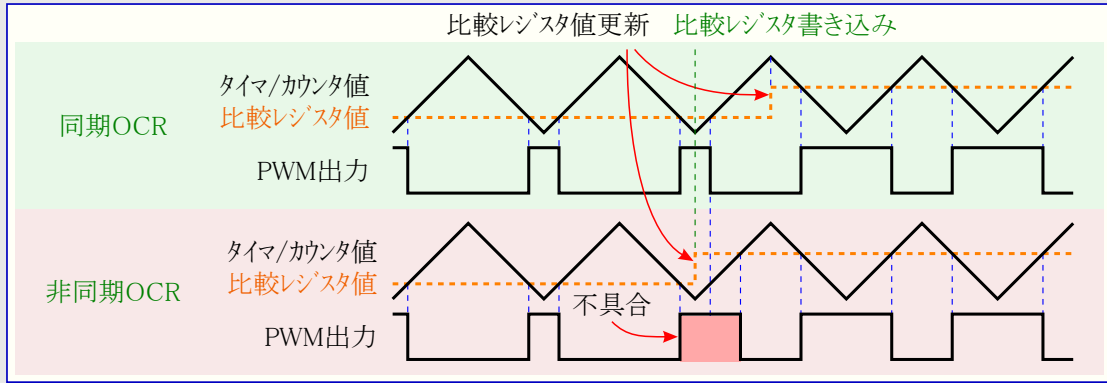
表13. PWM出力選択 (比較出力選択と兼用)

COMn1	COMn0	OCn/PWMn(PB4またはPB7)出力
0	0	OCn/PWMn出力切断 (PB4またはPB7は標準I/Oとして動作)
0	1	
1	0	上昇計数時の一致で解除(Low)、下降計数時の一致で設定(High) [非反転出力]
1	1	下降計数時の一致で解除(Low)、上昇計数時の一致で設定(High) [反転出力]

注: n=0または2

PWM動作では比較レジスタ(OCR0,OCR2)が書かれる時に一時領域へ転送されることに注意してください。この値はタイマ/カウンタ(TCNT0,TCNT2)が\$FFに到達する時に比較レジスタへ設定されます。これはOCR0またはOCR2非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図32を参照してください。

図32. OCRの同期/非同期設定



書き込みと実際の設定間、OCR0またはOCR2からの読み込みは一時領域の内容が読まれます。これは常に最も最近書かれた値がOCR0/2の読み出しとなることを意味します。

OCR0/2(一時領域ではない)が\$00または\$FFに更新されると、PWM出力はTCCR0のCOM01とCOM00またはTCCR2のCOM21とCOM20の指定に従い、直ちにHighまたはLowに変化します。これは表14で示されます。

表14. 上限値、下限値でのPWM出力

COMn1	COMn0	OCRn	PWMn出力
1	0	\$00	L
		\$FF	H
1	1	\$00	H
		\$FF	L

注: n=0または2

PWM動作ではタイマ/カウンタが\$00から進む時にタイマ/カウンタ溢れ(TOV0またはTOV2)フラグが設定(1)されます。タイマ/カウンタ0と2の溢れ割り込みは通常動作、換言すると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0または2の溢れ割り込み許可(TOIE0またはTOIE2)ビットが許可されていれば、TOV0またはTOV2が設定(1)される時に割り込みが実行されるよう、正確に動作します。これは比較一致割り込み要求フラグ(OCF0とOCF2)とその割り込みについても適用されます。

PWM周波数はタイマ/カウンタのクロック周波数の1/510です。

タイマ/カウンタ0 非同期状態レジスタ (Timer/Counter0 Asynchronous Status Register) ASSR

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	-	-	-	-	AS0	TCN0UB	OCR0UB	TCR0UB	ASSR
Read/Write	R	R	R	R	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~4 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

- **ビット3 – AS0 : タイマ/カウンタ0 非同期動作許可 (Asynchronous Timer/Counter0)**

AS0が設定(1)されると、タイマ/カウンタ0はTOSC1ピンからクロック駆動されます。解除(0)されると、タイマ/カウンタ0は内部システムクロック(CK)からクロック駆動されます。このビットの値が変更されるとき、**タイマ/カウンタ0(TCNT0)**、**タイマ/カウンタ0比較レジスタ(OCR0)**、**タイマ/カウンタ0制御レジスタ(TCCR0)**の内容は不正となってしまうかもしれません。

- **ビット2 – TCN0UB : タイマ/カウンタ0 更新中フラグ (Timer/Counter0 Update Busy)**

タイマ/カウンタ0が非同期動作でタイマ/カウンタ0(TCNT0)が書かれると、このビットが設定(1)になります。TCNT0が一時保存レジスタから更新されてしまうと、このビットは自動的に解除(0)されます。このビットの論理0は、TCNT0が新規の値で更新されるための準備ができていないことを示します。

- **ビット1 – OCR0UB : タイマ/カウンタ0 比較レジスタ 更新中フラグ (Output Compare Register0 Update Busy)**

タイマ/カウンタ0が非同期動作でタイマ/カウンタ0比較レジスタ(OCR0)が書かれると、このビットが設定(1)になります。OCR0が一時保存レジスタから更新されてしまうと、このビットは自動的に解除(0)されます。このビットの論理0は、OCR0が新規の値で更新されるための準備ができていないことを示します。

- **ビット0 – TCR0UB : タイマ/カウンタ0 制御レジスタ 更新中フラグ (Timer/Counter0 Control Register Update Busy)**

タイマ/カウンタ0が非同期動作でタイマ/カウンタ0制御レジスタ(TCCR0)が書かれると、このビットが設定(1)になります。TCCR0が一時保存レジスタから更新されてしまうと、このビットは自動的に解除(0)されます。このビットの論理0は、TCCR0が新規の値で更新されるための準備ができていないことを示します。

更新中フラグが設定(1)の間中に、3つのタイマ/カウンタ0レジスタの何れかに書き込みが実行されると、更新された値が不正となるかもしれず、予期せぬ割り込み発生の原因になります。

TCNT0、OCR0、TCCR0を読むとき、その結果が異なります。TCNT0を読む時は実際のタイマ/カウンタ値が読まれます。OCR0またはTCCR0を読む時は一時保存レジスタが読まれます。

タイマ/カウンタ0 非同期動作

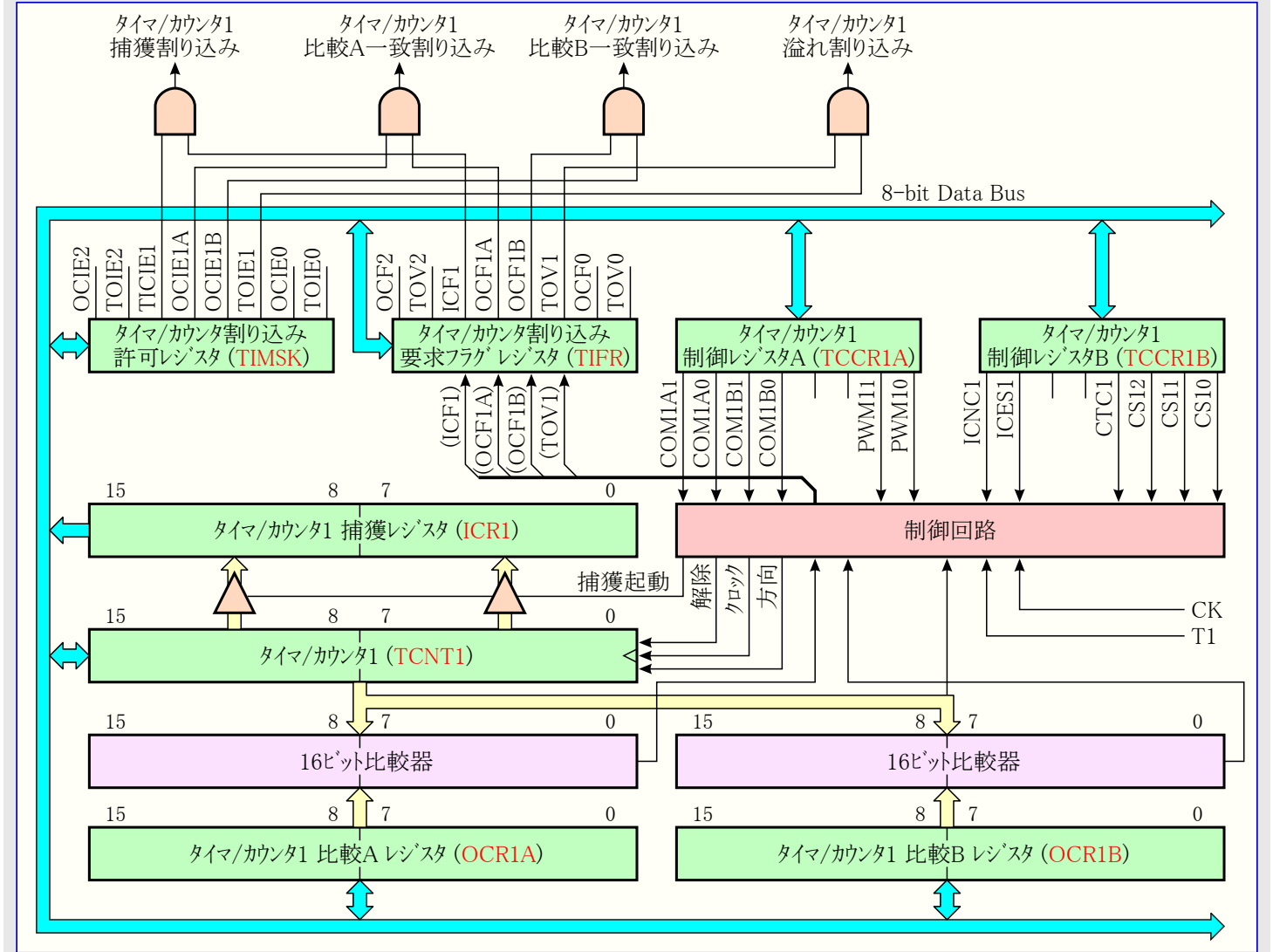
タイマ/カウンタ0が非同期動作のとき、全ての動作とタイミングはタイマ/カウンタ2と全く同じです。けれども非同期動作の間中は、いくつかの考慮が成されなければなりません。

- **警告:** タイマ/カウンタ0の同期/非同期クロック駆動間を切り替えると、**タイマ/カウンタ0(TCNT0)**、**タイマ/カウンタ0比較レジスタ(OCR0)**、**タイマ/カウンタ0制御レジスタ(TCCR0)**が不正となるかもしれません。クロック元を切り替える安全な手順を次に示します。
 1. **タイマ/カウンタ割り込み許可レジスタ(TIMSK)**の**OCIE0**と**TOIE0**を解除(0)し、タイマ/カウンタ0の割り込みを禁止します。
 2. **非同期状態レジスタ(ASSR)**の**非同期動作許可(AS0)**ビットの適切な設定により、クロック元を選び(変更)します。
 3. **TCNT0**, **OCR0**, **TCCR0**に新しい値を書きます。
 4. 非同期動作に切り替えるには、**TCN0UB**, **OCR0UB**, **TCR0UB**が全て解除(0)されるまで待機します。
 5. **タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)**の**OCF0**と**TOV0**フラグを解除(0)します。
 6. 必要ならば、割り込みを許可します。
 - 非同期動作用クロック発振器は時計用32.768kHzクリスタルの使用に最適化されています。TOSC1ピンに適用された外部クロック信号は、256kHzの帯域の(発振器と)同じ増幅器を通ることになります。従って外部クロック信号は0~256kHzの間であるべきです。TOSC1ピンに適用されるクロック信号の周波数は、CPU主クロック周波数の1/4未満でなければなりません。**XTAL(クロック)分周器が許可**されている場合、CPUクロック周波数がXTAL周波数より低くできることに注意してください。
 - **TCNT0**, **OCR0**, **TCCR0**レジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSC1で2つの上昇端後、(実レジスタ)に設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に、新しい値を書くべきではありません。記載された3つのレジスタの各々がそれら個別の一時レジスタを持ちます。例えば、**TCNT0**書き込みは**OCR0**書き込みの実行を妨げません。転送先レジスタへの転送が起きたことを検知するため、非同期状態レジスタ(ASSR)は実装されました。
 - **TCNT0**, **OCR0**, **TCCR0**書き込み後に**パワーセーブ動作**へ移行するとき、タイマ/カウンタ0がデバイスの起動復帰に使われる場合、書かれたレジスタが更新されてしまうまで待たなければなりません。そうしないと、変更の効果がでる前に**休止形態**になります。タイマ/カウンタ0比較一致割り込みがデバイスの起動復帰に使われる場合、これは非常に重要です。**TCNT0**または**OCR0**書き込み中の比較は禁止されます。書き込み周期が完了しない(換言すると、**OCR0UB**が0に戻る前に休止形態とする)場合、デバイスは決して比較一致にならず、MCUは起動復帰しません。
 - **パワーセーブ動作**からデバイスの起動復帰にタイマ/カウンタ0が使われる場合、復帰後の**パワーセーブ動作**への再移行は予防処置を講じなければなりません。割り込み回路はリセットするために1 TOSC1周期が必要です。復帰と**パワーセーブ動作**再移行間の時間が1 TOSC1周期未満の場合、割り込みが起きず、デバイスは起動復帰に失敗します。**パワーセーブ動作**再移行前の時間が充分である確信がない場合には、1 TOSC1周期が経過されるのを保証するために次の手順が使えます。
 1. **TCNT0**, **OCR0**, **TCCR0**に値を書きます。
 2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが0に戻るまで待ちます。
 3. **パワーセーブ動作**へ移行します。
 - **非同期動作が選ばれる**と、タイマ/カウンタ0用32kHz発振器は、**パワーダウン動作**を除いて、常に動作します。電源投入リセットまたは**パワーダウン動作**から起動復帰後、この発振器が安定するために1秒程度かかるかもしれないことを承知すべきです。電源投入または**パワーダウン動作**から起動復帰後、タイマ/カウンタ0を使う前に、少なくとも1秒待機することが推奨されます。この発振器の使用またはクロック信号がTOSCピンに供給されるかのどちらかに拘らず、起動時の不安定なクロック信号のため、電源投入または**パワーダウン動作**からの起動復帰後、タイマ/カウンタ0の全レジスタ内容が失われるとみなされなければなりません。
 - **タイマ/カウンタ0非同期クロック駆動時のパワーセーブ動作からの起動復帰の説明**。割り込み条件が合致すると、タイマ/カウンタクロックの次の周期で起動復帰処理が開始され、プロセッサがタイマ/カウンタ値を読める前に、現在のタイマ/カウンタは常に最低1、進行されます。対応するタイマ/カウンタ割り込み処理ルーチンを実行するには、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていなければなりません。そうしないと、デバイスは休止形態から起動するにも拘らず、**SLEEP**命令の実行を継続します。割り込み要求フラグはプロセッサクロックが開始されてから3プロセッサクロック後に更新されます。この3周期中、プロセッサは命令を実行しますが、割り込みの状態は読めず、割り込み処理ルーチンは未だ開始されていません。
 - 非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は、3プロセッサ周期+1タイマ周期が必要です。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読める前に、このタイマは最低1、進行されます。比較一致出力ピンはタイマクロックで変更され、プロセッサクロックには同期されません。
 - 非同期タイマ/カウンタが許可される**パワーセーブ動作**からの起動復帰後、短い間、タイマ/カウンタ0(**TCNT0**)が、**パワーセーブ動作**移行時と同じ値が読めます。非同期クロックの有効端後、**TCNT0**は正しく読めます。タイマ/カウンタの溢れと比較機能はこの現象によって影響されません。正しい値を読むのを保証するための安全な手順を次に示します。
 1. **OCR0**または**TCCR0**のどちらかに何か値を書きます。
 2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが解除(0)されるまで待ちます。
 3. **TCNT0**を読みます。
- OCR0**と**TCCR0**はハードウェアによって決して変更されないの、常に正しく読めることに留意してください。

16ビット タイマ/カウンタ1

図33.はタイマ/カウンタ1についての構成図を示します。

図33. タイマ/カウンタ1構成図



16ビットのタイマ/カウンタ1はクロック元にCK、分周されたCK、または外部ピンからのクロック元を選べます。更に、**タイマ/カウンタ1制御レジスタB (TCCR1B)**の詳細で説明されるように停止もできます。各種状態フラグ(溢れ:TOV1、比較A一致:OCF1A、比較B一致:OCF1B、捕獲発生:ICF1)は**タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)**にあります。制御ビットは**タイマ/カウンタ1制御レジスタA(TCCR1A)**と**タイマ/カウンタ1制御レジスタB(TCCR1B)**にあります。タイマ/カウンタ1に関する割り込みの許可/禁止設定は**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**内にあります。

タイマ/カウンタ1が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

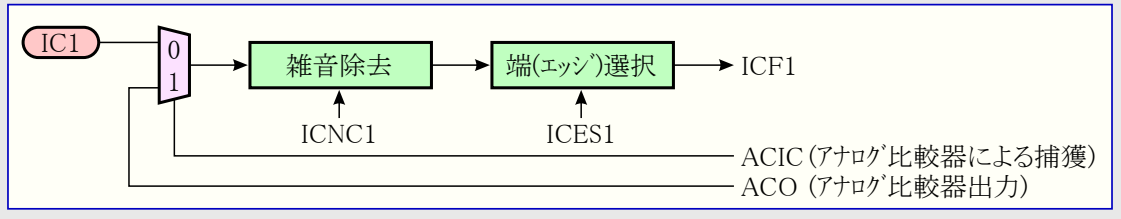
16ビットのタイマ/カウンタ1は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ1を有効にします。

タイマ/カウンタ1はタイマ/カウンタ1の内容と比較されるデータ元として比較レジスタ(OCR1AとOCR1B)を使う比較出力機能を支援します。この比較出力機能は選択可能な比較一致でのカウンタの解除(=0000)や、両方の比較一致での比較出力(OC1AとOC1B)ピン上の動作を含みます。

タイマ/カウンタ1は8,9または10ビットのパルス幅変調器(PWM)としても使えます。この動作ではタイマ/カウンタ1(TCNT1)と比較レジスタ(OCR1AとOCR1B)は不具合の無い周期中央パルス方式の独立したPWMとして扱えます。この機能の詳細説明については34頁を参照してください。

タイマ/カウンタ1の捕獲機能はIC1(PD4)ピンの外部要因によって起動されるタイマ/カウンタ1の内容の**捕獲レジスタ(ICR1)**への捕獲(複写)を提供します。実際の捕獲要因(条件)はタイマ/カウンタ1制御レジスタB(TCCR1B)によって定義されます。加えて、アナログ比較器が捕獲の起動に設定できます。この詳細については46頁の「**アナログ比較器**」を参照してください。IC1ピンの回路は図34.で示されます。

図34. IC1ピン回路構成



雑音除去機能が許可されると、捕獲に関する実際の起動条件は4回の採取に渡って監視され、捕獲フラグを有効とするには4回全てが同じでなければなりません。

タイマ/カウンタ1制御レジスタ (Timer/Counter1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	-	-	PWM11	PWM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – COM1A1,0 : 比較A出力選択 (Compare Output Mode1A bit 1 and 0)

このCOM1A1とCOM1A0制御ビットはタイマ/カウンタ1(TCNT1)での比較A一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC1A(比較A出力)ピンに影響を及ぼします。これはI/Oポートの交換機能で、対応する方向制御ビットは出力ピンを制御するため、設定(1)されなければなりません(DDB5=1)。制御設定は表15.で与えられます。

• ビット5,4 – COM1B1,0 : 比較B出力選択 (Compare Output Mode1B bit 1 and 0)

このCOM1B1とCOM1B0制御ビットはタイマ/カウンタ1(TCNT1)での比較B一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC1B(比較B出力)ピンに影響を及ぼします。これはI/Oポートの交換機能で、対応する方向制御ビットは出力ピンを制御するため、設定(1)されなければなりません(DDB6=1)。制御設定は表15.で与えられます。

表15. 比較出力選択

COM1x1	COM1x0	意味
0	0	OC1x切断
0	1	OC1xピントグル(交互)出力
1	0	OC1xピン Lowレベル出力
1	1	OC1xピン Highレベル出力

注: x=AまたはB

注: PWM動作でのこれらのビットは異なる機能を持ちます。詳細説明については表19.を参照してください。

• ビット3,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1,0 – PWM11,0 : PWM動作選択 (Pulse Width Modulator Select bit 1 and 0)

これらのビットは表16.に示されるタイマ/カウンタ1のPWM動作を選びます。この動作は34頁で記述されます。

表16. PWM動作選択

PWM11	PWM10	意味
0	0	PWM動作禁止
0	1	8ビットPWM
1	0	9ビットPWM
1	1	10ビットPWM

タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7 – ICNC1 : 捕獲起動入力雑音除去 (Input Capture1 Noise Canceler)

ICNC1ビットが解除(0)されると、捕獲起動入力の雑音除去機能が禁止されます。捕獲は説明されたように、捕獲起動入力:IC1(PD4)ピンで採取された最初の上昇端/下降端で起動されます。ICNC1が設定(1)されると、IC1(PD4)ピンで連続する4回の採取が揃い、全ての採取がICES1ビットでの捕獲起動条件設定に対応するhigh/Lowでなければなりません。実際の採取周波数はXTAL(システム)クロック周波数です。

•ビット6 – ICES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

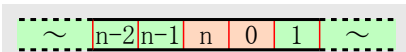
ICES1が解除(0)されている間中、**タイマ/カウンタ1**の内容は捕獲起動入力:IC1(PD4)ピンの下降端で**捕獲レジスタ(ICR1)**へ転送されます。ICES1ビットが設定(1)されている間中、**タイマ/カウンタ1**の内容は捕獲起動入力:IC1(PD4)ピンの上昇端で**捕獲レジスタ(ICR1)**へ転送されます。

•ビット5,4 – Res : 予約 (Reserved)

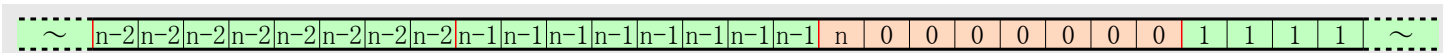
これらのビットは予約されており、常に0として読みます。

•ビット3 – CTC1 : 一致解除許可 (Clear Timer/Counter1 on Compare Match)

CTC1制御ビットが設定(1)されると、**タイマ/カウンタ1**は比較A一致後のクロック周期で\$0000にリセットされます。CTC1制御ビットが解除(0)されると、**タイマ/カウンタ1**は比較一致による影響を受けず計数動作を続けます。比較一致は一致に続くCPUクロック周期で検出されるため、1より大きい前置分周値が使われる時にこの動作は異なる動作になります。前置分周値が1で、比較Aレジスタ(OCR1A)にnが設定されているとき、CTC1が設定(1)されていると、**タイマ/カウンタ1**は次のように計数します。



前置分周器がCK/8分周に設定されていると、**タイマ/カウンタ1**は次のように計数します。



PWM動作では、このビットは無効です。

•ビット2~0 – CS12~0 : クロック選択1 (Clock Select1, bit 2,1 and 0)

このクロック選択1ビット2~0は**タイマ/カウンタ1(TCNT1)**に供給するクロックを定義します。

表17. タイマ/カウンタ1入力クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ1は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T1(PD6)ピンの下降端
1	1	1	外部T1(PD6)ピンの上昇端

停止状態はタイマ/カウンタの動作許可/禁止機能を提供します。CKが分周される動作では発振器クロックCKから直接的に分周されます。**タイマ/カウンタ1**に外部ピン動作が使われる場合、T1(PD6)が出力として設定されていても、このピン上の変移は計数器を駆動します。この特徴が計数動作のソフトウェア制御を可能にします。

タイマ/カウンタ1 (Timer/Counter1) TCNT1H,TCNT1L (TCNT1)

ビット	15	14	13	12	11	10	9	8	
\$2D (\$4D)	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	(LSB)								TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この16ビットレジスタは16ビットのタイマ/カウンタ1の前置分周された値を含みます。CPUがこれらのレジスタをアクセスするとき、上位と下位のバイトの両方が同時に読み書きされるのを保証するため、このアクセスは8ビットの一時レジスタ(TEMP)を使って実行されます。この一時レジスタは比較レジスタ(OCR1A, OCR1B)や捕獲レジスタ(ICR1)をアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

• タイマ/カウンタ1(TCNT1)書き込み (Timer/Counter1 Write)

CPUが上位バイト(TCNT1H)に書くとき、書かれたデータは一時レジスタ(TEMP)に置かれます。次にCPUが下位バイト(TCNT1L)に書くとき、TEMP内のバイトデータと組み合わせられ、16ビット全てがタイマ/カウンタ1(TCNT1)へ同時に書かれます。従って、完全な16ビットレジスタ書き込み操作では、**上位バイト(TCNT1H)が先にアクセス**されなければなりません。

• タイマ/カウンタ1(TCNT1)読み込み (Timer/Counter1 Read)

CPUが下位バイト(TCNT1L)を読むとき、下位バイト(TCNT1L)のデータがCPUへ送られ、上位バイト(TCNT1H)のデータが一時レジスタ(TEMP)に置かれます。CPUが上位バイト(TCNT1H)を読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビットレジスタ読み込み操作では、**下位バイト(TCNT1L)が先にアクセス**されなければなりません。

タイマ/カウンタ1は読み書き可能な上昇または上昇/下降(PWM動作時)計数器として実現されます。クロック供給元が選ばれ、タイマ/カウンタ1が書かれると、タイマ/カウンタ1は書かれた値を設定後、次のタイマ/カウンタ1クロック周期で計数を開始/継続します。

タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register A) OCR1AH,OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
\$2B (\$4B)	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)	(LSB)								OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register B) OCR1BH,OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
\$29 (\$49)	(MSB)								OCR1BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	(LSB)								OCR1BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタは読み書き可能な16ビットのレジスタです。

このタイマ/カウンタ1比較レジスタ(OCR1A,OCR1B)はタイマ/カウンタ1(TCNT1)と継続的に比較されるべきデータを保持します。比較一致での動作はタイマ/カウンタ1の制御と状態のレジスタで詳細に示されます。比較一致はタイマ/カウンタ1がOCR値を計数する場合のみ起きます。TCNT1とOCR1AまたはOCR1Bに同じ値を設定するソフトウェア書き込みでは比較一致を生成しません。

比較一致は比較での出来事に続くCPUクロック周期で比較一致割り込み要求フラグ(OCF1A, OCF1B)を設定(1)します。

この比較レジスタ(OCR1AとOCR1B)が16ビットレジスタなので、両方のバイトが同時に更新されるのを保証するため、OCR1A/Bが書かれる時には一時レジスタ(TEMP)が使われます。CPUが上位バイト(OCR1AHまたはOCR1BH)に書くとき、データはTEMP内に保存されます。CPUが下位バイト(OCR1ALまたはOCR1BL)に書くとき、TEMPの値が同時に上位バイト(OCR1AHまたはOCR1BH)へ書かれます。従って、完全な16ビットレジスタの書き込み操作では、上位バイト(OCR1AHまたはOCR1BH)が先に書かれなければなりません。

この一時レジスタはタイマ/カウンタ1(TCNT1)や捕獲レジスタ(ICR1)をアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 捕獲レジスタ (Timer/Counter1 Input Capture Register) ICR1H,ICR1L (ICR1)

ビット	15	14	13	12	11	10	9	8	
\$27 (\$47)	(MSB)								ICR1H
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	(LSB)								ICR1L
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

捕獲レジスタは読み込みのみ可能な16ビットのレジスタです。

捕獲起動入力:IC1(PD4)ピンで、タイマ/カウンタ1制御レジスタB(TCCR1B)の捕獲起動入力選択(ICES1)に従った信号の上昇端/下降端が検出されると、現在のタイマ/カウンタ1(TCNT1)の値が捕獲レジスタ(ICR1)に転送されます。同時にタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)の捕獲割り込み要求フラグ(ICF1)が設定(1)されます。

この捕獲レジスタ(ICR1)が16ビットレジスタなので、両方のバイトが同時に読まれるのを保証するために、ICR1が読まれる時には一時レジスタ(TEMP)が使われます。CPUが下位バイト(ICR1L)を読むとき、そのデータがCPUへ送られ、上位バイト(ICR1H)のデータがTEMPに置かれます。CPUが上位バイト(ICR1H)のデータを読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビットレジスタ読み込み操作では、下位バイト(ICR1L)が先に読まれなければなりません。

この一時レジスタはタイマ/カウンタ1(TCNT1)や比較レジスタ(OCR1A, OCR1B)をアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 PWM動作

PWM動作が選ばれると、**タイマ/カウンタ1(TCNT1)**、**比較レジスタ(OCR1A)**、**比較レジスタ(OCR1B)**は自由走行動作で不具合のない位相基準の8,9または10ビットPWMとOC1A(PB5)とOC1B(PB6)ピン出力を形成します。タイマ/カウンタ1は上昇/下降カウンタとして動作し、\$0000からTOP(上限値:表18.参照)まで上昇計数して、その周期が繰り返される前に向きを変えて再び\$0000まで下降計数します。タイマ/カウンタ1値がOCR1AまたはOCR1Bの最下位側8,9または10ビットの内容と一致すると、OC1A(PB5)またはOC1B(PB6)ピンは**タイマ/カウンタ1制御レジスタA(TCCR1A)**の**比較A出力選択(COM1A1,COM1A0)**または**比較B出力選択(COM1B1,COM1B0)**の設定に従って設定(High)または解除(Low)されます。詳細については表19.を参照してください。

表18. PWM分解能対計数上限値、PWM周波数の関係

PWM分解能	TOP (計数上限値)	PWM周波数	備考
8ビット	\$00FF (255)	fTCK1/510	fTCK1=タイマ/カウンタ1のクロック入力周波数
9ビット	\$01FF (511)	fTCK1/1022	
10ビット	\$03FF (1023)	fTCK1/2046	

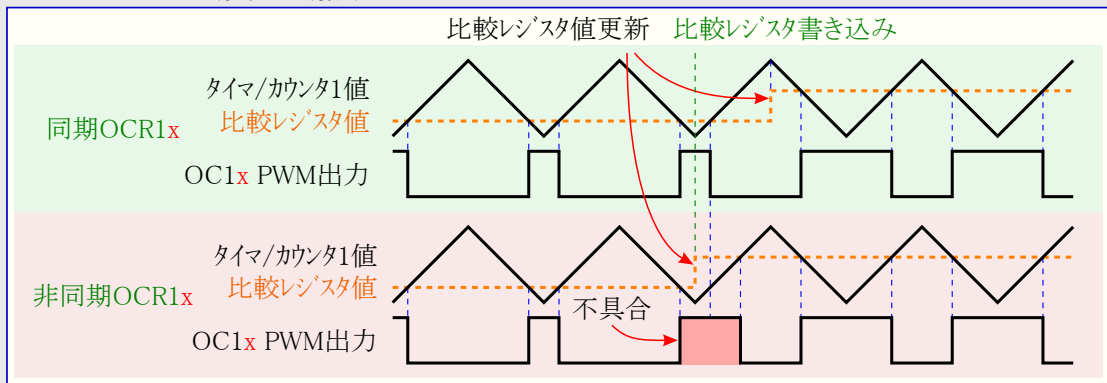
表19. PWM出力選択 (比較出力選択と兼用)

COM1x1	COM1x0	OC1x出力
0	0	OC1x出力切断 (PB5またはPB6は標準I/Oとして動作)
0	1	
1	0	上昇計数時の一致で解除(Low)、下降計数時の一致で設定(High) [非反転出力]
1	1	下降計数時の一致で解除(Low)、上昇計数時の一致で設定(High) [反転出力]

注: x=AまたはB

PWM動作では比較レジスタ(OCR1A/OCR1B)が書かれる時に最下位側10ビットが一時領域に転送されることに注意してください。これらはタイマ/カウンタ1(TCNT1)が上限値(TOP)に到達する時に比較レジスタへ設定されます。これはOCR1A/OCR1B非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図35.を参照してください。

図35. OCR1xの同期/非同期設定



注: x=AまたはB

書き込みと実際の設定間、OCR1AまたはOCR1B読み込みは一時領域の内容が読まれます。これは常に最も最近書かれた値がOCR1A/OCR1Bの読み出しとなることを意味します。

OCR1A/OCR1Bが\$0000または上限値(TOP)を含むと、OC1A/OC1B出力は次の比較一致でTCCR1AのCOM1A1とCOM1A0またはCOM1B1とCOM1B0の指定に従ってHighまたはLowに更新/保持されます。これは表20.で示されます。

注: 比較レジスタ(OCR1A/OCR1B)が上限値(TOP)で前置分周器を使わない(CS12~0=001)場合、上昇計数と下降計数の値が同時に到達されるためにPWM出力が全くパルスを生成しません。前置分周器を使う(CS12~0≠001または000)とき、タイマ/カウンタ1が上限値に達すると、PWM出力は動きますが、次回にタイマ/カウンタ1が上限値へ達する前の下降計数での至るべき比較一致が判定されないため、1周期(回)のPWMパルスになってしまいます。

表20. 上限値、下限値でのPWM出力

COM1x1	COM1x0	OCR1x	OC1x出力
1	0	\$0000	L
		上限値	H
1	1	\$0000	H
		上限値	L

注: x=AまたはB

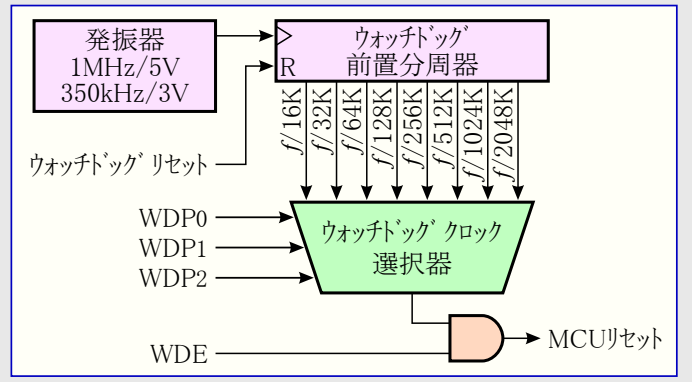
PWM動作ではタイマ/カウンタ1が\$0000から進む時に**タイマ/カウンタ1溢れ(TOV1)フラグ**が設定(1)されます。タイマ/カウンタ1溢れ割り込みは通常動作、換言すると、**ステータスレジスタ(SREG)の全割り込み許可(IDビット)**と**タイマ/カウンタ1割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビット**が許可されていれば、TOV1が設定(1)される時に割り込みが実行されるように、正確に動作します。これは比較一致割り込み(OCF1A,OCF1B)フラグと割り込みについても適用されます。

ウォッチドッグ タイマ

ウォッチドッグ タイマは独立した内蔵発振器から駆動されます。ウォッチドッグ タイマの前置分周器を制御することによって表21.で示されるようにウォッチドッグ リセット周期は調整できます。他の電源電圧での代表値については特性データを参照してください。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。リセット周期を決めるのに8種の異なるクロック周期を選べます。WDR命令なしでリセット周期が経過すると、ATmega103はリセットしてリセットベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては16頁を参照してください。

予期せぬウォッチドッグ 禁止を防止するため、ウォッチドッグ が禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの記述を参照してください。

図36. ウォッチドッグ タイマ構成図



ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21 \$(41)	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~5 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット4 - WDTOE : ウォッチドッグ 停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ 許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグ は禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に解除します。ウォッチドッグ 禁止手順については、WDEビットの記述を参照してください。

• ビット3 - WDE : ウォッチドッグ 許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ 停止移行許可(WDTOE)ビットが設定(1)されている場合のみ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック以内に、WDEへ論理0を書きます。これがウォッチドッグ を禁止します。

• ビット2~0 - WDP2~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2~0は、ウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は表21.に示されます。

表21. ウォッチドッグ 前置分周選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

注: 「代表特性」章内で示されるようにウォッチドッグ 発振器の周波数は電圧に依存します。

ウォッチドッグ タイマが許可されるのに先立って常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周器設定に一致するリセット周期を保証します。このリセット操作なしにウォッチドッグ が許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

予期せぬMCUリセットを避けるため、ウォッチドッグ タイマ前置分周選択の変更前にはウォッチドッグ タイマが禁止されるかリセットされるべきです。

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間はVCC電圧に依存し、2.5~4msの範囲です。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。EEPROMが新規データを受け入れる準備ができていない時に起動するための特別なEEPROM操作可割り込みが設定できます。

不測のEEPROM書き込みを防ぐため、特別な書き込み手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ (EECR)**」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止します。EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止します。

EEPROMアドレス レジスタ (EEPROM Address Register) EEARH,EEARL (EEAR)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	-	-	-	-	EEAR11	EEAR10	EEAR9	EEAR8	EEARH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット11~0 - EEAR11~0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEARHとEEARLのEEAR11~0)は4KバイトのEEPROM空間のEEPROMアドレスを指定します。EEPROMデータのバイトは0~4095間で直線的に配置されています。

EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~0 - EEDR7~0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレスレジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 - EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとこのEERIEが設定(1)されると、EEPROM操作可割り込みが許可されます。解除(0)されると、この割り込みは禁止されます。EEWEが解除(0)されていると、EEPROM操作可割り込みは継続する割り込みを発生します。

• ビット2 - EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)

このEEMWEビットは、EEPROM書き込み許可(EEWE)ビットの1設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEWEの1設定は選ばれたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「**書き込み許可(EEWE)ビット**」の説明を参照してください。

•ビット1 – EEW E : EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みスローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEWEビットを設定(1)しなければなりません。論理1がEEWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならないと、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2.と3.の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEARHとEEARL)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。(EEMWEビットに論理1が書けるためには、同一周期内でEEWEビットは0が書かれなければなりません。)
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EEWE)ビットへ論理1を書きます。

警告: 手順4.と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARまたはEEDRを変更すると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順2.~5.の間中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み時間(代表値で、2.5ms/VCC=5V, 4ms/VCC=2.7V)が経過してしまうと、EEWEビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EEWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

•ビット0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みスローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEEWEビットをポーリングすべきです。新規データまたはアドレスがEEPROM I/Oレジスタに書かれるときに書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。これは外部低VCCリセット保護回路による実現が最善で、これはブラウンアウト検出器(BOD)として度々参照されます。電源ONリセットと低電圧検出に関する設計上の考慮については、応用記述のAVR180を参照してください。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュメモリに定数を格納します。フラッシュメモリはCPUにより更新されることができないので、データ化けの問題はありません。

直列周辺インターフェース (SPI: Serial Peripheral Interface)

直列周辺インターフェースはATmega103と多くのAVRデバイスや周辺デバイス間の高速同期データ転送を行います。SPIは次の特徴を含みます。

- 3線式全二重同期通信
- 主装置/従装置動作
- LSB/MSB先行のデータ通信
- 4つの設定変更可能なビット速度
- 送信終了割り込み
- 送信上書き検出
- **アイドル動作からの起動復帰**
(従装置動作のみ)

SPIでの主装置と従装置CPU間の相互接続は図38.で示されます。SCK(PB1)ピンは主装置動作でのクロック出力、従装置動作でのクロック入力です。主装置CPUのSPIデータレジスタ(SPDR)書き込みはSPIクロック発生器を起動し、書かれたデータがMOSI(PB2)ピンへ移動出力され、従装置CPUのMOSI(PB2)ピンへ移動入力されます。1バイト移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の送信終了フラグ(SPIF)が設定(1)されます。SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置選択入力 \overline{SS} (PB0)は個々の従装置SPIデバイスを選択するため、Lowに設定します。主装置と従装置の2つの移動レジスタは分配された1つの循環型16ビット長移動レジスタとみなせます。これは図38.で示されます。主装置から従装置へデータが移動されるとき、同時にデータは逆方向にも移動されます。これは1移動周期中に主装置と従装置のデータが交換されることを意味します。

このシステムは送信方向が単一緩衝器、受信方向が2重緩衝器です。これは移動周期全てが完了される前に送信すべきバイトをSPIデータレジスタ(SPDR)に書けないことを意味します。しかし、データ受信時、次のバイトが完全に移動入力されてしまう前に受信されたバイトがSPIデータレジスタ(SPDR)から読まなければならない。そうしないと、最初のバイトが失われます。

SPIが許可されると、MOSI, MISO, SCK, \overline{SS} ピンのデータ方向は表22.に従って強制されます。

図37. SPI構成図

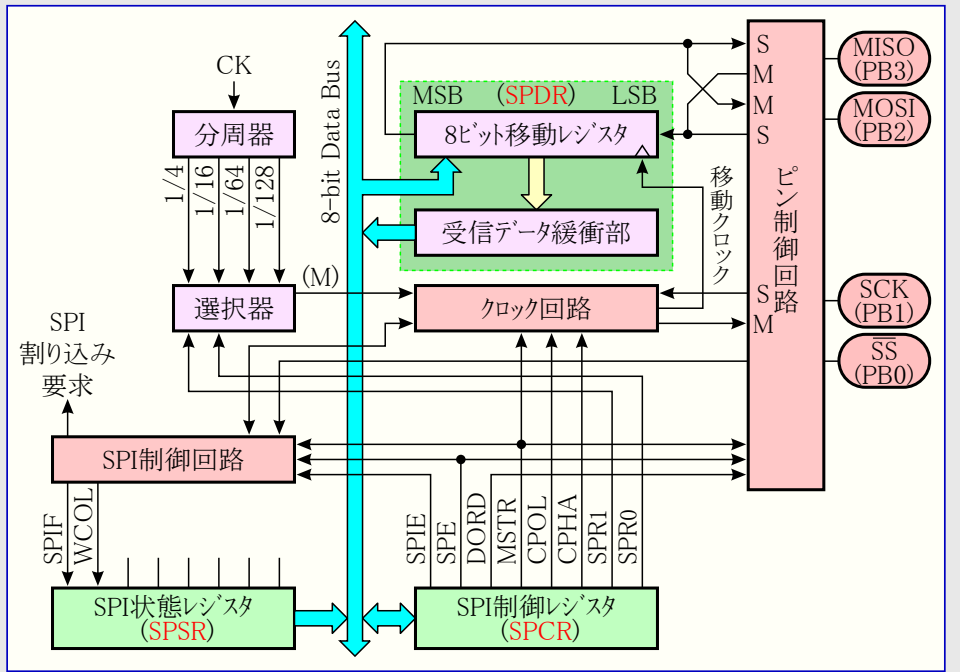


図38. SPI主装置/従装置の連結

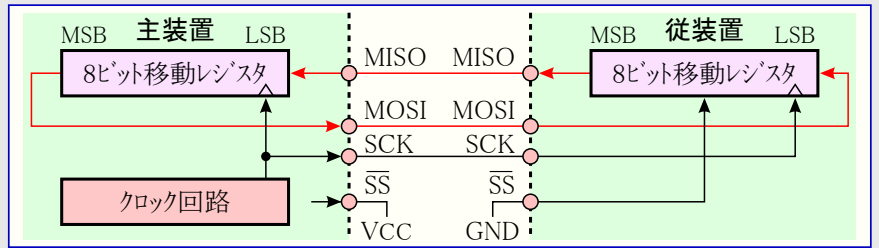


表22. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
\overline{SS}	ポートB方向レジスタ(DDRB)の指定	入力

注: DDRBの指定については56頁の「ポートBの交換機能」を参照してください。

SSピンの機能

SPI制御レジスタ(SPCR)の主装置(MSTR)ビットの設定(1)でSPIが主装置として設定されると、使用者がSSピンの方向を決められます。SSが出力として設定されると、このピンはSPIシステムに影響を及ぼさない標準出力です。SSが入力として設定されると、SPI主装置動作を保証するため、それはHighを保持しなければなりません。SPIが主装置として設定され、SSピンが入力として定義される時にSSピンが周辺回路によってLowに駆動されると、他の主装置が従装置としてSPIを選び、データの送受を開始すると解釈します。バスの衝突を避けるため、SPIシステムは次の動作を行います。

1. SPI制御レジスタ(SPCR)の主装置(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIが従装置になる結果、MOSIとSCKピンは入力になります。
2. SPI状態レジスタ(PSR)のSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていれば、割り込み処理ルーチンが実行されます。

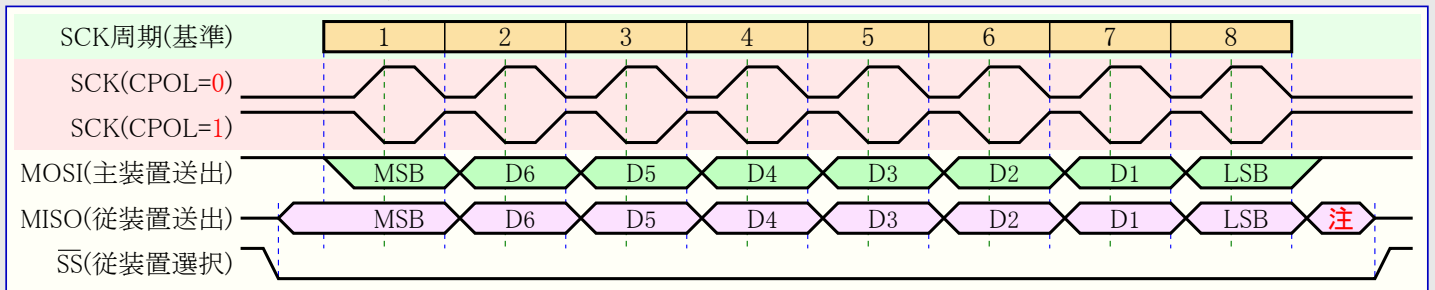
従って、割り込み駆動SPI送信が主装置動作で使われ、SSがLowに駆動される可能性があるとき、割り込み処理はMSTRビットが未だ設定(1)されているかを常に検査すべきです。一旦MSTRビットが従装置選択によって解除(0)されてしまうと、SPI主装置動作を再び許可するため、それは使用者によって設定(1)されなければなりません。

SPIが従装置として設定されると、SSピンは常に入力です。SSがLowに保持されると、SPIは活性化され、MISOは使用者によってそのよう(出力)に設定されるなら出力になります。他の全ピンは入力です。SSがHighに駆動されると、出力として使用者設定され得るMISOを除く全ピンが外部的に入力で、SPIは到着データを受信しないことを意味する受動状態です。一旦SSピンがHighにされると、SPI回路がリセットすることに注意してください。送信中にSSピンがHighにされると、SPIは直ちに送受信を停止し、送受信両方のデータが失われるとみなさなければなりません。

データ転送形式

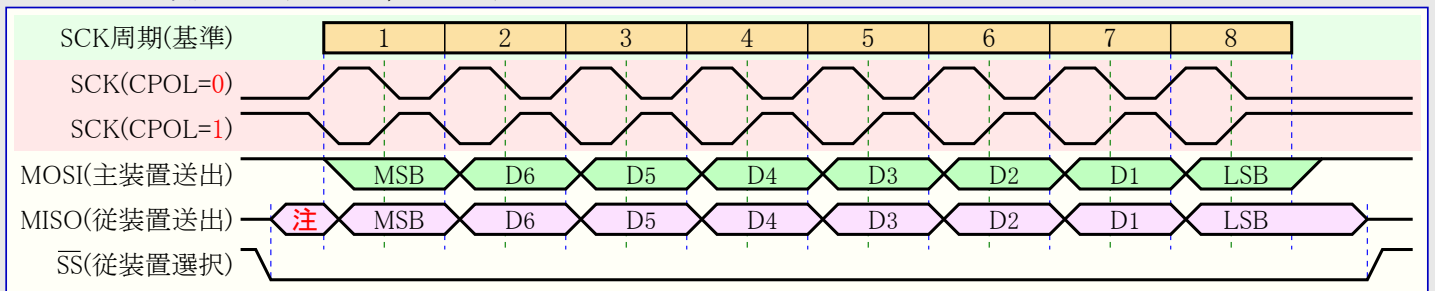
直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)ビットとSCK極性(CPOL)ビットで決められるSCKの位相と極性での4つの組み合わせがあります。SPIデータ転送形式は図39.と図40.で示されます。

図39. SPIデータ転送形式 (CPHA=0,DORD=0)



注: 未定義ですが、通常、受信されたデータのMSBです。

図40. SPIデータ転送形式 (CPHA=1,DORD=0)



注: 未定義ですが、通常、直前に送出されたデータのLSBです。

SPIデータレジスタ (SPI Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータレジスタはSPI移動レジスタと汎用レジスタ間のデータ転送に使用される読み書きレジスタです。このレジスタへ書くとデータ送信を開始します。このレジスタを読むと移動レジスタの受信緩衝部を読みます。

SPI状態レジスタ (SPI Status Register) SPSR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	SPIF	WCOL	–	–	–	–	–	–	SPSR
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – SPIF : SPI割り込み要求フラグ** (SPI Interrupt Flag)

直列転送が完了すると、このSPIFが設定(1)され、全割り込みが許可(SREGのI=1)され、且つSPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビットが設定(1)ならば、割り込みが生成されます。SPIFは対応する割り込みベクタを実行すると、自動的に解除(0)されます。代わりに、SPIFが設定(1)されたSPSRを最初に読み、その後のSPIデータレジスタ(SPDR)のアクセスによっても、SPIFは解除(0)されます。

• **ビット6 – WCOL : 上書き発生フラグ** (Write Collision Flag)

データ転送中にSPIデータレジスタ(SPDR)が書かれると、このWCOLフラグが設定(1)されます。このWCOLフラグ(とSPIFフラグ)はWCOLが設定(1)されたSPI状態レジスタ(SPSR)を最初に読み、その後のSPIデータレジスタ(SPDR)のアクセスによって解除(0)されます。

• **ビット5~0 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

SPI制御レジスタ (SPI Control Register) SPCR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – SPIE : SPI割り込み許可** (SPI Interrupt Enable)

全割り込みが許可(SREGのI=1)され、SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)が設定(1)される場合、このビットがSPI割り込みを実行させます。

• **ビット6 – SPE : SPI許可** (SPI Enable)

SPEビットが設定(1)されるとSPIが許可され、MISO, MOSI, SCK, \overline{SS} がPB3, PB2, PB1, PB0に接続されます。

• **ビット5 – DORD : データ順選択** (Data Order)

DORDビットが設定(1)されるとLSBから送受信されます。DORDビットが解除(0)されるとMSBから送受信されます。

• **ビット4 – MSTR : 主装置/従装置選択** (Master/Slave Select)

このビットは設定(1)されると主装置SPI動作、解除(0)されると従装置SPI動作を選びます。 \overline{SS} ピンが入力として設定され、MSTRが設定(1)されている間にLowへ駆動されると、MSTRは解除(0)され、SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)が設定(1)になります。SPI主装置動作を再び許可するにはその後MSTRを設定(1)しなければなりません。

• **ビット3 – CPOL : SCK極性選択** (Clock Polarity)

このビットが設定(1)されるとSCKはアイドル時にHighとなります。CPOLが解除(0)されるとSCKはアイドル時にLowとなります。付加情報については図39.と図40.を参照してください。

• **ビット2 – CPHA : SCK位相選択** (Clock Phase)

このビットの機能については図39.と図40.を参照してください。

• **ビット1,0 – SPR1,0 : クロック選択** (SPI Clock Rate Select 1 and 0)

これら2つのビットは主装置として設定されるデバイスのSCK速度を制御します。従装置でのSPR1,0は何の効果もありません。SCKとCPUクロック周波数(f_{CL})間の関連は表23.で示されます。

XTAL(クロック)分周器が許可されている場合、CPUクロック周波数がXTAL周波数より低くできることに注意してください。

表23. SCK速度選択 (f_{CL} =CPU周波数)

SPR1	SPR0	SCK周波数
0	0	$f_{CL}/4$
0	1	$f_{CL}/16$
1	0	$f_{CL}/64$
1	1	$f_{CL}/128$

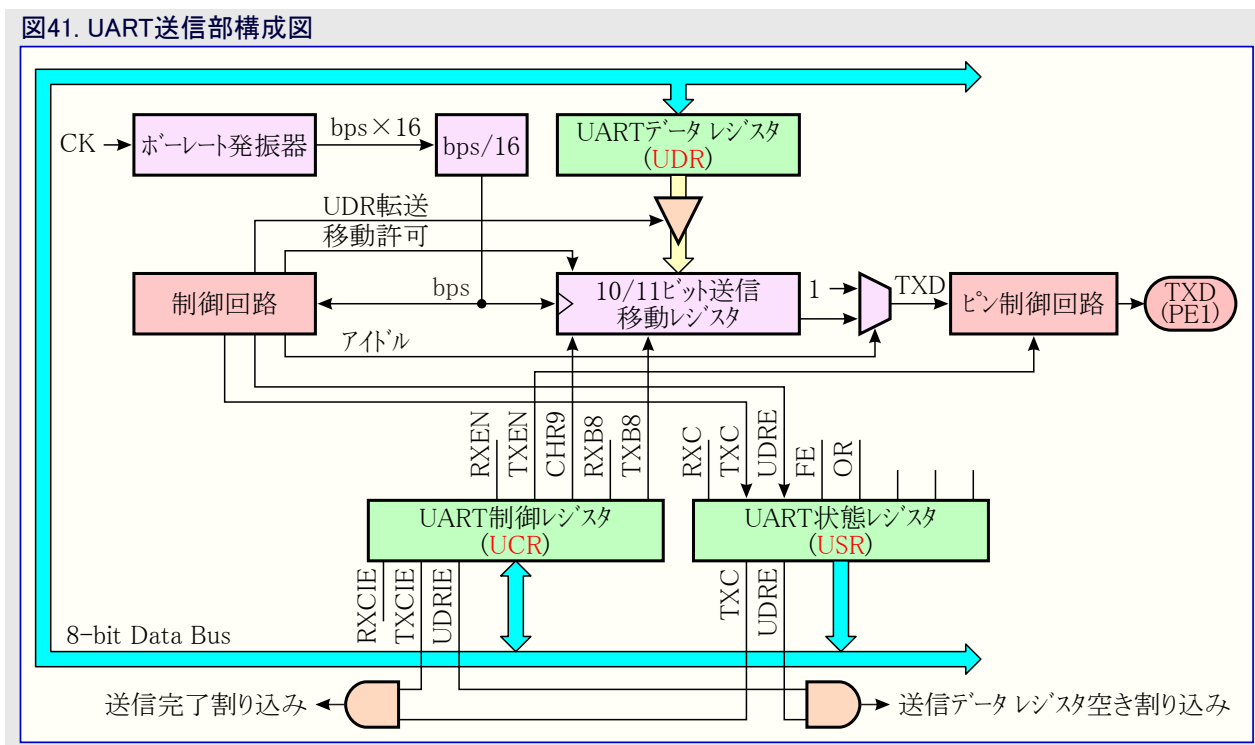
UART

ATmega103は送受信のレジスタが分離された全二重(フルデュプレックス)のUART(Universal Asynchronous Receiver and Transmitter)が特徴です。主な特徴を次に示します。

- 多数のボーレート速度(bps)を発生できるボーレート発振器
- 低いクリスタル周波数での高ボーレート
- 8または9ビットデータ
- 雑音濾波器機能
- オーバーラン検出
- フレーミング異常検出
- 不正開始ビット検出
- 受信完了、送信完了、送信データレジスタ空きの3つの独立した割り込み

データ送信

UART送信部の構成図は図41.で示されます。



データ送信はUARTデータレジスタ(UDR)への送信すべきデータの書き込みによって開始されます。データは次の時にUDRから送信移動レジスタへ転送されます。

- 直前のデータが移動出力されてしまった後から停止ビットの後に、新データがUDRに書かれると、移動レジスタは直ちに設定されます。
- 直前のデータが移動出力されてしまった前から停止ビットの前に、新データがUDRに書かれると、正しく送信されている(直前の)データの停止ビットが移動出力されてしまう時に移動レジスタは設定されます。

10/11ビット送信移動レジスタが空の場合、データはUARTデータレジスタ(UDR)から、この移動レジスタへ転送されます。この時にUART状態レジスタ(USR)のUARTデータレジスタ空き(UDRE)ビットが設定(1)されます。このビットが設定(1)されると、UARTは次データを受け取る用意ができています。UDRから10/11ビット移動レジスタへ転送されると同時に、移動レジスタのビット0が解除(0)され(開始ビット)、ビット9または10が設定(1)されます(停止ビット)。UART制御レジスタ(UCR)の9ビット選択(CHR9)ビット=1で、9ビット長データが選ばれていると、UCRの送信ビット8(TXB8)ビットが送信移動レジスタのビット9に転送されます。

移動レジスタへの転送操作に続くボーレートクロックで開始ビットがTXDピン上に移動出力されます。その後LSBが先でデータを続けます。停止ビットが移動出力されてしまう時に送信(移動)中に何れかの新規データが書かれてしまっている場合、移動レジスタは(そのデータ)で設定されます。この設定中にUDREが設定(1)されます。停止ビットが移動出力される時に送るためのUDR内の新規データがない場合、UDREはUDRが再び書かれるまで設定(1)に留まります。新規データが書かれず、停止ビットが1ビット長分、TXD上に存在してしまうと、USRの送信完了(TXC)フラグが設定(1)されます。

UCRの送信許可(TXEN)ビットは設定(1)時にUART送信部を許可します。このビットが解除(0)されると、PE1/TXDピンは標準I/Oで使えます。TXENが設定(1)されると、UART送信部はPE1/TXDピンに接続され、それはポートE方向レジスタ(DDRE)のDDE1ビットの設定に拘らず、強制的に出力とされます。

データ受信

図42.はUART受信部の構成図を示します。

受信部前処理回路はボーレート周波数の16倍のクロックでRXDピン上の信号を採取します。信号線がアイドルの間、1つの論理0の採取は開始ビットの下降端として判定され、開始ビット検出手順が開始されます。第1採取は、この最初の0採取を示します。1から0への遷移に続き、受信部は第8、9、10採取でRXDピンを採取します。これら3つの採取で2回以上の論理1を見つけると、開始ビットは尖頭雑音として破棄され、受信部は次の1から0への遷移(開始ビット開始)検出を始めます。

そうでなければ、有効な開始ビットが検出され、開始ビットに続くデータビットの採取が実行されます。これらのビットは同様に第8、9、10採取で採取されます。3つの採取の内、少なくとも2つが見つかった論理値がビット値として取得されます。全てのビットは採取されると、受信移動レジスタ内に移動入力されます。到着フレームの採取は図43.で示されます。

図42. UART受信部構成図

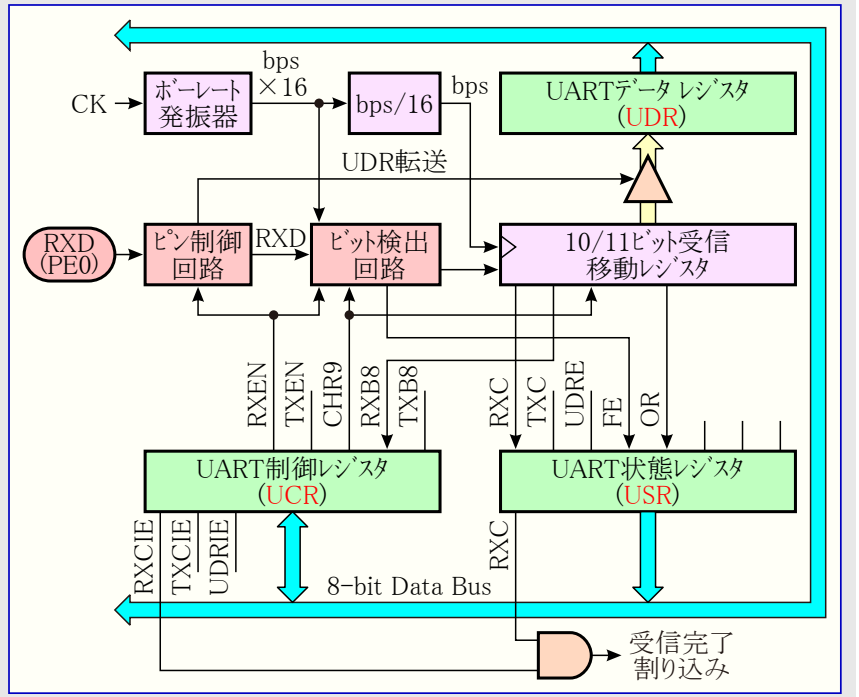
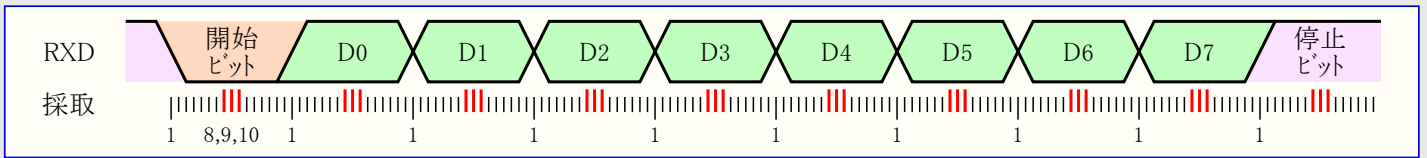


図43. 受信信号の採取



停止ビットが受信部に入る時に停止ビットを受け入れるためには3採取の多数が1でなければなりません。2つ以上の採取が論理0だと、UART状態レジスタ(USR)のフレーミング異常(FE)フラグが設定(1)されます。フレーミング異常を検出するため、常にUARTデータレジスタ(UDR)を読む前に、このFEフラグを検査すべきです。

フレーム受信周期の最後で有効な停止ビットが検出されるかによらず、データはUDRへ送られ、USRの受信完了(RXC)フラグが設定(1)されます。実際のUDRは2つの物理的に分離したレジスタで、受信データ用に1つと送信データ用に1つです。UDRが読まれると受信データレジスタが、UDRが書かれると送信データレジスタがアクセスされます。UART制御レジスタ(UCR)の9ビット選択(CHR9)ビット=1で、9ビット長データが選ばれていると、データがUDRに転送される時にUCRの受信ビット8(RXB8)ビットは受信移動レジスタのビット9が設定されます。

受信されたフレーム(データ)があるのに、直前の受信以降、UDRが読まれていないと、USRのオーバーラン(OR)フラグが設定(1)されます。これは受信移動レジスタに移動入力された最後の受信データがUDRに転送できないために失われてしまうことを意味します。ORビットは緩衝されており、UDR内の有効な受信データが読まれる時に更新されます。従って、速いボーレートやCPU負荷が重い場合、何れのオーバーランをも検出するには、UDR読み込み後、常にこのORフラグを検査すべきです。

UCRの受信許可(RXEN)ビットが解除(0)されると、受信部が禁止されます。これはPE0/RXDピンが標準I/Oピンとして使えることを意味します。RXENが設定(1)されると、UART受信部がPE0/RXDピンに接続され、それはポートE方向レジスタ(DDRE)のDDE0の設定に拘らず強制的に入力とされます。ポートE出力レジスタ(PORTE)のPORTE0は、このピンのプルアップ抵抗を制御するのに未だ使えます。

UCRの9ビット選択(CHR9)ビットが設定(1)されると、送受信されるフレームは開始ビット+9ビットデータ+停止ビットです。送信される第9ビットデータはUCRの送信ビット8(TXB8)ビットです。このビットはUDR書き込みによって送信が開始される前に必要とされる値を設定しなければなりません。受信された第9ビットデータはUCRの受信ビット8(RXB8)ビットです。

UART制御

UARTデータレジスタ (UART I/O Data Register) UDR

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	(MSB)							(LSB)	UDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

実際にはUDRは同じI/Oアドレスを共有する物理的に分離した2つのレジスタです。このレジスタに書くとUART送信データレジスタが書かれます。UDRから読むとUART受信データレジスタが読めます。

UART状態レジスタ (UART Status Register) USR

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	RXC	TXC	UDRE	FE	OR	-	-	-	USR
Read/Write	R	R/W	R	R	R	R	R	R	
初期値	0	0	1	0	0	0	0	0	

USRはUARTの状態情報を提供する読み込みのみ可能なレジスタです。

• ビット7 - RXC : UART受信完了フラグ (UART Receive Complete)

受信されたデータが受信移動レジスタからUARTデータレジスタ(UDR)へ転送される時、このビットが設定(1)されます。このビットは検出されたどんなフレーミング異常にも関係なく設定されます。UART制御レジスタ(UCR)の受信完了割り込み許可(RXCIE)ビットが設定(1)されていると、RXCが設定(1)された時にUART受信完了割り込みが実行されます。RXCはUDR読み込みによって解除(0)されます。割り込み駆動データ受信が使われるとき、UART受信完了割り込み処理ルーチンはRXCを解除(0)するためにUDRを読まなければなりません。そうしないと、一旦割り込み処理ルーチンを終了しても、新規割り込みが発生します。

• ビット6 - TXC : UART送信完了フラグ (UART Transmit Complete)

送信移動レジスタ内の完全なデータ(含む停止ビット)が移動出力されてしまい、新規データがUARTデータレジスタ(UDR)に書かれてしまっていない時にこのビットは設定(1)されます。このビットは、送信側が送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない半二重(ハーフデュプレックス)通信で特に有用です。

UART制御レジスタ(UCR)の送信完了割り込み許可(TXCIE)ビットが設定(1)されていると、TXCの設定(1)はUART送信完了割り込みを実行させます。対応する割り込みベクタを実行すると、TXCは自動的に解除(0)されます。代わりに、このビットに論理1を書くことによってもTXCは解除(0)されます。

• ビット5 - UDRE : UART送信データレジスタ空きフラグ (UART Data Register Empty)

UARTデータレジスタ(UDR)に書かれたデータが送信移動レジスタへ転送される時にこのビットは設定(1)されます。このビットの設定(1)は送信部が新規送信データを受け取る用意ができていていることを示します。

UART制御レジスタ(UCR)の送信データレジスタ空き割り込み許可(UDRIE)ビットが設定(1)されていると、UDREが設定(1)されている限り、UART送信データレジスタ空き割り込みが実行されます。UDREはUDR書き込みによって解除(0)されます。割り込み駆動データ送信が使われるとき、UART送信データレジスタ空き割り込み処理ルーチンはUDREを解除(0)するためにUDRに書かなければなりません。そうしないと、一旦割り込み処理ルーチンを終了しても、新規割り込みが発生します。

UDREは送信可を示すため、リセット中に設定(1)されます。

• ビット4 - FE : フレーミング異常フラグ (Framing Error)

このフラグはフレーミング異常条件が検出される、換言すると、到着フレームの停止ビットが0の時に設定(1)されます。

FEフラグは受信されるデータの停止ビットが1の時に解除(0)されます。

• ビット3 - OR : オーバーラン発生フラグ (Overrun)

このフラグはオーバーラン条件(換言すると、次のデータが受信移動レジスタに移動入力されてしまう前にUARTデータレジスタ(UDR)内の既に存在するデータが読めない時)が検出されると設定(1)されます。ORは緩衝されており、そしてそれは一度UDRの有効なデータを読んでも未だ設定(1)されることを意味します。

ORフラグはデータが受信され、UDRへ転送される時に解除(0)されます。

• ビット2~0 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

UART制御レジスタ (UART Control Register) UCR

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	UCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	W	
初期値	0	0	0	0	0	0	1	0	

•ビット7 – RXCIE : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、UART状態レジスタ(USR)の受信完了(RXC)フラグの設定(1)は受信完了割り込み処理ルーチンを実行させます。

•ビット6 – TXCIE : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、USRの送信完了(TXC)フラグの設定(1)は送信完了割り込み処理ルーチンを実行させます。

•ビット5 – UDRIE : 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)されていれば、USRの送信データレジスタ空き(UDRE)フラグの設定(1)は送信データレジスタ空き割り込み処理ルーチンを実行させます。

•ビット4 – RXEN : 受信許可 (Receiver Enable)

設定(1)されると、このビットはUART受信(部)を許可します。受信(部)が禁止されると、UART状態レジスタ(USR)の受信完了(RXC)、フレーミング異常(FE)、オーバラン(OR)状態フラグは設定(1)になることができません。これらのフラグが設定(1)の場合、RXENの解除(0)への切り替えはそれらを解除(0)しません。

•ビット3 – TXEN : 送信許可 (Transmitter Enable)

設定(1)されると、このビットはUART送信(部)を許可します。データ送信中に送信(部)を禁止すると、送信移動レジスタのデータと送信データレジスタ(UDR)の続くデータが完全に送信されてしまう前には送信部が禁止されません。

•ビット2 – CHR9 : 9ビットデータ選択 (9Bits Character)

このビットが設定(1)されると、送受信フレームは開始ビット+9ビットデータ+停止ビットです。第9ビットは各々、UART制御レジスタ(UCR)の受信ビット8(RXB8)、送信ビット8(TXB8)を使うことで読み書きされます。この第9データビットはパリティビットや拡張停止ビットとして使えます。

•ビット1 – RXB8 : 受信データビット8 (Receive Data Bit 8)

9ビットデータ選択(CHR9)が設定(1)されていると、RXB8は受信されたデータの第9データビット(ビット8)です。

•ビット0 – TXB8 : 送信データビット8 (Transmit Data Bit 8)

9ビットデータ選択(CHR9)が設定(1)されていると、TXB8は送信されるべきデータの第9データビット(ビット8)です。

ボーレート発振器

ボーレート発振器は次式に従ってボーレートを生成する周波数分周器です。

$$BAUD = \frac{f_{CK}}{16 \times (UBRR + 1)}$$

BAUD ボーレート(bps)
 f_{CK} CPUクロック周波数
 UBRR UARTボーレートレジスタ値(0~255)

UARTボーレートレジスタ (UART Baud Rate Register) UBRR

ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	(MSB)							(LSB)	UBRR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

UBRRは上記の式に従ってUARTボーレートを示す、読み書き可能な8ビットレジスタです。(設定例は表24.参照)

表24.のUBRR設定を使うことにより、標準的なクリスタル周波数について、共通的に使われる多くのボーレートが発生できます。実際のボーレートが目的のボーレートに対して誤差2%未満を有効なボーレートとし、それ以外は赤字で示されます。しかし、誤差1%を越えるボーレートの使用は推奨されません。高い誤差率は雑音耐性が低下します。

表24. Xtal、ボーレート対UBRR設定

ボーレート	1MHz		1.8432MHz		2MHz		2.4576MHz		3.2768MHz		3.6864MHz	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	95	0.0	103	0.2	127	0.0	170	0.2	191	0.0
2400	25	0.2	47	0.0	51	0.2	63	0.0	84	0.4	95	0.0
4800	12	0.2	23	0.0	25	0.2	31	0.0	42	0.8	47	0.0
9600	6	7.5	11	0.0	12	0.2	15	0.0	20	1.6	23	0.0
14400	3	7.8	7	0.0	8	3.7	10	3.1	13	1.6	15	0.0
19200	2	7.8	5	0.0	6	7.5	7	0.0	10	3.1	11	0.0
28800	1	7.8	3	0.0	3	7.8	4	6.3	6	1.6	7	0.0
38400	1	22.9	2	0.0	2	7.8	3	0.0	4	6.3	5	0.0
57600	0	7.8	1	0.0	1	7.8	2	12.5	3	12.5	3	0.0
76800	0	22.9	1	33.3	1	22.9	1	0.0	2	12.5	2	0.0
115200	0	84.3	0	0.0	0	7.8	0	25.0	1	12.5	1	0.0

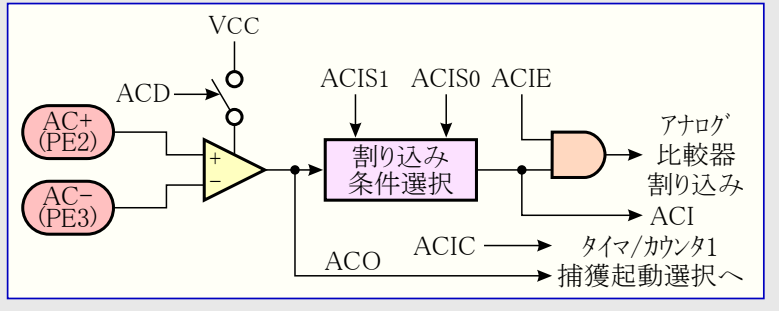
ボーレート	4MHz		4.608MHz		4.9152MHz		6.144MHz		7.3728MHz		8MHz	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	207	0.2	239	0.0	255	0.0	-	-	-	-	-	-
2400	103	0.2	119	0.0	127	0.0	159	0.0	191	0.0	207	0.2
4800	51	0.2	59	0.0	63	0.0	79	0.0	95	0.0	103	0.2
9600	25	0.2	29	0.0	31	0.0	39	0.0	47	0.0	51	0.2
14400	16	2.1	19	0.0	20	1.6	26	1.3	31	0.0	34	0.8
19200	12	0.2	14	0.0	15	0.0	19	0.0	23	0.0	25	0.2
28800	8	3.7	9	0.0	10	3.1	12	2.6	15	0.0	16	2.1
38400	6	7.5	7	6.7	7	0.0	9	0.0	11	0.0	12	0.2
57600	3	7.8	4	0.0	4	6.3	6	4.8	7	0.0	8	3.7
76800	2	7.8	3	6.7	3	0.0	4	0.0	5	0.0	6	7.5
115200	1	7.8	2	20.0	2	12.5	2	11.2	3	0.0	3	7.8

ボーレート	9.216MHz		9.8304MHz		10MHz		11.059MHz		MHz		MHz	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
2400	239	0.0	255	0.0	-	-	-	-				
4800	119	0.0	127	0.0	129	0.2	143	0.0				
9600	59	0.0	63	0.0	64	0.2	71	0.0				
14400	39	0.0	42	0.8	42	1.0	47	0.0				
19200	29	0.0	31	0.0	32	1.4	35	0.0				
28800	19	0.0	20	1.6	21	1.4	23	0.0				
38400	14	0.0	15	0.0	15	1.8	17	0.0				
57600	9	0.0	10	3.1	10	1.4	11	0.0				
76800	7	6.7	7	0.0	7	1.8	8	0.0				
115200	4	0.0	4	6.3	4	8.6	5	0.0				

アナログ比較器

このアナログ比較器はAC+(PE2)非反転入力AC-(PE3)と反転入力の入力値を比較します。非反転入力AC+(PE2)の電圧が反転入力AC-(PE3)の電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はタイマ/カウンタ1の捕獲機能を起動するように設定できます。加えて、比較器はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端、またはその両方での割り込み起動が選べます。この比較器とその周辺回路の構成図は図44.で示されます。

図44. アナログ比較器部構成図



アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	ACSR
\$08 (\$28)	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

•ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFにするため、何時でも設定(1)できます。これは活動動作やアイドル動作での消費電力を削減します。このACDビットを変更するとき、[アナログ比較器 制御/状態レジスタ\(ACSR\)のアナログ比較器割り込み許可\(ACIE\)ビット](#)を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起き得ます。

•ビット6 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

•ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

•ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが[アナログ比較器割り込み条件\(ACIS1,ACIS0\)ビット](#)で定義された割り込み動作を起こす時にこのビットは設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)され、[ステータスレジスタ\(SREG\)の全割り込み許可\(I\)ビット](#)が設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行する時にACIは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもACIは解除(0)されます。けれども、このレジスタの他のビットがCBIまたはSBI命令を使って変更される場合、この操作前にACIビットが1になっていると、ACIが解除(0)されることに注意してください。

•ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、[ステータスレジスタ\(SREG\)の全割り込み許可\(I\)ビット](#)が設定(1)されると、アナログ比較器割り込みが有効化されます。解除(0)されると、この割り込みは禁止されます。

•ビット2 – ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

設定(1)されると、このビットはアナログ比較器によって起動されるタイマ/カウンタ1の捕獲機能を許可します。この場合、比較器出力は直接、[捕獲起動入力の前処理回路](#)に接続され、比較器はタイマ/カウンタ1捕獲割り込みの[雑音除去と端\(エッジ\)選択機能](#)が利用可能になります。解除(0)されると、アナログ比較器と捕獲機能間の関係がなくなります。比較器がタイマ/カウンタ1捕獲割り込みを起動するには[タイマ/カウンタ割り込み許可レジスタ\(TIMSK\)の捕獲割り込み許可\(TICIE1\)ビット](#)が設定(1)されなければなりません。

•ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は表25.に示されます。

ACIS1,ACIS0ビットを変更するとき、ACSRの[アナログ比較器割り込み許可\(ACIE\)ビット](#)を解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起き得ます。

表25. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移(トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

警告: このレジスタのACI以外のビットに対するCBIまたはSBI命令の使用は、ACIが1として読まれる場合に1が書き戻されるため、このフラグを解除(0)してしまいます。

A/D変換器

特徴

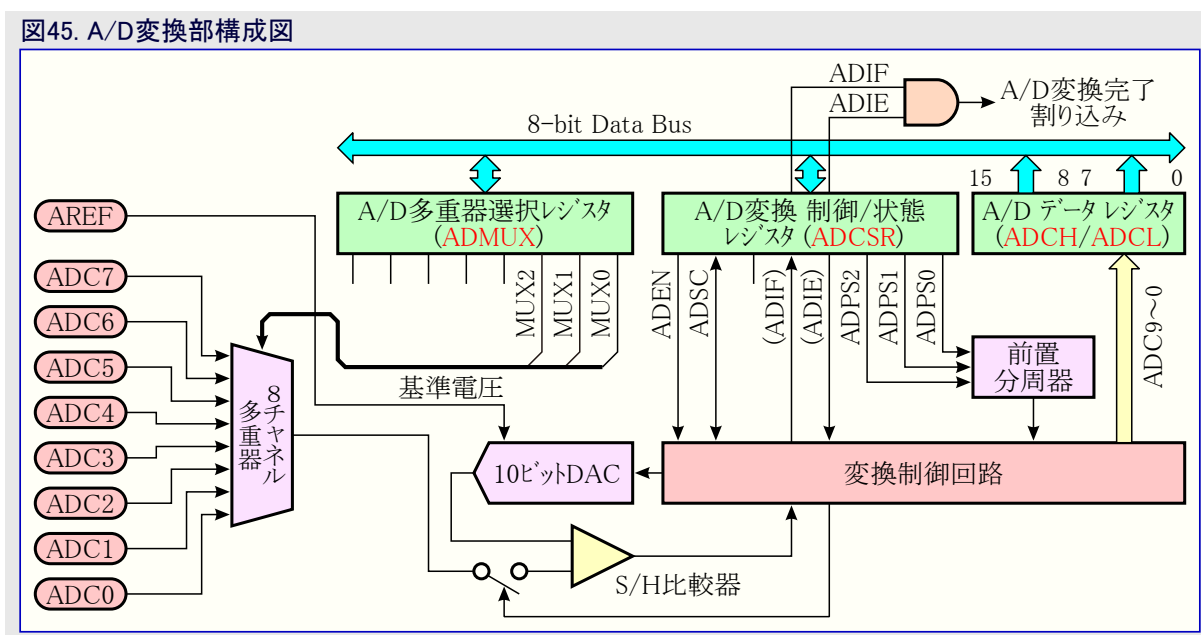
- 10ビット分解能
- 精度±2 LSB
- 積分非直線性0.5 LSB
- 変換時間70~280μs
- 14k採取/sまでの採取速度
- 8チャンネル多重器内蔵
- A/D変換完了割り込み
- 休止形態雑音低減機能

ATmega103は10ビットの逐次比較A/D変換部が特徴です。このA/D変換部はA/D変換器の入力として使われるポートFの各ピンが供される8チャンネルの多重器に接続されます。A/D変換部はA/D変換器が変換中の一定レベルを保持するための入力電圧を保証する採取&保持(S/H)を含みます。A/D変換部の構成図は図45.に示されます。

A/D変換部には分離された2つの電源(AVCC, AGND)ピンがあります。AGNDはGNDに接続されなければならず、AVCCの電圧はVCC±0.3V以内でなければなりません。これらのピンの接続方法は、50頁の「雑音低減技術」を参照してください。

外部基準電圧はAREFピンに供給されなければなりません。この電圧は2.0V~AVCCの範囲でなければなりません。

図45. A/D変換部構成図



操作

A/D変換操作は単独変換動作に於いて各変換は使用者によって初期化(設定)されなければなりません。

A/D変換部はA/D制御/状態レジスタ(ADCSR)のA/D許可(ADEN)ビットの設定(1)によって許可されます。A/D変換部許可後の最初の変換はA/D変換部を初期化するために擬似変換が先行して行われます。違いはこの変換が標準変換より13変換クロック余計にかかることだけです(図47.参照)。

変換はADCSRの変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が実行中である限り1に留まり、変換が完了される時、ハードウェアによって0に設定されます。変換実行中に違うデータチャンネルが選ばれると、チャンネル変更を行う前に現在の変換を完了します。

A/D変換は10ビットの結果を2つのデータレジスタ(ADCH,ADCL)に生成し、変換完了時に結果を得るため読まなければなりません。それらが読まれるとき、データレジスタの内容が同じ変換からであることを保証するため、特別なデータ保護回路が使われます。この機構は次のように動作します。

データを読むとき、ADCLが最初に読まれなければなりません。一度ADCLが読まれると、データレジスタへのA/D変換器アクセスは防止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタも更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCHとADCLへのA/D変換器アクセスが改めて許可されます。

A/D変換部には変換完了時に起動できる自身の割り込み(ADIF)があります。データレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されていると、結果は失われてしまいますが、割り込みは起動します。

前置分周と変換タイミング

A/D変換部はシステムクロックを受け入れ可能なA/D変換クロック周波数に分周する前置分周器を含みます。A/D変換器は50～200kHz範囲の入力クロック周波数を受け入れます。より高い入力周波数の適用は貧弱な精度の結果になります(51頁の「A/D変換器特性」参照)。

A/D制御/状態レジスタ(ADCSR)のA/Dクロック選択(ADPS2～0)ビットは100kHz以上の何れかのシステムクロック周波数から適当なA/D変換クロック周波数を生成するために使われます。この前置分周器はADCSRのA/D許可(ADEN)ビットを設定(1)することによってA/D変換部がONに切り替えられる時から計数を始めます。前置分周器はADENビットが設定(1)である限り動作し続け、ADENが解除(0)の時は継続的にリセットされます。

ADCSRのA/D変換開始(ADSC)ビットを設定(1)することによって変換を開始するとき、直後の変換クロック周期の下降端で変換が始まります。実際の採取&保持は変換開始後1変換クロック周期の位置で行われます。13変換クロック周期後、結果が用意でき、A/Dデータレジスタ(ADCH,ADCL)に書かれます。A/D変換器は次の変換開始前に2変換クロック周期以上が必要です。この期間にA/D変換開始(ADSC)ビットが1に設定されると、(2変換クロック周期経過後)直ちに新規変換が始まります。変換時間の概要については表26をご覧ください。

図46. A/D変換前置分周器部構成

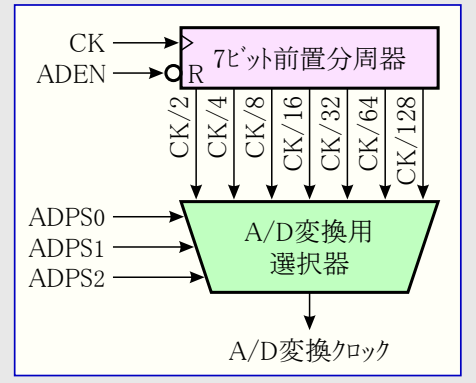


図47. 初回変換タイミング

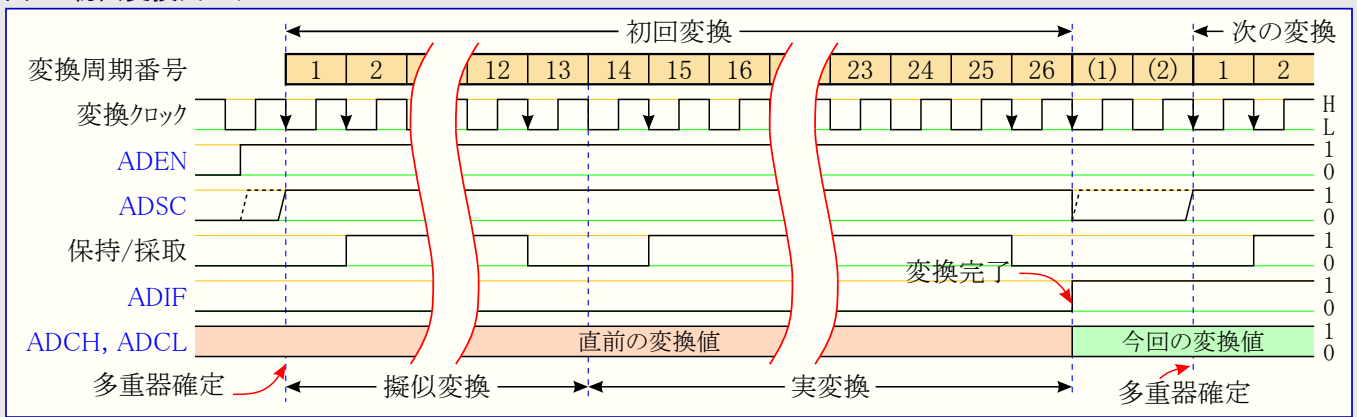


図48. 通常変換タイミング

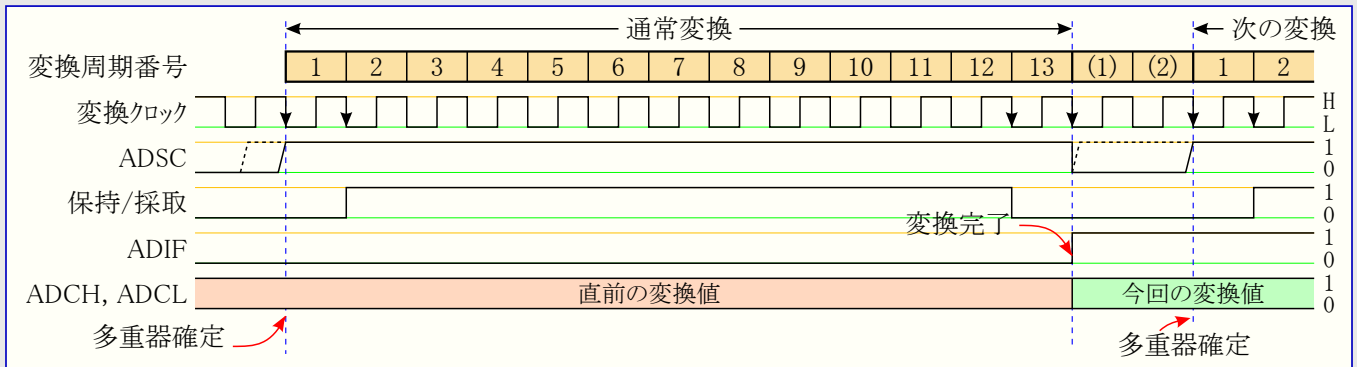


表26. A/D変換時間

変換種別	保持点	変換終了	総変換時間	変換時間(μs)
初回	14	26	28	140～560
通常	1	13	15	75～300

注: 変換時間を除く各番号は変換開始からの変換クロック数です。

雑音低減機能

A/D変換部はCPUコアから誘導される雑音を低減するため、アイドル動作中のA/D変換を可能にする雑音低減機能が特徴です。この機能の使用を行うには次の手順が使われるべきです。

1. ADENの解除(0)によってA/D変換部をOFFに切り替えます。
2. A/D変換部をONに切り替え、ADENとADSCの設定(1)によって同時に変換が始まります。これは有効な変換が後続する擬似変換を開始させます。
3. 14 A/D変換クロック以内にアイドル動作へ移行します。
4. A/D変換完了前に他の割り込みが起きなければ、A/D変換完了割り込みがMCUを起動復帰し、A/D変換完了割り込み処理ルーチンを実行します。

A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	-	-	-	-	-	MUX2	MUX1	MUX0	ADMUX
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7~3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

•ビット2~0 - MUX2~0 : A/Dチャネル選択 (Analog Channel Select Bits 2~0)

これらの3ビットの値は、どのアナログ入力(ADC7~0)がA/D変換器に接続されるかを選びます。

表A. アナログ入力チャネル選択

MUX2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
アナログ入力チャネル	ADC0	ADC1	ADC2	ADC3	ADC4	ADC5	ADC6	ADC7

A/D変換 制御/状態レジスタ (ADC Control and Status Register) ADCSR

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	-	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7 - ADEN : A/D許可 (ADC Enable)

このビットへの論理1書き込みがA/D動作を可能にします。このビットを0に解除することにより、A/D変換部はOFFに切り替えられます。A/D変換中のOFFへの切り替えは、その変換を終了します。

•ビット6 - ADSC : A/D変換開始 (ADC Start Conversion)

変換毎に変換を開始するため、このビットに論理1が書かれなければなりません。A/D許可(ADEN=1)後の最初のADSCの設定(1)、またはA/D許可時の同時設定(1)で、擬似変換が実際の変換開始に先行します。この擬似変換はA/D変換部の初期化を行います。

A/D変換中、ADSCは1に留まります。ADSCは変換完了後、0になりますが、その前に結果がA/Dデータレジスタ(ADCH, ADCL)に書かれます。これは現在の変換が完了する前に新規変換が開始されることを許します。現在の変換完了後、直ちに新規変換が始まります。擬似変換が実際の変換に先行するとき、ADSCは実際の変換が終了されるまで1に留まります。

このビットへの0書き込みは無効です。

•ビット5 - Res : 予約 (Reserved)

このビットは予約されています。**重要警告:** ADCSR書き込み時、論理1がこのビットに書かれなければなりません。

•ビット4 - ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、結果がA/Dデータレジスタに書かれ更新されると、このビットが設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(0)ビットとA/D変換完了割り込み許可(ADIE)ビットが設定(1)されていると、A/D変換完了割り込みが実行されます。ADIFは対応する割り込みベクタ実行時、自動的に解除(0)されます。代わりに、このフラグへの論理1書き込みによっても解除(0)されます。ADCSRで読み-変更-書き(リード モデファイライト)を行う場合、保留割り込みが禁止されることに注意してください。これはSBI, CBI命令が使われる場合にも適用されます。

•ビット3 - ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、A/D変換完了割り込みが有効に(許可)されます。

•ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットは、システムクロック周波数とA/D変換器への入力クロック間の分周比を決めます。

表27. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	無効	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

A/Dデータレジスタ (ADC Data Register) ADCH,ADCL

ビット	15	14	13	12	11	10	9	8	
\$05 (\$25)	-	-	-	-	-	-	ADC9	ADC8	ADCH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

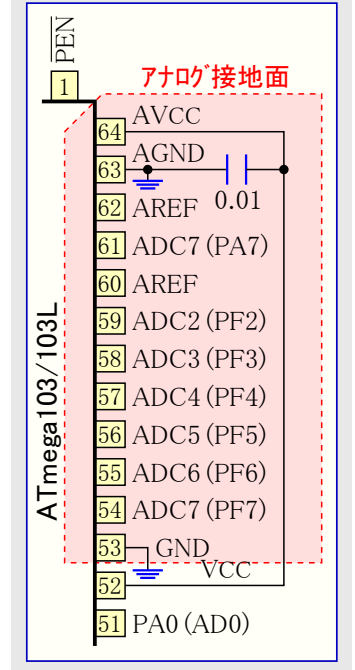
A/D変換完了時、その結果がこれら2つのレジスタ内にあります。連続変換動作では、2つのレジスタが読まれることと、ADCHの前にADCLが読まれることが重要です。

雑音低減技術

ATmega103内外のデジタル回路はアナログ測定の精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要な場合、次の技法を適用することによって雑音レベルが減少できます。

1. ATmega103のアナログ部と応用回路内の全てのアナログ部品は基板上で分離したアナログGND面を持つべきです。このアナログGND面は基板上の1点でデジタルGND面に接続されます。
2. アナログ信号経路は可能な限り最短を維持します。アナログ信号線がアナログGND面上を走っているか確認し、高速切り替えのデジタル信号線から充分離すことを厳守します。
3. ATmega103のAVCCピンは図49.で示されるように、自身のデカップ用コンデンサを持つべきです。
4. CPUからの誘導雑音を低減するため、A/D変換雑音低減機能を使います。
5. ポートFピンのいくつかがデジタル出力として使われる場合、変換実行中はそれらを切り替えないことが重要です。

図49. A/D変換部電源接続



A/D変換器特性

TA=-40°C~85°C

シンボル	項目	条件	最小	代表	最大	単位
	分解能			10		ビット
	絶対精度	VREF=4V	変換クロック=200kHz	1	2	LSB
			変換クロック=1MHz	4		
			変換クロック=2MHz	16		
	積分非直線性誤差	VREF > 2V		0.5		
	微分非直線性誤差	VREF > 2V		0.5		
	変位(オフセット)(ゼロ)誤差			1		
	変換時間		70		280	μs
	変換クロック周波数		50		200	kHz
AVCC	アナログ供給電圧		VCC-0.3(注1)		VCC+0.3(注2)	V
VREF	基準電圧		2		AVCC	
RREF	基準電圧入力インピーダンス		6	10	13	kΩ
RAIN	アナログ入力インピーダンス			100		MΩ

注1: AVCCの最小値は2.7Vです。

注2: AVCCの最大値は5.5Vです。

外部SRAM(メモリ)インターフェース

外部SRAMとのインターフェースは次の信号で構成されます。

- ・ポートA …… 下位アドレスとデータの多重化バス
- ・ポートC …… 上位アドレスバス
- ・ALE …… アドレスラッチ許可 (下位アドレスのラッチ)
- ・ \overline{RD} , \overline{WR} …… 読みストロブ、書きストロブ

データ用外部SRAMはMCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットの設定(1)によって許可され、ポートA方向レジスタ(DDRA)の設定を無効にします。SREビットが解除(0)されると、データ用外部SRAMは禁止され、標準ピンとデータ方向設定が使われます。SREが解除(0)される時、外部SRAMインターフェースを持たないAVRデバイス同様、内蔵SRAM境界より上のアドレス空間は内蔵SRAMにも割り当てられません。

ALEがHighからLowになるとき、それらはポートAの有効な(下位)アドレスです。データ転送中、ALEはLowです。 \overline{RD} と \overline{WR} は外部SRAMをアクセスする時のみ有効(動作)です。

外部SRAMが許可されると、ALE信号には内蔵SRAMをアクセスする時に短いパルスがあるかもしれませんが、外部SRAMをアクセスする時にこのALE信号は安定しています。

図50.はG=Highで通過(トランスパレント)となる8つのラッチを使うAVRと外部SRAMの接続方法を示します。

既定の外部SRAMアクセスは図51.で示されるように、3周期構造です。アクセス周期内に1つの追加待ち状態が必要とされる時はMCUCRの外部SRAM待ち(SRW)ビットを設定(1)します。この結果のアクセス構造は図52.に示されます。どちらの場合も、ポートAが1回だけデータバスであることに注意してください。データアクセスが終わると直ぐにポートAは再び下位アドレスになります。

注: 書きに読みが続く、またはその逆の場合、その間に余分な待ち状態挿入はありません。このような短いバス開放時間ではバスの衝突をなくするのが困難なため、外部SRAMへの連続的な読みと書き操作間にNOPを挿入する必要があるかもしれません。

外部SRAMインターフェースのタイミングの詳細については81頁からの表45.、表46.、表47.、表48.、図79.を参照してください。SRAMについてのアドレス空間を含むメモリ配置の説明については5頁の「構造概要」を参照してください。

図50. AVRと外部SRAMの接続

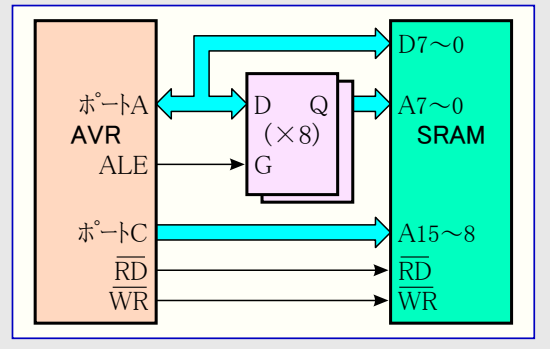
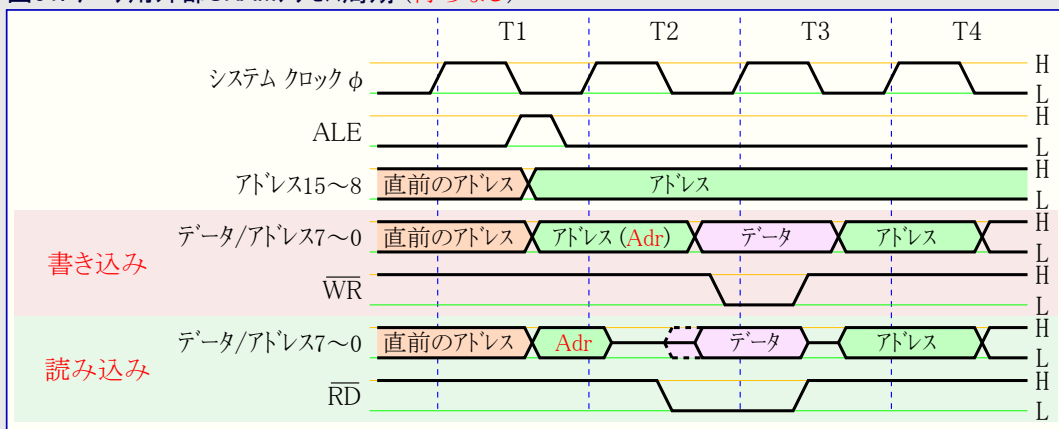
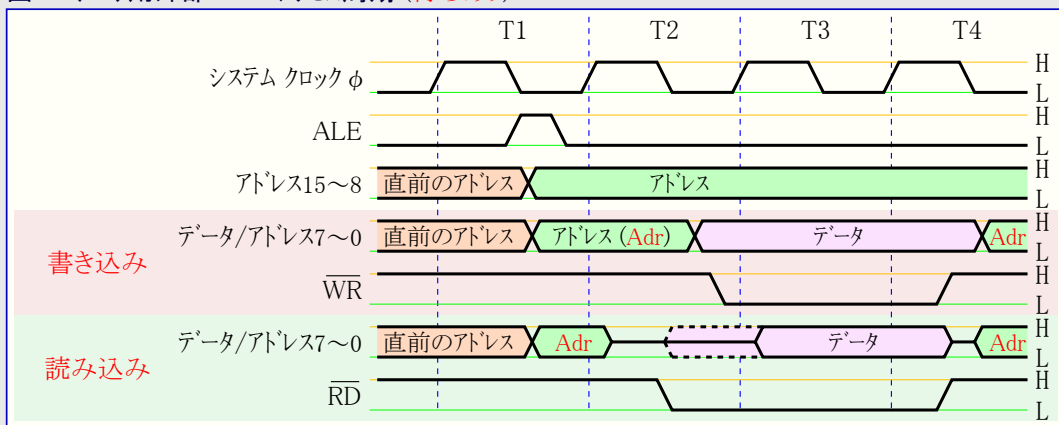


図51. データ用外部SRAMアクセス周期 (待ちなし)



注: T1~T3が命令実行周期です。

図52. データ用外部SRAMアクセス周期 (待ちあり)



注: T1~T4が命令実行周期です。

入出力ポート

AVRの全てのポートは標準デジタルI/Oポートとして使われる時に真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしに、ポートピンの1つの方向が変更できることを意味します。(出力として設定されている場合の)駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ポートA

ポートAは内蔵プルアップ付きの8ビットの双方向I/Oポートです。

ポートAについては3つのI/Oメモリ アドレス位置が、各々、データ出力レジスタ(PORTA), \$1B(\$3B)、データ方向レジスタ(DDRA), \$1A(\$3A)、データ入力レジスタ(PINA), \$19(\$39)に割り当てられます。ポートAデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートA出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PA0~7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートAピンには任意の**データ用外部SRAMに関連する交換機能**があります。ポートAは外部メモリアクセス中の多重化された下位アドレス/データバスに設定できます。

MCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットにより、ポートAがこの交換機能に設定されると、この交換設定はデータ方向レジスタ(DDRA)を無視します。

ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA入力レジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートA入力レジスタ(PINA)はレジスタではなく、このアドレスはポートA各ピンの物理的な値へのアクセスができます。ポートA出力レジスタ(PORTA)を読む時はポートA出力ラッチが読まれ、ポートA入力レジスタ(PINA)を読む時は、このピン上に存在する論理値が読まれます。

ポートA 標準デジタル入出力

標準I/Oピンとして使われる時にポートAの8ピンは全て同じ機能動作です。

標準I/OピンPAnは**ポートA方向レジスタ(DDRA)のDDAnビット**がそのピンの入出力方向を選び、DDAnが設定(1)されると、出力ピンとして設定されます。DDAnが解除(0)されると、入力ピンとして設定されます。**ポートA出力レジスタ(PORTA)のPORTAn**が設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTAnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートAピンはリセット条件が有効になると、例えクロックが動作していてもHi-Z状態にされます。

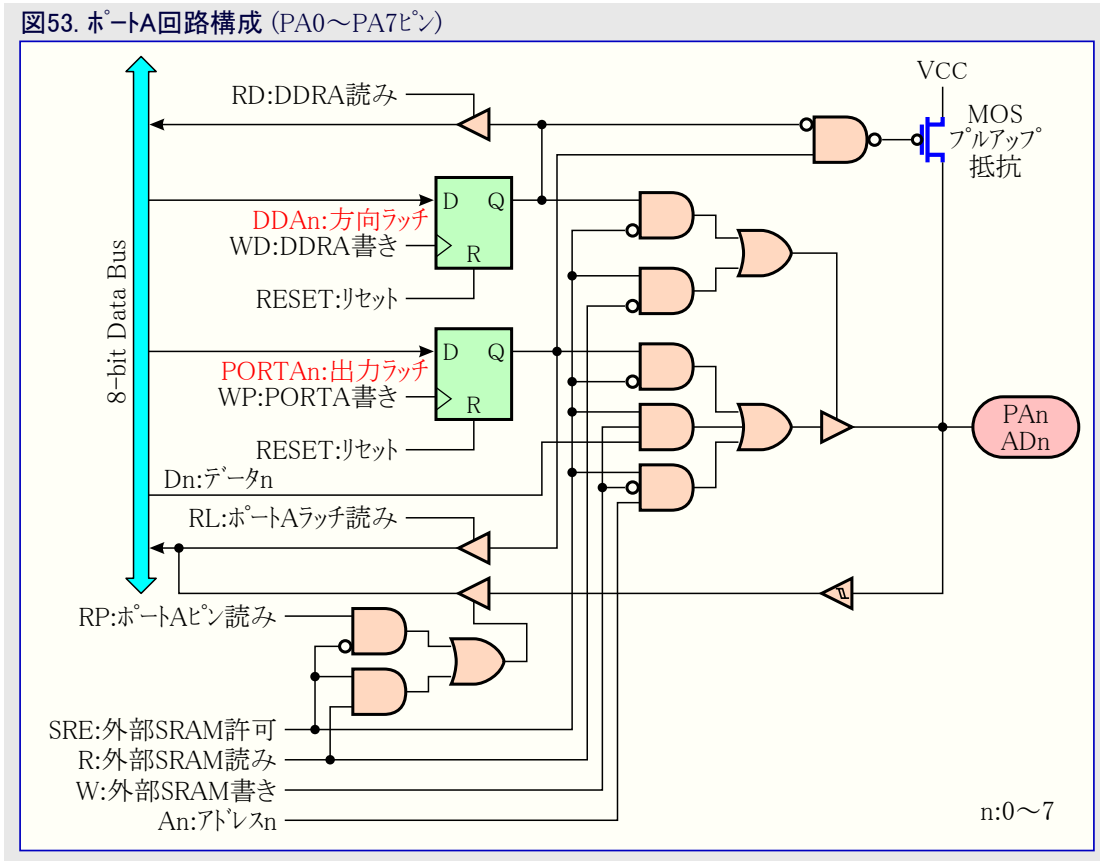
表28. ポートAピンに対するDDAnの関係

DDAn	PORTAn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PAnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7~0でビット番号を示します。

ポートA回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。



ポートB

ポートBは8ビットの双方向I/Oポートです。

ポートBについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTB), \$18(\$38)、データ方向レジスタ(DDRB), \$17(\$37)、データ入力レジスタ(PINB), \$16(\$36)に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートB出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PB0~7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートBピンの交換機能は表29.に示されます。

表29. ポートBピンの交換機能

ポートピン	交換機能	
PB0	\overline{SS}	(SPI 従装置選択入力)
PB1	SCK	(SPI 直列クロック 主側出力/従側入力)
PB2	MOSI	(SPI 主側データ出力/従側データ入力)
PB3	MISO	(SPI 主側データ入力/従側データ出力)
PB4	OC0/PWM0	(タイマ/カウンタ0 比較一致/PWM出力)
PB5	OC1A/PWM1A	(タイマ/カウンタ1 比較A一致/PWM出力)
PB6	OC1B/PWM1B	(タイマ/カウンタ1 比較B一致/PWM出力)
PB7	OC2/PWM2	(タイマ/カウンタ2 比較一致/PWM出力)

ピンが交換機能で使われる時にポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は**交換機能の説明に従って設定**されなければなりません。

ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読まれます。

ポートB 標準デジタル入出力

デジタルI/Oピンとして使われる時にポートBの8ピンは全て同じ機能動作です。

標準I/OピンPB_nはポートB方向レジスタ(DDRB)のDDB_nビットがそのピンの入出力方向を選び、DDB_nが設定(1)されると、出力ピンとして設定されます。DDB_nが解除(0)されると、入力ピンとして設定されます。ポートB出力レジスタ(PORTB)のPORTB_nが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプリアップ抵抗が有効化されます。このプリアップ抵抗をOFFに切り替えるには、PORTB_nが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートピンはリセット条件が有効になると、例えクロックが動作していてもHi-Z状態にされます。

表30. ポートBピンに対するDDB_nの関係

DDB _n	PORTB _n	入出力	プリアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PB _n に外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7~0でビット番号を示します。

ポートBの交換機能

ポートBの交換ピン機能を以下に示します。

- OC2/PWM2 – ポートB ビット7 : PB7

OC2/PWM2 : タイマ/カウンタ2の比較一致出力、またはタイマ/カウンタ2がPWM動作の時のPWM出力です。この機能を扱うにはこのピンが出力として設定(ポートB方向レジスタ(DDRB)のDDB7=1)されなければなりません。

- OC1B/PWM1B – ポートB ビット6 : PB6

OC1B/PWM1B : タイマ/カウンタ1の比較B一致出力、またはタイマ/カウンタ1がPWM動作の時のPWM出力Bです。この機能を扱うにはこのピンが出力として設定(DDRBのDDB6=1)されなければなりません。

- OC1A/PWM1A – ポートB ビット5 : PB5

OC1A/PWM1A : タイマ/カウンタ1の比較A一致出力、またはタイマ/カウンタ1がPWM動作の時のPWM出力Aです。この機能を扱うにはこのピンが出力として設定(DDRBのDDB5=1)されなければなりません。

- OC0/PWM0 – ポートB ビット4 : PB4

OC0/PWM0 : タイマ/カウンタ0の比較一致出力、またはタイマ/カウンタ0がPWM動作の時のPWM出力です。この機能を扱うにはこのピンが出力として設定(DDRBのDDB4=1)されなければなりません。

- MISO – ポートB ビット3 : PB3

MISO : SPI用主装置データ入力、従装置データ出力ピンです。SPIが主装置として許可されると、DDRBのDDB3設定に拘らず入力として設定されます。SPIが従装置として許可されると、このピンのデータ方向はDDB3によって制御されます。このピンが強制的に入力とされたとき、プリアップはPORTBのPORTB3によって未だ制御できます。詳細については「SPI」の記述をご覧ください。

- MOSI – ポートB ビット2 : PB2

MOSI : SPI用主装置データ出力、従装置データ入力ピンです。SPIが従装置として許可されると、DDRBのDDB2設定に拘らず入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDB2によって制御されます。このピンが強制的に入力とされたとき、プリアップはPORTBのPORTB2によって未だ制御できます。詳細については「SPI」の記述をご覧ください。

- SCK – ポートB ビット1 : PB1

SCK : SPI用主装置クロック出力、従装置クロック入力ピンです。SPIが従装置として許可されると、ピンはDDRBのDDB1の設定に拘らず入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDB1によって制御されます。このピンが強制的に入力とされたとき、プリアップはポートB出力レジスタ(PORTB)のPORTB1によって未だ制御できます。詳細については「SPI」の記述をご覧ください。

- \overline{SS} – ポートB ビット0 : PB0

\overline{SS} : 従装置選択入力です。SPIが従装置として許可されると、DDRBのDDB0設定に拘らず入力として設定されます。従装置の時にこのピンがLowに駆動されるとSPIが活性化(実際に動作)されます。SPIが主装置として許可されると、ピンのデータ方向はDDB0によって制御されます。このピンが強制的に入力とされたとき、プリアップはPORTBのPORTB0によって未だ制御できます。詳細については「SPI」の記述をご覧ください。

ポートB回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図54. ポートB回路構成 (PB0ピン)

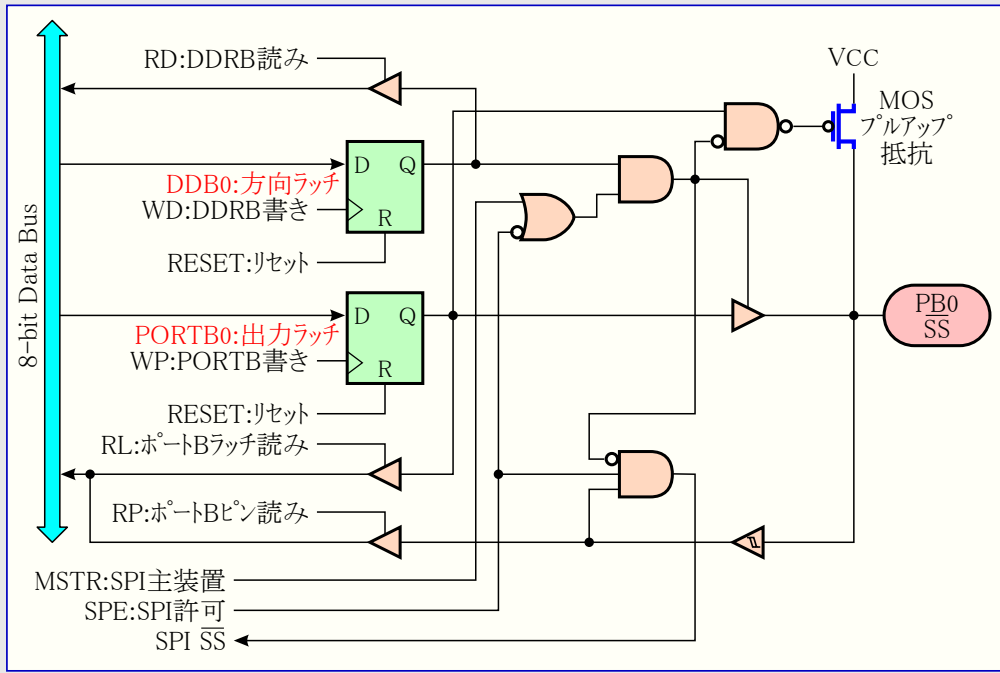


図55. ポートB回路構成 (PB1ピン)

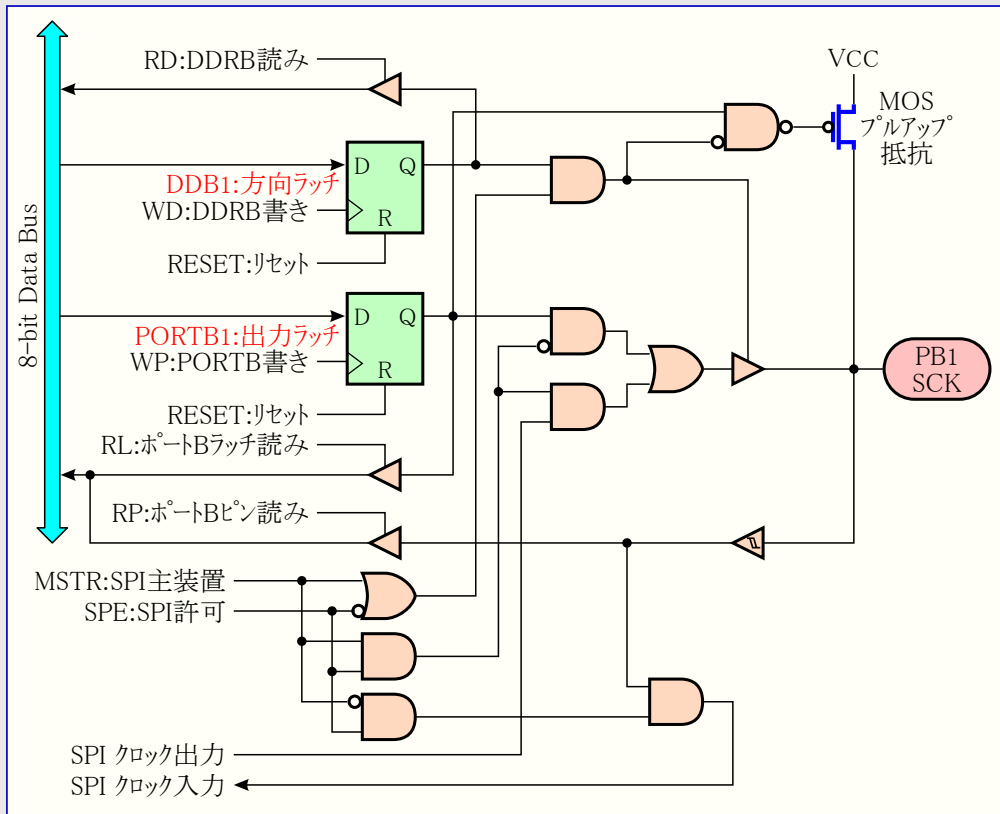


図56. ホートB回路構成 (PB2ピン)

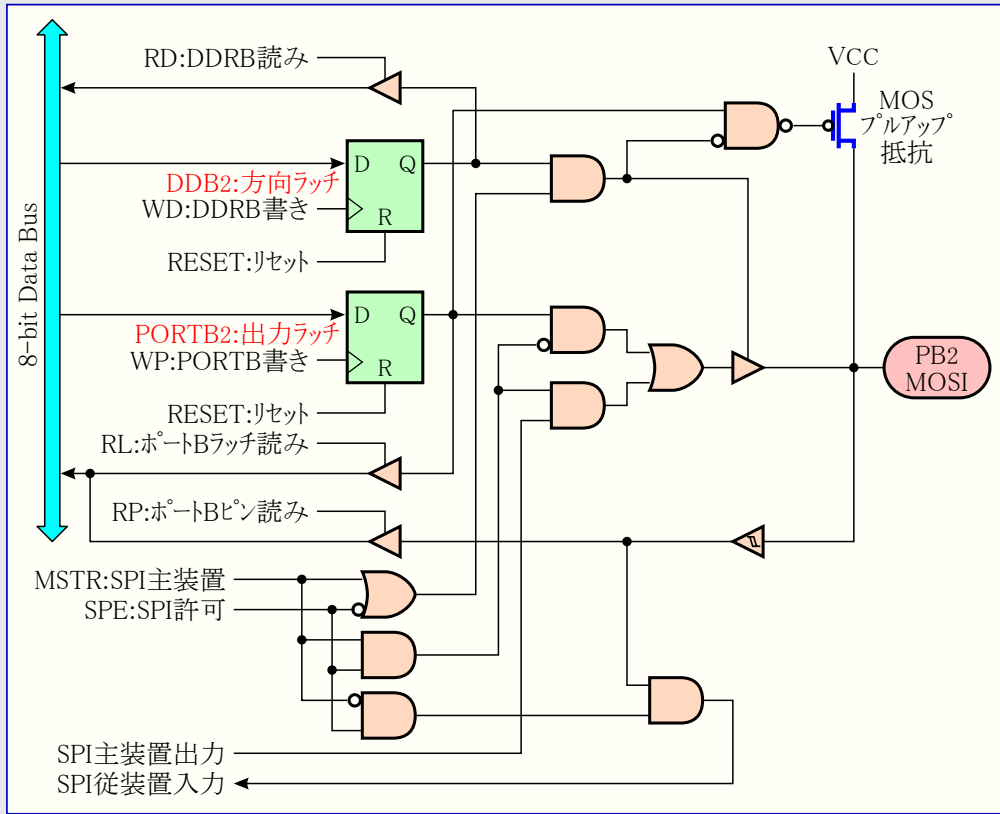


図57. ホートB回路構成 (PB3ピン)

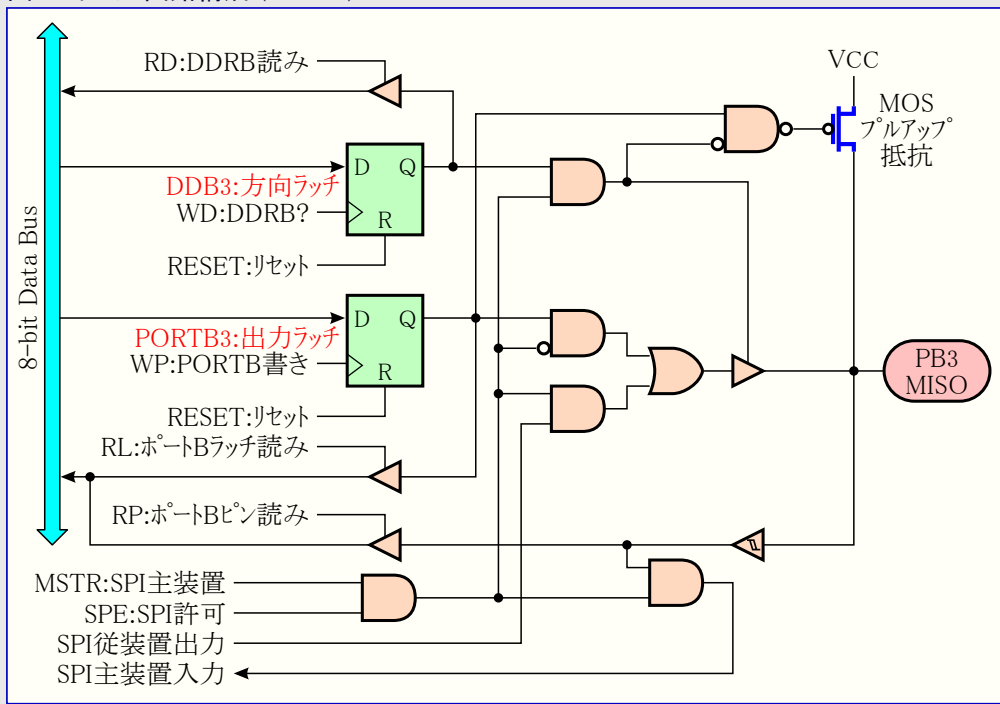


図58. ホートB回路構成 (PB4ピン)

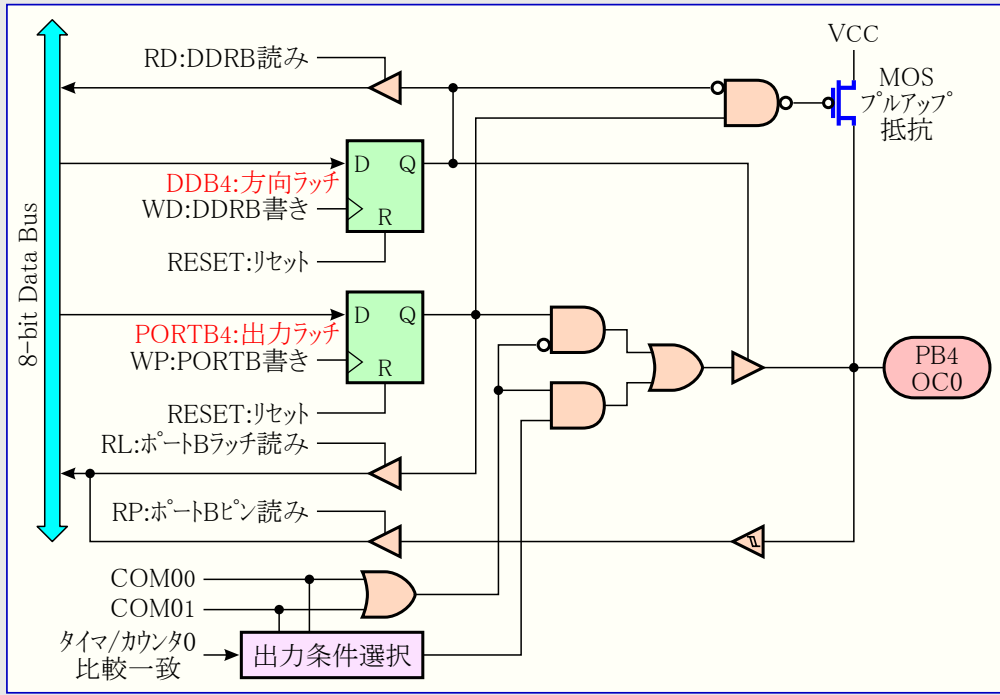
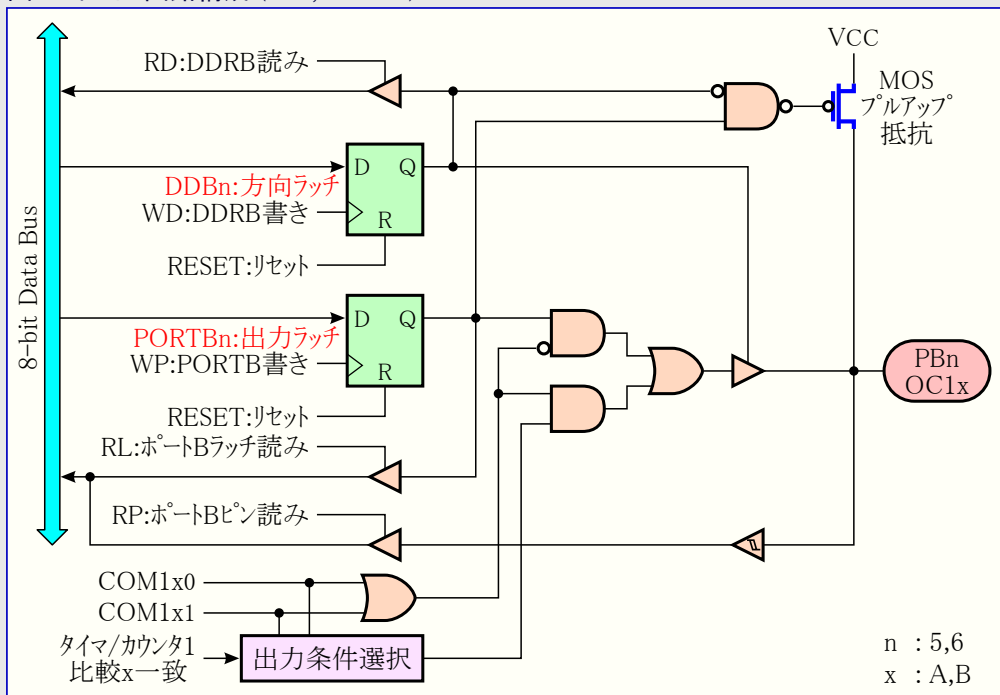


図59. ホートB回路構成 (PB5, PB6ピン)



ポートC

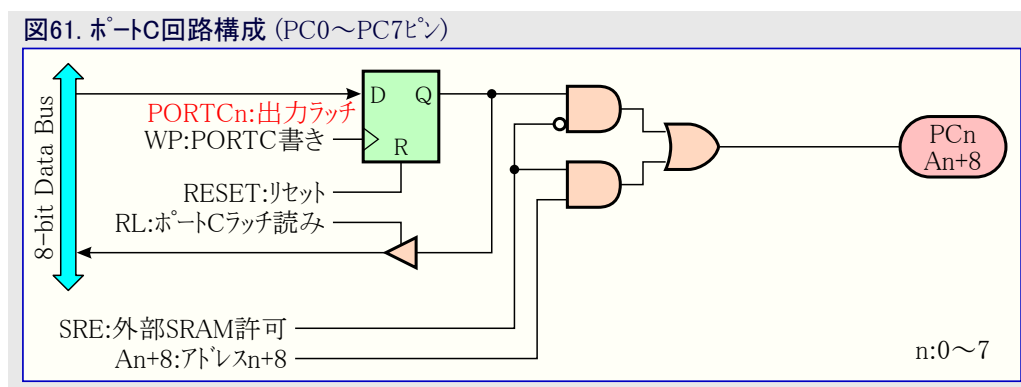
ポートCは8ビットの出力ポートです。

ポートCピンには任意のデータ用外部SRAMに関連する交換機能があります。デバイスを外部SRAMと共に使うとき、ポートCは外部データメモリアクセス中の上位アドレスバイト(バス)出力です。リセット条件が有効になると、このポートピンはHi-Zにされませんが、2つの安定なクロック周期後、このピンは初期値を仮設定します。

ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC回路図



ポートD

ポートDは個別に**選択可能な内蔵プルアップ抵抗**付きの8ビットの双方向I/Oポートです。

ポートDについては3つのI/Oメモリ アドレス位置が各々、データ出力レジスタ(PORTD),\$12(\$32)、データ方向レジスタ(DDRD),\$11(\$31)、データ入力レジスタ(PIND),\$10(\$30)に割り当てられます。ポートDデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートD出力緩衝部は20mAの吸い込み電流を流せます。入力として、内蔵プルアップ抵抗が有効化されていると、外部的にLowへ引き込まれるポートDピンには吐き出し電流が流れます。

いくつかのポートDピンには、表31.で示される交換機能があります。

表31. ポートDピンの交換機能

ポートピン	交換機能
PD0	$\overline{INT0}$ (外部割り込み0入力)
PD1	$\overline{INT1}$ (外部割り込み1入力)
PD2	$\overline{INT2}$ (外部割り込み2入力)
PD3	$\overline{INT3}$ (外部割り込み3入力)
PD4	IC1 (タイマ/カウンタ1 捕獲起動入力)
PD6	T1 (タイマ/カウンタ1 外部クロック入力)
PD7	T2 (タイマ/カウンタ2 外部クロック入力)

ピンが交換機能で使われる時にポートD方向レジスタ(DDRD)とポートD出力レジスタ(PORTD)は**交換機能の説明に従って設定**されなければなりません。

ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD入力レジスタ (Port D Input Address) PIND

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R/W	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートD入力レジスタ(PIND)はレジスタではなく、このアドレスはポートD各ピンの物理的な値へのアクセスができます。ポートD出力レジスタ(PORTD)を読む時はポートD出力ラッチが読まれ、ポートD入力レジスタ(PIND)を読む時は、このピン上に存在する論理値が読まれます。

ポートD 標準デジタル入出力

標準I/OピンPDnはポートD方向レジスタ(DDRD)のDDDnビットがそのピンの入出力方向を選び、DDDnが設定(1)されると、出力ピンとして設定されます。DDDnが解除(0)されると、入力ピンとして設定されます。ポートD出力レジスタ(PORTD)のPORTDnが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTDnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートDピンはリセット条件が有効になると、例えクロックが動作していなくてもHi-Z状態にされます。

表32. ポートDピンに対するDDDnの関係

DDDn	PORTDn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PDnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7~0でビット番号を示します。

ポートDの交換機能

ポートDの交換機能を以下に示します。

- T2 – ポートD ビット7 : PD7

T2: タイマ/カウンタ2の外部クロック入力です。外部入力信号で使うにはポートD方向レジスタ(DDRD)のDDD7を解除(0)し、入力として設定しなければなりません。詳細については「[タイマ/カウンタ2](#)」の記述をご覧ください。

- T1 – ポートD ビット6 : PD6

T1: タイマ/カウンタ1の外部クロック入力です。外部入力信号で使うにはDDRDのDDD6を解除(0)し、入力として設定しなければなりません。詳細については「[タイマ/カウンタ1](#)」の記述をご覧ください。

- IC1 – ポートD ビット4 : PD4

IC1: タイマ/カウンタ1の捕獲起動入力です。このピンに(選択可能な)正または負の端(エッジ)が供されると、タイマ/カウンタ1の内容がタイマ/カウンタ1捕獲レジスタ(ICR1)に転送されます。この機能を扱うにはこのピンがで入力として設定(DDRDのDDD4=0)されなければなりません。この機能の操作法は「[タイマ/カウンタ1](#)」の記述をご覧ください。内蔵MOSプルアップ抵抗は上記で記載されるように有効化できます。

- INT3~0 – ポートD ビット3~0 : PD3~0

INT3~0: 外部割り込み3~0入力です。PD3~0ピンはMCUへのLow有効外部割り込み元として扱えます。内蔵MOSプルアップ抵抗は上記で記載されるように有効化できます。より多くの詳細と許可の方法については「[割り込みの扱い](#)」の記述をご覧ください。

ポートD回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図62. ポートD回路構成 (PD0, PD1, PD2, PD3ピン)

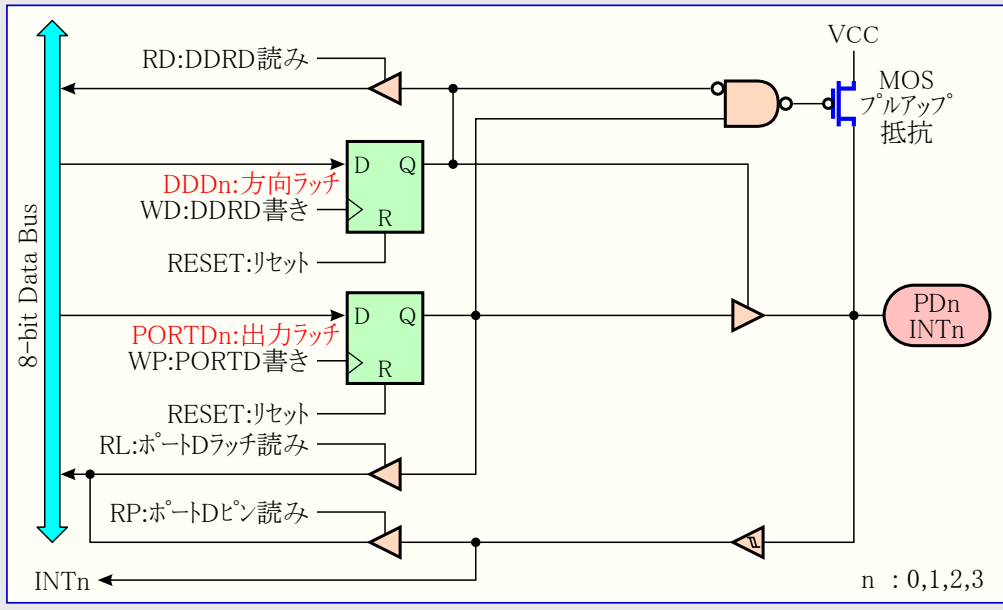
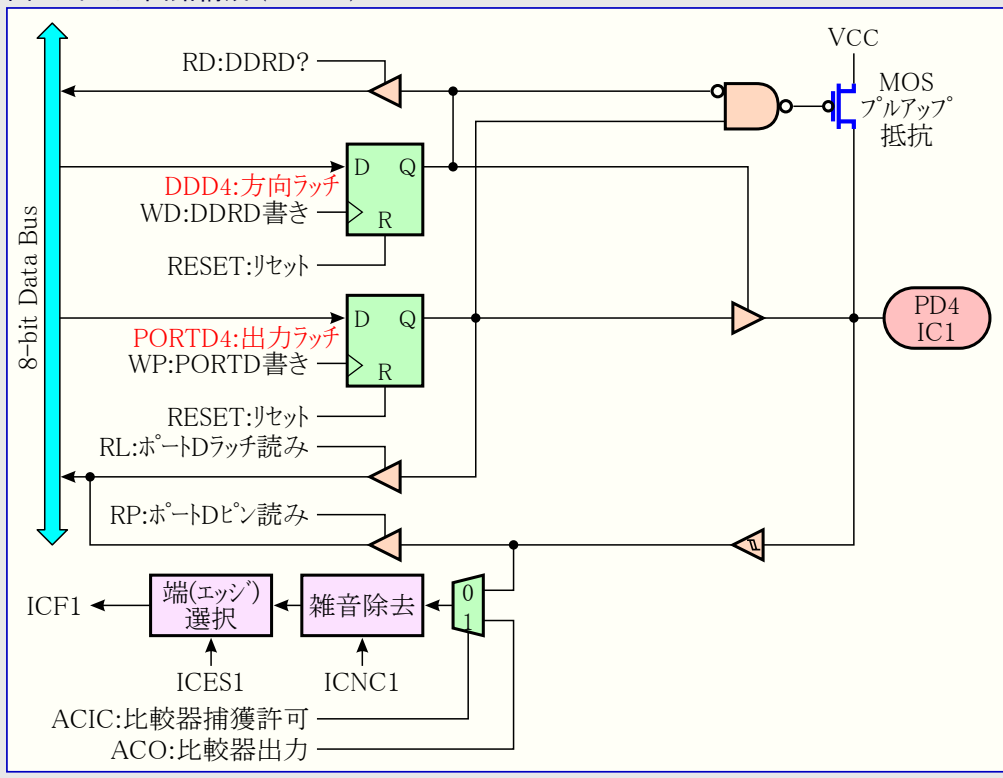


図63. ポートD回路構成 (PD4ピン)



ポートE

ポートEは個別に**選択可能な内蔵プルアップ抵抗**付きの8ビットの双方向I/Oポートです。

ポートEについては3つのI/Oメモリ アドレス位置が各々、データ出力レジスタ(PORTE), \$03(\$23)、データ方向レジスタ(DDRE), \$02(\$22)、データ入力レジスタ(PINE), \$01(\$21)に割り当てられます。ポートEデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートE出力緩衝部は20mAの吸い込み電流を流せます。入力として、内蔵プルアップ抵抗が有効化されていると、外部的にLowへ引き込まれるポートEピンには吐き出し電流が流れます。

全てのポートEピンには、表33.で示される交換機能があります。

表33. ポートEピンの交換機能

ポートピン	交換機能
PE0	RXD (UART 受信データ入力) PDI (直列プログラミング データ入力)
PE1	TXD (UART 送信データ出力) PDO (直列プログラミング データ出力)
PE2	AC+ (アナログ比較器非反転入力)
PE3	AC- (アナログ比較器反転入力)
PE4	INT4 (外部割り込み4入力)
PE5	INT5 (外部割り込み5入力)
PE6	INT6 (外部割り込み6入力)
PE7	INT7 (外部割り込み7入力)

ピンが交換機能で使われる時にポートE方向レジスタ(DDRE)とポートE出力レジスタ(PORTE)は**交換機能の説明に従って設定**されなければなりません。

ポートE出力レジスタ (Port E Data Register) PORTE

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	PORTE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートE方向レジスタ (Port E Data Direction Register) DDRE

ビット	7	6	5	4	3	2	1	0	
\$02 (\$22)	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	DDRE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートE入力レジスタ (Port E Input Address) PINE

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	PINE
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートE入力レジスタ(PINE)はレジスタではなく、このアドレスはポートE各ピンの物理的な値へのアクセスができます。ポートE出力レジスタ(PORTE)を読む時はポートE出力ラッチが読まれ、ポートE入力レジスタ(PINE)を読む時は、このピン上に存在する論理値が読まれます。

ポートE 標準デジタル入出力

標準I/OピンPE_nはポートE方向レジスタ(DDRE)のDDE_nビットがそのピンの入出力方向を選び、DDE_nが設定(1)されると、出力ピンとして設定されます。DDE_nが解除(0)されると、入力ピンとして設定されます。ポートE出力レジスタ(PORTE)のPORTE_nが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTE_nが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートEピンはリセット条件が有効になると、例えクロックが動作していなくてもHi-Z状態にされます。

表34. ポートEピンに対するDDE_nの関係

DDE _n	PORTE _n	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PE _n に外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7~0でビット番号を示します。

ポートEの交換機能

ポートEの交換機能を以下に示します。

- INT7~4 - ポートE ビット7~4 : PE7~4

INT7~4 : 外部割り込み7~4入力です。PE7~4ピンはMCUへの外部割り込み元として扱えます。割り込みはこれらのピンの正端または負端、またはLowレベルによって起動できます。内蔵MOSプルアップ抵抗は上記で記載されるように有効化できます。より多くの詳細と許可の方法については「[割り込みの扱い](#)」の記述をご覧ください。

- AC- - ポートE ビット3 : PE3

AC- : アナログ比較器の反転入力です。このピンはアナログ比較器の反転入力に直結されます。

- AC+ - ポートE ビット2 : PE2

AC+ : アナログ比較器の非反転入力です。このピンはアナログ比較器の非反転入力に直結されます。

- TXD/PDO - ポートE ビット1 : PE1

TXD : UARTの送信データ出力です。UART送信(部)が許可されると、このピンはポートE方向レジスタ(DDRE)のDDE1の値に拘らず出力として設定されます。

PDO : 直列プログラミング データ出力です。直列プログラミングの間中、このピンはATmega103のデータ出力信号線として使われます。

- RXD/PDI - ポートE ビット0 : PE0

RXD : UARTの受信データ入力です。UART受信(部)が許可されると、このピンはDDREのDDE0の値に拘らず入力として設定されます。UARTがこのピンを強制的に入力とする時でも、ポートE出力レジスタ(PORTE)のPORTE0の論理1は内蔵プルアップ抵抗をONに切り替えます。

PDI : 直列プログラミング データ入力です。直列プログラミングの間中、このピンはATmega103のデータ入力信号線として使われます。

ポートE回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図66. ポートE回路構成 (PE0ピン)

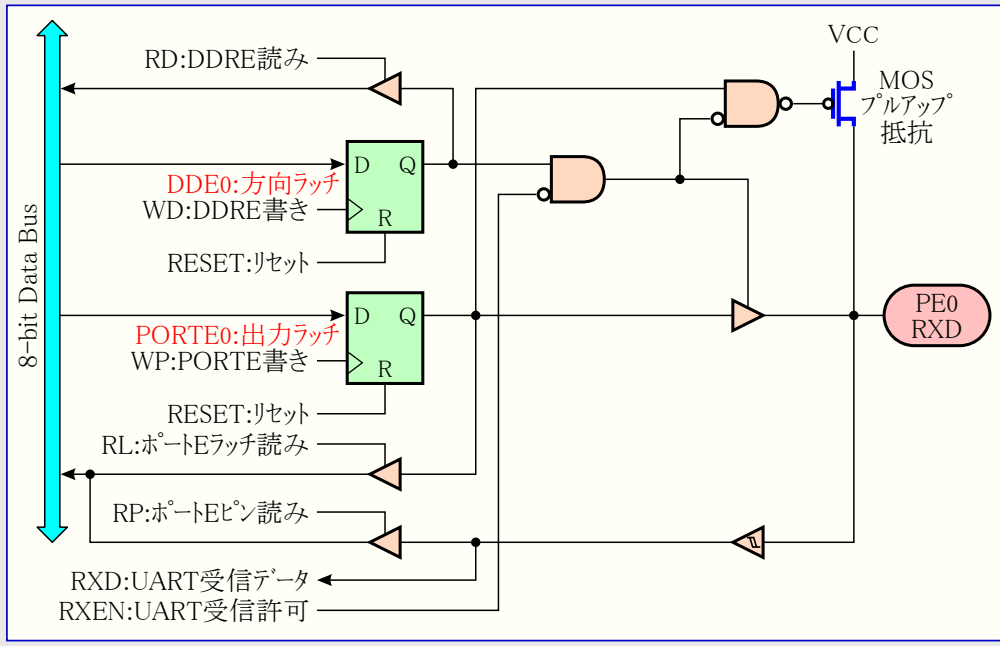


図67. ポートE回路構成 (PE1ピン)

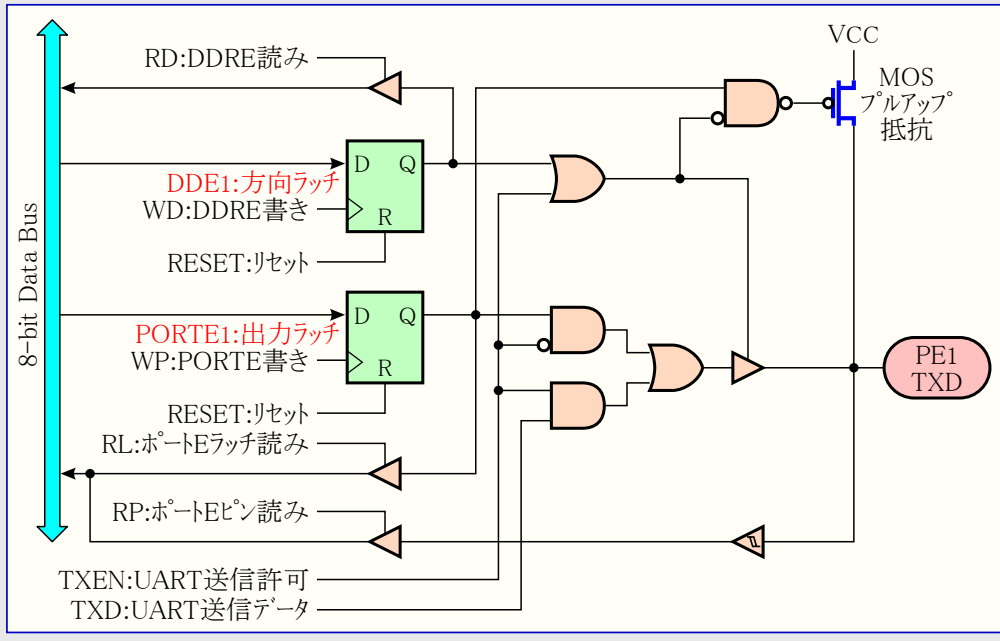
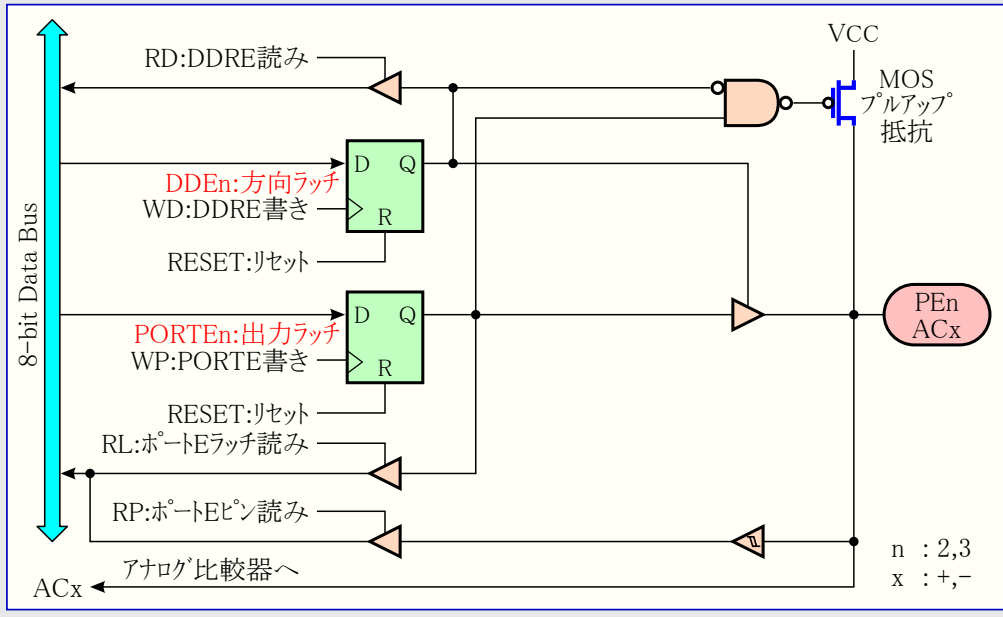
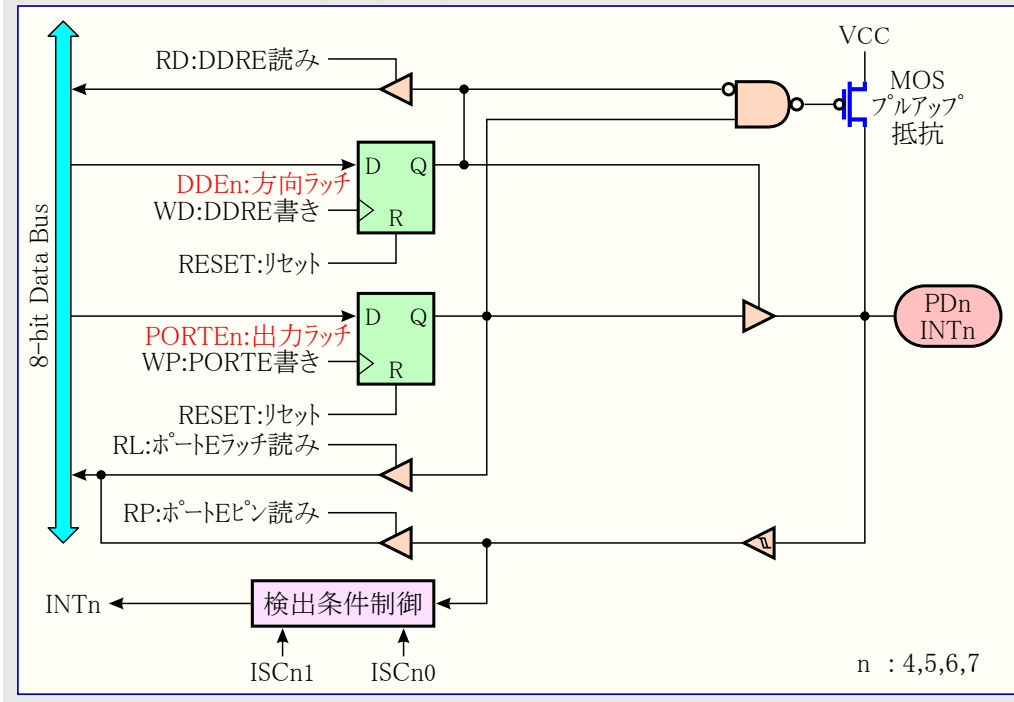


図68. ホートE回路構成 (PE2, PE3ピン)



(訳注) 原書の図68と図69.は図68.として纏めました。

図70. ホートE回路構成 (PE4, PE5, PE6, PE7ピン)



ポートF

ポートFは8ビットの入力ポートです。

ポートFについては1つのI/Oメモリ アドレス位置がデータ入力レジスタ(PINF), \$00(\$20)に割り当てられます。

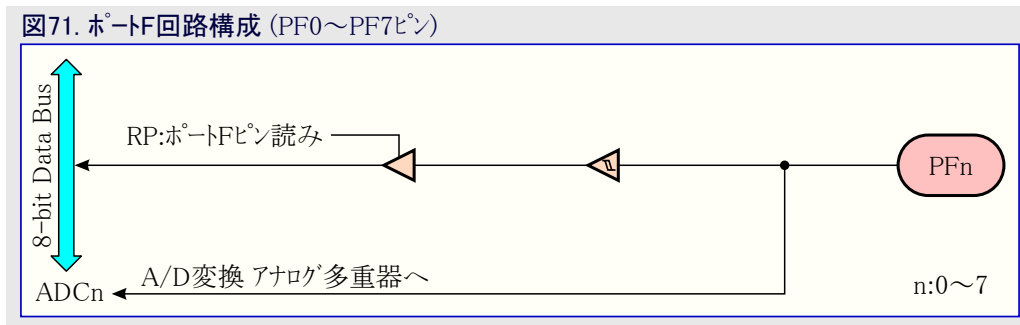
全てのポートFピンはその先がA/D変換器に接続されているアナログ多重器へ接続されます。ポートFのデジタル入力機能はA/D変換器と共に使え、同時にポートFのいくつかのピンをデジタル入力、他をアナログ入力とする使用を許します。

ポートF入力レジスタ (Port F Input Address) PINF

ビット	7	6	5	4	3	2	1	0	
\$00 (\$20)	PINF7	PINF6	PINF5	PINF4	PINF3	PINF2	PINF1	PINF0	PINF
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートF入力レジスタ(PINF)はレジスタではなく、このアドレスはポートF各ピンの物理的な値へのアクセスができます。

ポートF回路図



メモリプログラミング

プログラムメモリとデータメモリ用施錠ビット

ATmega103 MCUは非プログラム(1)のままか、表35.で示される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表35. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュメモリとEEPROMのプログラミング機能が禁止されます。(注)
3	0	0	保護種別2と同様、更に照合も禁止されます。

注: 並列動作でのヒューズビットの書き込みも禁止されます。施錠ビットの書き込み前にヒューズビットを書いてください。

ヒューズビット

ATmega103には4つのヒューズビット、SPIEN、EESAVE、SUT1,0があります。

- SPIENがプログラム(0)されると、直列プログラミングが許可されます。既定値はプログラム(0)です。SPIENヒューズは直列プログラミング動作でアクセスできません。
- EESAVEがプログラム(0)されると、EEPROMメモリはチップ消去周期中、保護されます。既定値は非プログラム(1)です。EESAVEヒューズビットはどれかの施錠ビットがプログラム(0)される場合、プログラム(0)できません。
- SUT1,0ヒューズはMCU起動時間を決めます。より多くの詳細については15頁の表5.をご覧ください。既定値は公称起動時間16msにする非プログラム(11)です。

ヒューズビットの状態はチップ消去による影響を受けません。

識票バイト

全てのAtmelマイクロコントローラはデバイス識別用に3バイトの識票符号を持ちます。この符号は直列と並列の両方のプログラミング動作で読むことができます。この3バイトは他から分離された空間に存在します。

ATmega103の識票符号を次に示します。

- ① \$00 : \$1E 製造業者Atmelを示します。
- ② \$01 : \$97 フラッシュメモリ容量128Kバイトを示します。
- ③ \$02 : \$01 ②値\$97と合せ、ATmega103を示します。

フラッシュメモリとEEPROMのプログラミング

AtmelのATmega103は実装再書き込み可能な128Kバイトのプログラム用フラッシュメモリと4Kバイトのデータ用EEPROMメモリを提供します。

ATmega103にはプログラム用内蔵フラッシュメモリとデータ用EEPROMメモリが消去(全ビット=1)されてプログラムされる準備が整った状態で搭載されています。このデバイスは並列プログラミング動作と直列プログラミング動作を支援します。並列プログラミングでRESETピンに供給される+12Vはプログラム許可のためだけに使われ、このピンによって特筆すべき電流は流れません。直列プログラミング動作は実装済みのデバイスにプログラムとデータを書き込む便利な方法を提供します。

ATmega103のプログラム用フラッシュメモリは256バイト毎の512ページで構成されています。フラッシュメモリ書き込み時、プログラムデータはページ緩衝部内にラッチ(一時格納)されます。これはどちらのプログラミング動作でもプログラムデータの1ページが同時に書かれることを許します。

ATmega103のデータ用EEPROMメモリはどちらのプログラミング動作でもバイト単位でプログラムされます。直列プログラミング動作での自動書き込み命令では自動消去周期が提供されます。

プログラミング中の供給電圧は表36.に従ってなければなりません。

表36. プログラミング中の供給電圧

デバイス	直列プログラミング	並列プログラミング
ATmega103	4.0~5.0V	4.0~5.0V
ATmega103L	3.2~3.6V	3.2~5.0V

並列プログラミング

この章ではATmega103でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低500nsという前提です。

信号名

本章ではATmega103のいくつかのピンが並列プログラミング中の機能を示す信号名によって参照されます(図72.と表37.をご覧ください)。表37.で示されないピンはピン名で参照されます。

XA0とXA1ピンは、XTAL1ピンに正パルスが与えられる時に実行される動作を決めます。この規約は表38.で示されます。

WRまたはOEパルス時、取得された指令が実行される動作を決めます。この指令は表39.で示されるように各ビットで機能が示されるバイトです。

図72. 並列プログラミング構成図

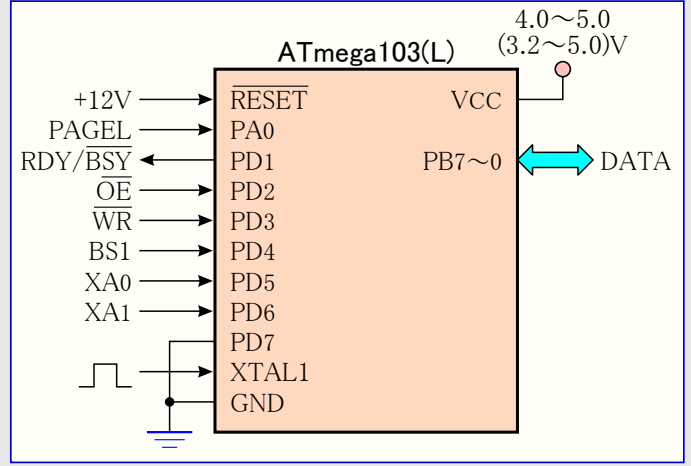


表37. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0: プログラミング多忙 1: 準備可(指令受付可)
OE	PD2	入力	出力許可(負論理)
WR	PD3	入力	書き込み(負論理)
BS1	PD4	入力	バイト選択1: 上位/下位バイト選択 (0: 下位, 1: 上位)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
BS2	PD7	入力	バイト選択2 (常時Low)
PAGEL	PA0	入力	プログラムメモリ用ページ緩衝部へ設定
DATA	PB7~0	入出力	データ (OE=L時出力)

表38. XA0とXA1の機能

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位/下位はBS1で指示)
0	1	データ取得 (フラッシュ時の上位/下位はBS1で指示)
1	0	指令取得
1	1	アイドル (動作なし)

表39. ビット規約による指令バイト

指令バイト	指令の機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	施錠ビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$11 (0001 0001)	EEPROM書き込み
\$08 (0000 1000)	識票バイト読み出し
\$04 (0000 0100)	ヒューズビットと施錠ビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し
\$03 (0000 0011)	EEPROM読み出し

プログラミング動作への移行

次の方法がデバイスを並列プログラミング動作にします。

- ① 表36に従った供給電圧をVCCとGND間に印加します。
- ② RESETとBS1ピンをLow(0)にし、最低100ns待機します。
- ③ RESETに11.5~12.5Vを印加します。RESETに+12V印加後100ns以内のどんなBS1の動き(値)も、デバイスのプログラミング動作移行失敗の原因になります。

チップ消去

チップ消去指令はフラッシュメモリ、EEPROM、**施錠ビット**を消去します。施錠ビットはフラッシュメモリとEEPROMが完全に消去されてしまうまで消去されません。チップ消去で**ヒューズビット**は変化しません。フラッシュメモリまたはEEPROMの再書き込み前にはチップ消去が実行されなければなりません。

チップ消去の手順を次に示します。

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BS1をLow(0)にします。
- ③ DATAを\$80(1000 0000)にします。これはチップ消去指令です。
- ④ XTAL1に正パルスを与えます。これで指令を設定します。
- ⑤ チップ消去を実行するため、 \overline{WR} に t_{WLWH_CE} 幅(表40参照)の負パルスを与えます。チップ消去はRDY/BSYピンにどんな動きも生成しません。

表40. チップ消去命令後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
t_{WLWH_CE}	56ms	43ms	35ms	22ms

フラッシュメモリ書き込み

ATmega103のプログラム用フラッシュメモリは256バイト毎の512ページで構成されています。フラッシュメモリ書き込み時、プログラムデータはページ緩衝部内にラッチ(一時格納)されます。これはどちらのプログラミング動作でもプログラムデータの1ページが同時に書かれることを許します。次の手順はフラッシュメモリの書き込み方法を示します。(図73タイミングを参照)

A. フラッシュメモリ書き込み指令設定

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BS1をLow(0)にします。
- ③ DATAを\$10(0001 0000)にします。これはフラッシュメモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これでフラッシュメモリ書き込み指令を設定します。

B. 下位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BS1をLow(0)にします。これは下位バイト選択です。
- ③ DATAにアドレス下位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス下位バイトを設定します。

C. データ下位バイト設定

- ① BS1をLow(0)にします。これは下位バイト選択です。
- ② XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ③ DATAにデータ下位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでデータ下位バイトを設定します。

D. データ下位バイト ページ緩衝部格納

- ① PAGES1に正パルスを印加します。これはデータ下位バイトをページ緩衝部へ格納します。

E. データ上位バイト設定

- ① BS1をHigh(1)にします。これは上位バイト選択です。
- ② XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ③ DATAにデータ上位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでデータ上位バイトを設定します。

F. データ上位バイト ページ緩衝部格納

- ① PAGES1に正パルスを印加します。これはデータ上位バイトをページ緩衝部へ格納します。

G. ページ緩衝部を満たすためにB.~F.を128回繰り返します。

[次頁へ続く](#)

H. 上位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BS1をHigh(1)にします。これは上位バイト選択です。
- ③ DATAにアドレス上位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス上位バイトを設定します。

I. ページ書き込み

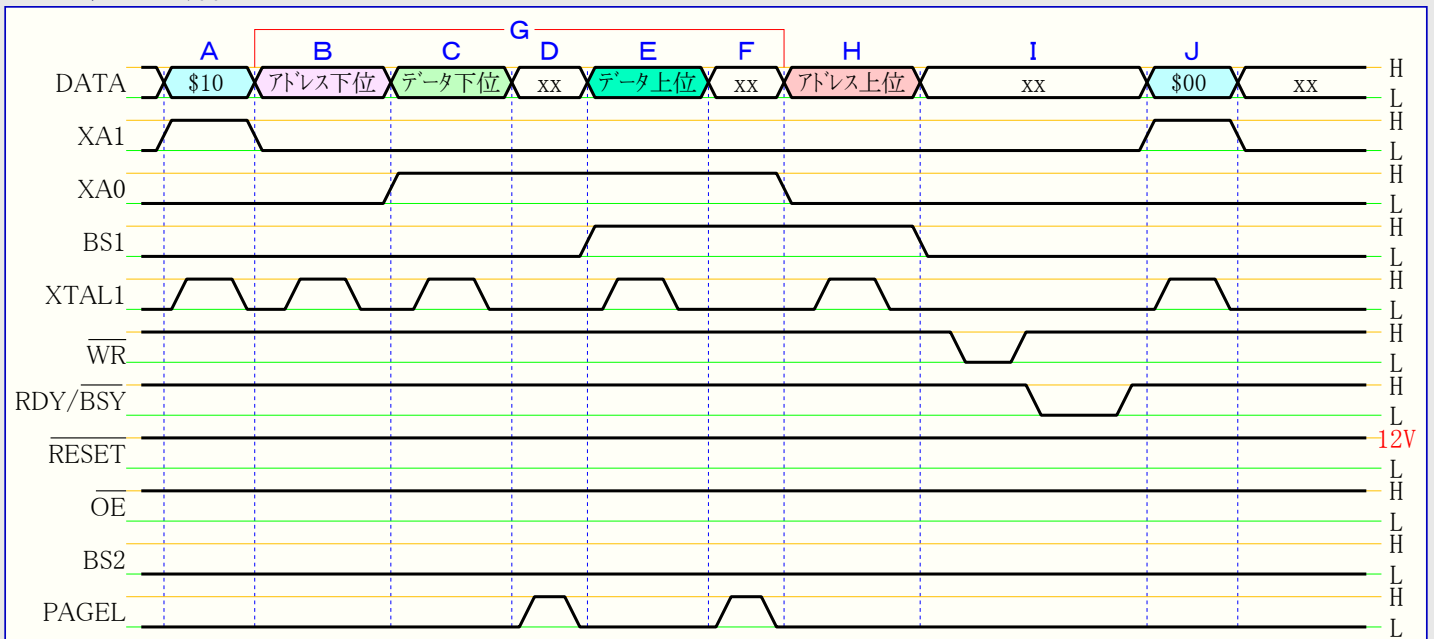
- ① \overline{WR} に負パルスを与えます。これでデータの完全なページ書き込みが始まり、RDY/ \overline{BSY} がLow(0)になります。
- ② RDY/ \overline{BSY} がHigh(1)になるまで待ちます。

J. ページ書き込み終了

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② DATAを\$00(0000 0000)にします。これは無操作指令です。
- ③ XTAL1に正パルスを与えます。これは指令を取得し、内部書き込み信号をリセットします。

K. 512回、または全データが書かれてしまうまでA.~J.を繰り返します。

図73. フラッシュメモリ書き込みタイミング



注: xx値は無関係です。A~Jは前記プログラミングを参照してください。

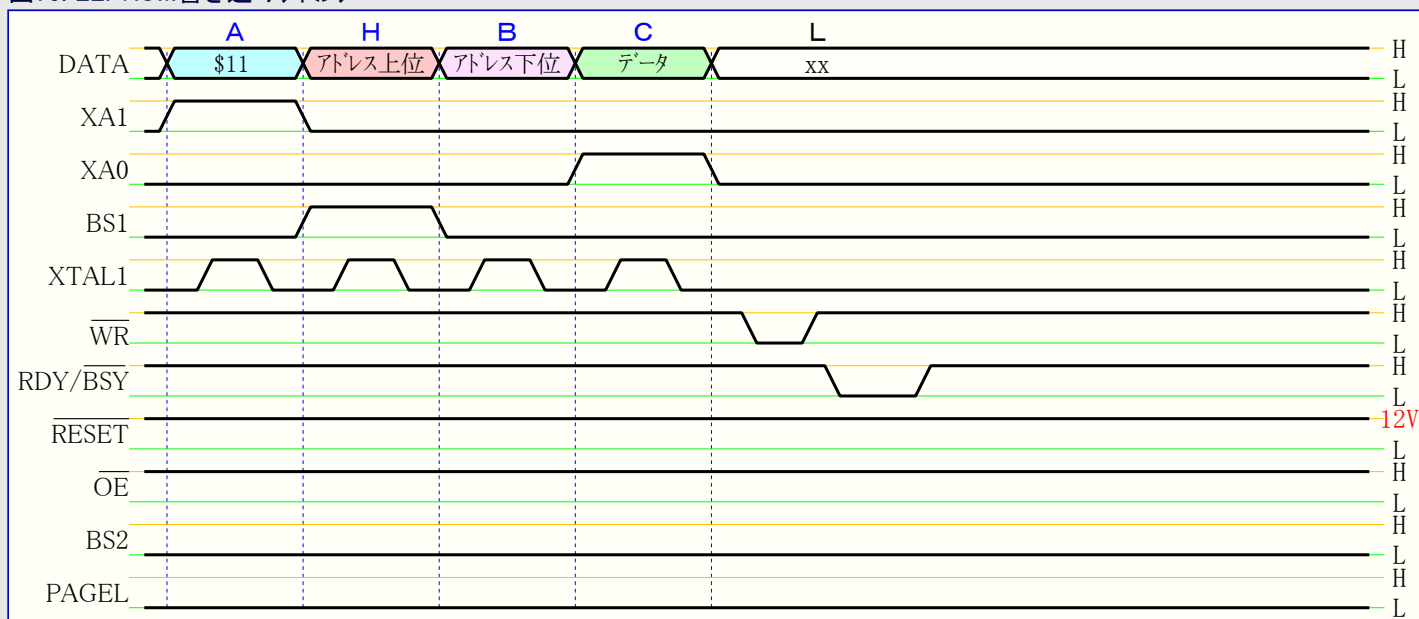
(訳注) 原書での図73と図74は図73.として結合し、文章内容と合致するよう修正しました。

EEPROM書き込み

データ用EEPROMメモリの書き込み方法を次に示します。(指令、アドレス、データ設定の詳細は「フラッシュメモリ書き込み」を参照)

1. EEPROM書き込み指令\$11(0001 0001)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
 2. アドレス上位バイト(\$00~\$0F)を設定します。(「フラッシュメモリ書き込み」のH.を参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のB.を参照)
 4. データ下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のC.を参照)
- L. データ下位バイト書き込み
- ① BS1をLow(0)にします。これは下位バイト選択です。
 - ② \overline{WR} に負パルスを与えます。これでバイトデータの書き込みが開始され、RDY/ \overline{BSY} がLow(0)になります。
 - ③ 次バイト書き込みのため、RDY/ \overline{BSY} がHigh(1)になるまで待ちます。

図75. EEPROM書き込みタイミング



設定された指令とアドレスはプログラム中、保持されます。効率的なプログラミングを行うには次の点が考慮されるべきです。

- 複数のメモリ位置を読み書きする時に指令は一度の設定だけで必要です。
- アドレス上位バイトは、フラッシュメモリの新規256語(ワード)ページのプログラミング前に設定されることだけが必要です。
- チップ消去後のフラッシュメモリとEEPROMの全ての内容は\$FFなので、値\$FFのデータ書き込みは行わないようにします。

これらの考慮はEEPROM書き込みと、フラッシュメモリ、EEPROM、識別バイトの読み出しでも適用されます。

フラッシュメモリ読み出し

フラッシュメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. フラッシュメモリ読み出し指令\$02(0000 0010)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
 2. アドレス上位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のH.を参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のB.を参照)
- ① BS1をLow(0)、 \overline{OE} をLow(0)にします。これでフラッシュメモリの語(ワード)の下位バイトがDATAに読み出されます。
 - ② BS1をHigh(1)にします。これでフラッシュメモリの語(ワード)の上位バイトがDATAに読み出されます。
 - ③ \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

EEPROM読み出し

EEPROMメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. EEPROM読み出し指令\$03(0000 0011)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
 2. アドレス上位バイト(\$00~\$0F)を設定します。(「フラッシュメモリ書き込み」のH.を参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のB.を参照)
- ① BS1をLow(0)、 \overline{OE} をLow(0)にします。これでEEPROMメモリのバイトデータがDATAに読み出されます。
 - ② \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

ヒューズビット書き込み

ヒューズビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュメモリ書き込み」のC.を参照)

ビット5	SPIEN ヒューズビット	
ビット3	EESAVE ヒューズビット	
ビット1	SUT1 ヒューズビット	
ビット0	SUT0 ヒューズビット	
ビット7,6,4,2	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。

- ① 書き込みを実行するため、 \overline{WR} に t_{WLWH_PFB} 幅(表41.参照)の負パルスを与えます。ヒューズビット書き込みはRDY/ \overline{BSY} ピンに如何なる動きも生成しません。

施錠ビット書き込み

施錠ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=無変化(状態維持)です。(「フラッシュメモリ書き込み」のC.を参照)

ビット2	施錠ビット2 (LB2)	
ビット1	施錠ビット1 (LB1)	
ビット7~3,0	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。

3. データ下位バイトを書き込みます。(「EEPROM書き込み」のL.を参照)

施錠ビットはチップ消去の実行によってのみ消去(1)できます。

ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法を次に示します。(指令設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュメモリ書き込み」のA.を参照)

- ① BS1を下表で示すように設定し、 \overline{OE} をLow(0)にします。これでヒューズビットと施錠ビットの状態がDATAに読み出されます。(読み出し値0はプログラムの意味です。)

ビット	BS1=Low(0)	BS1=High(1)
7		
6		
5	SPIEN ヒューズビット	
4		
3	EESAVE ヒューズビット	
2		施錠ビット2 (LB2)
1	SUT1 ヒューズビット	施錠ビット1 (LB1)
0	SUT0 ヒューズビット	

- ② \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

識票バイト読み出し

識票バイトの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 識票バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. アドレス下位バイト(\$00~\$02)を設定します。(「フラッシュメモリ書き込み」のB.を参照)

- ① BS1をLow(0)、 \overline{OE} をLow(0)にします。これで識票バイトがDATAに読み出されます。

- ② \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

並列プログラミング特性

図76. 並列プログラミング タイミング

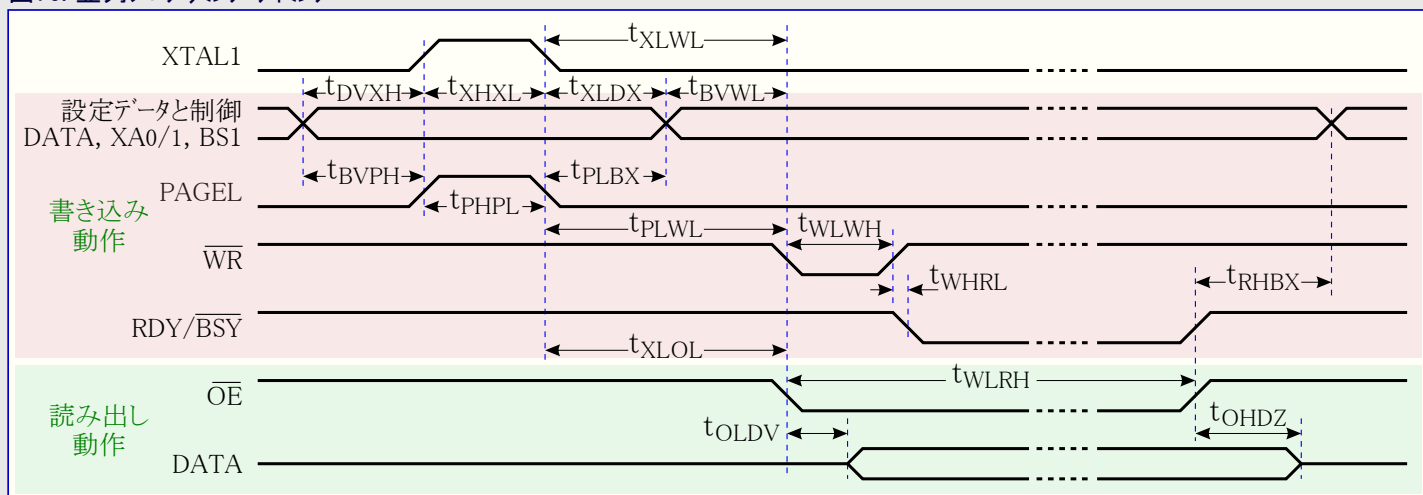


表41. 並列プログラミング特性 (TA=25°C ±10%, VCC=5V ±10%)

シンボル	項目	最小	代表	最大	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
tDVXH	XTAL1に対するデータと制御の準備時間	67			ns
tXHXL	XTAL1パルス幅	67			
tXLDX	XTAL1に対するデータと制御の保持時間	67			
tXLWL	XTAL1パルスの↓に対するWR↓待機時間	67			
tBVPH	PAGESパルス↑に対するBS1準備時間	67			
tPHPL	PAGESパルス幅	67			
tPLBX	PAGES↓後のBS1保持時間	67			
tPLWL	PAGESパルスの↓に対するWR↓待機時間	67			
tBVWL	BS1(有効から)に対するWR↓待機時間	67			
tRHBX	RDY/BSY↑後のBS1保持時間	67			
tWLWH	WRパルス幅 (注1)	67			
tWHRL	WRパルス↑後のRDY/BSY↓遅延時間 (注2)		20		
tWLRH	書き込み時間 (WR↓からRDY/BSY↑) (注2)	0.5	0.7	0.9	
tWLRH_CE	チップ消去時間 (WR↓からRDY/BSY↑)	5	10	15	
tWLRH_PFB	ヒューズ書き込み時間 (WR↓からRDY/BSY↑)	1.0	1.5	1.8	
tXLCL	XTAL1パルスの↓に対するOE↓待機時間	67			ns
tOLDV	OE↓に対するデータ出力遅延時間		20		
tOHDZ	OE↑に対するHi-Z遅延時間			20	

注1: チップ消去時はtWLRH_CEを、ヒューズビット書き込み時はtWLRH_PFBを使います。

注2: tWLRHがtWLRHより長い場合、RDY/BSYの負パルスは現れません。

直列プログラミング

フラッシュメモリとEEPROMの両方は $\overline{\text{RESET}}$ がGNDに引き込まれている間、若しくは電源投入リセット中に $\overline{\text{PEN}}$ がLowの時に直列インターフェースを使ってプログラミングを行うことができます。この直列インターフェースはSCK入力、RXD/PDI入力、TXD/PDO出力で構成されます。 $\overline{\text{RESET}}$ をLowレベルに設定後、プログラムや消去命令が実行される前に**プログラミング許可命令**が最初に実行されなければなりません。

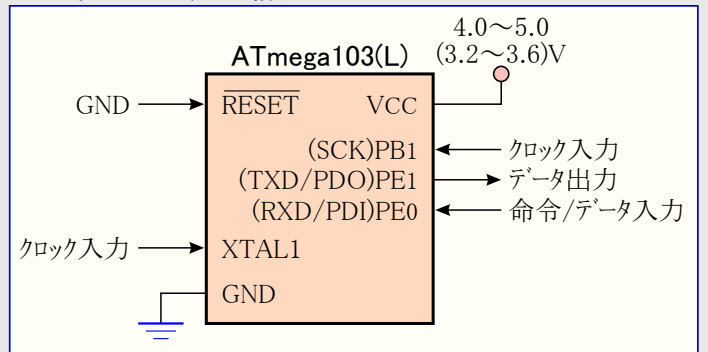
EEPROMに対しては自己タイミングによる**書き込み命令**内で先行して自動消去周期が提供される(直列プログラミングのみ)ので、最初に**チップ消去命令**を実行する必要はありません。チップ消去命令はフラッシュメモリとEEPROMの全ての内容を\$FFにします。

フラッシュメモリとEEPROMはプログラム用フラッシュメモリが\$0000~\$FFF F、データ用EEPROMメモリが\$0000~\$0FFFの分離されたアドレス空間を持ちます。

XTAL1とXTAL2ピン間にXtalを接続するか、XTAL1ピンに外部クロックを供給するかのどちらかが必要です。直列クロック(SCK)のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 > 2 XTAL1 クロック周期
High区間 > 2 XTAL1 クロック周期

図77. 直列プログラミング構成図



注: 命令/データ入力とデータ出力は他のAVRデバイスのようにSPIピンを使いません。SCKは通常のようにSPIピンを使います。

直列プログラミング手順

ATmega103に直列データを書くとき、データはATmega103によってSCKの上昇端で採取され、ATmega103から読む時はSCKの下降端でクロック駆動されます。説明については図78をご覧ください。直列プログラミング動作でのATmega103のプログラミングと検証は次の手順が推奨されます。(4バイトの命令形式は表44を参照)

1. 次の手順で電源を投入します。

$\overline{\text{RESET}}$ とSCKがLow(0)に設定されている間に、VCCとGND間へ電源を供給します。この $\overline{\text{RESET}}$ 信号は直列プログラミング作業が完了する間中、Lowが保持されなければなりません。XTAL1とXTAL2ピン間にXtalが接続されない場合、XTAL1ピンにクロック信号を供給してください。いくつかのシステムに於いて、電源投入中にSCKがLow(0)に保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、 $\overline{\text{RESET}}$ には最低XTAL1周期幅2つ分の正パルスを与えられなければなりません。

$\overline{\text{RESET}}$ 信号を使う代わりに、SCKがLow(0)に設定されている間の電源投入中に、 $\overline{\text{PEN}}$ がLowに保持できます。この場合、電源投入リセット時の $\overline{\text{PEN}}$ 値だけが重要です。XTAL1とXTAL2ピン間にXtalが接続されない場合、XTAL1ピンにクロック信号を供給してください。書き込み器が電源投入中にSCKがLow(0)に保持されることを保証できない場合、この $\overline{\text{PEN}}$ 法は使えません。この方法を使うと、通常動作を開始するために、デバイスは電源断を必要とします。

2. 最低20ms待機し、RXD/PDI(PE0)ピンに**プログラミング許可命令**を送ることによって直列プログラミングを可能にします。

3. 通信の同期が外れていると、直列プログラミング命令が動作しません。同期しているとき、プログラム許可命令の第3バイト送出時に第2バイト(\$53)が送り返されます。この送り返しが成功か失敗かによらず、命令の4バイト全てが送信されなければなりません。送り返しが\$53でなかった場合、SCKに正パルスを与え、新規プログラミング許可命令を行います。32回の試行で\$53が検出できない場合、直列プログラミング機能のないデバイスが接続されています。

4. チップ消去が実行される場合(フラッシュメモリの消去のために実行が必要)、この命令実行後 $t_{\text{WD_ERASE}} \times 2$ (表42参照)時間待機し、SCKがLow(0)に設定されてしまった後、 $\overline{\text{RESET}}$ に最低XTAL1周期幅2つ分の正パルスを与え、手順2.からを行います。

5. フラッシュメモリは一度に1ページが書き込まれます。このメモリページは**ページ設定命令**と共にアドレスの下位7+1ビットとデータを供給することによって1バイト単位で設定します。アドレスの上位9ビットを含む**ページ書き込み命令**でページ内容がフラッシュメモリに書き込まれます。 $t_{\text{WD_FLASH}}$ (表42参照)後、次ページが書けます(換言すると、256バイト書き込みは $t_{\text{WD_FLASH}}$ 時間かかります)。フラッシュメモリ書き込み動作完了前の直列プログラミングインターフェースのアクセスは不正な書き込み結果になります。

6. EEPROMは適切な**書き込み命令**内でアドレスとデータを供給することによって1バイト単位で書き込まれます。EEPROMメモリ位置は新規(今回)データが書かれる前、最初に自動消去されます。ポーリングが使われない場合、次の命令送出前に最低 $t_{\text{WD_EEPROM}}$ (表42参照)時間待たなければなりません。

7. 何れのメモリ位置も、選ばれたアドレスの内容を直列出力TXD/PDO(PE1)ピンに読み戻す、**読み出し命令**の使用で照合できます。

8. プログラミング終了時、通常動作を開始するために、 $\overline{\text{RESET}}$ はHigh(1)に設定できます。

9. 電源OFF手順 (必要な場合)

- ・ クリスタルが使われない場合は、XTAL1をLow(0)にします。
- ・ $\overline{\text{RESET}}$ をHigh(1)にします。
- ・ VCC電源をOFFにします。

表42はこの章で使われる実際の遅延時間を示します。

注: 直列プログラミング中、MISOピンはHi-Zではありません。

EEPROMのデータホーリング

EEPROM内にバイトデータが書かれつつある時に書かれているアドレス位置を読むと、自動消去が完了されるまでは値P1が、その後は値P2が得られます。P1,P2は表43を参照してください。

書かれた値が正しく読めると同時に、デバイスは新規EEPROMデータの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値P1とP2については行えないので、これらの値を書く時は次バイト書き込み前に少なくとも規定されたtWD_EEPROM(表42参照)時間待機しなければなりません。チップ消去されたデバイス内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。最初にチップ消去せずにEEPROMが再書き込みされる場合、これは適用されません。

フラッシュメモリのデータホーリングは実装されていません。

表42. フラッシュメモリ、EEPROMメモリ書き込み後の最小待機時間

シンボル	3.2V	3.6V	4.0V	5.0V
tWD_FLASH (ページ単位)	56ms	43ms	35ms	22ms
tWD_EEPROM	9ms	7ms	6ms	4ms

表43. EEPROMホーリング中、読み出し値

デバイス	P1	P2
ATmega103(L)	TBD	TBD

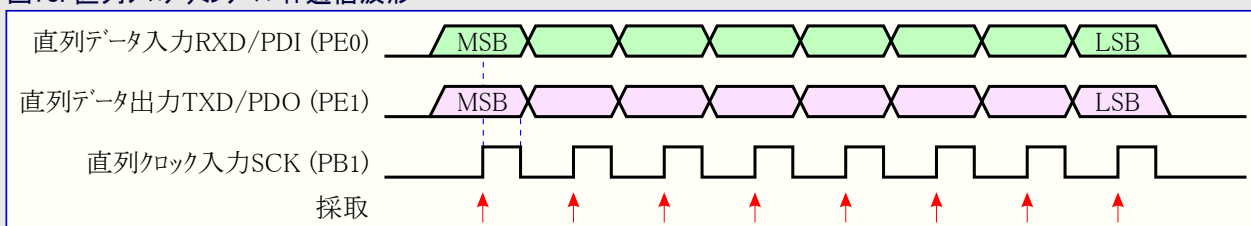
注: 最終版障害情報をご覧ください。

表44. 直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリとEEPROMを消去します。
フラッシュメモリ読み出し	0010 P000	HHHH HHHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
ページ緩衝部設定	0100 P000	xxxx xxxx	xLLL LLLL	WWWW WWWW	緩衝部アドレスLのP(H/L)バイトに書き込みます。
フラッシュページ書き込み	0100 1100	HHHH HHHH	Lxxx xxxx	xxxx xxxx	アドレスH:Lのページに書き込みます。
EEPROM読み出し	1010 0000	xxxx HHHH	LLLL LLLL	RRRR RRRR	アドレスH:Lのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx HHHH	LLLL LLLL	WWWW WWWW	アドレスH:Lのバイトに書き込みます。
施錠ビット読み出し	0101 1000	xxxx xxxx	xxxx xxxx	xxxx x21x	施錠ビットを読み出します。
施錠ビット書き込み	1010 1100	1111 1211	xxxx xxxx	xxxx xxxx	施錠ビットを書き込みます。
ヒューズビット読み出し	0101 0000	xxxx xxxx	xxxx xxxx	xx5x 6143	ヒューズビットを読み出します。
ヒューズビット書き込み	1010 1100	1011 6143	xxxx xxxx	xxxx xxxx	ヒューズビットに書き込みます。
識票バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。

H = アドレス上位バイトのビット R = 読み出しデータ(MCU出力) 1 = 施錠ビット1 (LB1) 4 = SUT1 ヒューズビット
 L = アドレス下位バイトのビット W = 書き込みデータ(MCU入力) 2 = 施錠ビット2 (LB2) 5 = SPIEN ヒューズビット
 P = 0=下位バイト、1=上位バイト x = 0または1 (無意味/不定) 3 = SUT0 ヒューズビット 6 = EESAVE ヒューズビット

図78. 直列プログラミングバイト通信波形



電気的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-1.0V ~ VCC+0.5V
RESETピン許容電圧	-1.0V ~ +13.0V
最大動作電圧	6.6V
入出力ピン出力電流	40.0mA
消費電流	400.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=2.7V~3.6Vと4.0V~5.5V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧	XTAL1を除く	-0.5	(注1)	0.3VCC	V
V _{IL1}	Lowレベル入力電圧	XTAL1	-0.5	(注1)	0.2VCC-0.1	
V _{IH}	Highレベル入力電圧	XTAL1, RESETを除く	0.6VCC	(注2)	VCC+0.5	
V _{IH1}	Highレベル入力電圧	XTAL1	0.7VCC	(注2)	VCC+0.5	
V _{IH2}	Highレベル入力電圧	RESET	0.85VCC	(注2)	VCC+0.5	
V _{OL}	Lレベル出力電圧(ポートA,B,C,D)(注3)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	
V _{OH}	Hレベル出力電圧(ポートA,B,C,D)(注4)	IOH=-3mA, VCC=5V	4.3			
		IOH=-1.5mA, VCC=3V	2.2			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=6V			8.0	
I _{IH}	I/OピンHighレベル入力漏れ電流	(確実なH/L範囲)			8.0	
R _{RST}	RESETピンプルアップ抵抗		100		500	kΩ
R _{I/O}	I/Oピンプルアップ抵抗		35		120	
I _{CC}	活動動作消費電流	VCC=3V, 4MHz			5.0	mA
	アイドル動作消費電流				2.0	
	パワーダウン動作消費電流 (注5)	VCC=3V, WDT有効			40.0	μA
		VCC=3V, WDT禁止			25.0	
パワーセーブ動作消費電流 (注5)	VCC=3V, WDT禁止			35.0		
V _{ACIO}	アナログ比較器入力変位(オフセット)電圧				40	mV
I _{ACLK}	アナログ比較器入力漏れ電流	VCC=5V, Vin=VCC/2	-50		50	nA
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いては検査条件(VCC=5Vで20mA, VCC=3Vで10mA)より多くの吸い込み電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOLの合計が400mAを超えるべきではありません。

2. ポートA0~A7, C3~C7, ALEの組、ポートB0~B7の組、C0~C2, D0~D7, RD, WR, XTAL2の組、E0~E2の各組でIOLの合計が各々100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLは関連仕様を超えます。表の検査条件より大きな吸い込み電流は保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いては検査条件(VCC=5Vで3mA, VCC=3Vで1.5mA)より多くの吐き出し電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOHの合計が400mAを超えるべきではありません。

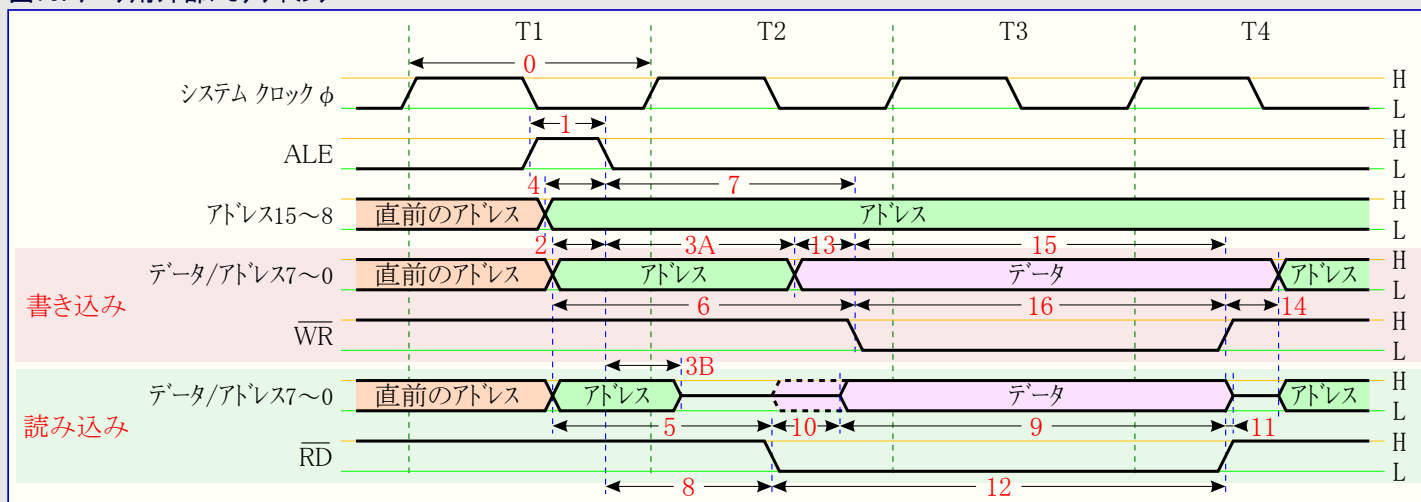
2. ポートA0~A7, C3~C7, ALEの組、ポートB0~B7の組、C0~C2, D0~D7, RD, WR, XTAL2の組、E0~E2の各組でIOHの合計が各々100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHは関連仕様を超えます。表の検査条件より大きな吐き出し電流は保証されません。

注5: パワーダウン動作時の最小電源電圧(VCC)は2.0Vです。

外部メモリ特性

図79. データ用外部メモリ タイミング



注: T3は外部SRAM待ち許可時のみ存在します。

外部メモリ タイミング特性

表45. データ用外部メモリ特性 (VCC=4.0V~5.5V、待ちなし)

番号	シンボル	項目	6MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	6.0		MHz
1	tLHLL	ALE Highパルス幅	48.3		0.5tCLCL-35		1	ns
2	tAVLL	ALE↓前 下位アドレス準備時間	43.3		0.5tCLCL-40		1	
3A	tLLAX,ST	ライト時 ALE↓後 下位アドレス保持時間	73.3		0.5tCLCL-10		2	
3B	tLLAX,LD	リード時 ALE↓後 下位アドレス保持時間	15.0		15.0			
4	tAVLLC	ALE↓前 上位アドレス準備時間	43.3		0.5tCLCL-40		1	
5	tAVRL	リード時 RD↓前 下位アドレス有効時間	136.7		1.0tCLCL-30			
6	tAVWL	ライト時 WR↓前 下位アドレス有効時間	215.0		1.5tCLCL-35		1	
7	tLLWL	ALE↓後 WR↓遅延時間	146.7	186.7	1.0tCLCL-20	1.0tCLCL+20		
8	tLLRL	ALE↓後 RD↓遅延時間	63.3	103.3	0.5tCLCL-20	0.5tCLCL+20	2	
9	tDVRH	RD↑前 データ準備時間	70.0		70			
10	tRLDV	RD↓後 データ出力遅延時間		136.7		1.0tCLCL-30		
11	tRHDX	RD↑後 データ保持時間	0.0		0.0			
12	tRLRH	RD Lowパルス幅	146.7		1.0tCLCL-20			
13	tOVWL	WR↓前 データ準備時間	53.3		0.5tCLCL-30		1	
14	tWHDX	WR↑後 データ保持時間	0.0		0.0			
15	tDVWH	WR↑前 データ有効時間	146.7		1.0tCLCL-20			
16	tWLWH	WR Lowパルス幅	63.3		0.5tCLCL-20		2	

表46. データ用外部メモリ特性 (VCC=4.0V~5.5V、1周期待ちあり)

番号	シンボル	項目	6MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	6.0		MHz
10	tRLDV	RD↓後 データ出力遅延時間		303.4		2.0tCLCL-30		ns
12	tRLRH	RD Lowパルス幅	313.4		2.0tCLCL-20			
15	tDVWH	WR↑前 データ有効時間	313.4		2.0tCLCL-20			
16	tWLWH	WR Lowパルス幅	230.0		1.5tCLCL-20		2	

注1: 一般式の定数はデューティサイクル=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティサイクル=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

表47. データ用外部メモリ特性 (VCC=2.7V~3.6V、待ちなし)

番号	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	4.0		MHz
1	tLHLL	ALE Highパルス幅	65.0		0.5tCLCL-60		1	ns
2	tAVLL	ALE↓前 下位アドレス準備時間	75.0		0.5tCLCL-50		1	
3A	tLLAX,ST	ライト時 ALE↓後 下位アドレス保持時間	125.0		0.5tCLCL		2	
3B	tLLAX,LD	リード時 ALE↓後 下位アドレス保持時間	15.0		15.0			
4	tAVLLC	ALE↓前 上位アドレス準備時間	60.0		0.5tCLCL-65		1	
5	tAVRL	リード時RD↓前 下位アドレス有効時間	205.0		1.0tCLCL-45			
6	tAVWL	ライト時WR↓前 下位アドレス有効時間	325.0		1.5tCLCL-65		1	
7	tLLWL	ALE↓後 WR↓遅延時間	230.0	270.0	1.0tCLCL-20	1.0tCLCL+20		
8	tLLRL	ALE↓後 RD↓遅延時間	105.0	145.0	0.5tCLCL-20	0.5tCLCL+20	2	
9	tDVRH	RD↑前 データ準備時間	115.0		115.0			
10	tRLDV	RD↓後 データ出力遅延時間		210.0		1.0tCLCL-40		
11	tRHDX	RD↑後 データ保持時間	0.0		0.0			
12	tRLRH	RD Lowパルス幅	230.0		1.0tCLCL-20			
13	tOVWL	WR↓前 データ準備時間	90.0		0.5tCLCL-35		1	
14	tWHDX	WR↑後 データ保持時間	0.0		0.0			
15	tDVWH	WR↑前 データ有効時間	230.0		1.0tCLCL-20			
16	tWLWH	WR Lowパルス幅	100.0		0.5tCLCL-25		2	

表48. データ用外部メモリ特性 (VCC=2.7V~3.6V、1周期待ちあり)

番号	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	4.0		MHz
10	tRLDV	RD↓後 データ出力遅延時間		460.0		2.0tCLCL-40		ns
12	tRLRH	RD Lowパルス幅	480.0		2.0tCLCL-20			
15	tDVWH	WR↑前 データ有効時間	480.0		2.0tCLCL-20			
16	tWLWH	WR Lowパルス幅	350.0		1.5tCLCL-25		2	

注1: 一般式の定数はデューティサイクル=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティサイクル=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

外部クロック特性

図80. 外部クロック

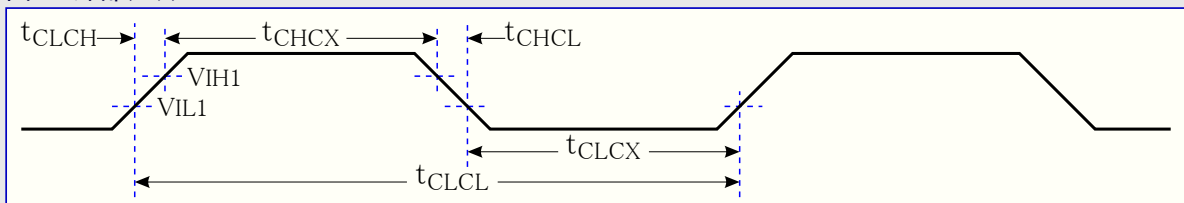


表49. 外部クロック特性

シンボル	項目	VCC=2.7V~3.6V		VCC=4.0V~5.5V		単位
		最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	4	0	6	MHz
tCLCL	クロック周期	250		167.0		ns
tCHCX	Highレベル時間	100		67.0		
tCLCX	Lowレベル時間	100		67.0		
tCLCH	上昇時間		1.6		0.5	
tCHCL	下降時間		1.6		0.5	μs

注: データ用外部メモリのタイミングにデューティサイクルがどう影響するかの説明については「外部メモリ タイミング」を参照してください。

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $CL(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のパワーダウン動作での消費電流とウォッチドッグタイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマにより引き込んだ(消費した)差電流を表します。

図81. 活動動作消費電流 対 周波数 (TA=25°C)

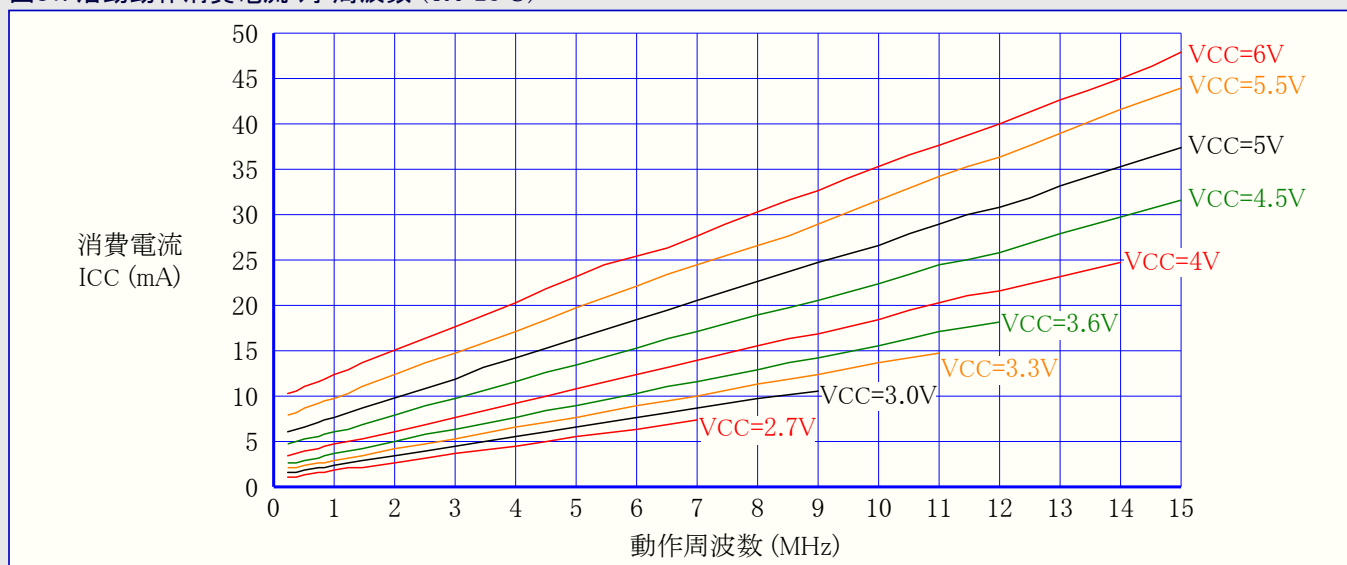


図82. 活動動作消費電流 対 動作電圧 (周波数=4MHz)

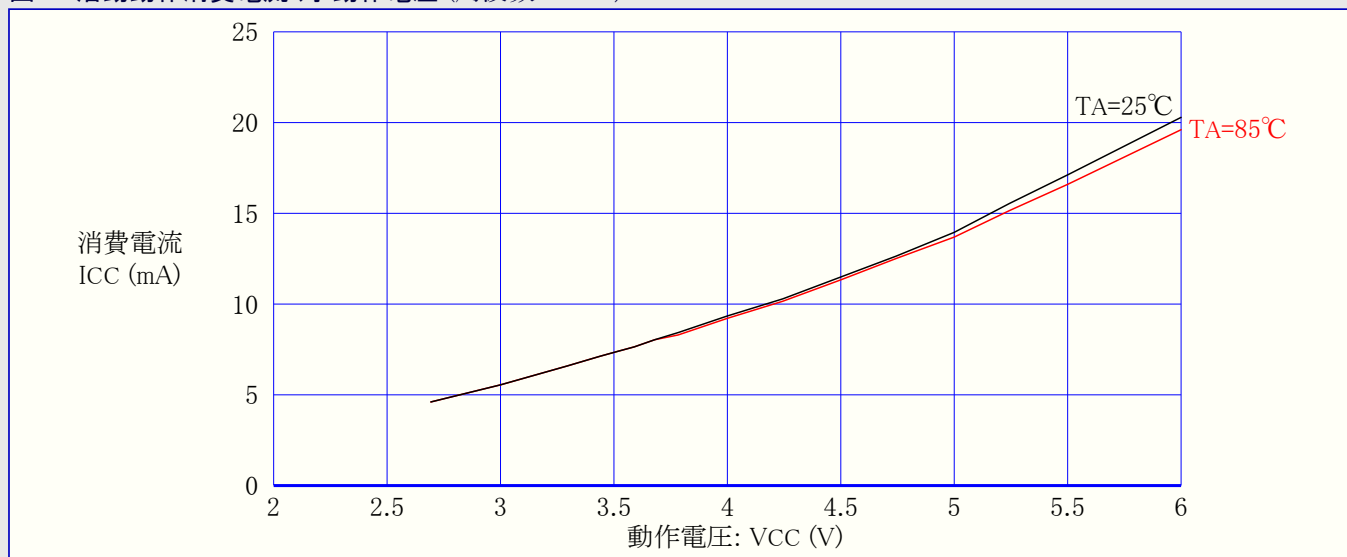


図83. アトル動作消費電流 対 周波数 (TA=25°C)

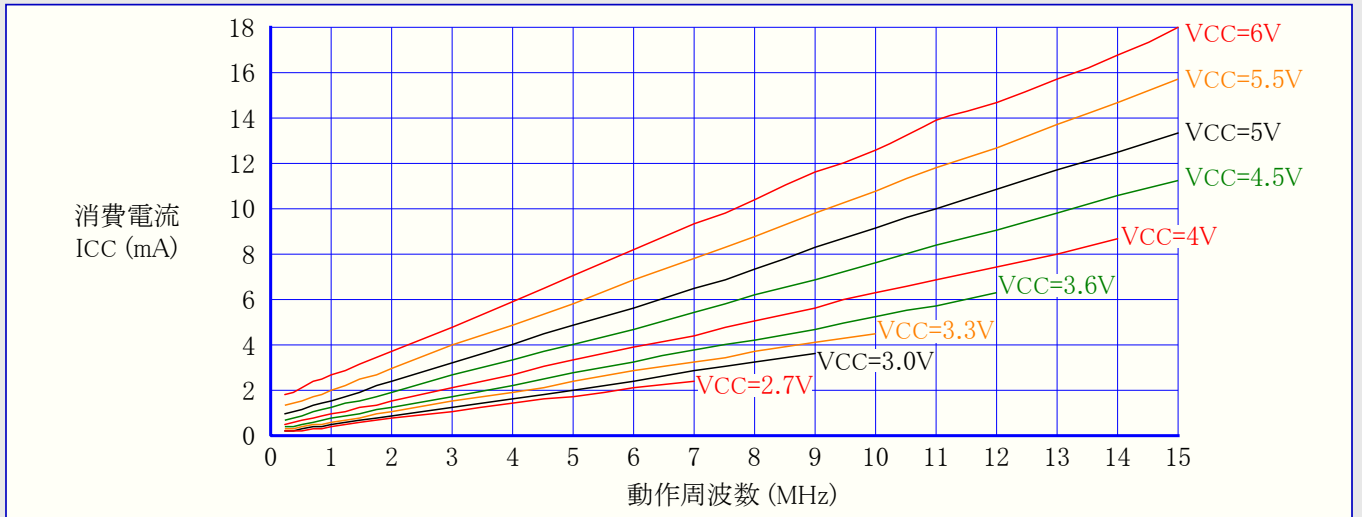


図84. アトル動作消費電流 対 動作電圧 (周波数=4MHz)

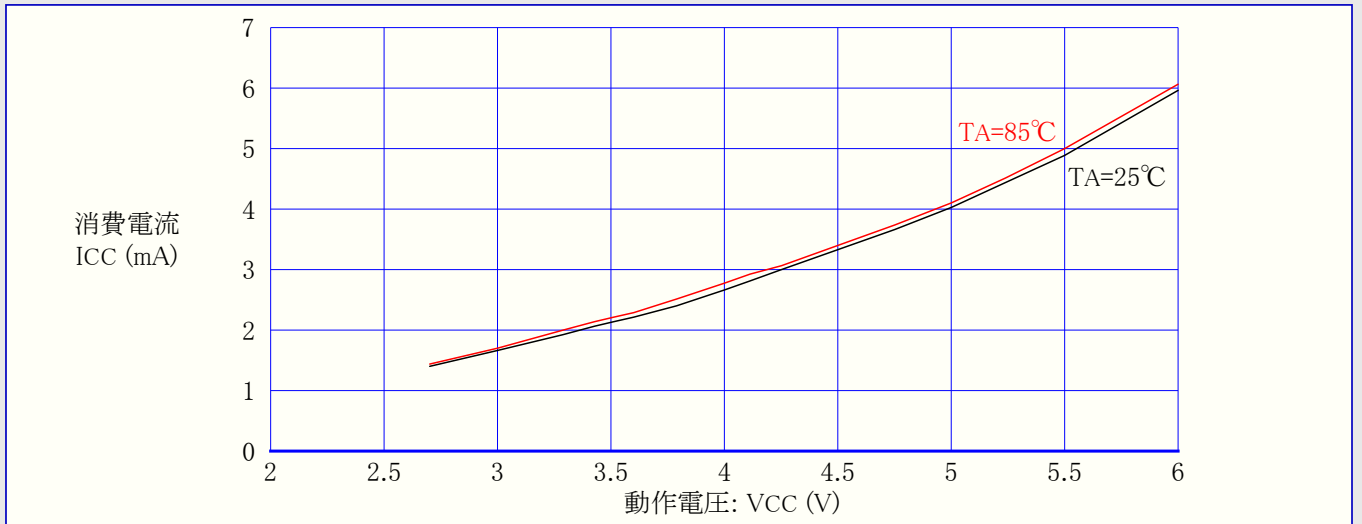


図85. ハワータウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ停止)

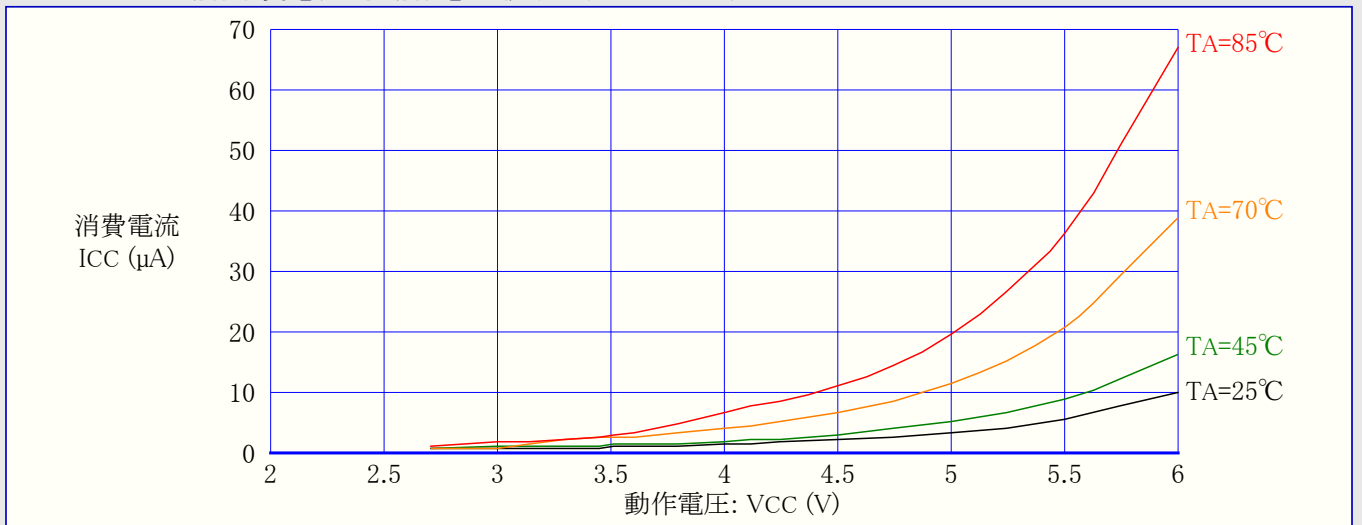


図86. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)

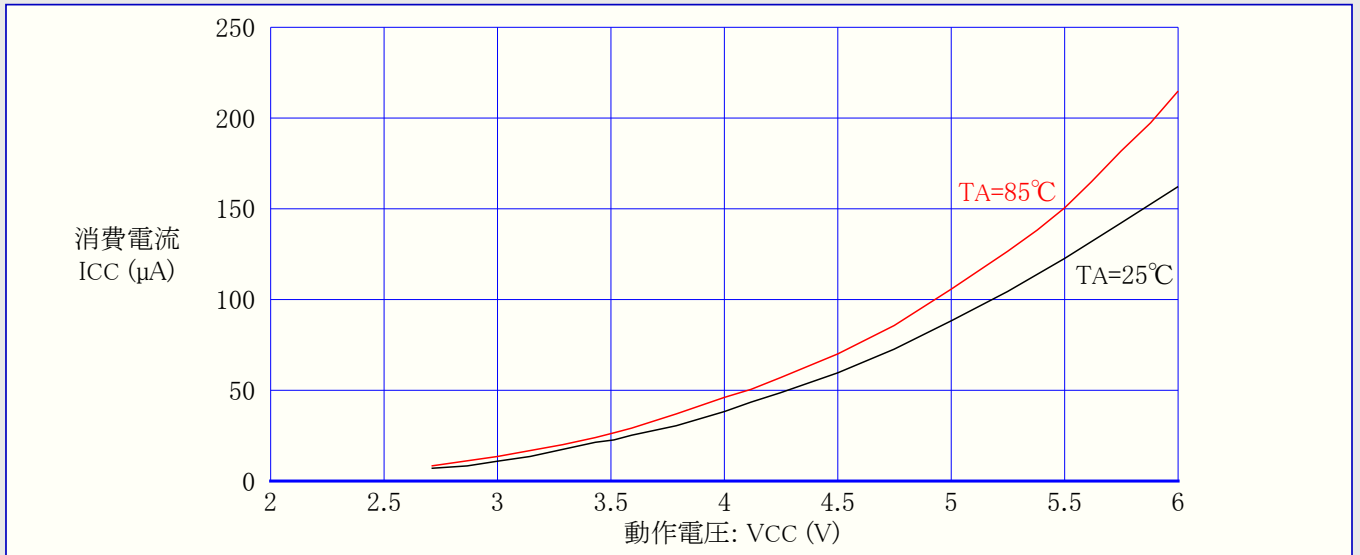


図87. パワーセーブ動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

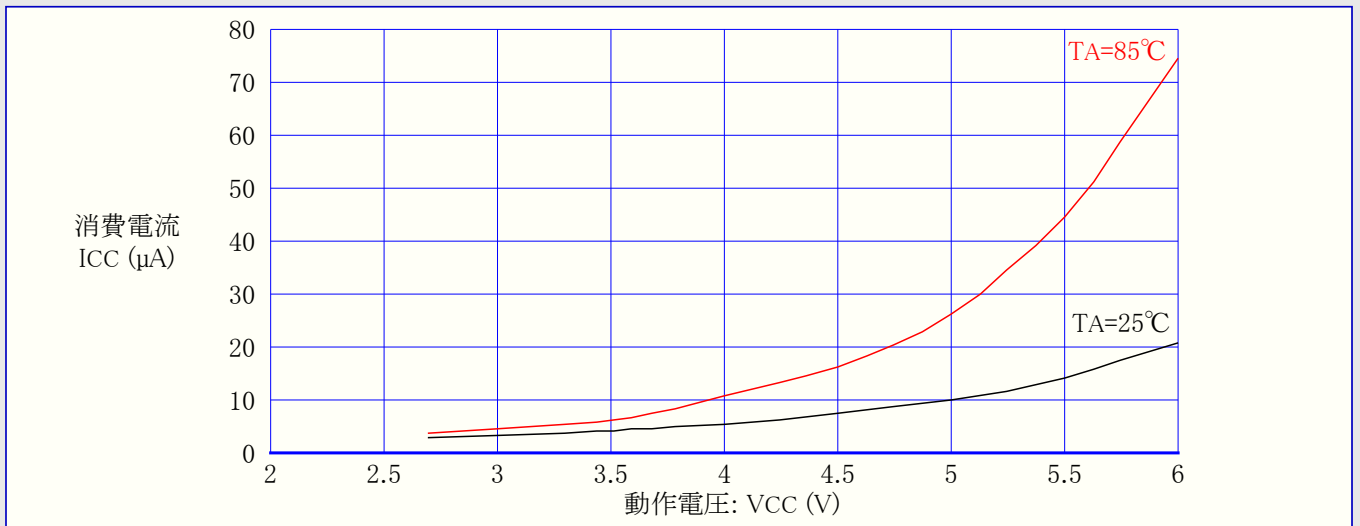


図88. アナログ比較器消費電流 対 動作電圧

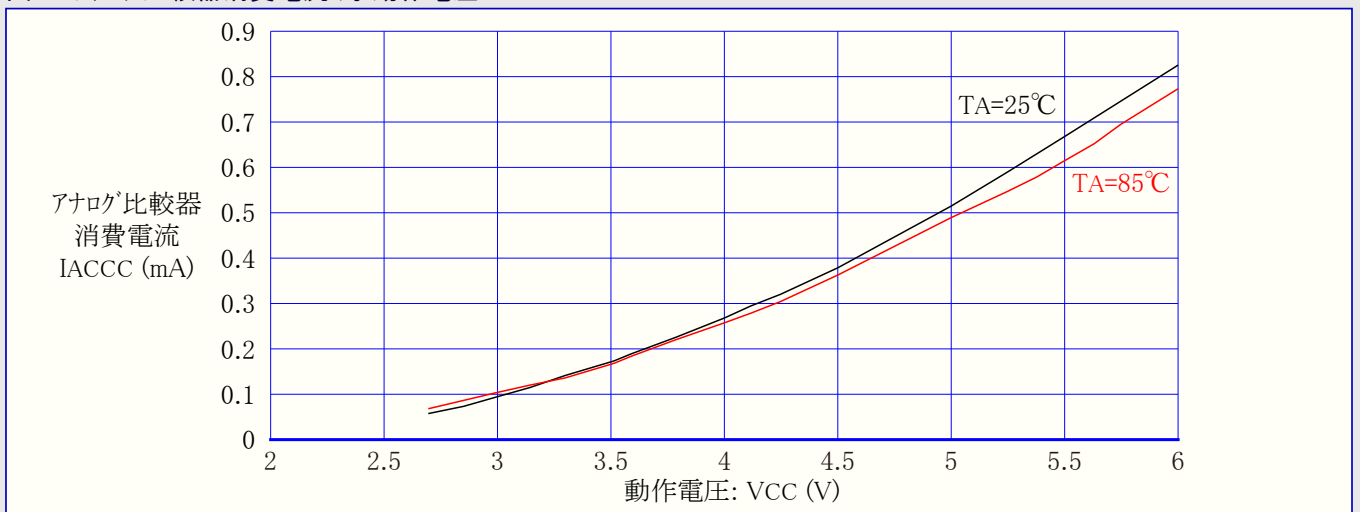
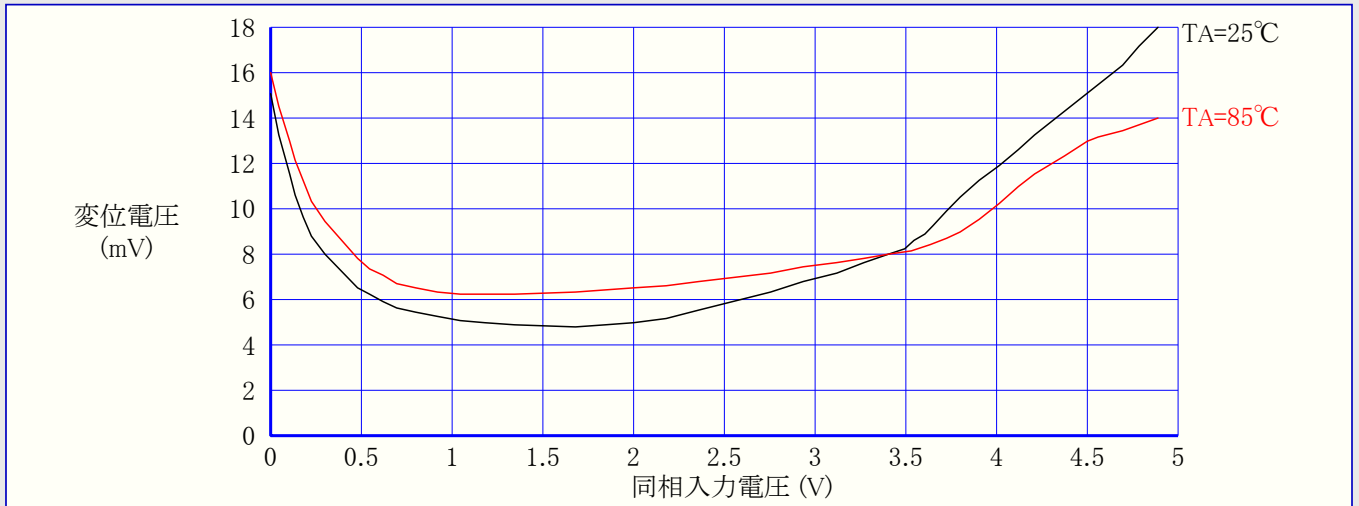
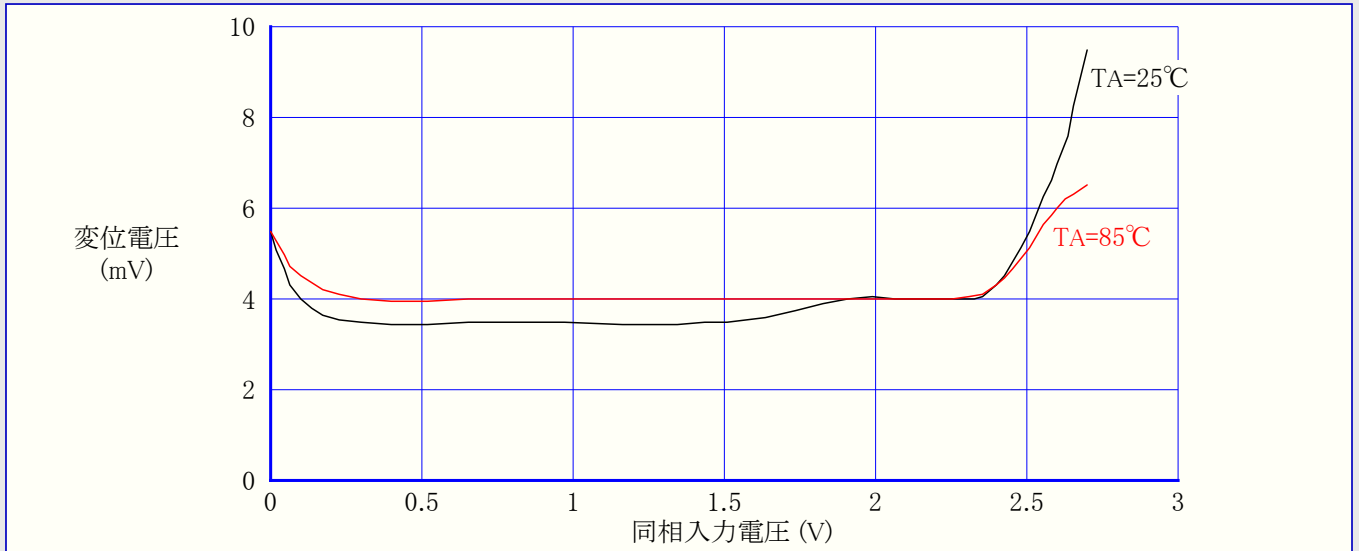


図89. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=5V)



注: 変位(オフセット)電圧は絶対値です。

図90. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=2.7V)



注: 変位(オフセット)電圧は絶対値です。

図91. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25°C)

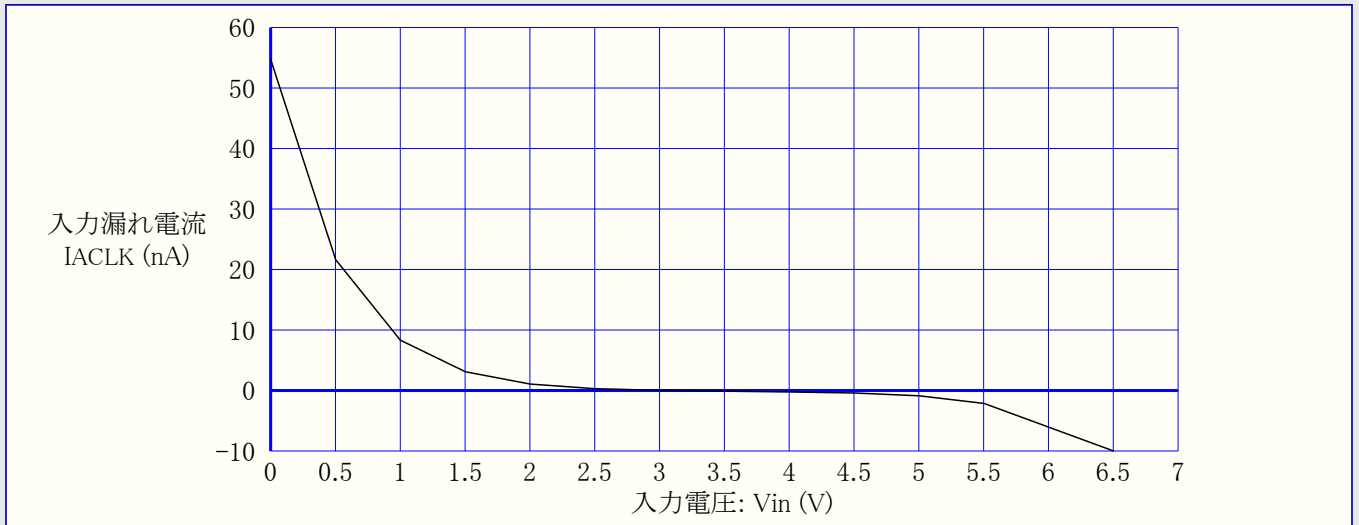


図92. ウォッチドッグ用発振器 発振周波数 対 動作電圧

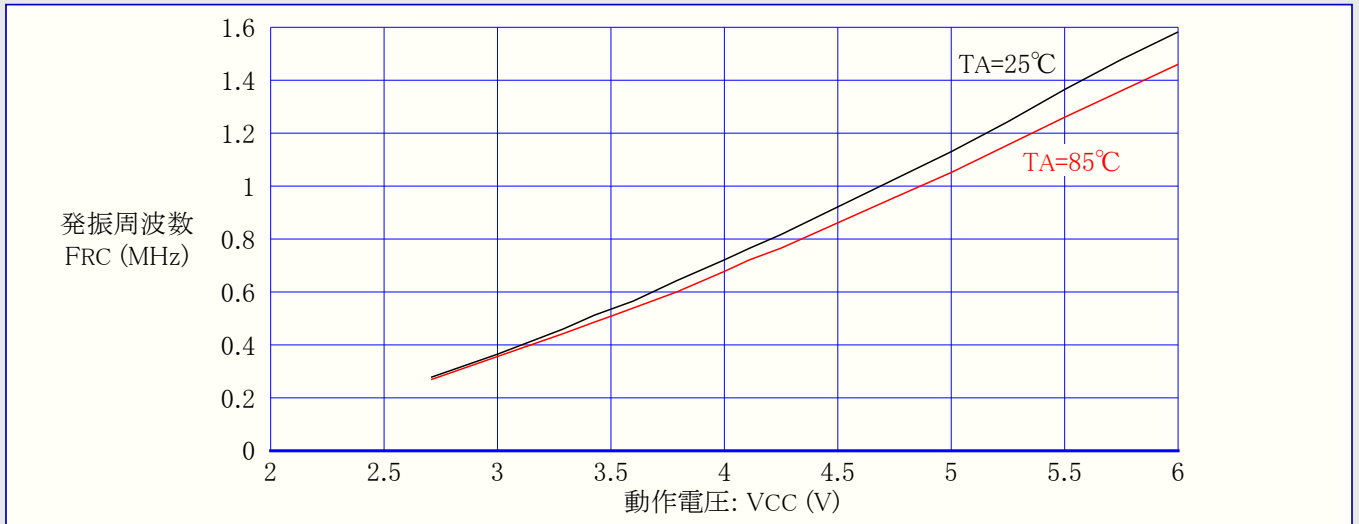
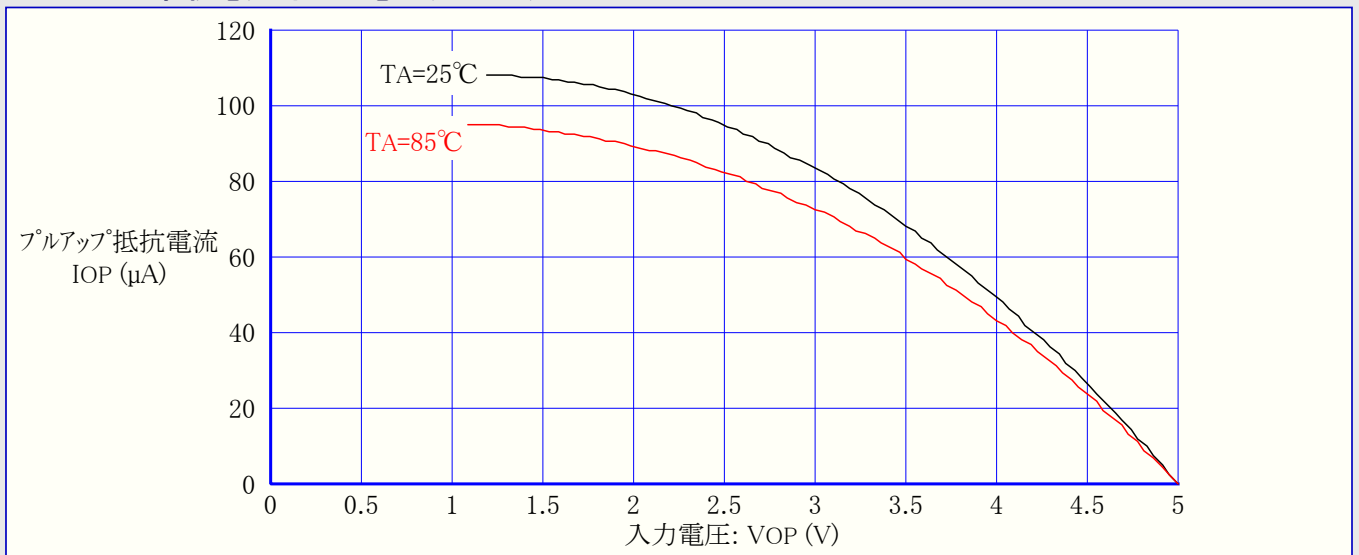
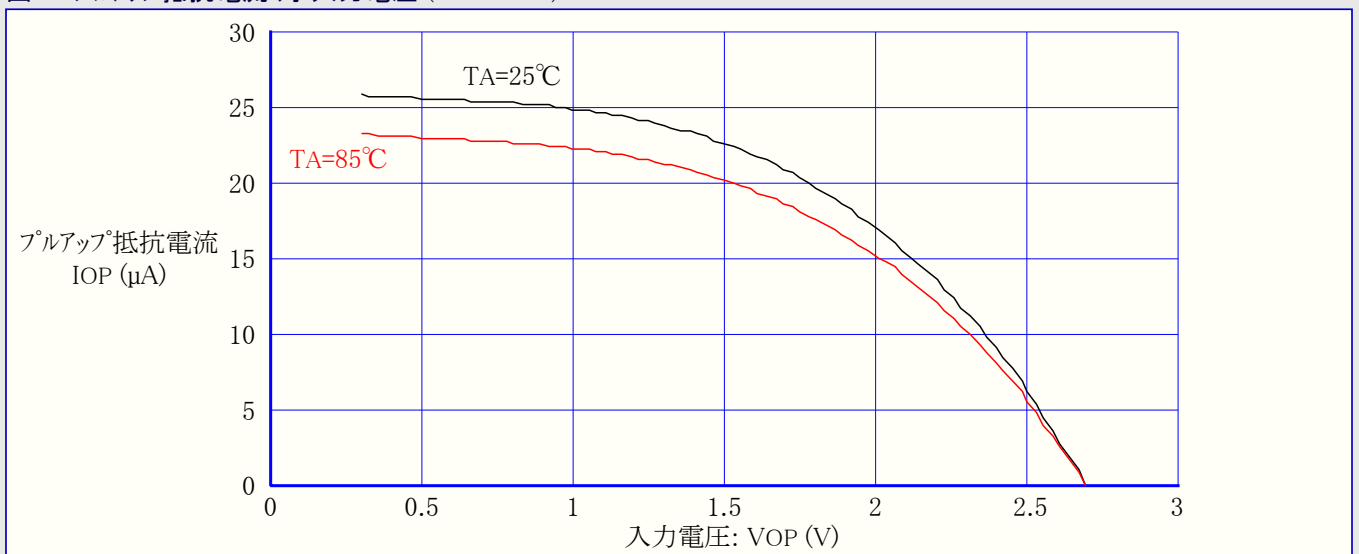


図93. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



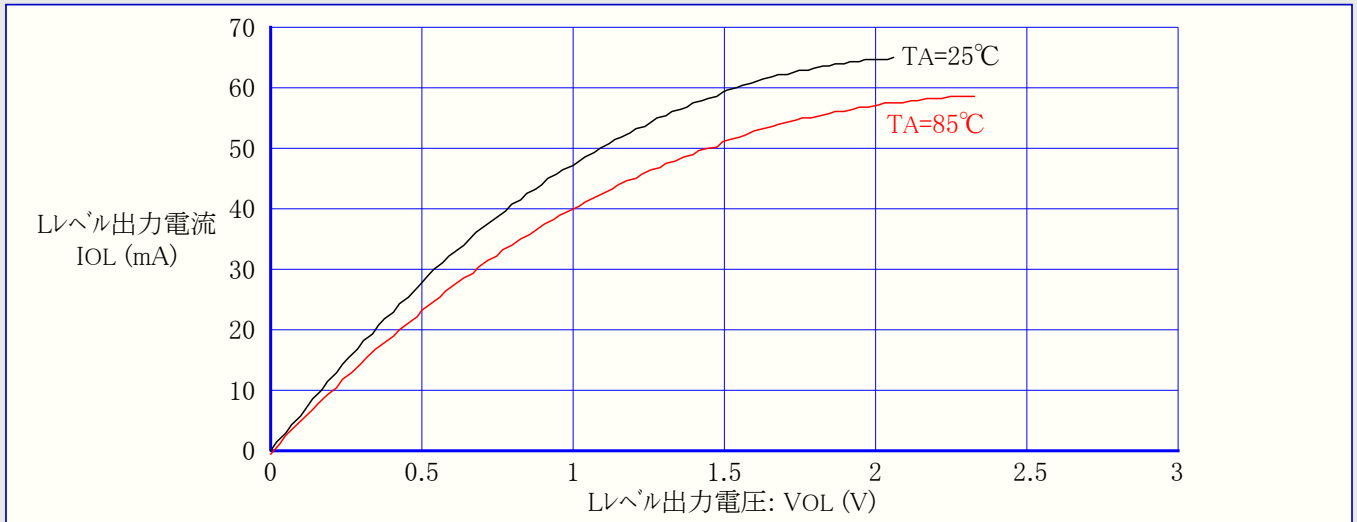
注: 測定は1ピン単位です。

図94. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



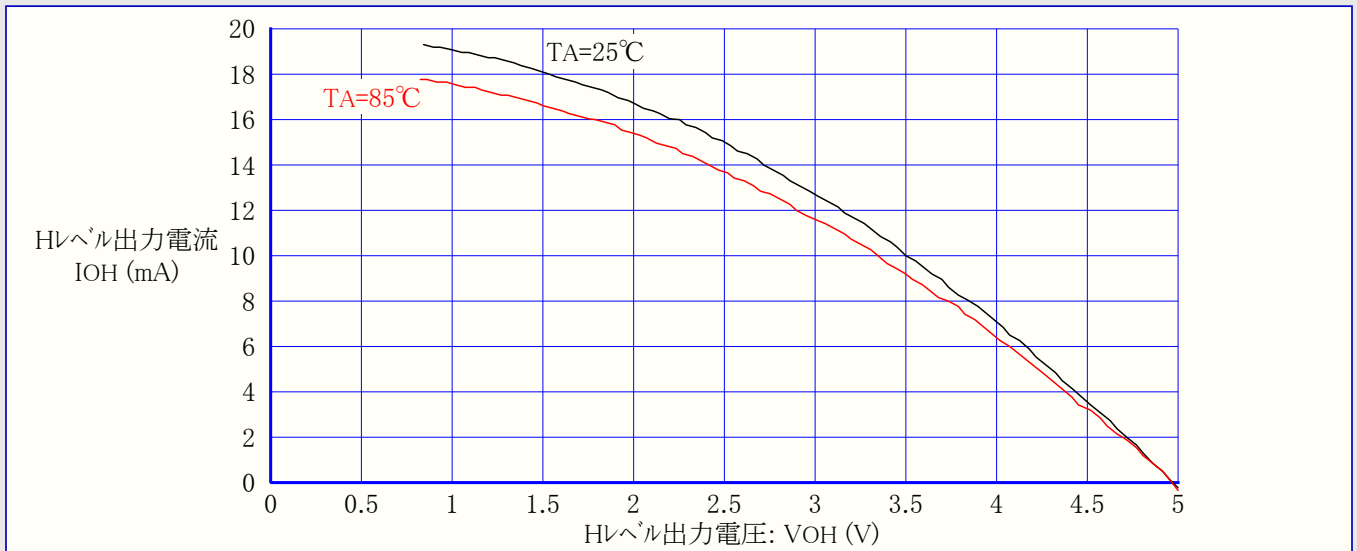
注: 測定は1ピン単位です。

図95. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



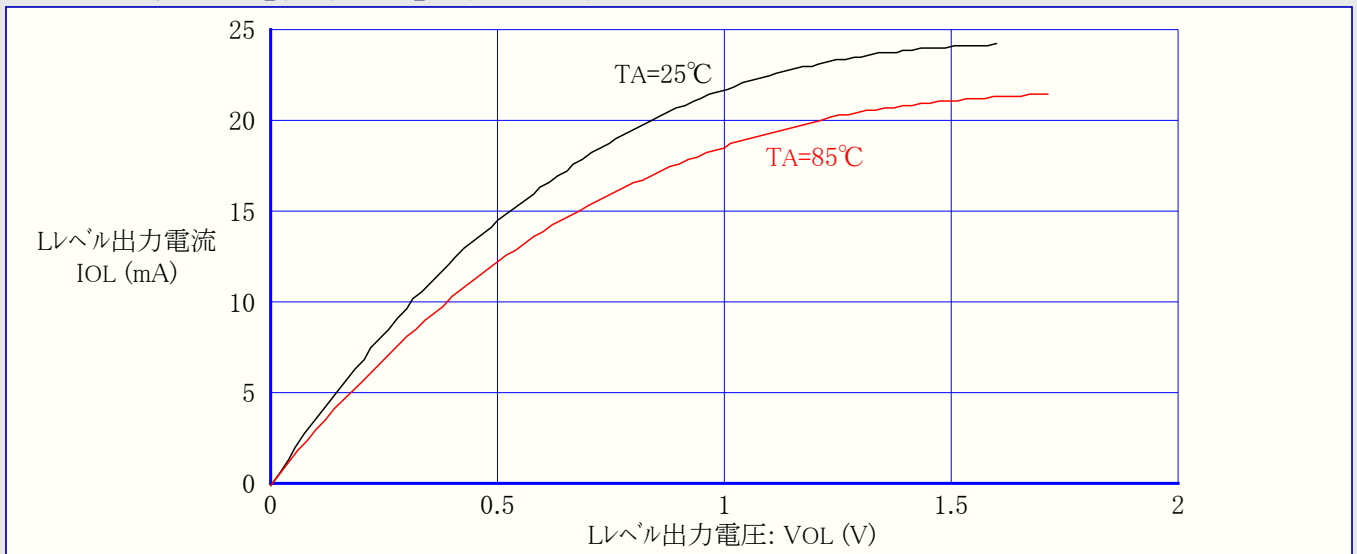
注: 測定は1ピン単位です。

図96. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



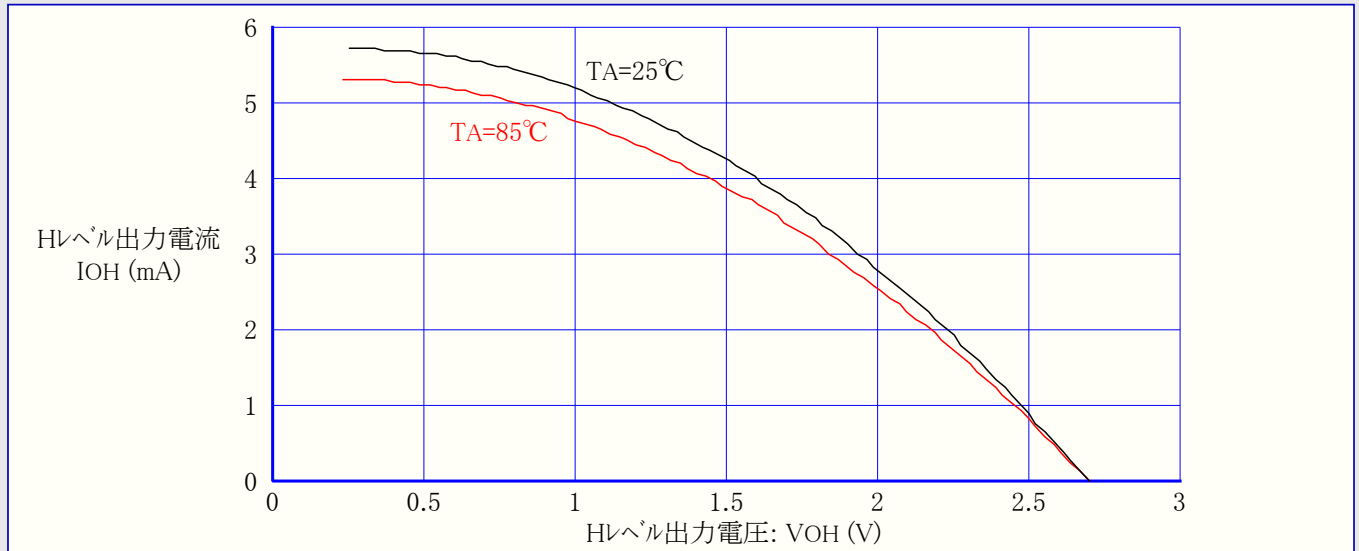
注: 測定は1ピン単位です。

図97. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図98. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図99. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (TA=25°C)

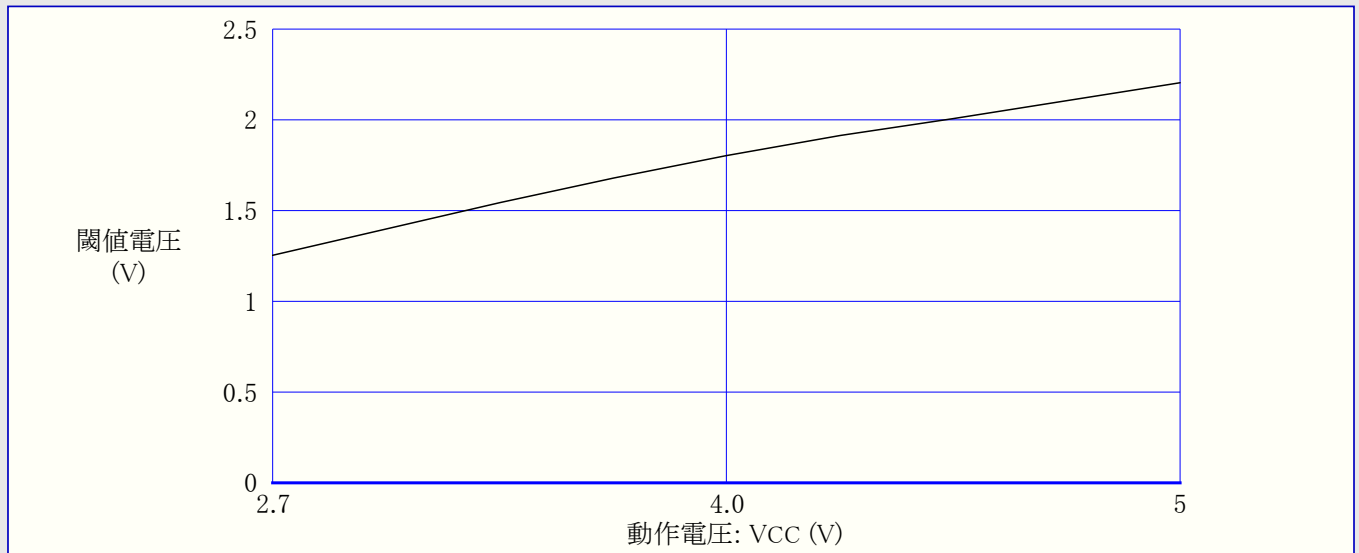
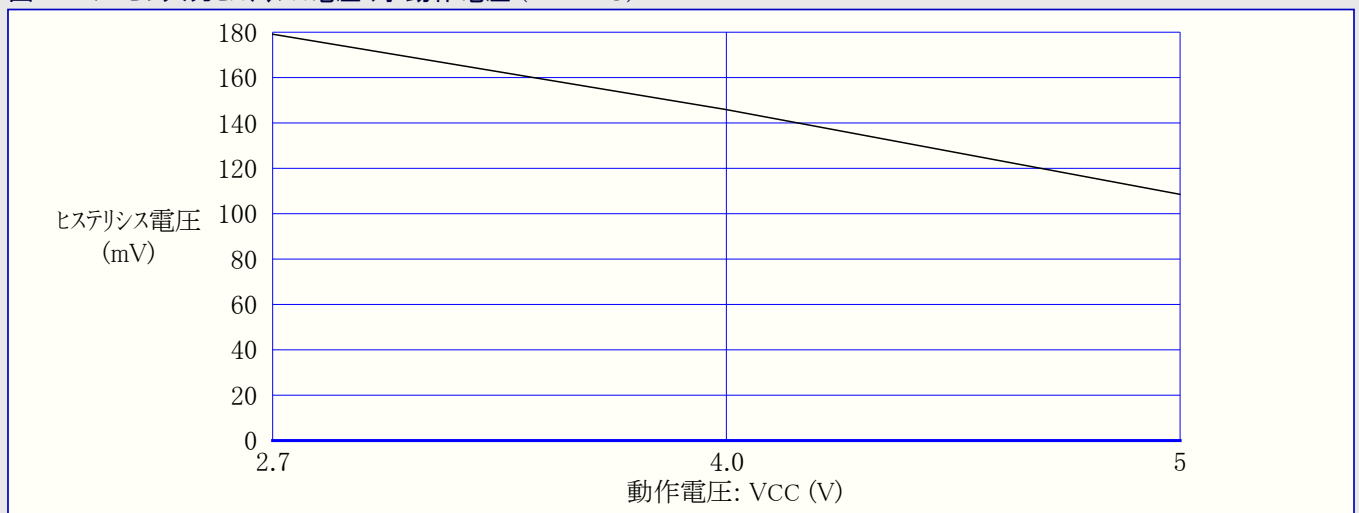


図100. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	11
\$3E (\$5E)	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	12
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	XDIV	XDIVEN	XDIV6	XDIV5	XDIV4	XDIV3	XDIV2	XDIV1	XDIV0	12
\$3B (\$5B)	RAMPZ	-	-	-	-	-	-	-	RAMPZ0	12
\$3A (\$5A)	EICR	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40	18
\$39 (\$59)	EIMSK	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0	18
\$38 (\$58)	EIFR	INTF7	INTF6	INTF5	INTF4	-	-	-	-	18
\$37 (\$57)	TIMSK	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	19
\$36 (\$56)	TIFR	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	20
\$35 (\$55)	MCUCR	SRE	SRW	SE	SM1	SM0	-	-	-	13
\$34 (\$54)	MCUSR	-	-	-	-	-	-	EXTRF	PORF	17
\$33 (\$53)	TCCR0	-	PWM0	COM01	COM00	CTC0	CS02	CS01	CS00	24
\$32 (\$52)	TCNT0	タイマ/カウンタ0								25
\$31 (\$51)	OCR0	タイマ/カウンタ0 比較レジスタ								25
\$30 (\$50)	ASSR	-	-	-	-	AS0	TCN0UB	OCR0UB	TCR0UB	27
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	-	-	PWM11	PWM10	30
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	31
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 上位バイト								32
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 下位バイト								
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1 比較レジスタ上位バイト								33
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1 比較レジスタ下位バイト								
\$29 (\$49)	OCR1BH	タイマ/カウンタ1 比較レジスタ上位バイト								
\$28 (\$48)	OCR1BL	タイマ/カウンタ1 比較レジスタ下位バイト								
\$27 (\$47)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト								33
\$26 (\$46)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト								
\$25 (\$45)	TCCR2	-	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20	24
\$24 (\$44)	TCNT2	タイマ/カウンタ2								25
\$23 (\$43)	OCR2	タイマ/カウンタ2 比較レジスタ								25
\$22 (\$42)	予約									
\$21 (\$41)	WDTCSR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	35
\$20 (\$40)	予約									
\$1F (\$3F)	EEARH	-	-	-	-	EEAR11	EEAR10	EEAR9	EEAR8	36
\$1E (\$3E)	EEARL	EEPROM アドレスレジスタ下位バイト (EEAR7~0)								
\$1D (\$3D)	EEDR	EEPROM データレジスタ								36
\$1C (\$3C)	EEDR	-	-	-	-	EERIE	EEMWE	EWE	EERE	36
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	53
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	53
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	53
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	55
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	55
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	55
\$15 (\$35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	61
\$14 (\$34)	予約									
\$13 (\$33)	予約									
\$12 (\$32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	62
\$11 (\$31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	62
\$10 (\$30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	62
\$0F (\$2F)	SPDR	SPI データレジスタ								39
\$0E (\$2E)	SPSR	SPIF	WCOL	-	-	-	-	-	-	40
\$0D (\$2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	40
\$0C (\$2C)	UDR	UART データレジスタ								43
\$0B (\$2B)	USR	RXC	TXC	UDRE	FE	OR	-	-	-	43
\$0A (\$2A)	UCR	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	44
\$09 (\$29)	UBRR	UART ボーレートレジスタ								44
\$08 (\$28)	ACSR	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	46
\$07 (\$27)	ADMUX	-	-	-	-	-	MUX2	MUX1	MUX0	49
\$06 (\$26)	ADCSR	ADEN	ADSC	-	ADIF	ADIE	ADPS2	ADPS1	ADPS0	49
\$05 (\$25)	ADCH	-	-	-	-	-	-	ADC9	ADC8	50
\$04 (\$24)	ADCL	A/Dデータレジスタ下位バイト (ADC7~0)								
\$03 (\$23)	PORTE	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	66
\$02 (\$22)	DDRE	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	66
\$01 (\$21)	PINE	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	66
\$00 (\$20)	PINF	PINF7	PINF6	PINF5	PINF4	PINF3	PINF2	PINF1	PINF0	70

注: 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリアドレスへは決して書くべきではありません。いくつかの状態フラグは論理1を書くことにより解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00~\$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \text{\$FF} - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \text{\$00} - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\text{\$FF} - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\\$FF)	$Rd \leftarrow \text{\$FF}$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
CALL	k	絶対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow k + 1$	I,T,H,S,V,N,Z,C	4
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	SREG(s)=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	SREG(s)=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	C=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	C=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	C=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	C=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	(N EOR V)=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	(N EOR V)=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	H=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	H=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
 b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)



ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	$R0 \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim 6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim 4) \leftrightarrow Rd(3\sim 0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,I,T	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度 (MHz)	電源電圧	注文符号	外囲器	動作範囲
4	2.7~3.6V	ATmega103L-4AC	64A	一般用 (0°C~70°C)
		ATmega103L-4AI	64A	工業用 (-40°C~85°C)
6	4.0~5.5V	ATmega103-6AC	64A	一般用 (0°C~70°C)
		ATmega103-6AI	64A	工業用 (-40°C~85°C)

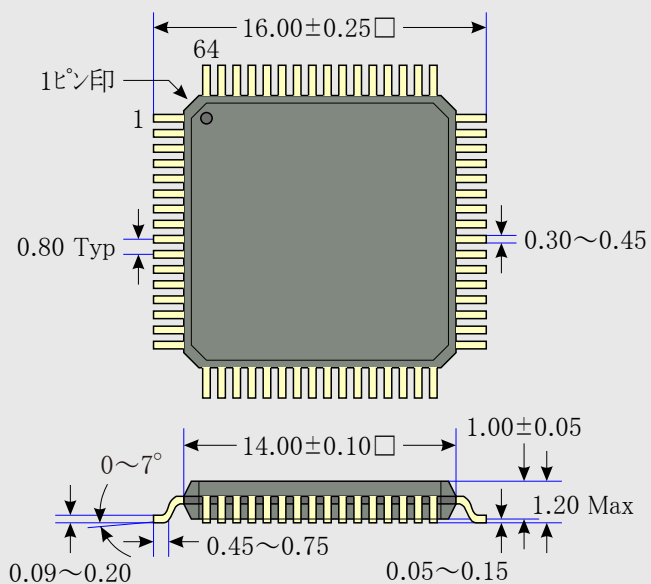
外囲器形式

64A	64リード 1.0mm厚 プラスティック4方向平板外囲器 (TQFP)
-----	-------------------------------------

外囲器情報

64A
64リード 0.8mmピッチ プラスティック4方向平板外囲器 (TQFP)

寸法: mm
JEDEC規格 MS-026 AEB



障害情報

この章の改訂番号はATmega103(L)デバイスの改訂版を参照してください。

改訂F/G

(Rev. 1197D-12/99)

改訂L

(Rev. 1436C-09/01)

- | | |
|---------------------------------|-------|
| • UART受信禁止時のRXD信号Lowレベルによる同期化異常 | F/G/L |
| • A/D変換器の連続変換動作の有無 | F/G/L |
| • 実装書き込み中のMISO出力動作 | F/G/L |
| • EEPROMホーリング中の読み出し値 | F/G/L |
| • 不正な識票バイト値 | F/G/L |
| • スキップ命令実行中の割り込み | F/G/L |
| • 供給電圧3.4V未満での直列プログラミング | F/G |
| • リセット後のSPI割り込み要求フラグが不定 | F/G/L |
| • EEPROM書き込み中のリセット | F/G/L |
| • リセット状態ビット書き込み異常 | F/G/L |
| • SPIの不正なバイト送信 | F/G/L |
| • パワーセーブから復帰時に割り込み前の命令実行 | F/G/L |
| • クロック停止によるリセット状態の解除 | L |
| • 上昇が遅い電源での消費電力増加 | L |

1. UART受信禁止時のRXD信号Lowレベルによる同期化異常 (F/G/L)

UARTが禁止されていても開始ビットの検出と受信の開始が行われます。これが起こると、UART受信許可後の最初のバイトが不正にされます。

対策/対処

起動時やUART禁止時にRXD信号がHighレベルであることを確認してください。外部RS-232レベル変換器は起動中、信号線をHighレベルに保ちます。

2. A/D変換器の連続変換動作の有無 (F/G/L)

初期のATmega(603)/103データシートにはA/D変換器の連続変換動作が記載されていました。本デバイスでこの動作は利用できず、A/D制御/状態レジスタ(ADCSR)のビット5は常に0が書かれなければなりません。

対策/対処

単独変換動作を使い、常に最新のデータシートを使ってください。

3. 実装書き込み中のMISO出力動作 (F/G/L)

実装書き込み中、UARTピンが使われるにも拘らず、MISO(13)ピンが有効です(出力として動作)。13番ピンが応用で入力として使われる場合、この信号線で(出力同士の)衝突が起きるかもしれません。

対策/対処

- MISOピンが入力として使われる場合、信号線に直列の電流制限抵抗があることを確認してください。
- このピンが出力として使われる場合、この信号線に接続される如何なるものもがプログラミング中のこのピンの(H/L)出力動作を許容できることを確認してください。

4. EEPROMホーリング中の読み出し値 (F/G/L)

実装書き込みでEEPROM書き込み直後に、そのアドレスを読み出すと、自動消去が終了するまでP1値(表1参照)となり、その後、書き込みが完了するまでP2値が読み出されます。デバイスは新規書き込みの準備が整ったとき、書かれた値が正しく読めます。

注意

これは実装書き込みだけの問題です。通常動作中のEEPROM読み書きは、これによる影響を及ぼされません。

対策/対処

EEPROMにデータホーリングが使われる場合、書き込み器は読み戻し値として\$7Fと\$80両方を許容しなければなりません。P1、P2値のどちらについてもホーリングができませんので、これらの値を書き込むとき、使用者は次のバイトを書き込みまで予め定義されたtWD_EEPROM時間待たなければなりません。

表1. EEPROMホーリング中、読み出し値

改訂	P1	P2
F	\$7F	\$7F
G,J,K,L	\$80	\$7F

5. 不正な識票バイト値 (F/G/L)

初期のいくつかのロットの識票バイトが不正な識票バイトで出荷されてしまいました。同様にデータシートも誤った識票バイト値になってしまいました。正しい識票バイト値は\$1E,\$97,\$01です。

対策/対処

書き込み器は有効な識票バイトとして\$1E,\$01,\$01と\$1E,\$97,\$01の両方を許容しなければなりません。

6. スキップ命令実行中の割り込み (F/G/L)

スキップ命令(SBRS, SBRC, SBIS, SBIC, CPSE)が次の2語命令をスキップする場合、3クロック周期が必要です。このスキップ命令の最初または第2クロック中に割り込みが発生すると、スタックに正しい戻りアドレスを保存せず、2語命令の第2語(ワード)のアドレスを保存します。このため、割り込みからの復帰時に、この2語命令の第2語を実行します。ATmega103には、LDS, STS, JMP, CALLの4つの2語命令が存在します。

注意

- ① この問題が発生するのは、次の全ての条件が成り立った場合だけです。
 - スキップ命令の次が2語命令。
 - スキップ命令の条件一致で次の命令をスキップ。
 - 割り込み許可で、1つ以上の割り込み要求が発生。
 - スキップ命令の最初または第2クロックで割り込みが発生。
- ② これはLDSまたはSTS命令のオペランドのデータ空間アドレスが\$0400以上の場合にだけ問題を起こします。
(訳補) \$0400未満では未定義命令となり、NOP命令と等価になり、実害を生じないためです。

対策/対処

アセンブリ言語プログラムでは割り込み許可の場合、2語命令のスキップを避けてください。次のCコンパイラはこの順序を正しく操作します。

- IAR コンパイラ - Ver1.40b以降
- Image Craft コンパイラ - 全版
- Codevision コンパイラ - Ver1.0.0.5以降

7. 供給電圧3.4V未満での直列プログラミング (F/G)

供給電圧3.4V未満での直列プログラミングは失敗する可能性があります。

対策/対処

直列プログラミング中のVCCを3.4V以上に保ってください。

8. リセット後のSPI割り込み要求フラグが不定 (F/G/L)

リセット中にSCKピンが未接続などでSCKピンのレベル遷移が起こり、起動時のSPI割り込み要求フラグの値が不定となります。SPI割り込みを許可する前に、このフラグを解除(0)しないと、不要なSPI割り込みが実行されるかもしれません。

対策/対処

SPI割り込みを許可する前にSPI割り込み要求フラグを解除(0)してください。

9. EEPROM書き込み中のリセット (F/G/L)

EEPROM書き込み中にリセットが有効にされると予期せぬ結果になります。EEPROM書き込み周期は通常に完了しますが、EEPROMアドレスレジスタは\$0000にリセットされます。この結果、EEPROMの書き込みアドレスとアドレス\$0000の両方が不正に成り得ます。

対策/対処

EEPROM書き込み中、リセットにしないことが保証できる場合を除き、保存用としてアドレス\$0000の使用を避けてください。

10. リセット状態ビット書き込み異常 (F/G/L)

MCU状態レジスタ(MCUSR)の電源ONリセットフラグ(PORF)の解除(0)で、外部リセットフラグ(EXTRF)は解除(0)されません。EXTRFは0の書き込みで解除(0)されません。

対策/対処

これらの何れかを解除(0)する前に両フラグの検査を終えてください。MCUSRのPORFとEXTRFの両方に0を書くことにより、両フラグを同時に解除(0)してください。

11. SPIの不正なバイト送信 (F/G/L)

SPIが主装置動作の場合に直前の転送が完了されると同じクロック端で新しいデータを書き込むと古い(直前の)転送を再び開始します。

対策/対処

SPIへの書き込み時、初めに送信可(送信完了)まで待機し、その後に送信(レジスタ)へ(送信データ)バイトを書いてください。

12. パワーセーブから復帰時に割り込み前の命令実行 (F/G/L)

パワーセーブ動作からの復帰時、その割り込みが呼び出される前にいくつかの命令が実行されます。デバイスが外部割り込みによって起動された場合は2命令周期が実行されます。非同期タイマ(タイマ/カウンタ0)によって起動された場合は3命令が割り込み前に実行されます。

対策/対処

SLEEP命令に続く最初の2または3命令が割り込みの実行に依存しないことを確認してください。

13. クロック停止によるリセット状態の解除 (L)

クロック停止中に外部リセットまたはウォッチドッグリセットが起こると、外部クロックに関係なくリセット遅延時間後に内部リセットが解除され、クロック再起動前にリセットが解除されます。内部リセットが有効な間に外部クロックパルスが無かった場合、リセットはI/OをHi-Z状態に保ちます。しかし、クロック再起動前に内部リセットが解除されると、I/O部が解除されず、また、PC(プログラムカウンタ)も解除されません。これは外部クロック入力でクロックを開閉する構造のため、内部クロックが停止することによります。パワーダウン動作とパワーセーブ動作に、この問題はありません。

対策/対処

外部リセットが予測され得る如何なるときも、クロックが走行していることを確認してください。ウォッチドッグが使われる場合、外部クロックを決して止めてはなりません。

14. 上昇が遅い電源での消費電力増加 (L)

上昇時間が遅い(10ms以上)電源では休止形態の電力消費が仕様値を越える場合があります。

対策/対処

デバイスは正常に動作しますので、この電力消費が許容できる場合、特に対処の必要はありません。この電力消費を少なくするには電源が充分速い上昇であることを確認してください。

目次

特徴	1	絶対最大定格	80
ピン配置	1	DC特性	80
概要	2	外部メモリ特性	81
構成図	2	外部クロック特性	82
ピン説明	3	代表特性	83
クロック任意選択	4	レジスタ要約	90
構造概要	5	命令要約	91
汎用レジスタファイル	6	注文情報	93
ALU (Arithmetic Logic Unit)	6	外圍器情報	93
実装書き換え可能なプログラム用フラッシュメモリ	6	障害情報	94
データ用EEPROMメモリ	6		
内蔵SRAMと外部SRAM	6		
プログラム/データ空間に対するアドレス指定種別	7		
メモリアクセスと命令実行タイミング	9		
I/Oレジスタ	10		
リセットと割り込みの扱い	14		
休止形態	21		
タイマ/カウンタ	22		
タイマ/カウンタ前置分周器	22		
8ビットタイマ/カウンタ0、タイマ/カウンタ2	23		
16ビットタイマ/カウンタ1	29		
ウォッチドッグタイマ	35		
EEPROMアクセス	36		
EEPROMデータ化けの防止	37		
SPI (直列周辺インターフェース)	38		
SSピンの機能	39		
データ転送形式	39		
UART	41		
データ送信	41		
データ受信	42		
UART制御	43		
アナログ比較器	46		
A/D変換器	47		
操作	47		
前置分周と変換タイミング	48		
雑音低減機能	49		
雑音低減技術	50		
A/D変換器特性	51		
外部SRAM(メモリ)インターフェース	52		
入出力ポート	53		
ポートA	53		
ポートB	55		
ポートC	61		
ポートD	62		
ポートE	66		
ポートF	70		
メモリプログラミング	71		
プログラムメモリとデータメモリ用施錠ビット	71		
ヒューズビット	71		
識票バイト	71		
フラッシュメモリとEEPROMのプログラミング	71		
並列プログラミング	72		
並列プログラミング特性	77		
直列プログラミング	79		
電气的特性	80		



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2007.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2022.

本データシートはAtmelのATmega103英語版データシート(改訂0945I-02/07)の翻訳日本語版で、ATmega103改訂F/G障害情報(改訂1197D-12/99)、改訂L障害情報(改訂1436C-09/01)の内容も含まれています。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。