8ビット AVR マイクロ コントローラ

ATmega128A

完全 データシート

序説

Atmel® ATmega128AはAVR®強化RISC構造に基づく低電力CMOS 8ビット マイクロ コントローラです。単一クロック周期での強力な命令の実行により、ATmega128AはMHz当たり1MIPS近くの単位処理量を達成します。これは消費電力対処理速度に対するデバイスの最適化をシステム設計者に許します。

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 8151J-09/2015, 8151JJ3-09/2021

特徴

- 高性能、低消費Atmel® AVR® 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ
- 進化したRISC構造
  - 強力な134命令(多くは1周期で実行)
  - 32個の1ﾊﾞｲﾄ長汎用ﾚｼﾞｽﾀ+周辺制御ﾚｼﾞｽﾀ
  - 完全なｽﾀﾃｨｯｸ動作
  - 16MHz時、16MIPSに達する高速動作
  - 2周期実行の乗算命令
- 高耐久不揮発性ﾒﾓﾘ部
  - 実装自己書き換え可能な128Kﾊﾞｲﾄ(64K語)ﾌﾗｯｼｭ ﾒﾓﾘ内蔵
  - 4Kﾊﾞｲﾄの EEPROM
  - 4Kﾊﾞｲﾄの内蔵SRAM
  - 書き換え回数: 10,000/ﾌﾗｯｼｭ, 100,000/EEPROM
  - ﾃﾞｰﾀ保持力: 20年/85℃, 100年/25℃
  - 個別施錠ﾋﾞｯﾄを持つ任意のﾌﾞｰﾄ ｺｰﾄﾞ領域
    - ﾁｯﾌﾟ内ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑによる実装書き換え
    - 真の書き込み中の読み出し動作
  - 64Kﾊﾞｲﾄまでの任意外部ﾒﾓﾘ空間
  - ｿﾌﾄｳｪｱ保護用の設定可能な施錠機能
  - 実装書き込み用SPIｲﾝﾀｰﾌｪｰｽ
- JTAG (IEEE 1149.1準拠) ｲﾝﾀｰﾌｪｰｽ
  - JTAG規格に従った境界走査(Boundary-Scan)能力
  - 広範囲な内蔵ﾃﾞﾊﾞｯｸﾞ機能
  - JTAGｲﾝﾀｰﾌｪｰｽ経由でのﾌﾗｯｼｭ、EEPROM、ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- Atmel® QTouch®ﾗｲﾌﾞﾗﾘ支援
  - 容量性接触の釦、滑動部、輪
  - QTouchとQMatrixの採取
  - 64までの感知ﾁｬﾈﾙ
- 内蔵周辺機能
  - 独立した前置分周器、比較機能付き2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 独立した前置分周器、比較、捕獲機能付き2つの拡張した16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 専用発振器と8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀによる実時間計数器(RTC)
  - 2つの8ﾋﾞｯﾄPWM出力と6つの1～16ﾋﾞｯﾄPWM出力
  - 比較出力変調器
  - 8ﾁｬﾈﾙの10ﾋﾞｯﾄ A/D変換器
    - ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力 8ﾁｬﾈﾙ
    - 差動入力 7ﾁｬﾈﾙ
    - 可変利得(×1,×10,×200)差動入力 2ﾁｬﾈﾙ
  - ﾊﾞｲﾄ対応の2線直列ｲﾝﾀｰﾌｪｰｽ
  - 設定可能な2つの直列USART
  - 主装置/従装置動作SPI直列ｲﾝﾀｰﾌｪｰｽ
  - 設定可能な専用発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ
  - ｱﾅﾛｸﾞ比較器
- 特殊ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ機能
  - 電源ONﾘｾｯﾄ回路と設定可能な低電圧検出器(BOD)
  - 校正可能な内蔵RC発振器
  - 外部及び内部の割り込み
  - ｱｲﾄﾞﾙ、A/D変換雑音低減、ﾊﾟﾜｰｾｰﾌﾞ、ﾊﾟﾜｰﾀﾞｳﾝ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲの6つの低消費動作
  - ｿﾌﾄｳｪｱ選択可能なｸﾛｯｸ周波数
  - ﾋｭｰｽﾞでのATmega103互換動作
  - 全ﾌﾟﾙｱｯﾌﾟ禁止機能
- I/Oと外囲器
  - 53ﾋﾞｯﾄの設定可能なI/O
  - 64ﾘｰﾄﾞTQFP、64ﾊﾟｯﾄﾞQFN/MLF
- 動作電圧
  - 2.7～5.5V
- 動作速度
  - 0～16MHz

目次

序説 1
特徴 2
1. 概要 5
2. 製品形態要約 6
3. 注文情報 6
4. 構成図 7
5. ATmega128AとATmega103の互換性 8
6. ピン配置 9
6.1. ピン説明 9
7. 資料 11
8. データ保持力 11
9. コード例について 11
10. 容量性接触感知 11
11. AVR CPU コア 12
11.1. 概要 12
11.2. ALU (Arithmetic Logic Unit) 12
11.3. ステータス レジスタ 13
11.4. 汎用レジスタ ファイル 14
11.5. スタック ポインタ 14
11.6. 命令実行タイミング 15
11.7. リセットと割り込みの扱い 16
12. AVRのメモリ 18
12.1. 概要 18
12.2. 実装書き換え可能なプログラム用フラッシュ メモリ 18
12.3. データ用SRAMメモリ 18
12.4. データ用EEPROMメモリ 20
12.5. I/Oメモリ (レジスタ) 20
12.6. 外部メモリ インターフェース 21
12.7. メモリ関係レジスタ 25
13. システム クロックとクロック選択 30
13.1. クロック系統とその配給 30
13.2. クロック元 30
13.3. 既定のクロック元 31
13.4. クリスタル用発振器 31
13.5. 低周波数クリスタル用発振器 31
13.6. 外部RC発振器 32
13.7. 校正付き内蔵RC発振器 32
13.8. 外部クロック信号 33
13.9. タイマ/カウンタ用発振器 33
13.10. クロック関係用レジスタ 34
14. 電力管理と休止形態 36
14.1. 休止形態種別 36
14.2. アイドル動作 36
14.3. A/D変換雑音低減動作 36
14.4. パワーダウン動作 37
14.5. パワーセーブ動作 37
14.6. スタンバイ動作 37
14.7. 拡張スタンバイ動作 37
14.8. 消費電力の最小化 37
14.9. 電力管理用レジスタ 39
15. システム制御とリセット 40
15.1. AVRのリセット 40
15.2. リセット元 40
15.3. 内部基準電圧 42
15.4. ウォッチドッグ タイマ 43
15.5. ウォッチドッグ タイマ設定変更の時間制限手順 43
15.6. リセット関係用レジスタ 44
16. 割り込み 46
16.1. ATmega128Aの割り込みベクタ 46
16.2. ベクタ移動用レジスタ 49
17. 外部割り込み 50
17.1. 外部割り込み用レジスタ 50
18. 入出力ポート 53
18.1. 概要 53
18.2. 標準デジタル入出力としてのポート 53
18.3. 交換ポート機能 56
18.4. I/Oポート用レジスタ 68
19. タイマ/カウンタ1,2,3の前置分周器 76
19.1. 概要 76
19.2. 内部クロック元 76
19.3. 前置分周器リセット 76
19.4. 外部クロック元 76
19.5. 同期系タイマ/カウンタ前置分周器用レジスタ 77
20. 16ビット タイマ/カウンタ1とタイマ/カウンタ3 78
20.1. 特徴 78
20.2. 概要 78
20.3. 16ビット レジスタのアクセス 80
20.4. タイマ/カウンタのクロック 82
20.5. 計数器部 82
20.6. 捕獲入力部 83
20.7. 比較出力部 84
20.8. 比較一致出力部 86
20.9. 動作種別 87
20.10. タイマ/カウンタのタイミング 91
20.11. 16ビット タイマ/カウンタ1,3用レジスタ 92
21. 8ビット タイマ/カウンタ0 (PWM,非同期動作) 101
21.1. 特徴 101
21.2. 概要 101
21.3. タイマ/カウンタのクロック 102
21.4. 計数器部 102
21.5. 比較出力部 103
21.6. 比較一致出力部 104
21.7. 動作種別 105
21.8. タイマ/カウンタのタイミング 108
21.9. タイマ/カウンタ0の非同期動作 109
21.10. タイマ/カウンタ0の前置分周器 110
21.11. 8ビット タイマ/カウンタ0用レジスタ 111
22. 8ビット タイマ/カウンタ2 (PWM) 116
22.1. 特徴 116
22.2. 概要 116
22.3. タイマ/カウンタのクロック 117
22.4. 計数器部 117
22.5. 比較出力部 118
22.6. 比較一致出力部 119
22.7. 動作種別 120
22.8. タイマ/カウンタのタイミング 123
22.9. 8ビット タイマ/カウンタ2用レジスタ 124
23. 比較出力変調器 (COM1C2) 128
23.1. 概要 128
23.2. 説明 128
24. SPI - 直列周辺インターフェース 129
24.1. 特徴 129
24.2. 概要 129

24.3. SSピンの機能 ・・・・・・・・・・・・・・・・・・・・・・・・ 131
24.4. データ転送形式 ・・・・・・・・・・・・・・・・・・・・・・・・ 132
24.5. SPI用レジスタ ・・・・・・・・・・・・・・・・・・・・・・・・・ 133
25. USART0とUSART1 ・・・・・・・・・・・・・・・・・・・・ 135
25.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 135
25.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 135
25.3. クロック生成 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 137
25.4. フレーム形式 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 138
25.5. USARTの初期化 ・・・・・・・・・・・・・・・・・・・・・・・・ 139
25.6. データ送信 – USART送信部 ・・・・・・・・・・・・・・ 140
25.7. データ受信 – USART受信部 ・・・・・・・・・・・・・・ 141
25.8. 非同期受信 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 144
25.9. 複数プロセッサ通信動作 ・・・・・・・・・・・・・・・・・・ 146
25.10. ボーレート設定例 ・・・・・・・・・・・・・・・・・・・・・・・ 147
25.11. USART0,1用レジスタ ・・・・・・・・・・・・・・・・・・・・ 149
26. TWI – 2線直列インターフェース ・・・・・・・・・・・・・ 153
26.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 153
26.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 153
26.3. 2線直列インターフェース バスの定義 ・・・・・・・・・・ 154
26.4. データ転送とフレーム形式 ・・・・・・・・・・・・・・・・・ 155
26.5. 複数主装置バス システムの調停と同期 ・・・・・・ 157
26.6. TWIの使用法 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 158
26.7. 転送種別 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 160
26.8. 複数主装置システムでのバス競合と調停 ・・・・・ 169
26.9. TWI用レジスタ ・・・・・・・・・・・・・・・・・・・・・・・・ 170
27. アナログ比較器 ・・・・・・・・・・・・・・・・・・・・・・・ 173
27.1. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 173
27.2. アナログ比較器入力選択 ・・・・・・・・・・・・・・・・・・ 173
27.3. アナログ比較器用レジスタ ・・・・・・・・・・・・・・・・・ 173
28. ADC – A/D変換器 ・・・・・・・・・・・・・・・・・・・・ 175
28.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 175
28.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 175
28.3. 変換の開始 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 176
28.4. 前置分周と変換タイミング ・・・・・・・・・・・・・・・・・ 177
28.5. チャネル変更と基準電圧選択 ・・・・・・・・・・・・・・ 178
28.6. 雑音低減機能 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 179
28.7. A/D変換の結果 ・・・・・・・・・・・・・・・・・・・・・・・・ 180
28.8. A/D変換用レジスタ ・・・・・・・・・・・・・・・・・・・・・・ 181
29. JTAGインターフェースと内蔵デバッグ機能 ・・・・・ 185
29.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 185
29.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 185
29.3. 検査入出力ポート (TAP:Test Access Port) ・・ 186
29.4. TAP制御器 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 186
29.5. 境界走査チェーン(Boundary-Scan Chain)の使用 ・・・・ 187
29.6. 内蔵デバッグ機能の使用 ・・・・・・・・・・・・・・・・・・ 187
29.7. 内蔵デバッグ特殊JTAG命令 ・・・・・・・・・・・・・・・・ 187
29.8. JTAGプログラミング能力の使用 ・・・・・・・・・・・・ 187
29.9. 参考文献 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 188
29.10. IEEE1149.1(JTAG)境界走査 ・・・・・・・・・・・・・・ 188
29.11. データ レジスタ ・・・・・・・・・・・・・・・・・・・・・・・ 188
29.12. 境界走査(Boundary-Scan)用JTAG命令 ・・・・ 189
29.13. 境界走査チェーン(Boundary-Scan Chain) ・・・・ 190
29.14. ATmega128Aの境界走査順 ・・・・・・・・・・・・・・ 196
29.15. 境界走査記述言語(BSDL)ファイル ・・・・・・・・・・ 197
29.16. JTAG関連レジスタ ・・・・・・・・・・・・・・・・・・・・・・ 198
30. ブート ローダ支援 – RWW自己プログラミング ・・・ 199
30.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 199
30.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 199
30.3. フラッシュ メモリの応用領域とブート ローダ領域 ・・・ 199
30.4. 書き中に読みが可能な領域と不能な領域 ・・ 199
30.5. ブート ローダ施錠ビット ・・・・・・・・・・・・・・・・・・ 201
30.6. ブート ローダ プログラムへの移行 ・・・・・・・・・・・・ 201
30.7. 自己プログラミングでのフラッシュ アドレス指定 ・・・・・ 202
30.8. フラッシュ メモリの自己プログラミング ・・・・・・・・・・・ 202
30.9. ブート ローダ用レジスタ ・・・・・・・・・・・・・・・・・・・ 207
31. メモリ プログラミング ・・・・・・・・・・・・・・・・・・・・ 208
31.1. プログラム メモリとデータ メモリ用施錠ビット ・・・・・・・ 208
31.2. ヒューズ ビット ・・・・・・・・・・・・・・・・・・・・・・・・・ 209
31.3. 識票バイト ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 210
31.4. 校正バイト ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 210
31.5. ページ容量 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 210
31.6. 並列プログラミング ・・・・・・・・・・・・・・・・・・・・・・ 211
31.7. 並列プログラミング手順 ・・・・・・・・・・・・・・・・・・・ 212
31.8. 直列プログラミング ・・・・・・・・・・・・・・・・・・・・・・ 217
31.9. JTAGインターフェース経由プログラミング ・・・・・・・・・・ 219
32. 電気的特性 ・・・・・・・・・・・・・・・・・・・・・・・・・ 226
32.1. DC特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 226
32.2. 速度勾配 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 227
32.3. クロック特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 227
32.4. システムとリセットの特性 ・・・・・・・・・・・・・・・・・・ 228
32.5. 2線直列インターフェース特性 ・・・・・・・・・・・・・・・ 229
32.6. 並列プログラミング特性 ・・・・・・・・・・・・・・・・・・・ 230
32.7. SPI タイミング特性 ・・・・・・・・・・・・・・・・・・・・・・・ 232
32.8. A/D変換器特性 ・・・・・・・・・・・・・・・・・・・・・・・・・ 233
32.9. 外部データ メモリ タイミング ・・・・・・・・・・・・・・・・ 234
33. 代表特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 237
33.1. 活動動作消費電流 ・・・・・・・・・・・・・・・・・・・・・・・ 237
33.2. アイドル動作消費電流 ・・・・・・・・・・・・・・・・・・・・ 239
33.3. パワーダウン動作消費電流 ・・・・・・・・・・・・・・・・・ 242
33.4. パワーセーブ動作消費電流 ・・・・・・・・・・・・・・・・・ 242
33.5. スタンバイ動作消費電流 ・・・・・・・・・・・・・・・・・・・ 243
33.6. ピン プルアップ ・・・・・・・・・・・・・・・・・・・・・・・・ 243
33.7. ピン駆動能力 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 244
33.8. ピン 閾値とヒステリシス ・・・・・・・・・・・・・・・・・・・ 245
33.9. 低電圧検出器(BOD)閾値とアナログ比較器オフセット ・・・・・ 246
33.10. 内部発振器周波数 ・・・・・・・・・・・・・・・・・・・・・・ 247
33.11. 周辺機能部消費電流 ・・・・・・・・・・・・・・・・・・・・・ 252
33.12. リセット消費電流とリセット パルス幅 ・・・・・・・・・・・ 253
34. レジスタ要約 ・・・・・・・・・・・・・・・・・・・・・・・・ 257
35. 命令要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 259
36. 外囲器情報 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 262
37. 障害情報 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 263
38. データシート改訂履歴 ・・・・・・・・・・・・・・・・・・・・ 265

1. 概要

Atmel AVR AVRは32個の汎用ﾚｼﾞｽﾀと豊富な命令群を兼ね備えています。32個の全ﾚｼﾞｽﾀはALU(Arithmetic Logic Unit)に直結され、ﾚｼﾞｽﾀ間命令は1ｸﾛｯｸ周期で実行されます。AVR構造は現状のCISC型ﾏｲｸﾛ ｺﾝﾄﾛｰﾗに対し、最大10倍の単位処理量向上効果があります。

ATmega128Aは次の特徴、書き込み中読める能力を持つ128Kﾊﾞｲﾄの実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘと4Kﾊﾞｲﾄの EEPROM、4Kﾊﾞｲﾄの SRAM、53本の汎用入出力線、32個の汎用作業ﾚｼﾞｽﾀ、実時間計数器(RTC)、比較動作やPWMを含む柔軟性のある4つのﾀｲﾏ/ｶｳﾝﾀ、2つのUSART、ﾊﾞｲﾄ対応の1つの2線直列ｲﾝﾀｰﾌｪｰｽ、設定変更可能な増幅器を持つ任意選択差動入力付き8ﾁｬﾈﾙの10ﾋﾞｯﾄA/D変換器、設定変更可能な内部発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、1つのSPI直列ﾎﾟｰﾄ、内蔵ﾃﾞﾊﾞｯｸﾞとﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機能にも使われるIEEE標準1149.1準拠JTAG検査ｲﾝﾀｰﾌｪｰｽ、ｿﾌﾄｳｪｱ選択可能な6つの低消費動作機能を提供します。ｱｲﾄﾞﾙ動作では動作を停止しますが、SRAM、ﾀｲﾏ/ｶｳﾝﾀ、SPIﾎﾟｰﾄ、割り込み機能は有効で、動作を継続します。ﾊﾟﾜｰﾀﾞｳﾝ動作ではﾚｼﾞｽﾀの内容は保護されますが、発振器が停止するため、以降のﾊｰﾄﾞｳｪｱ ﾘｾｯﾄか外部割り込みまで他の全機能を禁止(無効に)します。ﾊﾟﾜｰｾｰﾌﾞ動作では非同期ﾀｲﾏ用発振器が動作を継続し、ﾃﾞﾊﾞｲｽのその他が停止中であっても基準ﾀｲﾏの継続が許されます。A/D変換雑音低減動作ではA/D変換中の切り替え雑音を最小とするために、非同期ﾀｲﾏとA/D変換器を除く全ての周辺機能とCPUが停止します。ｽﾀﾝﾊﾞｲ動作ではｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子用発振器が動作し、一方ﾃﾞﾊﾞｲｽのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。拡張ｽﾀﾝﾊﾞｲ動作では主発振器と非同期ﾀｲﾏの両方が動作を継続します。

本ﾃﾞﾊﾞｲｽはAtmelの高密度不揮発性ﾒﾓﾘ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘは規定の不揮発性ﾒﾓﾘ書き込み器、SPI直列ｲﾝﾀｰﾌｪｰｽ経由、AVRｺｱ上ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑの実行によって再書き込みができます。ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑは応用領域ﾌﾗｯｼｭ ﾒﾓﾘ内の応用ﾌﾟﾛｸﾞﾗﾑの読み込みにどのｲﾝﾀｰﾌｪｰｽでも使えます。ﾌﾞｰﾄ領域ﾌﾗｯｼｭ ﾒﾓﾘ内のﾌﾟﾛｸﾞﾗﾑは真の「書き込み中の読み出し可」動作により、応用領域ﾌﾗｯｼｭ ﾒﾓﾘ更新中も実行を継続します。ﾓﾉﾘｼｯｸ ﾁｯﾌﾟ上の実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘと、8ﾋﾞｯﾄRISC型CPUの組み合わせによるAtmel ATmega128Aは多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。

ATmega128A AVRはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾃﾞﾊﾞｯｶﾞ、ｼﾐｭﾚｰﾀ、ｲﾝｻｰｷｯﾄ ｴﾐｭｰﾚｰﾀ、評価ｷｯﾄを含む専用のﾌﾟﾛｸﾞﾗﾑ及びｼｽﾃﾑ開発ﾂｰﾙで支援されます。

2. 製品形態要約

機能項目	ATmega128A
ﾋﾟﾝ数	64
フラッシュ ﾒﾓﾘ容量 (Kﾊﾞｲﾄ)	128
SRAM容量 (Kﾊﾞｲﾄ)	4
EEPROM容量 (Kﾊﾞｲﾄ)	4
外部ﾒﾓﾘ容量 (Kﾊﾞｲﾄ)	64
最大入出力ﾋﾟﾝ数	53
SPI	1
TWI (I^2C)	1
USART	2
A/D変換器 (ADC)	10ﾋﾞｯﾄ, 最大76.9ksps (最大分解能で15ksps)
ADCﾁｬﾈﾙ数	8
ｱﾅﾛｸﾞ比較器(AC)伝搬遅延	400ns (代表値)
8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ	2
16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ	2
PWMﾁｬﾈﾙ数	2(8ﾋﾞｯﾄ)+6(16ﾋﾞｯﾄ)
RC発振器精度	±3%
VREFﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ精度	-
動作電圧	2.7～5.5V
最大動作周波数	16MHz
動作温度範囲	-55～125℃
JTAG	有り

3. 注文情報

速度(MHz)	電源電圧	注文ｺｰﾄﾞ (注2)	外囲器 (注1)	動作範囲
16	2.7～5.5V	ATmega128A-AU	64A	工業用 (-40℃～85℃)
		ATmega128A-AUR (注3)		
		ATmega128A-MU	64M1	
		ATmega128A-MUR (注3)		

注1: このﾃﾞﾊﾞｲｽはｳｪﾊｰ(ﾁｯﾌﾟ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

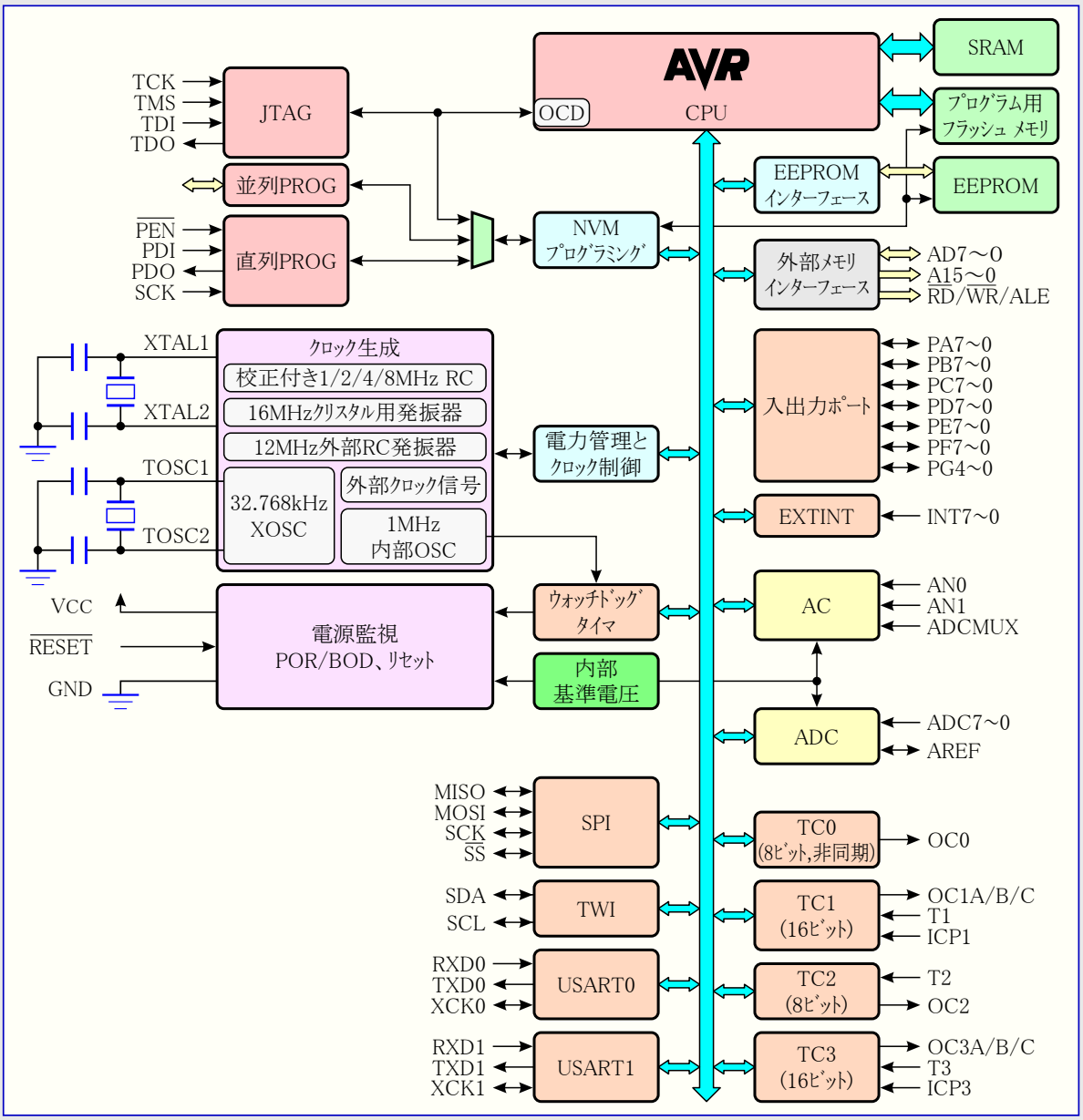
注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛ﾌﾘｰ製品。またﾊﾛｹﾞﾝ化合物ﾌﾘｰで完全に安全です。

注3: ﾃｰﾌﾟとﾘｰﾙ。

外囲器形式	
64A	64ﾘｰﾄﾞ 14×14×1.0mm厚 ﾌﾟﾗｽﾃｨｯｸ 4方向平板外囲器 (TQFP)
64M1	64ﾊﾟｯﾄﾞ 9×9×1mm 0.5mmﾋﾟｯﾁ 4方向平板ﾘｰﾄﾞなし/微小ﾘｰﾄﾞ枠外囲器 (QFN/MLF)

4. 構成図

図4-1. 構成図


AVR
CPU
OCD
SRAM
プログラム用
フラッシュ メモリ
EEPROM
EEPROM
インターフェース
JTAG
TCK
TMS
TDI
TDO
並列PROG
直列PROG
PEN
PDI
PDO
SCK
NVM
プログラミング
外部メモリ
インターフェース
AD7～0
A15～0
RD/WR/ALE
クロック生成
校正付き1/2/4/8MHz RC
16MHzクリスタル用発振器
12MHz外部RC発振器
32.768kHz
XOSC
外部クロック信号
1MHz
内部OSC
XTAL1
XTAL2
TOSC1
TOSC2
電力管理と
クロック制御
入出力ポート
PA7～0
PB7～0
PC7～0
PD7～0
PE7～0
PF7～0
PG4～0
EXTINT
INT7～0
VCC
RESET
GND
電源監視
POR/BOD、リセット
ウォッチドッグ
タイマ
内部
基準電圧
AC
AN0
AN1
ADCMUX
ADC
ADC7～0
AREF
MISO
MOSI
SCK
SS
SPI
TC0
(8ビット,非同期)
OC0
SDA
SCL
TWI
TC1
(16ビット)
OC1A/B/C
T1
ICP1
RXD0
TXD0
XCK0
USART0
TC2
(8ビット)
T2
OC2
RXD1
TXD1
XCK1
USART1
TC3
(16ビット)
OC3A/B/C
T3
ICP3

5. ATmega128AとATmega103の互換性

ATmega128AはAVR命令一式で予約した64 I/O位置に取って代わる多数のI/O位置を持つ高複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。ATmega103に対して過去との互換性を保証するため、ATmega103に存在する全てのI/O位置はATmega128Aで同じ位置です。多くの追加I/O位置は$60から始まり$FFまでの拡張I/O空間(ATmega103では内蔵SRAM空間)に追加されます。これらの位置はINやOUT命令の使用では届かず、LD/LDS/LDDやST/STS/STD命令の使用でのみ届くことができます。内蔵RAMの再配置はATmega103使用者にとって未だ問題となるかもしれません。同様に割り込みﾍﾞｸﾀ数の増加はｺｰﾄﾞ(ﾌﾟﾛｸﾞﾗﾑ)が絶対ｱﾄﾞﾚｽを使う場合に問題となるでしょう。これらの問題を解決するため、M103Cﾋｭｰｽﾞをﾌﾟﾛｸﾞﾗﾑ(0)することにより、ATmega103互換動作が選択できます。この動作では、拡張I/O領域内のどの機能も使わず、従って内蔵RAMはATmega103のように配置されます。また、拡張した割り込みﾍﾞｸﾀは取り去られます。

Atmel AVR ATmega128AはATmega103と100%ﾋﾟﾝ互換で、現状のﾌﾟﾘﾝﾄ基板上のATmega103を置換できます。「**ATmega128Aによる ATmega103の置換**」応用記述はATmega128AによるATmega103置換で使用者が承知すべき事項を記載します。

5.1. ATmega103互換動作 (訳注:本項内容は原文に対して一部補正)

M103Cﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)によって、ATmega128Aは上記のようにRAM、I/Oﾋﾟﾝ、割り込みﾍﾞｸﾀに関してATmega103と互換です。けれども、この互換動作でATmega128Aのいくつかの新機能が利用できません。これらの機能は以下で一覧されます。

- 2つに代わり1つのUSARTで、非同期動作だけです。ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀの下位8ﾋﾞｯﾄだけが利用可能です。
- 3つの比較ﾚｼﾞｽﾀ付きの2つの16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀに代わり、2つの比較ﾚｼﾞｽﾀ付きの1つの16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀです。
- 2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)は支援されません。
- ﾎﾟｰﾄCは出力専用です。
- ﾎﾟｰﾄGは交換機能だけを扱います(標準入出力ﾎﾟｰﾄ機能なし)。
- ﾎﾟｰﾄFはA/D変換のｱﾅﾛｸﾞ入力に加えﾃﾞｼﾞﾀﾙ入力だけを扱います。
- ﾌﾞｰﾄ ﾛｰﾀﾞ能力(機能)は支援されません。
- 校正付き内蔵RC発振器の周波数調整ができません。
- 外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽで、どのｱﾄﾞﾚｽ ﾋﾟﾝも標準入出力ﾋﾟﾝに開放できず、異なる外部ﾒﾓﾘ ｱﾄﾞﾚｽ領域にどの異なる待ち状態設定もできません。

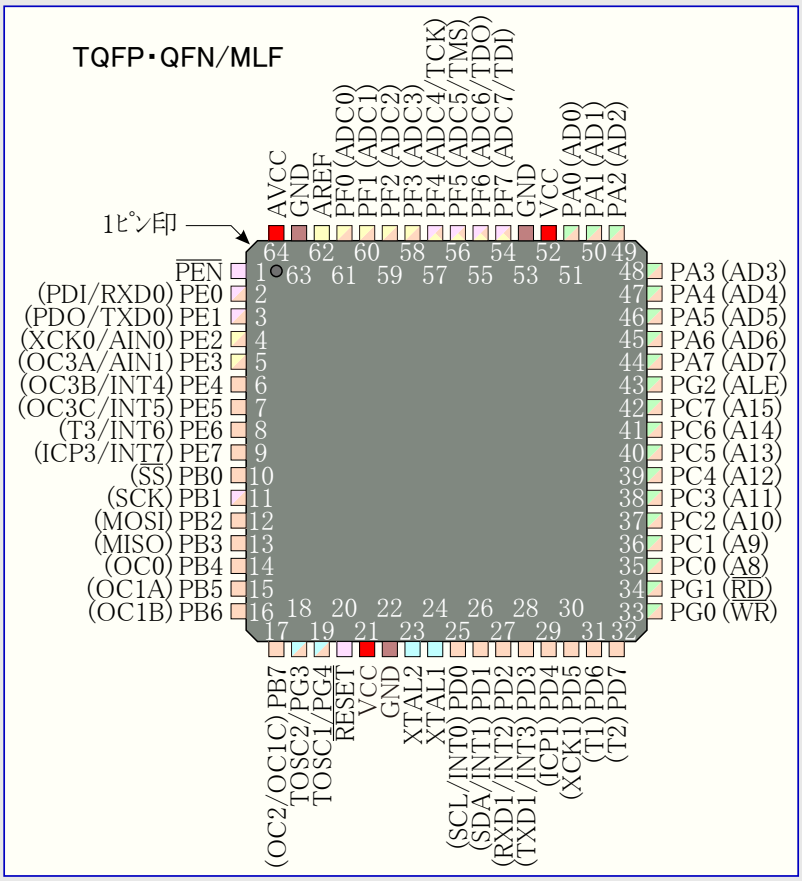
加えて、よりATmega103と互換にするため、他にいくつかの小規模な相違点があります。

- MCU制御/状態ﾚｼﾞｽﾀ(MCUCSR)に外部ﾘｾｯﾄ ﾌﾗｸﾞ(EXTRF)と電源ONﾘｾｯﾄ ﾌﾗｸﾞ(PORF)だけが存在します。
- ｳｫｯﾁﾄﾞｯｸﾞの計時終了値変更について時間制限による手順が必要ありません。
- 外部割り込み0～3ﾋﾟﾝはLowﾚﾍﾞﾙ割り込みとして扱います(だけが使えます)。
- USARTはFIFO緩衝部を持たず、従ってより速くﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝになります。

ATmega128Aで同じ動作を保証するため、ATmega103での未使用I/Oﾋﾞｯﾄは0を書かれるべきです。

6. ピン配置

図6-1. ピン配置



注: このピン配置図はTQFPとQFN/MLF両方に適用します。QFN/MLFの底面パッドはGNDに半田付けされるべきです。

6.1. ピン概要

6.1.1. VCC

デジタル電源ピン。

6.1.2. GND

接地ピン。

6.1.3. PA7～PA0 (ポートA)

ポートAは(ビット毎に選択される)内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。ポートA出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力時にプルアップ抵抗が有効の場合、外部的にLowへ引かれたポートAピンは電流を吐き出します。リセット条件が有効になるとクロックが動いていなくてもポートAピンはHi-Zにされます。

ポートAは「**ポートAの交換機能**」で一覧されるATmega128Aの様々な特殊機能も扱います。

関連リンク 57頁の「ポートAの交換機能」

6.1.4. PB7～PB0 (ポートB)

ポートBは(ビット毎に選択される)内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。ポートB出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力時にプルアップ抵抗が有効の場合、外部的にLowへ引かれたポートBピンは電流を吐き出します。リセット条件が有効になるとクロックが動いていなくてもポートBピンはHi-Zにされます。

ポートBは「**ポートBの交換機能**」で一覧されるATmega128Aの様々な特殊機能も扱います。

関連リンク 58頁の「ポートBの交換機能」

6.1.5. PC7～PC0 (ポートC)

ポートCは(ビット毎に選択される)内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。ポートC出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力時にプルアップ抵抗が有効の場合、外部的にLowへ引かれたポートCピンは電流を吐き出します。リセット条件が有効になるとクロックが動いていなくてもポートCピンはHi-Zにされます。

ポートCは「**ポートCの交換機能**」で一覧されるATmega128Aの様々な特殊機能も扱います。ATmega 103互換動作に於けるポートCは出力専用で、リセット条件が有効になるとき、Hi-Zにされません。

注: Atmel AVR ATmega128Aは既定でATmega103互換動作で出荷されます。従って、PCBへ設置される前に(ATmega103互換禁止に)ﾌﾟﾛｸﾞﾗﾐﾝｸﾞされない場合、ATmega103互換動作が禁止されるまで、ﾎﾟｰﾄCは初回通電で出力になります。

関連ﾘﾝｸ 60頁の「ﾎﾟｰﾄCの交換機能」

6.1.6. PD7～PD0 (ﾎﾟｰﾄD)

ﾎﾟｰﾄDは(ﾋﾞｯﾄ毎に選択される)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄD出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力時にﾌﾟﾙｱｯﾌﾟ抵抗が有効の場合、外部的にLowへ引かれたﾎﾟｰﾄDﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄDﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄDは「**ﾎﾟｰﾄDの交換機能**」で一覧されるATmega128Aの様々な特殊機能も扱います。

関連ﾘﾝｸ 61頁の「ﾎﾟｰﾄDの交換機能」

6.1.7. PE7～PE0 (ﾎﾟｰﾄE)

ﾎﾟｰﾄEは(ﾋﾞｯﾄ毎に選択される)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄE出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力時にﾌﾟﾙｱｯﾌﾟ抵抗が有効の場合、外部的にLowへ引かれたﾎﾟｰﾄEﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄEﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄEは「**ﾎﾟｰﾄEの交換機能**」で一覧されるATmega128Aの様々な特殊機能も扱います。

関連ﾘﾝｸ 63頁の「ﾎﾟｰﾄEの交換機能」

6.1.8. PF7～PF0 (ﾎﾟｰﾄF)

ﾎﾟｰﾄFはA/D変換器へのｱﾅﾛｸﾞ入力として扱います。

A/D変換器不使用時、ﾎﾟｰﾄFは8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄとしても扱います。ﾎﾟｰﾄ ﾋﾟﾝは(ﾋﾞｯﾄ毎に選択される)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗を提供できます。ﾎﾟｰﾄF出力緩衝部は高い吐き出しと吸い込みの両能力の対称駆動特性です。入力時にﾌﾟﾙｱｯﾌﾟ抵抗が活有効の場合、外部的にLowへ引かれたﾎﾟｰﾄFﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄFﾋﾟﾝはHi-Zにされます。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、ﾘｾｯﾄが起きてもPF7(TDI)、PF5(TMS)、PF4(TCK)ﾋﾟﾝのﾌﾟﾙｱｯﾌﾟ抵抗は有効にされます。

ﾃﾞｰﾀを移動出力するTAP状態移行以外、TDOﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄFはJTAGｲﾝﾀｰﾌｪｰｽ機能も扱います。

ATmega103互換動作でのﾎﾟｰﾄFは入力ﾎﾟｰﾄだけです。

関連ﾘﾝｸ 65頁の「ﾎﾟｰﾄFの交換機能」

6.1.9. PG4～PG0 (ﾎﾟｰﾄG)

ﾎﾟｰﾄGは(ﾋﾞｯﾄ毎に選択される)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き5ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄG出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力時にﾌﾟﾙｱｯﾌﾟ抵抗が有効の場合、外部的にLowへ引かれたﾎﾟｰﾄGﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄGﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄGは様々な特殊機能も扱います。

Atmel AVR ATmega103互換動作でのこれらのﾋﾟﾝは外部ﾒﾓﾘへのｽﾄﾛｰﾌﾞ信号や32kHz発振器への入出力としてだけを扱い、ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくても非同期にPG0=1,PG1=1,PG2=0に初期化されます。PG3とPG4は発振器ﾋﾟﾝです。

関連ﾘﾝｸ 67頁の「ﾎﾟｰﾄGの交換機能」

6.1.10. $\overline{\text{RESET}}$

ﾘｾｯﾄ入力。最小ﾊﾟﾙｽ幅より長いこのﾋﾟﾝのLowﾚﾍﾞﾙはｸﾛｯｸが動いていなくてもﾘｾｯﾄを生成します。最小ﾊﾟﾙｽ幅は「**ｼｽﾃﾑとﾘｾｯﾄの特性**」で与えられます。より短いﾊﾟﾙｽはﾘｾｯﾄの生成が保証されません。

関連ﾘﾝｸ 228頁の「ｼｽﾃﾑとﾘｾｯﾄの特性」

6.1.11. XTAL1

発振器反転増幅器への入力と内部ｸﾛｯｸ操作回路への入力。

6.1.12. XTAL2

発振器反転増幅器からの出力。

6.1.13. AVCC

AVCCはﾎﾟｰﾄFとA/D変換器用供給電圧(電源)ﾋﾟﾝです。例えA/D変換が使われなくても、外部的にVCCへ接続されるべきです。A/D変換が使われる場合、VCCから低域通過濾波器を通して接続されるべきです。

6.1.14. AREF

AREFはA/D変換器用ｱﾅﾛｸﾞ基準(電圧)ﾋﾟﾝです。

6.1.15. $\overline{\text{PEN}}$

SPI直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作用ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾋﾟﾝで、内部的にHighへﾌﾟﾙｱｯﾌﾟされます。電源ONﾘｾｯﾄ中、このﾋﾟﾝのLow保持によってﾃﾞﾊﾞｲｽはSPI直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作へ移行します。通常動作中、このﾋﾟﾝに機能はありません。

7. 資料

包括的なﾃﾞｰﾀｼｰﾄ、応用記述、開発ﾂｰﾙ群はhttp://www.atmel.com/avrでのﾀﾞｳﾝﾛｰﾄﾞで利用可能です。

8. ﾃﾞｰﾀ保持力

信頼性証明結果はﾃﾞｰﾀ保持誤り率の反映を示し、20年以上/85℃または100年以上/25℃で1PPMよりずっと小さな値です。

9. ｺｰﾄﾞ例について

この資料はﾃﾞﾊﾞｲｽの様々な部分の使用法を手短に示す簡単なｺｰﾄﾞ例を含みます。これらのｺｰﾄﾞ例はｱｾﾝﾌﾞﾙまたはｺﾝﾊﾟｲﾙに先立ってﾃﾞﾊﾞｲｽ定義ﾍｯﾀﾞ ﾌｧｲﾙがｲﾝｸﾙｰﾄﾞされると仮定します。全てのCｺﾝﾊﾟｲﾗ製造業者がﾍｯﾀﾞﾌｧｲﾙ内にﾋﾞｯﾄ定義を含めるとは限らず、またCでの割り込みの扱いがｺﾝﾊﾟｲﾗに依存することに注意してください。より多くの詳細についてはCｺﾝﾊﾟｲﾗの資料で確認してください。

拡張I/O領域に配置したI/Oﾚｼﾞｽﾀに対し、IN, OUT, SBIS, SBIC, CBI, SBI命令は拡張I/O領域へのｱｸｾｽを許す命令に置き換えられなければなりません。代表的にはSBRS, SBRC, SBR, CBR命令と組み合わせたLDS, STS命令です。

10. 容量性接触感知

Atmel QTouchﾗｲﾌﾞﾗﾘは殆どのAtmel AVRﾏｲｸﾛ ｺﾝﾄﾛｰﾗ上の接触感知ｲﾝﾀｰﾌｪｰｽを実現するための使い易い解決策を提供します。QTouchﾗｲﾌﾞﾗﾘはQTouchとQMatrix®採取法用の支援を含みます。

接触感知は適切なAVRﾏｲｸﾛ ｺﾝﾄﾛｰﾗ用Atmel QTouchﾗｲﾌﾞﾗﾘをﾘﾝｸすることによってどの応用にも追加することができます。これは接触ﾁｬﾈﾙと感知器を定義するのに簡単なAPIの組を使い、その後にﾁｬﾈﾙ情報を取得して接触感知器の状態を判断するために接触感知APIを呼ぶことによって行われます。

QTouchﾗｲﾌﾞﾗﾘは無料で、次の場所、www.atmel.com/qtouchlibraryのAtmelｳｪﾌﾞｻｲﾄからﾀﾞｳﾝﾛｰﾄﾞすることができます。実装の詳細と他の情報についてはAtmelｳｪﾌﾞｻｲﾄからも入手可能なAtmel QTouchﾗｲﾌﾞﾗﾘ使用者の手引きを参照してください。

11. AVR CPU ｺｱ

11.1. 概要

ここでは一般的なAtmel AVRｺｱ構造について説明します。このCPUｺｱの主な機能は正しいﾌﾟﾛｸﾞﾗﾑ実行を保証することです。従ってCPUはﾒﾓﾘ ｱｸｾｽ、計算実行、周辺制御、割り込み操作ができなければなりません。

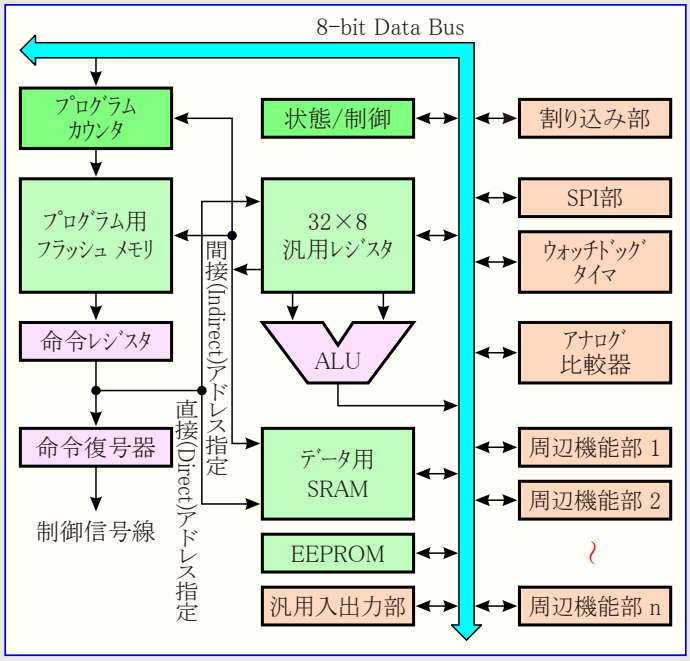
最大効率と平行処理のため、AVRはﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀに対してﾒﾓﾘとﾊﾞｽを分離するﾊｰﾊﾞｰﾄﾞ構造を使います。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の命令は単一段のﾊﾟｲﾌﾟﾗｲﾝで実行されます。1命令の実行中に次の命令がﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから事前取得されます。この概念は全部のｸﾛｯｸ周期で命令実行を可能にします。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘです。

高速ﾚｼﾞｽﾀ ﾌｧｲﾙは1ｸﾛｯｸ周期ｱｸｾｽの32個の8ﾋﾞｯﾄ長汎用ﾚｼﾞｽﾀを含みます。これは1ｸﾛｯｸ周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのｵﾍﾟﾗﾝﾄﾞがﾚｼﾞｽﾀ ﾌｧｲﾙからの出力で、1ｸﾛｯｸ周期内でその操作が実行され、その結果がﾚｼﾞｽﾀ ﾌｧｲﾙに書き戻されます。

効率的なｱﾄﾞﾚｽ計算ができるﾃﾞｰﾀ空間ｱﾄﾞﾚｽ指定用に、32個中の6つのﾚｼﾞｽﾀが3つの16ﾋﾞｯﾄ長間接ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ用ﾚｼﾞｽﾀとして使われます。これらｱﾄﾞﾚｽ ﾎﾟｲﾝﾀの1つはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の定数表参照用ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとしても使えます。これら16ﾋﾞｯﾄ長付加機能ﾚｼﾞｽﾀはX,Y,Zﾚｼﾞｽﾀで、本項内で後述されます。

ALUはﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の算術及び論理操作を支援します。単一ﾚｼﾞｽﾀ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)が更新されます。

図11-1. AVR MCU構造



ﾌﾟﾛｸﾞﾗﾑの流れは条件/無条件分岐や呼び出し命令によって提供され、全ｱﾄﾞﾚｽ空間を直接ｱﾄﾞﾚｽ指定できます。AVR命令の多くは16ﾋﾞｯﾄ語(ﾜｰﾄﾞ)形式です。全てのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのｱﾄﾞﾚｽは(**訳注**:定数のみを除き)16または32ﾋﾞｯﾄ長命令を含みます。

ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ空間はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域と応用ﾌﾟﾛｸﾞﾗﾑ領域の2つに分けられます。どちらの領域にも書き込み禁止や読み書き防止用の専用施錠ﾋﾞｯﾄがあります。応用ﾌﾗｯｼｭ ﾒﾓﾘ領域内に書き込むSPM命令はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域内に属さ(存在し)なければなりません。

割り込みやｻﾌﾞﾙｰﾁﾝ呼び出し中、戻りｱﾄﾞﾚｽを示すﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)はｽﾀｯｸに保存されます。ｽﾀｯｸは一般的なﾃﾞｰﾀ用SRAM上に実際には割り当てられ、従ってｽﾀｯｸ容量は全SRAM容量とSRAM使用量でのみ制限されます。全ての使用者ﾌﾟﾛｸﾞﾗﾑはﾘｾｯﾄ処理ﾙｰﾁﾝで(ｻﾌﾞﾙｰﾁﾝ呼び出しや割り込みが実行される前に)、ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)を初期化しなければなりません。SPはI/O空間で読み書き可能です。ﾃﾞｰﾀ用SRAMはAVR構造で支援される5つの異なるｱﾄﾞﾚｽ指定種別を通して容易にｱｸｾｽできます。

AVR構造に於けるﾒﾓﾘ空間は全て直線的な普通のﾒﾓﾘ配置です。

柔軟な割り込み部にはI/O空間の各制御ﾚｼﾞｽﾀとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の特別な全割り込み許可(I)ﾋﾞｯﾄがあります。全ての割り込みは割り込みﾍﾞｸﾀ表に個別の割り込みﾍﾞｸﾀを持ちます。割り込みには割り込みﾍﾞｸﾀ表の位置に従う優先順があります。下位側割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが高い優先順位です。

I/Oﾒﾓﾘ空間は制御ﾚｼﾞｽﾀ、SPI、他のI/O機能としてCPU周辺機能用の64ｱﾄﾞﾚｽを含みます。I/Oﾒﾓﾘは直接またはﾚｼﾞｽﾀ ﾌｧｲﾙの次のﾃﾞｰﾀ空間位置$20～$5Fとしてｱｸｾｽできます。加えてATmega128AにはST/STS/STDとLD/LDS/LDD命令だけ使えるSRAM内の$60～$FFに拡張I/O空間があります。

11.2. ALU (Arithmetic Logic Unit)

高性能なAtmel AVRのALUは32個の全汎用ﾚｼﾞｽﾀとの直結で動作します。汎用ﾚｼﾞｽﾀ間または汎用ﾚｼﾞｽﾀと即値間の演算操作は単一ｸﾛｯｸ周期内で実行されます。ALU操作は算術演算、論理演算、ﾋﾞｯﾄ操作の3つの主な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「命令要約」章をご覧ください。

11.3. ステータス レジスタ

ステータス レジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータス レジスタは「**命令一式参考書**」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータス レジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはソフトウェアによって扱われなければなりません。

11.3.1. SREG – ステータス レジスタ (Status Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : SREG
変位 : $3F ($5F)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$5Fです。

ビット	7	6	5	4	3	2	1	0
	I	T	H	S	V	N	Z	C
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – I : 全割り込み許可** (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるために設定(1)されなければなりません。その時に個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するために、RETI命令によって設定(1)されます。Iビットは「**命令一式参考書**」で記述されるようにSEIやCLI命令で応用(プログラム)によって設定(1)や解除(0)もできます。

● **ビット6 – T : ビット変数** (Bit Copy Storage)

ビット複写命令、BLD(Bit LoaD)とBST(Bit STore)は操作したビットの転送元または転送先として、このTビットを使います。レジスタ ファイルのレジスタからのビットはBST命令によりTに複写でき、TのビットはBLD命令によってレジスタ ファイルのレジスタ内のビットに複写できます。

● **ビット5 – H : ハーフキャリー フラグ** (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「命令要約」記述をご覧ください。

● **ビット4 – S : 符号** (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については「**命令要約**」記述をご覧ください。

● **ビット3 – V : 2の補数溢れフラグ** (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「**命令要約**」記述をご覧ください。

● **ビット2 – N : 負フラグ** (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「**命令要約**」記述をご覧ください。

● **ビット1 – Z : ゼロ フラグ** (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「**命令要約**」記述をご覧ください。

● **ビット0 – C : キャリー フラグ** (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(またはボロー)を示します。詳細情報については「**命令要約**」記述をご覧ください。

11.4. 汎用ﾚｼﾞｽﾀ ﾌｧｲﾙ

このﾚｼﾞｽﾀ ﾌｧｲﾙはAtmel AVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がﾚｼﾞｽﾀ ﾌｧｲﾙによって支援されます。

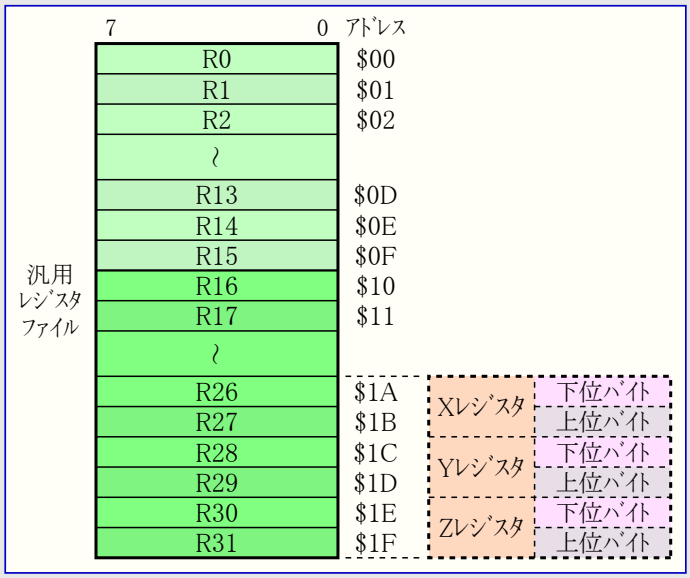
- 1つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力
- 1つの16ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力

右図はCPU内の32個の汎用作業ﾚｼﾞｽﾀの構造を示します。

ﾚｼﾞｽﾀ ﾌｧｲﾙを操作する殆どの命令は全てのﾚｼﾞｽﾀに直接ｱｸｾｽし、それらの殆どは単一周期命令です。

右図で示されるように各ﾚｼﾞｽﾀは使用者ﾃﾞｰﾀ空間の最初の32位置へ直接的に配置することで、それらはﾃﾞｰﾀ ﾒﾓﾘ ｱﾄﾞﾚｽも割り当てられます。例え物理的にSRAM位置として実装されていなくてもX,Y,Zﾚｼﾞｽﾀ(ﾎﾟｲﾝﾀ)がﾚｼﾞｽﾀ ﾌｧｲﾙ内のどのﾚｼﾞｽﾀの指示にも設定できるように、このﾒﾓﾘ構成は非常に柔軟なﾚｼﾞｽﾀのｱｸｾｽを提供します。

図11-2. Atmel AVR CPU 汎用ﾚｼﾞｽﾀ構成図

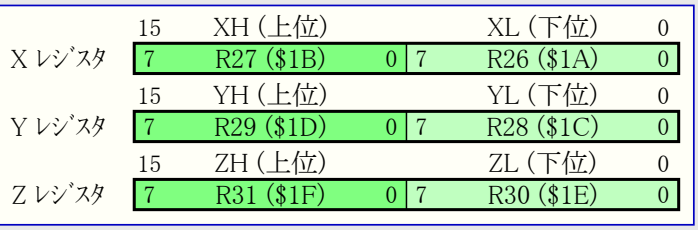


11.4.1. Xﾚｼﾞｽﾀ, Yﾚｼﾞｽﾀ, Zﾚｼﾞｽﾀ

R26～R31ﾚｼﾞｽﾀには通常用途の使用にいくつかの追加機能があります。これらのﾚｼﾞｽﾀはﾃﾞｰﾀ空間の間接ｱﾄﾞﾚｽ指定用の16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀです。3つのX,Y,Z間接ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは右図で記載したように定義されます。

種々のｱﾄﾞﾚｽ指定種別で、これらのｱﾄﾞﾚｽ ﾚｼﾞｽﾀは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「**命令一式参考書**」をご覧ください)。

図11-3. X,Y,Zﾚｼﾞｽﾀ構成図



11.5. ｽﾀｯｸ ﾎﾟｲﾝﾀ

ｽﾀｯｸは主に一時ﾃﾞｰﾀの保存、局所変数の保存、割り込みとｻﾌﾞﾙｰﾁﾝ呼び出し後の戻りｱﾄﾞﾚｽの保存に使われます。ｽﾀｯｸが高位ﾒﾓﾘから低位ﾒﾓﾘへ伸長するように実行されることに注意してください。ｽﾀｯｸ ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀは常にこのｽﾀｯｸの先頭(**訳注**:次に使われるべき位置)を指し示します。ｽﾀｯｸ ﾎﾟｲﾝﾀはｻﾌﾞﾙｰﾁﾝや割り込みのｽﾀｯｸが配置されるﾃﾞｰﾀSRAMのｽﾀｯｸ領域を指し示します。ｽﾀｯｸ PUSH命令はｽﾀｯｸ ﾎﾟｲﾝﾀを減らします。

ﾃﾞｰﾀSRAM内のｽﾀｯｸ空間はｻﾌﾞﾙｰﾁﾝ呼び出しの実行や割り込みの許可の何れにも先立ってﾌﾟﾛｸﾞﾗﾑによって定義されなければなりません。初期ｽﾀｯｸ ﾎﾟｲﾝﾀ値は内部SRAMの最終ｱﾄﾞﾚｽに等しく、ｽﾀｯｸ ﾎﾟｲﾝﾀはSRAMの先頭以上に設定されなければなりません。「ﾃﾞｰﾀ用SRAMﾒﾓﾘ」のﾃﾞｰﾀ ﾒﾓﾘ配置図をご覧ください。

ｽﾀｯｸ ﾎﾟｲﾝﾀの詳細については下表をご覧ください。

表11-1. ｽﾀｯｸ ﾎﾟｲﾝﾀ命令

命令	ｽﾀｯｸ ﾎﾟｲﾝﾀ	内容
PUSH	-1	ﾃﾞｰﾀがｽﾀｯｸ上に押し込まれます。
CALL,ICALL,RCALL	-2	ｻﾌﾞﾙｰﾁﾝ呼び出しまたは割り込みでの戻りｱﾄﾞﾚｽがｽﾀｯｸ上に押し込まれます。
POP	+1	ﾃﾞｰﾀがｽﾀｯｸから引き出されます。
RET,RETI	+2	ｻﾌﾞﾙｰﾁﾝまたは割り込みからの復帰での戻りｱﾄﾞﾚｽがｽﾀｯｸから引き出されます。

Atmel AVRのｽﾀｯｸ ﾎﾟｲﾝﾀはI/O空間内の2つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀとして実装されます。実際に使われるﾋﾞｯﾄ数は(そのﾃﾞﾊﾞｲｽ)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(ﾃﾞﾊﾞｲｽ)のﾃﾞｰﾀ空間もあることに注意してください。その場合、SPHﾚｼﾞｽﾀは存在しません。

関連ﾘﾝｸ　18頁の「ﾃﾞｰﾀ用SRAMﾒﾓﾘ」

11.5.1. SPH,SPL (SP) – スタック ポインタ (Stack Pointer)

ビット	15	14	13	12	11	10	9	8	
$3E ($5E)	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
$3D ($5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

11.5.2. RAMPZ – RAMページ選択レジスタ (RAM Page Z Select Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : RAMPZ
変位 : $3B ($5B)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$5Bです。

ビット	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	RAMPZ0
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット0 – RAMPZ0 : 拡張RAMページ Zポインタ** (Extended RAM Page Z-pointer)

通常、RAMページ選択レジスタ(RAMPZ)はZポインタ(レジスタ)によって(間接)アクセスされる64Kバイト(単位の)RAMページを選択するために使われます。Atmel AVR ATmega128Aが64Kバイトより多くのSRAMメモリ(データ メモリ空間)を支援しないので、この(RAMPZ)レジスタはELPM/SPM命令が使われる時にアクセスされるプログラム メモリのページを選択するためだけに使われます。RAMPZ0ビット設定は次の効果があります。

- RAMPZ0=0 : プログラム メモリ アドレス$0000～$7FFF(下位64Kバイト)がELPM/SPM命令によってアクセスされます。
- RAMPZ0=1 : プログラム メモリ アドレス$8000～$FFFF(上位64Kバイト)がELPM/SPM命令によってアクセスされます。

LPM命令がRAMPZ設定によって影響を及ぼされないことに注意してください。

11.6. 命令実行タイミング

本項は命令実行の一般的なアクセス タイミングの概念を記述します。Atmel AVR CPUはチップ(デバイス)用に選択したクロック元から直接的に生成したCPUクロック(clk_{CPU})によって駆動されます。内部クロック分周は使われません。

右図はハーバード構造と高速アクセス レジスタ ファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

右図はレジスタ ファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタ オペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図11-4. 命令の取得と実行の並列動作

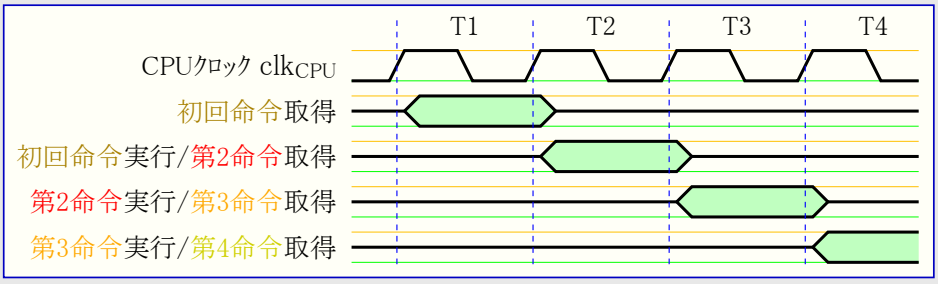
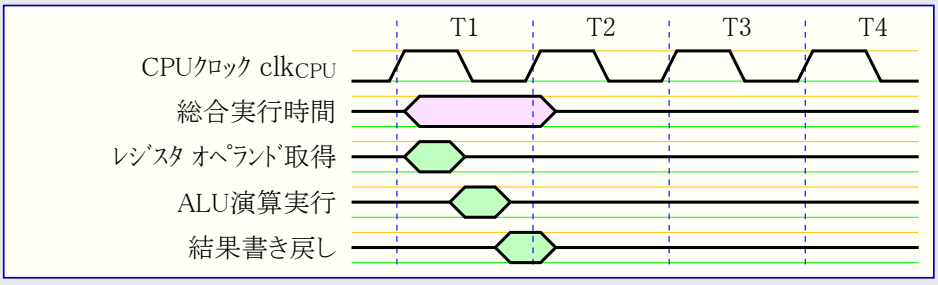


図11-5. 1周期ALU命令



11.7. リセットと割り込みの扱い

Atmel AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したﾘｾｯﾄ ﾍﾞｸﾀ各々はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間内に独立したﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀを持ちます。全ての割り込みは割り込みを許可するために、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと共に論理1が書かれなければならない個別の許可ﾋﾞｯﾄを割り当てられます。BLB02またはBLB12 ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ値によっては割り込みが自動的に禁止されるかもしれません。この特質はｿﾌﾄｳｪｱ保護を改善します。詳細については「**ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」章をご覧ください。

既定でのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間の最下位ｱﾄﾞﾚｽはﾘｾｯﾄと割り込みのﾍﾞｸﾀとして定義されます。ﾍﾞｸﾀの完全な一覧は「**割り込み**」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側ｱﾄﾞﾚｽがより高い優先順位です。ﾘｾｯﾄが最高優先順位で次が外部割り込み要求0(INT0)です。割り込みﾍﾞｸﾀはMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄの設定(1)によってﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭へ移動できます。より多くの情報については「**割り込み**」を参照してください。ﾘｾｯﾄ ﾍﾞｸﾀもBOOTRSTﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)によってﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭へ移動できます。「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」をご覧ください。

割り込みが起こると全割り込み許可(I)ﾋﾞｯﾄが解除(0)され、全ての割り込みは禁止されます。使用者ｿﾌﾄｳｪｱは多重割り込みを許可するため、全割り込み許可(I)ﾋﾞｯﾄへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みﾙｰﾁﾝで割り込めます。全割り込み許可(I)ﾋﾞｯﾄは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求ﾌﾗｸﾞを設定(I)する事象によって起動されます。これらの割り込みでは割り込み処理ﾙｰﾁﾝを実行するために、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは対応する現実の割り込みﾍﾞｸﾀを指示し、ﾊｰﾄﾞｳｪｱが対応する割り込み要求ﾌﾗｸﾞを解除(0)します。割り込み要求ﾌﾗｸﾞは解除(0)されるべきﾌﾗｸﾞのﾋﾞｯﾄ位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ﾋﾞｯﾄが解除(0)されている間に割り込み条件が起こると、割り込み要求ﾌﾗｸﾞが設定(1)され、割り込みが許可されるか、またはこのﾌﾗｸﾞがｿﾌﾄｳｪｱによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ﾋﾞｯﾄが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求ﾌﾗｸﾞが設定(1)されて全割り込み許可(I)ﾋﾞｯﾄが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求ﾌﾗｸﾞを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主ﾌﾟﾛｸﾞﾗﾑへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は割り込みﾙｰﾁﾝへ移行時の保存も、復帰時の再設定も自動的に行われないことに注意してください。これはｿﾌﾄｳｪｱによって扱われなければなりません。

割り込みを禁止するためにCLI命令を使うと、割り込みは直ちに禁止されます。CLI命令と同時に割り込みが起こっても、CLI命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使えるかを示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
IN      R16, SREG                ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存
CLI                              ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMWE              ;EEPROM主書き込み許可
SBI     EECR, EEWE               ;EEPROM書き込み開始
OUT     SREG, R16                ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
char cSREG;                      /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ保存変数定義 */
cSREG = SREG;                    /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存 */
__disable_interrupt();           /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMWE);              /* EEPROM主書き込み許可 */
EECR |= (1<<EEWE);               /* EEPROM書き込み開始 */
SREG = cSREG:                    /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰 */
```

割り込みを許可するためにSEI命令を使うと、次例で示されるようにどの保留割り込みにも先立ってSEI命令の次の命令が実行されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SEI                              ;全割り込み許可
SLEEP                            ;休止形態移行 (割り込み待ち)
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
__enable_interrupt();            /* 全割り込み許可 */
__sleep();                       /* 休止形態移行 (割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

関連ﾘﾝｸ
208頁の「ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」
46頁の「割り込み」
199頁の「ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」

11.7.1. 割り込み応答時間

許可したAtmel AVRの全割り込みに対する割り込み実行応答は最小4ｸﾛｯｸ周期です。4ｸﾛｯｸ周期後、実際の割り込み処理ﾙｰﾁﾝに対するﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀ ｱﾄﾞﾚｽが実行されます。この4ｸﾛｯｸ周期時間中にﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)がｽﾀｯｸ上に保存(ﾌﾟｯｼｭ)されます。このﾍﾞｸﾀは標準的に割り込み処理ﾙｰﾁﾝへの無条件分岐で、この分岐は3ｸﾛｯｸ周期要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4ｸﾛｯｸ周期増やされます。この増加は選択した休止形態からの起動時間に加えてです。

割り込み処理ﾙｰﾁﾝからの復帰は4ｸﾛｯｸ周期要します。これらの4ｸﾛｯｸ周期中、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC:2ﾊﾞｲﾄ)がｽﾀｯｸから取り戻され(ﾎﾟｯﾌﾟ)、ｽﾀｯｸ ﾎﾟｲﾝﾀは増加され(+2)、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されます。

12. AVRのメモリ

12.1. 概要

この章はAtmel AVR ATmega128Aの各種メモリを記述します。AVR構造にはプログラム メモリ空間とデータ メモリ空間の2つの主なメモリ空間があります。加えてATmega128Aはデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

12.2. 実装自己書き換え(ISP: In-System Program)可能なプログラム用フラッシュ メモリ

ATmega128Aはプログラム保存用に実装書き換え可能な128Kバイトのフラッシュ メモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュ メモリは64K×16ビットとして構成されます。ソフトウェア保護のため、フラッシュ プログラム メモリ空間はブート プログラム領域と応用プログラム領域の2つに分けられます。

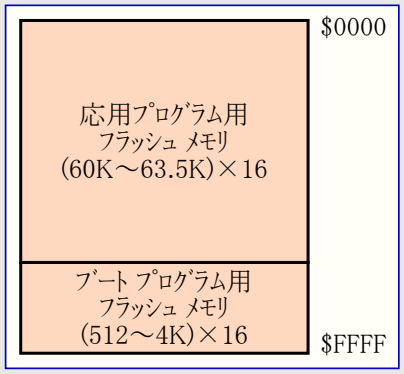
フラッシュ メモリは最低10,000回の消去/書き込み回数の耐久性があります。ATmega128Aのプログラム カウンタ(PC)は16ビット幅で従って64Kプログラム メモリ位置のアドレス指定です。ブート プログラム領域の操作と関係するソフトウェア保護用ブート施錠ビットは「**ブート ローダ支援 - 書き込み中読み出し可能な自己プログラミング**」の詳細で記述されます。「**メモリ プログラミング**」はSPI、JTAG、並列プログラミング動作でのフラッシュ メモリ プログラミングの詳細な記述を含みます。

定数表は全てのプログラム メモリ アドレス空間に配置できます。(LPM/ELPM命令記述参照)

命令の取得と実行のタイミング図は「**命令実行タイミング**」で示されます。

関連リンク
199頁の「ブート ローダ支援 - 書き込み中読み出し可能な自己プログラミング」
208頁の「メモリ プログラミング」
15頁の「命令実行タイミング」

図12-1. プログラム メモリ配置図



12.3. データ用SRAM メモリ

Atmel AVR ATmega128Aは右表で一覧されるように2つの異なるSRAMデータ メモリ用設定を支援します。

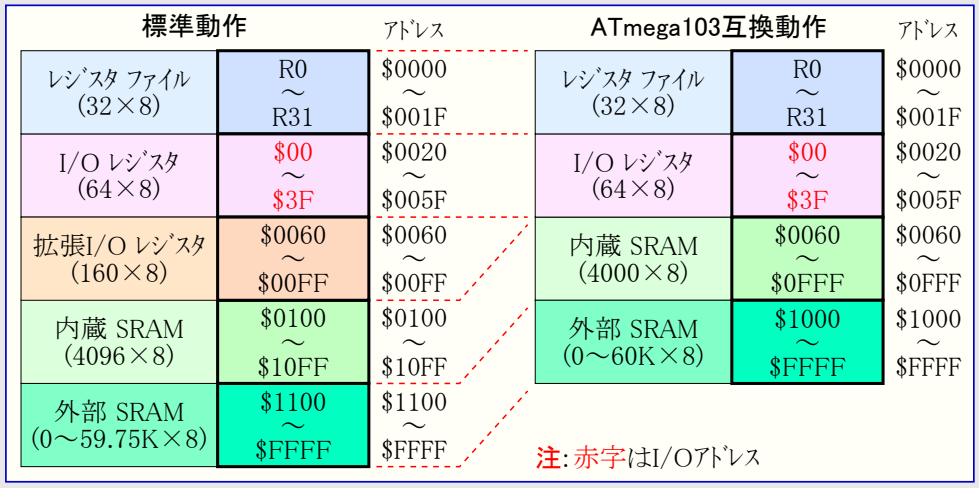
表12-1. SRAM/データ メモリ設定

設定	内蔵SRAM	外部メモリ
標準	4096	～59.75K
ATmega103互換	4000	～60K

右下の図はATmega128AのSRAM(データ空間)メモリ構成方法を示します。

ATmega128AはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O空間に対してLD/LDS/LDDとST/STS/STD命令だけが使えます。ATmega128AがATmega103互換動作のとき、この拡張I/O領域は存在しません。

図12-2. データ空間とSRAMの配置



標準動作で、最初の4352データ メモリ位置はレジスタ ファイル、I/Oメモリ、拡張I/Oメモリ、データ用内蔵SRAMに充てます。先頭の32位置はレジスタ ファイル、次の64位置は標準I/Oメモリ、その次の160位置は拡張I/Oメモリ、そして次の4096位置はデータ用内蔵SRAMに充てます。

ATmega103互換動作で、最初の4096データ メモリ位置はレジスタ ファイル、I/Oメモリと内蔵SRAMに充てます。先頭の32位置はレジスタ ファイル、次の64位置は標準I/Oメモリ、そして次の4000位置はデータ用内蔵SRAMに充てます。

任意の外部データSRAMがATmega128Aで使えます。このSRAMは64Kアドレス空間内の残りのアドレス領域を占有します。この領域は内蔵SRAMに続くアドレスから始まります。レジスタ ファイル、I/O領域、拡張I/O領域、内蔵SRAMが標準動作で最下位4352バイトを、ATmega103互換動作(拡張I/O領域なし)で最下位4096バイトを占有するので、64K(65536)バイトの外部メモリ使用時、標準動作で61184バイト、ATmega103互換動作で61440バイトの外部メモリが利用可能です。外部メモリ配置の利用法の詳細については21頁の「**外部メモリ インターフェース**」を参照してください。

アドレスが内部データ メモリ領域を越えるSRAMメモリ空間をアクセスするとき、外部データSRAMは内部データ メモリ アクセスと同じ命令を使ってアクセスされます。内部データ メモリがアクセスされるとき、読みと書きのストローブ ピン(PG1とPG0)はそのアクセス周期中全てで無効です。外部SRAM操作はMCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットの設定(1)によって許可されます。

外部SRAMのアクセスは内蔵SRAMのアクセスに比べ1ﾊﾞｲﾄ毎に1追加ｸﾛｯｸ周期を要します。これは(外部SRAMへの)LD,ST,LDS,STS,LDD,STD,PUSH,POP命令が1追加ｸﾛｯｸ周期を要することを意味します。ｽﾀｯｸが外部SRAMに配置されると、割り込みやｻﾌﾞﾙｰﾁﾝの呼び出し/復帰時、2ﾊﾞｲﾄのﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)が保存(ﾌﾟｯｼｭ)/復帰(ﾎﾟｯﾌﾟ)され、そして内部ﾒﾓﾘ ｱｸｾｽでのﾊﾟｲﾌﾟﾗｲﾝの優位性がなくなるため、2+1ｸﾛｯｸ周期の追加を要します。待ち状態付きで外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽが使われると、1ﾊﾞｲﾄの外部ｱｸｾｽは1,2,3待ち状態に対し、各々(内部SRAMｱｸｾｽに対して)2,3,4追加ｸﾛｯｸ周期要します。割り込みやｻﾌﾞﾙｰﾁﾝの呼び出しと復帰は1,2,3待ち状態に対し、命令一式手引書で示される値よりも5,7,9ｸﾛｯｸ周期多く必要です。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるｱﾄﾞﾚｽ指定種別でﾃﾞｰﾀ ﾒﾓﾘ(空間)を網羅します。ﾚｼﾞｽﾀ ﾌｧｲﾙ内のﾚｼﾞｽﾀR26～R31は間接ｱﾄﾞﾚｽ指定ﾎﾟｲﾝﾀ用ﾚｼﾞｽﾀが特徴です。

直接ｱﾄﾞﾚｽ指定はﾃﾞｰﾀ空間全体に届きます。

変位付き間接動作はYまたはZﾚｼﾞｽﾀで与えられる基準ｱﾄﾞﾚｽからの63ｱﾄﾞﾚｽ位置に届きます。

自動の事前減少付きと事後増加付きのﾚｼﾞｽﾀ間接ｱﾄﾞﾚｽ指定動作を使う時に(使われる)X,Y,Zｱﾄﾞﾚｽ ﾚｼﾞｽﾀは減少(-1)または増加(+1)されます。

Atmel AVR ATmega128Aの32個の汎用ﾚｼﾞｽﾀ、64個のI/Oﾚｼﾞｽﾀ、160個の拡張I/Oﾚｼﾞｽﾀ、4096ﾊﾞｲﾄのﾃﾞｰﾀ用内蔵SRAMは、これら全てのｱﾄﾞﾚ ｽ指定種別を通して全部ｱｸｾｽできます。ﾚｼﾞｽﾀ ﾌｧｲﾙは「**汎用ﾚｼﾞｽﾀ ﾌｧｲﾙ**」で記述されます。

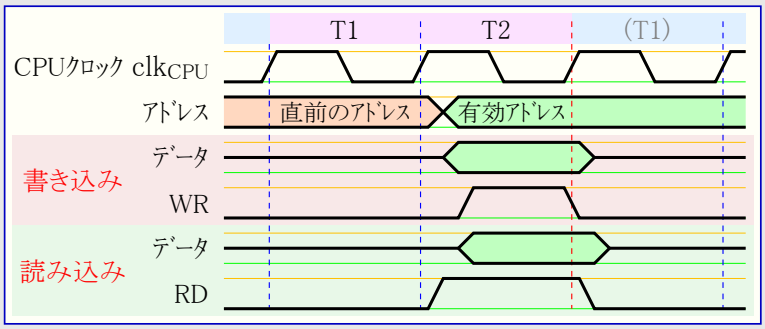
関連ﾘﾝｸ　14頁の「汎用ﾚｼﾞｽﾀ ﾌｧｲﾙ」

12.3.1. ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽ ﾀｲﾐﾝｸﾞ

この項は内部ﾒﾓﾘ ｱｸｾｽに対する一般的なｱｸｾｽ ﾀｲﾐﾝｸﾞの概念を記述します。ﾃﾞｰﾀ用内蔵SRAMｱｸｾｽは右図で記載されるように2clk_{CPU}周期で実行されます。

(**訳注**) 内蔵SRAMのｱｸｾｽを含む代表的な命令はT1,T2の2周期で実行され、T1で対象ｱﾄﾞﾚｽを取得/(算出)/確定し、T2で実際のｱｸｾｽが行われます。後続する(T1)は次の命令のT1です。

図12-3. ﾃﾞｰﾀ用内蔵SRAMｱｸｾｽ周期



12.4. データ用EEPROMメモリ

Atmel AVR ATmega128Aは4Kバイトのデータ EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降のEEPROMアドレスレジスタ、EEPROMデータ レジスタ、EEPROM制御レジスタで詳細に記述されます。

「メモリ プログラミング」はSPI、JTAG、並列プログラミング動作でのEEPROMプログラミングの詳細な記述を含みます。

関連リンク　208頁の「メモリ プログラミング」

12.4.1. EEPROMアクセス

EEPROMアクセス レジスタはI/O空間でアクセス可能です。

EEPROMの書き込み(**訳注**:原文はアクセス)時間は27頁の**表12-2.**で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは次バイトが書ける時を検知してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られねばなりません。厳重に濾波した電源では電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については下の「**EEPROMデータ化けの防止**」をご覧ください。

予期せぬEEPROM書き込みを防止するため、特別な書き込み手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ**」の記述を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

12.4.2. パワーダウン休止動作中のEEPROM書き込み

EEPROM書き込み動作が活動中にパワーダウン休止動作へ移行すると、EEPROM書き込み動作が継続し、EEPROM書き込み時間が過ぎ去ってしまう前に完了します。しかし、書き込み動作が完了されると、発振器が動作を継続し、結果としてデバイスはパワーダウン動作へ完全に移行しません。従ってパワーダウンへ移行する前に、EEPROM書き込み動作が完了される(EEWE=0)ことの確認が推奨されます。(**訳補**: パワーダウン移行後もEPROM書き込みは正常に完了するが、その後発振器が止まらないことの注意)

12.4.3. EEPROMデータ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデータ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

EEPROMデータ化けは次の推奨設計によって容易に避けられます。

不充分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリセット保護回路が使えます。書き込み動作実行中にリセットが起こると、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

12.5. I/O メモリ (レジスタ)

ATmega128AのI/O空間定義は「**レジスタ要約**」で示されます。

ATmega128Aの全てのI/Oと周辺機能はI/O空間に配置されます。I/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うIN命令とOUT命令によってアクセスされます。アドレス範囲$00～$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビット アクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「**命令要約**」章を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス$00～$3Fが使われなければなりません。LD命令とST命令をい、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに$20が加算されなければなりません。

ATmega128AはINやOUT命令で予約された64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。ATmega128AがATmega103互換動作の時は拡張I/O領域がSRAM領域に置き換えられます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリ アドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読むどのフラグにも1を書き戻し、従ってフラグを解除(0)することに注意してください。CBIとSBI命令は(I/Oアドレス)$00～$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

関連リンク　257頁の「レジスタ要約」

12.6. 外部メモリ インターフェース

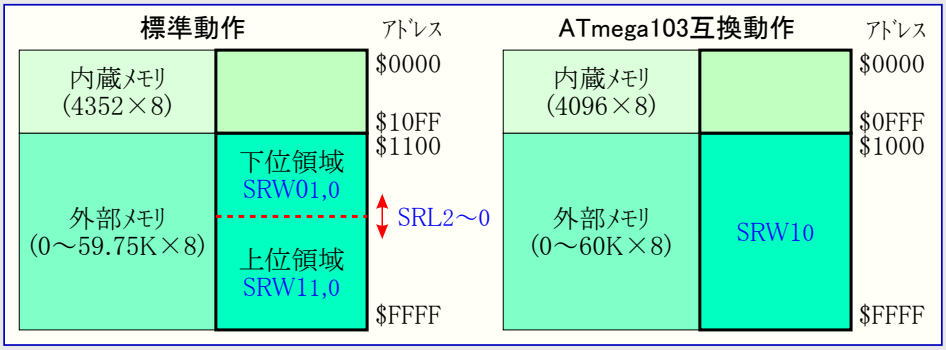
12.6.1. 特徴

- 4つの異なる待ち状態設定(含む待ち状態なし)
- 異なる外部メモリ領域(領域容量設定可)に対する個別の待ち状態設定
- アドレス上位バイトに割り当てるビット数が選択可能
- 消費電流を最小とするため、データ線のバス保持機能(任意選択)

12.6.2. 概要

外部メモリ インターフェースが提供する全ての機能で、LCD表示器やA/D、D/Aのような周辺装置や、外部SRAMやフラッシュ メモリのようなメモリ デバイスへのインターフェースとしての動作に上手く仕立てられます。外部メモリ(XMEM)が許可されると、内蔵SRAMを越えるアドレス空間は割り当てた外部メモリ ピンを使うことが利用可能になります(「**ピン配置**」、**表18-3.**、**表18-9.**、**表18-21.**を参照してください)。メモリ設定は右図で示されます。

図12-4. 外部メモリと領域選択



注: Atmega103非互換動作でのAtmel AVR ATmega128A：上図の左側が使用可能(右側は使用不可)
Atmega103互換動作でのATmega128A：上図の右側が使用可能(左側は使用不可)

関連リンク 9頁の「ピン配置」
57頁の「ポートAの交換機能」
60頁の「ポートCの交換機能」
67頁の「ポートGの交換機能」

12.6.3. ATmega103互換動作

両方の外部メモリ制御レジスタ(XMCRAとXMCRB)は拡張I/O空間に配置されます。ATmega103互換動作で、これらのレジスタは利用できず、これらのレジスタによって選択される特徴(機能)は利用できません。これらの特徴(機能)がATmega103に存在しないので、デバイスはATmega103互換です。ATmega103互換動作での制限を次に示します。

- 2待ち状態設定のみ利用可能 (SRW1n=00とSRW1n=01)
- アドレス上位バイトへの割り当てビット数固定
- 外部メモリ空間は異なる待ち状態の領域分割不可
- バス保持機能利用不可
- $\overline{RD}$, $\overline{WR}$, ALEピンは出力専用 (ATmega128Aのポート G)

12.6.4. 外部メモリ インターフェースの使用

このインターフェースは以下から成ります。

- AD7～0：交互切り替えされた下位アドレス バスとデータ バス
- A15～8 ：上位アドレス バス (ビット数設定可能)
- ALE　：アドレス ラッチ許可信号
- $\overline{RD}$　：読み出しストローブ信号
- $\overline{WR}$　：書き込みストローブ信号

外部メモリ(XMEM)インターフェースに関する制御ビットは3つのレジスタ、MCU制御レジスタ(MCUCR)、外部メモリ制御レジスタA(XMCRA)、外部メモリ制御レジスタB(XMCRB)に配置されます。

XMEMインターフェースが許可されると、このインターフェースに割り当てたポートに対応するデータ方向レジスタ設定を無効にします。このポートの無効化についての詳細に関しては「**入出力ポート**」章の交換機能をご覧ください。XMEMインターフェースはアクセスが内部または外部どちらかを自動的に検知します。アクセスが外部の場合、XMEMインターフェースは**図12-6.**(本図は待ち状態なしの波形を示す)に従ったアドレス、データ、制御信号を出力します。ALEがHigh→Low(下降)になるとAD7～0上のアドレスが有効です。データ転送中、ALEはLowです。XMEMインターフェースが許可されると、内部アクセスでも同様にアドレス、データ、ALEポートの動きを引き起こしますが、内部アクセス中、RDとWRのストローブは切り替わりません。外部メモリ インターフェースが禁止されると、標準ピンとデータ方向設定が使われます。XMEMインターフェースが禁止される時に内蔵SRAM境界以上のアドレス空間が内蔵SRAMに割り当てられないことに注意してください。**図12-5.**はGがHighの時に透過(通過:トランスペアレント)となる8ビットのラッチ(一般的には74xx573または同等品)を使うAVRと外部SRAMの接続法を図解します。

関連リンク 53頁の「入出力ポート」

12.6.5. ｱﾄﾞﾚｽ ﾗｯﾁの必要性

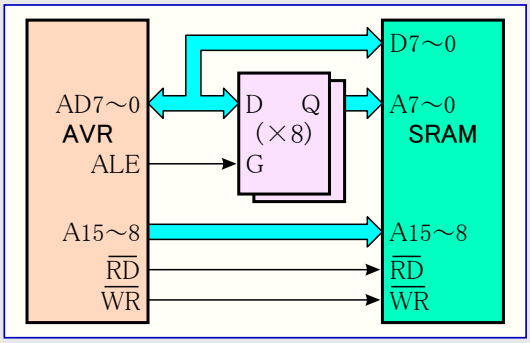
XMEMｲﾝﾀｰﾌｪｰｽの高速動作のため、ｱﾄﾞﾚｽ ﾗｯﾁは4MHz/2.7V、8MHz/4V以上のｼｽﾃﾑ周波数に対し、注意して選択されなければなりません。これらの周波数以上の条件で動作するとき、代表的な旧ﾃﾞﾊﾞｲｽ74HCｼﾘｰｽﾞのﾗｯﾁは不適切になります。外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽは74AHCｼﾘｰｽﾞのﾗｯﾁに適応するよう設計されています。けれども主なﾀｲﾐﾝｸﾞ ﾊﾟﾗﾒｰﾀに対応してさえいれば、多くのﾗｯﾁが使えます。ｱﾄﾞﾚｽ ﾗｯﾁについての主なﾊﾟﾗﾒｰﾀは次のとおりです。

- DからQへの伝播遅延時間 (t_{PD})
- G下降端に対するﾃﾞｰﾀ準備時間 (t_{SU})
- G下降後のﾃﾞｰﾀ(ｱﾄﾞﾚｽ)保持遅延時間 (t_{H})

(訳注) 記号はAVR側ではなく、一般的なﾗｯﾁ ﾃﾞﾊﾞｲｽ側での記号です。

外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽはGがLowにされた後、t_H=5nsの最小ｱﾄﾞﾚｽ保持時間を保証するよう設計されています。「**外部ﾃﾞｰﾀ ﾒﾓﾘ ﾀｲﾐﾝｸﾞ**」項の全ての表でt_{LAXX_LD}とt_{LAXX_ST}を参照してください。DからQへの伝播遅延時間(t_{PD})は外部部品のｱｸｾｽ時間必要条件を計算する時に考慮されなければなりません。G=Low(下降)前のﾃﾞｰﾀ準備時間(t_{SU})はALE=Low(下降)前のｱﾄﾞﾚｽ有効時間(t_{AVLLC})－PCB配線遅延(容量性負荷に依存)を越えてはいけません。

図12-5. Atmel AVRと外部SRAMの接続



関連ﾘﾝｸ 234頁の「外部ﾃﾞｰﾀ ﾒﾓﾘ ﾀｲﾐﾝｸﾞ」

12.6.6. ﾌﾟﾙｱｯﾌﾟとﾊﾞｽ保持機能

AD7～0ﾎﾟｰﾄのﾌﾟﾙｱｯﾌﾟ抵抗は対応するﾎﾟｰﾄ ﾚｼﾞｽﾀが1を書かれると、活性(有効)にできます。休止形態での消費電力を削減するため、休止形態移行前にﾎﾟｰﾄ ﾚｼﾞｽﾀへ0を書くことによってﾌﾟﾙｱｯﾌﾟを禁止することが推奨されます。

XMEMｲﾝﾀｰﾌｪｰｽはAD7～0線のﾊﾞｽ保持機能も提供します。ﾊﾞｽ保持機能は29頁の「**XMCRB – 外部ﾒﾓﾘ制御ﾚｼﾞｽﾀB**」で記述されるようにﾌﾟﾛｸﾞﾗﾑで許可と禁止ができます。許可されると、これらの線がXMEMｲﾝﾀｰﾌｪｰｽにより、その他の状態であるHi-Zにされる時にﾊﾞｽ保持機能はAD7～0ﾊﾞｽでの論理ﾚﾍﾞﾙ(0または1)固定を保証します。

12.6.7. ﾀｲﾐﾝｸﾞ

外部ﾒﾓﾘ ﾃﾞﾊﾞｲｽは様々なﾀｲﾐﾝｸﾞ必要条件を持ちます。これらの必要条件に合せるため、Atmel AVR ATmega128AのXMEMｲﾝﾀｰﾌｪｰｽは**表12-4.**に示される4つの異なる待ち状態を提供します。この待ち状態選択前に、外部ﾒﾓﾘ ﾃﾞﾊﾞｲｽのﾀｲﾐﾝｸﾞ特性を考慮することが大事です。重要なﾊﾟﾗﾒｰﾀの多くはATmega128Aの必要条件設定に関連する外部ﾒﾓﾘのｱｸｾｽ時間です。外部ﾒﾓﾘのｱｸｾｽ時間はﾁｯﾌﾟ選択とｱﾄﾞﾚｽを受け取ってから、そのｱﾄﾞﾚｽのﾃﾞｰﾀがﾊﾞｽ上で実際に駆動されるまでの時間で定義されます。このｱｸｾｽ時間はALEﾊﾟﾙｽがLowにされてから読み出し手順中にﾃﾞｰﾀが安定にならなければならないまでの時間(「**外部ﾃﾞｰﾀ ﾒﾓﾘ ﾀｲﾐﾝｸﾞ**」項の表のt_{LLRL}+t_{RLRH}-t_{DVRH}参照)を超えることはできません。各種待ち状態はｿﾌﾄｳｪｱで設定されます。付加機能として、外部ﾒﾓﾘ空間を個別に待ち状態設定できる2つの領域に分割することが可能です。これは異なるﾀｲﾐﾝｸﾞ必要条件の2つの異なるﾒﾓﾘ ﾃﾞﾊﾞｲｽを同じXMEMｲﾝﾀｰﾌｪｰｽに接続するのを可能にします。XMEMｲﾝﾀｰﾌｪｰｽの詳細ﾀｲﾐﾝｸﾞについては「**外部ﾃﾞｰﾀ ﾒﾓﾘ ﾀｲﾐﾝｸﾞ**」項の表と図を参照してください。

XMEMｲﾝﾀｰﾌｪｰｽは非同期で、次の図の波形が内部ｼｽﾃﾑ ｸﾛｯｸに関連することに注意してください。内部と外部(XTAL1)のｸﾛｯｸ間のｽﾞﾚは保証されません(ﾃﾞﾊﾞｲｽ、温度、供給電圧間で一様でない)。従ってXMEMｲﾝﾀｰﾌｪｰｽは同期動作用ではありません。

図12-6. 待ち状態なし 外部ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽ周期 (SRWn1=0, SRWn0=0) [T1～T3]

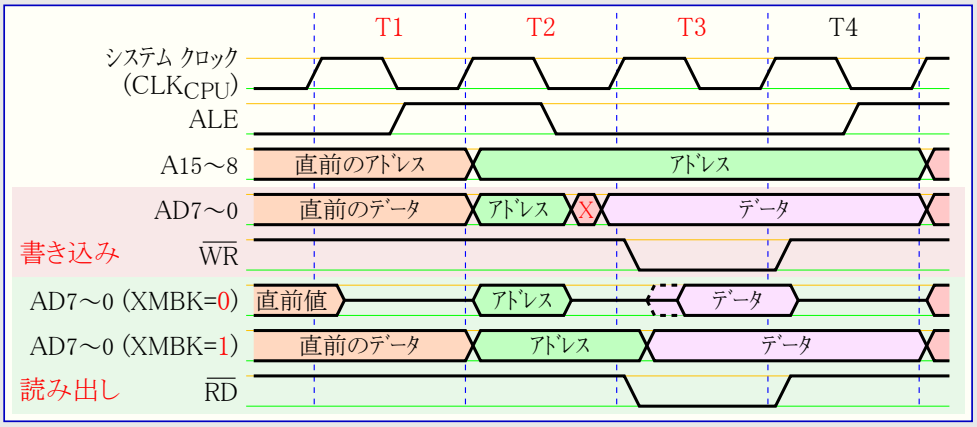


図12-7. 1待ち状態 外部ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽ周期 (SRWn1=0, SRWn0=1) [T1～T4]

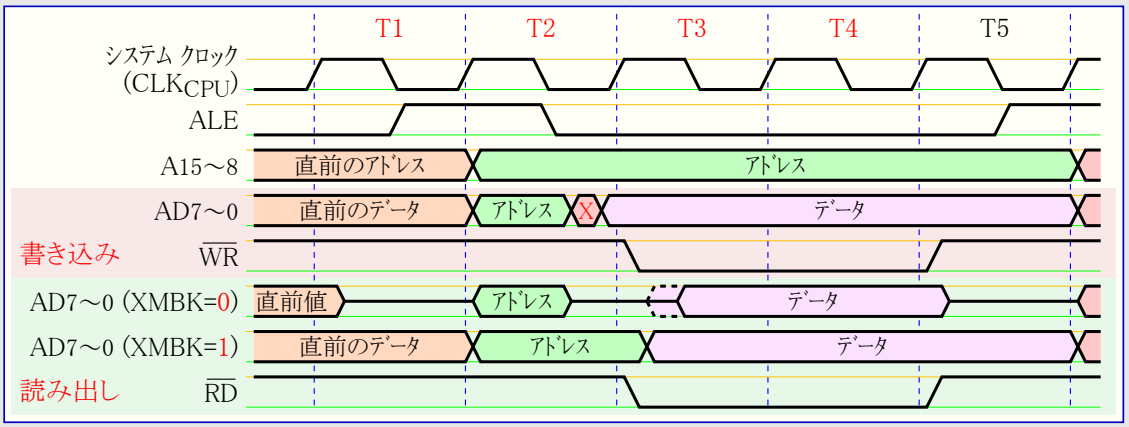


図12-8. 2待ち状態 外部ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽ周期 (SRWn1=1, SRWn0=0) [T1～T5]

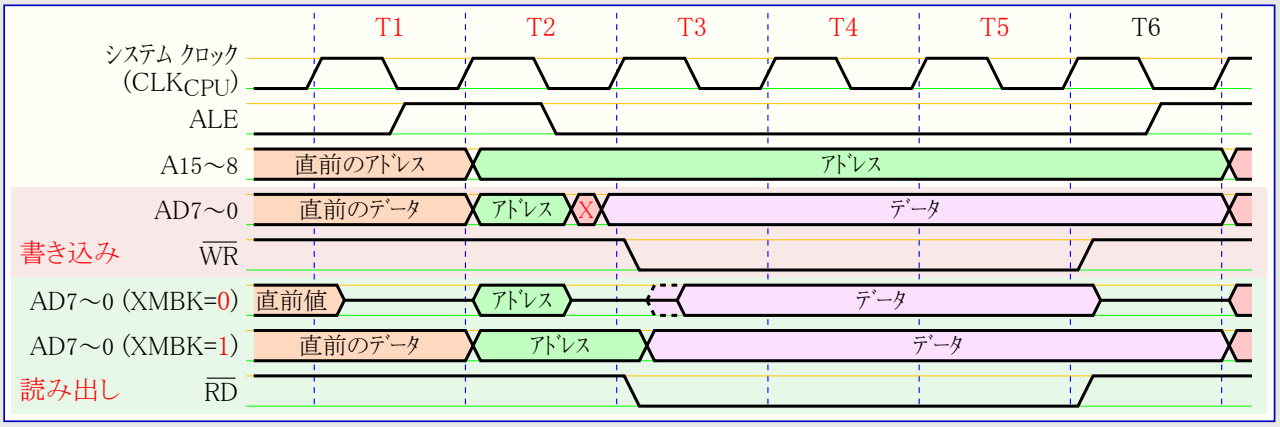
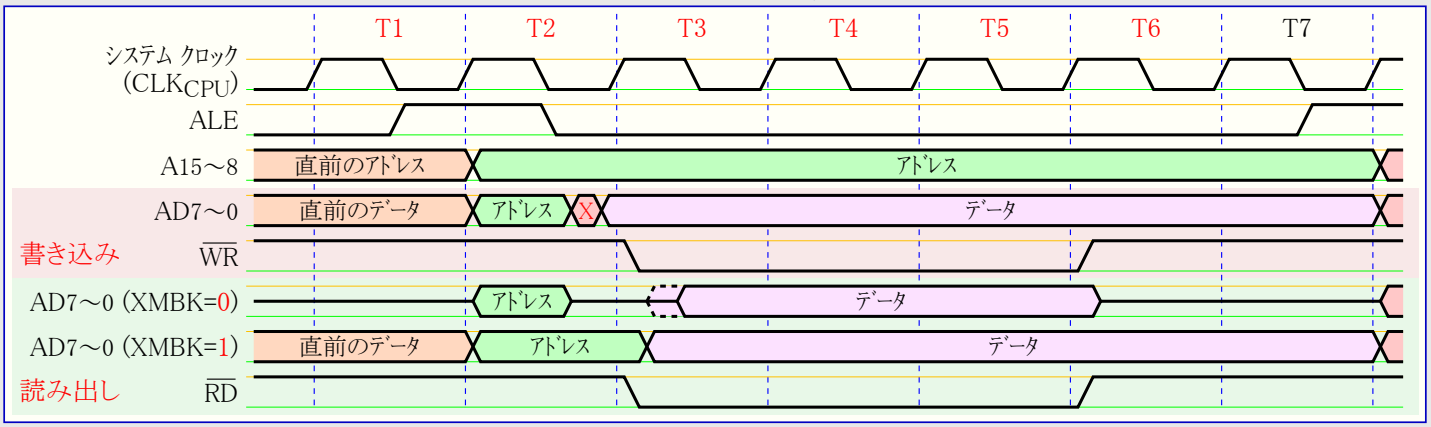


図12-9. 2待ち状態+保持1待ち状態 外部ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽ周期 (SRWn1=1, SRWn0=1) [T1～T6]



共通注意事項

SRWn1はSRW11(上位領域)またはSRW01(下位領域)、SRWn0はSRW10(上位領域)またはSRW00(下位領域)です。

[T1～Tn]は図での命令実行周期範囲です。

Xは値変更区間を示します。

最終周期のALEは次命令がRAM(内部または外部)をｱｸｾｽする場合だけ存在します。また、最後の周期のｱﾄﾞﾚｽとﾃﾞｰﾀの変更区間の有無も同様です。

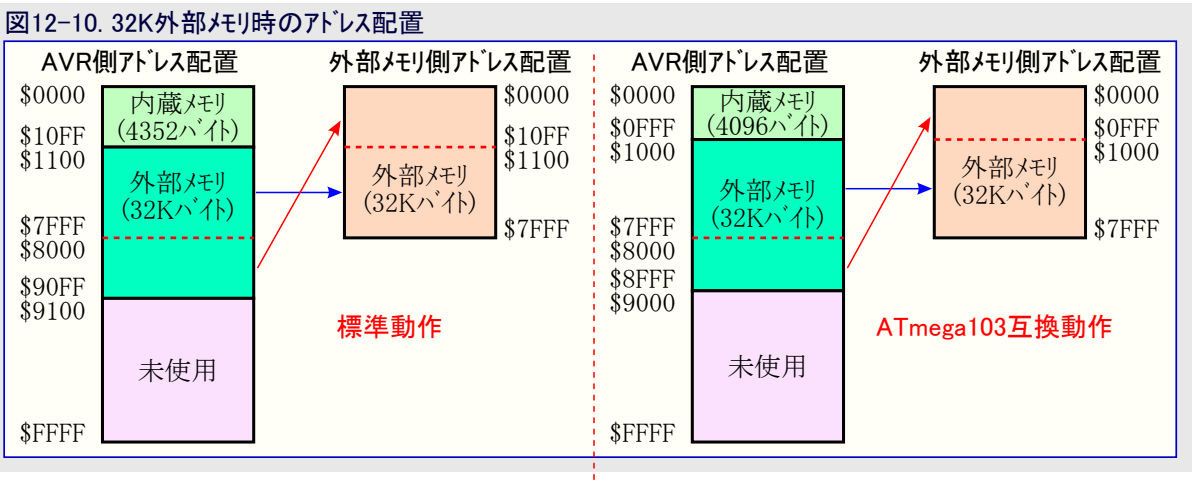
関連ﾘﾝｸ 234頁の「外部ﾃﾞｰﾀ ﾒﾓﾘ ﾀｲﾐﾝｸﾞ」

12.6.8. 64Kﾊﾞｲﾄ未満外部ﾒﾓﾘの全域使用

外部ﾒﾓﾘは図12-4.で示されるように内部ﾒﾓﾘの後に配置されるため、ﾃﾞｰﾀ空間の最初の4352ﾊﾞｲﾄをｱﾄﾞﾚｽ指定する時に外部ﾒﾓﾘは指定されません。外部ﾒﾓﾘの最初の4352ﾊﾞｲﾄ(ｱﾄﾞﾚｽ$0000～$10FF)がｱｸｾｽできないと思われるかもしれません。けれども64Kﾊﾞｲﾄより小さな外部ﾒﾓﾘを接続するとき、例えば32Kﾊﾞｲﾄで、これらの位置は単純なｱﾄﾞﾚｽ$8000～$90FF指定によって容易にｱｸｾｽされます。外部ﾒﾓﾘ ｱﾄﾞﾚｽ A15ﾋﾞｯﾄは外部ﾒﾓﾘに接続されず、ｱﾄﾞﾚｽ$8000～$90FFは外部ﾒﾓﾘに対するｱﾄﾞﾚｽ$0000～$10FFとして見えます。$90FFを越えるｱﾄﾞﾚｽ指定はこれが他の(下位側)ｱﾄﾞﾚｽによって既にｱｸｾｽされる外部ﾒﾓﾘ位置のｱﾄﾞﾚｽ指定のため推奨されません。応用ｿﾌﾄｳｪｱにとって、この外部32Kﾊﾞｲﾄ ﾒﾓﾘは$1100～$90FFの1つの直線的な32Kﾊﾞｲﾄ ｱﾄﾞﾚｽ空間として見えます。これは下図で図解されます。(訳注:標準/互換動作直接記述のため、原書の本位置の1行を削除)

ﾃﾞﾊﾞｲｽがATmega103互換動作に設定されると、内部ｱﾄﾞﾚｽ空間は4096ﾊﾞｲﾄです。これは外部ﾒﾓﾘの先頭4096ﾊﾞｲﾄがｱﾄﾞﾚｽ$8000～8FFFでｱｸｾｽできることを意味します。応用ｿﾌﾄｳｪｱには$1000～$8FFFの1つの直線的な32Kﾊﾞｲﾄ ｱﾄﾞﾚｽ空間として見えます。

図12-10. 32K外部ﾒﾓﾘ時のｱﾄﾞﾚｽ配置



12.6.9. 外部ﾒﾓﾘの全64Kﾊﾞｲﾄ位置の使用

外部ﾒﾓﾘは図12-4.で示されるように内部ﾒﾓﾘの後に配置されるため、既定では外部ﾒﾓﾘの約60Kﾊﾞｲﾄだけが利用可能です(ｱﾄﾞﾚｽ空間$0000～$10FFは内部ﾒﾓﾘ用に予約)。けれども上位ｱﾄﾞﾚｽ ﾋﾞｯﾄを0で遮蔽することで外部ﾒﾓﾘ全体を利用することが可能です。これはXMMnﾋﾞｯﾄを使い、ｱﾄﾞﾚｽの最上位側ﾋﾞｯﾄをｿﾌﾄｳｪｱによって制御することで行えます。ﾎﾟｰﾄCを$00出力に設定し、上位側ﾋﾞｯﾄを標準ﾎﾟｰﾄ ﾋﾟﾝ動作用に開放することにより、ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽは$0000～$1FFFをｱﾄﾞﾚｽ指定します。以下のｺｰﾄﾞ例をご覧ください。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
                .EQU    OFFSET=$2000                ;切り替え点ｱﾄﾞﾚｽ定義
                                                    ;[ﾎﾟｰﾄC初期化]
                LDI     R16, $00                    ;ﾎﾟｰﾄ出力値を取得
                OUT     PORTC, R16                  ;ｱﾄﾞﾚｽ最上位側ﾋﾞｯﾄ値全0設定
                LDI     R16, $FF                    ;ﾎﾟｰﾄ方向全出力値を取得
                OUT     DDRC, R16                   ;ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ用ﾎﾟｰﾄ出力設定
;                                                   ;[$0000～$1FFFｱｸｾｽ]
                LDI     R16, (1<<XMM1)|(1<<XMM0)    ;PORTC7～5開放値を取得
                STS     XMCRB, R16                  ;PORTC7～5開放(～$1FFF範囲設定)
                LDI     R16, $AA                    ;書き込み値を取得
                STS     $0001+OFFSET, R16           ;外部ﾒﾓﾘの$0001番地に$AA書き込み
;                                                   ;[$2000～$FFFFｱｸｾｽ]
                LDI     R16, $00                    ;最大外部ﾒﾓﾘ(16ﾋﾞｯﾄ幅)値を取得
                STS     XMCRB, R16                  ;PORTC開放なし、(～$FFFF範囲設定)
                LDI     R16, $55                    ;書き込み値を取得
                STS     $0001+OFFSET, R16           ;外部ﾒﾓﾘのOFFSET+$0001番地に$55書き込み
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
#define OFFSET 0x2000                               /* 切り替え点ｱﾄﾞﾚｽ定義 */
void XRAM_example(void)
{
    unsigned char *p = (unsigned char *) (OFFSET +1);   /* 書き込みｱﾄﾞﾚｽ(ﾎﾟｲﾝﾀ)定義 */
    PORTC = 0x00;                                   /* ｱﾄﾞﾚｽ最上位側ﾋﾞｯﾄ値全0設定 */
    DDRC = 0xFF;                                    /* ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ用ﾎﾟｰﾄ出力設定 */
    XMCRB = (1<<XMM1)|(1<<XMM0);                    /* PORTC7～5開放(～$1FFF範囲設定) */
    *p = 0xAA;                                      /* 外部ﾒﾓﾘの$0001番地に$AA書き込み */
    XMCRB = 0x00;                                   /* PORTC開放なし、(～$FFFF範囲設定) */
    *p = 0x55;                                      /* 外部ﾒﾓﾘの$2001番地に$55書き込み */
}
```

注:「ｺｰﾄﾞ例について」をご覧ください。

ﾒﾓﾘの多くが遮蔽され隠されているとき、この選択手段の使用は注意して用いられなければなりません。

関連ﾘﾝｸ　11頁の「ｺｰﾄﾞ例について」

12.7. メモリ関係レジスタ

12.7.1. EEARL – EEPROMアドレス レジスタ下位 (EEPROM Address Register Low)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : EEARL
変位 : $1E ($3E)
リセット : $xx
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$3Eです。

ビット	7	6	5	4	3	2	1	0
	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	不定	不定	不定	不定	不定	不定	不定	不定

● **ビット7～0 – EEAR7～0 : EEPROMアドレス7～0** (EEPROM Address)

EEPROMアドレス レジスタ(EEARHとEEARL)は4096バイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータ バイトは0～4095間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれねばなりません。

12.7.2. EEARH – EEPROMアドレス レジスタ上位 (EEPROM Address Register High)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : EEARH
変位 : $1F ($3F)
リセット : $0x
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$3Fです。

ビット	7	6	5	4	3	2	1	0
	–	–	–	–	EEAR11	EEAR10	EEAR9	EEAR8
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	不定	不定	不定	不定

● **ビット3～0 – EEAR11～8 : EEPROMアドレス11～8** (EEPROM Address)

EEARLを参照してください。

12.7.3. EEDR – EEPROMデータ レジスタ (EEPROM Data Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : EEDR
変位 : $1D ($3D)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$3Dです。

ビット	7	6	5	4	3	2	1	0
	EEDR7	EEDR6	EEDR5	EEDR4	EEDR3	EEDR2	EEDR1	EEDR0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7～0 – EEDR7～0 : EEPROMデータ** (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレス レジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

・EEDR7がMSBで、EEDR0がLSBです。

12.7.4. EECR – EEPROM制御ﾚｼﾞｽﾀ (EEPROM Control Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : EECR
変位 : $1C ($3C)
ﾘｾｯﾄ : '000000x0'
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$3Cです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	EERIE	EEMWE	EEWE	EERE
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	不定	0

● **ﾋﾞｯﾄ3 – EERIE : EEPROM操作可割り込み許可** (EEPROM Ready Interrupt Enable)

EERIEの1書き込みはｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みはこの割り込みを禁止します。EEPROM操作可割り込みはEEWEが解除(0)されていると継続する割り込みを発生します。

● **ﾋﾞｯﾄ2 – EEMWE : EEPROM主書き込み許可** (EEPROM Master Write Enable)

EEMWEﾋﾞｯﾄはEEPROM書き込み許可(EEWE)ﾋﾞｯﾄの1設定がEEPROM書き込みの原因となるかどうかを決めます。EEMWEが設定(1)される時の4ｸﾛｯｸ周期内のEEWE設定(1)は選択されたｱﾄﾞﾚｽのEEPROMにﾃﾞｰﾀを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがｿﾌﾄｳｪｱによって設定(1)されてしまうと、4ｸﾛｯｸ周期後にﾊｰﾄﾞｳｪｱがこのﾋﾞｯﾄを0に解除します。EEPROM書き込み手順については「**書き込み許可(EEWE)ﾋﾞｯﾄ**」の記述をご覧ください。

● **ﾋﾞｯﾄ1 – EEWE : EEPROM書き込み許可** (EEPROM Write Enable)

EEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みｽﾄﾛｰﾌﾞです。ｱﾄﾞﾚｽとﾃﾞｰﾀが正確に設定されると、EEPROMへその値を書くためにEEWEﾋﾞｯﾄは1を書かれなければなりません。論理1がEEWEへ書かれる前にEEPROM主書き込み許可(EEMWE)ﾋﾞｯﾄは1を書かれなければならず、さもなければEEPROM書き込みは行われません。EEPROMを書くとき、次の手順に従うべきです(手順3.と4.の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ﾋﾞｯﾄが0になるまで待ちます。
2. SPM制御/状態ﾚｼﾞｽﾀ(SPMCSR)のSPM操作許可(SPMEN)ﾋﾞｯﾄが0になるまで待ちます。
3. 今回のEEPROMｱﾄﾞﾚｽをEEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)に書きます。(任意、省略可)
4. 今回のEEPROMﾃﾞｰﾀをEEPROMﾃﾞｰﾀ ﾚｼﾞｽﾀ(EEDR)に書きます。(任意、省略可)
5. EEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROM主書き込み許可(EEMWE)ﾋﾞｯﾄに1を、EEPROM書き込み許可(EEWE)ﾋﾞｯﾄに0を同時に書きます。
6. EEMWEﾋﾞｯﾄ設定後4ｸﾛｯｸ周期内にEEPROM書き込み許可(EEWE)ﾋﾞｯﾄへ論理1を書きます。

CPUがﾌﾗｯｼｭ ﾒﾓﾘ書き込み中、EEPROMはﾌﾟﾛｸﾞﾗﾑ(書き込みが)できません。ｿﾌﾄｳｪｱは新規EEPROM書き込みを始める前にﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了されていることを検査しなければなりません。2.はｿﾌﾄｳｪｱがﾌﾗｯｼｭ ﾒﾓﾘをﾌﾟﾛｸﾞﾗﾑ(書き込みを)することをCPUに許すﾌﾞｰﾄ ﾛｰﾀﾞを含む場合だけ関係します。ﾌﾗｯｼｭ ﾒﾓﾘが決してCPUによって更新されないなら、2.は省略できます。ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞについての詳細に関しては199頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」をご覧ください。

警告: 手順5.と6.間の割り込みはEEPROM主書き込み許可が時間超過するため、書き込み周期失敗になります。EEPROMをｱｸｾｽする割り込みﾙｰﾁﾝが他のEEPROMｱｸｾｽを中断し、EEARかEEDRが変更されると、中断したEEPROMｱｸｾｽを失敗させます。これらの問題を避けるため、全ての手順中、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄは解除(0)されていることが推奨されます。

書き込みｱｸｾｽ時間が経過されると、EEPROM書き込み許可(EEWE)ﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。使用者ｿﾌﾄｳｪｱは次ﾊﾞｲﾄを書く前にこのﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞし、0を待つことができます。EEWEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

● **ﾋﾞｯﾄ0 – EERE : EEPROM読み込み許可** (EEPROM Read Enable)

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みｽﾄﾛｰﾌﾞです。EEARに正しいｱﾄﾞﾚｽが設定されると、EEPROM読み出しを起動するためにEEREﾋﾞｯﾄは論理1を書かれなければなりません。EEPROM読み出しｱｸｾｽは(その)1命令で行われ、要求したﾃﾞｰﾀは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。

使用者は読み込み操作を始める前にEEWEﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞすべきです。書き込み操作が実行中の場合、EEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)の変更もEEPROM読み込みもできません。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使われます。右表はCPUからのEEPROMアクセスに対する代表的な書き込み時間を示します。

表12-2. EEPROM書き込み時間

項目	校正付き内蔵RC発振器周期数 (注)	Typ
EEPROM書き込み(CPU)	8448	8.5ms

注: CKSELヒューズ設定と無関係に1MHzが使われます。

次のコード例はアセンブリ言語とC言語でのEEPROM書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はソフトウェア内にフラッシュ ブート ローダが無い前提でもあります。そのようなコードが存在する場合、EEPROM書き込み関数は何れかが実行するSPM命令の完了も待たねばなりません。

アセンブリ言語プログラム例

```
EEPROM_WR:  SBIC    EECR,EEWE           ;EEPROM書き込み完了ならばスキップ
            RJMP    EEPROM_WR           ;以前のEEPROM書き込み完了まで待機
;
            OUT     EEARH,R18           ;EEPROMアドレス上位バイト設定
            OUT     EEARL,R17           ;EEPROMアドレス下位バイト設定
            OUT     EEDR,R16            ;EEPROM書き込み値を設定
            SBI     EECR,EEMWE          ;EEPROM主書き込み許可ビット設定
            SBI     EECR,EEWE           ;EEPROM書き込み開始(書き込み許可ビット設定)
            RET                         ;呼び出し元へ復帰
```

C言語プログラム例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEWE));            /* 以前のEEPROM書き込み完了まで待機 */
    EEAR = uiAddress;                   /* EEPROMアドレス設定 */
    EEDR = ucData;                      /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMWE);                 /* EEPROM主書き込み許可 */
    EECR |= (1<<EEWE);                  /* EEPROM書き込み開始 */
}
```

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_RD:  SBIC    EECR,EEWE           ;EEPROM書き込み完了ならばスキップ
            RJMP    EEPROM_RD           ;以前のEEPROM書き込み完了まで待機
;
            OUT     EEARH,R18           ;EEPROMアドレス上位バイト設定
            OUT     EEARL,R17           ;EEPROMアドレス下位バイト設定
            SBI     EECR,EERE           ;EEPROM読み出し開始(読み込み許可ビット設定)
            IN      R16,EEDR            ;EEPROM読み出し値を取得
            RET                         ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEWE));            /* 以前のEEPROM書き込み完了まで待機 */
    EEAR = uiAddress;                   /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                  /* EEPROM読み出し開始 */
    return EEDR;                        /* EEPROM読み出し値を取得,復帰 */
}
```

12.7.5. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : MCUCR
変位 : $35 ($55)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$55です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SRE	SRW10	SE	SM1	SM0	SM2	IVSEL	IVCE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – SRE : 外部ﾒﾓﾘ許可** (External SRAM/XMEM Enable)

SREに1を書くことが外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽを許可します。A15～8, AD7～0, ALE, $\overline{RD}$, $\overline{WR}$ﾋﾟﾝ機能は交換ﾋﾟﾝ機能として活性(有効)にされます。SREﾋﾞｯﾄはそれぞれのﾃﾞｰﾀ方向ﾚｼﾞｽﾀ内の何れのﾋﾟﾝ方向設定も無効にします。SREに0を書くことは外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽを禁止し、通常ﾋﾟﾝとﾃﾞｰﾀ方向設定が使われます。

● **ﾋﾞｯﾄ6 – SRW10 : 待ち状態選択ﾋﾞｯﾄ** (Wait-state Select Bit)

非ATmega103互換動作(標準動作)での詳細な記述については以降(XMCRA内容)のSRWnﾋﾞｯﾄの共通記述をご覧ください。ATmega103互換動作で、SRW10の1書き込みは待ち状態を許可し、図12-7.で示されるように読み/書きｽﾄﾛｰﾌﾞ中に1つの延長周期が追加されます。

12.7.6. XMCRA – 外部ﾒﾓﾘ制御ﾚｼﾞｽﾀA (External Memory Control Register A)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : XMCRA
変位 : ($6D)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	SRL2	SRL1	SRL0	SRW01	SRW00	SRW11	–
ｱｸｾｽ種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6～4 – SRL2～0 : 外部SRAM範囲選択** (Wait-state Sector Limit)

異なる外部ﾒﾓﾘ領域に対して異なる待ち状態を指定することが可能です。外部ﾒﾓﾘ ｱﾄﾞﾚｽ空間は個別の待ち状態ﾋﾞｯﾄを持つ2つの領域に分割できます。SRL2～0ﾋﾞｯﾄはこれらの領域の分岐点を選びます。右表と図12-4.を参照してください。既定ではSRL2～0が0に設定され、外部ﾒﾓﾘ ｱﾄﾞﾚｽ空間全体が1つの領域として扱われます。SRAM(外部ﾒﾓﾘ)ｱﾄﾞﾚｽ空間全体が1つの領域として設定される場合、待ち状態はSRW11とSRW10ﾋﾞｯﾄによって設定されます。

表12-3. 上位/下位領域選択

SRL2	SRL1	SRL0	下位領域	上位領域
0	0	0	なし	$1100～$FFFF
0	0	1	$1100～$1FFF	$2000～$FFFF
0	1	0	$1100～$3FFF	$4000～$FFFF
0	1	1	$1100～$5FFF	$6000～$FFFF
1	0	0	$1100～$7FFF	$8000～$FFFF
1	0	1	$1100～$9FFF	$A000～$FFFF
1	1	0	$1100～$BFFF	$C000～$FFFF
1	1	1	$1100～$DFFF	$E000～$FFFF

● ビット3,2 – SRW01,0 : 下位領域待ち状態選択ビット1,0 (Wait-state Select Bits for Lower Sector)

SRW01とSRW00ビットは外部メモリアドレス空間の下位領域に対する待ち状態数を制御します。右表をご覧ください。

表12-4. 待ち状態選択

SRWn1	SRWn0	待ち状態
0	0	待ち状態なし
0	1	読み/書きストローブ中に1待ち状態挿入
1	0	読み/書きストローブ中に2待ち状態挿入
1	1	読み/書きストローブ中に2、アドレス,データ出力保持中に1待ち状態挿入

注: nは0(下位領域)または1(上位領域)です。外部メモリ インターフェースの待ち状態とタイミングのより多くの詳細については図12-6.～9.のSRWビット設定がタイミングへ与える影響をご覧ください。

● ビット1 – SRW11 : 上位領域待ち状態選択ビット1,0 (Wait-state Select Bits for Upper Sector)

SRW11と(MCUCRのビット6の)SRW10ビットは外部メモリ アドレス空間の上位領域に対する待ち状態数を制御します。上表をご覧ください。

12.7.7. XMCRB – 外部メモリ制御レジスタB (External Memory Control Register B)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : XMCRB
変位 : ($6C)
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	XMBK	–	–	–	–	XMM2	XMM1	XMM0
アクセス種別	R/W	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – XMBK : バス保持許可 (External Memory Bus-keeper Enable)

XMBKに1を書くことがAD7～0線のバス保持機能を許可します。バス保持機能が許可されると、その他の状態であるHi-Zにされる時にAD7～0バスでの論理レベル(0または1)固定を保証します。XMBKに0を書くことがバス保持機能を禁止します。XMBKはSREの制限を受けませんので、XMEMインターフェースが禁止されても、バス保持機能はXMBKが1である限り未だ活性(有効)にされます。

● ビット2～0 – XMM2～0 : 上位アドレス遮蔽 (External Memory High Mask)

外部メモリ インターフェースが許可されると、既定では全てのポートCピンが上位アドレス バイトに使われます。外部メモリ アクセスのために全60Kバイト アドレス空間が必要とされない場合、下表で記述されるように、いくつかまたは全てのポートCピンは標準ポート ピン機能用に開放できます。24頁の「外部メモリの全64Kバイト位置の使用」で記述されるように、外部メモリの全64Kバイト位置のアクセスのためにXMMnビットの使用が可能です。

表12-5. 外部メモリ許可時に開放するポートCピン

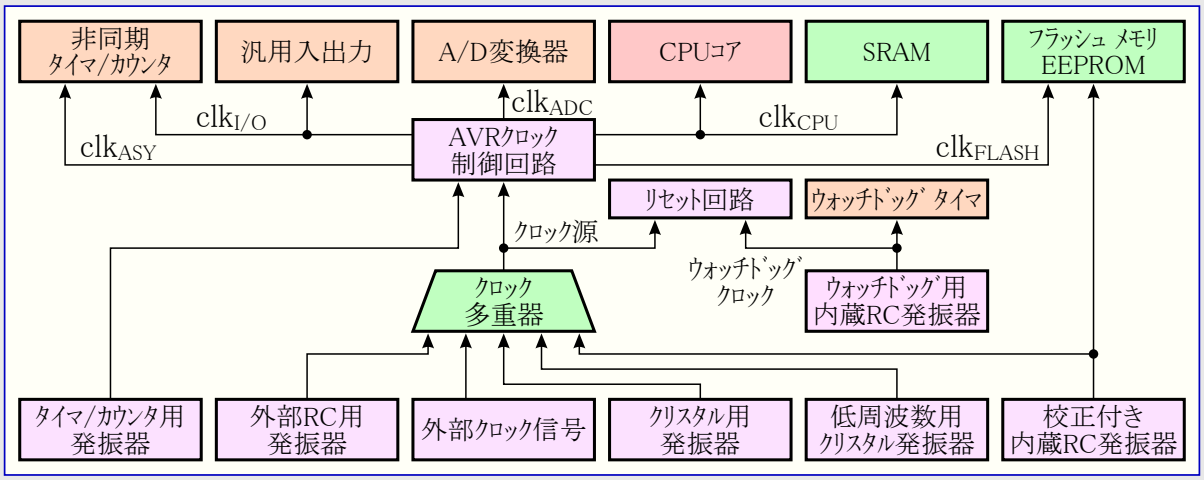
XMM2	XMM1	XMM0	アドレス上位バイト ビット数	開放ポート ピン
0	0	0	8 (最大約60Kバイト)	なし
0	0	1	7	PORTC7
0	1	0	6	PORTC7～6
0	1	1	5	PORTC7～5
1	0	0	4	PORTC7～4
1	0	1	3	PORTC7～3
1	1	0	2	PORTC7～2
1	1	1	0 (上位バイトなし)	PORTC7～0

13. システム クロックとクロック選択

13.1. クロック系統とその配給

下図はAVR内の主要なクロック系統とその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、36頁の「**電力管理と休止形態**」で記述される各種休止形態の使用によって、使われない部分のクロックを停止することができます。クロック系統は以下で詳述されます。

図13-1. クロックの配給



13.1.1. CPU クロック – clk_{CPU}

CPUクロックはAVRコアの動作と関係する系統の部分に配給されます。このような部分の例は汎用レジスタ ファイル、ステータス レジスタ、スタック ポインタを保持するデータ メモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

13.1.2. I/O クロック – $clk_{I/O}$

I/Oクロックはタイマ/カウンタ、SPI、USARTのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。2線直列I/F(TWI)部のアドレス認証は$clk_{I/O}$が停止される時に非同期に実行され、全休止形態でTWIアドレス受信を可能とすることにも注意してください。

13.1.3. フラッシュ クロック – clk_{FLASH}

フラッシュ クロックはフラッシュ メモリ インターフェースの動作を制御します。このフラッシュ クロックは常にCPUクロックと同時に活動します。

13.1.4. 非同期タイマ クロック – clk_{ASY}

非同期タイマ クロックは外部32kHzクロック用クリスタルから直接的にクロック駆動されるのを非同期タイマ/カウンタに許します。この専用クロック範囲はデバイスが休止形態の時でも、このタイマ/カウンタの実時間計数器としての使用を許します。

13.1.5. A/D変換クロック – clk_{ADC}

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成された雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

13.2. クロック元

このデバイスには右で示されるようにフラッシュ ヒューズ ビットによって選択可能な後続のクロック元選択があります。選択したクロック元からのクロックはAVRクロック発生器への入力で、適切な単位部へ配給されます。

各クロック選択に対する各種選択は次項で得られます。CPUがパワーダウンまたはパワーセーブから起動するとき、選択したクロック元は命令実行開始前に安定な発振器動作を保証する起動時間に使われます。CPUがリセットから始まるとき、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器はこの起動時間の実時間部のタイミングに使われます。各計時の完了に使われるウォッチドッグ(WDT)発振器の周期数は右下の表で示されます。「**代表特性**」で示されるようにウォッチドッグ発振器の周波数は電圧に依存します。

関連リンク　237頁の「代表特性」

表13-1. クロック種別選択

クロック種別	CKSEL3～0
外部クリスタル/セラミック発振子	1111～1010
外部低周波数クリスタル発振子	1001
外部RC発振	1000～0101
校正付き内蔵RC発振器	0100～0001
外部クロック信号	0000

注: 1=非プログラム、0=プログラム

表13-2. WDT発振器の代表計時完了値、周期数

VCC=3.0V	VCC=5.0V	周期数
4.3ms	4.1ms	4K (4096)
69ms	65ms	64K (65536)

13.3. 既定のｸﾛｯｸ元

このﾃﾞﾊﾞｲｽはCKSEL=0001, SUT=10で出荷されます。従って既定ｸﾛｯｸ元設定は最長起動時間の1MHz内蔵RC発振器です。この既定設定は全ての使用者が実装または並列書き込み器を使って、それらを希望したｸﾛｯｸ元設定にできることを保証します。

13.4. ｸﾘｽﾀﾙ用発振器

XTAL1とXTAL2は右図で示されるように、ﾁｯﾌﾟ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。ｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子のどちらでも使えます。CKOPTﾋｭｰｽﾞは2つの異なる発振増幅器動作の1つを選択します。CKOPTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、発振器出力は全振幅電圧出力です。この動作は雑音が多い環境やXTAL2出力が他のｸﾛｯｸ緩衝器を駆動する時に適します。この動作は広い周波数範囲を持ちます。CKOPTﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)にされると、発振器はより小さな出力振幅になります。これはかなり消費電力を削減します。この動作は制限された周波数範囲を持ち、他のｸﾛｯｸ緩衝器を駆動するのに使えません。

ｾﾗﾐｯｸ振動子での最高周波数はCKOPTﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)で8MHz、CKOPTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)で16MHzです。C1とC2はｸﾘｽﾀﾙ発振子とｾﾗﾐｯｸ振動子の両方について常に等しくすべきです。このｺﾝﾃﾞﾝｻの最適値は使うｸﾘｽﾀﾙ発振子やｾﾗﾐｯｸ振動子、浮遊容量の量、その環境の電磁雑音に依存します。ｸﾘｽﾀﾙ発振子使用に対するｺﾝﾃﾞﾝｻ選択について初期の指針のいくつかは右表で与えられます。ｾﾗﾐｯｸ振動子については製造業者によって与えられたｺﾝﾃﾞﾝｻ値が使われるべきです。

この発振器は示された周波数範囲で各々最適化された3つの異なる種別で動作できます。この動作種別は右表で示されるようにCKSEL3～1ﾋｭｰｽﾞによって選択されます。

CKSEL0ﾋｭｰｽﾞはSUT1,0ﾋｭｰｽﾞと共に次表で示されるように起動時間を選択します。

図13-2. ｸﾘｽﾀﾙ発振子接続図

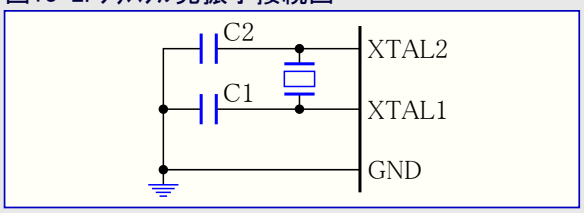


表13-3. ｸﾘｽﾀﾙ発振器動作

CKOPT	CKSEL3～1	周波数範囲	推奨C1,2容量
	101 (注2)	0.4～0.9MHz	-
1	110	0.9～3.0MHz	12～22pF
(注1)	111	3.0～8.0MHz	12～22pF
0	101～111	1.0～16MHz	12～22pF

注1: CKOPTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、発振器出力は全振幅電圧出力です。

注2: この選択はｸﾘｽﾀﾙ発振子ではなく、ｾﾗﾐｯｸ振動子でのみ使われるべきです。

表13-4. ｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子用起動遅延時間選択表

CKSEL0	SUT1,0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	0 0	258×CK (注1)	4.1ms	外部ｾﾗﾐｯｸ振動子、高速上昇電源
	0 1	258×CK (注1)	65ms	外部ｾﾗﾐｯｸ振動子、低速上昇電源
	1 0	1K×CK (注2)	-	外部ｾﾗﾐｯｸ振動子、低電圧検出(BOD)ﾘｾｯﾄ許可
	1 1	1K×CK (注2)	4.1ms	外部ｾﾗﾐｯｸ振動子、高速上昇電源
1	0 0	1K×CK (注2)	65ms	外部ｾﾗﾐｯｸ振動子、低速上昇電源
	0 1	16K×CK	-	外部ｸﾘｽﾀﾙ発振子、低電圧検出(BOD)ﾘｾｯﾄ許可
	1 0	16K×CK	4.1ms	外部ｸﾘｽﾀﾙ発振子、高速上昇電源
	1 1	16K×CK	65ms	外部ｸﾘｽﾀﾙ発振子、低速上昇電源

注1: これらの選択はﾃﾞﾊﾞｲｽの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。これらの選択はｸﾘｽﾀﾙ発振子用ではありません。

注2: これらの選択はｾﾗﾐｯｸ振動子での使用を意図され、起動での周波数安定性を保証します。ﾃﾞﾊﾞｲｽの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はｸﾘｽﾀﾙ発振子も使えます。

13.5. 低周波数ｸﾘｽﾀﾙ用発振器

ﾃﾞﾊﾞｲｽに対するｸﾛｯｸ元として時計用32.768kHzｸﾘｽﾀﾙを使うには、CKSEL3～0ﾋｭｰｽﾞを'1001'に設定することによって低周波数ｸﾘｽﾀﾙ発振器が選択されなければなりません。ｸﾘｽﾀﾙは図13-2.で示されるように接続されるべきです。CKOPTﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)により、使用者はXTAL1とXTAL2の内部容量(ｺﾝﾃﾞﾝｻ)を許可でき、それによって外部ｺﾝﾃﾞﾝｻの必要がなくなります。内部容量は36pFの公称値です。

この発振器が選択されると、起動時間は次表で示されるようにSUTﾋｭｰｽﾞによって決定されます。

表13-5. 低周波数ｸﾘｽﾀﾙ発振器用起動遅延時間選択表

SUT1,0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	1K×CK (注1)	4.1ms	高速上昇電源または低電圧検出(BOD)ﾘｾｯﾄ許可
0 1	1K×CK (注1)	65ms	低速上昇電源
1 0	32K×CK	65ms	起動時周波数の安定重視
1 1	(予約)		

注1: これらの選択は応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。

13.6. 外部RC発振器

ﾀｲﾐﾝｸﾞに鈍感な応用に対しては右図で示される外部RC設定が使えます。周波数は式f=1/(3RC)によって大まかに推測されます。Cは最低22pFであるべきです。CKOPTﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)により、使用者はXTAL1とGND間の36pF内部容量を許可でき、それによって外部ｺﾝﾃﾞﾝｻの必要がなくなります。

この発振器は示された周波数範囲で各々最適化された4つの異なる種別で動作できます。この動作は次表で示されるようにCKSEL3～0ﾋｭｰｽﾞによって選択されます。

図13-3. 外部RC接続図

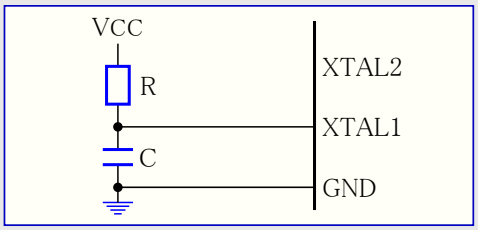


表13-6. 外部RC発振器動作

CKSEL3～0	周波数範囲 (MHz)
0 1 0 1	0.1～0.9
0 1 1 0	0.9～3.0
0 1 1 1	3.0～8.0
1 0 0 0	8.0～12.0

この発振器が選択されると、起動時間は下表で示されるようにSUTﾋｭｰｽﾞによって決定されます。

表13-7. 外部RC発振器用起動遅延時間選択表

SUT1,0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	18×CK	-	低電圧検出(BOD)ﾘｾｯﾄ許可
0 1	18×CK	4.1ms	高速上昇電源
1 0	18×CK	65ms	低速上昇電源
1 1	6×CK (注1)	4.1ms	高速上昇電源または低電圧検出(BOD)ﾘｾｯﾄ許可

注1: この選択はﾃﾞﾊﾞｲｽの最高周波数付近で動作するときに使われるべきではありません。

13.7. 校正付き内蔵RC発振器

校正された内蔵RC発振器は決められた1.0, 2.0, 4.0, 8.0MHzｸﾛｯｸを供給します。全ての周波数は5V,25℃での公称値です。このｸﾛｯｸは右表で示されるようにCKSELﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾐﾝｸﾞによってｼｽﾃﾑ ｸﾛｯｸとして選択できます。選択したなら、外部部品なしで動作します。このｸﾛｯｸ選択を使うとき、CKOPTﾋｭｰｽﾞは常に非ﾌﾟﾛｸﾞﾗﾑ(1)にされるべきです。ﾘｾｯﾄ中、ﾊｰﾄﾞｳｪｱが発振校正ﾚｼﾞｽﾀ(OSCCAL)に1MHz校正値ﾊﾞｲﾄを設定し、これによってRC発振器を自動的に校正します。5V,25℃で1.0MHz発振器周波数が選択され、この校正は公称周波数±3%以内の周波数を与えます。atmel.com/avrで利用可能な応用記述に記載された実行時校正法の使用で、与えられたどのVCCと温度でも±1%の精度を達成することができます。この発振器がﾁｯﾌﾟ(ｼｽﾃﾑ)ｸﾛｯｸとして使われるとき、ｳｫｯﾁﾄﾞｯｸﾞ発振器は未だｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏとﾘｾｯﾄ付加遅延ﾀｲﾏに使われます。予め設定された校正値のより多くの情報については「校正ﾊﾞｲﾄ」項をご覧ください。

表13-8. 校正付き内蔵RC発振器動作

CKSEL3～0	公称周波数 (MHz)
0 0 0 1 (注1)	1.0
0 0 1 0	2.0
0 0 1 1	4.0
0 1 0 0	8.0

注1: ﾃﾞﾊﾞｲｽはこの選択で出荷されます。

この発振器が選択されると、起動時間は次図で示されるようにSUTﾋｭｰｽﾞによって決定されます。XTAL1とXTAL2は未接続(NC)のままにされるべきです。

表13-9. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	-	低電圧検出ﾘｾｯﾄ(BOD)許可
0 1	6×CK	4.1ms	高速上昇電源
1 0 (注1)	6×CK	65ms	低速上昇電源
1 1	(予約)		

注1: ﾃﾞﾊﾞｲｽはこの選択で出荷されます。

関連リンク　210頁の「校正バイト」

13.8. 外部クロック信号

外部クロック元からデバイスを駆動するためにXTAL1は右図で示されるように駆動されるべきです。外部クロックでデバイスを走行するためにCKSELヒューズは'0000'にプログラム(設定)されなければなりません。CKOPTヒューズのプログラム(0)により、使用者はXTAL1とGND間の36pF内部容量を許可できます。

このクロック元が選択されると、起動時間は次表で示されるようにSUTヒューズによって決定されます。

図13-4. 外部クロック信号駆動接続図

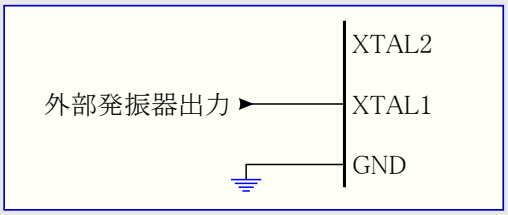


表13-10. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウン, パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	-	低電圧検出リセット(BOD)許可
0 1	6×CK	4.1ms	高速上昇電源
1 0	6×CK	65ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

13.9. タイマ/カウンタ用発振器

AVRマイクロ コントローラのタイマ/カウンタ用発振器(TOSC1とTOSC2)ピンに対して、クリスタル発振子はこのピン間に直接的に接続されます。外部コンデンサは必要とされません。この発振器は時計用32.768kHzクリスタルでの使用に最適化されています。外部クロック元をTOSC1に供給することは推奨されません。

注: タイマ/カウンタ用発振器は低周波数クリスタル用発振器と同じ形式のクリスタル用発振器を使い、内部容量(C)は同じ36pFの公称値を持ちます。

13.10. クロック関係用レジスタ

13.10.1. OSCCAL – 発振校正レジスタ (Oscillator Calibration Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: OSCCALレジスタはATmega103互換動作で利用できません。

名称 : OSCCAL
変位 : ($6F)
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	デバイス固有の校正値							

● **ビット7～0 – CAL7～0 : 発振校正値** (Oscillator Calibration Value)

このアドレスへの校正バイト書き込みは発振器周波数の偏差処理を省くために内蔵発振器を調整します。リセット中、識票列上位バイト(アドレス$00)に配置される1MHz校正値が発振校正レジスタ(OSCCAL)内へ自動的に設定されます。内蔵RC発振器が他の周波数で使われる場合、校正値は手動で設定されなければなりません。これは初めに書き込み器によって識票列を読み、そしてその後フラッシュ メモリまたはEEPROMに校正値を保存することによって行えます。その後この値はソフトウェアによって読まれ、OSCCALに設定できます。OSCCALが0の時に最低利用可能周波数が選択されます。このレジスタへ0以外の値を書くことは内蔵発振器の周波数を増加します。このレジスタへの$FF書き込みは最高使用可能周波数にします。校正付き発振器はフラッシュ メモリとEEPROMのアクセス時間に使われます。フラッシュ メモリまたはEEPROMが書かれる場合、公称周波数より上へ10%を越えて校正してはいけません。そうでなければ、フラッシュ メモリまたはEEPROM書き込みは失敗するかもしれません。この発振器は1.0, 2.0, 4.0, 8.0 MHzへの校正が意図されることに注意してください。右表で示されるような他の値への調整は保証されません。

表13–11. 内蔵RC発振器周波数範囲

OSCCAL値	公称周波数に対する割合	
	最小	最大
$00	50 %	100 %
$7F	75 %	150 %
$FF	100 %	200 %

13.10.2. XDIV – クロック分周制御レジスタ (XTAL Divide Control Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

クロック分周制御レジスタは元となるクロック周波数を2～129範囲の数で分周するのに使われます。この機能は処理能力に対する必要条件が低いとき、消費電力低減のために使えます。

名称 : XDIV
変位 : $3C ($5C)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$5Cです。

ビット	7	6	5	4	3	2	1	0
	XDIVEN	XDIV6	XDIV5	XDIV4	XDIV3	XDIV2	XDIV1	XDIV0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – XDIVEN : クロック分周許可** (XTAL Divide Enable)

XDIVENビットが1を書かれると、CPUと全周辺機能のクロック(clk_{CPU}, $clk_{I/O}$, clk_{FLASH}, clk_{ADC})周波数は、XDIV6～0の設定で定義した要素で分周されます。このビットは応用目的に合せたクロック周波数へ変えるため、実行時に書くことができます。

● **ビット6～0 – XDIV6～0 : クロック分周値選択** (XTAL Divide Select Bits 6～0)

これらのビットはクロック分周許可(XDIVEN)ビットが設定(1)された場合に適用する分周要素を定義します。これらのビット値がdで示される場合、次式はCPUと全周辺機能のクロック周波数f_{CLK}の結果を定義します。

$$f_{CLK} = \frac{\text{元となるクロック}}{129 - d}$$

これらのﾋﾞｯﾄ値はｸﾛｯｸ分周許可(XDIVEN)ﾋﾞｯﾄが解除(0)の時だけ変更できます。XDIVENが1を書かれるとき、同時にXDIV6～0内に書かれた値は分周要素として採用されます。XDIVENが0を書かれるとき、同時にXDIV6～0内に書かれた値は却下されます。この分周器がMCUへの主ｸﾛｯｸ入力を分周するため、分周要素が使われると、全周辺(機能)の速度が低下されます。

ｼｽﾃﾑ ｸﾛｯｸが分周されるとき、ﾀｲﾏ/ｶｳﾝﾀ0は非同期ｸﾛｯｸでだけ使えます。非同期ｸﾛｯｸ周波数は(主ｸﾛｯｸ用)元ｸﾛｯｸを分周した周波数の1/4よりも低くなければなりません。さもなければ割り込みが失われたり、ﾀｲﾏ/ｶｳﾝﾀ0のﾚｼﾞｽﾀ ｱｸｾｽが失敗するかもしれません。

14. 電力管理と休止形態

14.1. 休止形態種別

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

クロック系統とその配給内の図はATmega128Aの各種クロック系統とその配給を示します。この図は適切な休止形態を選択する助けになります。下表は各種休止形態とそれらの起動元を示します。

表14-1. 各休止形態に於ける動作クロック範囲と復帰起動要因

休止種別	動作クロック範囲					動作発振器		復帰起動要因 (割り込み)					
	clk CPU	clk FLASH	clk IO	clk ADC	clk ASY	主クロック供給元	タイマ用発振器	INTn	TWI アドレス一致	タイマ/カウンタ0	SPM EEPROM操作可	A/D変換完了	その他 I/O
アイドル			○	○	○	○	②	○	○	○	○	○	○
A/D変換雑音低減				○	○	○	②	③	○	○	○	○	
パワーダウン								③	○				
パワーセーブ					②		②	③	○	②			
スタンバイ(注1)						○		③	○				
拡張スタンバイ(注1)					②	○	②	③	○	②			

注1: クロック元として外部クリスタル発振子またはセラミック振動子が選択された場合です。

② タイマ/カウンタ0非同期状態レジスタ(ASSR)の非同期クロック(AS0)ビットが設定(1)された場合です。

③ INT3～0の割り込み、またはINT7～4のレベル割り込みだけです。

6つの休止形態の何れかへ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRの休止種別選択(SM2～0)ビットはSLEEP命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、パワーダウン、パワーセーブ、スタンバイ、拡張スタンバイ)のどれかを選びます。一覧については表14-2.をご覧ください。

MCUが休止形態中に許可した割り込みが起こると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスが休止から起動するとき、レジスタ ファイルとSRAMの内容は変えられません。休止形態中にリセットが起こると、MCUは起動し、リセット ベクタから実行します。

関連リンク 30頁の「クロック系統とその配給」

14.2. アイドル動作

休止種別選択(SM2～0)ビットが'000'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、SPI、USART、アナログ比較器、A/D変換器、2線直列インターフェース、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclk_{CPU}とclk_{FLASH}を停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れやUSARTの送信完了などの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

14.3. A/D変換雑音低減動作

SM2～0ビットが'001'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、2線直列インターフェースのアドレス監視、タイマ/カウンタ0、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的に$clk_{I/O}$, clk_{CPU}, clk_{FLASH}を停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグ リセット、低電圧検出(BOD)リセット、2線直列インターフェースのアドレス一致割り込み、タイマ/カウンタ0の割り込み、SPM/EEPROM操作可割り込み、INT7～4の外部レベル割り込みとINT3～0の外部割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

14.4. パワーダウン動作

休止種別選択(SM2～0)ビットが'010'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では外部発振器が停止される一方、外部割り込み、2線直列インターフェースのアドレス監視、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグ リセット、低電圧検出(BOD)リセット、2線直列インターフェースのアドレス一致割り込み、INT7～4の外部レベル割り込み、INT3～0の外部割り込みだけがMCUを起動できます。この休止形態は基本的に生成した全てのクロックを停止し、非同期部の動作だけを許します。

レベルで起動した割り込みがパワーダウン動作からの復帰に使われる場合、MCUを起動するためには変更したレベルが一定時間保持されなければならないことに注意してください。詳細については「**外部割り込み**」を参照してください。

パワーダウン動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをクロックに許します。この起動(遅延)時間は「**クロック元**」で記述されるように、リセット遅延時間を定義するのと同じCKSELヒューズによって定義されます。

関連リンク　50頁の「外部割り込み」
30頁の「クロック元」

14.5. パワーセーブ動作

SM2～0ビットが'011'を書かれると、SLEEP命令はMCUをパワーセーブ動作へ移行させます。この動作は(次の)1つの例外を除いてパワーダウン動作と同じです。

- タイマ/カウンタ0が非同期にクロック駆動される、換言するとタイマ/カウンタ0非同期状態レジスタ(ASSR)の非同期クロック(AS0)ビットが設定(1)されると、タイマ/カウンタ0は休止中に走行(動作)します。ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットまたは比較0割り込み許可(OCIE0)ビットが設定(1)されるなら、デバイスは対応するどちらの割り込みからでも起動できます。

タイマ/カウンタ0が非同期にクロック駆動されないなら、パワーセーブ動作での起動復帰後のタイマ/カウンタ0のレジスタ内容はASSRのAS0=0でも不定と見做すべきなので、パワーダウン動作をパワーセーブ動作の代わりにすることが推奨されます。

この休止形態は基本的にclk_{ASY}以外の全てのクロックを停止し、非同期にクロック駆動されるならタイマ/カウンタ0を含め、非同期部の動作だけを許します。

14.6. スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選択され、SM2～0ビットが'110'のとき、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は(外部クリスタル用)発振器が走行(動作)を保たれる例外を除いてパワーダウン動作と同じです。デバイスはスタンバイ動作から6クロック周期で起動します。

14.7. 拡張スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選択され、SM2～0ビットが'111'のとき、SLEEP命令はMCUを拡張スタンバイ動作へ移行させます。この動作は(外部クリスタル用)発振器が走行(動作)を保たれる例外を除いてパワーセーブ動作と同じです。デバイスは拡張スタンバイ動作から6クロック周期で起動します。

14.8. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するデバイスの機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

関連リンク　30頁の「システム クロックとクロック選択」

14.8.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電のため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については「**A/D変換器**」を参照してください。

関連リンク　175頁の「ADC – A/D変換器」

14.8.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使われないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他の休止形態でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。アナログ比較器設定法の詳細については「**アナログ比較器**」を参照してください。

関連リンク　173頁の「アナログ比較器」

14.8.3. 低電圧検出器(BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODENﾋｭｰｽﾞによって許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については「**低電圧検出(BOD)**」を参照してください。

関連ﾘﾝｸ　41頁の「低電圧検出(BOD)」

14.8.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、ｱﾅﾛｸﾞ比較器、A/D変換器によって必要とされる時に許可されます。これら単位部が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。起動時間の詳細については「**内部基準電圧**」を参照してください。

関連ﾘﾝｸ　42頁の「内部基準電圧」

14.8.5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが応用で必要とされないなら、この単位部はOFFにされるべきです。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定法の詳細については「**ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ**」を参照してください。

関連ﾘﾝｸ　43頁の「ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ」

14.8.6. ﾎﾟｰﾄ ﾋﾟﾝ

休止形態へ移行するとき、全てのﾎﾟｰﾄ ﾋﾟﾝは最小電力使用に設定されるべきです。最も重要なことはその時にﾋﾟﾝが抵抗性負荷を駆動しないのを保証することです。I/Oｸﾛｯｸ($clk_{I/O}$)とA/D変換ｸﾛｯｸ(clk_{ADC})の両方が停止される休止形態ではﾃﾞﾊﾞｲｽの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのﾋﾟﾝが許可されるかの詳細については「**ﾃﾞｼﾞﾀﾙ入力許可と休止形態**」を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはｱﾅﾛｸﾞ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

関連ﾘﾝｸ　55頁の「ﾃﾞｼﾞﾀﾙ入力許可と休止形態」

14.8.7. JTAGｲﾝﾀｰﾌｪｰｽと内蔵ﾃﾞﾊﾞｯｸﾞ機能 (OCD)

内蔵ﾃﾞﾊﾞｯｸﾞ機能がOCDENﾋｭｰｽﾞによって許可され、ﾁｯﾌﾟがﾊﾟﾜｰﾀﾞｳﾝまたはﾊﾟﾜｰｾｰﾌﾞの休止形態へ移行すると、主ｸﾛｯｸ元は許可に留まります。これらの休止形態では、これが総消費電流にとって重要な一因になります。これを避けるには3通りの方法があります。

- OCDENﾋｭｰｽﾞを禁止 (非ﾌﾟﾛｸﾞﾗﾑ(1)設定)
- JTAGENﾋｭｰｽﾞを禁止 (非ﾌﾟﾛｸﾞﾗﾑ(1)設定)
- MCU制御/状態ﾚｼﾞｽﾀ(MCUCSR)のJTAG禁止(JTD)ﾋﾞｯﾄへの1書き込み

JTAGｲﾝﾀｰﾌｪｰｽが許可され、JTAG TAP制御器がﾃﾞｰﾀを移動していないと、TDOﾋﾟﾝは浮き状態のままにされます。TDOﾋﾟﾝに接続したﾊｰﾄﾞｳｪｱが論理ﾚﾍﾞﾙをﾌﾟﾙｱｯﾌﾟしないなら、消費電力が増加するでしょう。走査ﾁｪｰﾝ内の次のﾃﾞﾊﾞｲｽのTDIﾋﾟﾝがこの問題を避けるﾌﾟﾙｱｯﾌﾟを含むことに注意してください。MCUCSRのJTDﾋﾞｯﾄに1を書くか、またはJTAGENﾋｭｰｽﾞを非ﾌﾟﾛｸﾞﾗﾑのままにすることがJTAGｲﾝﾀｰﾌｪｰｽを禁止します。

14.9. 電力管理用ﾚｼﾞｽﾀ

14.9.1. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control Register)

このMCU制御ﾚｼﾞｽﾀは電力管理用の制御ﾋﾞｯﾄを含みます。

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：MCUCR
変位 ：$35 ($55)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$55です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SRE	SRW10	SE	SM1	SM0	SM2	IVSEL	IVCE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ5 – SE : 休止許可** (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ﾋﾞｯﾄが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ﾋﾞｯﾄを設定(1)し、起動後直ちに解除(0)することが推奨されます。

● **ﾋﾞｯﾄ4,3 – SM1,0 : 休止種別選択** (Sleep Mode Select Bits)

ﾋﾞｯﾄ2(SM2)と併せたこれらのﾋﾞｯﾄは表で示される利用可能な6つの休止形態の1つを選択します。

表14-2. 休止形態種別選択

SM2	SM1	SM0	休止形態種別
0	0	0	ｱｲﾄﾞﾙ動作
0	0	1	A/D変換雑音低減動作
0	1	0	ﾊﾟﾜｰﾀﾞｳﾝ動作
0	1	1	ﾊﾟﾜｰｾｰﾌﾞ動作
1	0	0	(予約)
1	0	1	(予約)
1	1	0	ｽﾀﾝﾊﾞｲ動作 (注)
1	1	1	拡張ｽﾀﾝﾊﾞｲ動作 (注)

注: (拡張)ｽﾀﾝﾊﾞｲ動作は外部ｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子でだけ利用できます。

● **ﾋﾞｯﾄ2 – SM2 : 休止種別選択** (Sleep Mode Select Bit 2)

上の休止種別選択ﾋﾞｯﾄを参照してください。

15. システム制御とリセット

15.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセット ベクタから実行を開始します。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラム コードが配置できます。これはリセット ベクタが応用領域の一方、割り込みベクタがブート領域の場合やその逆も同様です。次項の回路構成図はリセット論理回路を示します。リセット回路の電気的特性は「**システムとリセットの特性**」の表で定義されます。

AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。

全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間はCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は「**クロック元**」で示されます。

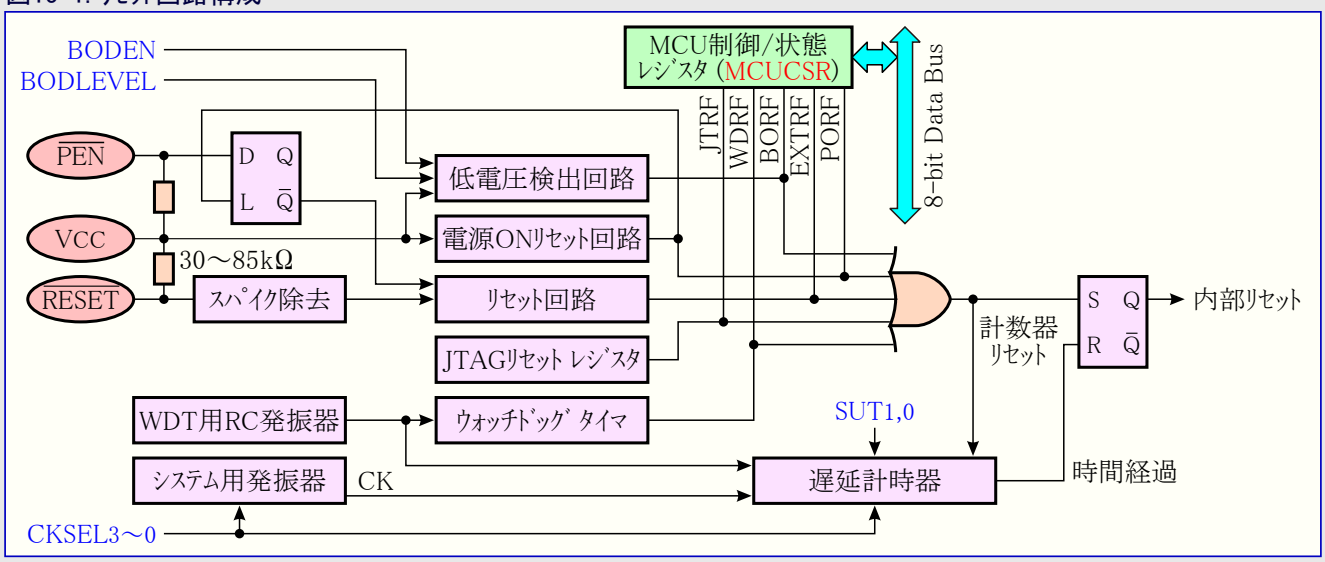
関連リンク　228頁の「システムとリセットの特性」
30頁の「クロック元」

15.2. リセット元

ATmega128Aには次の5つのリセット元があります。

- **電源ONリセット** ・・・・・ 供給電圧が電源ONリセット閾値電圧(V_{POT})以下でMCUがリセットされます。
- **外部リセット** ・・・・・・・・ $\overline{\text{RESET}}$ピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- **ウォッチドッグ リセット** ・・・ ウォッチドッグが許可され、ウォッチドッグ タイマが終了すると、MCUがリセットされます。
- **低電圧リセット** ・・・・・・ 低電圧検出器(BOD)が許可され、供給電圧(VCC)が低電圧検出電圧(V_{BOT})以下でMCUがリセットされます。
- **JTAG AVR リセット** ・・ JTAGシステムの走査チェーンの1つとしてリセット レジスタ内に論理1がある間中、MCUがリセットされます。詳細については「**IEEE 1149.1 (JTAG) 境界走査**」を参照してください。

図15-1. リセット回路構成



関連リンク　188頁の「IEEE 1149.1 (JTAG) 境界走査」

15.2.1. 電源ONﾘｾｯﾄ

電源ONﾘｾｯﾄ(POR)ﾊﾟﾙｽはﾁｯﾌﾟ上の検出回路によって生成されます。検出電圧は「**ｼｽﾃﾑとﾘｾｯﾄの特性**」の表で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動ﾘｾｯﾄの起動にも使えます。

電源ONﾘｾｯﾄ回路はﾃﾞﾊﾞｲｽが電源投入でﾘｾｯﾄされることを保証します。電源ONﾘｾｯﾄ閾値電圧(VPOT)への到達はVCCの上昇後にﾃﾞﾊﾞｲｽがどのくらいﾘｾｯﾄを保つかを決める遅延計数器(ﾀｲﾏ)を起動します。VCCがこの検出電圧以下に低下すると、ﾘｾｯﾄ信号はどんな遅延もなく再び有効にされます。

図15-2. 内蔵電源ONﾘｾｯﾄ (RESETはVCCに接続)

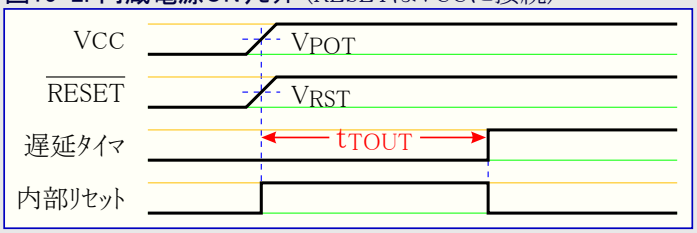
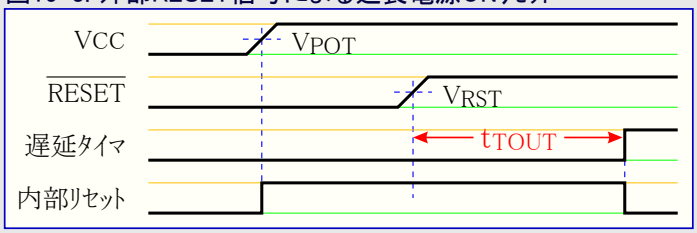


図15-3. 外部RESET信号による延長電源ONﾘｾｯﾄ



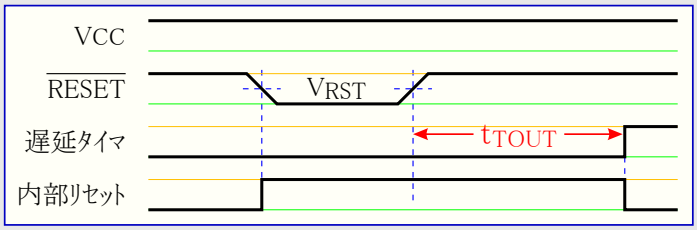
関連ﾘﾝｸ　228頁の「ｼｽﾃﾑとﾘｾｯﾄの特性」

15.2.2. 外部ﾘｾｯﾄ

外部ﾘｾｯﾄはRESETﾋﾟﾝのLowﾚﾍﾞﾙによって生成されます。例えｸﾛｯｸが動いていなくても、最小ﾊﾟﾙｽ幅(「**ｼｽﾃﾑとﾘｾｯﾄの特性**」の表参照)以上のﾘｾｯﾄ ﾊﾟﾙｽはﾘｾｯﾄを生成します。短すぎるﾊﾟﾙｽはﾘｾｯﾄの生成が保証されません。印加された信号の上昇がﾘｾｯﾄ閾値電圧(VRST)に達すると(遅延ﾀｲﾏが起動され)、遅延ﾀｲﾏは遅延時間(tTOUT)経過後にMCUを始動します。

関連ﾘﾝｸ　228頁の「ｼｽﾃﾑとﾘｾｯﾄの特性」

図15-4. 動作中の外部ﾘｾｯﾄ



15.2.3. 低電圧(ﾌﾞﾗｳﾝｱｳﾄ)検出

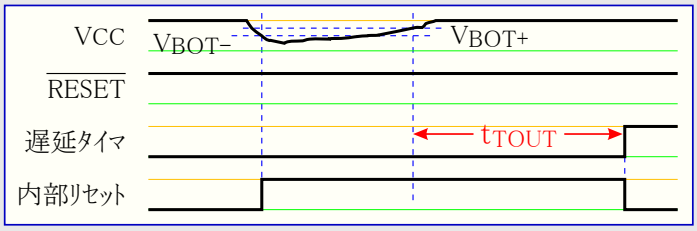
ATmega128Aには固定化された起動(検出)電圧と比較することによって動作中のVCCを監視するﾁｯﾌﾟ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELﾋｭｰｽﾞによって、2.7V (非ﾌﾟﾛｸﾞﾗﾑ(1))または4.0V(ﾌﾟﾛｸﾞﾗﾑ(0))を選択できます。この起動電圧はｽﾊﾟｲｸ対策BODを保証するためにﾋｽﾃﾘｼｽを持ちます。検出電圧のﾋｽﾃﾘｼｽはVBOT+=VBOT+VHYST/2、VBOT-=VBOT-VHYST/2と解釈すべきです。

BOD回路はBODENﾋｭｰｽﾞによって許可/禁止ができます。BODが許可(BODEN=ﾌﾟﾛｸﾞﾗﾑ(0))され、VCCが起動電圧以下の値に下降すると(右図のVBOT-)、低電圧ﾘｾｯﾄが直ちに有効とされます。VCCが起動電圧以上に上昇すると(右図のVBOT+)、(遅延ﾀｲﾏが起動され、)遅延ﾀｲﾏは遅延時間(tTOUT)経過後にMCUを始動します。

BOD回路は電圧が「**ｼｽﾃﾑとﾘｾｯﾄの特性**」の表で与えられるtBOD時間よりも長く起動電圧以下に留まる場合だけ、VCCでの低下を検出します。

関連ﾘﾝｸ　228頁の「ｼｽﾃﾑとﾘｾｯﾄの特性」

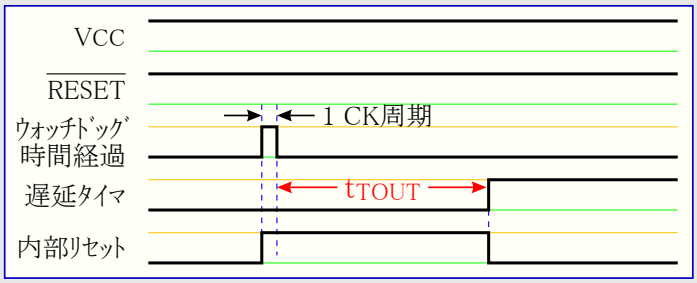
図15-5. 動作中の低電圧検出ﾘｾｯﾄ



15.2.4. ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ

ｳｫｯﾁﾄﾞｯｸﾞ時間経過時、(内部的に)1CK周期幅の短いﾘｾｯﾄ ﾊﾟﾙｽを生成します。このﾊﾟﾙｽの下降端で遅延ﾀｲﾏが遅延時間(tTOUT)の計時を始めます。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ操作の詳細については「**ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ**」を参照してください。

図15-6. 動作中のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ



15.3. 内部基準電圧

ATmega128Aは内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やｱﾅﾛｸﾞ比較器の入力としても使えます。A/D変換器への2.56V基準電圧は内部基準電圧(1.23V)から生成されます。

15.3.1. 基準電圧許可信号と起動時間

この基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は「**ｼｽﾃﾑとﾘｾｯﾄの特性**」の表で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出ﾘｾｯﾄ許可時 (BODENﾋｭｰｽﾞ=ﾌﾟﾛｸﾞﾗﾑ(0))
2. ｱﾅﾛｸﾞ比較器基準電圧接続時 (ｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)の基準電圧入力選択(ACBG)=1)
3. A/D変換部動作許可時 (A/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はｱﾅﾛｸﾞ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。ﾊﾟﾜｰﾀﾞｳﾝ動作での消費電力を減らすため、使用者はﾊﾟﾜｰﾀﾞｳﾝ動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

関連ﾘﾝｸ　228頁の「ｼｽﾃﾑとﾘｾｯﾄの特性」

15.4. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは1MHzで動く独立したﾁｯﾌﾟ上の発振器からｸﾛｯｸ駆動されます。これはVCC=5Vでの代表値です。他のVCC電圧での代表値については「**特性ﾃﾞｰﾀ**」をご覧ください。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周器の制御によってｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ間隔は45頁の**表15-2.**で示されるように調整できます。ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ(WDR)命令はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏをﾘｾｯﾄします。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏはそれが禁止される時とﾁｯﾌﾟ ﾘｾｯﾄが起こる時にもﾘｾｯﾄされます。8つの異なるｸﾛｯｸ周期が、このﾘｾｯﾄ周期を決めるために選択できます。別のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄなしにﾘｾｯﾄ周期が経過すると、ATmega128Aはﾘｾｯﾄしてﾘｾｯﾄ ﾍﾞｸﾀから実行します。ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄの詳細ﾀｲﾐﾝｸﾞについては41頁の「**ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ**」を参照してください。

予期せぬｳｫｯﾁﾄﾞｯｸﾞ禁止や予期せぬ計時周期変更を防ぐため、3つの異なる安全ﾚﾍﾞﾙは表で示されるWDTONとM103Cﾋｭｰｽﾞによって選択されます。安全ﾚﾍﾞﾙ0はATmega103での設定に相当します。どの安全ﾚﾍﾞﾙでもWDTの許可に制限はありません。詳細については「**ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定変更の時間制限手順**」を参照してください。

図15-7. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ構成図

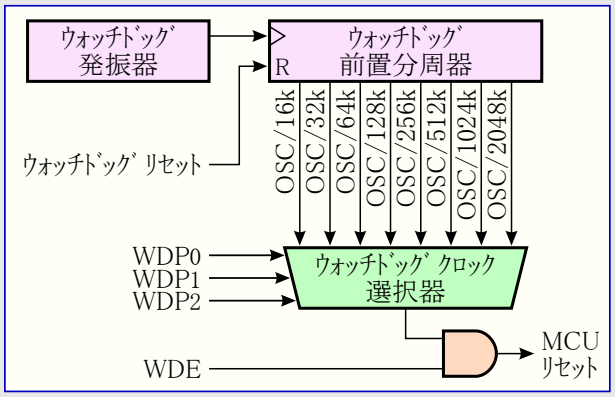


表15-1. M103CとWDTONﾋｭｰｽﾞ設定によるｳｫｯﾁﾄﾞｯｸﾞ機能設定

M103C ﾋｭｰｽﾞ	WDTON ﾋｭｰｽﾞ	安全ﾚﾍﾞﾙ	WDT初期状態	WDT禁止方法	計時時間変更方法
非ﾌﾟﾛｸﾞﾗﾑ(1)	非ﾌﾟﾛｸﾞﾗﾑ(1)	1	禁止	時間制限	時間制限
非ﾌﾟﾛｸﾞﾗﾑ(1)	ﾌﾟﾛｸﾞﾗﾑ(0)	2	許可	なし(常時許可)	時間制限
ﾌﾟﾛｸﾞﾗﾑ(0)	非ﾌﾟﾛｸﾞﾗﾑ(1)	0	禁止	時間制限	制限なし
ﾌﾟﾛｸﾞﾗﾑ(0)	ﾌﾟﾛｸﾞﾗﾑ(0)	2	許可	なし(常時許可)	時間制限

15.5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定変更の時間制限手順

ｳｫｯﾁﾄﾞｯｸﾞ設定変更手順は安全ﾚﾍﾞﾙ間で僅かに異なります。各ﾚﾍﾞﾙに対して独立した手順が記述されます。

15.5.1. 安全ﾚﾍﾞﾙ0

この動作種別はATmega103にみられるｳｫｯﾁﾄﾞｯｸﾞ操作と互換性があります。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは初めに禁止されますが、どんな制限もなくｳｫｯﾁﾄﾞｯｸﾞ許可(WDE)ﾋﾞｯﾄに1を書くことによって許可できます。ｳｫｯﾁﾄﾞｯｸﾞ計時完了周期は制限なしに何時でも変更できます。許可したｳｫｯﾁﾄﾞｯｸﾞを禁止するには44頁のｳｫｯﾁﾄﾞｳｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ(WDTCR)のWDEﾋﾞｯﾄの記述で示された手順に従わなければなりません。

15.5.2. 安全ﾚﾍﾞﾙ1

この動作種別ではｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが初めに禁止されますが、どんな制限もなくｳｫｯﾁﾄﾞｯｸﾞ許可(WDE)ﾋﾞｯﾄに1を書くことによって許可できます。ｳｫｯﾁﾄﾞｯｸﾞ計時完了周期を変更または許可したｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止する時に時間制限手順が必要とされます。許可したｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止や、ｳｫｯﾁﾄﾞｯｸﾞ計時完了周期を変更するには次の手順に従わなければなりません。

1. 同じ操作(命令)でｳｫｯﾁﾄﾞｯｸﾞ変更許可(WDCE)とWDEに論理1を書きます。WDEﾋﾞｯﾄの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4ｸﾛｯｸ周期内に同じ操作(命令)で欲したWDEとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択(WDP2～0)ﾋﾞｯﾄを書きますが、WDCEﾋﾞｯﾄは解除(0)されてです。

15.5.3. 安全ﾚﾍﾞﾙ2

この動作種別ではｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが常に許可され、WDEﾋﾞｯﾄは常に1として読めます。時間制限手順はｳｫｯﾁﾄﾞｯｸﾞ計時完了周期を変更する時に必要とされます。ｳｫｯﾁﾄﾞｯｸﾞ計時完了周期を変更するには次の手順に従わなければなりません。

1. 同じ操作(命令)でWDCEとWDEに論理1を書きます。WDEﾋﾞｯﾄが常に設定(1)されていても、WDEは時間制限手順を開始するために1を書かれなければなりません。
2. 次からの4ｸﾛｯｸ周期内に同じ操作(命令)で欲したWDP2～0ﾋﾞｯﾄを書きますが、WDCEﾋﾞｯﾄは解除(0)されてです。WDEﾋﾞｯﾄに書かれた値は無関係です。

15.6. リセット関係用レジスタ

15.6.1. MCUCSR – MCU制御/状態レジスタ (MCU Control and Status Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

MCU制御/状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

リセット条件の確認にリセット フラグを使うため、使用者はプログラム内で可能な限り早くMCUCSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、リセット元はリセット フラグを調べることによって得られます。

注: ATmega103互換動作ではEXTRFとPORFだけ利用可能です。

名称 : MCUCSR
変位 : $34 ($54)
リセット : '000xxxxx' (以下の説明を参照)
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$54です。

ビット	7	6	5	4	3	2	1	0
	JTD	–	–	JTRF	WDRF	BORF	EXTRF	PORF
アクセス種別	R/W	R	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照

- **ビット4 – JTRF : JTAG リセット フラグ** (JTAG Reset Flag)

このビットはリセットがJTAG命令AVR_RESETで選択されたJTAG リセット レジスタ内の論理1によって引き起こされると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット3 – WDRF : ウォッチドッグ リセット フラグ** (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット2 – BORF : 低電圧リセット フラグ** (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット1 – EXTRF : 外部リセット フラグ** (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット0 – PORF : 電源ONリセット フラグ** (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

15.6.2. WDTCR – ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : WDTCR
変位 : $21 ($41)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$41です。

ビット	7	6	5	4	3	2	1	0
	–	–	–	WDCE	WDE	WDP2	WDP1	WDP0
アクセス種別	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

- **ビット4 – WDCE : ウォッチドッグ変更許可** (Watchdog Change Enable)

ウォッチドッグ許可(WDE)ビットが論理0を書かれるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一旦1を書かれると、ハードウェアが4クロック周期後、このビットを解除(0)します。ウォッチドッグ禁止手順についてはWDEビットの記述を参照してください。安全レベル1と2では前置分周選択ビットを変更する時も、本ビットが設定(1)されなければなりません。43頁の「ウォッチドッグ タイマ設定変更の時間制限手順」を参照してください。

● ﾋﾞｯﾄ3 – WDE : ｳｫｯﾁﾄﾞｯｸﾞ許可 (Watchdog Enable)

ｳｫｯﾁﾄﾞｯｸﾞ許可(WDE)が論理1を書かれるとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可され、WDEが論理0を書かれるとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ機能が禁止されます。WDEはｳｫｯﾁﾄﾞｯｸﾞ変更許可(WDCE)ﾋﾞｯﾄが論理ﾚﾍﾞﾙ1を持つ場合だけ解除(0)できます。許可されているｳｫｯﾁ ﾄﾞｯｸﾞ ﾀｲﾏを禁止するには次の手順に従わなければなりません。

1. 同じ操作(命令)内で、ｳｫｯﾁﾄﾞｯｸﾞ変更許可(WDCE)ﾋﾞｯﾄとｳｫｯﾁﾄﾞｯｸﾞ許可(WDE)ﾋﾞｯﾄに論理1を書きます。例え禁止操作を始める前のWDEが1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次からの4ｸﾛｯｸ周期内で、論理0をWDEに書きます。これがｳｫｯﾁﾄﾞｯｸﾞを禁止します。

安全ﾚﾍﾞﾙ2では上記の手順でもｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止することができません。43頁の「ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定変更の時間制限手順」を参照してください。

● ﾋﾞｯﾄ2～0 – WDP2～0 : ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2～0ﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可される時のｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの前置分周を決めます。異なる前置分周値と対応する計時完了周期は右表で示されます。

表15-2. ｳｫｯﾁﾄﾞｯｸﾞ前置分周選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16k (16,384)	14.8ms	14.0ms
0	0	1	32k (32,768)	29.6ms	28.1ms
0	1	0	64k (65,536)	59.1ms	56.2ms
0	1	1	128k (131,072)	0.12s	0.11s
1	0	0	256k (262,144)	0.24s	0.22s
1	0	1	512k (524,288)	0.47s	0.45s
1	1	0	1024k (1,048,576)	0.95s	0.9s
1	1	1	2048k (2,097,152)	1.9s	1.8s

次のｺｰﾄﾞ例はｳｫｯﾁﾄﾞｯｸﾞ(WDT)をOFFに切り替えるｱｾﾝﾌﾞﾘ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WDT_OFF:    WDR                                 ;ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ
            IN      R16,WDTCR                   ;現WDTCR値を取得
            ORI     R16,(1<<WDCE)|(1<<WDE)      ;WDCEとWDE論理1値を設定
            OUT     WDTCR,R16                   ;WDCEとWDEに論理1書き込み
            LDI     R16,(0<<WDE)                ;WDE論理0値を取得
            OUT     WDTCR,R16                   ;ｳｫｯﾁﾄﾞｯｸﾞ禁止
            RET                                 ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void WDT_off(void)
{
    __watchdog_reset();                         /* ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ */
    WDTCR |= (1<<WDCE)|(1<<WDE);                /* WDCEとWDEに論理1書き込み */
    WDTCR = 0x00;                               /* ｳｫｯﾁﾄﾞｯｸﾞ禁止 */
}
```

16. 割り込み

本項はATmega128Aによって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については「**ﾘｾｯﾄと割り込みの扱い**」を参照してください。

関連ﾘﾝｸ　16頁の「ﾘｾｯﾄと割り込みの扱い」

16.1. ATmega128Aの割り込みﾍﾞｸﾀ

表16-1. ﾘｾｯﾄと割り込みのﾍﾞｸﾀ

ﾍﾞｸﾀ番号	ﾌﾟﾛｸﾞﾗﾑ ｱﾄﾞﾚｽ (注2)	発生元	備考
1	$0000 (注1)	ﾘｾｯﾄ	電源ON, WDT, BOD等の各種ﾘｾｯﾄ
2	$0002	INT0	外部割り込み要求0
3	$0004	INT1	外部割り込み要求1
4	$0006	INT2	外部割り込み要求2
5	$0008	INT3	外部割り込み要求3
6	$000A	INT4	外部割り込み要求4
7	$000C	INT5	外部割り込み要求5
8	$000E	INT6	外部割り込み要求6
9	$0010	INT7	外部割り込み要求7
10	$0012	ﾀｲﾏ/ｶｳﾝﾀ2 COMP2	ﾀｲﾏ/ｶｳﾝﾀ2比較一致
11	$0014	ﾀｲﾏ/ｶｳﾝﾀ2 OVF2	ﾀｲﾏ/ｶｳﾝﾀ2溢れ
12	$0016	ﾀｲﾏ/ｶｳﾝﾀ1 CAPT1	ﾀｲﾏ/ｶｳﾝﾀ1捕獲発生
13	$0018	ﾀｲﾏ/ｶｳﾝﾀ1 COMP1A	ﾀｲﾏ/ｶｳﾝﾀ1比較A一致
14	$001A	ﾀｲﾏ/ｶｳﾝﾀ1 COMP1B	ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
15	$001C	ﾀｲﾏ/ｶｳﾝﾀ1 OVF1	ﾀｲﾏ/ｶｳﾝﾀ1溢れ
16	$001E	ﾀｲﾏ/ｶｳﾝﾀ0 COMP0	ﾀｲﾏ/ｶｳﾝﾀ0比較一致
17	$0020	ﾀｲﾏ/ｶｳﾝﾀ0 OVF0	ﾀｲﾏ/ｶｳﾝﾀ0溢れ
18	$0022	SPI STC	SPI 転送完了
19	$0024	USART0 RX	USART0 受信完了
20	$0026	USART0 UDRE	USART0 送信緩衝部空き
21	$0028	USART0 TX	USART0 送信完了
22	$002A	A/D変換器 ADC	A/D変換完了
23	$002C	EEPROM EE_RDY	EEPROM 操作可
24	$002E	ｱﾅﾛｸﾞ比較器 ANA_COMP	ｱﾅﾛｸﾞ比較器出力遷移
25	$0030 (注3)	ﾀｲﾏ/ｶｳﾝﾀ1 COMP1C	ﾀｲﾏ/ｶｳﾝﾀ1比較C一致
26	$0032 (注3)	ﾀｲﾏ/ｶｳﾝﾀ3 CAPT3	ﾀｲﾏ/ｶｳﾝﾀ3捕獲発生
27	$0034 (注3)	ﾀｲﾏ/ｶｳﾝﾀ3 COMP3A	ﾀｲﾏ/ｶｳﾝﾀ3比較A一致
28	$0036 (注3)	ﾀｲﾏ/ｶｳﾝﾀ3 COMP3B	ﾀｲﾏ/ｶｳﾝﾀ3比較B一致
29	$0038 (注3)	ﾀｲﾏ/ｶｳﾝﾀ3 COMP3C	ﾀｲﾏ/ｶｳﾝﾀ3比較C一致
30	$003A (注3)	ﾀｲﾏ/ｶｳﾝﾀ3 OVF3	ﾀｲﾏ/ｶｳﾝﾀ3溢れ
31	$003C (注3)	USART1 RX	USART1 受信完了
32	$003E (注3)	USART1 UDRE	USART1 送信緩衝部空き
33	$0040 (注3)	USART1 TX	USART1 送信完了
34	$0042 (注3)	2線直列ｲﾝﾀｰﾌｪｰｽ TWI	2線直列ｲﾝﾀｰﾌｪｰｽ状態変化
35	$0044 (注3)	SPM命令 SPM_RDY	SPM命令操作可

注1: BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾃﾞﾊﾞｲｽはﾘｾｯﾄでﾌﾞｰﾄ ﾛｰﾀﾞ ｱﾄﾞﾚｽへ飛びます。「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」をご覧ください。

注2: MCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭(部)へ移動されます。そして各割り込みﾍﾞｸﾀのｱﾄﾞﾚｽは、この表のｱﾄﾞﾚｽがﾌﾞｰﾄ ﾌﾗｯｼｭ領域の先頭ｱﾄﾞﾚｽに加算されます。

注3: ｱﾄﾞﾚｽ$0030～$0044の割り込みはATmega103互換動作では存在しません。

右表はBOOTRST(ﾋｭｰｽﾞ)とIVSEL(割り込みﾍﾞｸﾀ選択ﾋﾞｯﾄ)の様々な組み合わせに対するﾘｾｯﾄと割り込みﾍﾞｸﾀの配置を示します。ﾌﾟﾛｸﾞﾗﾑが決して割り込み元を許可しないなら、割り込みﾍﾞｸﾀは使われず、これらの位置に通常のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞを置けます。これはﾘｾｯﾄ ﾍﾞｸﾀが応用領域の一方、割り込みﾍﾞｸﾀがﾌﾞｰﾄ領域、またはその逆の場合でも同様です。

表16-2. ﾘｾｯﾄと割り込みﾍﾞｸﾀの配置

BOOTRST	IVSEL	ﾘｾｯﾄ ﾍﾞｸﾀ ｱﾄﾞﾚｽ	割り込みﾍﾞｸﾀ先頭ｱﾄﾞﾚｽ
非ﾌﾟﾛｸﾞﾗﾑ(1)	0	$0000	$0002
	1	$0000	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ＋$0002
ﾌﾟﾛｸﾞﾗﾑ(0)	0	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ	$0002
	1	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ＋$0002

注: ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽは206頁の**表30-6.**で示されます。

ATmega128Aでの最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

ｱﾄﾞﾚｽ	ﾗﾍﾞﾙ	命令		注釈
$0000		JMP	RESET	;各種ﾘｾｯﾄ
$0002		JMP	EXT_INT0	;外部割り込み要求0
$0004		JMP	EXT_INT1	;外部割り込み要求1
$0006		JMP	EXT_INT2	;外部割り込み要求2
$0008		JMP	EXT_INT3	;外部割り込み要求3
$000A		JMP	EXT_INT4	;外部割り込み要求4
$000C		JMP	EXT_INT5	;外部割り込み要求5
$000E		JMP	EXT_INT6	;外部割り込み要求6
$0010		JMP	EXT_INT7	;外部割り込み要求7
$0012		JMP	TIM2_COMP	;ﾀｲﾏ/ｶｳﾝﾀ2比較一致
$0014		JMP	TIM2_OVF	;ﾀｲﾏ/ｶｳﾝﾀ2溢れ
$0016		JMP	TIM1_CAPT	;ﾀｲﾏ/ｶｳﾝﾀ1捕獲発生
$0018		JMP	TIM1_COMPA	;ﾀｲﾏ/ｶｳﾝﾀ1比較A一致
$001A		JMP	TIM1_COMPB	;ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
$001C		JMP	TIM1_OVF	;ﾀｲﾏ/ｶｳﾝﾀ1溢れ
$001E		JMP	TIM0_COMP	;ﾀｲﾏ/ｶｳﾝﾀ0比較一致
$0020		JMP	TIM0_OVF	;ﾀｲﾏ/ｶｳﾝﾀ0溢れ
$0022		JMP	SPI_STC	;SPI転送完了
$0024		JMP	USART0_RXC	;USART0 受信完了
$0026		JMP	USART0_DRE	;USART0 送信緩衝部空
$0028		JMP	USART0_TXC	;USART0 送信完了
$002A		JMP	ADC	;A/D変換完了
$002C		JMP	EE_RDY	;EEPROM操作可
$002E		JMP	ANA_COMP	;ｱﾅﾛｸﾞ比較器出力遷移
$0030		JMP	TIM1_COMPC	;ﾀｲﾏ/ｶｳﾝﾀ1比較C一致
$0032		JMP	TIM3_CAPT	;ﾀｲﾏ/ｶｳﾝﾀ3捕獲発生
$0034		JMP	TIM3_COMPA	;ﾀｲﾏ/ｶｳﾝﾀ3比較A一致
$0036		JMP	TIM3_COMPB	;ﾀｲﾏ/ｶｳﾝﾀ3比較B一致
$0038		JMP	TIM3_COMPC	;ﾀｲﾏ/ｶｳﾝﾀ3比較C一致
$003A		JMP	TIM3_OVF	;ﾀｲﾏ/ｶｳﾝﾀ3溢れ
$003C		JMP	USART1_RXC	;USART1 受信完了
$003E		JMP	USART1_DRE	;USART1 送信緩衝部空
$0040		JMP	USART1_TXC	;USART1 送信完了
$0042		JMP	TWI	;2線直列ｲﾝﾀｰﾌｪｰｽ状態変化
$0044		JMP	SPM_RDY	;SPM命令操作可
;				
$0046	RESET:	LDI	R16, HIGH(RAMEND)	;RAM最終ｱﾄﾞﾚｽ上位を取得
$0047		OUT	SPH, R16	;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$0048		LDI	R16, LOW(RAMEND)	;RAM最終ｱﾄﾞﾚｽ下位を取得
$0049		OUT	SPL, R16	;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
		～		;以下、I/O初期化など

BOOTRSTﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)、ﾌﾞｰﾄ領域容量が8Kﾊﾞｲﾄに設定され、どの割り込みが許可されるのにも先立ってMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

ｱﾄﾞﾚｽ	ﾗﾍﾞﾙ	命令		注釈
$0000	RESET:	LDI	R16, HIGH(RAMEND)	;RAM最終ｱﾄﾞﾚｽ上位を取得 (応用ﾌﾟﾛｸﾞﾗﾑ開始)
$0001		OUT	SPH, R16	;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$0002		LDI	R16, LOW(RAMEND)	;RAM最終ｱﾄﾞﾚｽ下位を取得
$0003		OUT	SPL, R16	;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
		～		;以下、I/O初期化など
		.ORG	$F002	;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が8Kﾊﾞｲﾄの場合
$F002		JMP	EXT_INT0	;外部割り込み要求0
$F004		JMP	EXT_INT1	;外部割り込み要求1
		～		
$F044		JMP	SPM_RDY	;SPM命令操作可

BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)、ﾌﾞｰﾄ領域容量が8Kﾊﾞｲﾄに設定される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ     ﾗﾍﾞﾙ      命令                    注釈
                    .ORG    $0002           ;割り込みﾍﾞｸﾀ先頭

$0002               JMP     EXT_INT0        ;外部割り込み要求0
$0004               JMP     EXT_INT1        ;外部割り込み要求1
                            ≀
$0044               JMP     SPM_RDY         ;SPM命令操作可
                            ≀               ;以下、ﾌﾟﾛｸﾞﾗﾑなど

                    .ORG    $F000           ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が8Kﾊﾞｲﾄの場合

$F000     RESET:    LDI     R16,HIGH(RAMEND) ;RAM最終ｱﾄﾞﾚｽ上位を取得 (ﾌﾟﾛｸﾞﾗﾑ開始)
$F001               OUT     SPH,R16         ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$F002               LDI     R16,LOW(RAMEND) ;RAM最終ｱﾄﾞﾚｽ下位を取得
$F003               OUT     SPL,R16         ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                            ≀               ;以下、I/O初期化など
```

BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)、ﾌﾞｰﾄ領域容量が8Kﾊﾞｲﾄに設定され、どの割り込みが許可されるのにも先立ってMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ     ﾗﾍﾞﾙ      命令                    注釈
                    .ORG    $F000           ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が8Kﾊﾞｲﾄの場合

$F000               JMP     RESET           ;各種ﾘｾｯﾄ (BOOTRSTﾋｭｰｽﾞ=0)
$F002               JMP     EXT_INT0        ;外部割り込み要求0
$F004               JMP     EXT_INT1        ;外部割り込み要求1
                            ≀
$F044               JMP     SPM_RDY         ;SPM命令操作可
;
$F046     RESET:    LDI     R16,HIGH(RAMEND) ;RAM最終ｱﾄﾞﾚｽ上位を取得 (ﾌﾟﾛｸﾞﾗﾑ開始)
$F047               OUT     SPH,R16         ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$F048               LDI     R16,LOW(RAMEND) ;RAM最終ｱﾄﾞﾚｽ下位を取得
$F049               OUT     SPL,R16         ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                            ≀               ;以下、I/O初期化など
```

関連ﾘﾝｸ　199頁の「ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」
206頁の「ATmega128Aのﾌﾞｰﾄ ﾛｰﾀﾞ ﾊﾟﾗﾒｰﾀ」

16.1.1. 応用領域とﾌﾞｰﾄ領域間の割り込みﾍﾞｸﾀ移動

MCU制御ﾚｼﾞｽﾀ(MCUCR)は割り込みﾍﾞｸﾀ表の配置を制御します。

16.2. ベクタ移動用レジスタ

16.2.1. MCUCR – MCU制御レジスタ (MCU Control Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : MCUCR
変位 : $35 ($55)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$55です。

ビット	7	6	5	4	3	2	1	0
	SRE	SRW10	SE	SM1	SM0	SM2	IVSEL	IVCE
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット1 – IVSEL : 割り込みベクタ選択** (Interrupt Vector Select)

IVSELビットが解除(0)されると、割り込みベクタはフラッシュ メモリの先頭に配置されます。このビットが設定(1)されると、割り込みベクタはフラッシュ メモリのブート ローダ領域の始まりへ移動されます。ブート フラッシュ領域先頭の実際のアドレスはBOOTSZヒューズによって決定されます。詳細については「**ブート ローダ支援 – 書き込み中読み出し可能な自己プログラミング**」章を参照してください。割り込みベクタ表の予期せぬ変更を防ぐため、IVSELビットの変更は特別な書き込み手順に従わなければなりません。

1. 割り込みベクタ変更許可(IVCE)ビットに1を書きます。
2. 4周期内に、欲した値をIVSELに書き、同時に0をIVCEへ書きます。

この手順が実行される間、割り込みは自動的に禁止されます。割り込みはIVCEが設定(1)される周期で禁止され、後続のIVSELに書く命令の後まで禁止されたままです。IVSELが書かれなければ、割り込みは4周期間禁止されたままです。ステータス レジスタ(SREG)の全割り込み許可(I)ビットはこの自動禁止によって影響されません。

注: 割り込みベクタがブート ローダ領域に配置され、BLB02ブート施錠ビットがプログラム(0)されると、応用領域から実行する間中、割り込みが禁止されます。割り込みベクタが応用領域に配置され、BLB12ブート施錠ビットがプログラム(0)されると、ブート ローダ領域から実行する間中、割り込みが禁止されます。ブート施錠ビットの詳細については「**ブート ローダ支援 – 書き込み中読み出し可能な自己プログラミング**」を参照してください。

● **ビット0 – IVCE : 割り込みベクタ変更許可** (Interrupt Vector Change Enable)

IVCEビットは割り込みベクタ選択(IVSEL)ビットの変更を許可するために論理1を書かれなければなりません。IVCEはIVSELが書かれる時、またはIVCEが書かれた後の4周期後、ハードウェアによって解除(0)されます。上記IVSELで説明されるようにIVCEビットの設定(1)は割り込みを(一時的に)禁止します。以下のコード例をご覧ください。

アセンブリ言語プログラム例

```
MOVE_IVT:   IN      R16,MCUCR          ;現MCUCR値取得
            MOV     R17,R16            ;現MCUCR値複写
            ORI     R16,(1<<IVCE)      ;IVCE論理1値を取得
            OUT     MCUCR,R16          ;IVCEに論理1書き込み
            ORI     R17,(1<<IVSEL)     ;IVSEL論理1値を取得
            OUT     MCUCR,R17          ;ブート領域へ割り込みベクタを移動
            RET                        ;呼び出し元へ復帰
```

C言語プログラム例

```
void Move_interrupts(void)
{
    uchr temp;                         /* 一時定数定義 */
    temp = MCUCR;                      /* 現MCUCR値取得 */
    MCUCR = temp|(1<<IVCE);            /* IVCEに論理1書き込み */
    MCUCR = temp|(1<<IVSEL);           /* ブート領域へ割り込みベクタを移動 */
}
```

17. 外部割り込み

外部割り込みはINT7～0ﾋﾟﾝによって起動されます。許可したなら、例えINT7～0ﾋﾟﾝが出力として設定されても割り込みが起動することに注目してください。この特徴はｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。外部割り込みは上昇端または下降端(含む両端)、またはLowﾚﾍﾞﾙによって起動できます。これは外部割り込み制御ﾚｼﾞｽﾀ(EICRA(INT3～0)とEICRB(INT7～4))の詳述で示される設定です。外部割り込みがﾚﾍﾞﾙ起動として設定、且つ許可されると、そのﾋﾟﾝがLowに保持される限り、割り込みは(継続的に)起動します。INT7～4の上昇端または下降端割り込みの認知は「**ｸﾛｯｸ系統とその配給**」で記述されるI/Oｸﾛｯｸの存在を必要とすることに注意してください。INT7～4のLowﾚﾍﾞﾙ割り込みとINT3～0のｴｯｼﾞ割り込みは非同期に検知されます。これはそれらの割り込みがｱｲﾄﾞﾙ動作以外の休止形態からもﾃﾞﾊﾞｲｽを起動するのに使えることを意味します。I/Oｸﾛｯｸはｱｲﾄﾞﾙ動作を除く全休止形態で停止されます。

ﾚﾍﾞﾙ起動割り込みがﾊﾟﾜｰﾀﾞｳﾝ動作からの起動に使われる場合、変化したﾚﾍﾞﾙはMCUを起動するために一定時間保たれなければならないことに注意してください。これはMCUの雑音不安定性を減らします。変化したﾚﾍﾞﾙはｳｫｯﾁﾄﾞｯｸﾞ発振器ｸﾛｯｸによって2度採取されます。ｳｫｯﾁﾄﾞｯｸﾞ発振器の周期は5.0V,25℃で(公称)1μsです。ｳｫｯﾁﾄﾞｯｸﾞ発振器の周波数は「**代表特性**」で示されるように電圧依存です。この採取の間、入力が必要としたﾚﾍﾞﾙであるか、または起動時間の最後まで保たれれば、MCUは起動します。起動時間は「**ｸﾛｯｸ系統とその配給**」で示されるようにSUTﾋｭｰｽﾞで定義されます。このﾚﾍﾞﾙがｳｫｯﾁﾄﾞｯｸﾞ発振器ｸﾛｯｸによって2度採取されるけれど、起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。この必要としたﾚﾍﾞﾙはﾚﾍﾞﾙ割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保たれなければなりません。

関連ﾘﾝｸ　30頁の「ｸﾛｯｸ系統とその配給」
237頁の「代表特性」

17.1. 外部割り込み用ﾚｼﾞｽﾀ

17.1.1. EICRA – 外部割り込み制御ﾚｼﾞｽﾀA (External Interrupt Control Register A)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

このﾚｼﾞｽﾀはATmega103互換動作でやり取り(ｱｸｾｽ)できませんが、初期値はATmega103と(同じ)Lowﾚﾍﾞﾙ割り込みとしてINT3～0を定義(設定)します。

名称 ：EICRA
変位 ：($6A)
ﾘｾｯﾄ ：$00
特質 ：-

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – ISC31,0 : 外部割り込み3条件制御** (External Interrupt 3 Sense Control Bits)

外部割り込み3～0はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の対応する割り込み許可ﾋﾞｯﾄが設定(1)される場合のINT3～0外部ﾋﾟﾝによって活性(有効)にされます。割り込みを活性にする外部INT3～0ﾋﾟﾝのｴｯｼﾞとﾚﾍﾞﾙは右表で定義されます。INT3～0のｴｯｼﾞは非同期に記録されます。下表で与えられた最小ﾊﾟﾙｽ幅より広いINT3～0のﾊﾟﾙｽは割り込みを生成します。より短いﾊﾟﾙｽは割り込みの発生が保証されません。Lowﾚﾍﾞﾙ割り込みが選択される場合、Lowﾚﾍﾞﾙは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。許可したなら、ﾚﾍﾞﾙで起動する割り込みはそのﾋﾟﾝがLowを保持される限り、割り込み要求を(連続的に)生成します。ISCnﾋﾞｯﾄ変更時、割り込みが起き得ます。従って最初にEIMSKの割り込み許可ﾋﾞｯﾄを解除(0)することでINTn割り込みを禁止することが推奨されます。その後ISCnﾋﾞｯﾄは変更できます。最後にINTn割り込み要求ﾌﾗｸﾞは割り込みが再び許可される前に外部割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(EIFR)の外部割り込みn要求(INTFn)ﾌﾗｸﾞに論理1を書くことによって解除(0)されるべきです。

表17-1. 外部割り込み3～0 割り込み条件

ISCn1	ISCn0	割り込み発生条件
0	0	INTnﾋﾟﾝのLowﾚﾍﾞﾙ
0	1	(予約)
1	0	INTnﾋﾟﾝの下降端
1	1	INTnﾋﾟﾝの上昇端

注: n=3～0
ISCn1,0ﾋﾞｯﾄ変更時、割り込みはEIMSKで割り込み許可ﾋﾞｯﾄの解除(0)によって禁止されなければなりません。さもなければﾋﾞｯﾄが変更される時に割り込みが起き得ます。

表17-2. 非同期外部割り込み特性

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
t_{INT}	非同期外部割り込み最小ﾊﾟﾙｽ幅		50		ns

● **ﾋﾞｯﾄ5,4 – ISC21,0 : 外部割り込み2条件制御** (External Interrupt 2 Sense Control Bits)

上のISC31,0ﾋﾞｯﾄを参照してください。

● **ﾋﾞｯﾄ3,2 – ISC11,0 : 外部割り込み1条件制御** (External Interrupt 1 Sense Control Bits)

上のISC31,0ﾋﾞｯﾄを参照してください。

● **ﾋﾞｯﾄ1,0 – ISC01,0 : 外部割り込み0条件制御** (External Interrupt 0 Sense Control Bits)

上のISC31,0ﾋﾞｯﾄを参照してください。

17.1.2. EICRB – 外部割り込み制御ﾚｼﾞｽﾀB (External Interrupt Control Register B)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : EICRB
変位 : $3A ($5A)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$5Aです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – ISC71,0 : 外部割り込み7条件制御** (External Interrupt 7 Sense Control Bits)

外部割り込み7～4はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の対応する割り込み許可ﾋﾞｯﾄが設定(1)される場合のINT7～4外部ﾋﾟﾝによって活性(有効)にされます。割り込みを活性にする外部INT7～4ﾋﾟﾝのｴｯｼﾞとﾚﾍﾞﾙは右表で定義されます。INT7～4ﾋﾟﾝの値はｴｯｼﾞ検知前に採取されています。ｴｯｼﾞまたは論理変化割り込みが選択される場合、1ｸﾛｯｸ周期より長く留まるﾊﾟﾙｽは割り込みを生成します。より短いﾊﾟﾙｽは割り込みの発生が保証されません。XTAL分周器が許可される場合、CPUｸﾛｯｸ周波数がXTAL周波数よりも低くできることを考慮してください。Lowﾚﾍﾞﾙ割り込みが選択される場合、Lowﾚﾍﾞﾙは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。許可したなら、ﾚﾍﾞﾙで起動する割り込みはそのﾋﾟﾝがLowを保持される限り割り込み要求を(連続的に)生成します。

表17-3. 外部割り込み7～4 割り込み条件

ISCn1	ISCn0	割り込み発生条件
0	0	INTnﾋﾟﾝのLowﾚﾍﾞﾙ
0	1	INTnﾋﾟﾝの論理変化(両端)
1	0	INTnﾋﾟﾝの下降端
1	1	INTnﾋﾟﾝの上昇端

注: n=7～4
ISCn1,0ﾋﾞｯﾄ変更時、割り込みはEIMSKで割り込み許可ﾋﾞｯﾄの解除(0)によって禁止されなければなりません。さもなければﾋﾞｯﾄが変更される時に割り込みが起き得ます。

● **ﾋﾞｯﾄ5,4 – ISC61,0 : 外部割り込み6条件制御** (External Interrupt 6 Sense Control Bits)

上のISC71,0ﾋﾞｯﾄを参照してください。

● **ﾋﾞｯﾄ3,2 – ISC51,0 : 外部割り込み5条件制御** (External Interrupt 5 Sense Control Bits)

上のISC71,0ﾋﾞｯﾄを参照してください。

● **ﾋﾞｯﾄ1,0 – ISC41,0 : 外部割り込み4条件制御** (External Interrupt 4 Sense Control Bits)

上のISC71,0ﾋﾞｯﾄを参照してください。

17.1.3. EIMSK – 外部割り込み許可ﾚｼﾞｽﾀ (External Interrupt Mask Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : EIMSK
変位 : $39 ($59)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$59です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – INT7～INT0 : 外部割り込み7～0許可** (External Interrupt Request 7～0 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、INT7～0ﾋﾞｯﾄが1を書かれると、対応する外部ﾋﾟﾝ割り込みが許可されます。外部割り込み制御ﾚｼﾞｽﾀ(EICRAとEICRB)の割り込み条件制御n(ISCn1,ISCn0)ﾋﾞｯﾄは、その外部割り込みが上昇端、下降端、両端、またはLowﾚﾍﾞﾙのどれで活性(有効)にされるかを定義します。例えそのﾋﾟﾝが出力として設定されても、そのﾋﾟﾝの動きは割り込み要求を引き起こします。これはｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。

17.1.4. EIFR – 外部割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (External Interrupt Flag Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : EIFR
変位 : $38 ($58)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$58です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – INTF7～INTF0 : 外部割り込み7～0要求ﾌﾗｸﾞ** (External Interrupt Flag7～0)

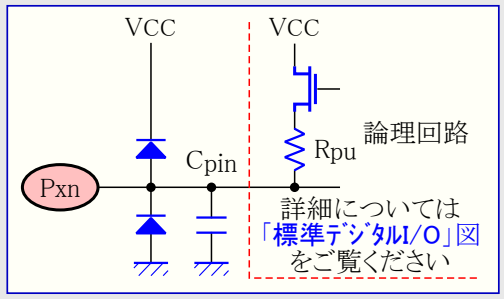
INT7～0ﾋﾟﾝ上のｴｯｼﾞまたは論理変化が割り込み要求を起動すると、INTF7～0が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の対応する割り込み許可(INT7～0)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込みﾙｰﾁﾝが実行されると解除(0)されます。代わりにこのﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。INT7～0がﾚﾍﾞﾙ割り込みとして設定されると、このﾌﾗｸﾞは常に解除(0)されます。INT3～0割り込み禁止で休止形態へ移行すると、これらのﾋﾟﾝの入力緩衝部が禁止されることに注意してください。これはINTF3～0ﾌﾗｸﾞを設定(1)する内部信号の論理変化を起こすかもしれません。より多くの情報については55頁の「ﾃﾞｼﾞﾀﾙ入力許可と休止形態」を参照してください。

18. 入出力ﾎﾟｰﾄ

18.1. 概要

全てのAVRのﾎﾟｰﾄは標準ﾃﾞｼﾞﾀﾙI/Oﾎﾟｰﾄとして使われ時に真の読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞｨﾌｧｲ ﾗｲﾄ)を機能的に持ちます。これはSBIとCBI命令で他のどのﾋﾟﾝの方向をも無意識に変更することなく、1つのﾎﾟｰﾄ ﾋﾟﾝの方向を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)ﾌﾟﾙｱｯﾌﾟ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ｿｰｽ)と吸い込み(ｼﾝｸ)の両能力で対称的な駆動特性を持ちます。このﾋﾟﾝ駆動部はLED(表示器)を直接駆動するのに充分な強さです。全てのﾎﾟｰﾄ ﾋﾟﾝは個別に選択可能な、供給電圧で抵抗値が変化しないﾌﾟﾙｱｯﾌﾟ抵抗を持っています。全てのI/Oﾋﾟﾝは右図で示されるようにVCCとGNDの両方に保護ﾀﾞｲｵｰﾄﾞを持っています。各値の完全な一覧については「**電気的特性**」を参照してください。

図18-1. 入出力ﾋﾟﾝ等価回路



本項内の全てのﾚｼﾞｽﾀとﾋﾞｯﾄの参照は一般形で記されます。小文字の'x'はﾎﾟｰﾄ番号文字、小文字の'n'はﾋﾞｯﾄ番号を表します。けれどもﾌﾟﾛｸﾞﾗﾑ内でﾚｼﾞｽﾀやﾋﾞｯﾄ定義に使う時は正確な形式(例えば、ここで一般に記されたPORTxnがﾎﾟｰﾄBのﾋﾞｯﾄ3に対してはPORTB3)が使われなければなりません。物理的なI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は68頁の「**I/Oﾎﾟｰﾄ用ﾚｼﾞｽﾀ**」で一覧されます。

各々1つの出力ﾚｼﾞｽﾀ(PORTx)、方向ﾚｼﾞｽﾀ(DDRx)、入力ﾚｼﾞｽﾀ(PINx)の各ﾎﾟｰﾄに対して、3つI/Oﾒﾓﾘ ｱﾄﾞﾚｽ位置が割り当てられます。入力ﾚｼﾞｽﾀのI/O位置は読むだけで、一方出力ﾚｼﾞｽﾀと方向ﾚｼﾞｽﾀは読み書き(両方)です。加えて特殊I/O機能ﾚｼﾞｽﾀ(SFIOR)のﾌﾟﾙｱｯﾌﾟ禁止(PUD)ﾋﾞｯﾄが設定(1)されると、全ﾎﾟｰﾄで全ﾋﾞｯﾄに対してﾌﾟﾙｱｯﾌﾟ機能を禁止します。

標準ﾃﾞｼﾞﾀﾙI/OとしてのI/Oﾎﾟｰﾄの使用は次の「**標準ﾃﾞｼﾞﾀﾙ入出力としてのﾎﾟｰﾄ**」で記述されます。多くのﾎﾟｰﾄ ﾋﾟﾝはﾃﾞﾊﾞｲｽの周辺機能用の交換機能と多重化されます。ﾎﾟｰﾄ ﾋﾟﾝとの各交換機能のｲﾝﾀｰﾌｪｰｽ法は56頁の「**交換ﾎﾟｰﾄ機能**」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

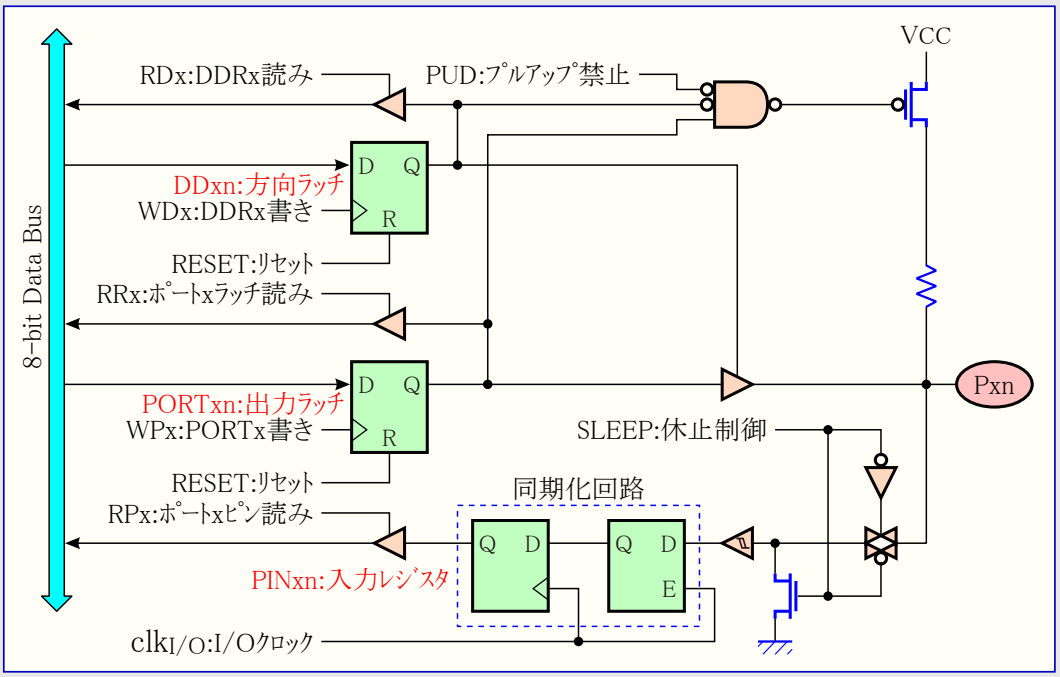
ﾎﾟｰﾄ ﾋﾟﾝのいくつかの交換機能の許可は、そのﾎﾟｰﾄ内の他のﾋﾟﾝの標準ﾃﾞｼﾞﾀﾙ入出力としての使用に影響しないことに注意してください。

関連ﾘﾝｸ　226頁の「電気的特性」

18.2. 標準ﾃﾞｼﾞﾀﾙ入出力としてのﾎﾟｰﾄ

このﾎﾟｰﾄは任意の内部ﾌﾟﾙｱｯﾌﾟ付き双方向I/Oﾎﾟｰﾄです。次図はここで属にPxnと呼ばれるI/Oﾎﾟｰﾄ ﾋﾟﾝの1つの機能説明を示します。

図18-2. 標準ﾃﾞｼﾞﾀﾙ入出力回路構成



注: WPx, WDx, RRx, RPx, RDxは同一ﾎﾟｰﾄ内の全ﾋﾟﾝで共通です。
clkI/O,SLEEP, PUDは全ﾎﾟｰﾄで共通です。

18.2.1. ピンの設定

各ポート ピンは3つのレジスタ ビット、DDxn、PORTxn、PINxnから成ります。68頁の「I/Oポート用レジスタ」で示されるようにDDxnビットはDDRx I/Oアドレス、PORTxnビットはPORTx I/Oアドレス、PINxビットはPINx I/Oアドレスでアクセスされます。

DDRxレジスタ内のDDxnビットはそのピンの方向を選択します。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポート ピンは例えクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポート ピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポート ピンはLow(0)に駆動されます。

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高インピーダンス環境は強力なHigh(吐き出し)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するのに特殊I/O機能レジスタ(SFIOR)のプルアップ禁止(PUD)ビットを設定(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

下表はピン値に対する制御信号の一覧を示します。

表18-1. ポート ピンの設定

DDxn	PORTxn	PUD (SFIOR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高インピーダンス (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

18.2.2. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポート ピンはPINxnレジスタ ビットを通して読めます。図18-2.で示されるようにPINxnレジスタ ビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタ ステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。右図は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々$t_{pd,min}$と$t_{pd,max}$で示されます。

(右図で)システム クロックの最初の下降端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステム クロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印$t_{pd,min}$と$t_{pd,max}$によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5～1.5システム クロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、右図で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステム クロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システム クロック周期です。

図18-3. 外部供給ピン値読み込み時の同期化

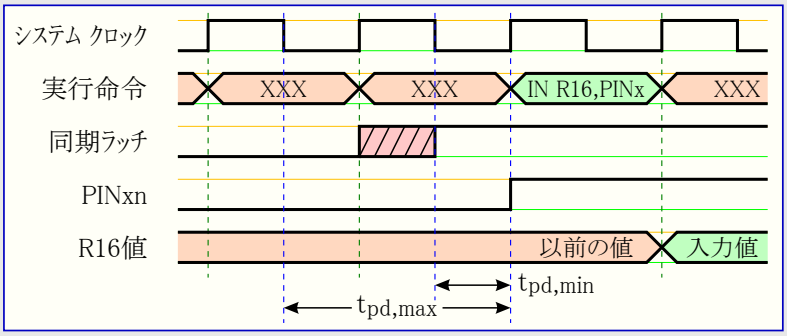
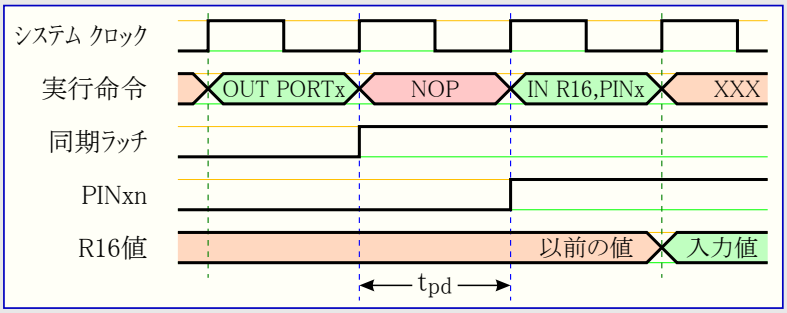


図18-4. プログラムで設定したピン値読み戻し時の同期化



次のｺｰﾄﾞ例はﾎﾟｰﾄBﾋﾟﾝの0と1をHigh出力、2と3をLow出力、6と7をﾌﾟﾙｱｯﾌﾟ指定として4～7を入力に設定する方法を示します。結果のﾋﾟﾝ値が再び読み戻されますが、前記で検討されたように、いくつかのﾋﾟﾝへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
            ～                                                  ;
            LDI     R16, (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0)    ;ﾌﾟﾙｱｯﾌﾟとHigh値を取得
            LDI     R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0) ;出力ﾋﾞｯﾄ値を取得
            OUT     PORTB, R16                                  ;ﾌﾟﾙｱｯﾌﾟとHigh値を設定
            OUT     DDRB, R17                                   ;入出力方向を設定
            NOP                                                 ;同期化遅延対処
            IN      R16, PINB                                   ;ﾋﾟﾝ値読み戻し
            ～                                                  ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char i;
    ～                                                          /* */
    PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0);                /* ﾌﾟﾙｱｯﾌﾟとHigh値を設定 */
    DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0);             /* 入出力方向を設定 */
    _NOP();                                                     /* 同期化遅延対処 */
    i = PINB;                                                   /* ﾋﾟﾝ値読み戻し */
    ～                                                          /* */
```

注: ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑについてはﾌﾟﾙｱｯﾌﾟがﾋﾟﾝ0,1,6,7に設定されてから、ﾋﾞｯﾄ0と1の強力なHigh駆動部としての再定義、ﾋﾞｯﾄ2と3のLow駆動部としての定義、方向ﾋﾞｯﾄが正しく設定されるまでの時間を最小とするために2つの一時ﾚｼﾞｽﾀが使われます。

18.2.3. ﾃﾞｼﾞﾀﾙ入力許可と休止形態

図18-2.で示されるようにﾃﾞｼﾞﾀﾙ入力信号はｼｭﾐｯﾄ ﾄﾘｶﾞの入力をGNDにｸﾗﾝﾌﾟできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のｱﾅﾛｸﾞ信号電圧を持つ場合の高消費電力を避けるため、ﾊﾟﾜｰﾀﾞｳﾝ動作、ﾊﾟﾜｰｾｰﾌﾞ動作、ｽﾀﾝﾊﾞｲ動作、拡張ｽﾀﾝﾊﾞｲ動作でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みﾋﾟﾝとして許可されたﾎﾟｰﾄ ﾋﾟﾝに対しては無視されます。外部割り込み要求が許可されないなら、SLEEPは他のﾋﾟﾝについてと同様に有効です。SLEEPは56頁の「**交換ﾎﾟｰﾄ機能**」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない″上昇端、下降端または論理変化(両端)割り込み″として設定された非同期外部割り込みﾋﾟﾝに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるｸﾗﾝﾌﾟが要求された論理変化を生ずるので、対応する外部割り込み要求ﾌﾗｸﾞが設定(1)されます。

18.2.4. 未接続ﾋﾟﾝ

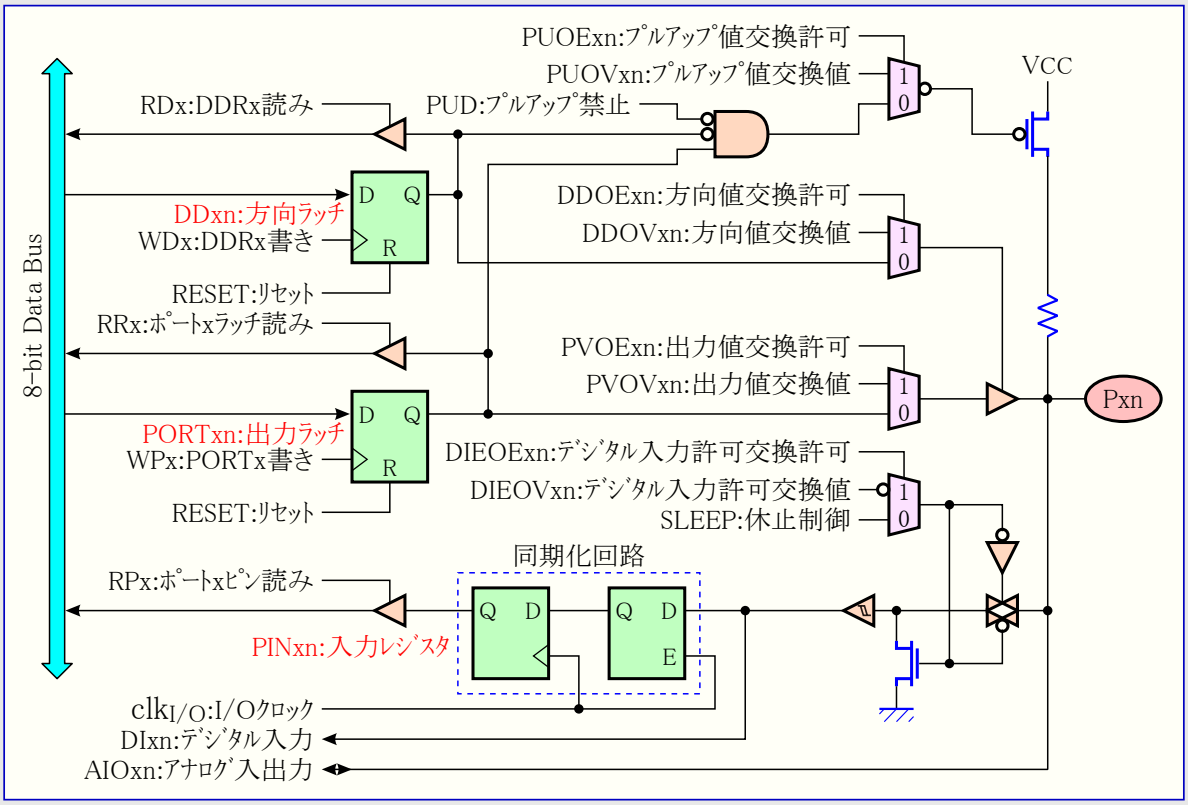
いくつかのﾋﾟﾝが未使用にされる場合、それらのﾋﾟﾝが定義されたﾚﾍﾞﾙを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのﾃﾞｼﾞﾀﾙ入力が禁止されるとしても、ﾃﾞｼﾞﾀﾙ入力が許可される他の全ての動作(ﾘｾｯﾄ、活動動作、ｱｲﾄﾞﾙ動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ﾋﾟﾝの定義されたﾚﾍﾞﾙを保証する最も簡単な方法は内部ﾌﾟﾙｱｯﾌﾟを許可することです。この場合、ﾘｾｯﾄ中のﾌﾟﾙｱｯﾌﾟは禁止されます。ﾘｾｯﾄ中の低消費電力が重要なら、外部ﾌﾟﾙｱｯﾌﾟまたはﾌﾟﾙﾀﾞｳﾝを使うことが推奨されます。未使用ﾋﾟﾝを直接GNDまたはVCCに接続することは、ﾋﾟﾝが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

18.3. 交換ﾎﾟｰﾄ機能

多くのﾎﾟｰﾄ ﾋﾟﾝには標準ﾃﾞｼﾞﾀﾙ入出力に加え交換機能があります。次図は単純化された図18-2.でのﾎﾟｰﾄ ﾋﾟﾝ制御信号が交換機能によってどう重複できるかを示します。この重複信号は全てのﾎﾟｰﾄ ﾋﾟﾝに存在する訳ではありませんが、この図はAVRﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系統の全ﾎﾟｰﾄ ﾋﾟﾝに適用できる一般的な記述として取り扱います。

図18-5. 交換ﾎﾟｰﾄ機能入出力回路構成



注: WPx, WDx, RRx, RPx, RDxは同一ﾎﾟｰﾄ内の全ﾋﾟﾝで共通です。
clkI/O,SLEEP, PUDは全ﾎﾟｰﾄで共通です。他の信号は各ﾋﾟﾝ固有です。

次表は重複(交換)信号の機能一覧を示します。上図で示すﾋﾟﾝとﾎﾟｰﾄは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表18-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	ﾌﾟﾙｱｯﾌﾟ値交換許可	1で、ﾌﾟﾙｱｯﾌﾟ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でﾌﾟﾙｱｯﾌﾟが許可されます。
PUOV	ﾌﾟﾙｱｯﾌﾟ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、ﾌﾟﾙｱｯﾌﾟの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnﾚｼﾞｽﾀ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnﾚｼﾞｽﾀ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ﾎﾟｰﾄ値はPVOV信号で制御されます。出力駆動部がONで0の場合、ﾎﾟｰﾄ値はPORTxnﾚｼﾞｽﾀ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnﾚｼﾞｽﾀ値に関係なく、ﾎﾟｰﾄ値を制御(1/0)します。
DIEOE	ﾃﾞｼﾞﾀﾙ入力許可交換許可	1で、ﾃﾞｼﾞﾀﾙ入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	ﾃﾞｼﾞﾀﾙ入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、ﾃﾞｼﾞﾀﾙ入力を許可(1)/禁止(0)します。
DI	ﾃﾞｼﾞﾀﾙ入力	交換機能用ﾃﾞｼﾞﾀﾙ入力です。この信号は図上でｼｭﾐｯﾄ ﾄﾘｶﾞ出力に接続されていますが、これは同期化前となります。この信号はｸﾛｯｸとしての使用を除き、各交換機能自身が同期化します。
AIO	ｱﾅﾛｸﾞ入出力	交換機能用ｱﾅﾛｸﾞ入出力です。この信号はﾋﾟﾝに直接接続され、双方向使用ができます。

次節は交換機能に関連する重複(交換)信号と各ﾎﾟｰﾄの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

18.3.1. ポートAの交換機能

ポートAには外部メモリ インターフェース用のアドレス下位バイトとデータ信号線としての交換機能があります。

表18-3. ポートAピンの交換機能

ポート ピン	交換機能
PA7	AD7 (外部メモリ インターフェース アドレス/データ ビット7)
PA6	AD6 (外部メモリ インターフェース アドレス/データ ビット6)
PA5	AD5 (外部メモリ インターフェース アドレス/データ ビット5)
PA4	AD4 (外部メモリ インターフェース アドレス/データ ビット4)
PA3	AD3 (外部メモリ インターフェース アドレス/データ ビット3)
PA2	AD2 (外部メモリ インターフェース アドレス/データ ビット2)
PA1	AD1 (外部メモリ インターフェース アドレス/データ ビット1)
PA0	AD0 (外部メモリ インターフェース アドレス/データ ビット0)

下の2つの表はポートAの交換機能を56頁の「**交換ポート機能**」項の図で示される交換信号に関連付けます。

表18-4. ポートA7～4の交換機能用交換信号

信号名	PA7/AD7	PA6/AD6	PA5/AD5	PA4/AD4
PUOE	SRE	SRE	SRE	SRE
PUOV	($\overline{WR}$|ADA)・PORTA7・$\overline{PUD}$	($\overline{WR}$|ADA)・PORTA6・$\overline{PUD}$	($\overline{WR}$|ADA)・PORTA5・$\overline{PUD}$	($\overline{WR}$|ADA)・PORTA4・$\overline{PUD}$
DDOE	SRE	SRE	SRE	SRE
DDOV	$\overline{WR}$|ADA	$\overline{WR}$|ADA	$\overline{WR}$|ADA	$\overline{WR}$|ADA
PVOE	SRE	SRE	SRE	SRE
PVOV	A7・ADA|D7出力・$\overline{WR}$	A6・ADA|D6出力・$\overline{WR}$	A5・ADA|D5出力・$\overline{WR}$	A4・ADA|D4出力・$\overline{WR}$
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	D7入力	D6入力	D5入力	D4入力
AIO	–	–	–	–

表18-5. ポートA3～0の交換機能用交換信号

信号名	PA3/AD3	PA2/AD2	PA1/AD1	PA0/AD0
PUOE	SRE	SRE	SRE	SRE
PUOV	($\overline{WR}$|ADA)・PORTA3・$\overline{PUD}$	($\overline{WR}$|ADA)・PORTA2・$\overline{PUD}$	($\overline{WR}$|ADA)・PORTA1・$\overline{PUD}$	($\overline{WR}$|ADA)・PORTA0・$\overline{PUD}$
DDOE	SRE	SRE	SRE	SRE
DDOV	$\overline{WR}$|ADA	$\overline{WR}$|ADA	$\overline{WR}$|ADA	$\overline{WR}$|ADA
PVOE	SRE	SRE	SRE	SRE
PVOV	A3・ADA|D3出力・$\overline{WR}$	A2・ADA|D2出力・$\overline{WR}$	A1・ADA|D1出力・$\overline{WR}$	A0・ADA|D0出力・$\overline{WR}$
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	D3入力	D2入力	D1入力	D0入力
AIO	–	–	–	–

注: ADAはアドレス有効(ADdress Active)の略でアドレスが出力される時を表します。「**外部メモリ インターフェース**」をご覧ください。

関連リンク 21頁の「外部メモリ インターフェース」

18.3.2. ﾎﾟｰﾄBの交換機能

ﾎﾟｰﾄBﾋﾟﾝの交換機能は下表で示されます。

表18-6. ﾎﾟｰﾄBﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PB7	OC2 (ﾀｲﾏ/ｶｳﾝﾀ2 比較一致出力) OC1C (ﾀｲﾏ/ｶｳﾝﾀ1 比較C一致出力) (注1)
PB6	OC1B (ﾀｲﾏ/ｶｳﾝﾀ1 比較B一致出力)
PB5	OC1A (ﾀｲﾏ/ｶｳﾝﾀ1 比較A一致出力)
PB4	OC0 (ﾀｲﾏ/ｶｳﾝﾀ0 比較一致出力)
PB3	MISO (SPI 主装置側ﾃﾞｰﾀ入力/従装置側ﾃﾞｰﾀ出力)
PB2	MOSI (SPI 主装置側ﾃﾞｰﾀ出力/従装置側ﾃﾞｰﾀ入力)
PB1	SCK (SPI 直列ｸﾛｯｸ 主装置側出力/従装置側入力)
PB0	$\overline{SS}$ (SPI 従装置選択入力)

注1: OC1CはATmega103互換動作で利用できません。

交換ﾋﾟﾝの設定は次のとおりです。

- OC2/OC1C – ﾎﾟｰﾄB ﾋﾞｯﾄ7 : PB7

  OC2 : ﾀｲﾏ/ｶｳﾝﾀ2の比較一致出力。PB7ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ2の比較一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB7=1)されなければなりません。このOC2ﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

  OC1C : ﾀｲﾏ/ｶｳﾝﾀ1の比較C一致出力。PB7ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較C一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB7=1)されなければなりません。このOC1Cﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- OC1B – ﾎﾟｰﾄB ﾋﾞｯﾄ6 : PB6

  OC1B : ﾀｲﾏ/ｶｳﾝﾀ1の比較B一致出力。PB6ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB6=1)されなければなりません。このOC1Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- OC1A – ﾎﾟｰﾄB ﾋﾞｯﾄ5 : PB5

  OC1A : ﾀｲﾏ/ｶｳﾝﾀ1の比較A一致出力。PB5ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB5=1)されなければなりません。このOC1Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- OC0 – ﾎﾟｰﾄB ﾋﾞｯﾄ4 : PB4

  OC0 : ﾀｲﾏ/ｶｳﾝﾀ0の比較一致出力。PB4ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ0の比較一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB4=1)されなければなりません。このOC0ﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- MISO – ﾎﾟｰﾄB ﾋﾞｯﾄ3 : PB3

  MISO : SPIﾁｬﾈﾙ用の主装置ﾃﾞｰﾀ入力、従装置ﾃﾞｰﾀ出力。SPIが主装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB3の設定に拘らず、入力として設定されます。SPIが従装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB3によって制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB3によって制御できます。

- MOSI – ﾎﾟｰﾄB ﾋﾞｯﾄ2 : PB2

  MOSI : SPIﾁｬﾈﾙ用の主装置ﾃﾞｰﾀ出力、従装置ﾃﾞｰﾀ入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB2設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB2によって制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB2によって制御できます。

- SCK – ﾎﾟｰﾄB ﾋﾞｯﾄ1 : PB1

  SCK : SPIﾁｬﾈﾙ用の主装置ｸﾛｯｸ出力、従装置ｸﾛｯｸ入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB1設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB1によって制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB1によって制御できます。

- $\overline{SS}$ – ﾎﾟｰﾄB ﾋﾞｯﾄ0 : PB0

  $\overline{SS}$: SPI従装置選択入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB0の設定に拘らず、入力として設定されます。従装置としてこのﾋﾟﾝがLowに駆動されるとSPI(機能)が活性(有効)にされます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB0によって制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB0によって制御できます。

下表はﾎﾟｰﾄBの交換機能を56頁の「**交換ﾎﾟｰﾄ機能**」項の図で示される交換信号に関連付けます。SPI主装置入力とSPI従装置出力がMISOを構成し、一方MOSIはSPI主装置出力とSPI従装置入力に分けられます。

表18-7. ﾎﾟｰﾄB7～4の交換機能用交換信号

信号名	PB7/OC2/OC1C	PB6/OC1B	PB5/OC1A	PB4/OC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	OC2/OC1C許可 (注1)	OC1B許可	OC1A許可	OC0許可
PVOV	OC2/OC1C (注1)	OC1B	OC1A	OC0
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	–	–	–	–

注1: 詳細については「**比較出力変調器 (COM1C2)**」をご覧ください。ATmega103互換動作にOC1Cは存在しません。

表18-8. ﾎﾟｰﾄB3～0の交換機能用交換信号

信号名	PB3/MISO	PB2/MOSI	PB1/SCK	PB0/$\overline{SS}$
PUOE	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$
PUOV	PORTB3・$\overline{PUD}$	PORTB2・$\overline{PUD}$	PORTB1・$\overline{PUD}$	PORTB0・$\overline{PUD}$
DDOE	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$
DDOV	0	0	0	0
PVOE	SPE・$\overline{MSTR}$	SPE・MSTR	SPE・MSTR	0
PVOV	SPI従装置出力	SPI主装置出力	SCK出力	0
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	SPI主装置入力	SPI従装置入力	SCK入力	SPI $\overline{SS}$
AIO	–	–	–	–

関連ﾘﾝｸ 128頁の「比較出力変調器 (COM1C2)」

18.3.3. ポートCの交換機能

ATmega103互換動作でのポートCは出力専用です。ATmega128Aは既定のATmega103互換動作で出荷されます。従ってPCBへ設置される前に(ATmega103互換禁止に)プログラミングされない場合、ATmega103互換動作が禁止されるまで、ポートCは初回通電で出力になります。ポートCには外部メモリ インターフェース用のアドレス上位バイトとしての交換機能があります。

表18-9. ポートCピンの交換機能

ポート ピン	交換機能
PC7	A15 (外部メモリ アドレス ビット15)
PC6	A14 (外部メモリ アドレス ビット14)
PC5	A13 (外部メモリ アドレス ビット13)
PC4	A12 (外部メモリ アドレス ビット12)
PC3	A11 (外部メモリ アドレス ビット11)
PC2	A10 (外部メモリ アドレス ビット10)
PC1	A9 (外部メモリ アドレス ビット9)
PC0	A8 (外部メモリ アドレス ビット8)

次の2つの表はポートCの交換機能を56頁の「交換ポート機能」項の図で示される交換信号に関連付けます。

表18-10. ポートC7～4の交換機能用交換信号

信号名	PC7/A15	PC6/A14	PC5/A13	PC4/A12
PUOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
PUOV	0	0	0	0
DDOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
DDOV	1	1	1	1
PVOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
PVOV	A15	A14	A13	A12
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	–	–	–	–

注1: ATmega103互換動作ではXMM=0です。

表18-11. ポートC3～0の交換機能用交換信号

信号名	PC3/A11	PC2/A10	PC1/A9	PC0/A8
PUOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
PUOV	0	0	0	0
DDOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
DDOV	1	1	1	1
PVOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
PVOV	A11	A10	A9	A8
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	–	–	–	–

注1: ATmega103互換動作ではXMM=0です。

18.3.4. ﾎﾟｰﾄDの交換機能

ﾎﾟｰﾄDﾋﾟﾝの交換機能は下表で示されます。

表18-12. ﾎﾟｰﾄDﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PD7	T2 (ﾀｲﾏ/ｶｳﾝﾀ2 外部ｸﾛｯｸ入力)
PD6	T1 (ﾀｲﾏ/ｶｳﾝﾀ1 外部ｸﾛｯｸ入力)
PD5	XCK1 (USART1 外部ｸﾛｯｸ入出力) (注1)
PD4	ICP1 (ﾀｲﾏ/ｶｳﾝﾀ1 捕獲起動入力)
PD3	INT3 (外部割り込み3 入力) TXD1 (USART1 送信ﾃﾞｰﾀ出力) (注1)
PD2	INT2 (外部割り込み2 入力) RXD1 (USART1 受信ﾃﾞｰﾀ入力) (注1)
PD1	INT1 (外部割り込み1 入力) SDA (2線直列ﾊﾞｽ ﾃﾞｰﾀ入出力) (注1)
PD0	INT0 (外部割り込み0 入力) SCL (2線直列ﾊﾞｽ ｸﾛｯｸ入出力) (注1)

注1: XCK1, TXD1, RXD1, SDA, SCLはATmega103互換動作では利用できません。

交換ﾋﾟﾝの設定は次のとおりです。

- T2 – ﾎﾟｰﾄD ﾋﾞｯﾄ7 : PD7

  T2 : ﾀｲﾏ/ｶｳﾝﾀ2の外部ｸﾛｯｸ入力ﾋﾟﾝです。

- T1 – ﾎﾟｰﾄD ﾋﾞｯﾄ6 : PD6

  T1 : ﾀｲﾏ/ｶｳﾝﾀ1の外部ｸﾛｯｸ入力ﾋﾟﾝです。

- XCK1 – ﾎﾟｰﾄD ﾋﾞｯﾄ5 : PD5

  XCK1 : USART1の外部ｸﾛｯｸ入出力。ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDD5は、このｸﾛｯｸが入力(DDD5=0)または出力(DDD5=1)のどちらかを制御します。XCK1ﾋﾟﾝはUSART1が同期種別で動作する時だけ活動します(有効です)。

- ICP1 – ﾎﾟｰﾄD ﾋﾞｯﾄ4 : PD4

  ICP1 : ﾀｲﾏ/ｶｳﾝﾀ1の捕獲起動入力。PD4ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1用捕獲起動入力ﾋﾟﾝとして動作できます。

- INT3/TXD1 – ﾎﾟｰﾄD ﾋﾞｯﾄ3 : PD3

  INT3 : 外部割り込み3入力。PD3ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  TXD1 : 送信ﾃﾞｰﾀ(USART1用ﾃﾞｰﾀ出力ﾋﾟﾝ)。USART1送信部が許可されると、このﾋﾟﾝはﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDD3の値に拘らず、出力として設定されます。

- INT2/RXD1 – ﾎﾟｰﾄD ﾋﾞｯﾄ2 : PD2

  INT2 : 外部割り込み2入力。PD2ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  RXD1 : 受信ﾃﾞｰﾀ(USART1用ﾃﾞｰﾀ入力ﾋﾟﾝ)。USART1受信部が許可されると、このﾋﾟﾝはDDRDのDDD2の値に拘らず、入力として設定されます。USART1がこのﾋﾟﾝを入力に強制するとき、ﾌﾟﾙｱｯﾌﾟは未だPORTD2ﾋﾞｯﾄによって制御できます。

- INT1/SDA – ﾎﾟｰﾄD ﾋﾞｯﾄ1 : PD1

  INT1 : 外部割り込み1入力。PD1ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  SDA : 2線直列ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ。2線直列ｲﾝﾀｰﾌｪｰｽを許可するために2線直列ｲﾝﾀｰﾌｪｰｽ制御ﾚｼﾞｽﾀ(TWCR)の2線直列ｲﾝﾀｰﾌｪｰｽ動作許可(TWEN)ﾋﾞｯﾄが設定(1)されると、PD1は(通常の)ﾎﾟｰﾄから切り離されて、2線直列ｲﾝﾀｰﾌｪｰｽ用直列ﾃﾞｰﾀ入出力ﾋﾟﾝになります。この動作では入力信号上の50nsより短いｽﾊﾟｲｸ(瞬間雑音)を消去するためのｽﾊﾟｲｸ除去器があり、ｽﾘｭｰﾚｰﾄ(上昇/下降速度)制限付きｵｰﾌﾟﾝﾄﾞﾚｲﾝ駆動部によって駆動されます。このﾋﾟﾝが2線直列ｲﾝﾀｰﾌｪｰｽによって使われるとき、ﾌﾟﾙｱｯﾌﾟは未だPORTD1によって制御できます(訳注:共通性から本行追加)。

- INT0/SCL – ﾎﾟｰﾄD ﾋﾞｯﾄ0 : PD0

  INT0 : 外部割り込み0入力。PD0ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  SCL : 2線直列ｲﾝﾀｰﾌｪｰｽ ｸﾛｯｸ。2線直列ｲﾝﾀｰﾌｪｰｽを許可するために2線直列ｲﾝﾀｰﾌｪｰｽ制御ﾚｼﾞｽﾀ(TWCR)の2線直列ｲﾝﾀｰﾌｪｰｽ動作許可(TWEN)ﾋﾞｯﾄが設定(1)されると、PD0は(通常の)ﾎﾟｰﾄから切り離されて、2線直列ｲﾝﾀｰﾌｪｰｽ用直列ｸﾛｯｸ入出力ﾋﾟﾝになります。この動作では入力信号上の50nsより短いｽﾊﾟｲｸ(瞬間雑音)を消去するためのｽﾊﾟｲｸ除去器があり、ｽﾘｭｰﾚｰﾄ(上昇/下降速度)制限付きｵｰﾌﾟﾝﾄﾞﾚｲﾝ駆動部によって駆動されます。このﾋﾟﾝが2線直列ｲﾝﾀｰﾌｪｰｽによって使われるとき、ﾌﾟﾙｱｯﾌﾟは未だPORTD0ﾋﾞｯﾄによって制御できます(訳注:共通性から本行追加)。

下表はﾎﾟｰﾄDの交換機能を56頁の「**交換ﾎﾟｰﾄ機能**」項の図で示される交換信号に関連付けます。

表18-13. ﾎﾟｰﾄD7～4の交換機能用交換信号

信号名	PD7/T2	PD6/T1	PD5/XCK1	PD4/ICP1
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	UMSEL1	0
PVOV	0	0	XCK1出力	0
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	T2入力	T1入力	XCK1入力	ICP1入力
AIO	–	–	–	–

表18-14. ﾎﾟｰﾄD3～0の交換機能用交換信号

信号名	PD3/INT3/TXD1	PD2/INT2/RXD1	PD1/INT1/SDA	PD0/INT0/SCL
PUOE	TXEN1	RXEN1	TWEN	TWEN
PUOV	0	PORTD2･$\overline{\text{PUD}}$	PORTD1･$\overline{\text{PUD}}$	PORTD0･$\overline{\text{PUD}}$
DDOE	TXEN1	RXEN1	TWEN	TWEN
DDOV	1	0	SDA_出力	SCL_出力
PVOE	TXEN1	0	TWEN	TWEN
PVOV	TXD1	0	0	0
DIEOE	INT3許可	INT2許可	INT1許可	INT0許可
DIEOV	1	1	1	1
DI	INT3入力	INT2入力/RXD1	INT1入力	INT0入力
AIO	–	–	SDA入力	SCL入力

注: 許可されると、2線直列ｲﾝﾀｰﾌｪｰｽはPD0とPD1ﾋﾟﾝ出力のｽﾘｭｰﾚｰﾄ制御を許可します。これは図で示されていません。
加えて、ﾎﾟｰﾄ図で示されるAIO出力と2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)部間にｽﾊﾟｲｸ除去器が接続されます。

18.3.5. ﾎﾟｰﾄEの交換機能

ﾎﾟｰﾄEﾋﾟﾝの交換機能は下表で示されます。

表18-15. ﾎﾟｰﾄEﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PE7	INT7 (外部割り込み7 入力) ICP3 (ﾀｲﾏ/ｶｳﾝﾀ3 捕獲起動入力) (注1)	PE3	AIN1 (ｱﾅﾛｸﾞ比較器反転入力) OC3A (ﾀｲﾏ/ｶｳﾝﾀ3 比較A一致出力) (注1)
PE6	INT6 (外部割り込み6 入力) T3 (ﾀｲﾏ/ｶｳﾝﾀ3 外部ｸﾛｯｸ入力) (注1)	PE2	AIN0 (ｱﾅﾛｸﾞ比較器非反転入力) XCK0 (USART0 外部ｸﾛｯｸ入出力) (注1)
PE5	INT5 (外部割り込み5 入力) OC3C (ﾀｲﾏ/ｶｳﾝﾀ3 比較C一致出力) (注1)	PE1	TXD0 (USART0 送信ﾃﾞｰﾀ出力) PDO (直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾃﾞｰﾀ出力)
PE4	INT4 (外部割り込み4 入力) OC3B (ﾀｲﾏ/ｶｳﾝﾀ3 比較B一致出力) (注1)	PE0	RXD0 (USART0 受信ﾃﾞｰﾀ入力) PDI (直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾃﾞｰﾀ入力)

注1: ICP3, T3, OC3C, OC3B, OC3A, XCK0はATmega103互換動作では利用できません。

交換ﾋﾟﾝの設定は次のとおりです。

- INT7/ICP3 – ﾎﾟｰﾄE ﾋﾞｯﾄ7 : PE7

  INT7 : 外部割り込み7入力。PE7ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  ICP3 : ﾀｲﾏ/ｶｳﾝﾀ3の捕獲起動入力。PE7ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ3用捕獲起動入力ﾋﾟﾝとして動作できます。

- INT6/T3 – ﾎﾟｰﾄE ﾋﾞｯﾄ6 : PE6

  INT6 : 外部割り込み6入力。PE6ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  T3 : ﾀｲﾏ/ｶｳﾝﾀ3の外部ｸﾛｯｸ入力ﾋﾟﾝです。

- INT5/OC3C – ﾎﾟｰﾄE ﾋﾞｯﾄ5 : PE5

  INT5 : 外部割り込み5入力。PE5ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  OC3C : ﾀｲﾏ/ｶｳﾝﾀ3の比較C一致出力。PE5ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ3の比較C一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDE5=1)されなければなりません。このOC3Cﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- INT4/OC3B – ﾎﾟｰﾄE ﾋﾞｯﾄ4 : PE4

  INT4 : 外部割り込み4入力。PE4ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

  OC3B : ﾀｲﾏ/ｶｳﾝﾀ3の比較B一致出力。PE4ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ3の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDE4=1)されなければなりません。このOC3Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- AIN1/OC3A – ﾎﾟｰﾄE ﾋﾞｯﾄ3 : PE3

  AIN1 : ｱﾅﾛｸﾞ比較器の反転入力。このﾋﾟﾝはｱﾅﾛｸﾞ比較器の反転入力に直接接続されます。

  OC3A : ﾀｲﾏ/ｶｳﾝﾀ3の比較A一致出力。PE3ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ3の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDE3=1)されなければなりません。このOC3Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

- AIN0/XCK0 – ﾎﾟｰﾄE ﾋﾞｯﾄ2 : PE2

  AIN0 : ｱﾅﾛｸﾞ比較器の非反転入力。このﾋﾟﾝはｱﾅﾛｸﾞ比較器の非反転入力に直接接続されます。

  XCK0 : USART0の外部ｸﾛｯｸ入出力。ﾎﾟｰﾄE方向ﾚｼﾞｽﾀ(DDRE)のDDE2は、このｸﾛｯｸが入力(DDE2=0)または出力(DDE2=1)のどちらかを制御します。XCK0ﾋﾟﾝはUSART0が同期種別で動作する時だけ活動します(有効です)。

- TXD0/PDO – ﾎﾟｰﾄE ﾋﾞｯﾄ1 : PE1

  TXD0 : 送信ﾃﾞｰﾀ(USART0用ﾃﾞｰﾀ出力ﾋﾟﾝ)。USART0送信部が許可されると、このﾋﾟﾝはﾎﾟｰﾄE方向ﾚｼﾞｽﾀ(DDRE)のDDE1の値に拘らず、出力として設定されます。

  PDO : 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾃﾞｰﾀ出力。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、このﾋﾟﾝはATmega128Aのﾃﾞｰﾀ出力線として使われます。

- RXD0/PDI – ﾎﾟｰﾄE ﾋﾞｯﾄ0 : PE0

  RXD0 : 受信ﾃﾞｰﾀ(USART0用ﾃﾞｰﾀ入力ﾋﾟﾝ)。USART0受信部が許可されると、このﾋﾟﾝはDDREのDDE0の値に拘らず、入力として設定されます。USART0がこのﾋﾟﾝを入力に強制するとき、ﾌﾟﾙｱｯﾌﾟは未だPORTE0ﾋﾞｯﾄによって制御できます。

  PDI : 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾃﾞｰﾀ入力。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、このﾋﾟﾝはATmega128Aのﾃﾞｰﾀ入力線として使われます。

下表はﾎﾟｰﾄEの交換機能を56頁の「**交換ﾎﾟｰﾄ機能**」項の図で示される交換信号に関連付けます。

表18-16. ﾎﾟｰﾄE7～4の交換機能用交換信号

信号名	PE7/INT7/ICP3	PE6/INT6/T3	PE5/INT5/OC3C	PE4/INT4/OC3B
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	OC3C許可	OC3B許可
PVOV	0	0	OC3C	OC3B
DIEOE	INT7許可	INT6許可	INT5許可	INT4許可
DIEOV	1	1	1	1
DI	INT7入力/ICP3入力	INT6入力/T3入力	INT5入力	INT4入力
AIO	–	–	–	–

表18-17. ﾎﾟｰﾄE3～0の交換機能用交換信号

信号名	PE3/AIN1/OC3A	PE2/AIN0/XCK0	PE1/TXD0/PDO	PE0/RXD0/PDI
PUOE	0	0	TXEN0	RXEN0
PUOV	0	0	0	PORTE0・$\overline{\text{PUD}}$
DDOE	0	0	TXEN0	RXEN0
DDOV	0	0	1	0
PVOE	OC3A許可	UMSEL0	TXEN0	0
PVOV	OC3A	XCK0出力	TXD0	0
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	–	XCK0入力	–	RXD0
AIO	AIN1入力	AIN0入力	–	–

18.3.6. ポートFの交換機能

交換機能を持つポートFピンが下表で示されます。ポートFピンのいくつかが出力として設定される場合、A/D変換実行中の時にそれらを切り替えないことが重要です。これは変換結果を不正にするかもしれません。ATmega103互換動作でのポートFは入力専用です。JTAGインターフェースが許可されると、リセットが起きてもPF7(TDI)、PF5(TMS)、PF4(TCK)ピンのプルアップ抵抗は活性(有効)にされます。

表18-18. ポートFピンの交換機能

ポート ピン	交換機能
PF7	ADC7 (A/D変換アナログ入力チャネル7) TDI (JTAG 検査データ入力)
PF6	ADC6 (A/D変換アナログ入力チャネル6) TDO (JTAG 検査データ出力)
PF5	ADC5 (A/D変換アナログ入力チャネル5) TMS (JTAG 検査種別選択入力)
PF4	ADC4 (A/D変換アナログ入力チャネル4) TCK (JTAG クロック入力)
PF3	ADC3 (A/D変換アナログ入力チャネル3)
PF2	ADC2 (A/D変換アナログ入力チャネル2)
PF1	ADC1 (A/D変換アナログ入力チャネル1)
PF0	ADC0 (A/D変換アナログ入力チャネル0)

交換ピンの設定は次のとおりです。

- ADC7/TDI – ポートF ビット7 : PF7

  ADC7 : PF7はA/D変換チャネル7入力としても使われます。

  TDI : JTAG検査データ入力。命令レジスタまたはデータ レジスタ(走査チェーン)に移動入力される直列入力データです。JTAGインターフェースが許可されると、このピンはI/Oピンとして使えません。

- ADC6/TDO – ポートF ビット6 : PF6

  ADC6 : PF6はA/D変換チャネル6入力としても使われます。

  TDO : JTAG検査データ出力。命令レジスタまたはデータ レジスタから移動出力される直列出力データです。JTAGインターフェースが許可されたなら、このピンはI/Oピンとして使えません。TDOピンはデータが移動出力されるTAP状態への移行を除いてHi-Zです。

- ADC5/TMS – ポートF ビット5 : PF5

  ADC5 : PF5はA/D変換チャネル5入力としても使われます。

  TMS : JTAG検査種別選択。このピンはTAP(検査入出力ポート)制御器状態機構を通しての操作に使われます。JTAGインターフェースが許可されると、このピンはI/Oピンとして使えません。

- ADC4/TCK – ポートF ビット4 : PF4

  ADC4 : PF4はA/D変換チャネル4入力としても使われます。

  TCK : JTAGクロック。JTAG操作はTCKに同期します。JTAGインターフェースが許可されると、このピンはI/Oピンとして使えません。

- ADC3 – ポートF ビット3 : PF3

  ADC3 : PF3はA/D変換チャネル3入力としても使われます。

- ADC2 – ポートF ビット2 : PF2

  ADC2 : PF2はA/D変換チャネル2入力としても使われます。

- ADC1 – ポートF ビット1 : PF1

  ADC1 : PF1はA/D変換チャネル1入力としても使われます。

- ADC0 – ポートF ビット0 : PF0

  ADC0 : PF0はA/D変換チャネル0入力としても使われます。

下表はﾎﾟｰﾄFの交換機能を56頁の「**交換ﾎﾟｰﾄ機能**」項の図で示される交換信号に関連付けます。

表18-19. ﾎﾟｰﾄF7～4の交換機能用交換信号

信号名	PF7/ADC7/TDI	PF6/ADC/TDO	PF5/ADC5/TMS	PF4/ADC4/TCK
PUOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
PUOV	1	0	1	1
DDOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DDOV	0	IR移動+DR移動	0	0
PVOE	0	JTAGEN	0	0
PVOV	0	TDO	0	0
DIEOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	ADC7入力/TDI入力	ADC6入力	ADC5入力/TMS入力	ADC4入力/TCK入力

表18-20. ﾎﾟｰﾄF3～0の交換機能用交換信号

信号名	PF3/ADC3	PF2/ADC2	PF1/ADC1	PF0/ADC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	ADC3入力	ADC2入力	ADC1入力	ADC0入力

18.3.7. ポートGの交換機能

ATmega103互換動作では交換機能だけがポートGの既定で、ポートGは標準デジタル ポート ピンとして使えません。交換ピン設定は次のとおりです。

表18-21. ポートGピンの交換機能

ポート ピン	交換機能
PG4	TOSC1（タイマ用発振増幅器入力）
PG3	TOSC2（タイマ用発振増幅器出力）
PG2	ALE　（外部メモリ用アドレス ラッチ許可信号出力）
PG1	$\overline{RD}$　（外部メモリ用読み出しストローブ信号出力）
PG0	$\overline{WR}$　（外部メモリ用書き込みストローブ信号出力）

交換ピンの設定は次のとおりです。

- TOSC1 – ポートG ビット4 : PG4

  TOSC1 : タイマ発振器ピン1。タイマ/カウンタ0の非同期クロック動作を許可するためにASSRの非同期許可(AS0)ビットが設定(1)されると、PG4 ピンはポートから切り離され、発振用反転増幅器の入力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/O ピンとして使えません。

- TOSC2 – ポートG ビット3 : PG3

  TOSC2 : タイマ発振器ピン2。タイマ/カウンタ0の非同期クロック動作を許可するためにASSRの非同期許可(AS0)ビットが設定(1)されると、PG3 ピンはポートから切り離され、発振用反転増幅器の出力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/O ピンとして使えません。

- ALE – ポートG ビット2 : PG2

  ALE : 外部メモリ用アドレス ラッチ許可信号出力ピンです。

- $\overline{RD}$ – ポートG ビット1 : PG1

  $\overline{RD}$: 外部メモリ用読み出し制御ストローブ信号出力ピンです。

- $\overline{WR}$ – ポートG ビット0 : PG0

  $\overline{WR}$: 外部メモリ用書き込み制御ストローブ信号出力ピンです。

下表はポートGの交換機能を56頁の「**交換ポート機能**」項の図で示される交換信号に関連付けます。

表18-22. ポートG4～0の交換機能用交換信号

信号名	PG4/TOSC1	PG3/TOSC2	PG2/ALE	PG1/$\overline{RD}$	PG0/$\overline{WR}$
PUOE	AS0	AS0	SRE	SRE	SRE
PUOV	0	0	0	0	0
DDOE	AS0	AS0	SRE	SRE	SRE
DDOV	0	0	1	1	1
PVOE	0	0	SRE	SRE	SRE
PVOV	0	0	ALE	RD	WR
DIEOE	AS0	AS0	0	0	0
DIEOV	0	0	0	0	0
DI	–	–	–	–	–
AIO	T/C0用 発振増幅器入力	T/C0用 発振増幅器出力	–	–	–

(訳注) 原書の表18-22.と表18-23.は表18-22.として統合しました。

18.4. I/Oポート用レジスタ

18.4.1. SFIOR – 特殊I/O機能レジスタ (Special Function I/O Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : SFIOR
変位 : $20 ($40)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$40です。

ビット	7	6	5	4	3	2	1	0
	TSM	–	–	–	ACME	PUD	PSR0	PSR321
アクセス種別	R/W	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット2 – PUD : プルアップ禁止** (Pull-up Disable)

このビットが1を書かれると、例えDDxnとPORTxnレジスタがプルアップを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては54頁の「ピンの設定」をご覧ください。

18.4.2. PORTA – ポートA出力レジスタ (Port A Data Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : PORTA
変位 : $1B ($3B)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$3Bです。

ビット	7	6	5	4	3	2	1	0
	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7～0 – PORTA7～0 : ポートA出力** (Port A Data)

18.4.3. DDRA – ポートA方向レジスタ (Port A Data Direction Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : DDRA
変位 : $1A ($3A)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$3Aです。

ビット	7	6	5	4	3	2	1	0
	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7～0 – DDA7～0 : ポートAデータ方向** (Port A Data Direction)

18.4.4. PINA – ﾎﾟｰﾄA入力ﾚｼﾞｽﾀ (Port A Input Pins Address)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : PINA
変位 : $19 ($39)
ﾘｾｯﾄ : 不定
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$39です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – PINA7～0 : ﾎﾟｰﾄA入力** (Port A Input Pins)

18.4.5. PORTB – ﾎﾟｰﾄB出力ﾚｼﾞｽﾀ (Port B Data Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : PORTB
変位 : $18 ($38)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$38です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – PORTB7～0 : ﾎﾟｰﾄB出力** (Port B Data)

18.4.6. DDRB – ﾎﾟｰﾄB方向ﾚｼﾞｽﾀ (Port B Data Direction Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : DDRB
変位 : $17 ($37)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$37です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – DDB7～0 : ﾎﾟｰﾄBﾃﾞｰﾀ方向** (Port B Data Direction)

18.4.7. PINB – ﾎﾟｰﾄB入力ﾚｼﾞｽﾀ (Port B Input Pins Address)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : PINB
変位 : $16 ($36)
ﾘｾｯﾄ : 不定
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$36です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – PINB7～0 : ﾎﾟｰﾄB入力** (Port B Input Pins)

18.4.8. PORTC – ﾎﾟｰﾄC出力ﾚｼﾞｽﾀ (Port C Data Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : PORTC
変位 : $15 ($35)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$35です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – PORTC7～0 : ﾎﾟｰﾄC出力** (Port C Data)

18.4.9. DDRC – ﾎﾟｰﾄC方向ﾚｼﾞｽﾀ (Port C Data Direction Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

ATmega103互換動作でのDDRCとPINCﾚｼﾞｽﾀはﾌﾟｯｼｭﾌﾟﾙ0(Low)出力に初期化されます。ﾎﾟｰﾄ ﾋﾟﾝは例えｸﾛｯｸが走行していなくてもそれらの初期値になります。DDRCとPINCﾚｼﾞｽﾀはATmega103互換動作でも利用可能ですが、過去との100%互換のためには使用されるべきでないことに注意してください。

名称 : DDRC
変位 : $14 ($34)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$34です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – DDC7～0 : ﾎﾟｰﾄCﾃﾞｰﾀ方向** (Port C Data Direction)

18.4.10. PINC – ﾎﾟｰﾄC入力ﾚｼﾞｽﾀ (Port C Input Pins Address)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

ATmega103互換動作でのDDRCとPINCﾚｼﾞｽﾀはﾌﾟｯｼｭﾌﾟﾙ0(Low)出力に初期化されます。ﾎﾟｰﾄ ﾋﾟﾝは例えｸﾛｯｸが走行していなくてもそれらの初期値になります。DDRCとPINCﾚｼﾞｽﾀはATmega103互換動作でも利用可能ですが、過去との100%互換のためには使用されるべきでないことに注意してください。

名称 ：PINC
変位 ：$13 ($33)
ﾘｾｯﾄ ：不定
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$33です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – PINC7～0 : ﾎﾟｰﾄC入力** (Port C Input Pins)

18.4.11. PORTD – ﾎﾟｰﾄD出力ﾚｼﾞｽﾀ (Port D Data Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：PORTD
変位 ：$12 ($32)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$32です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – PORTD7～0 : ﾎﾟｰﾄD出力** (Port D Data)

18.4.12. DDRD – ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ (Port D Data Direction Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：DDRD
変位 ：$11 ($31)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$31です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – DDD7～0 : ﾎﾟｰﾄDﾃﾞｰﾀ方向** (Port D Data Direction)

18.4.13. PIND – ﾎﾟｰﾄD入力ﾚｼﾞｽﾀ (Port D Input Pins Address)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : PIND
変位 : $10 ($30)
ﾘｾｯﾄ : 不定
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$30です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – PIND7～0 : ﾎﾟｰﾄD入力** (Port D Input Pins)

18.4.14. PORTE – ﾎﾟｰﾄE出力ﾚｼﾞｽﾀ (Port E Data Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : PORTE
変位 : $03 ($23)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$23です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – PORTE7～0 : ﾎﾟｰﾄE出力** (Port E Data)

18.4.15. DDRE – ﾎﾟｰﾄE方向ﾚｼﾞｽﾀ (Port E Data Direction Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : DDRE
変位 : $02 ($22)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$22です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – DDE7～0 : ﾎﾟｰﾄEﾃﾞｰﾀ方向** (Port E Data Direction)

18.4.16. PINE – ﾎﾟｰﾄE入力ﾚｼﾞｽﾀ (Port E Input Pins Address)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : PINE
変位 : $01 ($21)
ﾘｾｯﾄ : 不定
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$21です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – PINE7～0 : ﾎﾟｰﾄE入力** (Port E Input Pins)

18.4.17. PORTF – ﾎﾟｰﾄF出力ﾚｼﾞｽﾀ (Port F Data Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: ﾎﾟｰﾄFはﾃﾞｼﾞﾀﾙ入力のみとして扱うATmega103互換動作に於いてPORTFとDDRFﾚｼﾞｽﾀが利用できません。

名称 : PORTF
変位 : ($62)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – PORTF7～0 : ﾎﾟｰﾄF出力** (Port F Data)

18.4.18. DDRF – ﾎﾟｰﾄF方向ﾚｼﾞｽﾀ (Port F Data Direction Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: ﾎﾟｰﾄFはﾃﾞｼﾞﾀﾙ入力のみとして扱うATmega103互換動作に於いてPORTFとDDRFﾚｼﾞｽﾀが利用できません。

名称 : DDRF
変位 : ($61)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – DDF7～0 : ﾎﾟｰﾄFﾃﾞｰﾀ方向** (Port F Data Direction)

18.4.19. PINF – ﾎﾟｰﾄF入力ﾚｼﾞｽﾀ (Port F Input Pins Address)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : PINF
変位 : $00 ($20)
ﾘｾｯﾄ : 不定
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$20です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINF7	PINF6	PINF5	PINF4	PINF3	PINF2	PINF1	PINF0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – PINF7～0 : ﾎﾟｰﾄF入力** (Port F Input Pins)

18.4.20. PORTG – ﾎﾟｰﾄG出力ﾚｼﾞｽﾀ (Port G Data Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: PORTG, DDRG, PINGﾚｼﾞｽﾀはATmega103互換動作で利用できません。ATmega103互換動作でのﾎﾟｰﾄGは交換機能(TOSC1, TOSC2, ALE, $\overline{RD}$, $\overline{WR}$)だけを扱います。

名称 : PORTG
変位 : ($65)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	PORTG4	PORTG3	PORTG2	PORTG1	PORTG0
ｱｸｾｽ種別	R	R	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – PORTG7～0 : ﾎﾟｰﾄG出力** (Port G Data)

18.4.21. DDRG – ﾎﾟｰﾄG方向ﾚｼﾞｽﾀ (Port G Data Direction Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: PORTG, DDRG, PINGﾚｼﾞｽﾀはATmega103互換動作で利用できません。ATmega103互換動作でのﾎﾟｰﾄGは交換機能(TOSC1, TOSC2, ALE, $\overline{RD}$, $\overline{WR}$)だけを扱います。

名称 : DDRG
変位 : ($64)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	DDG4	DDG3	DDG2	DDG1	DDG0
ｱｸｾｽ種別	R	R	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – DDG7～0 : ﾎﾟｰﾄGﾃﾞｰﾀ方向** (Port G Data Direction)

18.4.22. PING – ﾎﾟｰﾄG入力ﾚｼﾞｽﾀ (Port G Input Pins Address)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: PORTG, DDRG, PINGﾚｼﾞｽﾀはATmega103互換動作で利用できません。ATmega103互換動作でのﾎﾟｰﾄGは交換機能(TOSC1, TOSC2, ALE, $\overline{RD}$, $\overline{WR}$)だけを扱います。

名称 : PING
変位 : ($63)
ﾘｾｯﾄ : 不定
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	PING4	PING3	PING2	PING1	PING0
ｱｸｾｽ種別	R	R	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – PING7～0 : ﾎﾟｰﾄG入力** (Port G Input Pins)

19. タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器

19.1. 概要

タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3は同じ前置分周器部を共用しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述はタイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3に適用されます。

19.2. 内部クロック元

タイマ/カウンタはシステム クロック(CSn2～0=001設定)によって直接的にクロック駆動できます。これはシステム クロック周波数($f_{clk\_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。この前置分周したクロックは$f_{clk_I/O}/8$, $f_{clk\_I/O}/64$, $f_{clk\_I/O}/256$, $f_{clk_I/O}/1024$の何れかの周波数です。

19.3. 前置分周器リセット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)、タイマ/カウンタ1,タイマ/カウンタ2,タイマ/カウンタ3によって共用されます。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2～0= 5～2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数はNが前置分周値(8, 64, 256, 1024)とすると、1～N+1 システム クロック周期になり得ます。

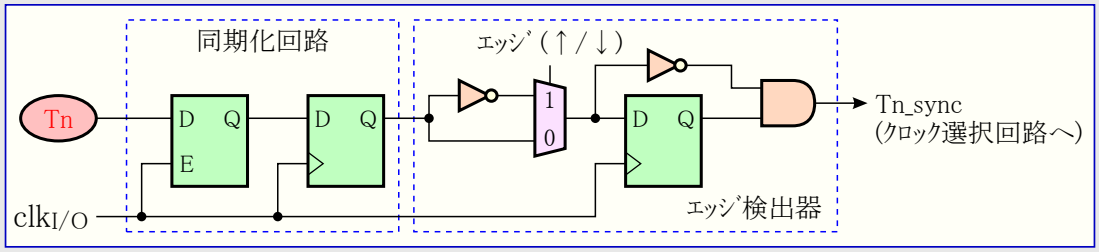
プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使うことが可能です。しかし、同じ前置分周器を共用する他のタイマ/カウンタも前置分周を使う場合、注意が必要とされなければなりません。前置分周器リセットはそれが接続される全タイマ/カウンタに関する前置分周器周期に影響を及ぼします。

19.4. 外部クロック元

Tnピンに印加された外部クロック元はタイマ/カウンタ クロック(f_{clk_T1}/f_{clk_T2}/f_{clk_T3})として使えます。このTnピンはピン同期化論理回路によって全てのシステム クロック周期に一度採取されます。この同期化(採取)された信号は、その後エッジ検出器を通して通過されます。下図はTn同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック($f_{clk\_I/O}$)の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

エッジ検出器は上昇端(CSn2～0=111)または下降端(CSn2～0=110)の検出毎に1つのclk_{T1}/clk_{T2}/clk_{T3}パルスを生成します。

図19-1. Tnピンの採取等価構成図



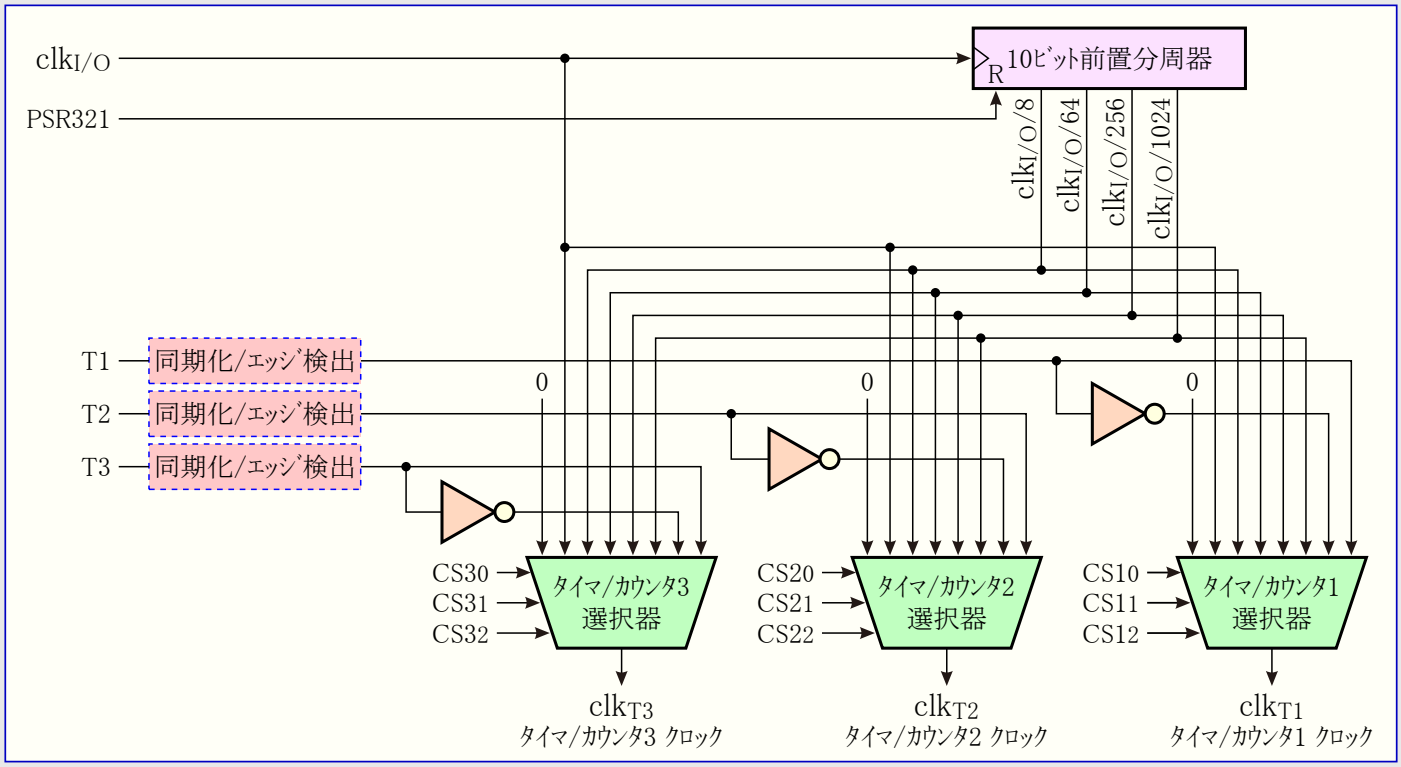
同期化とエッジ検出器論理回路はTnピンへ印加されたエッジから計数器が更新されるまでに2.5～3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はTnが最低1システム クロック周期に対して安定してしまっている時に行われなければならず、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システム クロック周波数の半分未満($f_{EXTclk}<f_{clk\_I/O}/2$)であることが保証されなければなりません。エッジ検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイキストの標本化定理)。然しながら、発振元(クリスタル発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は$f_{clk_I/O}/2.5$未満が推奨されます。

外部クロック元は前置分周できません。

図19-2. ﾀｲﾏ/ｶｳﾝﾀ1、ﾀｲﾏ/ｶｳﾝﾀ2、ﾀｲﾏ/ｶｳﾝﾀ3の前置分周器部構成図



注: 入力ﾋﾟﾝ(T1/T2/T3)の同期化/ｴｯｼﾞ検出論理回路は前頁の図で示されます。

19.5. 同期系ﾀｲﾏ/ｶｳﾝﾀ前置分周器用ﾚｼﾞｽﾀ

19.5.1. SFIOR – 特殊I/O機能ﾚｼﾞｽﾀ (Special Function I/O Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : SFIOR
変位 : $20 ($40)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$40です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TSM	–	–	–	ACME	PUD	PSR0	PSR321
ｱｸｾｽ種別	R/W	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – TSM : ﾀｲﾏ/ｶｳﾝﾀ同時動作** (Timer/Counter Synchronization Mode)

TSMﾋﾞｯﾄに1を書くことはﾀｲﾏ/ｶｳﾝﾀ同期化動作を活性(有効)にします。この動作でPSR0とPSR321へ書かれる値は保持され、従って対応する前置分周器ﾘｾｯﾄ信号の有効を保持します。これは対応するﾀｲﾏ/ｶｳﾝﾀを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できることを保証します。TSMﾋﾞｯﾄが0を書かれると、PSR0とPSR321ﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)され、同時にﾀｲﾏ/ｶｳﾝﾀが計数を始めます。

● **ﾋﾞｯﾄ0 – PSR321 : ﾀｲﾏ/ｶｳﾝﾀ3,2,1 前置分周器ﾘｾｯﾄ** (Prescaler Reset Timer/Counter 3,2,1)

このﾋﾞｯﾄが1のとき、ﾀｲﾏ/ｶｳﾝﾀ1、ﾀｲﾏ/ｶｳﾝﾀ2、ﾀｲﾏ/ｶｳﾝﾀ3の前置分周器はﾘｾｯﾄします。TSMﾋﾞｯﾄが設定(1)されている場合を除いて通常、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって直ちに解除(0)されます。ﾀｲﾏ/ｶｳﾝﾀ1、ﾀｲﾏ/ｶｳﾝﾀ2、ﾀｲﾏ/ｶｳﾝﾀ3は同じ前置分周器を共用し、この前置分周器のﾘｾｯﾄが、これら3つのﾀｲﾏ/ｶｳﾝﾀ全てに影響を及ぼすことに注意してください。

20. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ (ﾀｲﾏ/ｶｳﾝﾀ1とﾀｲﾏ/ｶｳﾝﾀ3)

20.1. 特徴

- 真の16ﾋﾞｯﾄ設計 (換言すれば16ﾋﾞｯﾄPWMの許容)
- 3つの独立した比較出力部
- 2重緩衝の比較ﾚｼﾞｽﾀ
- 1つの捕獲入力部
- 捕獲入力雑音消去器
- 比較一致でのﾀｲﾏ/ｶｳﾝﾀ解除 (自動再設定)
- 不具合なしで正しい位相のﾊﾟﾙｽ幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 外部事象計数器
- 10種の独立した割り込み (TOV1,OCF1A,OCF1B,OCF1C,ICF1, TOV3,OCF3A,OCF3B,OCF3C,ICF3)

20.1.1. ATmega103互換動作での制限

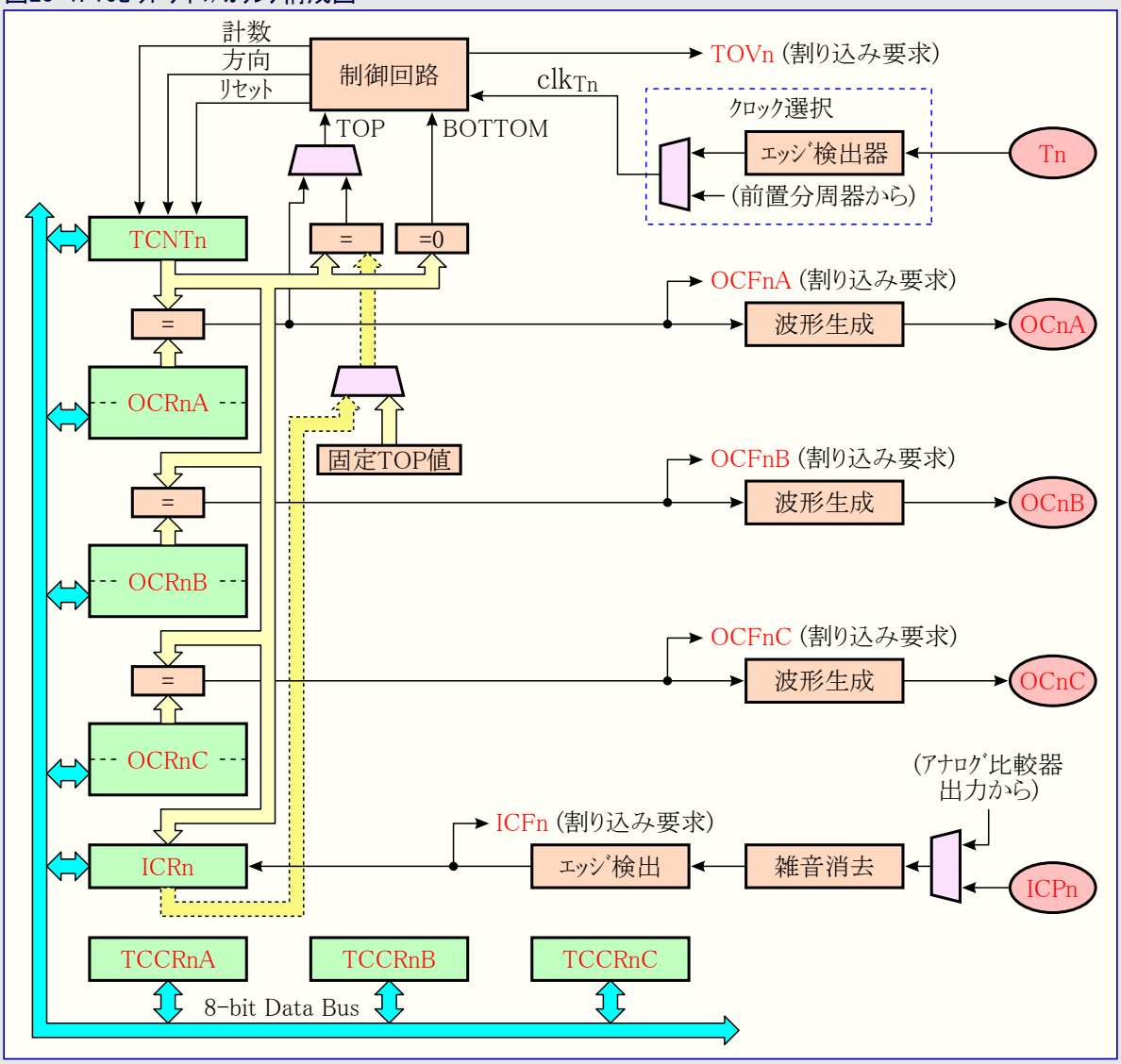
ATmega103互換動作では1つの16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ(ﾀｲﾏ/ｶｳﾝﾀ1)だけが利用可能なことに注意してください。同様にATmega103互換動作では2つの比較ﾚｼﾞｽﾀ(比較Aと比較B)だけであることにも注意してください。

20.2. 概要

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ部は正確なﾌﾟﾛｸﾞﾗﾑ実行ﾀｲﾐﾝｸﾞ(事象管理)、波形生成、信号ﾀｲﾐﾝｸﾞ計測を許します。本資料でのﾚｼﾞｽﾀとﾋﾞｯﾄ参照の多くは一般形で書かれます。小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号、小文字の'x'は比較出力部の置き換えです。けれどもﾌﾟﾛｸﾞﾗﾑでﾚｼﾞｽﾀまたはﾋﾞｯﾄ定義に使う時は正確な形式が使われなければなりません(例えばﾀｲﾏ/ｶｳﾝﾀ1のｶｳﾝﾀ値に対するｱｸｾｽのTCNT1のように)。

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの簡単化した構成図は下で示されます。I/Oﾋﾟﾝの実際の配置については「**ﾋﾟﾝ配置**」を参照してください。CPUがｱｸｾｽ可能な(I/Oﾋﾞｯﾄと I/Oﾋﾟﾝを含む)I/Oﾚｼﾞｽﾀは赤文字(**訳注**:原文太字)で示されます。ﾃﾞﾊﾞｲｽ仕様のI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は92頁の「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1,3用ﾚｼﾞｽﾀ**」で示されます。

図20-1. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ構成図



注: ﾀｲﾏ/ｶｳﾝﾀ1と3のﾋﾟﾝ配置と説明については「ﾋﾟﾝ配置」、表18-6.、表18-15.を参照してください。

関連リンク　9頁の「ピン配置」
58頁の「ポートBの交換機能」
61頁の「ポートDの交換機能」

20.2.1. 関係レジスタ

タイマ/カウンタ(TCNTn)、比較レジスタ(OCRnA,OCRnB,OCRnC)、捕獲レジスタ(ICRn)は全て16ビット レジスタです。16ビット レジスタをアクセスするとき、特別な手順に従わなければなりません。これらの手順は80頁の「**16ビット レジスタのアクセス**」項で記述されます。タイマ/カウンタn制御レジスタ(TCCRnA,TCCRnB,TCCRnC)は8ビット レジスタで、CPUアクセス制限はありません。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)と拡張タイマ/カウンタ割り込み要求レジスタ(ETIFR)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK)と拡張タイマ/カウンタ割り込み許可レジスタ(ETIMSK)で個別に遮蔽(禁止)されます。(E)TIFRと(E)TIMSKはこれらのレジスタが他のタイマ/カウンタ部によって共用されるため、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはTnピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元とエッジを制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタ クロック(clk_{Tn})として参照されます。

2重緩衝化した比較レジスタ(OCRnA,OCRnB,OCRnC)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OCnA,OCnB,OCnC)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。84頁の「**比較出力部**」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求フラグ(OCFnA,OCFnB,OCFnC)も設定(1)します。

捕獲レジスタ(ICRn)は捕獲起動(ICPn)ピンまたはアナログ比較器出力(「**アナログ比較器**」参照)のどちらかの外部(エッジで起動された)事象でタイマ/カウンタ値を捕獲(複写)できます。捕獲入力部は尖頭雑音を捕らえる機会を軽減するためにデジタル濾波部(雑音消去器)を含みます。

TOP値または最大タイマ/カウンタ値は、いくつかの動作種別で、OCRnA、ICRn、または一群の固定値のどれかによって定義できます。PWM動作でTOP値としてOCRnAを使うと、OCRnAはPWM出力生成用に使えません。けれどもこの場合、TOP値は動作中に変更されるのをTOP値に許す2重緩衝化します。固定的なTOP値が必要とされる場合、ICRnが代わりに使え、PWM出力として使われるべきOCRnAを開放します。

関連リンク　173頁の「アナログ比較器」

20.2.2. 定義

次の定義は本資料を通して広範囲に使われます。

表20-1. 用語定義

用語	意味
BOTTOM	カウンタが$0000に到達した時。
MAX	カウンタが$FFFF(65535)に到達した時。
TOP	カウンタがTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値($00FF,$01FF,$03FF)、OCRnA値、ICRn値の何れか1つを指定できます。この指定は動作種別に依存します。

20.2.3. 互換性

この16ビット タイマ/カウンタは旧版の16ビット AVR タイマ/カウンタから改良更新されてしまっています。この16ビット タイマ/カウンタは次の点に関して以前の版と完全な互換性があります。

- タイマ/カウンタ割り込み関係レジスタを含め、16ビット タイマ/カウンタに関連する全てのI/Oレジスタ アドレスの位置。
- タイマ/カウンタ割り込み関係レジスタを含め、16ビット タイマ/カウンタに関連する全てのI/Oレジスタ内のビット位置。
- 割り込みベクタ。

次の制御ビットは変更された名前を持ちますが、同じ機能とレジスタ位置を持ちます。

- PWMn0はWGMn0に変更。
- PWMn1はWGMn1に変更。
- CTCnはWGMn2に変更。

次のレジスタが16ビット タイマ/カウンタに追加されます。

- タイマ/カウンタn制御レジスタC(TCCRnC)
- OCRnCHとOCRnCLを組み合わせた比較nCレジスタ(OCRnC)

次の制御ビットが16ビット タイマ/カウンタ制御レジスタに追加されます。

- COMnC1,0がTCCRnAに追加。
- FOCnA, FOCnB, FOCnCが新規TCCRnCに追加。
- WGMn3がTCCRnBに追加。

この比較C出力用の割り込み要求フラグと割り込み許可ビットが追加されます。

この16ビット タイマ/カウンタにはいくつかの特別な状況で互換性に影響を及ぼす改良点があります。

20.3. 16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ

TCNTn,OCRnA,OCRnB,OCRnC,ICRnは8ﾋﾞｯﾄ ﾊﾞｽ経由でAVR CPUによってｱｸｾｽできる16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。この16ﾋﾞｯﾄ ﾚｼﾞｽﾀは2回の読みまたは書き操作を使ってﾊﾞｲﾄ ｱｸｾｽされなければなりません。各々の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは16ﾋﾞｯﾄ ｱｸｾｽの上位ﾊﾞｲﾄの一時保存用に1つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀを持ちます。16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ内の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀ間で、この同じ一時ﾚｼﾞｽﾀが共用されます。下位ﾊﾞｲﾄ ｱｸｾｽが16ﾋﾞｯﾄ読み書き動作を起動します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって書かれると、一時ﾚｼﾞｽﾀに保存した上位ﾊﾞｲﾄと書かれた下位ﾊﾞｲﾄは同じｸﾛｯｸ周期で両方が16ﾋﾞｯﾄ ﾚｼﾞｽﾀに複写されます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって読まれると、16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄは下位ﾊﾞｲﾄが読まれるのと同じｸﾛｯｸ周期で一時ﾚｼﾞｽﾀに複写されます。

全ての16ﾋﾞｯﾄ ｱｸｾｽが上位ﾊﾞｲﾄに対して一時ﾚｼﾞｽﾀを使う訳ではありません。OCRnA,OCRnB,OCRnCの16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込みは一時ﾚｼﾞｽﾀの使用に関係しません。

16ﾋﾞｯﾄ書き込みを行うために上位ﾊﾞｲﾄは下位ﾊﾞｲﾄに先立って書かれなければなりません。16ﾋﾞｯﾄ読み込みについては下位ﾊﾞｲﾄが上位ﾊﾞｲﾄの前に読まれなければなりません。

次のｺｰﾄﾞ例は割り込みが一時ﾚｼﾞｽﾀを更新しないことが前提の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ法を示します。OCRnA, OCRnB, OCRnC, ICRnﾚｼﾞｽﾀのｱｸｾｽに対して同じ原理が直接的に使えます。C言語を使う時はｺﾝﾊﾟｲﾗが16ﾋﾞｯﾄ ｱｸｾｽを扱うことに注意してください。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
            ～                                  ;
                                                ;[16ﾋﾞｯﾄ($01FF)書き込み]
            LDI     R17, $01                    ;$01FFの上位ﾊﾞｲﾄ値取得
            LDI     R16, $FF                    ;$01FFの下位ﾊﾞｲﾄ値取得
            OUT     TCNTnH, R17                 ;上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
            OUT     TCNTnL, R16                 ;下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
                                                ;[16ﾋﾞｯﾄ読み込み]
            IN      R16, TCNTnL                 ;下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
            IN      R17, TCNTnH                 ;上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
            ～                                  ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int i;
    ～                                          /* */
    TCNTn = 0x1FF;                              /* 16ﾋﾞｯﾄ($01FF)書き込み */
    i = TCNTn;                                  /* 16ﾋﾞｯﾄ読み込み */
    ～                                          /* */
```

注:「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNTn値を戻します。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽが非分断操作であることに注意することが重要です。16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽする2命令間で割り込みが起き、割り込みｺｰﾄﾞがその16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀの同じ若しくは他の何れかをｱｸｾｽすることによって一時ﾚｼﾞｽﾀを更新する場合、割り込み外のその後のｱｸｾｽ結果は不正にされます。従って主ｺｰﾄﾞと割り込みｺｰﾄﾞの両方が一時ﾚｼﾞｽﾀを更新するとき、主ｺｰﾄﾞは16ﾋﾞｯﾄ ｱｸｾｽ中の割り込みを禁止しなければなりません。

次のｺｰﾄﾞ例はTCNTnﾚｼﾞｽﾀ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCRnA,OCRnB,OCRnC,ICRnのどの読み込みも行えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
RD_TCNTn:   IN      R18,SREG                ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                             ;全割り込み禁止
            IN      R16,TCNTnL              ;TCNTn下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
            IN      R17,TCNTnH              ;TCNTn上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
            OUT     SREG,R18                ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                             ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int TIM16_Read_TCNTn(void)
{
    unsigned char sreg;                     /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                         /* TCNTn読み出し変数定義 */
    sreg = SREG;                            /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    _CLI();                                 /* 全割り込み禁止 */
    i = TCNTn;                              /* TCNTn値を取得 */
    SREG = sreg;                            /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
    return i;                               /* TCNTn値で呼び出し元へ復帰 */
}
```

注:「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNTn値を戻します。

次のｺｰﾄﾞ例はTCNTnﾚｼﾞｽﾀ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCRnA,OCRnB,OCRnC,ICRnのどの書き込みも行えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WR_TCNTn:   IN      R18,SREG                ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                             ;全割り込み禁止
            OUT     TCNTnH,R17              ;TCNTn上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
            OUT     TCNTnL,R16              ;TCNTn下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
            OUT     SREG,R18                ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                             ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void TIM16_Write_TCNTn(unsigned int i)
{
    unsigned char sreg;                     /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                         /* TCNTn書き込み変数定義 */
    sreg = SREG;                            /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    _CLI();                                 /* 全割り込み禁止 */
    TCNTn = i;                              /* TCNTn値を設定 */
    SREG = sreg;                            /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
}
```

注:「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対がTCNTnへ書かれるべき値を含むことが必要です。

関連ﾘﾝｸ　11頁の「ｺｰﾄﾞ例について」

20.3.1. 上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀの再使用

書かれる全ﾚｼﾞｽﾀについて上位ﾊﾞｲﾄが同じ複数16ﾋﾞｯﾄ ﾚｼﾞｽﾀ書き込みなら、上位ﾊﾞｲﾄは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

20.4. タイマ/カウンタのクロック

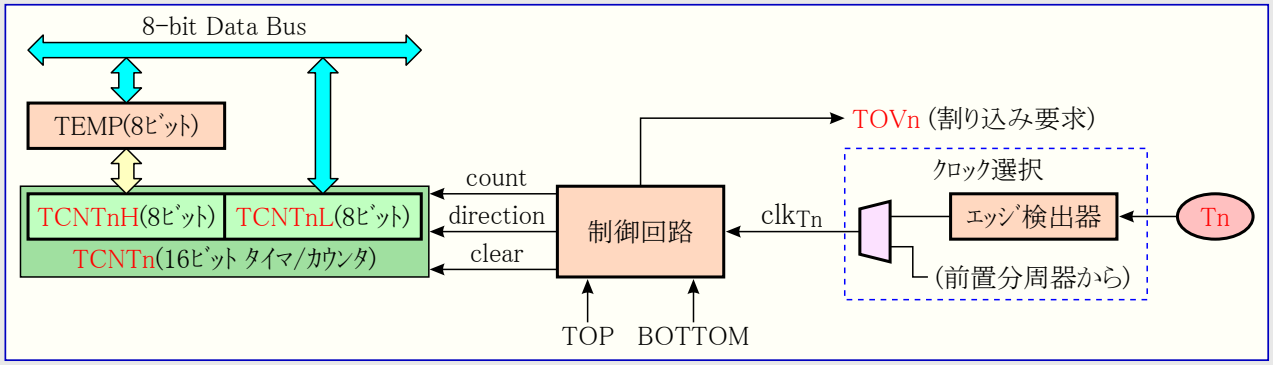
このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCRnB)に配置されたクロック選択(CSn2～0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については「**タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器**」をご覧ください。

関連リンク　76頁の「タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器」

20.5. 計数器部

16ビット タイマ/カウンタの主な部分は設定可能な16ビット双方向カウンタ部です。下図はこのカウンタとその周辺の構成図を示します。

図20-2. カウンタ部構成図



信号説明
(内部信号)

count	TCNTnを1つ進めるまたは戻す信号。
direction	進行方向(上昇または下降)選択信号。
clear	TCNTnのリセット($0000設定)信号。
clkTn	タイマ/カウンタ クロック信号。
TOP	TCNTnが最大値に到達したことを示す信号。
BOTTOM	TCNTnが最小値($0000)に到達したことを示す信号。
TEMP	一時レジスタ。

この16ビット カウンタはカウンタの上位8ビットを含むカウンタ上位(TCNTnH)と下位8ビットを含むカウンタ下位(TCNTnL)の2つの8ビット I/Oメモリ位置に配置されます。TCNTnHレジスタはCPUによる間接的なアクセスのみできます。CPUがTCNTnH I/O位置をアクセスするとき、CPUは上位バイト一時レジスタ(TEMP)をアクセスします。この一時レジスタはTCNTnLが読まれる時にTCNTnH値で更新され、TCNTnLが書かれる時にTCNTnHは一時レジスタ値で更新されます。これは8ビット データ バス経由で1クロック周期内での16ビット カウンタ値全体の読み書きをCPUに許します。予測不能な結果を生じる、カウンタが計数中の時のTCNTn書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項目で記述されます。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{Tn})でリセット($0000)、増加(+1)、または減少(−1)されます。clk_{Tn}はクロック選択(CSn2～0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CSn2～0=000)時にカウンタは停止されます。けれどもTCNTn値はタイマ/カウンタ クロック(clk_{Tn})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCRnA)とタイマ/カウンタ制御レジスタB(TCCRnB)に配置された波形生成種別(WGMn3～0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法と波形がOCnx比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては87頁の「**動作種別**」をご覧ください。

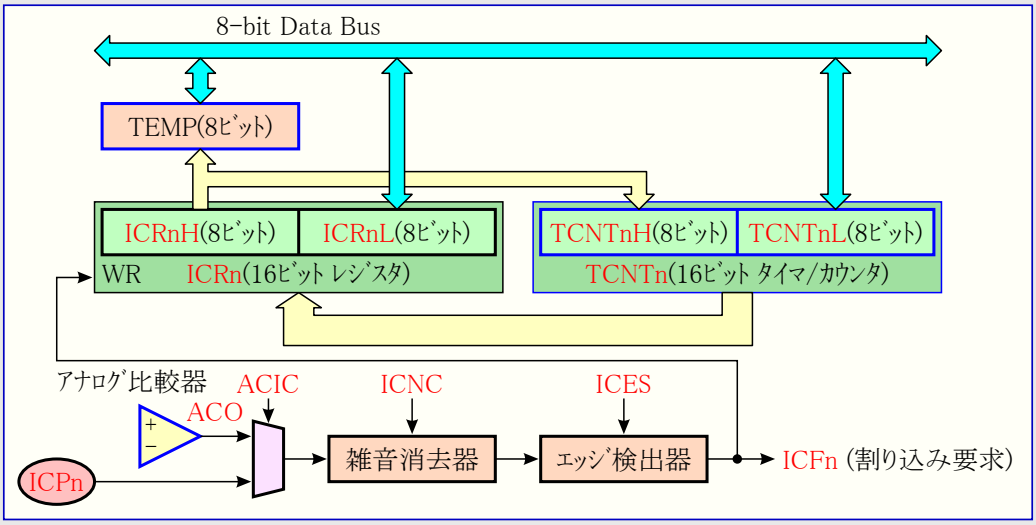
タイマ/カウンタ溢れ(TOVn)フラグはWGMn3～0ビットによって選択された動作種別に従って設定(1)されます。TOVnはCPU割り込み発生に使えます。

20.6. 捕獲入力部

ﾀｲﾏ/ｶｳﾝﾀは外部の出来事を捕獲でき、発生時間を示す時間印(ﾀｲﾏ/ｶｳﾝﾀ値)を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号はICPnﾋﾟﾝまたは代わりにｱﾅﾛｸﾞ比較器経由で印加できます。時間印はその後、周波数、ﾃﾞｭｰﾃｨ比、印加された信号の他の特性の計算に使えます。代わりに時間印は出来事の記録作成にも使えます。

捕獲入力部は下の構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(**訳注**:原文は灰色背景)で示されます。ﾚｼﾞｽﾀとﾋﾞｯﾄ名での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号を示します。

図20-3. 捕獲入力部構成図



注: ACO,ACICはｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)内のﾋﾞｯﾄです。

注: ｱﾅﾛｸﾞ比較器出力(ACO)はﾀｲﾏ/ｶｳﾝﾀ1のみ起動でき、ﾀｲﾏ/ｶｳﾝﾀ3では使えません。

捕獲起動入力(ICPn)ﾋﾟﾝ若しくは代わりにｱﾅﾛｸﾞ比較器出力(ACO)で論理ﾚﾍﾞﾙの変化(出来事)が起き、その変化がｴｯｼﾞ検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、ｶｳﾝﾀ(TCNTn)の16ﾋﾞｯﾄ値が捕獲ﾚｼﾞｽﾀ(ICRn)に書かれます。捕獲割り込み要求ﾌﾗｸﾞ(ICFn)はTCNTn値がICRnに複写されるのと同じｼｽﾃﾑ ｸﾛｯｸで設定(1)されます。許可(I=1,TICIEn=1)ならば捕獲割り込み要求ﾌﾗｸﾞは捕獲割り込みを発生します。ICFnは割り込みが実行されると自動的に解除(0)されます。代わりにこのI/O ﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。

捕獲ﾚｼﾞｽﾀ(ICRn)の16ﾋﾞｯﾄ値読み込みは、初めに下位ﾊﾞｲﾄ(ICRnL)、その後に上位ﾊﾞｲﾄ(ICRnH)を読むことによって行われます。下位ﾊﾞｲﾄが読まれる時に上位ﾊﾞｲﾄが上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)に複写されます。CPUがICRnH I/O位置を読むと、この一時ﾚｼﾞｽﾀをｱｸｾｽします。

ICRnはｶｳﾝﾀのTOP値定義にICRnを利用する波形生成種別を使う時にだけ書けます。これらの場合、TOP値がICRnに書かれ得る前に波形生成種別(WGMn3～0)ﾋﾞｯﾄが設定されなければなりません。ICRnに書く時は下位ﾊﾞｲﾄがICRnLに書かれる前に、上位ﾊﾞｲﾄがICRnH I/O位置に書かれなければなりません。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ法のより多くの情報については80頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」を参照してください。

20.6.1. 捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力(ICPn)ﾋﾟﾝです。ﾀｲﾏ/ｶｳﾝﾀ1は捕獲入力部用起動元としてｱﾅﾛｸﾞ比較器出力を代わりに使えます。ｱﾅﾛｸﾞ比較器はｱﾅﾛｸﾞ比較器 制御/状態ﾚｼﾞｽﾀ(ACSR)のｱﾅﾛｸﾞ比較器捕獲起動許可(ACIC)ﾋﾞｯﾄの設定(1)によって起動元として選択されます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求ﾌﾗｸﾞ(ICFn)は、その変更後に解除(0)されなければなりません。

捕獲起動入力(ICPn)ﾋﾟﾝとｱﾅﾛｸﾞ比較器出力(ACO)の両入力は、Tnﾋﾟﾝ(「**外部ｸﾛｯｸ元**」項内の図参照)についてと同じ技法を使って採取されます。ｴｯｼﾞ検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路がｴｯｼﾞ検出器の前に挿入され、そして遅延を4ｼｽﾃﾑ ｸﾛｯｸ周期増やします。ﾀｲﾏ/ｶｳﾝﾀがTOP値定義にICRnを使う波形生成種別に設定されないなら、雑音消去器とｴｯｼﾞ検出器の入力が常に許可されることに注意してください。

捕獲入力はICPnﾋﾟﾝのﾎﾟｰﾄを制御することによってｿﾌﾄｳｪｱで起動できます。

関連ﾘﾝｸ　76頁の「外部ｸﾛｯｸ元」

20.6.2. 雑音消去器

雑音消去器は簡単なﾃﾞｼﾞﾀﾙ濾波器機構を使うことによって雑音耐性を改善します。雑音消去器の入力は4採取に渡って監視され、ｴｯｼﾞ検出器によって使われる方向転換となる出力を変更するためには4回全てが同じでなければなりません。

雑音消去器はﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCRnB)の捕獲入力雑音消去許可(ICNCn)ﾋﾞｯﾄの設定(1)によって許可されます。許可したとき、雑音消去器は入力に印加した変更からICRnの更新までに4ｼｽﾃﾑ ｸﾛｯｸ周期の追加遅延をもたらします。雑音消去器はｼｽﾃﾑ ｸﾛｯｸを使い、従って前置分周器によって影響されません。

20.6.3. 捕獲入力の使用

捕獲入力機能を使う主な要求(目的)は入って来る出来事に対して充分なﾌﾟﾛｾｯｻ能力を当てがうことです。2つの出来事間の時間が際どいとします。次の出来事が起こる前に捕獲した捕獲ﾚｼﾞｽﾀ(ICRn)の値をﾌﾟﾛｾｯｻが読めなかった場合、ICRnは新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICRnは割り込み処理ﾙｰﾁﾝで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求のどれかを扱うのに必要とされる最大ｸﾛｯｸ周期数に依存します。

動作中にTOP値(分解能)が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のﾃﾞｭｰﾃｨ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更はICRnが読まれてしまった後に可能な限り早く行われなければなりません。ｴｯｼﾞの変更後、捕獲割り込み要求ﾌﾗｸﾞ(ICFn)はｿﾌﾄｳｪｱ(I/Oﾋﾞｯﾄ位置への論理1書き込み)によって解除(0)されなければなりません(**訳補**:ｴｯｼﾞ変更によってICFnが設定(1)されることを想定)。周波数のみの測定について(割り込み処理が使われる場合)、ICFnの解除(0)は必要とされません。

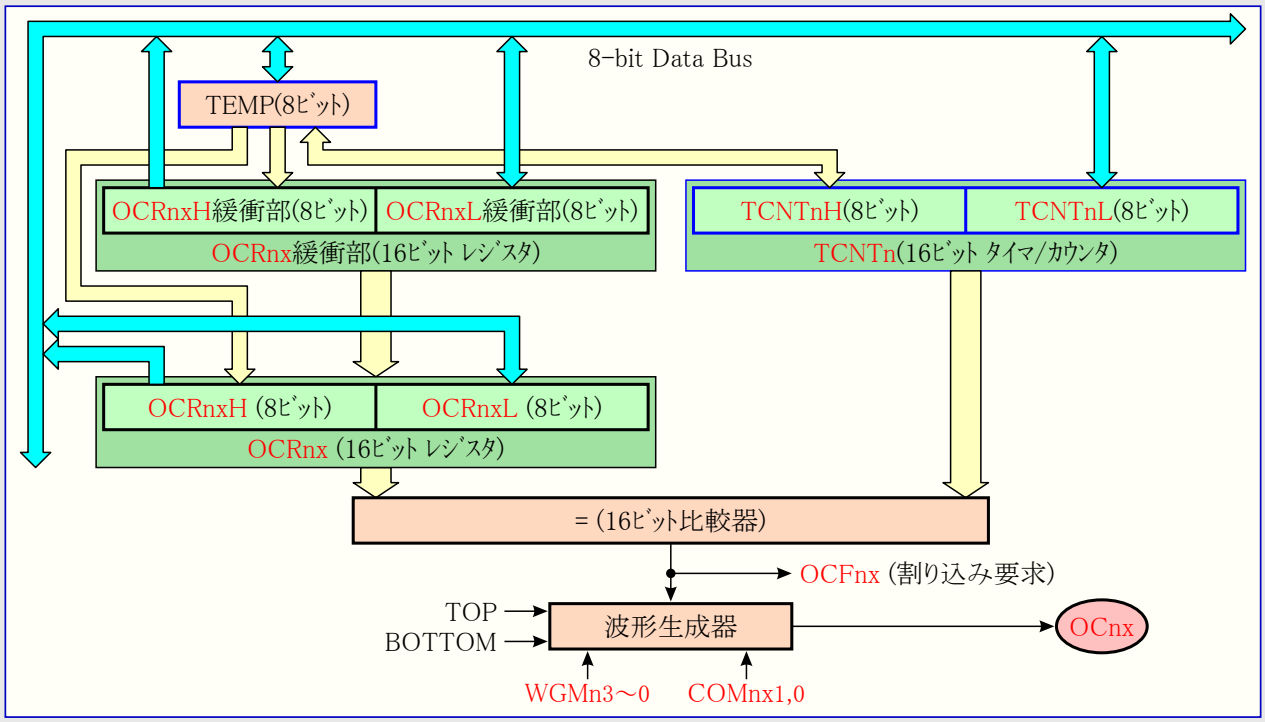
20.7. 比較出力部

この16ﾋﾞｯﾄ比較器はTCNTnと比較ﾚｼﾞｽﾀ(OCRnx)を継続的に比較します。TCNTnとOCRnxが等しければ、比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCFnx)を設定(1)します。許可(I=1,OCIEnx=1)なら、この比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。OCFnxは割り込みが実行されると自動的に解除(0)されます。代わりにOCFnxはこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGMn3～0)ﾋﾞｯﾄと比較出力選択(COMnx1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。TOPとBOTTOM信号は動作種別(87頁の「**動作種別**」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

比較A出力部の特殊な特性はﾀｲﾏ/ｶｳﾝﾀのTOP値(換言するとｶｳﾝﾀの分解能)定義を許します。ｶｳﾝﾀの分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

下図は比較出力部の構成図を示します。ﾚｼﾞｽﾀとﾋﾞｯﾄ名での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対しては n=1)、小文字の'x'は比較出力部(A、BまたはC)を表します。直接的な比較出力部の部分でない構成図の要素は青枠(**訳注**:原文は灰色背景)で示されます。

図20-4. 比較出力部構成図



OCRnxは12種類のﾊﾟﾙｽ幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCRnxﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCRnxのｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCRnx緩衝部をｱｸｾｽし、禁止されるとOCRnxﾚｼﾞｽﾀを直接ｱｸｾｽします。OCRnx(緩衝部またはﾚｼﾞｽﾀ)の内容は書き込み操作によってのみ変更されます(ﾀｲﾏ/ｶｳﾝﾀはTCNTnやICRnのようにOCRnxを自動的に更新しません)。従ってOCRnxは上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)経由で読まれません。けれども他の16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽする時のように下位ﾊﾞｲﾄを先に読むのは良い習慣です。OCRnx書き込みは16ﾋﾞｯﾄ全ての比較が継続的に行われるため、一時ﾚｼﾞｽﾀ経由で行われなければなりません。上位ﾊﾞｲﾄ(OCRnxH)が先に書かれなければなりません。上位ﾊﾞｲﾄI/O位置がCPUによって書かれると、一時ﾚｼﾞｽﾀは書かれた値で更新されます。その後に下位ﾊﾞｲﾄ(OCRnxL)が下位8ﾋﾞｯﾄを書かれると、(一時ﾚｼﾞｽﾀ内の)上位ﾊﾞｲﾄは(下位ﾊﾞｲﾄ書き込みと)同じｼｽﾃﾑ ｸﾛｯｸ周期でOCRnx緩衝部またはOCRnxﾚｼﾞｽﾀのどちらかに複写されます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ法のより多くの情報については80頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

(**訳注**) ここでは比較nxﾚｼﾞｽﾀ全体をOCRnx、OCRnxを構成する緩衝部分をOCRnx緩衝部、実際の比較に使われるﾚｼﾞｽﾀ本体部分をOCRnxﾚｼﾞｽﾀとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

20.7.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOCnx)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCFnx)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OCnxﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COMnx1,0ﾋﾞｯﾄ設定がOCnxﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

20.7.2. TCNTn書き込みによる比較一致妨害

TCNTnへの全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に、割り込みを起動することなく、TCNTnと同じ値に初期化されることをOCRnxに許します。

20.7.3. 比較一致部の使用

どの動作種別でのTCNTn書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、何れかの比較出力部を使う場合、TCNTnを変更する時に危険を伴います。TCNTnに書かれた値がOCRnx値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNTnを書いてはいけません。(行った場合)TOPに対する比較一致は無視され、ｶｳﾝﾀは$FFFFへ(計数を)続けます。同様にｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNTn値を書いてはいけません。

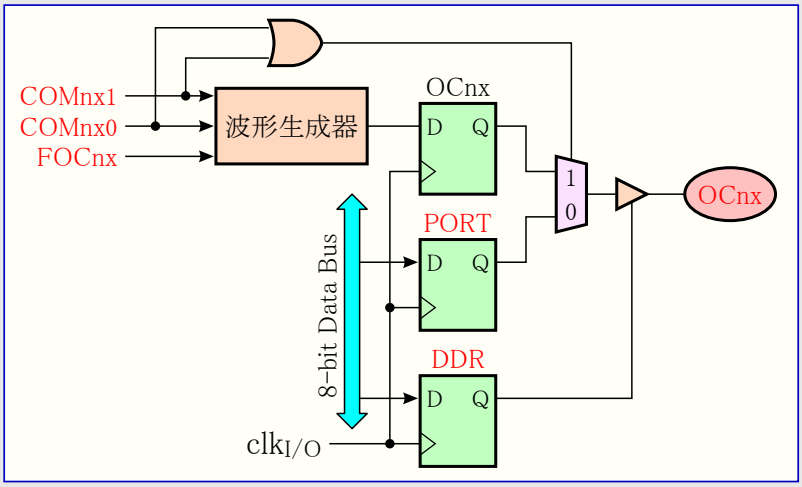
OCnxの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OCnx値を設定する一番簡単な方法は標準動作で強制変更(FOCnx)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成種別間を変更する時であっても、OCnx(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COMnx1,0)ﾋﾞｯﾄが比較値(OCRnx)と共に2重緩衝されないことに気付いてください。COMnx1,0ﾋﾞｯﾄの変更は直ちに有効となります。

20.8. 比較一致出力部

比較出力選択(COMnx1,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OCnx)状態の定義にCOMnx1,0ﾋﾞｯﾄを使います。次にCOMnx1,0ﾋﾞｯﾄはOCnxﾋﾟﾝ出力元を制御します。下図はCOMnx1,0ﾋﾞｯﾄ設定によって影響される論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COMnx1,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OCnxの状態を参照するとき、その参照はOCnxﾋﾟﾝでなく内部OCnxﾚｼﾞｽﾀに対してです。ｼｽﾃﾑ ﾘｾｯﾄが起こると、OCnxﾚｼﾞｽﾀは0にﾘｾｯﾄされます。

図20-5. 比較一致出力回路図



COMnx1,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OCnx)によって無効にされます。けれどもOCnxﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OCnxﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OCnx)はOCnx値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。詳細については**表20-2.**、**表20-3.**、**表20-4.**を参照してください。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOCnx状態の初期化を許します。いくつかのCOMnx1,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。92頁の「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1,3用ﾚｼﾞｽﾀ**」をご覧ください。

COMnx1,0ﾋﾞｯﾄは捕獲入力部での何の効果もありません。

20.8.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOMnx1,0ﾋﾞｯﾄを違うふうに使います。全動作種別に対してCOMnx1,0=00設定は次の比較一致で実行すべきOCnxﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については92頁の**表20-2.**を参照してください。高速PWM動作については92頁の**表20-3.**、位相基準PWMと位相/周波数基準PWMについては92頁の**表20-4.**を参照してください。

COMnx1,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOCnx)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

20.9. 動作種別

動作種別、換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作は波形生成種別(WGMn3～0)ﾋﾞｯﾄと比較出力選択(COMnx1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COMnx1,0ﾋﾞｯﾄは生成されたPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対してのCOMnx1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します。86頁の「比較一致出力部」をご覧ください。

ﾀｲﾐﾝｸﾞ情報の詳細については91頁の「ﾀｲﾏ/ｶｳﾝﾀ1,3のﾀｲﾐﾝｸﾞ」を参照してください。

20.9.1. 標準動作

最も単純な動作種別が標準動作(WGMn3～0=0000)です。この動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀの解除は実行されません。ｶｳﾝﾀは16ﾋﾞｯﾄ最大値(MAX=$FFFF)を通過すると単に範囲を超え、そして$0000(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOVn)ﾌﾗｸﾞはTCNTnが$0000になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOVnﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第17ﾋﾞｯﾄのようになります。けれどもTOVnﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀn溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

捕獲入力部は標準動作での使用が容易です。けれども外部の事象間の最大間隔がﾀｲﾏ/ｶｳﾝﾀの分解能(16ﾋﾞｯﾄ長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込みまたは前置分周器が使われなければなりません。

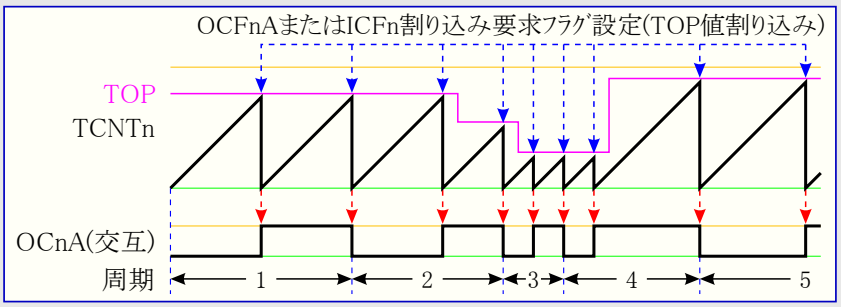
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

20.9.2. 比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGMn3～0=0100または1100)ではOCRnAまたはICRnがｶｳﾝﾀの分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNTn)値がOCRnA(WGMn3～0=4)またはICRn(WGMn3～0=12)のどちらかと一致する時にｶｳﾝﾀが$0000に解除されます。OCRnAまたはICRnはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は下で示されます。ｶｳﾝﾀ(TCNTn)値はOCRnAまたはICRnのどちらかで比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNTn)は解除($0000)されます。

図20-6. CTC動作ﾀｲﾐﾝｸﾞ



注: COMnA1,0=01

TOP値を定義するのに使われるﾚｼﾞｽﾀに対してOCFnAまたはICFnのどちらかを使うことにより、ｶｳﾝﾀ値がTOP値に到達する時毎に割り込みを生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更するのは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCRnAまたはICRnに書かれた新しい値がTCNTnの現在値よりも低(小さ)い場合、ｶｳﾝﾀは(その回の)比較一致を失います。その後のｶｳﾝﾀは比較一致が起こせるのに先立って、最大値($FFFF)へそして次に$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCRnAが2重緩衝されるので、代替はTOPを定義するのにOCRnAを用いる高速PWM動作(WGMn3～0=1111)を使うことでしょう。

CTC動作で波形出力を生成するため、OCnA出力は比較出力選択(COMnA1,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切替に設定できます。OCnA値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OCnA=1)に設定されない限り、ﾎﾟｰﾄ ﾋﾟﾝで見えないでしょう。生成された波形はOCRnAが0($0000)に設定される時に$f_{OCnA}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込み要求(TOVn)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$0000へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

20.9.3. 高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGMn3～0=0101,0110,0111,1110,1111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)はTCNTnとOCRnx間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COMnx1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準や位相/周波数基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

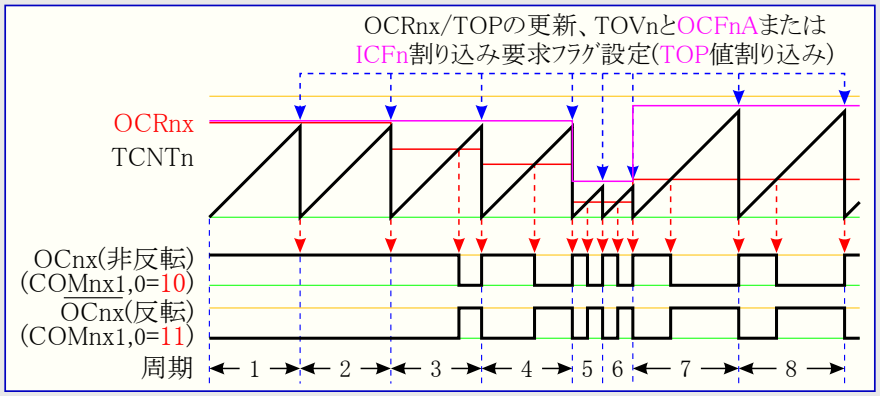
高速PWMのPWM分解能は8,9,10ﾋﾞｯﾄに固定、若しくはOCRnAかICRnのどちらかによって定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCRnAまたはICRnが$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCRnAまたはICRnがMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

$$R_{FPWM} = \frac{\log(TOP+1)}{\log 2}$$

高速PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値が固定値$00FF,$01FF,$03FF(WGMn3～0=0101,0110,0111)、ICRn値(WGMn3～0=1110)またはOCRnA値(WGMn3～0=1111)のどれかと一致するまで増加されます。そしてｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で解除($0000)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は下図.で示されます。本図はOCRnAかICRnがTOPを定義するのに使われる時の高速PWM動作を示します。TCNTn値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFnx)は比較一致が起こると設定(1)されます。

ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込み要求(TOVn)ﾌﾗｸﾞはｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。加えて、OCRnAかICRnのどちらかがTOP値を定義するのに使われると、OCFnAまたはICFn割り込み要求ﾌﾗｸﾞはTOVnが設定(1)されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。これらの割り込みの1つが許可されるなら、その割り込み処理ﾙｰﾁﾝはTOPと比較値を更新するのに使えます。

図20-7. 高速PWM動作ﾀｲﾐﾝｸﾞ



TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。固定TOP値を使う場合、どのOCRnxが書かれる時も、未使用ﾋﾞｯﾄが0で隠(に置換)されることに注意してください。

ICRnがTOP値を定義するのに使われるとき、ICRnを更新する手順はOCRnAの更新と異なります。ICRnは2重緩衝されません。これは前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にICRnが小さな値に変更される場合、書かれた新しいICRn値がTCNTnの現在値よりも小さくなる危険を意味します。その結果はｶｳﾝﾀが(その回の)TOP値での比較一致を失うことです。その後のｶｳﾝﾀは比較一致が起こせるのに先立って、MAX値($FFFF)へそして次に$0000から始める計数をしなければならないでしょう。けれども、OCRnAは2重緩衝されます。この特徴は何時でも書かれることをOCRnAのI/O位置に許します。OCRnA I/O位置が書かれると、書かれた値はOCRnA緩衝部に置かれます。OCRnA(比較)ﾚｼﾞｽﾀはその後にTCNTnがTOPと一致した次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期にOCRnA緩衝部の値で更新されます。この更新はTCNTnの解除($0000)やTOVnの設定(1)と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で行われます。

TOPを定義するのにICRnを使うことは決まったTOP値を使う時に上手くいきます。ICRnを使うことにより、OCnAでのPWM出力を生成するためにOCRnAが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCRnAが2重緩衝機能のため、TOPとしてOCRnAを使うことは明らかに良い選択です。

高速PWM動作での比較部はOCnxﾋﾟﾝでのPWM波形の生成を許します。COMnx1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます。92頁の**表20-3.**を参照してください。実際のOCnx値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はTCNTnとOCRnx間の比較一致でOCnx(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($0000、TOPからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でのOCnxﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

PWM出力周波数は次式によって計算できます。Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times (1+TOP)}$$

OCRnxの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCRnxがBOTTOM($0000)に等しく設定されると、出力はTOP+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。TOPに等しいOCRnx設定は(COMnx1,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOCnA設定(COMnA1,0=01)によって達成できます。これはTOP値を定義するのにOCRnAが使われる(WGMn3～0=1111)の場合にだけ適用されます。生成された波形はOCRnAが0($0000)に設定される時に$f_{OCnA}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOCnA交互出力(COMnA1,0=01)と同じです。

20.9.4. 位相基準PWM動作

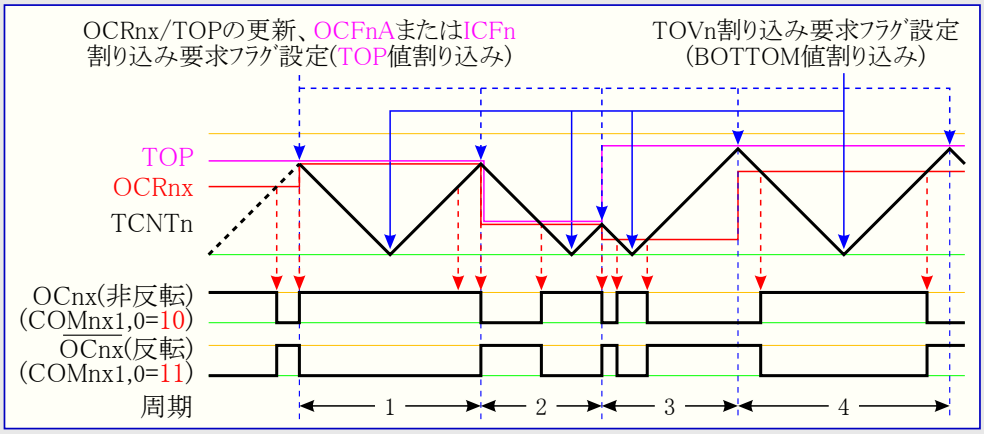
位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGMn3～0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とした位相/周波数基準PWMと似ています。ｶｳﾝﾀはBOTTOM($0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)は上昇計数中のTCNTnとOCRnx間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COMnx1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8,9,10ﾋﾞｯﾄに固定、若しくはOCRnAかICRnのどちらかによって定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCRnAまたはICRnが$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCRnAまたはICRnがMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

$$R_{PCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値が固定値$00FF,$01FF,$03FF(WGMn3～0=0001,0010,0011)、ICRn値(WGMn3～0=1010)またはOCRnA値(WGMn3～0=1011)のどれかと一致するまで増加されます。ｶｳﾝﾀはTOPに到達したその時に計数方向を変更します。このTCNTn値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、TOPと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は下図で示されます。この図はOCRnAかICRnがTOPを定義するのに使われる時の位相基準PWM動作を示します。TCNTn値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFnx)は比較一致が起こると設定(1)されます。

図20-8. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOVn)ﾌﾗｸﾞはｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。OCRnAかICRnのどちらかがTOP値を定義するのに使われるとき、OCFnAまたはICFn割り込み要求ﾌﾗｸﾞはOCRnxﾚｼﾞｽﾀが(TOPに於いて)2重緩衝値で更新されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期によって設定(1)されます。これらの割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。固定TOP値を使う場合、どのOCRnxが書かれる時も、未使用ﾋﾞｯﾄが0で隠(に置換)されることに注意してください。上のﾀｲﾐﾝｸﾞ図で示される第3周期が図解するようにﾀｲﾏ/ｶｳﾝﾀが位相基準PWM動作で走行中にTOPを積極的に変更するのは、非対称出力で終わることが有り得ます。これに対する理由はOCRnxﾚｼﾞｽﾀの更新時に見出せます。OCRnx更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値によって決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違う時にその周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

ﾀｲﾏ/ｶｳﾝﾀが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使うことが推奨されます。一定のTOP値を使う時に2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOCnxﾋﾟﾝでのPWM波形の生成を許します。COMnx1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます。92頁の**表20-4.**を参照してください。実際のOCnx値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNTnとOCRnx間の比較一致でOCnx(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNTnとOCRnx間の比較一致でOCnxﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

OCRnxの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCRnxがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCRnAが使われ(WGMn3～0=1011)、COMnA1,0=01なら、OCnA出力はﾃﾞｭｰﾃｨ比50%で交互に変化します。

20.9.5. 位相/周波数基準PWM動作

位相/周波数基準ﾊﾟﾙｽ幅変調(PWM)動作(WGMn3～0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相/周波数基準PWM動作は両傾斜(三角波)動作を基準とした位相基準PWMと似ています。ｶｳﾝﾀはBOTTOM($0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)は上昇計数中のTCNTnとOCRnx間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COMnx1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

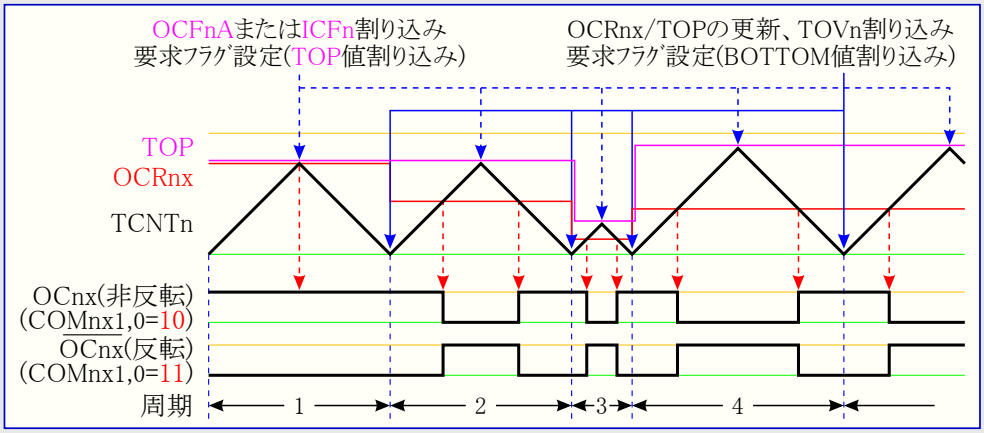
位相基準と位相/周波数基準PWM動作間の主な違いはOCRnxﾚｼﾞｽﾀがOCRnx緩衝部によって更新される時(**訳補**:TOPとBOTTOM)です(**図20-8.**と下のﾀｲﾐﾝｸﾞ図参照)。

位相/周波数基準PWM動作のPWM分解能はOCRnAかICRnのどちらかで定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCRnAまたはICRnが$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCRnAまたはICRnがMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

$$R_{PFCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相/周波数基準PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がICRn値(WGMn3～0=1000)かOCRnA値(WGMn3～0=1001)のどちらかと一致するまで増加されます。ｶｳﾝﾀはTOPに到達したその時に計数方向を変更します。このTCNTn値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、TOPと等しくなります。位相/周波数基準PWM動作のﾀｲﾐﾝｸﾞ図は下のﾀｲﾐﾝｸﾞ図で示されます。この図はOCRnAかICRnがTOPを定義するのに使われる時の位相/周波数基準PWM動作を示します。TCNTn値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFnx)は比較一致が起こると設定(1)されます。

図20-9. 位相/周波数基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOVn)ﾌﾗｸﾞはOCRnxﾚｼﾞｽﾀが(BOTTOMに於いて)2重緩衝値で更新されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。OCRnAかICRnのどちらかがTOP値を定義するのに使われるとき、OCFnAまたはICFn割り込み要求ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。これらの割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。

上のﾀｲﾐﾝｸﾞ図が示すように、生成された出力は位相基準PWM動作と異なり、全ての周期で対称です。OCRnxﾚｼﾞｽﾀがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力ﾊﾟﾙｽ、従って正しい周波数を与えます。

TOPを定義するのにICRnを使うことは決まったTOP値を使う時に上手くいきます。ICRnを使うことにより、OCnAでのPWM出力を生成するためにOCRnAが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCRnAが2重緩衝機能のため、TOPとしてOCRnAを使うことは明らかに良い選択です。

位相/周波数基準PWM動作での比較部はOCnxﾋﾟﾝでのPWM波形の生成を許します。COMnx1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます。92頁の**表20-4.**を参照してください。実際のOCnx値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNTnとOCRnx間の比較一致でOCnx(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNTnとOCRnx間の比較一致でOCnxﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

位相/周波数基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

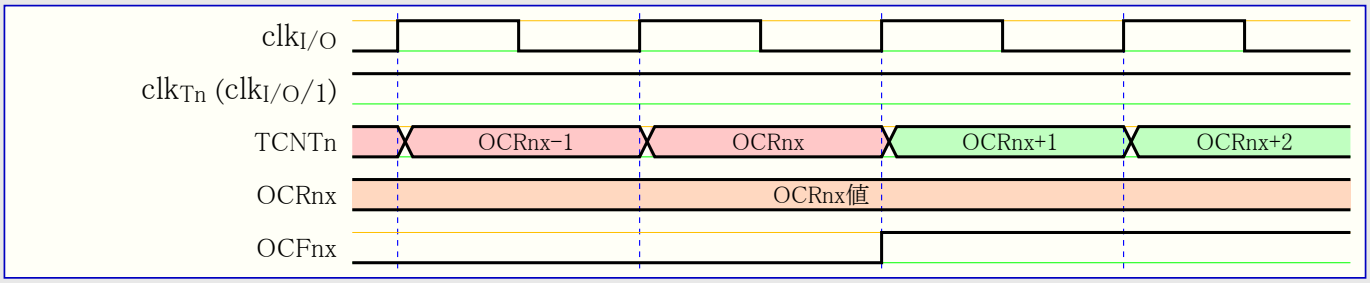
$$f_{OCnxPFCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

OCRnxの両端値は位相/周波数基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCRnxがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCRnAが使われ(WGMn3～0 =1001)、COMnA1,0=01なら、OCnA出力はﾃﾞｭｰﾃｨ比50%で交互に変化します。

20.10. タイマ/カウンタのタイミング

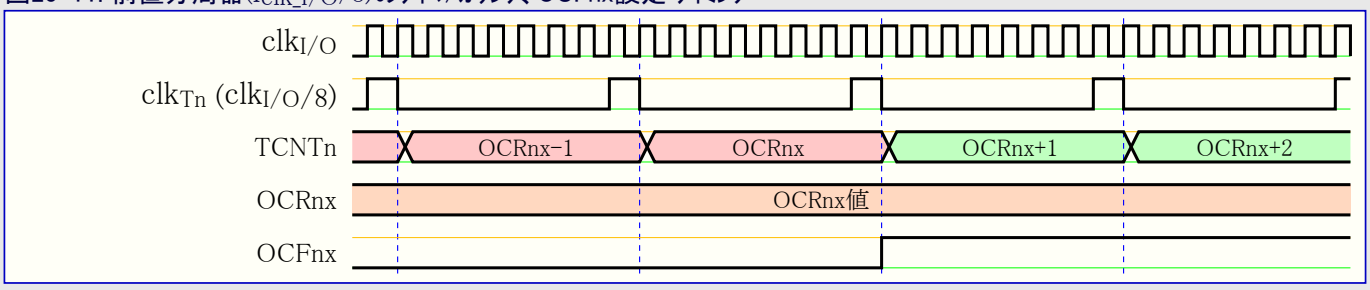
このタイマ/カウンタは同期設計で、従ってタイマ/カウンタ クロック(clk_{Tn})が下図のクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時、そしてOCRnxレジスタがOCRnx緩衝部値で更新される時(2重緩衝を使う動作種別のみ)の情報を含みます。次図はOCFnxの設定についてのタイミング図を示します。

図20-10. 前置分周なし(1/1)のタイマ/カウンタ、OCFnx設定 タイミング



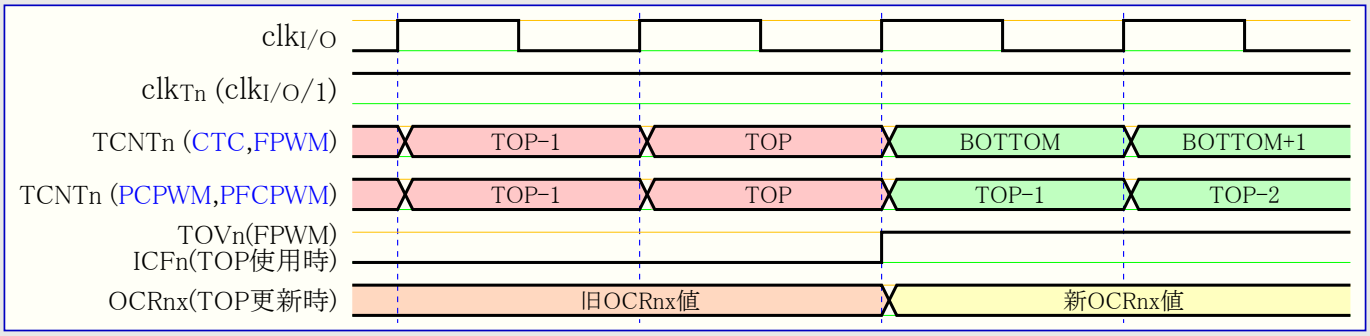
次図は同じタイミング データを示しますが、前置分周器が許可されています。

図20-11. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCFnx設定 タイミング



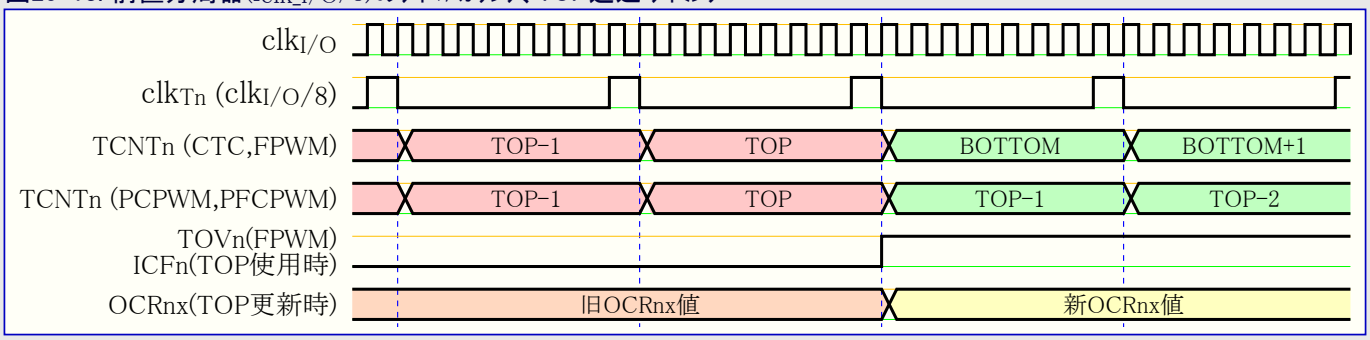
次図は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時のOCR1xレジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でなどのように置き換えられます。BOTTOMでTOVnを設定(1)する動作種別についても、同様な名称変更が適用されます。

図20-12. 前置分周器なし(1/1)のタイマ/カウンタ、TOP近辺 タイミング



次図は同じタイミング データを示しますが、前置分周器が許可されています。

図20-13. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、TOP近辺 タイミング



20.11. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1,3用ﾚｼﾞｽﾀ

20.11.1. TCCRnA – ﾀｲﾏ/ｶｳﾝﾀn制御ﾚｼﾞｽﾀA (Timer/Counter n Control Register A)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：TCCR1A：TCCR3A（**訳注**:原書に於けるTCCR1AとTCCR3Aの記述は共通形式で纏めました。）
変位 ：$2F ($4F)：($8B)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$4F:$8Bです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	COMnA1	COMnA0	COMnB1	COMnB0	COMnC1	COMnC0	WGMn1	WGMn0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

- **ﾋﾞｯﾄ7,6 – COMnA1,0：比較nA出力選択** (Compare Output Mode A bit 1 and 0)
- **ﾋﾞｯﾄ5,4 – COMnB1,0：比較nB出力選択** (Compare Output Mode B bit 1 and 0)
- **ﾋﾞｯﾄ3,2 – COMnC1,0：比較nC出力選択** (Compare Output Mode C bit 1 and 0)

COMnA1,0、COMnB1,0、COMnC1,0は各々OCnA,OCnB,OCnC比較出力ﾋﾟﾝの動作を制御します。COMnA1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OCnA出力はそのI/Oﾋﾟﾝの標準ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。COMnB1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OCnB出力はそのI/Oﾋﾟﾝの標準ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。COMnC1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OCnC出力はそのI/Oﾋﾟﾝの標準ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OCnA,OCnB,OCnCﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OCnA,OCnB,OCnCがﾋﾟﾝに接続されるとき、COMnx1,0ﾋﾞｯﾄの機能はWGMn3～0ﾋﾞｯﾄ設定に依存します。下表はWGMn3～0ﾋﾞｯﾄが標準動作またはCTC動作(つまり非PWM)に設定される時のCOMnx1,0ﾋﾞｯﾄ機能を示します。

表20-2. 非PWM動作での比較出力選択 (**注**: nは1または3、xはA,BまたはC)

COMnx1	COMnx0	意味
0	0	標準ﾎﾟｰﾄ動作 (OCnx切断)
0	1	比較一致でOCnxﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOCnxﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOCnxﾋﾟﾝ Highﾚﾍﾞﾙ出力

次表はWGMn3～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOMnx1,0ﾋﾞｯﾄ機能を示します。

表20-3. 高速PWM動作での比較出力選択 (**注**: nは1または3、xはA,BまたはC)

COMnx1	COMnx0	意味
0	0	標準ﾎﾟｰﾄ動作 (OCnx切断)
0	1	WGMn3～0=1111　：比較一致でOCnAﾋﾟﾝ ﾄｸﾞﾙ(交互)出力、OCnB/OCnC切断(標準ﾎﾟｰﾄ動作) WGMn3～0上記以外：標準ﾎﾟｰﾄ動作 (OCnx切断)
1	0	比較一致でLow、BOTTOMでHighをOCnxﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOCnxﾋﾟﾝへ出力 (反転動作)

注: COMnx1が設定(1)され、OCRnxがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)または解除(0)は実行されます。より多くの詳細については88頁の「**高速PWM動作**」を参照してください。

下表はWGMn3～0ﾋﾞｯﾄが位相基準または位相/周波数基準PWM動作に設定される時のCOMnx1,0ﾋﾞｯﾄ機能を示します。

表20-4. 位相基準または位相/周波数基準PWM動作での比較出力選択 (**注**: nは1または3、xはA,BまたはC, Xは0または1)

COMnx1	COMnx0	意味
0	0	標準ﾎﾟｰﾄ動作 (OCnx切断)
0	1	WGMn3～0=10X1　：比較一致でOCnAﾋﾟﾝ ﾄｸﾞﾙ(交互)出力、OCnB/OCnC切断(標準ﾎﾟｰﾄ動作) WGMn3～0上記以外：標準ﾎﾟｰﾄ動作 (OCnx切断)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOCnxﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOCnxﾋﾟﾝへ出力

注: COMnx1が設定(1)され、OCRnxがTOPと等しい時に特別な状態が起きます。より多くの詳細については89頁の「**位相基準PWM動作**」を参照してください。

● **ビット1,0 – WGMn1,0 : 波形生成種別** (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCRnB)で得られるWGMn3,2ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大計数(TOP)値供給元、使われるべき波形生成のどの形式かを制御します(下表参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と3形式のパルス幅変調(PWM)動作です(87頁の「動作種別」参照)。

表20–5. 波形生成種別選択

番号	WGMn3	WGMn2 (CTCn)	WGMn1 (PWMn1)	WGMn0 (PWMn0)	タイマ/カウンタ動作種別	TOP値	OCRnx 更新時	TOVn 設定時
0	0	0	0	0	標準動作	$FFFF	即時	MAX
1	0	0	0	1	8ビット位相基準PWM動作	$00FF	TOP	BOTTOM
2	0	0	1	0	9ビット位相基準PWM動作	$01FF	TOP	BOTTOM
3	0	0	1	1	10ビット位相基準PWM動作	$03FF	TOP	BOTTOM
4	0	1	0	0	比較一致タイマ/カウンタ解除(CTC)動作	OCRnA	即時	MAX
5	0	1	0	1	8ビット高速PWM動作	$00FF	BOTTOM	TOP
6	0	1	1	0	9ビット高速PWM動作	$01FF	BOTTOM	TOP
7	0	1	1	1	10ビット高速PWM動作	$03FF	BOTTOM	TOP
8	1	0	0	0	位相/周波数基準PWM動作	ICRn	BOTTOM	BOTTOM
9	1	0	0	1	位相/周波数基準PWM動作	OCRnA	BOTTOM	BOTTOM
10	1	0	1	0	位相基準PWM動作	ICRn	TOP	BOTTOM
11	1	0	1	1	位相基準PWM動作	OCRnA	TOP	BOTTOM
12	1	1	0	0	比較一致タイマ/カウンタ解除(CTC)動作	ICRn	即時	MAX
13	1	1	0	1	(予約)	–	–	–
14	1	1	1	0	高速PWM動作	ICRn	BOTTOM	TOP
15	1	1	1	1	高速PWM動作	OCRnA	BOTTOM	TOP

注: CTCnとPWMn1,0ビット定義名は旧名です。WGMn2～0定義を使ってください。しかし、これらのビットの機能と位置は旧版のタイマ/カウンタと一致します。

20.11.2. TCCRnB – タイマ/カウンタn制御レジスタB (Timer/Counter n Control Register B)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : TCCR1B : TCCR3B (**訳注**:原書に於けるTCCR1BとTCCR3Bの記述は共通形式で纏めました。)
変位 : $2E ($4E) : ($8A)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$4E:$8Aです。

ビット	7	6	5	4	3	2	1	0
	ICNCn	ICESn	–	WGMn3	WGMn2	CSn2	CSn1	CSn0
アクセス種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – ICNCn : 捕獲起動入力n雑音消去許可** (Input Capture Noise Canceler)

このビットを(1に)設定することが捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動入力(ICPn)ピンからの入力が濾波されます。この濾波機能はそれが出力を更新するのに、連続4回等しく評価されたICPnピンの採取を必要とします。雑音消去器が許可されると、捕獲入力はそれによって4発振器(システム クロック)周期遅らされます。

● **ビット6 – ICESn : 捕獲起動入力n端選択** (Input Capture Edge Select)

このビットは出来事での捕獲を起動するのに使われる捕獲起動入力(ICPn)ピンのどちらかのエッジを選択します。ICESnビットが0を書かれると起動動作として下降(負)端が使われ、ICESnビットが1を書かれると上昇(正)端が捕獲を起動します。

捕獲がICESn設定に従って起動されると、カウンタ値が捕獲レジスタ(ICRn)に複写されます。この出来事は捕獲入力割り込み要求フラグ(ICFn)も設定(1)し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

ICRnがTOP値として使われると(TCCRnAとTCCRnBに配置されたWGMn3～0ビットの記述をご覧ください)、ICPnが切り離され、従って捕獲入力機能は禁止されます。

● **ビット4,3 – WGMn3,2 : 波形生成種別** (Waveform Generation Mode bit 3 and 2)

タイマ/カウンタ制御レジスタA(TCCRnA)の波形生成種別(WGMn1,0)ビットを参照してください。

● **ﾋﾞｯﾄ2～0 – CSn2～0 : ｸﾛｯｸ選択** (Clock Select, bit 2,1 and 0)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNTn)によって使われるべきｸﾛｯｸ元を選択します。図20-10.と図20-11.を参照してください。

ﾀｲﾏ/ｶｳﾝﾀnに対して外部ﾋﾟﾝ(ｸﾛｯｸ)動作が使われる場合、例えTnﾋﾟﾝが出力として設定されても、Tnﾋﾟﾝの遷移はｶｳﾝﾀをｸﾛｯｸ駆動します。この特性はｿﾌﾄｳｪｱに計数の制御を許します。

表20-6. ﾀｲﾏ/ｶｳﾝﾀn入力ｸﾛｯｸ選択

CS12	CS11	CS10	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀn動作停止)
0	0	1	$clk_{I/O}$ (前置分周なし)
0	1	0	$clk_{I/O}$/8 (8分周)
0	1	1	$clk_{I/O}$/64 (64分周)
1	0	0	$clk_{I/O}$/256 (256分周)
1	0	1	$clk_{I/O}$/1024 (1024分周)
1	1	0	Tnﾋﾟﾝの下降端 (外部ｸﾛｯｸ)
1	1	1	Tnﾋﾟﾝの上昇端 (外部ｸﾛｯｸ)

20.11.3. TCCRnC – ﾀｲﾏ/ｶｳﾝﾀn制御ﾚｼﾞｽﾀC (Timer/Counter n Control Register C)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : TCCR1C : TCCR3C (**訳注**:原書に於けるTCCR1CとTCCR3Cの記述は共通形式で纏めました。)
変位 : ($7A) : ($8C)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	FOCnA	FOCnB	FOCnC	–	–	–	–	–
ｱｸｾｽ種別	W	W	W	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – FOCnA : OCnA強制変更** (Force Output Compare A)

● **ﾋﾞｯﾄ6 – FOCnB : OCnB強制変更** (Force Output Compare B)

● **ﾋﾞｯﾄ5 – FOCnC : OCnC強制変更** (Force Output Compare C)

FOCnA/FOCnB/FOCnCﾋﾞｯﾄはWGMn3～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。FOCnA/FOCnB/FOCnCﾋﾞｯﾄに論理1を書くと波形生成部で直ちに比較一致が強制されます。OCnx出力はCOMnx1,0ﾋﾞｯﾄ設定に従って変更されます。FOCnA/FOCnB/FOCnCﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOMnx1,0ﾋﾞｯﾄに存在する値です。

FOCnA/FOCnB/FOCnCｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCRnAを使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($0000)も行いません。

FOCnA/FOCnB/FOCnCﾋﾞｯﾄは常に0として読まれます。

20.11.4. TCNTnL – ﾀｲﾏ/ｶｳﾝﾀn下位ﾊﾞｲﾄ (Timer/Counter1 Low byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : TCNT1L : TCNT3L (**訳注**:原書に於けるTCNT1LとTCNT3Lの記述は共通形式で纏めました。)
変位 : $2C ($4C) : ($88)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$4C:$88です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TCNTn7～0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – TCNTn7～0 : ﾀｲﾏ/ｶｳﾝﾀn下位ﾊﾞｲﾄ** (Timer/Counter n Low byte)

2つのﾀｲﾏ/ｶｳﾝﾀ I/O位置(TCNTnHとTCNTnLを合わせたTCNTn)は、読み書き両方に対してﾀｲﾏ/ｶｳﾝﾀ部の16ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。CPUがこれらのﾚｼﾞｽﾀをｱｸｾｽする時に上位と下位の両ﾊﾞｲﾄが同時に読み書きされるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。詳細については「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNTn)を変更することはOCRnxの1つとTCNTn間の比較一致消失の危険を誘発します。
TCNTnへの書き込みは全ての比較部に対して次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。

20.11.5. TCNTnH – ﾀｲﾏ/ｶｳﾝﾀn上位ﾊﾞｲﾄ (Timer/Counter n High byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : TCNT1H : TCNT3H (**訳注**:原書に於けるTCNT1HとTCNT3Hの記述は共通形式で纏めました。)
変位 : $2D ($4D) : ($89)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$4D:$89です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TCNTn15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TCNTn15~8 : ﾀｲﾏ/ｶｳﾝﾀn上位ﾊﾞｲﾄ** (Timer/Counter n High byte)

ﾀｲﾏ/ｶｳﾝﾀn下位ﾊﾞｲﾄ(TCNTnL)を参照してください。

20.11.6. OCRnAL – ﾀｲﾏ/ｶｳﾝﾀn比較Aﾚｼﾞｽﾀ下位ﾊﾞｲﾄ (Output Compare Register n A Low byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : OCR1AL : OCR3AL (**訳注**:原書に於けるOCR1ALとOCR3ALの記述は共通形式で纏めました。)
変位 : $2A ($4A) : ($86)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$4A:$86です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCRnA7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCRnA7~0 : ﾀｲﾏ/ｶｳﾝﾀ1比較A下位ﾊﾞｲﾄ** (Output Compare n A Low byte)

比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNTn)値と比較される16ﾋﾞｯﾄ値を含みます。一致は比較一致割り込みやOCnxﾋﾟﾝでの波形出力を生成するのに使えます。

この比較ﾚｼﾞｽﾀは容量が16ﾋﾞｯﾄです。CPUがこれらのﾚｼﾞｽﾀへ書く時に上位と下位の両ﾊﾞｲﾄが同時に書かれるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。詳細については80頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

20.11.7. OCRnAH – ﾀｲﾏ/ｶｳﾝﾀn比較Aﾚｼﾞｽﾀ上位ﾊﾞｲﾄ (Output Compare Register n A High byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : OCR1AH : OCR3AH (**訳注**:原書に於けるOCR1AHとOCR3AHの記述は共通形式で纏めました。)
変位 : $2B ($4B) : ($87)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$4B:$87です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCRnA15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCRnA15~8 : ﾀｲﾏ/ｶｳﾝﾀn比較A上位ﾊﾞｲﾄ** (Output Compare n A High byte)

ﾀｲﾏ/ｶｳﾝﾀn比較Aﾚｼﾞｽﾀ下位ﾊﾞｲﾄ(OCRnAL)を参照してください。

20.11.8. OCRnBL – ﾀｲﾏ/ｶｳﾝﾀn比較Bﾚｼﾞｽﾀ下位ﾊﾞｲﾄ (Output Compare Register n B Low byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：OCR1BL：OCR3BL（**訳注**:原書に於けるOCR1BLとOCR3BLの記述は共通形式で纏めました。）
変位 ：$28 ($48)：($84)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$48:$84です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCRnB7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCRnB7~0 : ﾀｲﾏ/ｶｳﾝﾀ1比較B下位ﾊﾞｲﾄ** (Output Compare n B Low byte)

ﾀｲﾏ/ｶｳﾝﾀn比較Aﾚｼﾞｽﾀ下位ﾊﾞｲﾄ(OCRnAL)を参照してください。

20.11.9. OCRnBH – ﾀｲﾏ/ｶｳﾝﾀn比較Bﾚｼﾞｽﾀ上位ﾊﾞｲﾄ (Output Compare Register n B High byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：OCR1BH：OCR3BH（**訳注**:原書に於けるOCR1BHとOCR3BHの記述は共通形式で纏めました。）
変位 ：$29 ($49)：($85)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$49:$85です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCRnB15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCRnB15~8 : ﾀｲﾏ/ｶｳﾝﾀn比較B上位ﾊﾞｲﾄ** (Output Compare n B High byte)

ﾀｲﾏ/ｶｳﾝﾀn比較Aﾚｼﾞｽﾀ下位ﾊﾞｲﾄ(OCRnAL)を参照してください。

20.11.10. OCRnCL – ﾀｲﾏ/ｶｳﾝﾀn比較Cﾚｼﾞｽﾀ下位ﾊﾞｲﾄ (Output Compare Register n C Low byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：OCR1CL：OCR3CL（**訳注**:原書に於けるOCR1CLとOCR3CLの記述は共通形式で纏めました。）
変位 ：($78)：($82)
ﾘｾｯﾄ ：$00
特質 ：-

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCRnC7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCRnC7~0 : ﾀｲﾏ/ｶｳﾝﾀ1比較C下位ﾊﾞｲﾄ** (Output Compare n C Low byte)

ﾀｲﾏ/ｶｳﾝﾀn比較Aﾚｼﾞｽﾀ下位ﾊﾞｲﾄ(OCRnAL)を参照してください。

20.11.11. OCRnCH – ﾀｲﾏ/ｶｳﾝﾀn比較Cﾚｼﾞｽﾀ上位ﾊﾞｲﾄ (Output Compare Register n C High byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : OCR1CH : OCR3CH (**訳注**:原書に於けるOCR1CHとOCR3CHの記述は共通形式で纏めました。)
変位 : ($79) : ($83)
ﾘｾｯﾄ : $00
特質 : -

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCRnC15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – OCRnC15~8 : ﾀｲﾏ/ｶｳﾝﾀn比較C上位ﾊﾞｲﾄ** (Output Compare n C High byte)

ﾀｲﾏ/ｶｳﾝﾀn比較Aﾚｼﾞｽﾀ下位ﾊﾞｲﾄ(OCRnAL)を参照してください。

20.11.12. ICRnL – ﾀｲﾏ/ｶｳﾝﾀn捕獲ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ (Input Capture Register n Low byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : ICR1L : ICR3L (**訳注**:原書に於けるICR1LとICR3Lの記述は共通形式で纏めました。)
変位 : $26 ($46) : ($80)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$46:$80です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ICR17~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – ICRn7~0 : ﾀｲﾏ/ｶｳﾝﾀn捕獲下位ﾊﾞｲﾄ** (Input Capture n Low byte)

捕獲ﾚｼﾞｽﾀはICPnﾋﾟﾝ(またはﾀｲﾏ/ｶｳﾝﾀ1については任意のｱﾅﾛｸﾞ比較器出力)で出来事が起こる毎にｶｳﾝﾀ(TCNTn)値で更新されます。この捕獲ﾚｼﾞｽﾀはﾀｲﾏ/ｶｳﾝﾀのTOP値を定義するのに使えます。

この捕獲ﾚｼﾞｽﾀは容量が16ﾋﾞｯﾄです。CPUがこれらのﾚｼﾞｽﾀをｱｸｾｽする時に上位と下位の両ﾊﾞｲﾄが同時に読まれるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。詳細については80頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

20.11.13. ICRnH – ﾀｲﾏ/ｶｳﾝﾀn捕獲ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ (Input Capture Register n High byte)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : ICR1H : ICR3H (**訳注**:原書に於けるICR1HとICR3Hの記述は共通形式で纏めました。)
変位 : $27 ($47) : ($81)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$47:$81です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ICR115~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – ICRn15~8 : ﾀｲﾏ/ｶｳﾝﾀn捕獲A上位ﾊﾞｲﾄ** (Input Capture n High byte)

ﾀｲﾏ/ｶｳﾝﾀn捕獲ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ(ICRnL)を参照してください。

20.11.14. TIMSK – ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ (Timer/Counter Interrupt Mask Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: このﾚｼﾞｽﾀは様々なﾀｲﾏ/ｶｳﾝﾀ用割り込み制御ﾋﾞｯﾄを含みますが、ﾀｲﾏ/ｶｳﾝﾀ1だけがこの項で記述されます。残りのﾋﾞｯﾄは各々のﾀｲﾏ/ｶｳﾝﾀ項で記述されます。

名称 : TIMSK
変位 : $37 ($57)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$57です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ5 – TICIE1 : ﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込み許可** (Timer/Counter1 Input Capture Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)に配置された捕獲1割り込み要求ﾌﾗｸﾞ(ICF1)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(46頁の「**割り込み**」参照)が実行されます。

● **ﾋﾞｯﾄ4 – OCIE1A : ﾀｲﾏ/ｶｳﾝﾀ1比較A割り込み許可** (Timer/Counter1 Output Compare A Match Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)に配置された比較1A割り込み要求ﾌﾗｸﾞ(OCF1A)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(46頁の「**割り込み**」参照)が実行されます。

● **ﾋﾞｯﾄ3 – OCIE1B : ﾀｲﾏ/ｶｳﾝﾀ1比較B割り込み許可** (Timer/Counter1 Output Compare B Match Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)に配置された比較1B割り込み要求ﾌﾗｸﾞ(OCF1B)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(46頁の「**割り込み**」参照)が実行されます。

● **ﾋﾞｯﾄ2 – TOIE1 : ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み許可** (Timer/Counter1 Overflow Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)に配置されたﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み要求ﾌﾗｸﾞ(TOV1)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(46頁の「**割り込み**」参照)が実行されます。

20.11.15. ETIMSK – 拡張ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ (Extended Timer/Counter Interrupt Mask Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: このﾚｼﾞｽﾀはATmega103互換動作では利用できません。

名称 : ETIMSK
変位 : ($7D)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	TICIE3	OCIE3A	OCIE3B	TOIE3	OCIE3C	OCIE1C
ｱｸｾｽ種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ5 – TICIE3 : ﾀｲﾏ/ｶｳﾝﾀ3捕獲割り込み許可** (Timer/Counter3 Input Capture Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ3捕獲割り込みが許可されます。拡張ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(ETIFR)に配置された捕獲3割り込み要求ﾌﾗｸﾞ(ICF3)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(46頁の「**割り込み**」参照)が実行されます。

● **ビット4 – OCIE3A : タイマ/カウンタ3比較A割り込み許可** (Timer/Counter3 Output Compare A Match Interrupt Enable)

このビットが1を書かれて、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ3比較A一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグ レジスタ(ETIFR)に配置された比較3A割り込み要求フラグ(OCF3A)が設定(1)されると、対応する割り込みベクタ(46頁の「**割り込み**」参照)が実行されます。

● **ビット3 – OCIE3B : タイマ/カウンタ3比較B割り込み許可** (Timer/Counter3 Output Compare B Match Interrupt Enable)

このビットが1を書かれて、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ3比較B一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグ レジスタ(ETIFR)に配置された比較3B割り込み要求フラグ(OCF3B)が設定(1)されると、対応する割り込みベクタ(46頁の「**割り込み**」参照)が実行されます。

● **ビット2 – TOIE3 : タイマ/カウンタ3溢れ割り込み許可** (Timer/Counter3 Overflow Interrupt Enable)

このビットが1を書かれて、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ3溢れ割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグ レジスタ(ETIFR)に配置されたタイマ/カウンタ3溢れ割り込み要求フラグ(TOV3)が設定(1)されると、対応する割り込みベクタ(46頁の「**割り込み**」参照)が実行されます。

● **ビット1 – OCIE3C : タイマ/カウンタ3比較C割り込み許可** (Timer/Counter3 Output Compare C Match Interrupt Enable)

このビットが1を書かれ、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ3比較C一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグ レジスタ(ETIFR)に配置された比較3C割り込み要求フラグ(OCF3C)が設定(1)されると、対応する割り込みベクタ(46頁の「**割り込み**」参照)が実行されます。

● **ビット0 – OCIE1C : タイマ/カウンタ1比較C割り込み許可** (Timer/Counter1 Output Compare C Match Interrupt Enable)

このビットが1を書かれ、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較C一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグ レジスタ(ETIFR)に配置された比較1C割り込み要求フラグ(OCF1C)が設定(1)されると、対応する割り込みベクタ(46頁の「**割り込み**」参照)が実行されます。

20.11.16. TIFR – タイマ/カウンタ割り込み要求フラグ レジスタ (Timer/Counter Interrupt Flag Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: このレジスタは様々なタイマ/カウンタ用割り込み制御ビットを含みますが、タイマ/カウンタ1だけがこの項で記述されます。残りのビットは各々のタイマ/カウンタ項で記述されます。

名称 : TIFR
変位 : $36 ($56)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$56です。

ビット	7	6	5	4	3	2	1	0
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット5 – ICF1 : タイマ/カウンタ1捕獲割り込み要求フラグ** (Timer/Conter1, Input Capture Flag)

ICP1ピンに捕獲の事象が起こると、このフラグが設定(1)されます。捕獲レジスタ(ICR1)がWGM13～0によってTOP値として設定されると、ICF1フラグはカウンタがTOP値に到達する時に設定(1)されます。

捕獲1割り込みベクタが実行されると、ICF1は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもICF1は解除(0)できます。

● **ビット4 – OCF1A : タイマ/カウンタ1比較A割り込み要求フラグ** (Timer/Conter1, Output Compare A Match Flag)

このフラグはカウンタ(TCNT1)値が比較Aレジスタ(OCR1A)と一致した後(次)のタイマ/カウンタ クロック周期で設定(1)されます。

強制的な比較出力(FOC1A)ストローブがOCF1Aフラグを設定(1)しないことに注意してください。

比較1A一致割り込みベクタが実行されると、OCF1Aは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Aは解除(0)できます。

● **ビット3 – OCF1B : タイマ/カウンタ1比較B割り込み要求フラグ** (Timer/Conter1, Output Compare B Match Flag)

このフラグはカウンタ(TCNT1)値が比較Bレジスタ(OCR1B)と一致した後(次)のタイマ/カウンタ クロック周期で設定(1)されます。

強制的な比較出力(FOC1B)ストローブがOCF1Bフラグを設定(1)しないことに注意してください。

比較1B一致割り込みベクタが実行されると、OCF1Bは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Bは解除(0)できます。

● ﾋﾞｯﾄ2 – TOV1 : ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み要求ﾌﾗｸﾞ (Timer/Counter1 Overflow Flag)

このﾌﾗｸﾞの(1)設定はWGM13～0ﾋﾞｯﾄ設定に依存します。標準またはCTC動作でのTOV1ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀ1溢れ時に設定(1)されます。他のWGM13～0ﾋﾞｯﾄ設定を使う時のTOV1ﾌﾗｸﾞ動作については93頁の**表20–5.**を参照してください。

ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みﾍﾞｸﾀが実行されると、TOV1は自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもTOV1は解除(0)できます。

20.11.17. ETIFR – 拡張ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Extended Timer/Counter Interrupt Flag Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: このﾚｼﾞｽﾀはATmega103互換動作では利用できません。

名称 : ETIFR
変位 : ($7C)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	ICF3	OCF3A	OCF3B	TOV3	OCF3C	OCF1C
ｱｸｾｽ種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ5 – ICF3 : ﾀｲﾏ/ｶｳﾝﾀ3捕獲割り込み要求ﾌﾗｸﾞ (Timer/Conter3, Input Capture Flag)

ICP3ﾋﾟﾝに捕獲の事象が起こると、このﾌﾗｸﾞが設定(1)されます。捕獲ﾚｼﾞｽﾀ(ICR3)がWGM33～0によってTOP値として設定されると、ICF3ﾌﾗｸﾞはｶｳﾝﾀがTOP値に到達する時に設定(1)されます。

捕獲3割り込みﾍﾞｸﾀが実行されると、ICF3は自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもICF3は解除(0)できます。

● ﾋﾞｯﾄ4 – OCF3A : ﾀｲﾏ/ｶｳﾝﾀ3比較A割り込み要求ﾌﾗｸﾞ (Timer/Conter3, Output Compare A Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNT3)値が比較Aﾚｼﾞｽﾀ(OCR3A)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOC3A)ｽﾄﾛｰﾌﾞがOCF3Aﾌﾗｸﾞを設定(1)しないことに注意してください。

比較3A一致割り込みﾍﾞｸﾀが実行されると、OCF3Aは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCF3Aは解除(0)できます。

● ﾋﾞｯﾄ3 – OCF3B : ﾀｲﾏ/ｶｳﾝﾀ3比較B割り込み要求ﾌﾗｸﾞ (Timer/Conter3, Output Compare B Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNT3)値が比較Bﾚｼﾞｽﾀ(OCR3B)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOC3B)ｽﾄﾛｰﾌﾞがOCF3Bﾌﾗｸﾞを設定(1)しないことに注意してください。

比較3B一致割り込みﾍﾞｸﾀが実行されると、OCF3Bは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCF3Bは解除(0)できます。

● ﾋﾞｯﾄ2 – TOV3 : ﾀｲﾏ/ｶｳﾝﾀ3溢れ割り込み要求ﾌﾗｸﾞ (Timer/Counter3 Overflow Flag)

このﾌﾗｸﾞの(1)設定はWGM33～0ﾋﾞｯﾄ設定に依存します。標準またはCTC動作でのTOV3ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀ3溢れ時に設定(1)されます。他のWGM33～0ﾋﾞｯﾄ設定を使う時のTOV3ﾌﾗｸﾞ動作については93頁の**表20–5.**を参照してください。

ﾀｲﾏ/ｶｳﾝﾀ3溢れ割り込みﾍﾞｸﾀが実行されると、TOV3は自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもTOV3は解除(0)できます。

● ﾋﾞｯﾄ1 – OCF3C : ﾀｲﾏ/ｶｳﾝﾀ3比較C割り込み要求ﾌﾗｸﾞ (Timer/Conter3, Output Compare C Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNT3)値が比較Cﾚｼﾞｽﾀ(OCR3C)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOC3C)ｽﾄﾛｰﾌﾞがOCF3Cﾌﾗｸﾞを設定(1)しないことに注意してください。

比較3C一致割り込みﾍﾞｸﾀが実行されると、OCF3Cは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCF3Cは解除(0)できます。

● ﾋﾞｯﾄ0 – OCF1C : ﾀｲﾏ/ｶｳﾝﾀ1比較C割り込み要求ﾌﾗｸﾞ (Timer/Conter1, Output Compare C Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNT1)値が比較Cﾚｼﾞｽﾀ(OCR1C)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOC1C)ｽﾄﾛｰﾌﾞがOCF1Cﾌﾗｸﾞを設定(1)しないことに注意してください。

比較1C一致割り込みﾍﾞｸﾀが実行されると、OCF1Cは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCF1Cは解除(0)できます。

21. 8ビット タイマ/カウンタ0 (PWM, 非同期動作付き)

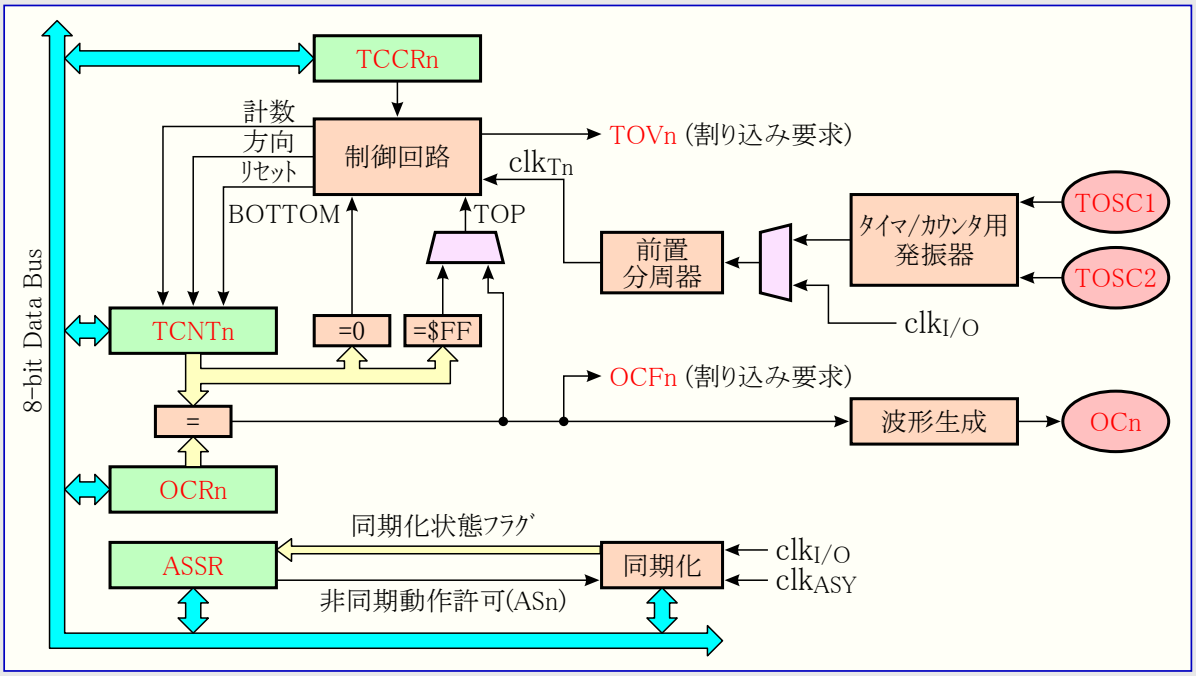
21.1. 特徴

- 単一比較部付き計数器
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 周波数発生器
- クロック用10ビット前置分周器
- 溢れと比較一致割り込み (TOV0とOCF0)
- I/O(システム)クロックに依存しない時計用外部32kHzクリスタルからのクロック駆動可能

21.2. 概要

タイマ/カウンタ0は単一比較部付き汎用8ビット タイマ/カウンタ部です。この8ビット タイマ/カウンタの簡単化した構成図は下図で示されます。I/Oピンの実際の配置については「**ピン配置**」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(**訳注**: 原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は111頁の「**8ビット タイマ/カウンタ0用レジスタ**」で一覧されます。

図21-1. 8ビット タイマ/カウンタ構成図



関連リンク 9頁の「ピン配置」

21.2.1. 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK)で個別に遮蔽(禁止)されます。TIFRとTIMSKはこれらのレジスタが他のタイマ/カウンタ部によって共用されるため、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、または本項内後ろで詳述されるようにTOSC1/2ピンから非同期にクロック駆動されます。非同期動作は非同期状態レジスタ(ASSR)によって制御されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選択されないとき、このタイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタ クロック(clkT0)として参照されます。

2重緩衝化した比較レジスタ(OCR0)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。詳細については103頁の「**比較出力部**」を参照してください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF0)も設定(1)します。

21.2.2. 定義

本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。けれどもプログラムでレジスタまたはビット定義に使用う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0のように)。

右表の定義は本資料を通して広範囲に渡って使われます。

表21-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが$00に到達した時。
MAX	タイマ/カウンタが$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値($FF)またはOCR0値に到達した時。この指定(TOP)値は動作種別に依存します。

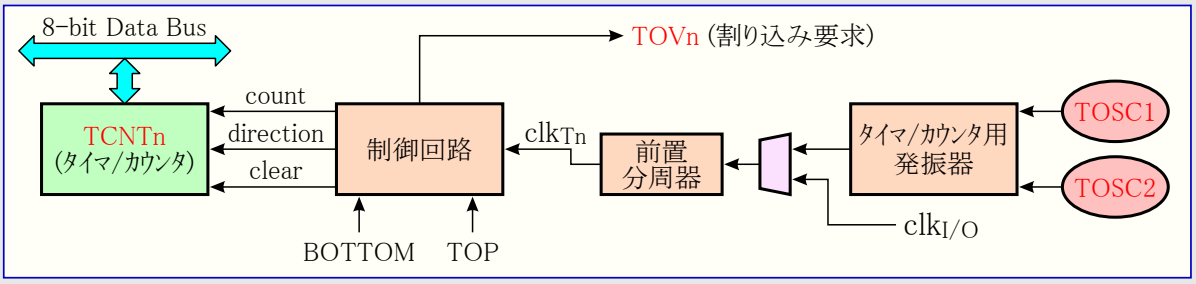
21.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部同期または外部非同期クロック元によってクロック駆動できます。既定のクロック元(clk_{T0})はMCUクロック($clk_{I/O}$)と同じです。非同期状態レジスタ(ASSR)の非同期動作許可(AS0)ビットが論理1を書かれると、クロック元はTOSC1とTOSC2に接続されたタイマ/カウンタ用発振器から取得されます。非同期動作の詳細については113頁の「**ASSR – 非同期状態レジスタ**」を参照してください。クロック元と前置分周器の詳細については110頁の「**タイマ/カウンタ0の前置分周器**」を参照してください。

21.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。次図は、このカウンタとその周辺環境の構成図を示します。

図21-2. カウンタ部構成図



信号説明 (内部信号)	count	TCNT0を1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNT0のリセット($00設定)信号。
	clk_{Tn}	以降でclk_{T0}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT0が最大値に到達したことを示す信号。
	BOTTOM	TCNT0が最小値($00)に到達したことを示す信号。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{T0})で解除($00)、増加(+1)、または減少(−1)されます。clk_{T0}はクロック選択(CS02～0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS02～0=000)時にタイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clk_{T0})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタ(TCCR0)に配置された波形生成種別(WGM01,0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC0比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては105頁の「**動作種別**」を参照してください。

タイマ/カウンタ溢れ(TOV0)フラグはWGM01,0ビットによって選択された動作種別に従って設定(1)されます。TOV0はCPU割り込み発生に使えます。

21.5. 比較出力部

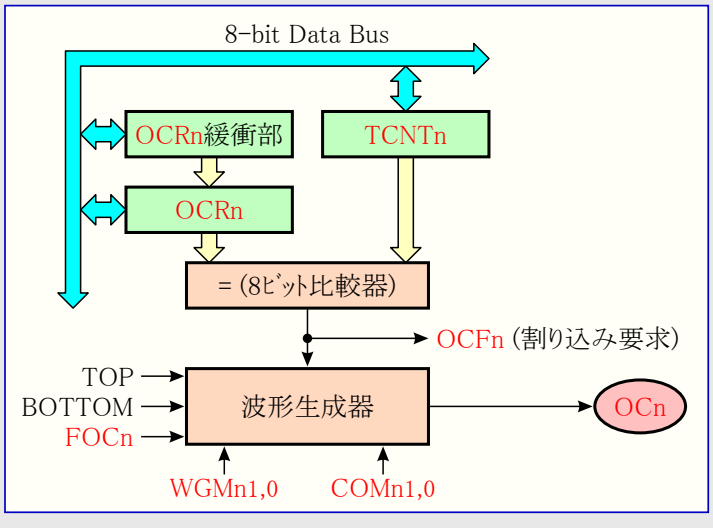
この8ﾋﾞｯﾄ比較器はTCNT0と比較ﾚｼﾞｽﾀ(OCR0)を継続的に比較します。TCNT0とOCR0が等しければ比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCF0)を設定(1)します。許可(I=1, OCIE0=1)なら、この比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。OCF0は割り込みが実行されると自動的に解除(0)されます。代わりにOCF0はこのﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM01,0)ﾋﾞｯﾄと比較出力選択(COM01,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(105頁の「**動作種別**」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

右図は比較出力部の構成図を示します。

OCR0はﾊﾟﾙｽ幅変調(PWM)の何れかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0ﾚｼﾞｽﾀ更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0のｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR0緩衝部をｱｸｾｽし、禁止されるとOCR0ﾚｼﾞｽﾀを直接ｱｸｾｽします。

図21-3. 比較出力部構成図



21.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC0)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCF0)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC0ﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COM01,0ﾋﾞｯﾄ設定がOC0 ﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

21.5.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0に許します。

21.5.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にﾀｲﾏ/ｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

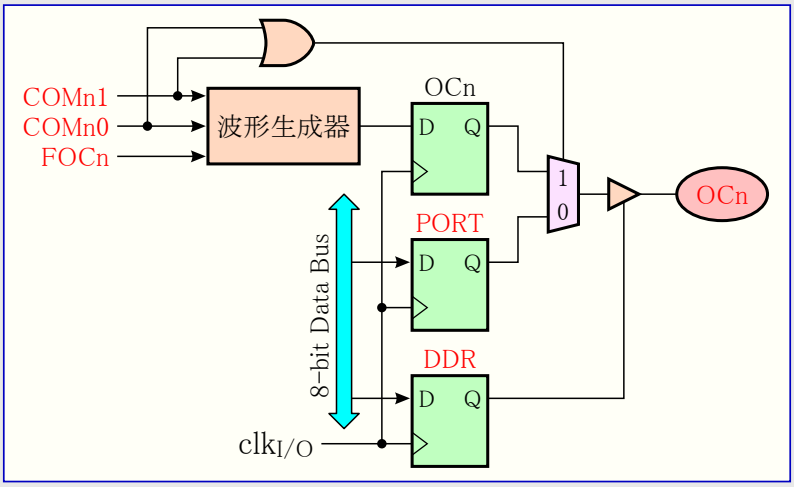
OC0の初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC0値を設定する一番簡単な方法は標準動作で強制変更(FOC0)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成動作種別間を変更する時であっても、OC0(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COM01,0)ﾋﾞｯﾄが比較値(OCR0)と共に2重緩衝されないことに気付いてください。COM01,0ﾋﾞｯﾄの変更は直ちに有効となります。

21.6. 比較一致出力部

比較出力選択(COM01,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC0)状態の定義にCOM01,0ﾋﾞｯﾄを使います。またCOM01,0ﾋﾞｯﾄはOC0ﾋﾟﾝ出力元を制御します。下図はCOM01,0ﾋﾞｯﾄ設定によって影響される論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COM01,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OC0の状態を参照するとき、その参照はOC0ﾋﾟﾝでなく内部OC0ﾚｼﾞｽﾀに対してです。

図21-4. 比較一致出力回路図



COM01,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OC0)によって無効にされます。けれどもOC0ﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OC0ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OC0)はOC0値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は波形生成種別と無関係です。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOC0状態の初期化を許します。いくつかのCOM01,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0用ﾚｼﾞｽﾀ**」をご覧ください。

21.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM01,0ﾋﾞｯﾄを違うふうに使います。全動作種別に対してCOM01,0=00設定は次の比較一致で実行すべきOC0ﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については111頁の**表21-3.**を参照してください。高速PWM動作については112頁の**表21-4.**、位相基準PWMについては112頁の**表21-5.**を参照してください。

COM01,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC0)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

21.7. 動作種別

動作種別、換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作は波形生成種別(WGM01,0)ﾋﾞｯﾄと比較出力選択(COM01,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COM01,0ﾋﾞｯﾄは生成されるPWM出力が反転されるべきか否か(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM01,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(104頁の「**比較一致出力部**」を参照してください)。

ﾀｲﾐﾝｸﾞ情報の詳細については108頁の「**ﾀｲﾏ/ｶｳﾝﾀ0のﾀｲﾐﾝｸﾞ**」を参照してください。

21.7.1. 標準動作

最も単純な動作種別が標準動作(WGM01,0=00)です。本動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀ解除は実行されません。ｶｳﾝﾀは8ﾋﾞｯﾄ最大値(TOP=$FF)を通過すると単に範囲を超え、そして$00(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはTCNT0が$00になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOV0ﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第9ﾋﾞｯﾄのようになります。けれどもTOV0ﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

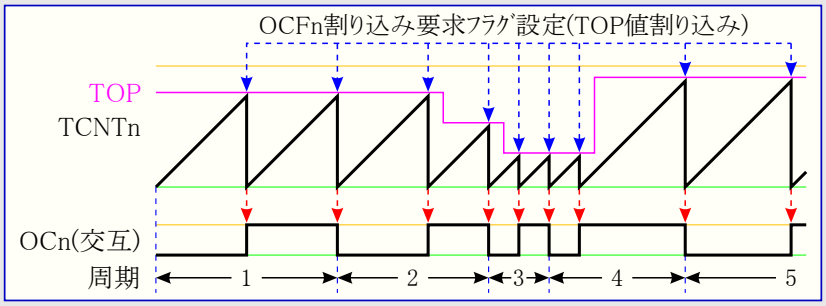
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

21.7.2. 比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGM01,0=10)ではOCR0がｶｳﾝﾀ分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNT0)値がOCR0と一致すると、ｶｳﾝﾀは$00に解除されます。OCR0はｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は下図で示されます。ｶｳﾝﾀ(TCNT0)値はTCNT0とOCR0間で比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNT0)は解除($00)されます。

図21-5. CTC動作ﾀｲﾐﾝｸﾞ



注: COMn1,0=01

OCF0ﾌﾗｸﾞを使うことにより、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0に書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後のｶｳﾝﾀは比較一致が起こるのに先立って、最大値($FF)へそして次に$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0出力は比較出力選択(COM01,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切り替えに設定できます。OC0値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC0=1)に設定されない限りﾎﾟｰﾄﾋﾟﾝで見えないでしょう。生成された波形はOCR0が0($00)に設定される時に$f_{OC0}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCn} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRn)}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

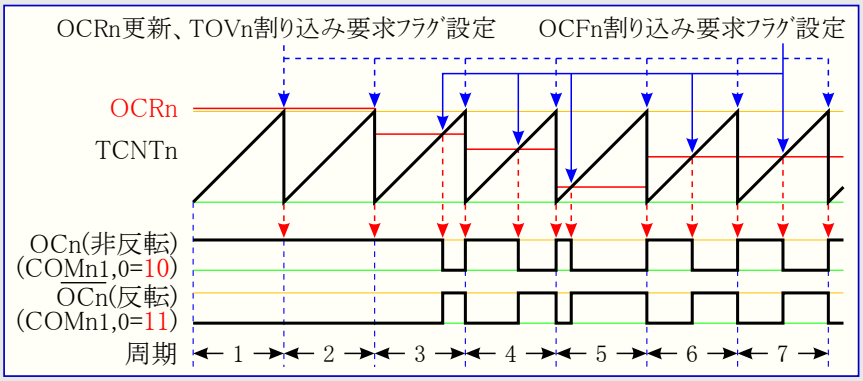
標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$00へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

21.7.3. 高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGM01,0=11)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからMAXまで計数し、その後にBOTTOMから再び始めます。非反転比較出力動作(COM01,0=10)での比較出力(OC0)は、TCNT0とOCR0間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM01,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は、両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

高速PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がMAX値と一致するまで増加されます。そしてﾀｲﾏ/ｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀｸﾛｯｸ周期で解除($00)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は次図で示されます。TCNT0値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。赤い細線はOCR0値を示し、TCNT0値との交点(接点)がTCNT0とOCR0間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCF0)はOCR0=MAXを除いて比較一致が起こると設定(1)されます(**訳注**:共通性のため本行追加)。

図21-6. 高速PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはｶｳﾝﾀがMAXに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ﾙｰﾁﾝは比較値を更新するのに使えます。

高速PWM動作での比較部はOC0ﾋﾟﾝでのPWM波形の生成を許します。COM01,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM01,0を'11'に設定することで生成できます(112頁の**表21-4.**をご覧ください)。実際のOC0値はﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC0)が出力として設定される場合にだけ見えるでしょう。PWM波形はTCNT0とOCR0間の比較一致でOC0(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($00、MAXからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でOC0ﾚｼﾞｽﾀを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnPWM} = \frac{f_{clk\_I/O}}{N \times 256}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

OCR0の両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR0がBOTTOM($00)と等しく設定されると、出力はMAX+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。OCR0がMAXに等しく設定されると、(COM01,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

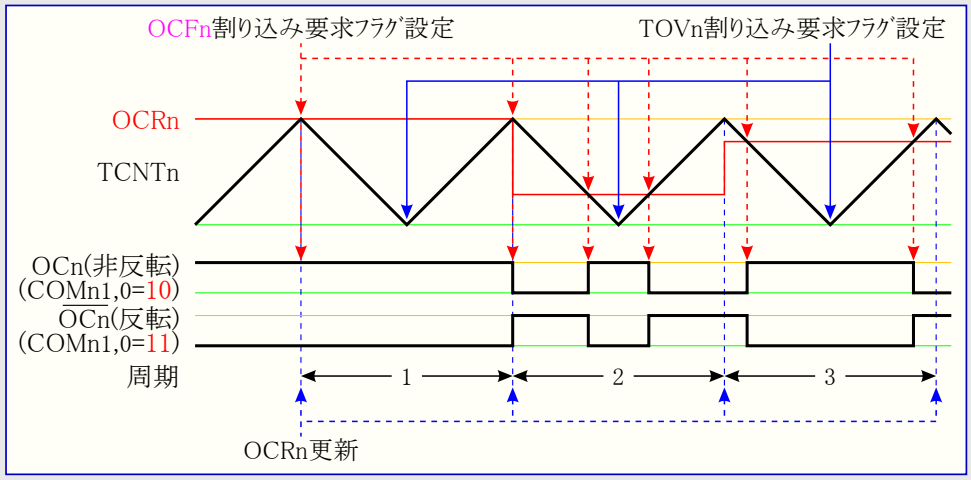
(**訳注**:以下は本動作種別がTOP=MAX($FF)で固定のため基本的に不適切です。) 高速PWM動作で(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOC0設定(COM01,0=01)によって達成できます。生成された波形はOCR0が0($00)に設定される時に$f_{OC0}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC0交互出力(COM01,0=01)と同じです。

21.7.4. 位相基準PWM動作

位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM01,0=01)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作に基きます。ｶｳﾝﾀはBOTTOMからMAXへそして次にMAXからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM01,0=10)での比較出力(OC0)は上昇計数中のTCNT0とOCR0の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM01,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数です。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8ﾋﾞｯﾄに固定されます。位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値がMAXと一致するまで増加されます。ｶｳﾝﾀはMAXに到達すると、計数方向を変更します。このTCNT0値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間MAXと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は次図で示されます。TCNT0値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。赤細線はOCR0値を示し、TCNT0値との交点(接点)がTCNT0とOCR0間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。

図21-7. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがBOTTOM値に到達する毎に割り込みを発生するのに使えます。

位相基準PWM動作での比較部はOC0ﾋﾟﾝでのPWM波形の生成を許します。COM01,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM01,0ﾋﾞｯﾄを'11'に設定することで生成できます(112頁の**表21-5.**参照)。実際のOC0値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC0)が出力として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT0とOCR0間の比較一致でOC0(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT0とOCR0間の比較一致でOC0ﾚｼﾞｽﾀを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnPCPWM} = \frac{f_{clk\_I/O}}{N \times 510}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

OCR0の両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR0がBOTTOM($00)に等しく設定されると出力は定常的なLow、MAXに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

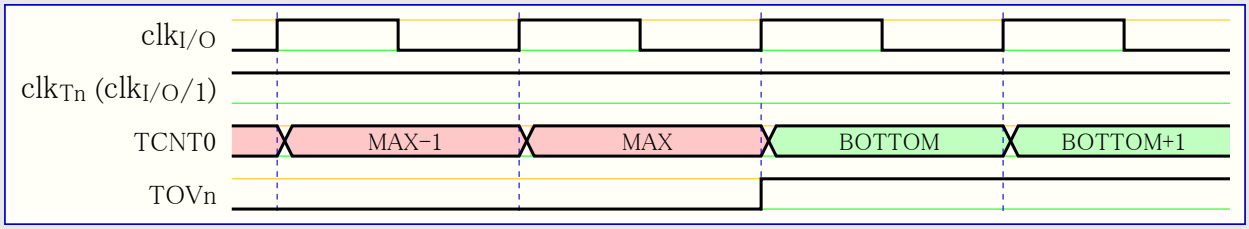
上のﾀｲﾐﾝｸﾞ図の第2周期のその出発点に於いて、例え比較一致がないとしても、OCnにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 上のﾀｲﾐﾝｸﾞ図でのようにOCR0はMAXからその値を変更します。OCR0値がMAXのとき、OCnﾋﾟﾝ値は下降計数での比較一致の結果と同じです(**訳補**: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)MAX(位置)でのOCn値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- ﾀｲﾏ/ｶｳﾝﾀがOCR0値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnの変更を逃します。(**訳補**: 従って上記同様、MAX位置で(直前がHならば)H→L遷移が生じます。)

21.8. タイマ/カウンタのタイミング

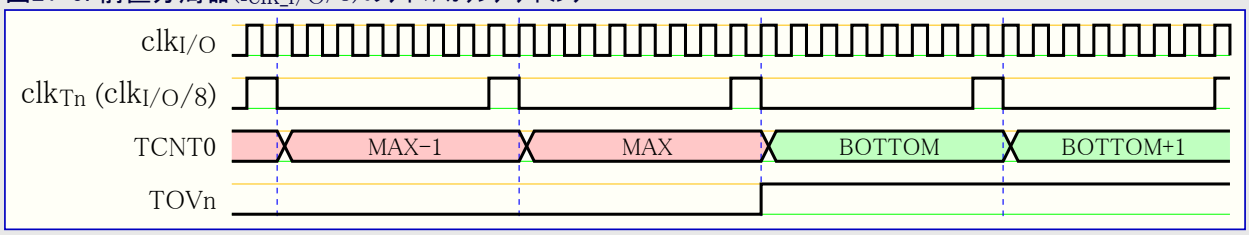
以下の図は同期動作でのタイマ/カウンタを示し、従ってタイマ/カウンタ クロック(clk_{T0})が計数許可信号として示されます。非同期動作では$clk_{I/O}$がタイマ/カウンタ用発振器(TOSC)クロックによって置換されるべきです。この図は割り込みフラグが設定(1)される時の情報を含みます。次図は基本的なタイマ/カウンタ動作についてのタイミング データを示します。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図21-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング



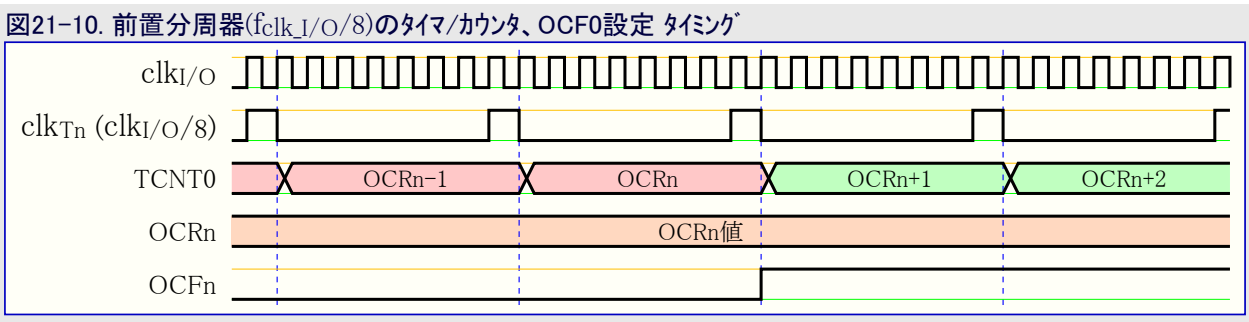
次図は同じタイミング データを示しますが、前置分周器が許可されています。

図21-9. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ タイミング



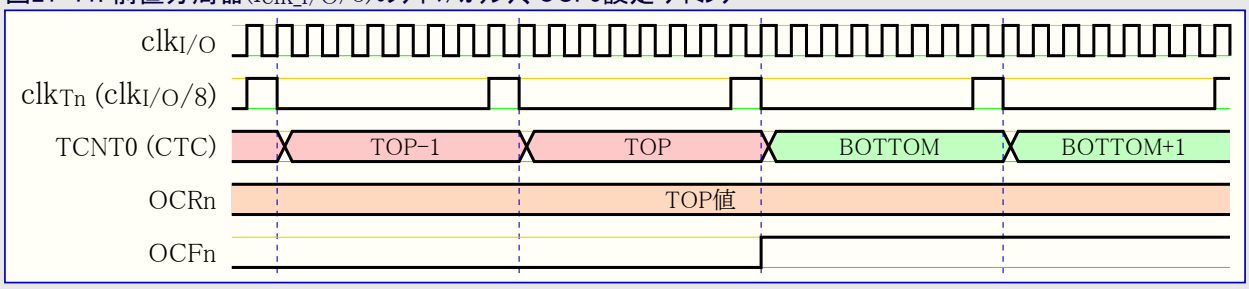
次図はCTC動作を除く全ての動作種別でのOCF0の設定を示します。

図21-10. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCF0設定 タイミング



下図はCTC動作でのTCNT0の解除とOCF0の設定を示します。

図21-11. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCF0設定 タイミング



21.9. タイマ/カウンタ0の非同期動作

タイマ/カウンタ0が非同期で動くとき、いくつかの考慮が成されなければなりません。

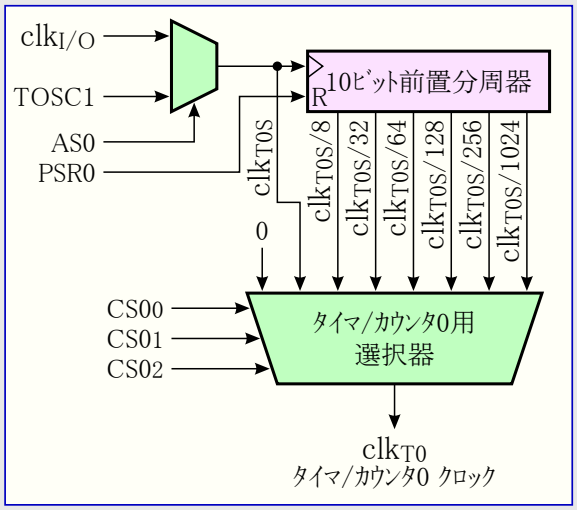
- 警告: タイマ/カウンタ0の同期/非同期クロック駆動間を切り替えると、タイマ/カウンタ0(TCNT0)、タイマ/カウンタ0比較レジスタ(OCR0)、タイマ/カウンタ0制御レジスタ(TCCR0)が不正となるかもしれません。クロック元を切り替える安全な手順を次に示します。
  1. タイマ/カウンタ割り込み許可レジスタ(TIMSK)のOCIE0とTOIE0の解除(0)により、タイマ/カウンタ0割り込みを禁止します。
  2. 非同期状態レジスタ(ASSR)の非同期動作許可(AS0)設定によってクロック元を適切に選択します。
  3. TCNT0, OCR0, TCCR0に新しい値を書きます。
  4. 非同期動作へ切り替えるには、TCN0UB, OCR0UB, TCR0UBについて(=0まで)待機します。
  5. タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)のOCF0とTOV0フラグを解除(0)します。
  6. 必要とされるなら、割り込みを許可します。
- 発振器は時計用32.768kHzクリスタルで使うために最適化されています。TOSC1ピンに外部クロックを印加することは不正なタイマ/カウンタ0動作に終わるかもしれません。CPU主クロック周波数は、この発振器周波数の4倍よりも高くなければなりません。
- TCNT0, OCR0, TCCR0レジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSC1で2つの上昇端後、(実レジスタ)に設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に新しい値を書くべきではありません。記載された3つのレジスタの各々がそれら個別の一時レジスタを持ちます。それは、例えばTCNT0書き込みがOCR0書き込みの実行を妨げないことを意味します。転送先レジスタへの転送が起きたことを検知するために非同期状態レジスタ(ASSR)は実装されました。
- TCNT0, OCR0, TCCR0に書いた後でパワーセーブまたは拡張スタンバイ動作へ移行するとき、デバイスを起動するのにタイマ/カウンタ0が使われる場合、使用者は書かれたレジスタが更新されてしまうまで待たなければなりません。さもなければMCUは変更が有効になる前に休止形態へ移行するでしょう。タイマ/カウンタ0比較一致割り込みがデバイスを起動するのに使われると、TCNT0またはOCR0書き込み中の比較機能が禁止されるため、これは非常に重要です。書き込み周期が完了されず、OCR0UBが0に戻る前にMCUが休止形態へ移行すると、デバイスは決して比較一致割り込みを受け取らず、そしてMCUは起動しないでしょう。
- パワーセーブまたは拡張スタンバイ動作からデバイスを起動するのにタイマ/カウンタ0が使われる場合、使用者がこれら動作へ(復帰後)再移行することを欲するなら、予防処置を講じなければなりません。割り込み論理回路はリセットするのに1 TOSC1周期必要です。起動と休止形態再移行間の時間が1 TOSC1周期未満の場合に割り込みが起きず、デバイスは起動に失敗するでしょう。パワーセーブまたは拡張スタンバイ動作再移行前の時間が充分であるかどうか迷うなら、1 TOSC1周期が経過されることを保証するのに次の手順が使えます。
  1. TCNT0, OCR0, TCCR0に値を書きます。
  2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが0に戻るまで待ちます。
  3. パワーセーブまたは拡張スタンバイ動作へ移行します。
- 非同期動作が選択されるとき、タイマ/カウンタ0用32.768kHz発振器はパワーダウンとスタンバイ動作を除いて常に動作します。電源投入リセット、パワーダウンまたはスタンバイ動作から起動後、この発振器が安定するのに1秒程度かかるかもしれないことを使用者は承知すべきです。電源投入、パワーダウンまたはスタンバイ動作から起動後、タイマ/カウンタ0を使う前に少なくとも1秒待つことが推奨されます。この発振器の使用またはクロック信号がTOSCピンに印加されるかのどちらかに拘らず、起動時の不安的なクロック信号のため、パワーダウンまたはスタンバイ動作からの起動復帰後、タイマ/カウンタ0の全レジスタの内容が失われたと見做されなければなりません。
- タイマ/カウンタ0が非同期でクロック駆動される時のパワーセーブまたは拡張スタンバイ動作から起動の説明。割り込み条件が合致すると、タイマ/カウンタ クロックの次の周期で起動処理が開始され、プロセッサがカウンタ値を読めるのに先立ってタイマ/カウンタは常に最低1、進行されます。起動後MCUは4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。
- パワーセーブ動作から起動直後のTCNT0の読み込みは不正な結果を得るかもしれません。TCNT0が非同期TOSCクロックでクロック駆動されるため、TCNT0読み込みは内部I/Oクロック領域に同期したレジスタを通して行われなければなりません。同期化はTOSCクロックの全上昇端で行われます。パワーセーブ動作から起動し、I/Oクロック($clk_{I/O}$)が再び活性(有効)になるとき、TCNT0はTOSCクロックの次の上昇端まで以前(休止形態移行前)の値を読むでしょう。パワーセーブ動作から起動後のTOSCクロックの位相は起動時間に依存するため本質的に特定できません。従ってTCNT0読み込みに対する推奨手順は次のとおりです。
  1. OCR0またはTCCR0のどちらかに何か値を書きます。
  2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが解除(0)されるまで待ちます。
  3. TCNT0を読みます。
- 非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は3プロセッサ周期+1タイマ周期かかります。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読めるのに先立って、このタイマは最低1、進行されます。比較出力ピンはタイマ クロックで変更され、プロセッサ クロックに同期されません。

21.10. タイマ/カウンタ0の前置分周器

タイマ/カウンタ0用クロック元の名前はclk$_{T0S}$です。既定でのclk$_{T0S}$は主システムI/Oクロック(clk$_{I/O}$)に接続されます。タイマ/カウンタ0非同期状態レジスタ(ASSR)の非同期クロック(AS0)ビットの設定(1)により、タイマ/カウンタ0はTOSC1ピンから非同期にクロック駆動されます。これは実時間計数器(RTC)としてのタイマ/カウンタ0使用を可能にします。AS0が設定(1)されると、TOSC1とTOSC2ピンはポートGから切り離されます。クリスタル発振子はタイマ/カウンタ0用の独立したクロック元として扱うため、TOSC1とTOSC2ピン間に接続できます。この発振器は32.768kHzクリスタル発振子で使うために最適化されています。TOSC1に外部クロック元を印加することは推奨されません。

タイマ/カウンタ0に対して可能な前置分周済み選択はclk$_{T0S}$/8, clk$_{T0S}$/32, clk$_{T0S}$/64, clk$_{T0S}$/128, clk$_{T0S}$/256, clk$_{T0S}$/1024です。加えて0(停止)は勿論clk$_{T0S}$も選択可能です。特殊I/O機能レジスタ(SFIOR)のタイマ/カウンタ0前置分周器リセット(PSR0)ビットの設定(1)は前置分周器をリセットします。これは予測可能な前置分周器での操作を使用者に許します。

図21-12. タイマ/カウンタ0 前置分周器部構成



21.11. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0用ﾚｼﾞｽﾀ

21.11.1. TCCR0 – ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀ (Timer/Counter0 Control Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：TCCR0
変位 ：$33 ($53)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$53です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00
ｱｸｾｽ種別	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – FOC0 : OC0強制変更** (Force Output Compare 0)

FOC0ﾋﾞｯﾄはWGM01,0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。けれども将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR0が書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC0ﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0出力はCOM01,0ﾋﾞｯﾄ設定に従って変更されます。FOC0ﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM01,0ﾋﾞｯﾄに存在する値です。

FOC0ｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCR0を使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($00)も行いません。

FOC0ﾋﾞｯﾄは常に0として読まれます。

● **ﾋﾞｯﾄ6 – WGM00 : 波形生成種別** (Waveform Generation Mode)

WGM01と併せたこれらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大(TOP)ｶｳﾝﾀ値の供給元、使われるべき波形生成のどの形式かを制御します。ﾀｲﾏ/ｶｳﾝﾀ部により支援される動作種別は標準動作、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と、2形式のﾊﾟﾙｽ幅変調(PWM)動作です。次表と「**動作種別**」をご覧ください。

表21-2. 波形生成種別選択

番号	WGM01 (CTC0)	WGM00 (PWM0)	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR0更新時	TOV0設定時
0	0	0	標準動作	$FF	即値	MAX
1	0	1	位相基準PWM動作	$FF	TOP	BOTTOM
2	1	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR0	即値	MAX
3	1	1	高速PWM動作	$FF	BOTTOM	MAX

注: CTC0とPWM0ﾋﾞｯﾄ定義名は旧名です。WGM01,0定義名を使ってください。しかし、これらのﾋﾞｯﾄの機能と位置は旧版のﾀｲﾏ/ｶｳﾝﾀと一致します。

● **ﾋﾞｯﾄ5,4 – COM01,0 : 比較0出力選択** (Compare Match 0 Output Mode bit 1 and 0)

これらのﾋﾞｯﾄはOC0比較出力ﾋﾟﾝの動作を制御します。COM01,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC0出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC0ﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC0がﾋﾟﾝに接続されるとき、COM01,0ﾋﾞｯﾄの機能はWGM01,0ﾋﾞｯﾄ設定に依存します。

次表はWGM01,0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM01,0ﾋﾞｯﾄ機能を示します。

表21-3. 非PWM動作での比較出力選択

COM01	COM00	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0切断)
0	1	比較一致でOC0ﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC0ﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC0ﾋﾟﾝ Highﾚﾍﾞﾙ出力

次表はWGM01,0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM01,0ﾋﾞｯﾄの機能を示します。

表21-4. 高速PWM動作での比較出力選択

COM01	COM00	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC0ﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0ﾋﾟﾝへ出力 (反転動作)

注: COM01が設定(1)され、OCR0がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)や解除(0)は行われます。より多くの詳細については106頁の「高速PWM動作」を参照してください。

下表はWGM01,0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM01,0ﾋﾞｯﾄの機能を示します。

表21-5. 位相基準PWM動作での比較出力選択

COM01	COM00	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0ﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0ﾋﾟﾝへ出力

注: COM01が設定(1)され、OCR0がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、TOPでの設定(1)や解除(0)は行われます。より多くの詳細については107頁の「位相基準PWM動作」を参照してください。

● **ﾋﾞｯﾄ3 – WGM01 : 波形生成種別** (Waveform Generation Mode)

WGM00を参照してください。

● **ﾋﾞｯﾄ2～0 – CS02～0 : ｸﾛｯｸ選択** (Clock Select)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT0)によって使われるｸﾛｯｸ元を選択します。

表21-6. ﾀｲﾏ/ｶｳﾝﾀ0入力ｸﾛｯｸ選択

CS02	CS01	CS00	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀ0動作停止)
0	0	1	clk_{T0S} (前置分周なし)
0	1	0	clk_{T0S}/8 (8分周)
0	1	1	clk_{T0S}/32 (32分周)
1	0	0	clk_{T0S}/64 (64分周)
1	0	1	clk_{T0S}/128 (128分周)
1	1	0	clk_{T0S}/256 (256分周)
1	1	1	clk_{T0S}/1024 (1024分周)

21.11.2. TCNT0 – ﾀｲﾏ/ｶｳﾝﾀ0 (Timer/Counter Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

このﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀは読み書き両方の操作について、ﾀｲﾏ/ｶｳﾝﾀ部の8ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。TCNT0への書き込みは次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT0)を変更することは、TCNT0とOCR0間の比較一致消失の危険を誘発します。

名称 : TCNT0
変位 : $32 ($52)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$52です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TCNT07~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – TCNT07～0 : ﾀｲﾏ/ｶｳﾝﾀ0** (Timer/Counter 0)

21.11.3. OCR0 – ﾀｲﾏ/ｶｳﾝﾀ0比較ﾚｼﾞｽﾀ (Output Compare Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT0)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC0ﾋﾟﾝでの波形出力を生成するのに使えます。

名称 ：OCR0
変位 ：$31 ($51)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$51です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCR07~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCR07~0 : ﾀｲﾏ/ｶｳﾝﾀ0比較値** (Output Compare 0)

21.11.4. ASSR – ﾀｲﾏ/ｶｳﾝﾀ0非同期状態ﾚｼﾞｽﾀ (Asynchronous Status Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：ASSR
変位 ：$30 ($50)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$50です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	AS0	TCN0UB	OCR0UB	TCR0UB
ｱｸｾｽ種別	R	R	R	R	R/W	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ3 – AS0 : ﾀｲﾏ/ｶｳﾝﾀ0非同期動作許可** (Asynchronous Timer/Counter0)

AS0が0を書かれると、ﾀｲﾏ/ｶｳﾝﾀ0はI/Oｸﾛｯｸ($clk_{I/O}$)からｸﾛｯｸ駆動されます。AS0が1を書かれると、ﾀｲﾏ/ｶｳﾝﾀ0はﾀｲﾏ発振器(TOSC1,TOSC2)ﾋﾟﾝに接続されたｸﾘｽﾀﾙ発振器からｸﾛｯｸ駆動されます。AS0の値が変更されると、ﾀｲﾏ/ｶｳﾝﾀ0(TCNT0)、比較0ﾚｼﾞｽﾀ(OCR0)、ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀ(TCCR0)の内容は不正にされるかもしれません。

● **ﾋﾞｯﾄ2 – TCN0UB : ﾀｲﾏ/ｶｳﾝﾀ0更新中ﾌﾗｸﾞ** (Timer/Counter0 Update Busy)

ﾀｲﾏ/ｶｳﾝﾀ0が非同期に動き、ﾀｲﾏ/ｶｳﾝﾀ0(TCNT0)が書かれると、このﾋﾞｯﾄが設定(1)になります。TCNT0が一時保存ﾚｼﾞｽﾀから更新されてしまうと、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄの論理0はTCNT0が新しい値で更新される用意ができたことを示します。

● **ﾋﾞｯﾄ1 – OCR0UB : 比較0ﾚｼﾞｽﾀ更新中ﾌﾗｸﾞ** (Output Compare Register0 Update Busy)

ﾀｲﾏ/ｶｳﾝﾀ0が非同期に動き、比較0ﾚｼﾞｽﾀ(OCR0)が書かれると、このﾋﾞｯﾄが設定(1)になります。OCR0が一時保存ﾚｼﾞｽﾀから更新されてしまうと、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄの論理0は比較0ﾚｼﾞｽﾀ(OCR0)が新しい値で更新される用意ができたことを示します。

● **ﾋﾞｯﾄ0 – TCR0UB : ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀ更新中ﾌﾗｸﾞ** (Timer/Counter0 Control Register Update Busy)

ﾀｲﾏ/ｶｳﾝﾀ0が非同期に動き、ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀ(TCCR0)が書かれると、このﾋﾞｯﾄが設定(1)になります。TCCR0が一時保存ﾚｼﾞｽﾀから更新されてしまうと、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄの論理0はﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀ(TCCR0)が新しい値で更新される用意ができたことを示します。

更新中ﾌﾗｸﾞが設定(1)中に3つのﾀｲﾏ/ｶｳﾝﾀ0 ﾚｼﾞｽﾀのどれかに書き込みが実行されると、更新された値は不正にされ、予期せぬ割り込みを起こす原因になるかもしれません。

TCNT0、OCR0、TCCR0読み込みについての機構は異なります。TCNT0を読む時は実際のﾀｲﾏ/ｶｳﾝﾀ値が読まれ、OCR0またはTCCR0を読む時は一時保存ﾚｼﾞｽﾀの値が読まれます。

21.11.5. TIMSK – ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ (Timer/Counter Interrupt Mask Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：TIMSK
変位 ：$37 ($57)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$57です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – OCIE0 : ﾀｲﾏ/ｶｳﾝﾀ0比較割り込み許可** (Timer/Counter0 Output Compare Match Interrupt Enable)

OCIE0ﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0で比較一致が起こる(換言すると、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)で比較0割り込み要求ﾌﾗｸﾞ(OCF0)が設定(1)される)と、対応する割り込みが実行されます。

● **ﾋﾞｯﾄ0 – TOIE0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可** (Timer/Counter0 Overflow Interrupt Enable)

TOIE0ﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0 溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こる(換言すると、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)でﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求(TOV0)ﾌﾗｸﾞが設定(1)される)と、対応する割り込みが実行されます。

21.11.6. TIFR – ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter Interrupt Flag Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：TIFR
変位 ：$36 ($56)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$56です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – OCF0 : ﾀｲﾏ/ｶｳﾝﾀ0比較割り込み要求ﾌﾗｸﾞ** (Timer/Conter0, Output Compare Match Flag)

OCF0ﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT0)と比較ﾚｼﾞｽﾀ(OCR0)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCF0はﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCF0は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)のﾀｲﾏ/ｶｳﾝﾀ0比較一致割り込み許可(OCIE0)ﾋﾞｯﾄ、OCF0が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較一致割り込みが実行されます。

● **ﾋﾞｯﾄ0 – TOV0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter0 Overflow Flag)

TOV0ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、TOV0はﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもTOV0は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE0)ﾋﾞｯﾄ、TOV0が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが実行されます。PWM動作ではﾀｲﾏ/ｶｳﾝﾀ0が$00で計数方向を変える時にこのﾋﾞｯﾄが設定(1)されます。

21.11.7. SFIOR – 特殊I/O機能ﾚｼﾞｽﾀ (Special Function I/O Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：SFIOR
変位 ：$20 ($40)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$40です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TSM	–	–	–	ACME	PUD	PSR0	PSR321
ｱｸｾｽ種別	R/W	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – TSM : ﾀｲﾏ/ｶｳﾝﾀ同時動作** (Timer/Counter Synchronization Mode)

TSMﾋﾞｯﾄに1を書くことがﾀｲﾏ/ｶｳﾝﾀ同期化動作を活性(有効)にします。この動作でPSR0とPSR321へ書かれる値は保持され、従って対応する前置分周器ﾘｾｯﾄ信号の有効を保持します。これは対応するﾀｲﾏ/ｶｳﾝﾀを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できるのを保証します。TSMﾋﾞｯﾄが0を書かれると、PSR0とPSR321ﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)され、同時にﾀｲﾏ/ｶｳﾝﾀが計数を始めます。

● **ﾋﾞｯﾄ1 – PSR0 : ﾀｲﾏ/ｶｳﾝﾀ0 前置分周器ﾘｾｯﾄ** (Prescaler Reset Timer/Counter0)

このﾋﾞｯﾄが1の時にﾀｲﾏ/ｶｳﾝﾀ0の前置分周器はﾘｾｯﾄします。通常、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって直ちに解除(0)されます。ﾀｲﾏ/ｶｳﾝﾀ0が非同期動作の時にこのﾋﾞｯﾄが(1を)書かれると、このﾋﾞｯﾄは前置分周器がﾘｾｯﾄされてしまうまで1に留まります。TSMﾋﾞｯﾄが設定(1)される場合、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されません。

22. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2 (PWM付き)

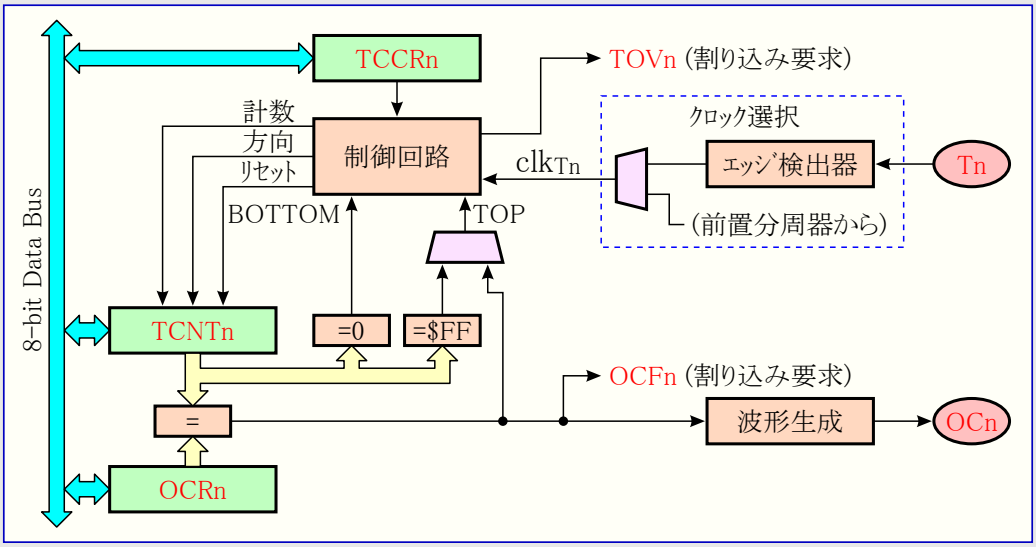
22.1. 特徴

- 単一比較部付き計数器
- 比較一致でのﾀｲﾏ/ｶｳﾝﾀ解除 (自動再設定)
- 不具合なしで正しい位相のﾊﾟﾙｽ幅変調器 (PWM)
- 周波数発生器
- ｸﾛｯｸ用10ﾋﾞｯﾄ前置分周器
- 溢れと比較一致割り込み (TOV2とOCF2)

22.2. 概要

ﾀｲﾏ/ｶｳﾝﾀ2は単一比較部付き汎用8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ部です。この8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの簡単化した構成図は下図で示されます。I/Oﾋﾟﾝの実際の配置については「**ﾋﾟﾝ配置**」を参照してください。CPUがｱｸｾｽ可能な(I/OﾋﾞｯﾄとI/Oﾋﾟﾝを含む)I/Oﾚｼﾞｽﾀは赤文字(**訳注**: 原文は太字)で示されます。ﾃﾞﾊﾞｲｽ仕様のI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は124頁の「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ**」で一覧されます。

図22-1. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ構成図



関連ﾘﾝｸ　9頁の「ﾋﾟﾝ配置」

22.2.1. 関係ﾚｼﾞｽﾀ

ﾀｲﾏ/ｶｳﾝﾀ(TCNT2)と比較ﾚｼﾞｽﾀ(OCR2)は8ﾋﾞｯﾄのﾚｼﾞｽﾀです。割り込み要求信号はﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾚｼﾞｽﾀ(TIFR)で全て見えます。全ての割り込みはﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)で個別に遮蔽(禁止)されます。TIFRとTIMSKはこれらのﾚｼﾞｽﾀが他のﾀｲﾏ/ｶｳﾝﾀと共用されるため、この図で示されません。

このﾀｲﾏ/ｶｳﾝﾀは内部的、前置分周器経由、またはT2ﾋﾟﾝの外部ｸﾛｯｸ元によってｸﾛｯｸ駆動されます。ｸﾛｯｸ選択論理部はﾀｲﾏ/ｶｳﾝﾀが値を増加(または減少)するのに使うｸﾛｯｸ元を制御します。ｸﾛｯｸ元が選択されないとき、ﾀｲﾏ/ｶｳﾝﾀは動きません。ｸﾛｯｸ選択論理部からの出力はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ(clk_{T2})として参照されます。

2重緩衝化した比較ﾚｼﾞｽﾀ(OCR2)はﾀｲﾏ/ｶｳﾝﾀ値と常に比較されます。この比較結果は比較出力(OC2)ﾋﾟﾝでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。118頁の「**比較出力部**」を参照してください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求ﾌﾗｸﾞ(OCF2)も設定(1)します。

22.2.2. 定義

本資料でのﾚｼﾞｽﾀとﾋﾞｯﾄ参照の多くは一般形で書かれます。小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号、この場合は2で置き換えます。けれどもﾌﾟﾛｸﾞﾗﾑでﾚｼﾞｽﾀまたはﾋﾞｯﾄ定義に使う時は正確な形式が使われなければなりません(例えばﾀｲﾏ/ｶｳﾝﾀ2のｶｳﾝﾀ値のｱｸｾｽに対してのTCNT2のように)。

右表の定義は本項を通して広範囲に渡って使われます。

表22-1. 用語定義

用語	意味
BOTTOM	ﾀｲﾏ/ｶｳﾝﾀが0($00)に到達した時。
MAX	ﾀｲﾏ/ｶｳﾝﾀが$FF(255)に到達した時。
TOP	ﾀｲﾏ/ｶｳﾝﾀが指定された固定値($FF)またはOCR2値に到達した時。この指定(TOP)値は動作種別に依存します。

22.3. タイマ/カウンタのクロック

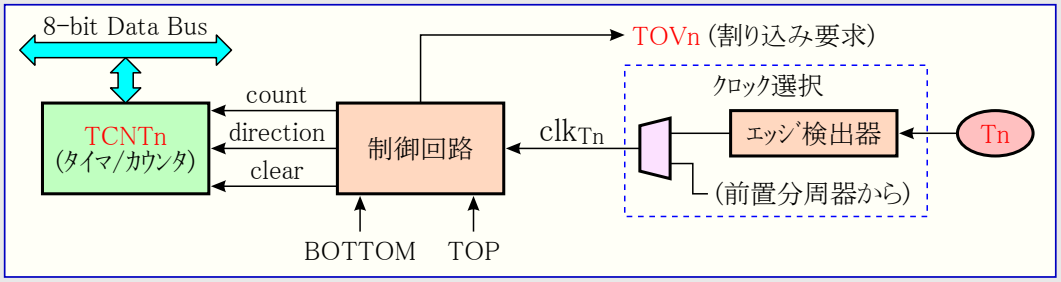
このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ2制御レジスタ(TCCR2)に配置されたクロック選択(CS22～0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については「**タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器**」をご覧ください。

関連リンク　76頁の「タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器」

22.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。次図は、このカウンタとその周辺環境の構成図を示します。

図22-2. カウンタ部構成図



信号説明 (内部信号)	count	TCNT2を1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNT2のリセット($00設定)信号。
	clk_{Tn}	以降でclk_{T2}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT2が最大値に到達したことを示す信号。
	BOTTOM	TCNT2が最小値($00)に到達したことを示す信号。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{T2})で解除($00)、増加(+1)、または減少(−1)されます。clk_{T2}はクロック選択(CS22～0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS22～0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT2値はタイマ/カウンタ クロック(clk_{T2})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタ(TCCR2)に配置された波形生成種別(WGM21,0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC2比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては120頁の「**動作種別**」をご覧ください。

タイマ/カウンタ溢れ(TOV2)フラグはWGM21,0ビットによって選択された動作種別に従って設定(1)されます。TOV2はCPU割り込み発生に使えます。

22.5. 比較出力部

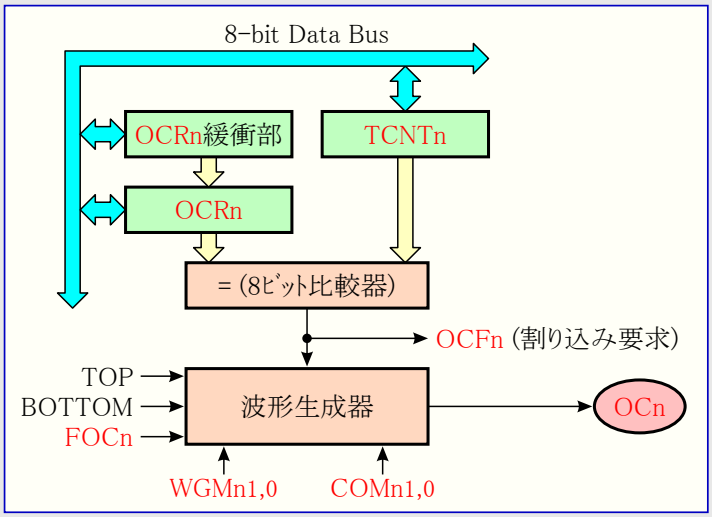
この8ﾋﾞｯﾄ比較器はTCNT2と比較ﾚｼﾞｽﾀ(OCR2)を継続的に比較します。TCNT2とOCR2が等しければ比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCF2)を設定(1)します。許可(I=1, OCIE2=1)なら、この比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。OCF2は割り込みが実行されると自動的に解除(0)されます。代わりにOCF2はこのﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM21,0)ﾋﾞｯﾄと比較出力選択(COM21,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(120頁の「**動作種別**」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

右図は比較出力部の構成図を示します。

OCR2はﾊﾟﾙｽ幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR2ﾚｼﾞｽﾀ更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR2のｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR2緩衝部をｱｸｾｽし、禁止されるとOCR2ﾚｼﾞｽﾀを直接ｱｸｾｽします。

図22-3. 比較出力部構成図



22.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC2)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCF2)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC2ﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COM21,0ﾋﾞｯﾄ設定がOC2ﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

22.5.2. TCNT2書き込みによる比較一致妨害

TCNT2への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に割り込みを起動することなく、TCNT2と同じ値に初期化されることをOCR2に許します。

22.5.3. 比較一致部の使用

どの動作種別でのTCNT2書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、比較出力部を使う場合、TCNT2を変更する時に危険を伴います。TCNT2に書かれた値がOCR2値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にﾀｲﾏ/ｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT2値を書いてはいけません。

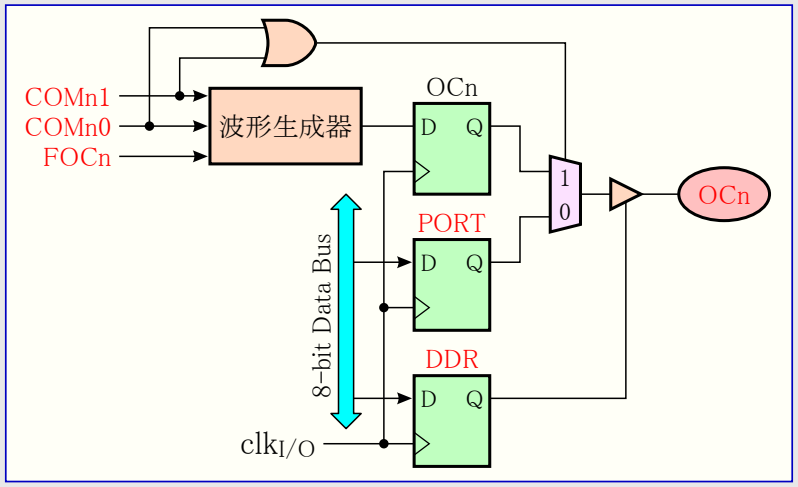
OC2の初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC2値を設定する一番簡単な方法は標準動作で強制変更(FOC2)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成動作種別間を変更する時であっても、OC2(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COM21,0)ﾋﾞｯﾄが比較値(OCR2)と共に2重緩衝されないことに気付いてください。COM21,0ﾋﾞｯﾄの変更は直ちに有効となります。

22.6. 比較一致出力部

比較出力選択(COM21,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC2)状態の定義にCOM21,0ﾋﾞｯﾄを使います。またCOM21,0ﾋﾞｯﾄはOC2ﾋﾟﾝ出力元を制御します。下図はCOM21,0ﾋﾞｯﾄ設定によって影響を及ぼされる論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COM21,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OC2の状態を参照するとき、その参照はOC2ﾋﾟﾝでなく内部OC2ﾚｼﾞｽﾀに対してです。ｼｽﾃﾑ ﾘｾｯﾄが起こると、OC2ﾚｼﾞｽﾀは'0'にﾘｾｯﾄされます。

図22-4. 比較一致出力回路図



COM21,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OC2)によって無効にされます。けれどもOC2ﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OC2ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OC2)はOC2値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は波形生成種別と無関係です。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOC2状態の初期化を許します。いくつかのCOM21,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。124頁の「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ**」をご覧ください。

22.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM21,0ﾋﾞｯﾄを違うふうに使います。全動作種別に対してCOM21,0=00設定は次の比較一致で実行すべきOC2ﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については124頁の**表22-3.**を参照してください。高速PWM動作については125頁の**表22-4.**、位相基準PWMについては125頁の**表22-5.**を参照してください。

COM21,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC2)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

22.7. 動作種別

動作種別(換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作)は波形生成種別(WGM21,0)ﾋﾞｯﾄと比較出力選択(COM21,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COM21,0ﾋﾞｯﾄは生成されるPWM出力が反転されるべきか否か(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM21,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(「**比較一致出力部**」をご覧ください)。

ﾀｲﾐﾝｸﾞ情報の詳細については「**ﾀｲﾏ/ｶｳﾝﾀ2のﾀｲﾐﾝｸﾞ**」を参照してください。

22.7.1. 標準動作

最も単純な動作種別が標準動作(WGM21,0=00)です。本動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀ解除は実行されません。ｶｳﾝﾀは8ﾋﾞｯﾄ最大値(TOP=$FF)を通過すると単に範囲を超え、そして$00(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはTCNT2が$00になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOV2ﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第9ﾋﾞｯﾄのようになります。けれどもTOV2ﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

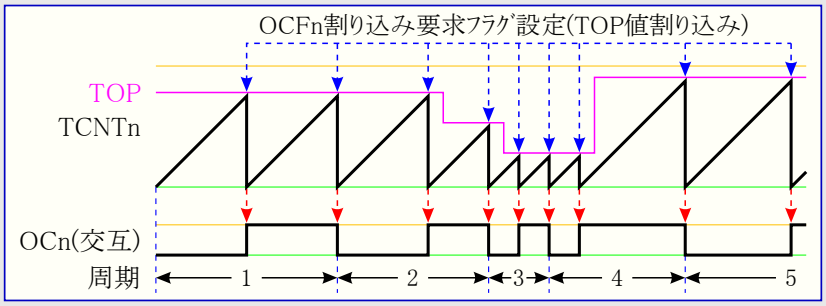
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

22.7.2. 比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGM21,0=10)ではOCR2がｶｳﾝﾀ分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNT2)値がOCR2と一致すると、ｶｳﾝﾀは$00に解除されます。OCR2はｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は下図で示されます。ｶｳﾝﾀ(TCNT2)値はTCNT2とOCR2間で比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNT2)は解除($00)されます。

図22-5. CTC動作ﾀｲﾐﾝｸﾞ



注: COMn1,0=01

OCF2ﾌﾗｸﾞを使うことにより、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR2に書かれた新しい値がTCNT2の現在値よりも低い(小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後のｶｳﾝﾀは比較一致が起こるのに先立って最大値($FF)へ、そして次に$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC2出力は比較出力選択(COM21,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切り替えに設定できます。OC2値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC2=1)に設定されない限りﾎﾟｰﾄﾋﾟﾝで見えないでしょう。生成された波形はOCR2が0($00)に設定される時に$f_{OC2}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCn}=\frac{f_{clk\_I/O}}{2\times N\times(1+OCRn)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

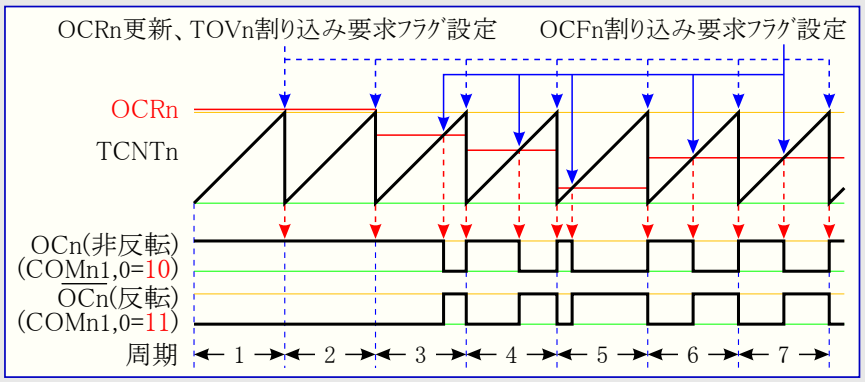
標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$00へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

22.7.3. 高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGM21,0=11)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからMAXまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COM21,0=10)での比較出力(OC2)はTCNT2とOCR2間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM21,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作より2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

高速PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がMAX値と一致するまで増加されます。そしてﾀｲﾏ/ｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀｸﾛｯｸ周期で解除($00)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は下図で示されます。TCNT2値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。本図は非反転と反転のPWM出力を含みます。赤い細線はOCR2値を示し、TCNT2値との交点(接点)がTCNT2とOCR2間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCF2)はOCR2=MAXを除いて比較一致が起こると設定(1)されます(**訳注**:共通性のため本行追加)。

図22-6. 高速PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはｶｳﾝﾀがMAXに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ﾙｰﾁﾝは比較値を更新するのに使えます。

高速PWM動作での比較部はOC2ﾋﾟﾝでのPWM波形の生成を許します。COM21,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM21,0を'11'に設定することで生成できます(125頁の**表22-4.**をご覧ください)。実際のOC2値はﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC2)が出力として設定される場合にだけ見えるでしょう。PWM波形はTCNT2とOCR2間の比較一致でOC2(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($00、MAXからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でOC2ﾚｼﾞｽﾀを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnPWM} = \frac{f_{clk\_I/O}}{N \times 256}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR2の両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR2がBOTTOM($00)と等しく設定されると、出力はMAX+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。OCR2がMAXに等しく設定されると、(COM21,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

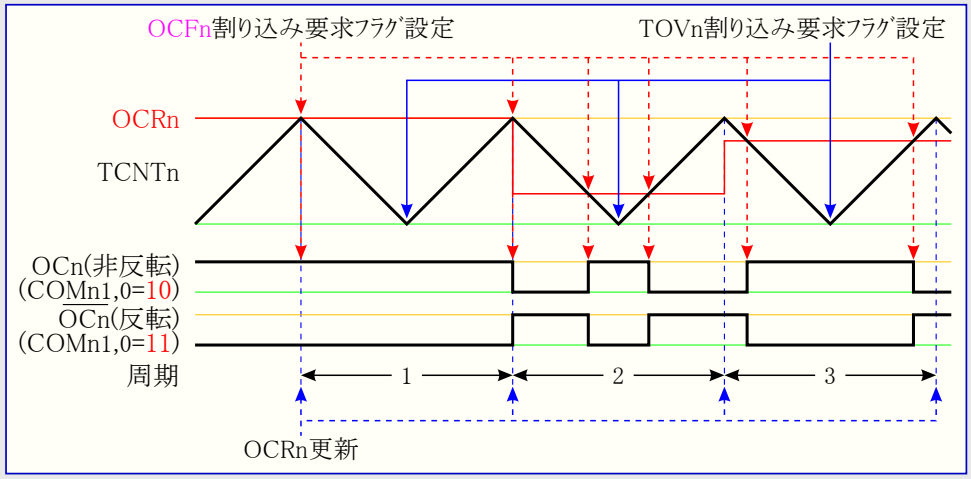
(**訳注**:以下は本動作種別がTOP=MAX($FF)で固定のため基本的に不適切です。) 高速PWM動作で(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOC2設定(COM21,0=01)によって達成できます。生成された波形はOCR2が0($00)に設定される時に$f_{OC2}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いてCTC動作でのOC2交互出力(COM21,0=01)と同じです。

22.7.4. 位相基準PWM動作

位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM21,0=01)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。ｶｳﾝﾀはBOTTOMからMAXへそして次にMAXからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM21,0=10)での比較出力(OC2)は上昇計数中のTCNT2とOCR2の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM21,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8ﾋﾞｯﾄに固定されます。位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値がMAXと一致するまで増加されます。ｶｳﾝﾀはMAXに達すると計数方向を変更します。このTCNT2値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間MAXと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は下図で示されます。TCNT2値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR2値を示し、TCNT2値との交点(接点)がTCNT2とOCR2間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。

図22-7. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがBOTTOM値に到達する毎に割り込みを発生するために使えます。

位相基準PWM動作での比較部はOC2ﾋﾟﾝでのPWM波形の生成を許します。COM21,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM21,0ﾋﾞｯﾄを'11'に設定することで生成できます(125頁の**表22-5.**を参照してください)。実際のOC2値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC2)が出力として設定される場合だけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT2とOCR2間の比較一致でOC2(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT2とOCR2間の比較一致でOC2ﾚｼﾞｽﾀを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnPCPWM} = \frac{f_{clk\_I/O}}{N \times 510}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR2の両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR2がBOTTOM($00)に等しく設定されると出力は定常的なLow、MAXに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

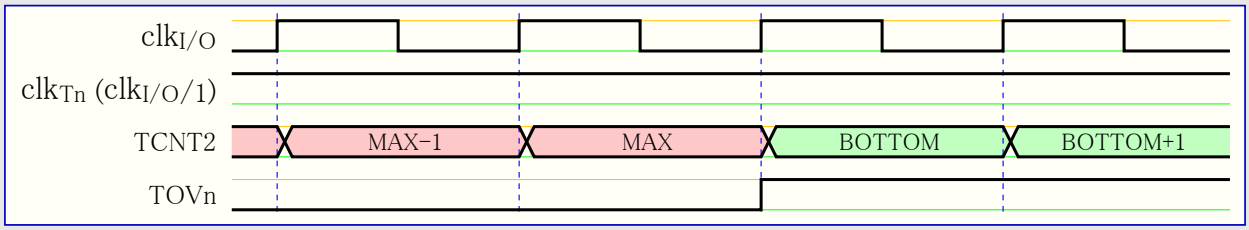
上のﾀｲﾐﾝｸﾞ図の第2周期のその出発点に於いて、例え比較一致がないとしても、OCnにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 上のﾀｲﾐﾝｸﾞ図でのようにOCR2はMAXからその値を変更します。OCR2値がMAXのとき、OCnﾋﾟﾝ値は下降計数での比較一致の結果と同じです(**訳補**: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)MAX(位置)でのOCn値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- ﾀｲﾏ/ｶｳﾝﾀがOCR2値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnの変更を逃します。(**訳補**: 従って上記同様、MAX位置で(直前がHならば)H→L遷移が生じます。)

22.8. タイマ/カウンタのタイミング

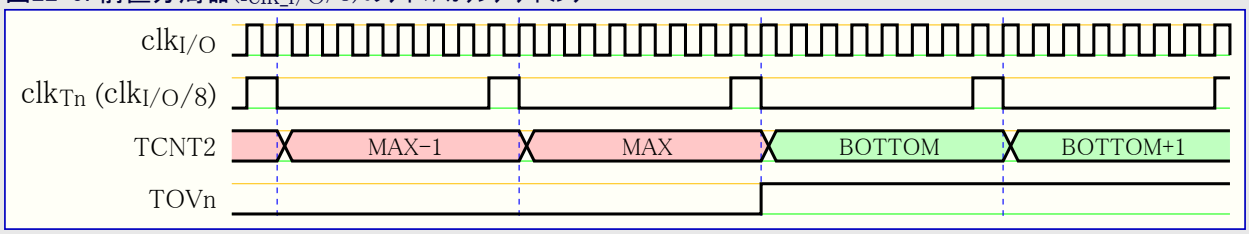
このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタ クロック(clk_{T2})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。下図は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図22-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング



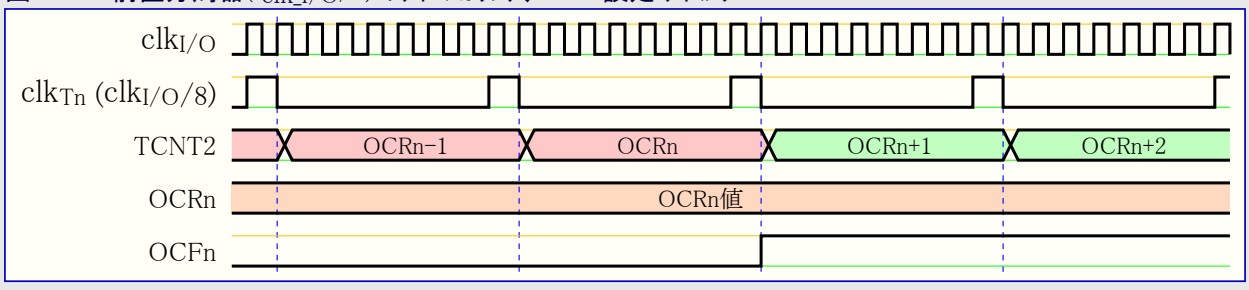
次図は同じタイミング データを示しますが、前置分周器が許可されています。

図22-9. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ タイミング



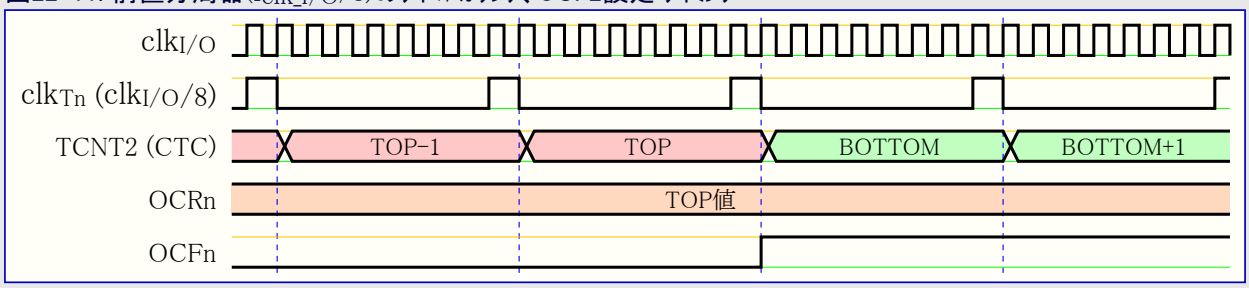
次図はCTC動作を除く全ての動作種別でのOCF2の設定を示します。

図22-10. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCF2設定 タイミング



次図はCTC動作でのTCNT2の解除とOCF2の設定を示します。

図22-11. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCF2設定 タイミング



22.9. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ

22.9.1. TCCR2 – ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀ (Timer/Counter2 Control Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：TCCR2
変位 ：$25 ($45)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$45です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20
ｱｸｾｽ種別	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – FOC2 : OC2強制変更** (Force Output Compare 2)

FOC2ﾋﾞｯﾄはWGM21,0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。けれども将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR2が書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC2ﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC2出力はCOM21,0ﾋﾞｯﾄ設定に従って変更されます。FOC2ﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM21,0ﾋﾞｯﾄに存在する値です。

FOC2ｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCR2を使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($00)も行いません。

FOC2ﾋﾞｯﾄは常に0として読まれます。

● **ﾋﾞｯﾄ6 – WGM20 : 波形生成種別** (Waveform Generation Mode)

WGM21と併せたこれらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大(TOP)ｶｳﾝﾀ値の供給元、使われるべき波形生成のどの形式かを制御します。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と、2形式のﾊﾟﾙｽ幅変調(PWM)動作です。下表と120頁の「**動作種別**」をご覧ください。

表22-2. 波形生成種別選択

番号	WGM21 (CTC2)	WGM20 (PWM2)	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR2更新時	TOV2設定時
0	0	0	標準動作	$FF	即値	MAX
1	0	1	位相基準PWM動作	$FF	TOP	BOTTOM
2	1	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR2	即値	MAX
3	1	1	高速PWM動作	$FF	BOTTOM	MAX

注: CTC2とPWM2ﾋﾞｯﾄ定義名は旧名です。WGM21,0定義名を使ってください。しかし、これらのﾋﾞｯﾄの機能と位置は旧版のﾀｲﾏ/ｶｳﾝﾀと一致します。

● **ﾋﾞｯﾄ5,4 – COM21,0 : 比較2出力選択** (Compare Match 2 Output Mode bit 1 and 0)

これらのﾋﾞｯﾄはOC2比較出力ﾋﾟﾝの動作を制御します。COM21,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC2出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC2ﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC2がﾋﾟﾝに接続されるとき、COM21,0ﾋﾞｯﾄの機能はWGM21,0ﾋﾞｯﾄ設定に依存します。

次表はWGM21,0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM21,0ﾋﾞｯﾄ機能を示します。

表22-3. 非PWM動作での比較出力選択

COM21	COM20	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2切断)
0	1	比較一致でOC2ﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC2ﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC2ﾋﾟﾝ Highﾚﾍﾞﾙ出力

次表はWGM21,0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM21,0ﾋﾞｯﾄの機能を示します。

表22-4. 高速PWM動作での比較出力選択

COM21	COM20	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC2ﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC2ﾋﾟﾝへ出力 (反転動作)

注: COM21が設定(1)され、OCR2がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)や解除(0)は行われます。より多くの詳細については121頁の「高速PWM動作」をご覧ください。

下表はWGM22～0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM21,0ﾋﾞｯﾄの機能を示します。

表22-5. 位相基準PWM動作での比較出力選択

COM21	COM20	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC2ﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC2ﾋﾟﾝへ出力

注: COM21が設定(1)され、OCR2がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、TOPでの設定(1)や解除(0)は行われます。より多くの詳細については122頁の「位相基準PWM動作」をご覧ください。

● **ﾋﾞｯﾄ3 – WGM21 : 波形生成種別** (Waveform Generation Mode)

前のWGM20を参照してください。

● **ﾋﾞｯﾄ2～0 – CS22～0 : ｸﾛｯｸ選択** (Clock Select)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT2)によって使われるｸﾛｯｸ元を選択します。

表22-6. ﾀｲﾏ/ｶｳﾝﾀ2入力ｸﾛｯｸ選択

CS22	CS21	CS20	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀ2動作停止)
0	0	1	$clk_{I/O}$ (前置分周なし)
0	1	0	$clk_{I/O}/8$ (8分周)
0	1	1	$clk_{I/O}/64$ (64分周)
1	0	0	$clk_{I/O}/256$ (256分周)
1	0	1	$clk_{I/O}/1024$ (1024分周)
1	1	0	T2ﾋﾟﾝの下降端 (外部ｸﾛｯｸ)
1	1	1	T2ﾋﾟﾝの上昇端 (外部ｸﾛｯｸ)

外部ﾋﾟﾝ(ｸﾛｯｸ)動作がﾀｲﾏ/ｶｳﾝﾀ2に対して使われる場合、例えT2ﾋﾟﾝが出力として設定されても、T2ﾋﾟﾝの遷移はｶｳﾝﾀをｸﾛｯｸ駆動します。この特徴がｿﾌﾄｳｪｱに計数制御を許します。

22.9.2. TCNT2 – ﾀｲﾏ/ｶｳﾝﾀ2 (Timer/Counter Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

このﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀは読み書き両方の操作について、ﾀｲﾏ/ｶｳﾝﾀ部の8ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。TCNT2への書き込みは次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT2)を変更することは、TCNT2とOCR2x間の比較一致消失の危険を誘発します。

名称 ：TCNT2
変位 ：$24 ($44)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$44です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TCNT27~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TCNT27~0 : ﾀｲﾏ/ｶｳﾝﾀ2** (Timer/Counter 2)

22.9.3. OCR2 – ﾀｲﾏ/ｶｳﾝﾀ2比較ﾚｼﾞｽﾀ (Output Compare Register 2)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT2)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC2ﾋﾟﾝでの波形出力を生成するのに使えます。

名称 ：OCR2
変位 ：$23 ($43)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$43です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCR27~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCR27~0 : ﾀｲﾏ/ｶｳﾝﾀ2比較値** (Output Compare 2)

22.9.4. TIMSK – ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ (Timer/Counter Interrupt Mask Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：TIMSK
変位 ：$37 ($57)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$57です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – OCIE2 : ﾀｲﾏ/ｶｳﾝﾀ2比較割り込み許可** (Timer/Counter2 Output Compare Match Interrupt Enable)

OCIE2ﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2で比較一致が起こる(即ち、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)で比較2割り込み要求ﾌﾗｸﾞ(OCF2)が設定(1)される)と、対応する割り込みが実行されます。

● **ﾋﾞｯﾄ6 – TOIE2 : ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可** (Timer/Counter2 Overflow Interrupt Enable)

TOIE2ﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2溢れが起こる(即ち、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)でﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み要求(TOV2)ﾌﾗｸﾞが設定(1)される)と、対応する割り込みが実行されます。

22.9.5. TIFR – ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter Interrupt Flag Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : TIFR
変位 : $36 ($56)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$56です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – OCF2 : ﾀｲﾏ/ｶｳﾝﾀ2比較割り込み要求ﾌﾗｸﾞ** (Timer/Conter2, Output Compare Match Flag)

OCF2ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT2)と比較ﾚｼﾞｽﾀ(OCR2)間で比較一致が起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行する時にOCF2はﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCF2は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)のﾀｲﾏ/ｶｳﾝﾀ2比較一致割り込み許可(OCIE2)ﾋﾞｯﾄ、OCF2が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較一致割り込みが実行されます。

● **ﾋﾞｯﾄ6 – TOV2 : ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter2 Overflow Flag)

TOV2ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT2)溢れが起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行する時にTOV2はﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもTOV2は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)のﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可(TOIE2)ﾋﾞｯﾄ、TOV2が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みが実行されます。PWM動作ではﾀｲﾏ/ｶｳﾝﾀ2が$00で計数方向を変える時にこのﾋﾞｯﾄが設定(1)されます。

23. 比較出力変調器 (OCM1C2)

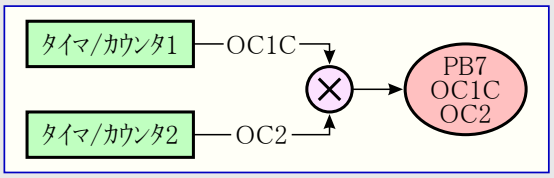
23.1. 概要

比較出力変調器(OCM)は搬送波を変調した波形の生成を許します。この変調器は16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1の比較C出力部と8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2の比較出力部からの出力を使います。これらのﾀｲﾏ/ｶｳﾝﾀについてのより多くの詳細に関しては、「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ (ﾀｲﾏ/ｶｳﾝﾀ1とﾀｲﾏ/ｶｳﾝﾀ3)**」と「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2** (PWM付き)」をご覧ください。この特徴(機能)がATmega103互換動作で利用できないことに注意してください。

この変調器が許可されると、右の構成図で示されるように2つの比較出力が共に変調されます。

関連ﾘﾝｸ　78頁の「16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ (ﾀｲﾏ/ｶｳﾝﾀ1とﾀｲﾏ/ｶｳﾝﾀ3)」
116頁の「8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2 (PWM付き)」

図23-1. 比較出力変調器構成図

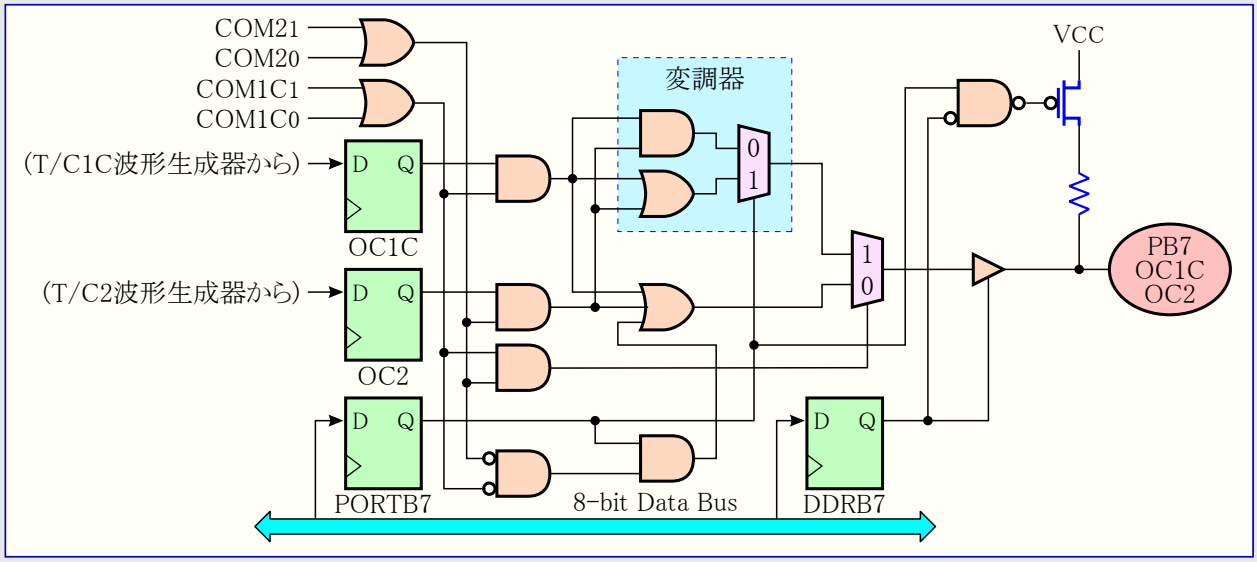


23.2. 説明

比較1C出力部と比較2出力部は出力に関してPB7ﾎﾟｰﾄ ﾋﾟﾝを共用します。比較出力部の出力(OC1CとOC2)はこれらの1つが許可(換言すると、COMnx1,0≠00に)されると、標準PORTB7ﾚｼﾞｽﾀを無効にします。OC1CとOC2の両方が同時に許可されると、この変調器が自動的に許可されます。

この変調器の機能等価回路図は次図で示されます。この図はﾀｲﾏ/ｶｳﾝﾀ部とﾎﾟｰﾄBのﾋﾞｯﾄ7ﾋﾟﾝ出力駆動回路部分を含みます。

図23-2. 比較出力変調器等価回路図

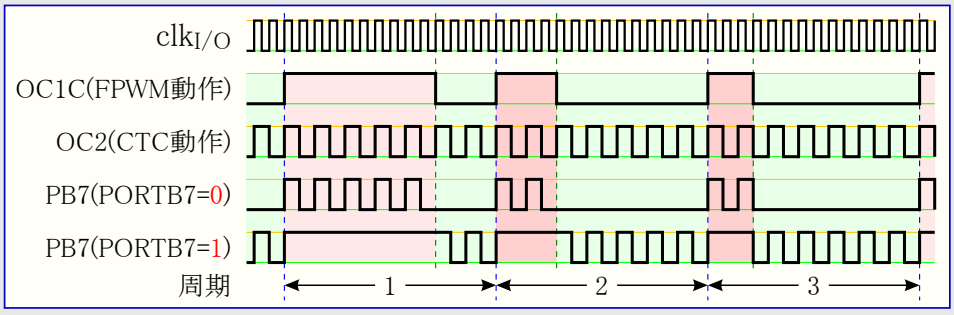


変調器が許可されると、変調形式(論理ANDまたはOR)がPORTB7ﾚｼﾞｽﾀによって選べます。COMnx1,0ﾋﾞｯﾄ設定に拘らず、DDB7がﾎﾟｰﾄの方向を制御することに注意してください。

23.2.1. ﾀｲﾐﾝｸﾞ例

下図は変調器の動作を図解します。この例でのﾀｲﾏ/ｶｳﾝﾀ1は(非反転)高速PWM動作に設定され、ﾀｲﾏ/ｶｳﾝﾀ2は比較交互出力(COM21,0=01)のCTC波形動作を使います。

図23-3. 比較出力変調器ﾀｲﾐﾝｸﾞ図



本例ではﾀｲﾏ/ｶｳﾝﾀ2が搬送波を供給し、一方変調する信号(変調波)はﾀｲﾏ/ｶｳﾝﾀ1の比較C出力によって生成されます。

PWM信号(OC1C)の分解能は変調によって減らされます。この減少係数は搬送波(OC2)1周期のｼｽﾃﾑ ｸﾛｯｸ周期数と等価です。この例の分解能は係数2で減らされます(即ち1/2)。この減少理由は上図のPORTB7=0時のPB7出力の第2周期と第3周期で図解されます。第2周期のHigh区間は第3周期のHigh区間よりも1周期長いけれども、PB7出力の結果は両周期で等しくなります。

24. SPI – 直列周辺インターフェース (Serial Peripheral Interface)

24.1. 特徴

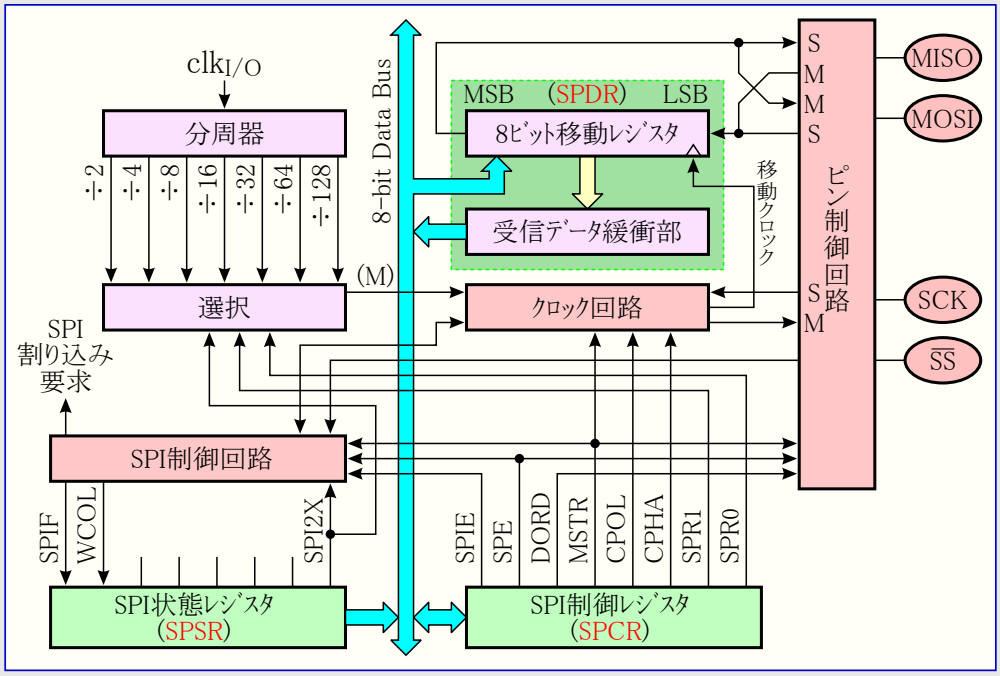
- 全二重3線同期データ転送
- 主装置/従装置動作
- LSB/MSB先行データ転送
- 設定変更可能な7つのビット速度
- 送信完了割り込み要求フラグ
- 送信上書きフラグ保護
- アイドル動作からの起動
- 倍速(CK/2)主装置SPI動作

24.2. 概要

直列周辺インターフェースはATmega128Aと様々なAVRデバイスや周辺デバイス間の高速同期データ転送を許します。

SPIでの主装置と従装置のCPU間相互連結は下図で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は希望した従装置の$\overline{SS}$(従装置選択)ピンをLowへ引き込む時に一群の通信を始めます。主装置と従装置は各々の移動レジスタで送るべきデータを用意し、主装置はデータを交換するのに必要なクロック パルスをSCK信号線に生成します。データは常にMOSI(Master Out Slave In)信号線を主装置から従装置へ、MISO(Master In Slave Out)信号線を従装置から主装置へ移動されます。各データ パケット後、主装置は$\overline{SS}$(従装置選択)ピンをHighへ引き上げることによって従装置と同期を取ります。

図24-1. SPI構成図



注: SPIピン配置については「ピン配置」と58頁の表18-6.を参照してください。

主装置として設定されると、SPIインターフェースには$\overline{SS}$信号線の自動制御がありません。これは通信が開始できるのに先立って使用者ソフトウェアによって操作されなければなりません。これが行われると、SPIデータ レジスタ(SPDR)へのバイト書き込みがSPIクロック発生器を始動し、ハードウェアが従装置内へ8ビットを移動します。1バイトの移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の転送完了フラグ(SPIF)を設定(1)します。SPI制御レジスタ(SPCR)でSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。主装置はSPDR内へ次バイトを書くことによって次バイトの移動を継続、または$\overline{SS}$(従装置選択)信号線をHighへ引き上げることによってパケットの終了を指示することができます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

従装置として設定されると、SPIインターフェースは$\overline{SS}$ピンがHighに駆動される限り、MISOをHi-Zにした休止状態に留まります。この状態でプログラムはSPIデータ レジスタ(SPDR)の内容を更新できますが、そのデータは$\overline{SS}$ピンがLowに駆動されるまでSCKピンでの到着クロック パルスによって移動出力されません。1バイトが完全に移動されてしまうと転送完了フラグ(SPIF)が設定(1)されます。SPCRでSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置は受信データを読む前にSPDR内へ送られるべき次のデータの配置を続けられます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

このシステムは送信側で単一緩衝、受信側で2重緩衝です。これは一連の移動全体が完了される前に送信されるべきバイトがSPIデータ レジスタ(SPDR)へ書けないことを意味します。しかし、データを受信するとき、次のデータが完全に移動入力される前に受信したデータがSPIデータ レジスタ(SPDR)から読まれなければなりません。さもなければ始めのバイトは失われます。

SPI従装置動作では制御論理回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、High/Lowの最小時間は各々2CPUクロック周期よりも長くあるべきです。

SPIが許可されると、MOSI, MISO, SCK, $\overline{SS}$ピンのデータ方向は右表に従って無視されます。自動的なポート無視のより多くの詳細については、「交換ポート機能」を参照してください。

図24-2. SPI 主装置/従装置の連結

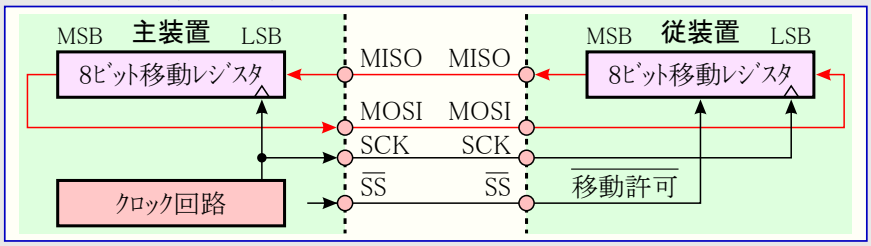


表24-1. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
$\overline{SS}$	ポートB方向レジスタ(DDRB)の指定	入力

注: 使用者定義SPIピンの方向定義方法の詳細記述については「ポートBの交換機能」を参照してください。

次のｺｰﾄﾞ例は主装置としてSPIを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR_SPIはSPIﾋﾟﾝを制御する実際のﾎﾟｰﾄ方向ﾚｼﾞｽﾀに置き換えられなければなりません。DD_MOSI, DD_MISO, DD_SCKはこれらのﾋﾟﾝに対する実際のﾎﾟｰﾄ方向ﾋﾞｯﾄに置き換えられなければなりません。例えばMOSIがPB5ﾋﾟﾝに配置されるなら、DD_MOSIはDDB5、DDR_SPIはDDRBに置き換えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_M_Init:  LDI     R17,(1<<DD_MOSI)|(1<<DD_SCK)          ;MOSI, SCK=出力、他は入力値を取得
             OUT     DDR_SPI,R17                           ;MOSI, SCK=出力、他は入力に設定
             LDI     R17,(1<<SPE)|(1<<MSTR)|(1<<SPR0)      ;SPI許可、主装置、16分周値を取得
             OUT     SPCR,R17                              ;SPI許可、主装置、16分周に設定
             RET                                           ;呼び出し元へ復帰

SPI_M_Tx:    OUT     SPDR,R16                              ;ﾃﾞｰﾀ(R16)送信開始
SPI_M_Tx_W:  SBIS    SPSR,SPIF                             ;転送完了ならばｽｷｯﾌﾟ
             RJMP    SPI_M_Tx_W                            ;転送完了まで待機
;
             RET                                           ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI)|(1<<DD_SCK);                    /* MOSI, SCK=出力、他は入力に設定 */
    SPCR = (1<<SPE)|(1<<MSTR)|(1<<SPR0);                   /* SPI許可、主装置、16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                          /* ﾃﾞｰﾀ送信開始 */
    while(!(SPSR & (1<<SPIF)));                            /* 転送完了まで待機 */
}
```

注:「ｺｰﾄﾞ例について」をご覧ください。

次のｺｰﾄﾞ例は従装置としてSPIを初期化する方法と簡単な受信を実行する方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_S_Init:  LDI     R17,(1<<DD_MISO)                      ;MISO出力、他は入力値を取得
             OUT     DDR_SPI,R17                           ;MISO出力、他は入力に設定
             LDI     R17,(1<<SPE)                          ;SPI許可値を取得
             OUT     SPCR,R17                              ;SPI許可設定
             RET                                           ;呼び出し元へ復帰

SPI_S_Rx:    SBIS    SPSR,SPIF                             ;受信(転送)完了ならばｽｷｯﾌﾟ
             RJMP    SPI_S_Rx                              ;受信(転送)完了まで待機
;
             IN      R16,SPDR                              ;受信ﾃﾞｰﾀを取得
             RET                                           ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                                /* MISO出力、他は入力に設定 */
    SPCR = (1<<SPE);                                       /* SPI許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                            /* 受信(転送)完了まで待機 */
    return SPDR;                                           /* 受信ﾃﾞｰﾀと共に復帰 */
}
```

注:「ｺｰﾄﾞ例について」をご覧ください。

関連ﾘﾝｸ　11頁の「ｺｰﾄﾞ例について」

24.3. $\overline{SS}$ピンの機能

24.3.1. 従装置動作

SPIが従装置として設定されると、従装置選択($\overline{SS}$)ピンは常に入力です。$\overline{SS}$がLowに保たれるとSPIは活性に(作動)され、使用者によってそのように設定されていればMISOは出力になります。他の全てのピンは入力です。$\overline{SS}$がHighに駆動されると、出力として使用者設定され得るMISOを除く全てのピンは入力、SPIは非活動で、それは到着データを受信しないことを意味します。一旦$\overline{SS}$ピンがHighに駆動されると、SPI論理回路はリセットされます。

この$\overline{SS}$ピンはパケット/バイト同期に対して、従装置ビット計数器が主装置クロック発生器との同期を保つのに有用です。$\overline{SS}$ピンがHighに駆動されると、SPI従装置は直ちに送受信論理回路をリセットし、それは移動レジスタ内で部分的に受信したどのデータも取り落とします。

24.3.2. 主装置動作

SPIが主装置(SPI制御レジスタ(SPCR)の主装置許可(MSTR)ビット=1)として設定されると、$\overline{SS}$ピンの方向は使用者が決められます。

$\overline{SS}$が出力として設定されると、このピンはSPIシステムに影響を及ぼされない標準出力ピンです。代表的にはこのピンがSPI従装置の$\overline{SS}$ピンを駆動するでしょう。

$\overline{SS}$が入力として設定されると、SPI主装置動作を保証するため、それはHighに保持されなければなりません。$\overline{SS}$ピンが入力として定義されたSPI主装置として設定される時に周辺回路によって$\overline{SS}$ピンがLowに駆動されると、SPIシステムは他の主装置が従装置として選択してデータ送信を始めると解釈します。バスの衝突を避けるためにSPIシステムは次の動作を行います。

1. SPCRで主/従選択(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIシステムが従装置になる結果としてMOSIとSCKピンが入力になります。
2. SPI状態レジスタ(SPSR)でSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可(SPCRのSPIE=1)され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)なら、割り込みルーチンが実行されます。

従って割り込み駆動SPI送信が主装置動作で使われ、$\overline{SS}$がLowに駆動される可能性があるとき、その割り込み(処理)はMSTRビットが未だ設定(1)されていることを常に検査すべきです。MSTRビットが従装置選択によって解除(0)されてしまっていると、それはSPI主装置動作を再び許可するため、使用者によって設定(1)されなければなりません。

24.4. データ転送形式

直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットによって決定されるSCK位相と極性で4つの組み合わせがあります。このSPIデータ転送形式は本項内の図で示されます。データ ビットは安定のためデータ信号に対して充分な時間を保証するSCK信号の反対端で移動出力と(入力)ラッチが行われます。これは以下で行われるように表24-3.と表24-4.を要約することによって明解にされます。

表24-2. CPOL,CPHA機能動作

SPI動作種別番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

図24-3. SPIデータ転送形式 (CPHA=0)

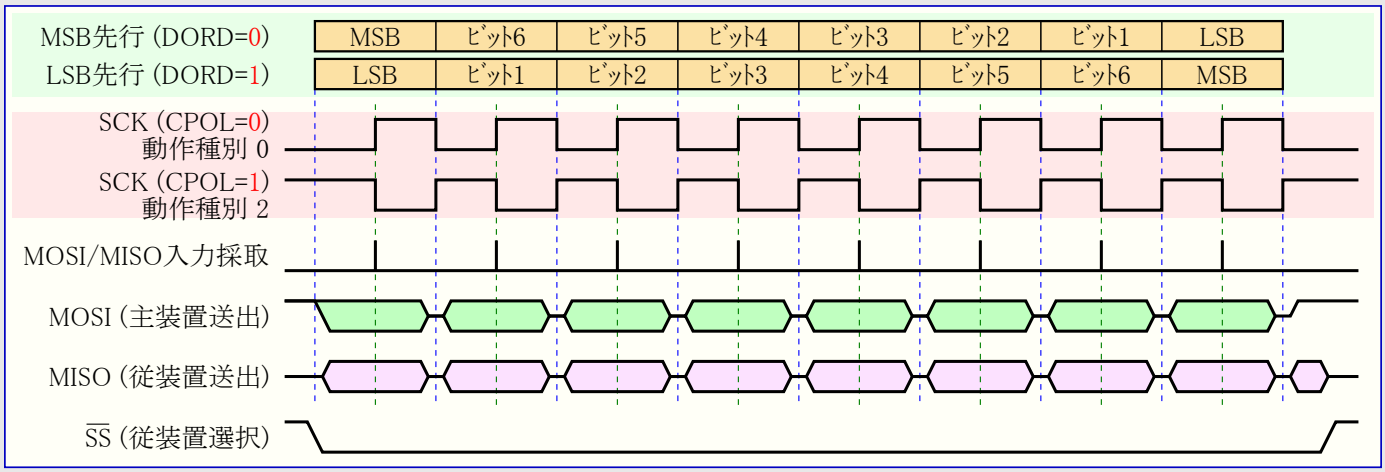
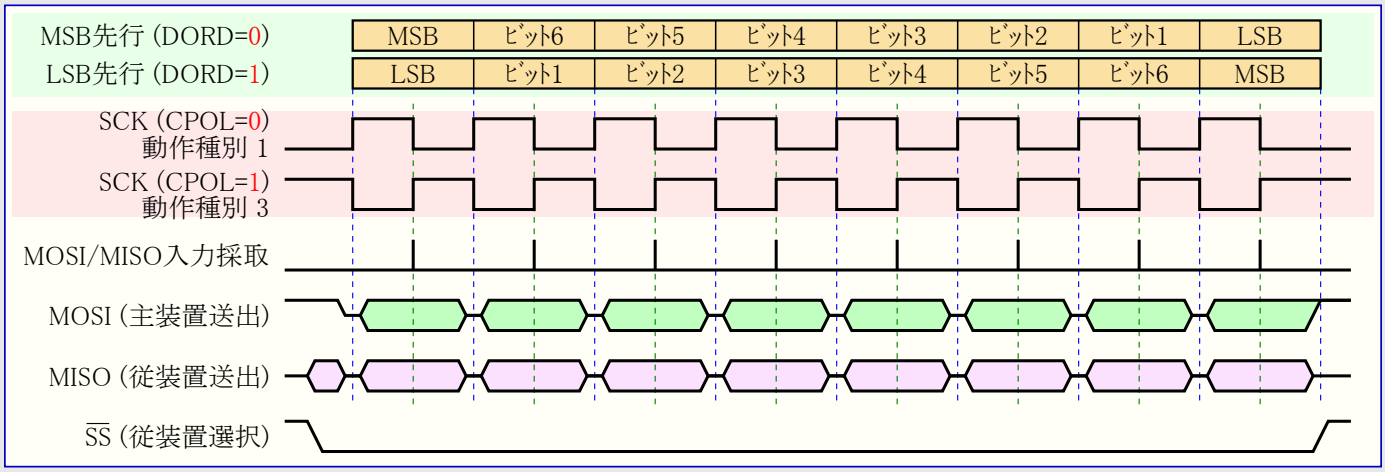


図24-4. SPIデータ転送形式 (CPHA=1)



24.5. SPI用ﾚｼﾞｽﾀ

24.5.1. SPCR – SPI制御ﾚｼﾞｽﾀ (SPI Control Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : SPCR
変位 : $0D ($2D)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2Dです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – SPIE : SPI割り込み許可** (SPI Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されて、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)されると、このﾋﾞｯﾄがSPI割り込みを実行させます。

● **ﾋﾞｯﾄ6 – SPE : SPI許可** (SPI Enable)

SPEﾋﾞｯﾄが1を書かれるとSPIが許可されます。どのSPI操作を許可するにも、このﾋﾞｯﾄが設定(1)されなければなりません。

● **ﾋﾞｯﾄ5 – DORD : ﾃﾞｰﾀ順選択** (Data Order)

DORDﾋﾞｯﾄが1を書かれるとﾃﾞｰﾀ語のLSBが最初に転送されます。DORDﾋﾞｯﾄが0を書かれるとMSBが最初に転送されます。

● **ﾋﾞｯﾄ4 – MSTR : 主装置/従装置選択** (Master/Slave Select)

このﾋﾞｯﾄは1を書かれると主装置動作、論理0を書かれると従装置動作を選択します。$\overline{SS}$が入力として設定され、MSTRが設定(1)の間にLowへ駆動されると、MSTRが解除(0)され、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)になります。その後に使用者はSPI主装置動作を再び許可するためにMSTRを設定(1)しなければなりません。

● **ﾋﾞｯﾄ3 – CPOL : SCK極性選択** (Clock Polarity)

このﾋﾞｯﾄが1を書かれると、ｱｲﾄﾞﾙ時にSCKはHighです。CPOLが0を書かれると、ｱｲﾄﾞﾙ時にSCKはLowです。例については「**ﾃﾞｰﾀ転送形式**」内の図を参照してください。CPOL機能は右で要約されます。

表24–3. CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

● **ﾋﾞｯﾄ2 – CPHA : SCK位相選択** (Clock Phase)

このSCK位相選択(CPHA)ﾋﾞｯﾄの設定はﾃﾞｰﾀがSCKの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。例については「**ﾃﾞｰﾀ転送形式**」内の図を参照してください。CPHA機能は右で要約されます。

表24–4. CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

● **ﾋﾞｯﾄ1,0 – SPR1,0 : SPIｸﾛｯｸ選択** (SPI Clock Rate Select 1 and 0)

これら2ﾋﾞｯﾄは主装置として設定されたﾃﾞﾊﾞｲｽのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKと(ｼｽﾃﾑ)発振器ｸﾛｯｸ周波数f_{OSC}間の関連は下表で示されます。

表24–5. SCK速度選択 (f_{OSC}=CPUｸﾛｯｸ周波数)

SPR1	0		0		1		1	
SPR0	0		1		0		1	
SPI2X	1	0	1	0	1	0	1	0
SCK周波数	$f_{OSC}/2$	$f_{OSC}/4$	$f_{OSC}/8$	$f_{OSC}/16$	$f_{OSC}/32$	$f_{OSC}/64$		$f_{OSC}/128$

24.5.2. SPSR – SPI状態ﾚｼﾞｽﾀ (SPI Status Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：SPSR
変位 ：$0E ($2E)
ﾘｾｯﾄ ：$00
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2Eです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SPIF	WCOL	–	–	–	–	–	SPI2X
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – SPIF : SPI割り込み要求ﾌﾗｸﾞ** (SPI Interrupt Flag)

直列転送が完了すると、このSPIFﾌﾗｸﾞが設定(1)されます。全割り込みが許可(ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ=1)されて、SPI制御ﾚｼﾞｽﾀ(SPCR)でSPI割り込み許可(SPIE)ﾋﾞｯﾄが設定(1)されるなら、割り込みが生成されます。SPIが主装置動作の時に$\overline{SS}$ﾋﾟﾝが入力でLowに駆動されるなら、これもこのSPIFﾌﾗｸﾞを同様に設定(1)します。対応する割り込み処理ﾍﾞｸﾀを実行する時にSPIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにSPIFが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによってもSPIFﾌﾗｸﾞは解除(0)されます。

● **ﾋﾞｯﾄ6 – WCOL : 上書き発生ﾌﾗｸﾞ** (Write Collision Flag)

ﾃﾞｰﾀ転送中にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)が書かれると、このWCOLﾋﾞｯﾄが設定(1)されます。WCOLﾋﾞｯﾄ(とSPIFﾋﾞｯﾄ)はWCOLが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによって解除(0)されます。

● **ﾋﾞｯﾄ0 – SPI2X : SPI倍速許可** (Double SPI Speed Bit)

このﾋﾞｯﾄが論理1を書かれると、SPIが主装置動作の時にSCK速度(SCK周波数)が倍にされます(**表24-5.**参照)。これは最小SCK周期が2CPUｸﾛｯｸ周期であることを意味します。SPIが従装置として設定される時に、SPIはf_{OSC}(CPUｸﾛｯｸ周波数)/4またはそれ以下での動作のみ保証されます。

ATmega128AのSPIｲﾝﾀｰﾌｪｰｽはﾌﾗｯｼｭ ﾒﾓﾘやEEPROMの書き換え(読み書き)にも使われます。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合については「**ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」内の「**直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」項を参照してください。

24.5.3. SPDR – SPIﾃﾞｰﾀ ﾚｼﾞｽﾀ (SPI Data Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 ：SPDR
変位 ：$0F ($2F)
ﾘｾｯﾄ ：$xx
特質 ：ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2Fです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SPID7	SPID6	SPID5	SPID4	SPID3	SPID2	SPID1	SPID0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – SPID7～0 : SPIﾃﾞｰﾀ** (SPI Data)

SPIﾃﾞｰﾀ ﾚｼﾞｽﾀはSPI移動ﾚｼﾞｽﾀとﾚｼﾞｽﾀ ﾌｧｲﾙ(汎用ﾚｼﾞｽﾀ)間のﾃﾞｰﾀ転送に使われる読み書き可能なﾚｼﾞｽﾀです。このﾚｼﾞｽﾀへの書き込みがﾃﾞｰﾀ送信を開始します。このﾚｼﾞｽﾀの読み込みは移動ﾚｼﾞｽﾀの受信緩衝部読み出しを引き起こします。

・ SPID7がMSBで、SPID0がLSBです。

25. USART (USART0, USART1)

25.1. 特徴

- 全二重動作 (独立した送受信ﾚｼﾞｽﾀ)
- 同期または非同期動作
- 同期ｸﾛｯｸ駆動された主装置/従装置動作
- 高分解能ﾎﾞｰﾚｰﾄ発振器
- 5, 6, 7, 8または9ﾋﾞｯﾄ ﾃﾞｰﾀと1または2停止ﾋﾞｯﾄの直列ﾌﾚｰﾑの支援
- ﾊｰﾄﾞｳｪｱによって支援された奇数または偶数ﾊﾟﾘﾃｨの生成と検査
- ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ検出
- ﾌﾚｰﾐﾝｸﾞ異常検出
- 不正開始ﾋﾞｯﾄ検出とﾃﾞｼﾞﾀﾙ低域通過濾波器を含む雑音除去器
- 受信完了、送信完了、送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きの3つの分離した割り込み
- 複数ﾌﾟﾛｾｯｻ通信機能
- 倍速非同期通信動作

25.1.1. 2つのUSART

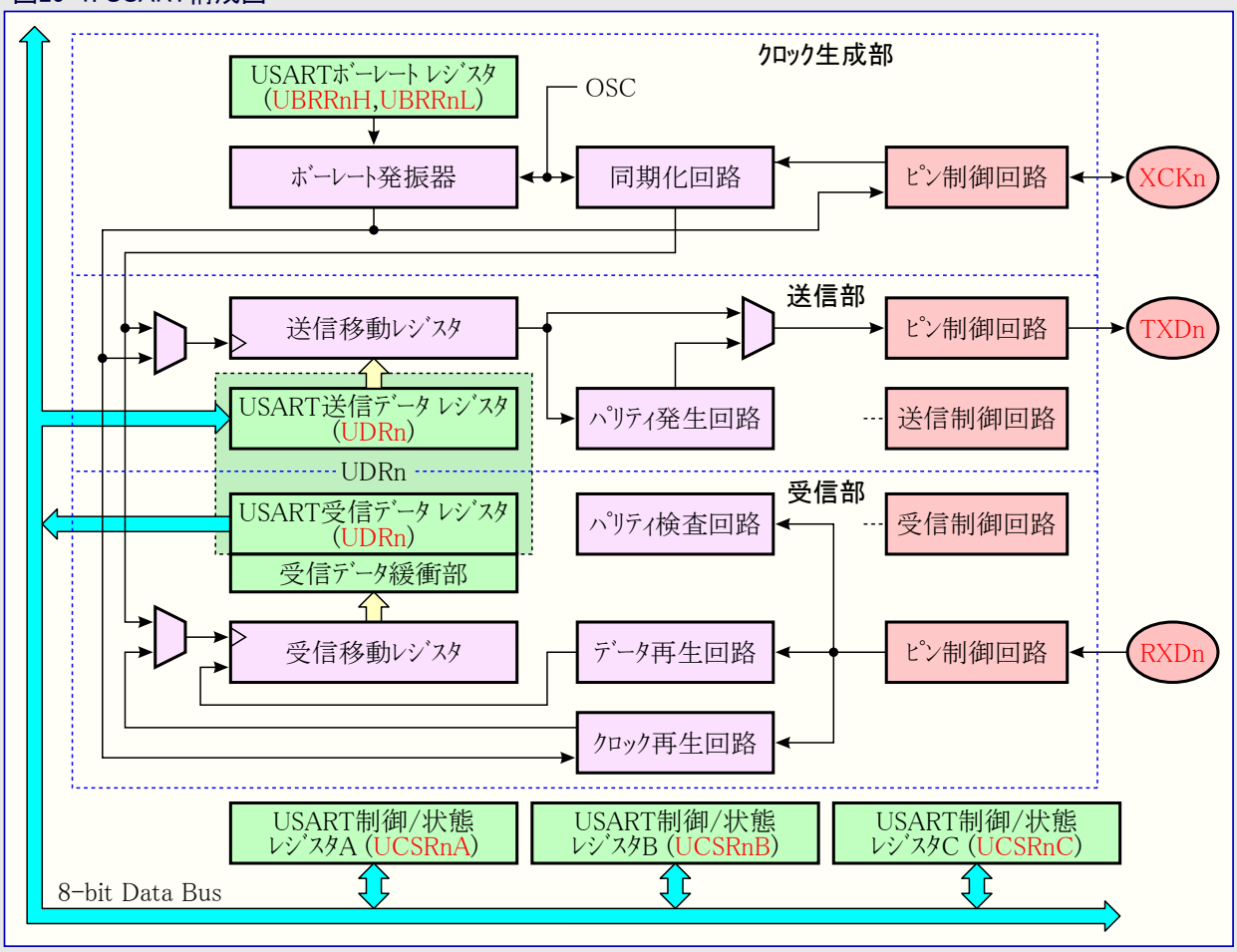
ATmega128AにはUSART0とUSART1の2つのUSARTがあります。両USARTに関する機能は以下で記述されます。USART0とUSART1は「**ﾚｼﾞｽﾀ要約**」で示されるように個別のI/Oﾚｼﾞｽﾀを持ちます。ATmega103互換動作ではUSART1が利用できず、UBRR0HとUCSR0Cのどちらのﾚｼﾞｽﾀもありません。これはATmega103互換動作でATmega128AがUSART0の非同期動作だけ支援することを意味します。

関連ﾘﾝｸ　257頁の「ﾚｼﾞｽﾀ要約」

25.2. 概要

USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は高い柔軟性をもつ直列通信機能です。USARTの簡略構成図は下図で示されます。CPUがｱｸｾｽ可能なﾚｼﾞｽﾀとI/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。

図25-1. USART構成図



注: USARTﾋﾟﾝ配置については「ﾋﾟﾝ配置」、表18-12.、表18-15.を参照してください。

構成図内の破線はUSARTの3つの主要部分、(上から)ｸﾛｯｸ生成部、送信部、受信部を分けます。制御ﾚｼﾞｽﾀは全部によって共用されます。ｸﾛｯｸ生成論理部はﾎﾞｰﾚｰﾄ発振器と同期従装置動作によって使われる外部ｸﾛｯｸ入力に対する同期化論理回路から成ります。転送ｸﾛｯｸ(XCKn)ﾋﾟﾝは同期転送動作だけで使われます。送信部は単一書き込み緩衝部(UDRn)、直列移動ﾚｼﾞｽﾀ、ﾊﾟﾘﾃｨ発生器、異なる直列ﾌﾚｰﾑ形式を扱うための制御論理回路から成ります。書き込み緩衝部はどんなﾌﾚｰﾑ間の遅れもなしにﾃﾞｰﾀの継続転送を許します。受信部はｸﾛｯｸとﾃﾞｰﾀの再生部のため、USART部の最も複雑な部分です。再生部は非同期ﾃﾞｰﾀ受信で使われます。再生部に加えて、受信部は2重の受信緩衝部(UDRn)、移動ﾚｼﾞｽﾀ、ﾊﾟﾘﾃｨ検査器、制御論理回路を含みます。受信部は送信部と同じﾌﾚｰﾑ形式を支援し、ﾌﾚｰﾐﾝｸﾞ異常、ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生、ﾊﾟﾘﾃｨ誤りを検知できます。

関連ﾘﾝｸ　9頁の「ﾋﾟﾝ配置」
61頁の「ﾎﾟｰﾄDの交換ﾎﾟｰﾄ機能」
63頁の「ﾎﾟｰﾄEの交換ﾎﾟｰﾄ機能」

25.2.1. UARTとの互換性

USARTはAVRのUARTと次の項目に関して完全な互換性があります。

- 全てのUSART側ﾚｼﾞｽﾀでのﾋﾞｯﾄ位置
- ﾎﾞｰﾚｰﾄ生成
- 送信操作
- 送信緩衝の動作
- 受信操作

けれども受信緩衝動作にはいくつかの特別な場合で互換性に影響を及ぼす2つの改良点があります。

- 第2受信緩衝部が追加されました。2つの緩衝ﾚｼﾞｽﾀは循環型FIFO緩衝部として動作します。従ってUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)は到着ﾃﾞｰﾀ毎に一度だけ読まれなければなりません。より重要なのは異常ﾌﾗｸﾞ(FEnとDORn)と第9ﾃﾞｰﾀ ﾋﾞｯﾄ(RXB8n)が受信緩衝部内のﾃﾞｰﾀと共に緩衝されることの事実です。従って状態ﾋﾞｯﾄは常にUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)が読まれる前に読まれなければなりません。さもなければ緩衝部の状態が失われるため、異常情報も失われます。
- 受信部移動ﾚｼﾞｽﾀは第3緩衝段のように動けます。これは緩衝ﾚｼﾞｽﾀが一杯の場合、新規開始ﾋﾞｯﾄが検出されるまで直列移動ﾚｼﾞｽﾀ(前項の構成図参照)内に留まるのを受信したﾃﾞｰﾀに許すことによって行われます。従ってUSARTはﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ(DORn)異常条件により耐えます。

次の制御ﾋﾞｯﾄは名称変更されましたが、機能とﾚｼﾞｽﾀ(ﾋﾞｯﾄ)位置は同じです。

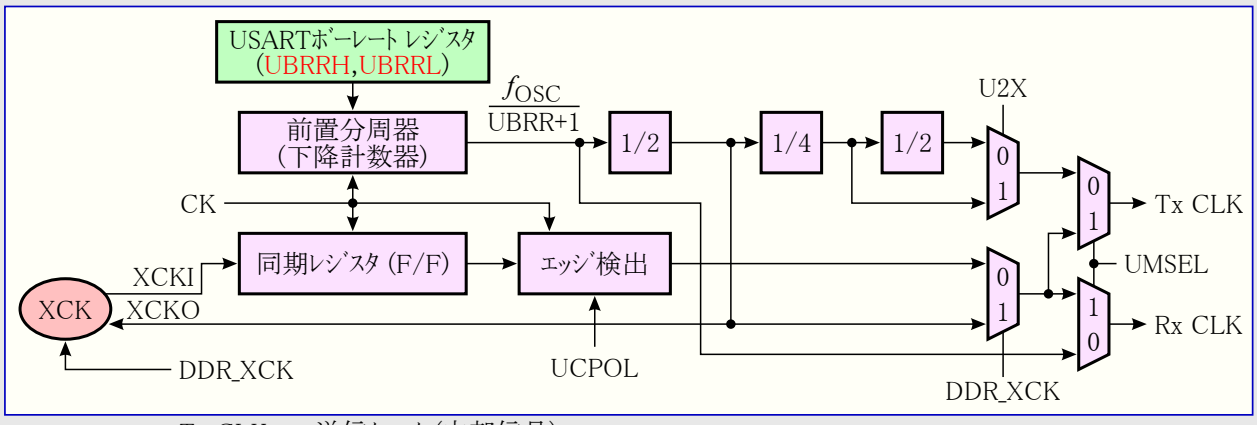
- 9ﾋﾞｯﾄ選択(CHR9)ﾋﾞｯﾄはﾃﾞｰﾀ長選択ﾋﾞｯﾄ2(UCSZn2)へ変更
- ｵｰﾊﾞｰﾗﾝ発生(OR)ﾌﾗｸﾞはｵｰﾊﾞｰﾗﾝ発生(DORn)ﾌﾗｸﾞへ変更
- ﾊﾟﾘﾃｨ誤り(PE)ﾌﾗｸﾞはﾊﾟﾘﾃｨ 誤り(UPEn)ﾌﾗｸﾞへ変更 (**訳注**:原書で欠落のため追加)

25.3. クロック生成

クロック生成論理回路は送受信部用基準クロックを生成します。USARTは標準非同期、倍速非同期、同期主装置、同期従装置の4つのクロック動作種別を支援します。USART制御/状態レジスタC(UCSRC)のUSART動作種別選択(UMSEL)ビットは同期動作と非同期動作のどちらかを選びます。倍速動作(非同期動作のみ)はUSART制御/状態レジスタA(UCSRA)にある倍速許可(U2X)ビットによって制御されます。同期動作(UMSEL=1)を使うとき、XCKピンに対する方向制御ビット(DDR_XCK)はクロック元が内部(主装置動作)または外部 (従装置動作)のどちらかを制御します。このXCKピンは同期動作を使う時だけ活性(有効)です。

下はクロック生成論理回路の構成図を示します。

図25-2. クロック生成部構成図



信号説明

Tx CLK : 送信クロック (内部信号)
Rx CLK : 受信クロック (内部信号)
XCKI : XCKピンからの内部入力信号 (同期従装置時)
XCKO : XCKピンへの内部出力信号 (同期主装置時)
DDR_XCK : 対応するポート方向レジスタの方向ビット
f_{OSC} : システム クロック周波数

25.3.1. ボーレート発振器での内部クロック発生

内部クロック生成は非同期と同期主装置動作種別に対して使われます。本項の記述は上の構成図を参照してください。

USARTボーレート レジスタ(UBRR(UBRRH:UBRRL))と下降計数器は設定変更可能な前置分周器またはボーレート発振器として機能するように接続されます。システム クロック(f_{OSC})で走行する下降計数器は0への下降計数時毎またはUBRRLレジスタが書かれる時にUBRR値で設定されます。1クロック(パルス)は計数器が0に達する毎に生成されます。このクロックがボーレート発振器出力(=f_{OSC}/(UBRR+1))です。送信部は動作種別に依存してボーレート発振器出力を2,8,16分周します。ボーレート発振器出力は受信部クロックとデータ再生部によって直接使われます。しかし、再生部はUSART動作種別選択(UMSEL)、倍速許可(U2X)、DDR_XCKビットの状態によって設定される動作種別に依存して2,8,16段を使う順次処理回路を使います。

下表.は内部的に生成したクロック元を使う各動作種別に於けるボーレート(bps)とUBRR値の計算式を含みます。

表25-1. ボーレート レジスタ(UBRRn)値計算式

動作種別	ボーレート計算式	UBRRn値計算式
標準速非同期動作 (U2Xn=0)	$BAUD = \frac{f_{OSC}}{16\times(UBRRn+1)}$	$UBRRn = \frac{f_{OSC}}{16\times BAUD} - 1$
倍速非同期動作 (U2Xn=1)	$BAUD = \frac{f_{OSC}}{8\times(UBRRn+1)}$	$UBRRn = \frac{f_{OSC}}{8\times BAUD} - 1$
同期主装置動作	$BAUD = \frac{f_{OSC}}{2\times(UBRRn+1)}$	$UBRRn = \frac{f_{OSC}}{2\times BAUD} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BAUD : ボーレート (bps)
UBRRn : UBRRnHとUBRRnLレジスタ値 (0～4095)
f_{OSC} : システム発振器クロック周波数

いくつかのシステム クロック周波数に対するいくつかのUBRR値の例は表25-4.で得られます。

25.3.2. 倍速動作 (U2X)

転送速度はUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)で倍速許可(U2X)ﾋﾞｯﾄを設定(1)することによって倍にできます。このﾋﾞｯﾄの設定は非同期動作に対してだけ有効です。同期動作を使うとき、このﾋﾞｯﾄは0に設定してください。

このﾋﾞｯﾄの設定(1)は事実上、非同期通信に対する転送速度を倍にするﾎﾞｰﾚｰﾄ分周器の分周数を16から8に減じます。けれども受信部がﾃﾞｰﾀ採取とｸﾛｯｸ再生に対して半分の(16から8に減じた)採取数をこの場合だけ使い、従ってこの動作種別が使われる時はｼｽﾃﾑ ｸﾛｯｸとﾎﾞｰﾚｰﾄ設定の精度がより必要とされることに注意してください。送信部についての低下要因はありません。

25.3.3. 外部ｸﾛｯｸ

外部ｸﾛｯｸは同期従装置動作種別によって使われます。本項の記述での詳細については図25-2.を参照してください。

XCKﾋﾟﾝからの外部ｸﾛｯｸ入力は不確定ﾚﾍﾞﾙ状態(ﾒﾀｽﾃｰﾌﾞﾙ)の機会を最少とするために同期化ﾚｼﾞｽﾀによって採取されます。同期化ﾚｼﾞｽﾀからの出力は送受信部で使い得るのに先立ってｴｯｼﾞ検出器を通過しなければなりません。この処理手順が2CPUｸﾛｯｸ周期の遅延を持ち込み、このため最大外部XCKｸﾛｯｸ周波数は次式によって制限されます。

$$f_{XCK} < \frac{f_{OSC}}{4}$$

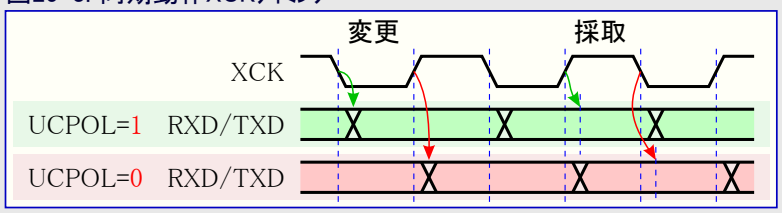
f_{OSC}はｼｽﾃﾑ ｸﾛｯｸ元の安定度に依存します。従って周波数変動によるﾃﾞｰﾀ消失の可能性を避けるため、いくらかの余裕分を追加することが推奨されます。

25.3.4. 同期ｸﾛｯｸ動作

同期動作が使われる(UMSEL=1)とき、XCKﾋﾟﾝはｸﾛｯｸ入力(従装置)またはｸﾛｯｸ出力(主装置)のどちらかとして使われます。ﾃﾞｰﾀ採取またはﾃﾞｰﾀ変更とｸﾛｯｸ端間の依存性は同じです。基本原則はﾃﾞｰﾀ出力(TXD)が変更されるｴｯｼﾞと反対のXCKｸﾛｯｸ端でﾃﾞｰﾀ入力(RXD)が採取されることです。

USART制御/状態ﾚｼﾞｽﾀC(UCSRC)のXCK極性(UCPOL)ﾋﾞｯﾄはﾃﾞｰﾀ採取とﾃﾞｰﾀ変更に対してどちらのｸﾛｯｸ端が使われるかを選びます。右図で示されるようにUCPOLが0のとき、ﾃﾞｰﾀはXCKの上昇端で変更され、下降端で採取されます。UCPOLが設定(1)の場合、ﾃﾞｰﾀはXCKの下降端で変更され、上昇端で採取されます。

図25-3. 同期動作XCKﾀｲﾐﾝｸﾞ



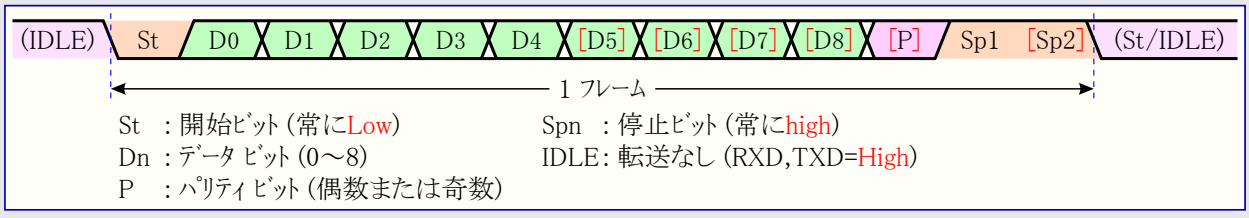
25.4. フレーム形式

1つの直列ﾌﾚｰﾑは複数のﾃﾞｰﾀ ﾋﾞｯﾄと同期ﾋﾞｯﾄ(開始ﾋﾞｯﾄ、停止ﾋﾞｯﾄ)、任意の異常検査用ﾊﾟﾘﾃｨ ﾋﾞｯﾄで定義されます。USARTは有効なﾌﾚｰﾑ形式として以下の組み合わせ30種全てを受け入れます。

- 1 開始ﾋﾞｯﾄ
- 5, 6, 7, 8, 9 ﾋﾞｯﾄ ﾃﾞｰﾀ
- 奇数または偶数ﾊﾟﾘﾃｨ ﾋﾞｯﾄ、またはなし
- 1 または 2 停止ﾋﾞｯﾄ

ﾌﾚｰﾑは最下位ﾃﾞｰﾀ ﾋﾞｯﾄ(LSB)が次に続く開始ﾋﾞｯﾄで始まります。その後に次ﾃﾞｰﾀ ﾋﾞｯﾄが最後の最上位ﾃﾞｰﾀ ﾋﾞｯﾄ(MSB)まで(最大)合計9ﾋﾞｯﾄ続きます。許可したなら、ﾊﾟﾘﾃｨ ﾋﾞｯﾄがﾃﾞｰﾀ ﾋﾞｯﾄの後、停止ﾋﾞｯﾄの前に挿入されます。完全なﾌﾚｰﾑが送信されると、新規ﾌﾚｰﾑによって直ちに後続されるか、または通信線をｱｲﾄﾞﾙ状態(high)に設定できます。下図は組み合わせ可能なﾌﾚｰﾑ形式を図解します。[ ]付きﾋﾞｯﾄは任意選択です。

図25-4. 1ﾌﾚｰﾑの構成



USARTによって使われるﾌﾚｰﾑ形式はUSART制御/状態ﾚｼﾞｽﾀBとC(UCSRB, UCSRC)でﾃﾞｰﾀ長選択(UCSZ2～0)ﾋﾞｯﾄ、ﾊﾟﾘﾃｨ選択(UPM1,0)ﾋﾞｯﾄ、停止ﾋﾞｯﾄ選択(USBS)ﾋﾞｯﾄによって設定されます。受信部と送信部は同じ設定を使います。これらのどのﾋﾞｯﾄの設定変更も、送受信部両方に対して進行中の通信を不正とすることに注意してください。

ﾃﾞｰﾀ長選択(UCSZ2～0)ﾋﾞｯﾄはﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄ数を選びます。ﾊﾟﾘﾃｨ選択(UPM1,0)ﾋﾞｯﾄはﾊﾟﾘﾃｨ ﾋﾞｯﾄの許可と種別(奇/偶)を設定します。1または2停止ﾋﾞｯﾄのどちらかの選択は停止ﾋﾞｯﾄ選択(USBS)ﾋﾞｯﾄによって行います。受信部は第2停止ﾋﾞｯﾄを無視します。従ってﾌﾚｰﾐﾝｸﾞ異常(FE)は最初の停止ﾋﾞｯﾄが0(Low)の場合にだけ検出されます。

25.4.1. パリティ ビットの計算

パリティ ビットは全データ ビットの排他的論理和(Ex-OR)を行うことによって計算されます。奇数パリティが使われる場合は排他的論理和の結果が反転されます。パリティ ビットとデータ ビットの関係は次のとおりです。

偶数パリティ ビット = D0 Ex-OR D1 Ex-OR D2 Ex-OR ～ Ex-OR Dn-1
奇数パリティ ビット = D0 Ex-OR D1 Ex-OR D2 Ex-OR ～ Ex-OR Dn-1 Ex-OR 1　　n：データ ビット長

使った場合、パリティ ビットは直列フレームの最後のデータ ビットと最初の停止ビット間に配置されます。

25.5. USARTの初期化

何れかの通信が行えるのに先立ってUSARTは初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、フレーム形式設定、送受信部許可から成ります。割り込み駆動USART操作に関して初期化を行うとき、ステータス レジスタの全割り込み許可(I)ビットは解除(0)される(そして全割り込みが禁止される)べきです。

ボーレートまたはフレーム形式の変更を伴う再初期化を行う前には、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。USART制御/状態レジスタA(UCSRA)の送信完了(TXC)フラグは送信部の全転送完了検査に使え、受信完了(RXC)フラグは受信緩衝部内の未読データ有無検査に使えます。この目的(次送信タイミング)にTXCフラグが使われる場合、各々の送信(USARTデータ レジスタ(UDR)が書かれる)前にTXCフラグが解除(0)されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例は固定フレーム形式でポーリングを使う(割り込み不許可)非同期動作と仮定します。ボーレート(UBRR)値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Init:  OUT    UBRRH, R17                  ;ボーレート設定(上位バイト)
             OUT    UBRRL, R16                  ;ボーレート設定(下位バイト)
             LDI    R16, (1<<USBS)|(3<<UCSZ0)   ;フレーム形式値を取得
             OUT    UCSRC, R16                  ;フレーム形式設定(8ビット,2停止ビット)
             LDI    R16, (1<<RXEN)|(1<<TXEN)    ;送受信許可値を取得
             OUT    UCSRB, R16                  ;送受信許可
             RET                                ;呼び出し元へ復帰
```

C言語プログラム例

```
#define FOSC 1843200                            /* MCUクロック周波数 */
#define BAUD 9600                               /* 目的USARTボーレート速度 */
#define MYUBRR FOSC/16/BAUD-1                   /* 目的UBRR値 */

void main(void)
{
    ～
USART_Init(MYUBRR);                             /* USART初期化 */
    ～
}

void USART_Init(unsigned int baud)
{
    UBRRH = (unsigned char)(baud>>8);           /* ボーレート設定(上位バイト) */
    UBRRL = (unsigned char)baud;                /* ボーレート設定(下位バイト) */
    UCSRC = (1<<USBS)|(3<<UCSZ0);               /* フレーム形式設定(8ビット,2停止ビット) */
    UCSRB = (1<<RXEN)|(1<<TXEN);                /* 送受信許可 */
}
```

注:「コード例について」をご覧ください。

割り込みの禁止や引数としてフレーム形式を含めるなどで、より進化した初期化ルーチンが作成できます。けれども多くの応用はボーレートや制御レジスタの固定した設定が使われ、これらの応用形式での初期化コードは主ルーチンに直接置けるか、または他のI/Oの初期化コードと併せられます。

関連リンク　11頁の「コード例について」

25.6. ﾃﾞｰﾀ送信 – USART送信部

USART送信部はUSART制御/状態ﾚｼﾞｽﾀB(UCSRB)で送信許可(TXEN)ﾋﾞｯﾄを設定(1)することによって許可されます。送信部が許可されると、TXDﾋﾟﾝの標準ﾋﾟﾝ動作はUSARTによって無視され、送信部の直列出力としての機能を与えられます。何か送信を行う前に一度はﾎﾞｰﾚｰﾄ、ﾌﾚｰﾑ形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKﾋﾟﾝの(受信)ｸﾛｯｸは無視され、送信ｸﾛｯｸとして使われます。

25.6.1. 5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ送信

ﾃﾞｰﾀ送信は送信されるべきﾃﾞｰﾀを送信緩衝部に設定することによって開始されます。CPUはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)I/O位置へ書くことによって送信緩衝部に設定できます。送信緩衝部内のﾃﾞｰﾀは移動ﾚｼﾞｽﾀが新規ﾌﾚｰﾑを送る準備が整った時に移動ﾚｼﾞｽﾀへ移されます。移動ﾚｼﾞｽﾀはｱｲﾄﾞﾙ状態(送信進行中以外)、または直前のﾌﾚｰﾑの最後の停止ﾋﾞｯﾄ送信後、直ちに新規ﾃﾞｰﾀが設定されます。移動ﾚｼﾞｽﾀが新規ﾃﾞｰﾀを設定されると、ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ(UBRRH:UBRRL)と倍速許可(U2X)ﾋﾞｯﾄ、また動作種別によってはXCKﾋﾟﾝによって与えられる速度で1つの完全なﾌﾚｰﾑを転送します。8ﾋﾞｯﾄ未満のﾌﾚｰﾑを使うとき、UDRに書かれた上位ﾋﾞｯﾄは無視されます。

次のｺｰﾄﾞ例はUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)の送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)ﾌﾗｸﾞのﾎﾟｰﾘﾝｸﾞを基準とした簡単なUSART送信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。ｱｾﾝﾌﾞﾘ言語での送るべきﾃﾞｰﾀはR16ﾚｼﾞｽﾀに格納されると仮定されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Tx:   SBIS    UCSRA,UDRE                  ;送信緩衝部空きでｽｷｯﾌﾟ
            RJMP    USART_Tx                    ;送信緩衝部空き待機
;
            OUT     UDR,R16                     ;ﾃﾞｰﾀ送信(送信開始)
            RET                                 ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void USART_Transmit(unsigned char data)
{
            while ( !(UCSRA & (1<<UDRE)) );     /* 送信緩衝部空き待機 */
            UDR = data;                         /* ﾃﾞｰﾀ送信(送信開始) */
}
```

注:「ｺｰﾄﾞ例について」をご覧ください。

この関数は送信されるべき新規ﾃﾞｰﾀを設定する前に、UDREの検査によって送信緩衝部が空になるのを単純に待ちます。送信緩衝部空き割り込みが使われる場合、その割り込み処理ﾙｰﾁﾝがﾃﾞｰﾀを緩衝部内に書きます。

関連ﾘﾝｸ　11頁の「ｺｰﾄﾞ例について」

25.6.2. 9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ送信

9ﾋﾞｯﾄ ﾃﾞｰﾀが使われる場合(UCSZ2～0=111)、ﾃﾞｰﾀの下位ﾊﾞｲﾄがUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)に書かれる前に、第9ﾋﾞｯﾄがUSART制御/状態ﾚｼﾞｽﾀB(UCSRB)の送信ﾃﾞｰﾀ ﾋﾞｯﾄ8(TXB8)ﾋﾞｯﾄに書かれなければなりません。次のｺｰﾄﾞ例は9ﾋﾞｯﾄ ﾃﾞｰﾀを扱う送信関数を示します。ｱｾﾝﾌﾞﾘ言語での送るべきﾃﾞｰﾀはR17:R16ﾚｼﾞｽﾀに格納されると仮定されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Tx:   SBIS    UCSRA,UDRE                  ;送信緩衝部空きでｽｷｯﾌﾟ
            RJMP    USART_Tx                    ;送信緩衝部空き待機
;
            CBI     UCSRB,TXB8                  ;第9ﾋﾞｯﾄを0に仮設定
            SBRC    R17,0                       ;送信すべき第9ﾋﾞｯﾄが0でｽｷｯﾌﾟ
            SBI     UCSRB,TXB8                  ;第9ﾋﾞｯﾄを1に設定
            OUT     UDR,R16                     ;ﾃﾞｰﾀ送信(送信開始)
            RET                                 ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void USART_Transmit(unsigned int data)
{
            while ( !(UCSRA & (1<<UDRE)) );     /* 送信緩衝部空き待機 */
            UCSRB &= ~(1<<TXB8);                /* TXB8を0に仮設定 */
            if (data & 0x0100) UCSRB |= (1<<TXB8);  /* 第9ﾋﾞｯﾄをR17からTXB8へ複写 */
            UDR = data;                         /* ﾃﾞｰﾀ送信(送信開始) */
}
```

注: これらの送信関数は一般的な機能で書かれています。UCSRBの内容が静的(換言すると、UCSRBのTXB8ﾋﾞｯﾄが初期化後に使われるだけ)ならば最適化できます。
11頁の「ｺｰﾄﾞ例について」をご覧ください。

第9ビットは複数プロセッサ通信使用時のアドレス フレーム識別、また例えば同期として扱う他の規約で使うことができます。

25.6.3. 送信フラグと割り込み

USART送信部には状態を示す2つのフラグ、USARTデータ レジスタ空き(UDRE)と送信完了(TXC)があります。両フラグは割り込みを発生するのに使えます。

USARTデータ レジスタ空き(UDRE)フラグは送信緩衝部が新規データを受け取る準備ができているかどうかを示します。このビットは送信緩衝部が空の時に設定(1)され、送信緩衝部が移動レジスタに未だ移動されてしまっていない送信されるべきデータを含む時に解除(0)されます。将来のデバイスとの共通性のため、USART制御/状態レジスタA(UCSRA)に書くとき、常にこのビットに0を書いてください。

USART制御/状態レジスタB(UCSRB)でデータ レジスタ空き割り込み許可(UDRIE)ビットが1を書かれると、(全割り込みが許可されているならば)UDREフラグが設定(1)されている限り、USARTデータ レジスタ空き割り込みが実行されます。UDREはUSARTデータ レジスタ(UDR)書き込みによって解除(0)されます。割り込み駆動データ送信が使われるとき、データ レジスタ空き割り込みルーチンはUDREを解除(0)するために新規データをUDRに書くか、データ レジスタ空き割り込みを禁止するかのどちらかを行わなければならず、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが(継続的に)起こります。

送信完了(TXC)フラグは送信移動レジスタ内の完全なフレームが移動出力されてしまい、送信緩衝部に新規データが現在存在しない時に設定(1)されます。TXCフラグは送信完了割り込みが実行されるとき、自動的に解除(0)されるか、またはこのビット位置に1を書くことによっても解除(0)できます。TXCフラグは送信応用プログラムが送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない(RS485規格のような)半二重(ハーフデュープレックス)通信インターフェースで有用です。

UCSRBで送信完了割り込み許可(TXCIE)ビットが設定(1)され、(全割り込みが許可されていれば)TXCフラグが設定(1)になる時にUSART送信完了割り込みが実行されます。送信完了割り込みが使われるとき、割り込み処理ルーチンはTXCフラグを解除(0)しなくてもよく、これは割り込みが実行されるとき、自動的に行われます。

25.6.4. パリティ発生器

パリティ発生器は直列フレーム データに対するパリティ ビットを計算します。パリティ ビットが許可されると(UPM1=1)、送信部制御論理回路は送られているフレームの最終データ ビットと最初の停止ビット間にパリティ ビットを挿入します。

25.6.5. 送信の禁止

送信部の禁止(UCSRBのUSART送信許可(TXEN)ビット=0)は進行中と保留中の送信が完了される(換言すると、送信移動レジスタと送信緩衝レジスタが送信されるべきデータを含まない時)まで有効になりません。禁止されると、送信部はもはやTXDピン(の標準ピン機能)を無効にしません。

25.7. データ受信 – USART受信部

USART受信部はUSART制御/状態レジスタB(UCSRB)で受信許可(RXEN)ビットに1を書くことによって許可されます。受信部が許可されると、RXDピンの標準ピン動作はUSARTによって無視され、受信部の直列入力としての機能を与えられます。何か直列受信が行われ得る前に一度はボーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKピンのクロックは転送クロックとして使われます。

25.7.1. 5～8ビット データ フレーム受信

受信部は有効な開始ビットを検出する時にデータ受信を開始します。開始ビットに続く各ビットはボーレートまたはXCKクロックで採取され、フレームの最初の停止ビットが受信されるまで受信移動レジスタ内へ移動されます。第2停止ビットは受信部によって無視されます。最初の停止ビットが受信されると(換言すると、受信移動レジスタに完全なフレームが存在すると)、この移動レジスタの内容は受信緩衝部内へ移されます。受信緩衝部はUSARTデータ レジスタ(UDR)I/O位置を読むことによって読めます。8ビット未満のフレームを使うとき、UDRから読むデータの上位ビットは0で覆われます。

次のコード例はUSART制御/状態レジスタA(UCSRA)の受信完了(RXC)フラグのポーリングを基にした簡単なUSART受信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。

アセンブリ言語プログラム例

```
USART_Rx:    SBIS    UCSRA,RXC                ;受信完了でスキップ
             RJMP    USART_Rx                 ;受信完了待機
;
             IN      R16,UDR                  ;受信データ取得
             RET                              ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned char USART_Receive(void)
{
    while ( !(UCSRA & (1<<RXC)) );            /* 受信完了待機 */
    return UDR;                               /* 受信データ取得 */
}
```

注:「コード例について」をご覧ください。

この関数は緩衝部を読んで値を戻す前に、RXCフラグの検査によって受信緩衝部にデータが存在するのを単純に待ちます。

関連リンク 11頁の「ｺｰﾄﾞ例について」

25.7.2. 9ﾋﾞｯﾄ ﾃﾞｰﾀ フレーム受信

9ﾋﾞｯﾄ ﾃﾞｰﾀが使われる場合(UCSZ2～0=111)、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)から下位ﾊﾞｲﾄを読む前に、第9ﾋﾞｯﾄがUSART制御/状態ﾚｼﾞｽﾀB(UCSRB)の受信ﾃﾞｰﾀ ﾋﾞｯﾄ8(RXB8)ﾋﾞｯﾄから読まれなければなりません。この規則はﾌﾚｰﾐﾝｸﾞ異常(FE)、ｵｰﾊﾞｰﾗﾝ発生(DOR)、ﾊﾟﾘﾃｨ誤り(UPE)状態ﾌﾗｸﾞにも適用します。USART制御/状態ﾚｼﾞｽﾀA(UCSRA)から状態情報を読み、その後にUDRからﾃﾞｰﾀを読んでください。UDR I/O位置を読むことが受信FIFO緩衝部の状態を切り替え、その結果、FIFO内に保管されるRXB8,FE,DOR,UPEﾋﾞｯﾄ全てが切り替わります。

次のｺｰﾄﾞ例は9ﾋﾞｯﾄ ﾃﾞｰﾀと状態ﾋﾞｯﾄ両方を扱う簡単なUSART受信関数を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Rx:   SBIS    UCSRA,RXC                          ;受信完了でｽｷｯﾌﾟ
            RJMP    USART_Rx                           ;受信完了待機
;
            IN      R18,UCSRA                          ;状態ﾌﾗｸﾞ取得
            IN      R17,UCSRB                          ;受信第9ﾋﾞｯﾄ取得
            IN      R16,UDR                            ;受信ﾃﾞｰﾀ取得
            ANDI    R18,(1<<FE)|(1<<DOR)|(1<<UPE)      ;受信異常検査
            BREQ    USART_Rx_V                         ;異常なしで分岐
;
            LDI     R17,-1                             ;異常で-1値設定
            LDI     R16,-1                             ;
USART_Rx_V: LSR     R17                                ;RXB8ﾋﾞｯﾄをﾋﾞｯﾄ0位置へ移動
            ANDI    R17,$01                            ;RXB8ﾋﾞｯﾄのみ有効
            RET                                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int USART_Receive(void)
{
    unsigned char status, resh, resl;                  /* 一時変数定義 */
    while ( !(UCSRA & (1<<RXC)) );                     /* 受信完了待機 */
    status = UCSRA;                                    /* 状態ﾌﾗｸﾞ取得 */
    resh = UCSRB;                                      /* 受信第9ﾋﾞｯﾄ取得 */
    resl = UDR;                                        /* 受信ﾃﾞｰﾀ取得 */
    if ( status & ((1<<FE)|(1<<DOR)|(1<<UPE)) ) return -1;  /* 受信異常で-1値設定/復帰 */
    resh = (resh>>1) & 0x01;                           /* RXB8ﾋﾞｯﾄのみ有効最下位へ */
    return ((resh<<8) | resl);                         /* 結果9ﾋﾞｯﾄ ﾃﾞｰﾀ取得/復帰 */
}
```

注:「ｺｰﾄﾞ例について」をご覧ください。

この受信関数例は何か評価を行う前に、全てのI/Oﾚｼﾞｽﾀをﾚｼﾞｽﾀ ﾌｧｲﾙに読みます。これは読まれた緩衝部位置が可能な限り早く新規ﾃﾞｰﾀを自由に受け入れできるため、最適な受信緩衝部利用になります。

関連リンク 11頁の「ｺｰﾄﾞ例について」

25.7.3. 受信完了ﾌﾗｸﾞと割り込み

USART受信部には受信部の状態を示す1つのﾌﾗｸﾞがあります。

USART受信完了(RXC)ﾌﾗｸﾞは未読ﾃﾞｰﾀが受信緩衝部に存在するかを示します。このﾌﾗｸﾞは受信緩衝部に未読ﾃﾞｰﾀが存在する時に1で、受信緩衝部が空の(換言すると、何も未読ﾃﾞｰﾀを含まない)時に0です。受信部が禁止される場合(RXEN=0)、受信緩衝部が破棄され、その結果としてRXCﾌﾗｸﾞは0になります。

USART制御/状態ﾚｼﾞｽﾀB(UCSRB)でUSART受信完了割り込み許可(RXCIE)ﾋﾞｯﾄが設定(1)されると、(全割り込みが許可されていれば)RXCﾌﾗｸﾞが設定(1)されている限り、USART受信完了割り込みが実行されます。割り込み駆動ﾃﾞｰﾀ受信が使われるとき、受信完了割り込みﾙｰﾁﾝはRXCﾌﾗｸﾞを解除(0)するためにUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)から受信したﾃﾞｰﾀを読まなければならず、さもなければ一旦割り込みﾙｰﾁﾝを終了しても新しい割り込みが(継続的に)起きます。

25.7.4. 受信異常ﾌﾗｸﾞ

USART受信には3つの異常ﾌﾗｸﾞ、ﾌﾚｰﾐﾝｸﾞ異常(FE)、ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生(DOR)、ﾊﾟﾘﾃｨ誤り(UPE)があります。全てがUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)を読むことによってｱｸｾｽできます。異常ﾌﾗｸﾞに対する共通点は異常状態を示しているﾌﾚｰﾑと共に受信緩衝部に配置されることです。異常ﾌﾗｸﾞが緩衝されるため、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR) I/O位置を読むことが緩衝部読み出し位置を切り替えるので、UCSRAは受信緩衝部(UDR)の前に読まれなければなりません。異常ﾌﾗｸﾞに対するその他の共通点はｿﾌﾄｳｪｱがこのﾌﾗｸﾞ位置へ書き込みを行うことによって変更できないことです。しかし、将来のUSART(機能)実装の上位互換性のため、UCSRAが書かれるとき、全てのﾌﾗｸﾞは0に設定されなければなりません。異常ﾌﾗｸﾞはどれも割り込みを生成できません。

ﾌﾚｰﾐﾝｸﾞ異常(FE)ﾌﾗｸﾞは受信緩衝部に格納された、次に読み込み可能なﾌﾚｰﾑの第1停止ﾋﾞｯﾄの状態を示します。FEﾌﾗｸﾞは停止ﾋﾞｯﾄが正しく(Highとして)読まれた時に0で、停止ﾋﾞｯﾄが不正(Low)だった時にFEﾌﾗｸﾞは1です。このﾋﾞｯﾄは同期外れ状態の検出、中断状態検出、規約での操作に使えます。受信部が最初(第1)以外の全停止ﾋﾞｯﾄを無視するため、FEﾌﾗｸﾞはUSART制御/状態ﾚｼﾞｽﾀC(UCSRC)の停止ﾋﾞｯﾄ選択(USBS)ﾋﾞｯﾄ設定によって影響を及ぼされません。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生(DOR)ﾌﾗｸﾞは受信部緩衝部が一杯状態のためのﾃﾞｰﾀ消失を示します。ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝは受信緩衝部(2ﾌﾚｰﾑ)が一杯で、(次の)新規ﾌﾚｰﾑ ﾃﾞｰﾀが受信移動ﾚｼﾞｽﾀで待っており、(更に次の)新規開始ﾋﾞｯﾄが検出される時に起きます。DORﾌﾗｸﾞが設定(1)なら、最後にUDRから読んだﾌﾚｰﾑと次にUDRから読むﾌﾚｰﾑ間で1つ以上の直列ﾌﾚｰﾑが失われています。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRAに書くとき、常にこのﾋﾞｯﾄに0を書いてください。DORﾌﾗｸﾞは受信されたﾃﾞｰﾀが移動ﾚｼﾞｽﾀから受信緩衝部へ正常に移動された時に解除(0)されます。

ﾊﾟﾘﾃｨ誤り(UPE)ﾌﾗｸﾞは受信緩衝部内の次ﾌﾚｰﾑで、受信時にﾊﾟﾘﾃｨ異常があったことを示します。ﾊﾟﾘﾃｨ検査が許可されていない場合、UPEﾌﾗｸﾞは常に0が読めます。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。より多くの詳細については139頁の「**ﾊﾟﾘﾃｨ ﾋﾞｯﾄの計算**」と次の「**ﾊﾟﾘﾃｨ検査器**」を参照してください。

25.7.5. ﾊﾟﾘﾃｨ検査器

ﾊﾟﾘﾃｨ検査器はﾊﾟﾘﾃｨ種別上位ﾋﾞｯﾄ(UPM1)が設定(1)されると活性(有効)になります。実行されるべきﾊﾟﾘﾃｨ検査の形式(偶数または奇数)はUPM0ﾋﾞｯﾄによって選択されます。許可されると、ﾊﾟﾘﾃｨ検査器は到着ﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを計算し、その結果と(受信)直列ﾌﾚｰﾑ内のﾊﾟﾘﾃｨ ﾋﾞｯﾄを比較します。検査の結果は受信ﾃﾞｰﾀ、停止ﾋﾞｯﾄと共に受信緩衝部に格納されます。その後ﾊﾟﾘﾃｨ誤り(UPE)ﾌﾗｸﾞはﾌﾚｰﾑにﾊﾟﾘﾃｨ異常があるかを検査するため、ｿﾌﾄｳｪｱによって読むことができます。

UPEﾌﾗｸﾞは受信緩衝部から読まれ得る次ﾌﾚｰﾑで受信時にﾊﾟﾘﾃｨ異常があり、その時点でﾊﾟﾘﾃｨ検査が許可されていた(UPM1=1)場合に設定(1)されます。このﾋﾞｯﾄはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)が読まれるまで有効です。

25.7.6. 受信の禁止

送信部と対照的に受信部の禁止は即時です。従って受信進行中のﾃﾞｰﾀは失われます。禁止されると(換言すると、USART制御/状態ﾚｼﾞｽﾀB(UCSRB)のUSART受信許可(RXEN)ﾋﾞｯﾄが0に設定)、受信部はもはやRXDﾎﾟｰﾄ ﾋﾟﾝの標準機能を無効にしません。受信FIFO緩衝部は受信部が禁止されると破棄されます。緩衝部内の残ﾃﾞｰﾀは失われます。

25.7.7. 受信緩衝部の破棄

受信FIFO緩衝部は受信が禁止されると破棄(換言すると、緩衝部は内容を空に)されます。未読ﾃﾞｰﾀは失われます。例えば異常状態のため、通常動作中に緩衝部が破棄されなければならない場合、USART制御/状態ﾚｼﾞｽﾀA(UCSRA)の受信完了(RXC)ﾌﾗｸﾞが解除(0)されるまでUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR) I/O位置を読んでください。次のｺｰﾄﾞ例は受信緩衝部の破棄方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Flush:  SBIS    UCSRA, RXC                    ;未読ﾃﾞｰﾀありでｽｷｯﾌﾟ
              RET                                   ;未読ﾃﾞｰﾀなしで復帰
;
              IN      R16, UDR                      ;ﾃﾞｰﾀ受信
              RJMP    USART_Flush                   ;未読ﾃﾞｰﾀなしまで継続
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void USART_Flush(void)
{
    unsigned char dummy;                            /* 一時変数定義 */
    while ( UCSRA & (1<<RXC) ) dummy=UDR;           /* 未読ﾃﾞｰﾀ読み捨て */
}
```

注:「**ｺｰﾄﾞ例について**」をご覧ください。

関連ﾘﾝｸ　11頁の「ｺｰﾄﾞ例について」

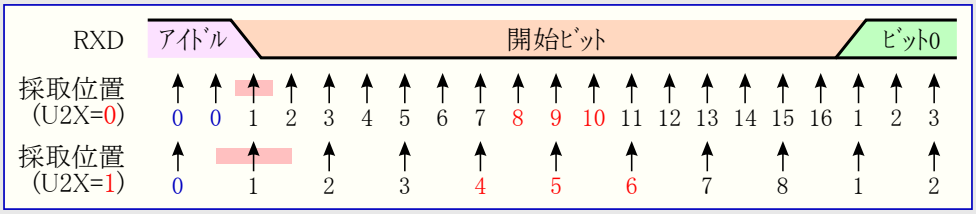
25.8. 非同期受信

USARTは非同期ﾃﾞｰﾀ受信を扱うためのｸﾛｯｸ再生とﾃﾞｰﾀ再生部を含みます。ｸﾛｯｸ再生論理回路は内部的に生成したﾎﾞｰﾚｰﾄ ｸﾛｯｸをRXDﾋﾟﾝに到着する非同期直列ﾌﾚｰﾑに同期化するのに使われます。ﾃﾞｰﾀ再生論理回路は到着ﾋﾞｯﾄ毎に低域通過の濾波と採取をし、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は内部ﾎﾞｰﾚｰﾄ ｸﾛｯｸ精度、到着ﾌﾚｰﾑ速度、ﾌﾚｰﾑ長のﾋﾞｯﾄ数に依存します。

25.8.1. 非同期ｸﾛｯｸ再生

ｸﾛｯｸ再生論理回路は内部ｸﾛｯｸを到着直列ﾌﾚｰﾑに同期化します。下図は到着ﾌﾚｰﾑの開始ﾋﾞｯﾄ採取手順を図解します。採取速度は標準速動作でﾎﾞｰﾚｰﾄの16倍、倍速動作で8倍です。赤い帯(**訳注**:原文は水平矢印)は採取処理のための同期変量を図示します。倍速動作(U2X=1)を使う時の広い変量時間に注意してください。採取番号0はRXD信号がｱｲﾄﾞﾙ(換言すると、通信の動きなし)の時に行われる採取です。

図25-5. 開始ﾋﾞｯﾄの採取

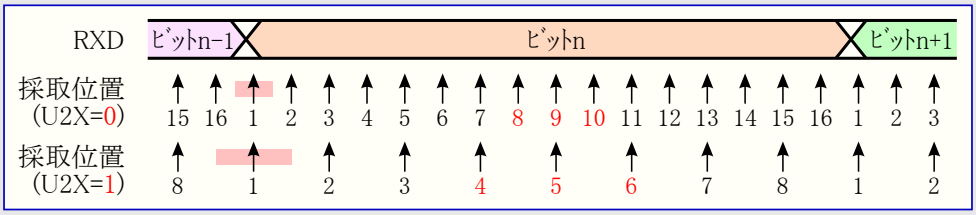


ｸﾛｯｸ再生論理回路がRXD信号線でHigh(ｱｲﾄﾞﾙ)からLow(開始)の遷移を検出すると、開始ﾋﾞｯﾄ検出手順が開始されます。図で示されるように採取1は最初のLow採取を意味します。その後にｸﾛｯｸ再生回路は有効な開始ﾋﾞｯﾄが受信されるかを決めるために、標準速動作に対して採取8,9,10、倍速動作に対して採取4,5,6(図の赤数字(**訳注**:原文は箱枠内)で示された採取番号)を使います。これら3回で2回以上の採取が論理Highﾚﾍﾞﾙの場合(多数決)、この開始ﾋﾞｯﾄは尖頭雑音として捨てられ、受信部は次のHighからLowの遷移を探し始めます。けれども有効な開始ﾋﾞｯﾄが検出されると、ｸﾛｯｸ再生論理回路は同期化され、ﾃﾞｰﾀ再生が開始されます。この同期化手順は各開始ﾋﾞｯﾄ毎に繰り返されます。

25.8.2. 非同期ﾃﾞｰﾀ再生

受信部ｸﾛｯｸが開始ﾋﾞｯﾄに同期化されるとﾃﾞｰﾀ再生が始められます。ﾃﾞｰﾀ再生部は標準速動作で16段、倍速動作で8段の順列回路を使います。次図はﾃﾞｰﾀ ﾋﾞｯﾄとﾊﾟﾘﾃｨ ﾋﾞｯﾄの採取を示します。各採取は再生部の各段に等しい番号を与えられます。

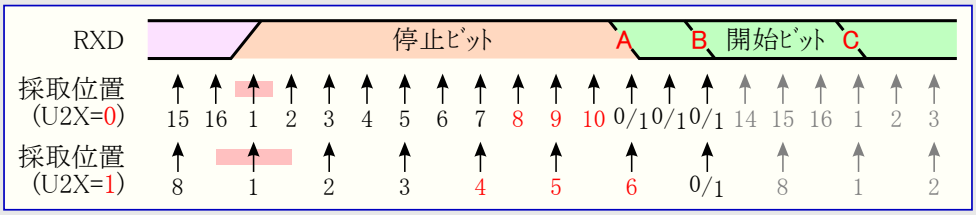
図25-6. ﾃﾞｰﾀ ﾋﾞｯﾄとﾊﾟﾘﾃｨ ﾋﾞｯﾄの採取



受信したﾋﾞｯﾄの論理値の決定は受信したﾋﾞｯﾄ中央の3採取で論理値の多数決を取ることによって行われます。この中央の3採取は図上の赤文字(**訳注**:原文は箱枠内)の採取番号によって強調されます。多数決の手順は次のように行われます。2または全3採取がHighﾚﾍﾞﾙならば受信したﾋﾞｯﾄは論理1が記録されます。2または全3採取がLowﾚﾍﾞﾙならば受信したﾋﾞｯﾄは論理0が記録されます。この多数決手順はRXDﾋﾟﾝの到着信号に対して低域通過濾波器(ﾛｰﾊﾟｽ ﾌｨﾙﾀ)のように働きます。この再生手順はその後に完全なﾌﾚｰﾑが受信されるまで繰り返されます。これには最初の(第1)停止ﾋﾞｯﾄを含みます。受信部がﾌﾚｰﾑの最初の停止ﾋﾞｯﾄだけを使うことに注意してください。

次図は停止ﾋﾞｯﾄの採取と次ﾌﾚｰﾑの最も早い開始ﾋﾞｯﾄ開始の可能性を示します。

図25-7. 停止ﾋﾞｯﾄの採取と次の開始ﾋﾞｯﾄの採取



ﾌﾚｰﾑ内の他のﾋﾞｯﾄに対して行われるのと同じ多数決が停止ﾋﾞｯﾄにも行われます。停止ﾋﾞｯﾄが論理0値と記録されると、ﾌﾚｰﾐﾝｸﾞ異常(FE)ﾌﾗｸﾞが設定(1)されます。

新規ﾌﾚｰﾑの開始ﾋﾞｯﾄを示すHighからLowへの遷移は多数決に使った最後のﾋﾞｯﾄ後に実現できます。標準速動作での最初のLowﾚﾍﾞﾙ採取は上図のA点で有り得ます。倍速動作での最初のLowﾚﾍﾞﾙはB点に遅れます。C点は完全な長さの停止ﾋﾞｯﾄ(の終点)を示します。この早い開始ﾋﾞｯﾄ検出は受信部の動作範囲に影響します。

25.8.3. 非同期での動作範囲

受信部の動作範囲は受信したﾋﾞｯﾄ速度と内部的に生成したﾎﾞｰﾚｰﾄ間の不一致に依存します。送信部が速すぎるまたは遅すぎるﾋﾞｯﾄ速度でﾌﾚｰﾑを送出したり、内部的に発生した受信部のﾎﾞｰﾚｰﾄが類似した(次表参照)基準周波数を持たない場合、受信部は開始ﾋﾞｯﾄでﾌﾚｰﾑを同期できません。

次式は到着ﾃﾞｰﾀ速度と内部受信部ﾎﾞｰﾚｰﾄ間の比率計算に使えます。

$$R_{slow} = \frac{(D+1)\times S}{S-1+D\times S+S_F} \qquad R_{fast} = \frac{(D+2)\times S}{(D+1)\times S+S_M}$$

D　　：ﾃﾞｰﾀとﾊﾟﾘﾃｨのﾋﾞｯﾄ数 (5～10)
S　　：ﾋﾞｯﾄあたりの採取数 (標準速=16、倍速=8)
S_F　：多数決に使う最初の採取番号 (標準速=8、倍速=4)
S_M　：多数決に使う中心の採取番号 (標準速=9、倍速=5)
R_{slow}：は受信側ﾎﾞｰﾚｰﾄに対して許容できる最低受信ﾋﾞｯﾄ速度の比率です。
R_{fast}：は受信側ﾎﾞｰﾚｰﾄに対して許容できる最高受信ﾋﾞｯﾄ速度の比率です。

次表は許容できる最大受信部ﾎﾞｰﾚｰﾄ誤差一覧です。標準速動作には、より高いﾎﾞｰﾚｰﾄ変動許容力があることに注目してください。

表25-2. 標準速と倍速での受信部ﾎﾞｰﾚｰﾄ推奨最大許容誤差

D	標準速動作 (U2Xn=0)				倍速動作 (U2Xn=1)			
	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80～+6.67	±3.0	94.12	105.66	-5.88～+5.66	±2.5
6	94.12	105.79	-5.88～+5.79	±2.5	94.92	104.92	-5.08～+4.92	±2.0
7	94.81	105.11	-5.19～+5.11	±2.0	95.52	104.35	-4.48～+4.35	±1.5
8	95.36	104.58	-4.54～+4.58	±2.0	96.00	103.90	-4.00～+3.90	±1.5
9	95.81	104.14	-4.19～+4.14	±1.5	96.39	103.53	-3.61～+3.53	±1.5
10	96.17	103.78	-3.83～+3.78	±1.5	96.70	103.23	-3.30～+3.23	±1.0

注: Dはﾃﾞｰﾀ ﾋﾞｯﾄ数とﾊﾟﾘﾃｨ ﾋﾞｯﾄの合計ﾋﾞｯﾄ数です。
(訳注) 原書は表25-2.に標準速、表25-3.に倍速を記載していますが、比較が容易なように表25-2.として纏めました。

受信部ﾎﾞｰﾚｰﾄの推奨最大許容誤差は最大総合許容誤差を送信部と受信部で等分割するという仮定の元で作られました。

受信部ﾎﾞｰﾚｰﾄ誤差に対して2つの起こり得る原因があります。受信部のｼｽﾃﾑ ｸﾛｯｸ(XTAL)は供給電圧範囲と温度範囲に関して常に若干の不安定性があります。ｼｽﾃﾑ ｸﾛｯｸを生成するのにｸﾘｽﾀﾙ発振子を使う時は殆ど問題ありませんが、(ｾﾗﾐｯｸ)振動子でのｼｽﾃﾑ ｸﾛｯｸは振動子偏差に依存して2%を越えて異なるかもしれません。2つ目の誤り原因はより制御可能です。ﾎﾞｰﾚｰﾄ発振器は欲したﾎﾞｰﾚｰﾄを得るためにｼｽﾃﾑ周波数の正確な分周を常に行うことはできません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRR値が使えます。

25.9. 複数ﾌﾟﾛｾｯｻ通信動作

USART制御/状態ﾚｼﾞｽﾀA(UCSRA)での複数ﾌﾟﾛｾｯｻ通信動作(MPCM)ﾋﾞｯﾄの設定(1)はUSART受信部によって受信された到着ﾌﾚｰﾑの選別機能を許可します。ｱﾄﾞﾚｽ情報を含まないﾌﾚｰﾑは無視され、受信緩衝部に格納されません。これは同一直列ﾊﾞｽ経由で通信する複数MCUのｼｽﾃﾑで、CPUによって扱われなければならない到着ﾌﾚｰﾑ数を効果的に減らします。送信部はMPCMﾋﾞｯﾄ設定によって影響されませんが、複数ﾌﾟﾛｾｯｻ通信動作を利用するｼｽﾃﾑの一部の時は違うふうに使われなければなりません。

受信部が5～8ﾃﾞｰﾀ ﾋﾞｯﾄを含むﾌﾚｰﾑを受信するように設定されるなら、最初の停止ﾋﾞｯﾄはﾃﾞｰﾀまたはｱﾄﾞﾚｽ情報を含むﾌﾚｰﾑかどうかを示します。受信部が9ﾃﾞｰﾀ ﾋﾞｯﾄのﾌﾚｰﾑに設定されるなら、USART制御/状態ﾚｼﾞｽﾀB(UCSRB)の受信第9(RXB8)ﾋﾞｯﾄがｱﾄﾞﾚｽとﾃﾞｰﾀのﾌﾚｰﾑを識別するのに使われます。ﾌﾚｰﾑ種別(最初の停止または第9)ﾋﾞｯﾄが1の時にﾌﾚｰﾑはｱﾄﾞﾚｽを含みます。ﾌﾚｰﾑ種別ﾋﾞｯﾄが0の時にそのﾌﾚｰﾑはﾃﾞｰﾀ ﾌﾚｰﾑです。

複数ﾌﾟﾛｾｯｻ通信動作は主MCUからのﾃﾞｰﾀを多くの従MCUで受信することを可能にします。これはどのMCUがｱﾄﾞﾚｽ指定されるかを検出するため、最初にｱﾄﾞﾚｽ ﾌﾚｰﾑを調べることによって行われます。特定の従MCUがｱﾄﾞﾚｽ指定されたなら、そのMCUは後続するﾃﾞｰﾀ ﾌﾚｰﾑを通常のように受信し、一方その他の従MCUは他のｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまで受信したﾌﾚｰﾑを無視します。

25.9.1. 複数ﾌﾟﾛｾｯｻ通信の使用法

主MCUとして動作するMCUは9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式(UCSZ=7)を使えます。UCSRBの送信第9(TXB8)ﾋﾞｯﾄはｱﾄﾞﾚｽ ﾌﾚｰﾑ時に設定(1)、またはﾃﾞｰﾀ ﾌﾚｰﾑ時に解除(0)されて送信されなければなりません。この場合、従MCUは9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式の使用に設定されなければなりません。

複数ﾌﾟﾛｾｯｻ通信動作でﾃﾞｰﾀを交換するのに次の手順が使われるべきです。

1. 全ての従MCUは複数ﾌﾟﾛｾｯｻ通信動作です(UCSRAの複数ﾌﾟﾛｾｯｻ通信動作(MPCM)ﾋﾞｯﾄが設定(1))。
2. 主MCUはｱﾄﾞﾚｽ ﾌﾚｰﾑを送り、全ての従装置がこのﾌﾚｰﾑを受信し、これを読みます。従CPUでは通常のようにUCSRAで受信完了(RXC)ﾌﾗｸﾞが設定(1)されます。
3. 各従MCUはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)を読み、選択されたかを判定します。選択された場合はUCSRAのMPCMﾋﾞｯﾄを解除(0)し、そうでなければ(非選択の場合は)MPCMﾋﾞｯﾄ設定を保ち、次のｱﾄﾞﾚｽ ﾌﾚｰﾑを待ちます。
4. ｱﾄﾞﾚｽ指定されたMCUは新規ｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまで全ﾃﾞｰﾀ ﾌﾚｰﾑを受信します。MPCMﾋﾞｯﾄが未だ設定(1)されている他の従CPUはこのﾃﾞｰﾀ ﾌﾚｰﾑを無視します。
5. 最後のﾃﾞｰﾀ ﾌﾚｰﾑがｱﾄﾞﾚｽ指定されたMCUによって受信されると、ｱﾄﾞﾚｽ指定されたMCUはMPCMﾋﾞｯﾄを設定(1)し、主装置からの新規ｱﾄﾞﾚｽ ﾌﾚｰﾑを待ちます。以降、手順は2.からを繰り返します。

5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式のどの使用も可能ですが、受信側が使うnとn+1ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式間を切り替えなければならないため非実用的です。これは送信部と受信部が同じﾃﾞｰﾀ ﾋﾞｯﾄ長設定を使うため、全二重(ﾌﾙﾃﾞｭｰﾌﾟﾚｯｸｽ)動作を困難にします。5～8ﾋﾞｯﾄﾃﾞｰﾀ ﾌﾚｰﾑが使われる場合、最初の停止ﾋﾞｯﾄがﾌﾚｰﾑ種別を示すのに使われるので、送信部は2停止ﾋﾞｯﾄ使用(USBS=1)に設定されなければなりません。

MPCMﾋﾞｯﾄを設定(1)または解除(0)するのに読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)命令(SBIとCBI)を使ってはいけません。MPCMﾋﾞｯﾄは送信完了(TXC)ﾌﾗｸﾞと同じI/O位置を共用しており、SBIまたはCBI命令を使うと偶然に解除(0)されるかもしれません。

25.10. ボーレート設定例

標準的なクリスタル発振子やセラミック振動子の周波数に対して最も一般的に使われる非同期動作のボーレートは下表のUBRR設定を使うことによって生成できます。目的のボーレートに対して設定誤差1.5%(標準速:U2X=0)、1.0%(倍速:U2X=1)以上を赤字で示します(**訳注**:原書の本文は0.5%未満を太字)。より高い誤差率でも受け入れ可能ですが、特に長い直列フレームで誤差率が高いと、受信部は雑音耐性が低下します(「**非同期での動作範囲**」をご覧ください)。誤差率は次式を使って計算されます。

$$\text{誤差率}(\%) = \left(\frac{\text{UBRR設定ボーレート(最近似値)}}{\text{目的のボーレート}} - 1 \right) \times 100(\%)$$

表25-4. Xtal、ボーレート対UBRRH,UBRRL設定 (UBRR=UBRRH:UBRRL)

ボーレート (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ボーレート (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注: 最高速はUBRR=0、誤差=0.0%です。 以降の周波数は次頁へ続く。

(**訳注**) 原書では頁割された表毎に表番号25-4.～7.となっていますが、共通性から纏めて表25-4.としました。
原書に対して数種の発振周波数を追加しました。

表25-4 (続き). Xtal、ボーレート対UBRRH,UBRRL設定 (UBRR=UBRRH:UBRRL)

ボーレート (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ボーレート (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

ボーレート (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注: 最高速はUBRR=0、誤差=0.0%です。

25.11. USART用ﾚｼﾞｽﾀ

25.11.1. UDRn – USARTnﾃﾞｰﾀ ﾚｼﾞｽﾀ (USARTn I/O Data Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : UDR0 : UDR1
変位 : $0C ($2C) : ($9C)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2C:$9Cです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TXBn/RXBn7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TXBn7~0/RXBn7~0 : USART送受信ﾃﾞｰﾀ** (USARTn Transmit / Receive Data Buffer)

同じI/Oｱﾄﾞﾚｽを共用するUSART受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀとUSART送信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀまたはUDRnとして引用しました。送信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀ(TXB)はUDRnﾚｼﾞｽﾀ位置に書かれるﾃﾞｰﾀの転送先です。UDRnﾚｼﾞｽﾀ位置読み込みは受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀ(RXB)の内容を返します。

5～7ﾋﾞｯﾄ ﾃﾞｰﾀでの上位未使用ﾋﾞｯﾄは送信部によって無視され、受信部によって0に設定されます。

送信緩衝部はUCSRnAで送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDREn)ﾌﾗｸﾞが設定(1)される時にだけ書けます。UDREnﾌﾗｸﾞが設定(1)されない時にUDRnへ書かれたﾃﾞｰﾀはUSART送信部によって無視されます。送信部が許可されて送信緩衝部にﾃﾞｰﾀが書かれると、送信部は送信移動ﾚｼﾞｽﾀが空きの時にそのﾃﾞｰﾀを送信移動ﾚｼﾞｽﾀへ設定(移動)します。その後にﾃﾞｰﾀはTXDnﾋﾟﾝで直列送信されます。

受信緩衝部は2段のFIFOから成ります。このFIFOは受信緩衝部がｱｸｾｽされる毎にその状態を切り替えます。この受信緩衝部の動きのため、この位置に読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)命令(SBIとCBI)を使えません。ﾋﾞｯﾄ検査(SBICとSBIS)命令もFIFOの状態を換えるので、これらの命令を使う時は注意してください。

25.11.2. UCSRnA – USARTn制御/状態ﾚｼﾞｽﾀA (USARTn Control and Status Register A)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : UCSR0A : UCSR1A
変位 : $0B ($2B) : ($9B)
ﾘｾｯﾄ : $20
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2B:$9Bです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RXCn	TXCn	UDREn	FEn	DORn	UPEn	U2Xn	MPCMn
ｱｸｾｽ種別	R	R/W	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	1	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RXCn : USART受信完了ﾌﾗｸﾞ** (USARTn Receive Complete)

このﾌﾗｸﾞは受信緩衝部に未読ﾃﾞｰﾀがある時に設定(1)され、受信緩衝部が空の(換言すると、どんな未読ﾃﾞｰﾀも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部が破棄され、その結果RXCnﾌﾗｸﾞは0になります。RXCnﾌﾗｸﾞは受信完了割り込みを発生するのに使えます(USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)の受信完了割り込み許可(RXCIEn)ﾋﾞｯﾄをご覧ください)。

● **ﾋﾞｯﾄ6 – TXCn : USART送信完了ﾌﾗｸﾞ** (USARTn Transmit Complete)

このﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀ内の完全なﾌﾚｰﾑが移動出力されてしまい、送信緩衝部(UDRn)に新規ﾃﾞｰﾀが現存しない時に解除(1)されます。TXCnﾌﾗｸﾞは送信完了割り込みが実行されるとき、自動的に解除(0)されるか、またはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)できます。TXCnﾌﾗｸﾞは送信完了割り込みを発生できます(UCSRnBの送信完了割り込み許可(TXCIEn)ﾋﾞｯﾄをご覧ください)。

● **ﾋﾞｯﾄ5 – UDREn : USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きﾌﾗｸﾞ** (USARTn Data Register Empty)

UDREnﾌﾗｸﾞは送信緩衝部(UDRn)が新規ﾃﾞｰﾀを受け取る準備ができているかどうかを示します。UDREnが1ならば緩衝部は空で、従って書かれる準備ができています。UDREnﾌﾗｸﾞは送信緩衝部空き割り込みを発生できます(UCSRnBの送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可(UDRIEn)ﾋﾞｯﾄをご覧ください)。 送信部が準備できているのを示すため、ﾘｾｯﾄ後のUDREnは設定(1)です。

● **ﾋﾞｯﾄ4 – FEn : ﾌﾚｰﾐﾝｸﾞ異常ﾌﾗｸﾞ** (Framing Error)

受信緩衝部の次ﾃﾞｰﾀが受信した時にﾌﾚｰﾐﾝｸﾞ異常(換言すると、受信緩衝部で次ﾃﾞｰﾀの最初の(第1)停止ﾋﾞｯﾄがLow)だった場合、このﾋﾞｯﾄが設定(1)されます。このﾌﾗｸﾞは受信緩衝部(UDRn)が読まれるまで有効です。受信したﾃﾞｰﾀの停止ﾋﾞｯﾄがHighの時にFEnﾌﾗｸﾞは0です。UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

● **ﾋﾞｯﾄ3 – DORn : ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生ﾌﾗｸﾞ** (Data OverRun)

このﾋﾞｯﾄはｵｰﾊﾞｰﾗﾝ状態が検出されると設定(1)されます。受信緩衝部(2ﾌﾚｰﾑ分)が一杯で、新規ﾌﾚｰﾑが受信移動ﾚｼﾞｽﾀ内で待機中に新規開始ﾋﾞｯﾄが検出されるとﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝが起こります。UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

● **ﾋﾞｯﾄ2 – UPEn : ﾊﾟﾘﾃｨ誤りﾌﾗｸﾞ** (USART Parity Error)

受信緩衝部の次ﾃﾞｰﾀが受信した時にﾊﾟﾘﾃｨ誤りがあり、その時点でﾊﾟﾘﾃｨ検査が許可されていれば(UPMn1=1)、このﾋﾞｯﾄが設定(1)されます。このﾌﾗｸﾞは受信緩衝部(UDRn)が読まれるまで有効です。UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

● **ﾋﾞｯﾄ1 – U2Xn : 倍速許可** (Double the USART Transmission Speed)

このﾋﾞｯﾄは非同期動作でだけ有効です。同期動作を使うとき、このﾋﾞｯﾄに0を書いてください。

このﾋﾞｯﾄに1を書くことはﾎﾞｰﾚｰﾄ分周器の分周値を16から8に減らして事実上、非同期通信の転送速度を倍にします。

● **ﾋﾞｯﾄ0 – MPCMn : 複数ﾌﾟﾛｾｯｻ通信動作** (Multi-Processor Communication Mode)

このﾋﾞｯﾄは複数ﾌﾟﾛｾｯｻ通信動作を許可します。MPCMnﾋﾞｯﾄが1を書かれると、USART受信部によって受信したｱﾄﾞﾚｽ情報を含まない全到着ﾌﾚｰﾑは無視されます。送信部はMPCMn設定に影響されません。より多くの詳細情報については146頁の「**複数ﾌﾟﾛｾｯｻ通信動作**」を参照してください。

25.11.3. UCSRnB – USARTn制御/状態ﾚｼﾞｽﾀB (USARTn Control and Status Register B)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : UCSR0B : UCSR1B
変位 : $0A ($2A) : ($9A)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2A:$9Aです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RXCIEn	TXCIEn	UDRIEn	RXENn	TXENn	UCSZn2	RXB8n	TXB8n
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RXCIEn : 受信完了割り込み許可** (Receive Complete Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の受信完了(RXCn)ﾌﾗｸﾞでの割り込みを許可します。USART受信完了割り込みはRXCIEnﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)で全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでRXCnﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

● **ﾋﾞｯﾄ6 – TXCIEn : 送信完了割り込み許可** (Transmit Complete Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の送信完了(TXCn)ﾌﾗｸﾞでの割り込みを許可します。USART送信完了割り込みはTXCIEnﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでTXCnﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

● **ﾋﾞｯﾄ5 – UDRIEn : 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可** (Transmit Data Register Empty Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDREn)ﾌﾗｸﾞでの割り込みを許可します。USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みはUDRIEnﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでUDREnﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

● **ﾋﾞｯﾄ4 – RXENn : 受信許可** (Receiver Enable)

このﾋﾞｯﾄへの1書き込みはUSART受信(部)を許可します。受信部は許可されるとRXDnﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。受信の禁止は受信緩衝部を破棄し、ﾌﾚｰﾐﾝｸﾞ異常(FEn)、ｵｰﾊﾞｰﾗﾝ(DORn)、ﾊﾟﾘﾃｨ誤り(UPEn)のﾌﾗｸﾞを無効にします。

● **ﾋﾞｯﾄ3 – TXENn : 送信許可** (Transmitter Enable)

このﾋﾞｯﾄへの1書き込みはUSART送信(部)を許可します。送信部は許可されるとTXDnﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。送信の禁止(TXENn=0書き込み)は進行中と保留中の送信が完了される(換言すると、送信移動ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信されるべきﾃﾞｰﾀを含まない)まで有効になりません。禁止したとき、送信部はもはやTXDnﾎﾟｰﾄ(の標準I/O機能)を無効にしません。

● ビット2 – UCSZn2 : データ ビット長選択2 (Character Size)

USART制御/状態レジスタC(UCSRnC)のUCSZn1,0ビットと組み合わせたUCSZn2ビットは送受信部で使うフレームのデータ ビット数(Character size)を設定します。

● ビット1 – RXB8n : 受信データ ビット8 (Receive Data Bit 8)

RXB8nは9ビット データでの直列フレーム操作時に受信したフレームの第9データ ビット(ビット8)です。UDRnから下位ビットを読む前に読んでください。

● ビット0 – TXB8n : 送信データ ビット8 (Transmit Data Bit 8)

TXB8nは9ビット データでの直列フレーム操作時に送信されるべきデータの第9データ ビット(ビット8)です。UDRnへ下位ビットを書く前に書いてください。

25.11.4. UCSRnC – USARTn制御/状態レジスタC (USARTn Control and Status Register C)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: このレジスタはATmega103互換動作で利用できません。

名称 : UCSR0C : UCSR1C
変位 : ($95) : ($9D)
リセット : $06
特質 : –

ビット	7	6	5	4	3	2	1	0
	–	UMSELn	UPMn1	UPMn0	USBSn	UCSZn1	UCSZn0	UCPOLn
アクセス種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	1	1	0

● ビット6 – UMSELn : USARTn動作選択 (USARTn Mode Select)

このビットは非同期と同期の動作種別のどちらかを選びます。

表25–5. USART動作選択

UMSELn	動作種別
0	非同期動作
1	同期動作

● ビット5,4 – UPMn1,0 : パリティ選択 (Parity Mode)

これらのビットはパリティの発生と検査の許可と種別を設定します。許可した場合、送信部は各フレーム内での送信したデータ ビットのパリティを自動的に生成して送出します。受信部は到着データからパリティ値を生成し、UPMn0設定と比較します。不一致が検出されると、USART制御/状態レジスタA(UCSRnA)でパリティ誤り(UPEn)フラグが設定(1)されます。

表25–6. パリティ選択

UPMn1	UPMn0	パリティ動作
0	0	禁止
0	1	(予約)
1	0	偶数パリティ許可
1	1	奇数パリティ許可

● ビット3 – USBSn : 停止ビット選択 (Stop Bit Select)

このビットは送信部によって挿入される停止ビット数を選びます。受信部はこの設定を無視します(**訳補**:常に第1停止ビットだけが有効)。

表25–7. 停止ビット選択

USBSn	停止ビット数
0	1ビット
1	2ビット

● ビット2,1 – UCSZn1,0 : データ ビット長選択 (Character Size)

USART制御/状態レジスタB(UCSRnB)のUCSZn2ビットと組み合わせたUCSZn1,0ビットは送受信部で使うフレームのデータ ビット数(Character size)を設定します。

表25–8. データ ビット長選択

UCSZn2～0	000	001	010	011	100	101	110	111
データ ビット数	5ビット	6ビット	7ビット	8ビット	(予約)	(予約)	(予約)	9ビット

● **ビット0 – UCPOLn : クロック極性選択** (Clock Polarity)

このビットは同期動作に対してだけ使われます。非同期動作が使われる時はこのビットに0を書いてください。UCPOLnビットは同期クロック(XCKn)、データ出力変更、データ入力採取間の関係を設定します。

表25–9. XCKクロック極性選択

UCPOLn	送信データ変更 (TXDnピン出力)	受信データ採取 (RXDnピン入力)
0	XCKnの上昇端	XCKnの下降端
1	XCKnの下降端	XCKnの上昇端

25.11.5. UBRRnL – USARTnボーレート レジスタ下位 (USARTn Baud Rate Register Low)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : UBRR0L : UBRR1L
変位 : $09 ($29) : ($99)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$29:$99です。

ビット	7	6	5	4	3	2	1	0
	UBRRn7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – UBRRn7~0 : ボーレート分周値下位** (USARTn Baud Rate low)

UBRRnHとUBRRnLを合わせたUBRRnはUSARTnのボーレートを含む12ビット レジスタです。UBRRnHがUSARTnボーレートの上位4ビットを含み、UBRRnLが下位8ビットを含みます。ボーレートが変更されると、送受信部で進行中の転送は不正にされます。UBRRnL書き込みはボーレート前置分周器の更新を直ちに始めます。

25.11.6. UBRRnH – USARTnボーレート レジスタ上位 (USARTn Baud Rate Register High)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

注: UBRRnHレジスタはATmega103互換動作で利用できません。

名称 : UBRR0H : UBRR1H
変位 : ($90) : ($98)
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	–	–	–	–	UBRRn11~8			
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3~0 – UBRR11~8 : ボーレート分周値上位** (USARTn Baud Rate high)

このレジスタ内のビットはUBRRn11～8の範囲です。USARTボーレート レジスタ下位(UBRRnL)を参照してください。

26. TWI – 2線直列インターフェース (2-wire Serial Interface)

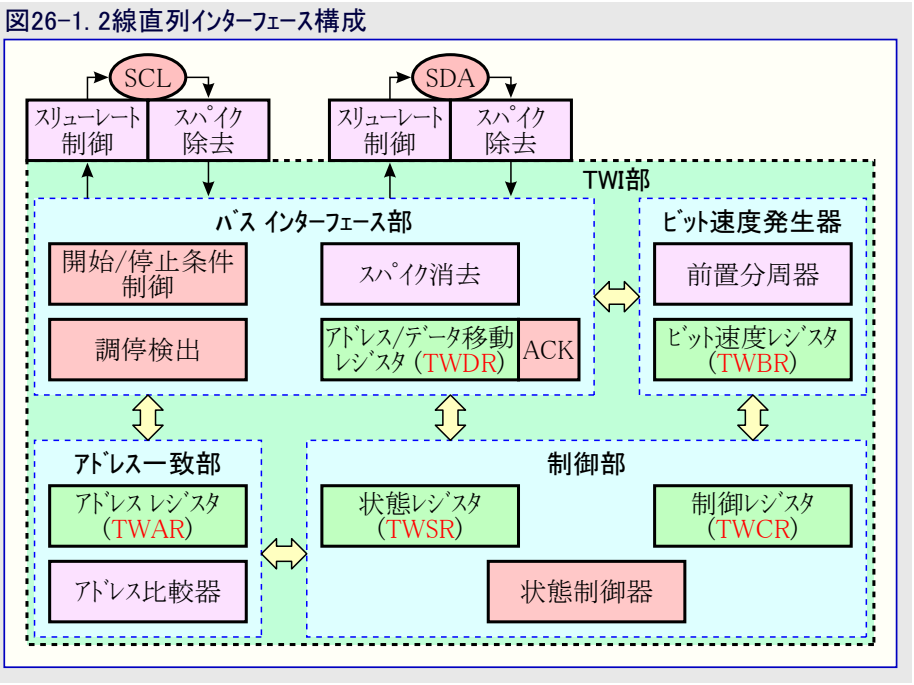
26.1. 特徴

- 2本のバス信号線のみ必要な、単純ながら強力で柔軟な通信インターフェース
- 主装置動作と従装置動作の両方を支援
- 送信装置または受信装置として動作可能
- 7ビットのアドレス空間が128までの異なる従装置アドレスを許容
- 複数主装置の調停支援
- 400kHzまでのデータ転送速度
- 上昇/下降(スリューレート)制限された出力駆動回路
- バス信号線のスパイクを排除する雑音消去回路
- 一斉呼び出しを含む完全に設定変更可能な従装置アドレスの支援
- AVRが休止形態の時のアドレス認証(一致)起動

26.2. 概要

次図で示されるようにTWI部は様々な部分から成ります。赤文字で示された(**訳注**:原文は太線で描かれた)全てのレジスタはAVRデータバスを通してアクセス可能です。

図26-1. 2線直列インターフェース構成



26.2.1. SCLとSDAピン

これらのピンはAVR TWIをMCUシステムのその他とインターフェースします。出力駆動部はTWI仕様に適合させるためのスリューレート(上昇/下降)制限器を含みます。入力段は50nsよりも短いスパイクを除去するスパイク消去部を含みます。「**入出力ポート**」章で説明したようにAVRパッドの内部プルアップはSCLとSDAピンに対応するポートのビットを設定(=1)することによって許可できることに注目してください。内部プルアップはいくつかのシステムで外部抵抗の必要をなくせます。

26.2.2. ビット速度発生器

この部分は主装置動作で動く時のSCL周期を制御します。SCL周期はTWIビット速度レジスタ(TWBR)とTWI状態レジスタ(TWSR)の前置分周器ビットの設定によって制御されます。従装置動作はビット速度や前置分周器設定と関係ありませんが、従装置でのCPUクロック周波数はSCL周波数よりも最低16倍高くなければなりません。従装置がSCLのLow期間を延長するかもしれず、これによって平均TWIバス クロック周波数が減少することに注意してください。SCL周波数は次式に従って生成されます。

$$\text{SCL周波数} = \frac{\text{CPUクロック周波数}}{16+2\times(\text{TWBR})\times\text{前置分周値}}$$

TWBR : TWI ビット速度レジスタ値
前置分周値 : TWI状態レジスタの前置分周器選択(TWPS)をご覧ください。

注: プルアップ抵抗値はSCL周波数とバス信号線の容量性負荷に応じて選択されるべきです。プルアップ抵抗の値については「**2線直列インターフェース特性**」をご覧ください。

関連リンク 229頁の「2線直列インターフェース特性」

26.2.3. バス インターフェース部

この部分はデータとアドレスの移動レジスタ(TWDR)、開始条件/停止条件制御器、調停検出回路を含みます。TWDRは送信されるべきアドレスまたはデータ バイト、若しくは受信したアドレスまたはデータ バイトを含みます。8ビットのTWDRに加えてバス インターフェース部は送信されるべきまたは受信した(N)ACKビットを含むレジスタも含みます。この(N)ACKレジスタは応用ソフトウェアによって直接的にアクセスできません。けれどもTWI制御レジスタ(TWCR)を操作することにより、受信時に設定(1)または解除(0)できます。送信装置動作時、受信した(N)ACKビットの値はTWSRの値によって判定できます。

開始条件/停止条件制御器は開始条件、再送開始条件、停止条件の生成と検出に対して責任があります。開始条件/停止条件制御器はAVR MCUが主装置によってアドレス指定された場合にMCUを起動できる休止形態の1つの時でも、開始条件または停止条件を検出できます。

TWIが主装置として送信を始めると、調停検出ハードウェアは調停が進行中かを決めるために送信の試行を継続的に監視します。TWIが調停に敗れた場合、制御部に通知されます。その後に正しい処置が行われ、適切な状態符号が生成されます。

26.2.4. アドレス一致部

アドレス一致部は受信したアドレス バイトがTWI アドレス レジスタ(TWAR)の7ビット アドレスと一致するかを検査します。TWARで一斉呼び出し検出許可(TWGCE)ビットが1を書かれると、全ての到着アドレス ビットは一斉呼び出しアドレスに対しても比較されます。アドレス一致で制御部は通知され、正しい処置を行うことを許します。TWIはTWI制御レジスタ(TWCR)の設定によって、そのアドレスへの応答をするかもしれないし、しないかもしれません。アドレス一致部はAVR MCUが主装置によってアドレス指定された場合にMCUを起動できる休止形態の1つの時でも、アドレスを比較できます。TWIがパワーダウン動作でのアドレス一致でCPUを起動中に他の割り込み(例えばINT0)が起こると、TWIは動作を停止し、アイドル状態で復帰します。これが何らかの問題の原因なら、パワーダウン動作へ移行する時にTWIアドレス一致だけが割り込みを許可されることを保証してください。

26.2.5. 制御部

制御部はTWIバスを監視し、TWI制御レジスタ(TWCR)の設定に従った応答を生成します。応用に注意を要求する事象がTWIバスで起こると、TWI割り込み要求フラグ(TWINT)が有効にされます。次のクロック周期で、TWI状態レジスタ(TWSR)は事象を示す状態符号で更新されます。TWI割り込み要求フラグが有効にされる時にだけ、TWSRは適切な状態情報を含みます。他の全てのとき、TWSRは適切な状態情報が利用できないことを示す特別な状態符号を含みます。TWINTフラグが設定(1)されている限り、SCL信号線はLowに保たれます。これは続くTWI送信を許す前の(現状)処理完了を応用ソフトウェアに許します。

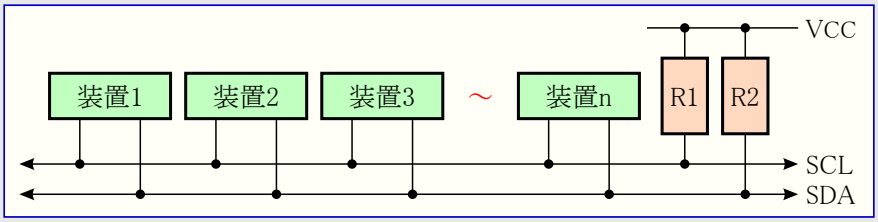
TWI割り込み要求フラグ(TWINT)は次の場合に設定(1)されます。

- 開始条件または再送開始条件送信後
- SLA+R/W送信後
- アドレス バイト送信後
- 調停に敗れた後
- 自身の従装置アドレスまたは一斉呼び出しによってアドレス指定された後
- データ バイト受信後
- 従装置として未だアドレス指定されている間の停止条件または再送開始条件受信後
- 不正な開始条件または停止条件のためバス異常が起きた時

26.3. 2線直列インターフェース バスの定義

2線直列インターフェース(TWI)は代表的なマイクロ コントローラ応用に対して理想的に適応されています。TWI通信規約は2本の双方向バス信号線、データ用1本(SDA)とクロック用1本(SCL)だけを使って128個までの異なる装置の相互接続をシステム設計者に許します。バスを実現するのに必要とされる外部ハードウェアはTWIバス信号線各々に1本づつのプルアップ抵抗だけです。バスに接続した全ての装置は個別のアドレスを持ち、バス衝突を解決する機構は本質的にTWI通信規約で行います。

図26-2. 2線直列(TWI)バス構成



26.3.1. TWI用語定義

次の定義は本項で度々使われます。

表26-1. TWI用語定義

用語	意味
主装置	送信の開始と終了を行う装置。主装置はSCLクロックも生成します。
従装置	主装置によって指定された装置。
送信装置	バス上にデータを送り出す装置。
受信装置	バスからデータを読み込む装置。

26.3.2. 電気的な相互接続

図26-2.で描かれたように両方のﾊﾞｽ信号線はﾌﾟﾙｱｯﾌﾟ抵抗を通して正供給電圧に接続されます。全てのTWI準拠装置のﾊﾞｽ駆動部はｵｰﾌﾟﾝ ﾄﾞﾚｲﾝかｵｰﾌﾟﾝ ｺﾚｸﾀです。これはｲﾝﾀｰﾌｪｰｽの動作のために重要なﾜｲｱｰﾄﾞAND機能を実現します。TWIﾊﾞｽ信号線のLow ﾚﾍﾞﾙは1つまたはより多くのTWI装置の0出力時に生成されます。Highﾚﾍﾞﾙは全TWI装置がHi-Z出力時の出力で、ﾌﾟﾙｱｯﾌﾟ抵抗に信号線をHighへ引き上げさせます。どんなﾊﾞｽ動作を許すのにも、TWIﾊﾞｽに接続した全てのAVRﾃﾞﾊﾞｲｽが電力供給されなければならないことに注意してください。

このﾊﾞｽに接続できる装置数は7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽ空間と400pFのﾊﾞｽ容量制限によってのみ制限されます。TWIの電気的特性の詳細仕様は「**2線直列ｲﾝﾀｰﾌｪｰｽ特性**」で与えられます。そこで与えられる2組の異なる仕様は、1つがﾊﾞｽ速度100kHz以下に関するもので、もう1つはﾊﾞｽ速度400kHzまでに関して有効です。

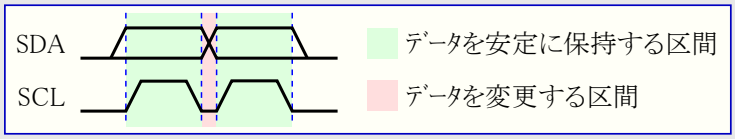
関連ﾘﾝｸ　229頁の「2線直列ｲﾝﾀｰﾌｪｰｽ特性」

26.4. ﾃﾞｰﾀ転送とﾌﾚｰﾑ形式

26.4.1. ﾋﾞｯﾄ転送

TWIﾊﾞｽに転送される各ﾃﾞｰﾀ ﾋﾞｯﾄはｸﾛｯｸ信号線のﾊﾟﾙｽを伴います。ﾃﾞｰﾀ信号線のﾚﾍﾞﾙはｸﾛｯｸ信号線がHighの時に安定していなければなりません。この規則の例外は開始条件と停止条件の生成だけです。

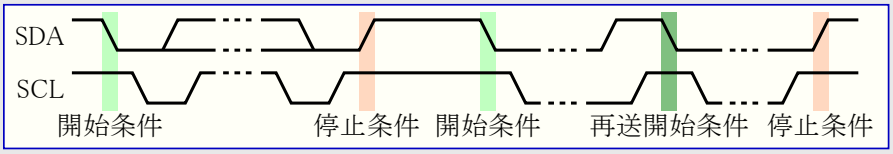
図26-3. ﾃﾞｰﾀの有効性



26.4.2. 開始条件と停止条件

主装置がﾃﾞｰﾀ転送の開始と終了を行います。転送は主装置がﾊﾞｽに開始条件を起こすと開始され、主装置が停止条件を起こすと終了されます。開始条件と停止条件間はﾊﾞｽが使用中と考えられ、他の主装置はﾊﾞｽの制御獲得を試みるべきではありません。開始条件と停止条件間で新規開始条件が起こされると特別な状態が起きます。これは再送開始条件として引用され、主装置がﾊﾞｽの制御を手放さずに新規転送を始めたい時に使われます。再送開始条件後、ﾊﾞｽは次の停止条件まで使用中と考えられます。これは開始動作についてと全く同じで、従って特記事項を除いて本ﾃﾞｰﾀｼｰﾄの残りに対して開始条件と再送開始条件の両方の記述に開始条件が使われます。下で描かれるように、開始条件と停止条件はSCL信号線がHighの時のSDA信号線のﾚﾍﾞﾙ変更によって指示されます。

図26-4. 開始条件、再送開始条件、停止条件 ﾊﾞｽ ﾀｲﾐﾝｸﾞ



26.4.3. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ形式

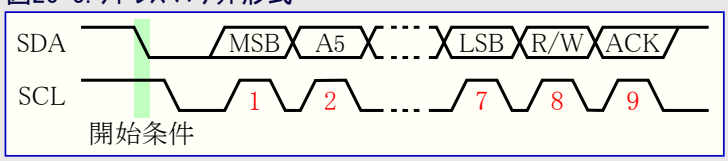
TWIﾊﾞｽに送信した全てのｱﾄﾞﾚｽ ﾊﾟｹｯﾄは7ﾋﾞｯﾄのｱﾄﾞﾚｽ ﾋﾞｯﾄ、1ﾋﾞｯﾄの方向(Read/Write)制御ﾋﾞｯﾄ、1ﾋﾞｯﾄの応答ﾋﾞｯﾄから成る9ﾋﾞｯﾄです。方向(R/W)ﾋﾞｯﾄが設定(1)されると読み出し操作が実行され、さもなければ書き込み操作が実行されるべきです。従装置がｱﾄﾞﾚｽ指定されたことを認証すると、9番目のSCL(ACK)周期でSDAをLowへ引くことによって確認応答すべきです。ｱﾄﾞﾚｽ指定された従装置が忙しいまたはその他の理由で主装置の要求を扱えない場合、確認応答(ACK)ｸﾛｯｸ周期でSDA信号線をHighのままにすべきです。主装置はその後に停止条件または新規転送を始めるために再送開始条件を送出できます。従装置ｱﾄﾞﾚｽと方向(R/W)ﾋﾞｯﾄから成るｱﾄﾞﾚｽ ﾊﾟｹｯﾄは各々、SLA+RまたはSLA+Wと呼ばれます。

ｱﾄﾞﾚｽ ﾋﾞｯﾄの最上位ﾋﾞｯﾄ(MSB)が最初に送信されます。従装置ｱﾄﾞﾚｽは設計者によって自由に割り当てられますが、ｱﾄﾞﾚｽ0000 000は一斉呼び出し用に予約されています。

一斉呼び出しが起こされると、全従装置は確認応答(ACK)周期でSDA信号線をLowにすることによって応答すべきです。一斉呼び出しは主装置がｼｽﾃﾑ内のそれぞれの従装置に同じ通信内容を送信したい時に使われます。一斉呼び出しｱﾄﾞﾚｽに続きW(方向が書き込み)ﾋﾞｯﾄがﾊﾞｽに送信されると、一斉呼び出しに応答する設定の全ての従装置は、ACK周期でSDA信号線をLowに引き込みます。そして後続のﾃﾞｰﾀ ﾊﾟｹｯﾄは一斉呼び出しに確認応答した全従装置によって受信されます。一斉呼び出しｱﾄﾞﾚｽに続くR(方向が読み出し)ﾋﾞｯﾄの送信は、従装置それぞれが異なるﾃﾞｰﾀの送信を始めた場合の衝突の原因となるので意味がないことに注意してください。

1111 xxx形式の全ｱﾄﾞﾚｽは将来の目的のために予約されるべきです(**訳補**: I²C規格のｱﾄﾞﾚｽ拡張他)。

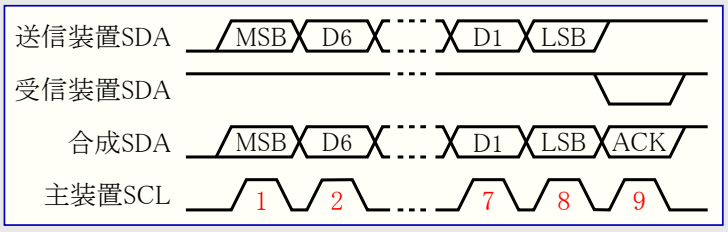
図26-5. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ形式



26.4.4. ﾃﾞｰﾀ ﾊﾟｹｯﾄ形式

TWIﾊﾞｽに送信した全てのﾃﾞｰﾀ ﾊﾟｹｯﾄは1ﾊﾞｲﾄのﾃﾞｰﾀと1ﾋﾞｯﾄの応答ﾋﾞｯﾄから成る9ﾋﾞｯﾄです。ﾃﾞｰﾀ転送中、主装置はｸﾛｯｸと開始条件、停止条件を生成し、一方受信装置は受信に応答する責任があります。確認応答(ACK)は受信装置が9番目のSCL周期中にSDA信号線をLowに引き込むことによって示されます。受信装置がSDA信号線をHighのままにするとNACKを示します。受信装置が最終ﾊﾞｲﾄを受信したとき、または何らかの理由でこれ以上のﾊﾞｲﾄを受信ができないとき、最終ﾊﾞｲﾄ後にNACKを送ることによって送信装置へ通知すべきです。ﾃﾞｰﾀﾊﾞｲﾄの最上位(MSB)ﾋﾞｯﾄが最初に送信されます。

図26-6. ﾃﾞｰﾀ ﾊﾟｹｯﾄ形式

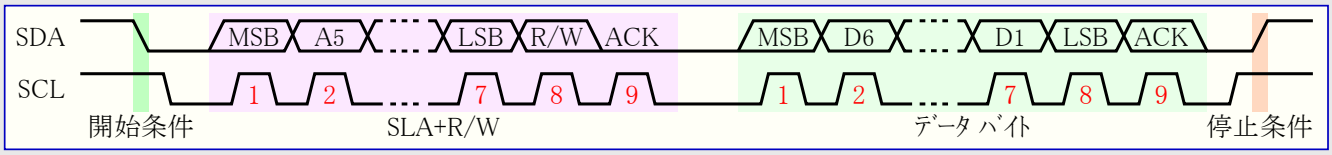


26.4.5. 転送内でのｱﾄﾞﾚｽ ﾊﾟｹｯﾄとﾃﾞｰﾀ ﾊﾟｹｯﾄの組み合わせ

転送は基本的に開始条件、SLA+R/W、1つ以上のﾃﾞｰﾀ ﾊﾟｹｯﾄ、停止条件から成ります。開始条件に続く停止条件から成る空の通信内容は規則違反です。SCL信号線のﾜｲｱｰﾄﾞANDが主装置と従装置間のﾊﾝﾄﾞｼｪｰｸに使えることに注目してください。従装置はSCL信号線をLowに引き込むことによってSCLのLow期間を引き伸ばせます。これは主装置が従装置に対して速すぎるｸﾛｯｸ速度設定、または従装置がﾃﾞｰﾀ送信間の処理に追加時間を必要とする場合に有用です。従装置がSCLのLow期間を延長することは、主装置によって決められるSCLのHigh期間に影響しません。同様に従装置はSCLのﾃﾞｭｰﾃｨ比(Low期間)を延長することによってTWIﾃﾞｰﾀ転送速度を落とせます。

次図は代表的なﾃﾞｰﾀ転送を示します。応用ｿﾌﾄｳｪｱによって実装されたｿﾌﾄｳｪｱ規約に依存して、様々なﾃﾞｰﾀがSLA+R/Wと停止条件間に送信できることに注意してください。

図26-7. 代表的なﾃﾞｰﾀ転送



26.5. 複数主装置ﾊﾞｽ ｼｽﾃﾑの調停と同期

TWI規約は多数主装置のﾊﾞｽ ｼｽﾃﾑを許します。例え2つ以上の主装置が同時に送信を始めても、送信が通常のように続行することを保証するために特別な手段が講じられます。複数主装置のｼｽﾃﾑでは2つの問題が起こります。

- 送信を完了するために1つの主装置だけを許す方法が実現されなければなりません。他の全ての主装置は(自身が行っている従装置)選択手順を失った(失敗した)ことに気付く時に送信を止めるべきです。この選択手順は調停(ｱﾋﾞﾄﾚｰｼｮﾝ)と呼ばれます。競合する主装置は調停(従装置選択)手順を失ったことに気付くと、勝ち残った主装置によってｱﾄﾞﾚｽ指定されるかどうかを調べるため、直ちに従装置動作へ切り替えるべきです。複数の主装置が同時に送信を始めた事実は従装置で検知できるべきではありません。換言すると、ﾊﾞｽに転送されているﾃﾞｰﾀが不正にされてはなりません。
- 違う主装置が異なるSCL周波数を使うかもしれません。同期確定手順で送信が続行するために、全主装置からの直列ｸﾛｯｸを同期化する方法が考案されなければなりません。これは調停手順を容易にします。

ﾊﾞｽ信号線のﾜｲｱｰﾄﾞANDはこれらの問題の両方の解決に使われます。全ての主装置からの直列ｸﾛｯｸはﾜｲｱｰﾄﾞANDされ、最短High期間の主装置の1つからに等しいHigh期間の合成ｸﾛｯｸを生成します。合成ｸﾛｯｸのLow期間は最長Low期間の主装置のLow期間に等しくなります。全ての主装置がSCL信号線を監視する、実際には合成SCL信号線がHighまたはLowになる時に各々SCLのHighとLow経過時間の計時を始めることに注意してください。

調停は全ての主装置がﾃﾞｰﾀ出力後にSDA信号線を継続的に監視することによって実行されます。SDA信号線から読んだ値がその主装置の出力した値と一致しない場合、調停に敗れます。主装置がSDAにHigh値を出力し、同時に他の主装置がLow値を出力する時のみ調停に敗れるかもしれないことに注意してください。敗れた主装置は直ちに従装置動作へ移行し、勝ち残った主装置によってｱﾄﾞﾚｽ指定されるかを検査すべきです。SDA信号線はHighのままにすべきですが、敗れた主装置は現在のﾃﾞｰﾀ若しくはｱﾄﾞﾚｽ ﾊﾟｹｯﾄの最後までｸﾛｯｸ信号を生成することを許されます。調停は唯一の主装置が残るまで継続され、多くのﾋﾞｯﾄを必要とするかもしれません。多くの主装置が同じ従装置をｱﾄﾞﾚｽ指定しようとすると、調停はﾃﾞｰﾀ ﾊﾟｹｯﾄに続くでしょう。

図26-8. 複数主装置間でのSCL同期化

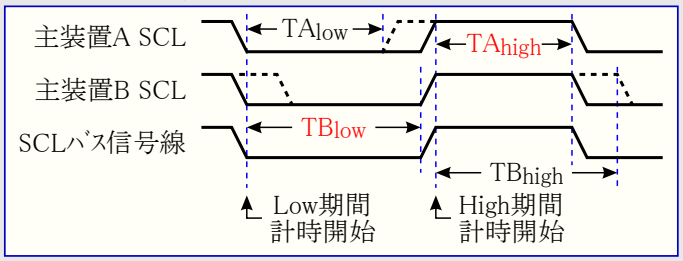
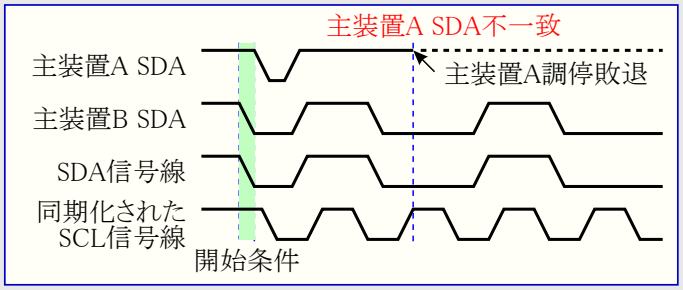


図26-9. 2つの主装置間での調停



調停が次の状態間で許されないことに注意してください。

- 再送開始条件とﾃﾞｰﾀ ﾋﾞｯﾄ間
- 停止条件とﾃﾞｰﾀ ﾋﾞｯﾄ間
- 再送開始条件と停止条件間

これらの違法な調停状態を決して起こさないように保証するのは使用者ｿﾌﾄｳｪｱの責任です。これは複数主装置ｼｽﾃﾑでの全てのﾃﾞｰﾀ転送は同じ構成、SLA+R/Wとﾃﾞｰﾀ ﾊﾟｹｯﾄを使わなければならないことを意味します。言葉を変えると、全ての送信は同じﾃﾞｰﾀ ﾊﾟｹｯﾄ数を含まなければならず、さもなければ調停の結果は不定にされます。

(訳補) 同じﾃﾞｰﾀ ﾊﾟｹｯﾄ数とは、或る主装置が最後まで調停を継続し、他の主装置がﾊﾟｹｯﾄを残している場合を想定しています。

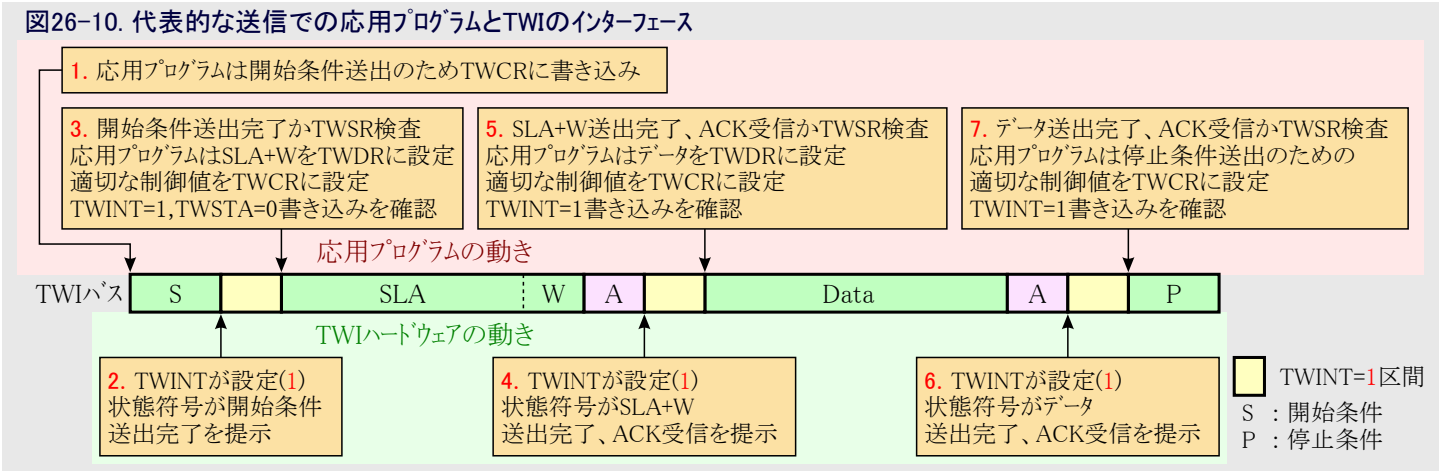
26.6. TWIの使用法

AVR TWIはﾊﾞｲﾄ志向で割り込みが基本です。割り込みはﾊﾞｲﾄの受信や開始条件の送出のような全てのﾊﾞｽの事象後に起こります。TWIは割り込みが基本のため、応用ｿﾌﾄｳｪｱはTWIﾊﾞｲﾄ転送中に他の操作を続行するために開放されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと共にTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み許可(TWIE)ﾋﾞｯﾄは、TWCRのTWI割り込み要求ﾌﾗｸﾞ(TWINT)の設定(1)が割り込み要求を発生すべきかどうか決めることを応用(ｿﾌﾄｳｪｱ)に許します。TWIEﾋﾞｯﾄが解除(0)されると、応用(ｿﾌﾄｳｪｱ)はTWIﾊﾞｽの動きを検知するためにTWINTﾌﾗｸﾞをﾎﾟｰﾘﾝｸﾞしなければなりません。

TWINTﾌﾗｸﾞが設定(1)されると、TWIは動作を終え、応用(ｿﾌﾄｳｪｱ)の応答を待ちます。この場合、TWI状態ﾚｼﾞｽﾀ(TWSR)はTWIﾊﾞｽの現在の状態を示す値を含みます。そして応用ｿﾌﾄｳｪｱはTWCRとTWDRの操作により、TWIが次のTWIﾊﾞｽ周期で何を行うべきかを決定できます。

次図は応用(ｿﾌﾄｳｪｱ)がTWIﾊｰﾄﾞｳｪｱにどうｲﾝﾀｰﾌｪｰｽできるかの簡単な例です。この例では主装置が単一ﾃﾞｰﾀ ﾊﾞｲﾄを従装置に送信しようします。この内容はかなり大雑把ですので、より詳細な説明が本項の後に続きます。希望した動きを実現する簡単なｺｰﾄﾞ例も示されます。

図26-10. 代表的な送信での応用ﾌﾟﾛｸﾞﾗﾑとTWIのｲﾝﾀｰﾌｪｰｽ



1. TWI送信の最初の段階は開始条件を送出することです。これはTWIﾊｰﾄﾞｳｪｱに開始条件送出を命じる特別な値をTWCR内に書くことによって行います。どんな値を書くかは後で記述されます。けれども、書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みは、このﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちに開始条件の送出を始めます。
2. 開始条件が送出されてしまうと、TWCRでTWINTﾌﾗｸﾞが設定(1)され、TWSRは開始条件が正常に送出されてしまったことを示す状態符号に更新されます。
3. 応用ｿﾌﾄｳｪｱは開始条件が正常に送信されたのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRがその他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)はTWDRにSLA+Wを設定しなければなりません。TWDRがｱﾄﾞﾚｽとﾃﾞｰﾀの両方に使われることを思い出してください。TWDRが希望したSLA+Wに設定されてしまった後、TWDRにあるSLA+Wの送信をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちにｱﾄﾞﾚｽ ﾊﾟｹｯﾄの送信を始めます。
4. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄが送信されてしまうと、TWCRでTWINTﾌﾗｸﾞが設定(1)され、TWSRはｱﾄﾞﾚｽ ﾊﾟｹｯﾄが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がﾊﾟｹｯﾄに応答したかどうかも反映します。
5. 応用ｿﾌﾄｳｪｱはｱﾄﾞﾚｽ ﾊﾟｹｯﾄが正常に送信され、期待されたACKﾋﾞｯﾄ値であるのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)はTWDRにﾃﾞｰﾀを設定しなければなりません。その後、TWDRにあるﾃﾞｰﾀ ﾊﾟｹｯﾄの送信をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちにﾃﾞｰﾀ ﾊﾟｹｯﾄの送信を始めます。
6. ﾃﾞｰﾀ ﾊﾟｹｯﾄが送信されてしまうと、TWCR内のTWINTﾌﾗｸﾞが設定(1)され、TWSRはﾃﾞｰﾀ ﾊﾟｹｯﾄが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がﾊﾟｹｯﾄに応答したかどうかも反映します。
7. 応用ｿﾌﾄｳｪｱはﾃﾞｰﾀ ﾊﾟｹｯﾄが正常に送信され、期待されたACKﾋﾞｯﾄの値であるのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)は停止条件の送出をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値をTWCRに書かなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちに停止条件の送出を始めます。停止条件が送出されてしまった後にTWINTが設定(1)されないことに注意してください。

この例は簡単とはいえ、全てのTWI送信に関係した原理を示しています。これらは次のように要約できます。

- TWIが動作を終了して応用(ソフトウェア)の反応を予想する時にTWINTフラグが設定(1)されます。SCL信号線はTWINTが解除(0)されるまでLowに引き込まれます。
- TWINTフラグが設定(1)されると、使用者は次のTWIバス周期に関連した値で、(必要な)全てのTWIレジスタを更新しなければなりません。例で示されるようにTWDRは次のTWIバス周期で送信されるべき値を設定されなければなりません。
- (必要な)全てのTWIレジスタを更新し、その他保留中の応用ソフトウェアの処理が完了されてしまった後にTWCRが書かれます。TWCR書き込み時、TWINTビットが設定(1)されるべきです。TWINTへの1書き込みはこのフラグを解除(0)します。TWCR設定によってどの動作が指定されても、TWIはその(TWINT=0)後に実行を始めます。

次にアセンブリ言語とC言語の実装例が与えられます。以下のコードは例えばインクルードファイルの使用により、様々な定義が作成されてしまっている前提であることに注意してください。

	アセンブリ言語プログラム例	C言語プログラム例	注釈

1.	`LDI R16,(1<<TWINT)|(1<<TWSTA)`
	`|(1<<TWEN)`
	`OUT TWCR,R16`
		`TWCR = (1<<TWINT)|(1<<TWSTA)`
		`|(1<<TWEN);`
			;開始条件送出

2.	`WAIT1: IN R16,TWCR`
	`SBRS R16,TWINT`
	`RJMP WAIT1`
		`while (!(TWCR & (1<<TWINT)));`	;TWINT=1まで待機
			;(開始条件送出完了待機)

3.	`IN R16,TWSR`
	`ANDI R16,$F8`
	`CPI R16,START`
	`BRNE ERROR`
		`if ((TWSR & 0xF8) != START)`
		`ERROR();`
			;TWI状態レジスタ値検査
			;前置分周選択ビットの遮蔽
			;STARTと異なる状態符号で
			;異常処理へ

	`LDI R16,SLA_W`
	`OUT TWDR,R16`
	`LDI R16,(1<<TWINT)|(1<<TWEN)`
	`OUT TWCR,R16`
		`TWDR = SLA_W;`
		
		`TWCR = (1<<TWINT)|(1<<TWEN);`
			;TWDRにSLA+W設定
			;アドレス送信開始のため
			;TWCRのTWINTを解除(0)

4.	`WAIT2: IN R16,TWCR`
	`SBRS R16,TWINT`
	`RJMP WAIT2`
		`while (!(TWCR & (1<<TWINT)));`	;TWINT=1まで待機
			;(SLA+W送出完了と
			;ACK/NACK受信完了待機)

5.	`IN R16,TWSR`
	`ANDI R16,$F8`
	`CPI R16,MT_SLA_ACK`
	`BRNE ERROR`
		`if ((TWSR & 0xF8) != MT_SLA_ACK)`
		`ERROR();`
			;TWI状態レジスタ値検査
			;前置分周選択ビットの遮蔽
			;MT_SLA_ACKと違う状態符号で
			;異常処理へ

	`LDI R16,DATA`
	`OUT TWDR,R16`
	`LDI R16,(1<<TWINT)|(1<<TWEN)`
	`OUT TWCR,R16`
		`TWDR = DATA;`
		
		`TWCR = (1<<TWINT)|(1<<TWEN);`
			;TWDRにデータ設定
			;データ送信開始のため
			;TWCRのTWINTを解除(0)

6.	`WAIT3: IN R16,TWCR`
	`SBRS R16,TWINT`
	`RJMP WAIT3`
		`while (!(TWCR & (1<<TWINT)));`	;TWINT=1まで待機
			;(データ送出完了と
			;ACK/NACK受信完了待機)

7.	`IN R16,TWSR`
	`ANDI R16,$F8`
	`CPI R16,MT_DATA_ACK`
	`BRNE ERROR`
		`if ((TWSR & 0xF8) != MT_DATA_ACK)`
		`ERROR();`
			;TWI状態レジスタ値検査
			;前置分周選択ビットの遮蔽
			;MT_DATA_ACKと違う状態符号で
			;異常処理へ

	`LDI R16,(1<<TWINT)|(1<<TWSTO)`
	`|(1<<TWEN)`
	`OUT TWCR,R16`
		`TWCR = (1<<TWINT)|(1<<TWSTO)`
		`|(1<<TWEN);`
			;停止条件送出

26.7. 転送種別

TWIは以下の4つの主な動作種別の1つで動けます。

- 送信主装置(MT)
- 受信主装置(MR)
- 送信従装置(ST)
- 受信従装置(SR)

これら種別の多くは同じ応用に使えます。例えば、TWI方式のEEPROM内にﾃﾞｰﾀを書くのにTWIはMT動作を、EEPROMからﾃﾞｰﾀを読み戻すのにMR動作を使えます。ｼｽﾃﾑ内に他の主装置が存在する場合、それらのいくつかがTWIにﾃﾞｰﾀを送信するかもしれず、するとSR動作が使われるでしょう。どの動作種別が適正かを決めるのは応用ｿﾌﾄｳｪｱです。

次項はこれら動作種別の各々を記述します。起こり得る状態符号は各動作種別のﾃﾞｰﾀ伝送詳細図に沿って示されます。これらの図は次の略号を含みます。

S	開始(START)条件
Rs	再送開始(REPEATED START)条件
R	読み出し指定ﾋﾞｯﾄ (SDA=High)
W	書き込み指定ﾋﾞｯﾄ (SDA=Low)
A	確認応答(ACK)ﾋﾞｯﾄ (SDA=Low)
$\overline{A}$	非確認応答(NACK)ﾋﾞｯﾄ (SDA=High)
Data	8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｲﾄ
P	停止(STOP)条件
SLA	従装置ｱﾄﾞﾚｽ

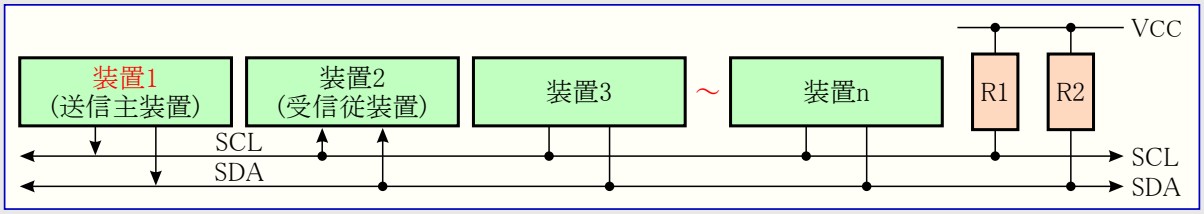
各図に於いて、楕円(**訳注**:原文は円)はTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み要求ﾌﾗｸﾞ(TWINT)が設定(1)されたことを示すのに使われます。この楕円内の番号は前置分周選択ﾋﾞｯﾄが0で遮蔽されたTWI状態ﾚｼﾞｽﾀ(TWSR)に保持した状態符号を表します。これら位置での動きはTWI転送の継続または完了が応用(ｿﾌﾄｳｪｱ)によって行われなければなりません。TWI転送はｿﾌﾄｳｪｱによってTWINTﾌﾗｸﾞが解除(0)されるまで一時停止されます。

TWI割り込み要求ﾌﾗｸﾞ(TWINT)が設定(1)される時のTWI状態ﾚｼﾞｽﾀ(TWSR)の状態符号は適切なｿﾌﾄｳｪｱ動作を決めるのに使われます。各状態符号に対する必要なｿﾌﾄｳｪｱ動作や後続の直列転送の詳細は各動作の状態表の下で与えられます。これらの表に於いて前置分周選択ﾋﾞｯﾄが0で遮蔽されていることに注意してください。

26.7.1. 送信主装置動作

送信主装置(MT)動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが受信従装置へ送信されます(下図をご覧ください)。主装置動作へ移行するには開始条件が送出されなければなりません。それに続くｱﾄﾞﾚｽ ﾊﾟｹｯﾄの形式がMTまたは受信主装置(MR)のどちらへ移行すべきかを決めます。SLA+Wが送信されるとMT動作へ移行し、SLA+Rが送信されるとMR動作へ移行します。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図26-11. 送信主装置動作でのﾃﾞｰﾀ転送



開始条件はTWCR=1x10x10x形式の値をTWI制御ﾚｼﾞｽﾀ(TWCR)に書くことによって送出されます。

- TWI許可(TWCR.TWEN)ﾋﾞｯﾄは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために1を書かれなければなりません。
- 開始条件生成許可(TWCR.TWSTA)ﾋﾞｯﾄは開始条件を送出するために1を書かれなければなりません。
- TWI割り込み要求(TWCR.TWINT)ﾌﾗｸﾞはこのﾌﾗｸﾞを解除(0)するために1を書かれなければなりません。

その後にTWIは2線直列ﾊﾞｽを検査し、ﾊﾞｽが開放になると直ぐに開始条件を生成します。開始条件が送出されてしまった後、TWINTﾌﾗｸﾞがﾊｰﾄﾞｳｪｱによって設定(1)され、TWI状態ﾚｼﾞｽﾀ(TWSR)の状態符号が$08になります(以降の状態符号表をご覧ください)。送信主装置へ移行するにはSLA+Wが送信されなければなりません。これはTWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)にSLA+Wを書くことによって行います。その後、転送を継続するためにTWCR.TWINTﾋﾞｯﾄは(そこへ1を書くことによって)解除(0)されるべきです。これはTWCR=1x00x10x形式の値をTWCRに書くことによって達成されます。

SLA+Wが送信されて応答ﾋﾞｯﾄが受信されてしまうと、TWINTが再び設定(1)され、TWSRの状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は$18,$20,$38です。これら状態符号の各々に対する適切な動作は以降の状態符号表で詳述されます。

SLA+Wが正常に送信されてしまうと、ﾃﾞｰﾀ ﾊﾟｹｯﾄが送信されるべきです。これはTWDRにﾃﾞｰﾀ ﾊﾞｲﾄを書くことによって行われます。TWDRはTWINTが1の時にだけ書かれなければなりません。さもなければ、そのｱｸｾｽは破棄され、TWCRで上書き発生(TWWC)ﾌﾗｸﾞが設定(1)されます。TWDR更新後、転送を継続するためにTWINTﾋﾞｯﾄは(そこへ1を書くことによって)解除(0)されるべきです。これはTWCR=1x00x10x形式の値をTWCRに書くことによって達成されます。

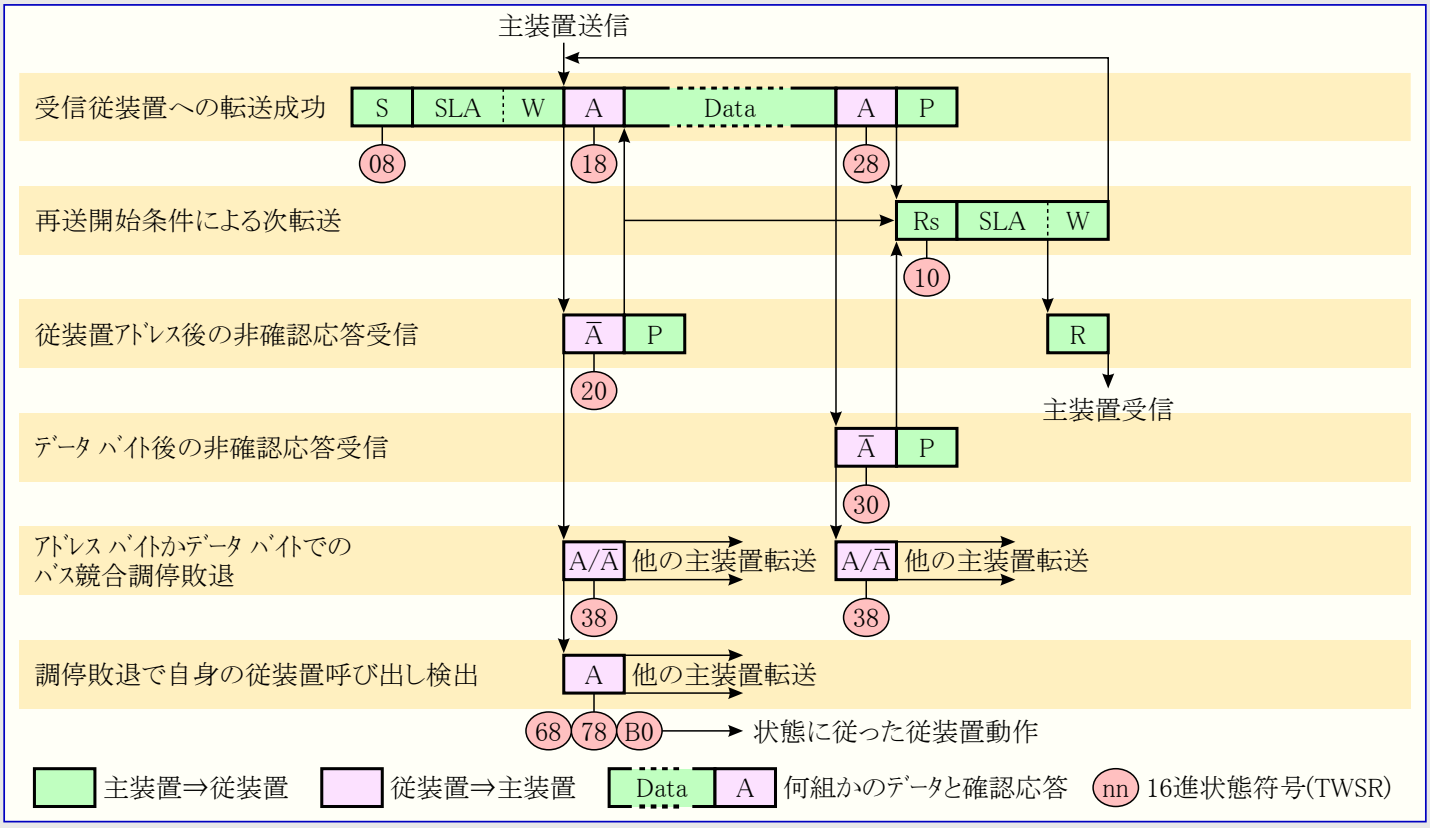
最後のﾊﾞｲﾄが送られてしまうまでこの手順が繰り返され、この転送は停止条件または再送開始条件のどちらかを生成することによって終了されます。再送開始条件は通常の開始条件値(TWCR=1x10x10x)を書くことによって達成されます。停止条件はTWCR=1x01x10x形式の値を書くことによって生成されます。

再送開始条件(状態符号$10)後、2線直列ｲﾝﾀｰﾌｪｰｽは停止条件を送出せずに再び同じ従装置または新しい従装置にｱｸｾｽできます。再送開始条件は主装置がﾊﾞｽの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします(**訳注**:原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表26-2. 送信主装置動作の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの対応					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$08	開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
$10	再送開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
		SLA+R設定	0	0	1	X	SLA+R送信、受信主装置動作へ移行
$18	SLA+W送信 ACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$20	SLA+W送信 NACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$28	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 ACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$30	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 NACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$38	SLA+W, ﾃﾞｰﾀ ﾊﾞｲﾄでﾊﾞｽ競合調停敗退	なし	0	0	1	X	ﾊﾞｽ開放、未指定従装置動作へ移行
			1	0	1	X	ﾊﾞｽ開放時に開始条件送信

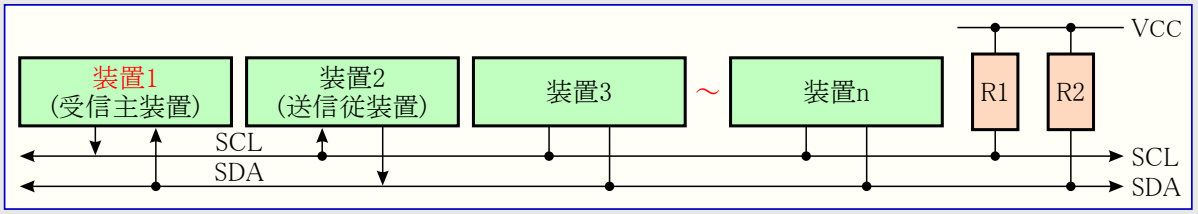
図26-12. 送信主装置動作の形式と状態



26.7.2. 受信主装置動作

受信主装置(MR)動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが送信従装置から受信されます(次図をご覧ください)。主装置動作へ移行するには開始条件が送出されなければなりません。それに続くｱﾄﾞﾚｽ ﾊﾟｹｯﾄの形式が送信主装置(MT)またはMRのどちらへ移行すべきかを決めます。SLA+Wが送信されるとMT動作へ移行し、SLA+Rが送信されるとMR動作へ移行します。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図26-13. 受信主装置動作でのﾃﾞｰﾀ転送



開始条件はTWCR=1x10x10x形式の値をTWI制御ﾚｼﾞｽﾀ(TWCR)に書くことによって送出されます。

- TWI許可(TWCR.TWEN)ﾋﾞｯﾄは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために1を書かれなければなりません。
- 開始条件生成許可(TWCR.TWSTA)ﾋﾞｯﾄは開始条件を送出するために1を書かれなければなりません。
- TWI割り込み要求(TWCR.TWINT)ﾌﾗｸﾞはそこへ1を書くことによって解除(0)されなければなりません。

その後にTWIは2線直列ﾊﾞｽを検査し、ﾊﾞｽが開放になると直ぐに開始条件を生成します。開始条件が送出されてしまった後、TWINTﾌﾗｸﾞがﾊｰﾄﾞｳｪｱによって設定(1)され、TWSRの状態符号が$08になります(以降の状態符号表をご覧ください)。MR動作へ移行するにはSLA+Rが送信されなければなりません。これはTWDRにSLA+Rを書くことによって行います。その後、転送を継続するためにTWINTﾌﾗｸﾞは(そこへ1を書くことによって)解除(0)されるべきです。これはTWCR=1x00x10x形式の値をTWCRに書くことによって達成されます。

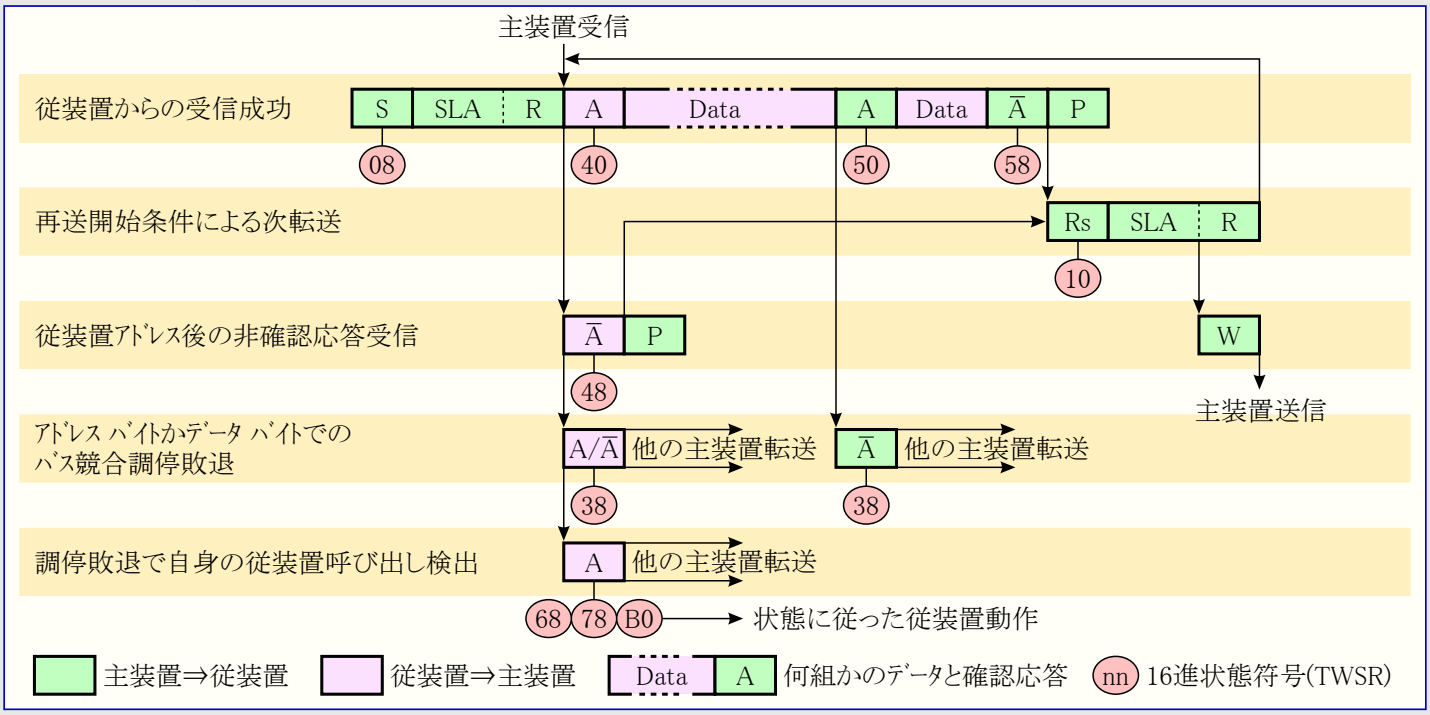
SLA+Rが送信されて応答ﾋﾞｯﾄが受信されてしまうと、TWINTが再び設定(1)され、TWSRの状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は$38,$40,$48です。これら状態符号の各々に対する適切な動作は以降の状態符号表で詳述されます。ﾊｰﾄﾞｳｪｱによってTWINTﾌﾗｸﾞが設定(1)されると、受信したﾃﾞｰﾀがTWDRから読めます。この手順は最後のﾊﾞｲﾄが受信されてしまうまで繰り返されます。最後のﾊﾞｲﾄが受信されてしまった後、受信主装置は最後に受信したﾃﾞｰﾀ ﾊﾞｲﾄ後のNACK送信によって送信従装置へ通知すべきです。この転送は停止条件または再送開始条件を生成することによって終了されます。再送開始条件はTWCR=1x10x10x形式の値を再びTWCRに書くことによって送出されます。停止条件はTWCR=1x01x10xを書くことによって生成されます。

再送開始条件(状態符号$10)後、2線直列ｲﾝﾀｰﾌｪｰｽは停止条件を送出せずに再び同じ従装置または新しい従装置にｱｸｾｽできます。再送開始条件は主装置がﾊﾞｽの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします(**訳注**:原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表26-3. 受信主装置動作の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの対応					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$08	開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
$10	再送開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
		SLA+W設定	0	0	1	X	SLA+W送信、送信主装置動作へ移行
$38	SLA+Rで調停敗退またはNACK受信	なし	0	0	1	X	ﾊﾞｽ開放、未指定従装置動作へ移行
			1	0	1	X	ﾊﾞｽ開放時に開始条件送信
$40	SLA+R送信 ACK受信	なし	0	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			0	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$48	SLA+R送信 NACK受信	なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$50	ﾃﾞｰﾀ ﾊﾞｲﾄ受信 ACK応答	ﾃﾞｰﾀ取得	0	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			0	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$58	ﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0

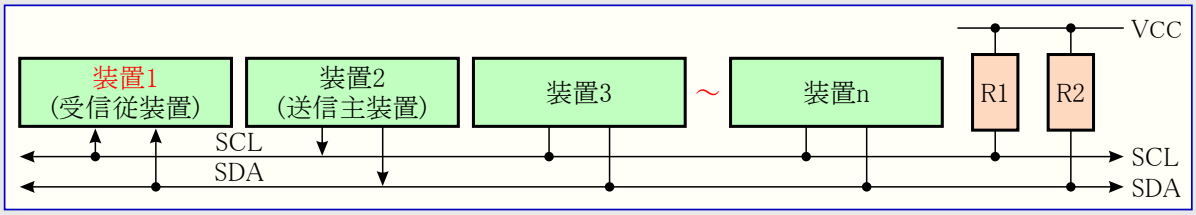
図26-14. 受信主装置動作の形式と状態



26.7.3. 受信従装置動作

受信従装置(SR)動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが送信主装置から受信されます(下図をご覧ください)。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図26-15. 受信従装置動作でのﾃﾞｰﾀ転送



SR動作を始めるにはTWI(従装置)ｱﾄﾞﾚｽﾚｼﾞｽﾀ(TWAR)とTWI制御ﾚｼﾞｽﾀ(TWCR)が次のように初期化されなければなりません。

TWARの上位7ﾋﾞｯﾄ(TWAR.TWA6～0)は主装置によってｱﾄﾞﾚｽ指定される時に2線直列ｲﾝﾀｰﾌｪｰｽが応答するｱﾄﾞﾚｽです。TWARの最下位(TWAR.TWGCE)ﾋﾞｯﾄが設定(1)されるなら、TWIは一斉呼び出し($00)に応答し、さもなければ一斉呼び出しｱﾄﾞﾚｽを無視します。

TWCRはTWCR=0100010x形式の値を保持しなければなりません。TWENは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために1を書かれなければなりません。TWCR.TWEAは装置自身の従装置ｱﾄﾞﾚｽまたは一斉呼び出しｱﾄﾞﾚｽの確認応答(ACK)を許可するために1を書かれなければなりません。TWCR.TWSTAとTWCR.TWSTOは0を書かれなければなりません。

TWARとTWCRが初期化されてしまうと、TWIは自身の従装置ｱﾄﾞﾚｽ(または許可なら、一斉呼び出しｱﾄﾞﾚｽ)とそれに続くﾃﾞｰﾀ方向ﾋﾞｯﾄによってｱﾄﾞﾚｽ指定されるまで待機します。方向ﾋﾞｯﾄが0(W)ならばTWIは受信従装置で動作し、さもなく(1(R)なら)ば送信従装置へ移行されます。自身の従装置ｱﾄﾞﾚｽとWﾋﾞｯﾄが受信されてしまった後にTWINTﾌﾗｸﾞが設定(1)され、TWSRから有効な状態符号が読めます。以降の状態符号表で詳述されるように、この状態符号は適切なｿﾌﾄｳｪｱ動作を決めるのに使われます。SR動作はTWIが主装置動作の間で調停に敗れた場合にも移行されるかもしれません。(状態符号$68,$78参照)

転送中にTWCR.TWEAﾋﾞｯﾄがﾘｾｯﾄ(0)されると、TWIは次に受信したﾃﾞｰﾀ ﾊﾞｲﾄ後のSDAに非確認応答(NACK)(SDA=High)を返します。これは従装置がこれ以上受信できないことを示すのに使えます。TWEAが0の間中、TWIは自身の従装置ｱﾄﾞﾚｽに応答しませんが、2線直列ﾊﾞｽは未だ監視され、ｱﾄﾞﾚｽ認証はTWEAの設定(1)によって何時でも再開できます。これはTWEAﾋﾞｯﾄがTWIを2線直列ﾊﾞｽから一時的に隔離するのに使えることを意味します。

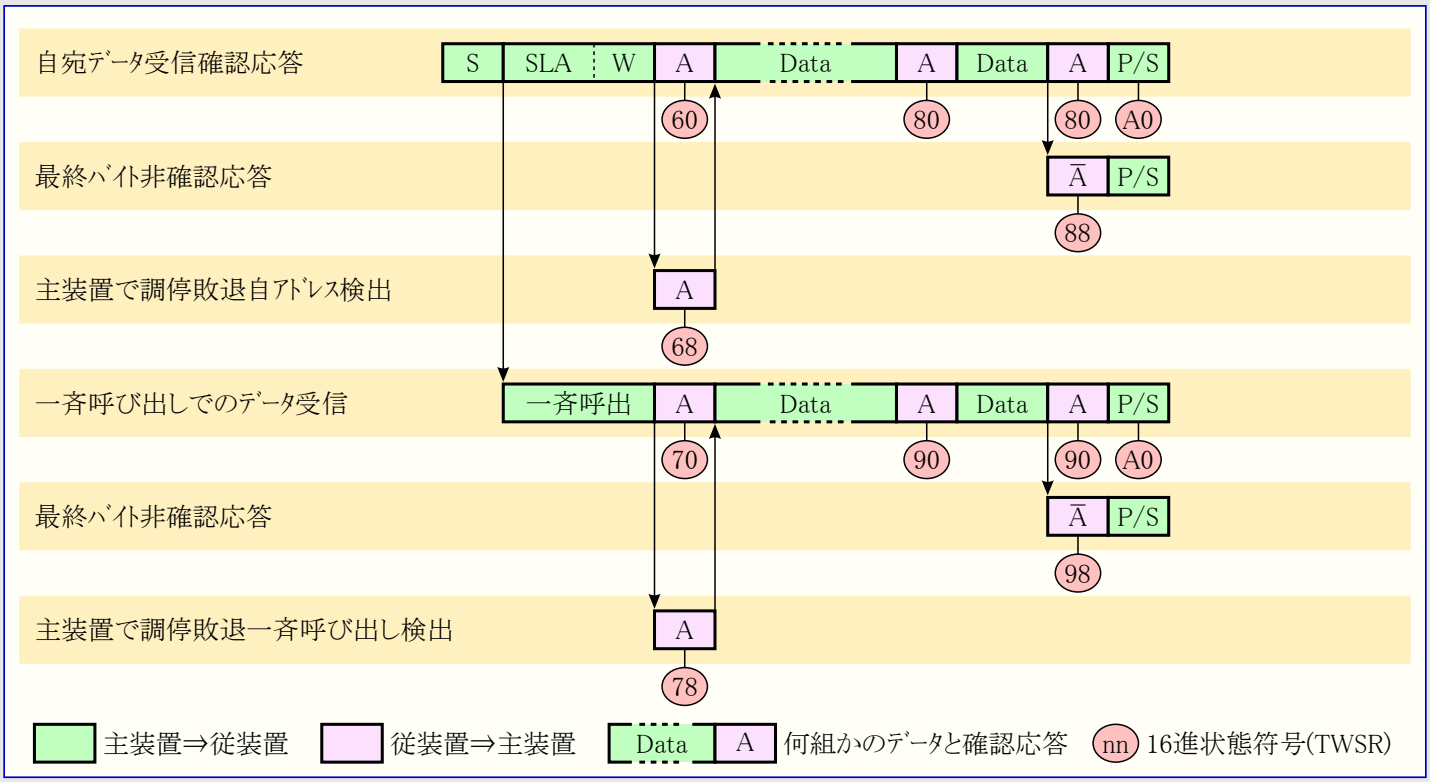
ｱｲﾄﾞﾙ動作を除く休止形態ではTWIへのｸﾛｯｸ系がOFFにされます。TWEAﾋﾞｯﾄが設定(1)されていると、このｲﾝﾀｰﾌｪｰｽはｸﾛｯｸ元として2線直列ﾊﾞｽ ｸﾛｯｸ(SCL)を使うことにより、自身の従装置ｱﾄﾞﾚｽと一斉呼び出しに未だ確認応答できます。その後ﾃﾞﾊﾞｲｽが休止形態から起動し、TWIは起動中からTWINTﾌﾗｸﾞが(それへ1を書くことによって)解除(0)されるまでSCLｸﾛｯｸをLowに保ちます。その後のﾃﾞｰﾀ受信はAVRｸﾛｯｸが通常通り走行することで通常通りに行われます。AVRが長い起動時間に設定されていると、SCL信号線が長時間Lowに保持され、他のﾃﾞｰﾀ送信を阻止するかもしれないことに気付いてください。

注: これらの(ｱｲﾄﾞﾙ動作を除く)休止形態から起動すると、2線直列ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)はﾊﾞｽで渡す最後のﾊﾞｲﾄを反映しません。

表26-4. 受信従装置動作の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$60	自宛SLA+W受信 ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$68	主装置のSLA+R/Wで調停敗退/自宛SLA+W受信/ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$70	一斉呼び出し受信 ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$78	主装置のSLA+R/Wで調停敗退/一斉呼び出し受信/ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$80	自宛ﾃﾞｰﾀ ﾊﾞｲﾄ受信 ACK応答	ﾃﾞｰﾀ取得	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$88	自宛ﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$90	一斉呼び出しのﾃﾞｰﾀ ﾊﾞｲﾄ受信/ACK応答	ﾃﾞｰﾀ取得	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$98	一斉呼び出しのﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$A0	自指定中の停止条件または再送開始条件検出	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信

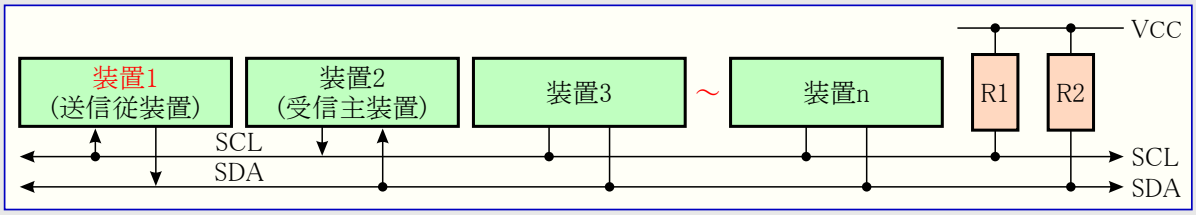
図26-16. 受信従装置動作の形式と状態



26.7.4. 送信従装置動作

送信従装置(ST)動作では下図で示されるように、何ﾊﾞｲﾄかのﾃﾞｰﾀが送信主装置へ送信されます。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図26-17. 送信従装置動作でのﾃﾞｰﾀ転送



ST動作を始めるにはTWI(従装置)ｱﾄﾞﾚｽﾚｼﾞｽﾀ(TWAR)とTWI制御ﾚｼﾞｽﾀ(TWCR)が次のように初期化されなければなりません。

TWARの上位7ﾋﾞｯﾄ(TWAR.TWA6～0)は主装置によってｱﾄﾞﾚｽ指定される時に2線直列ｲﾝﾀｰﾌｪｰｽが応答するｱﾄﾞﾚｽです。TWARの最下位(TWAR.TWGCE)ﾋﾞｯﾄが1を書かれた場合、TWIは一斉呼び出し($00)に応答し、さもなければ一斉呼び出しｱﾄﾞﾚｽを無視します。

TWCRはTWCR=0100010x形式の値を保持しなければなりません。TWENは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために1を書かれなければなりません。TWCR.TWEAは装置自身の従装置ｱﾄﾞﾚｽまたは一斉呼び出しｱﾄﾞﾚｽの確認応答(ACK)を許可するために1を書かれなければなりません。TWCR.TWSTAとTWCR.TWSTOは0を書かれなければなりません。

TWARとTWCRが初期化されてしまうと、TWIは自身の従装置ｱﾄﾞﾚｽ(または許可ならば一斉呼び出しｱﾄﾞﾚｽ)とそれに続くﾃﾞｰﾀ方向ﾋﾞｯﾄによってｱﾄﾞﾚｽ指定されるまで待機します。方向ﾋﾞｯﾄが1(R)ならばTWIは送信従装置で動作し、さもなくば(0(W)ならば)受信従装置へ移行されます。自身の従装置ｱﾄﾞﾚｽとRﾋﾞｯﾄが受信されてしまった後、TWINTﾌﾗｸﾞが設定(1)され、TWSRから有効な状態符号が読めます。この状態符号は適切なｿﾌﾄｳｪｱ動作を決めるのに使われます。各状態符号に対して行うべき適切な動作は以降の状態符号表で詳述されます。ST動作はTWIが主装置動作の間で調停に敗れた場合にも移行されるかもしれません(状態符号$B0をご覧ください)。

転送中にTWCR.TWEAﾋﾞｯﾄが0を書かれると、TWIは転送の最後のﾊﾞｲﾄを送信します。受信主装置が最終ﾊﾞｲﾄ後にACKまたはNACKのどちらを送信するかによって状態$C0か$C8へ移行します。TWIはｱﾄﾞﾚｽ指定されていない従装置動作に切り替えられ、主装置が転送を続ける場合、その主装置を無視します。従って受信主装置は直列ﾃﾞｰﾀとして全て1を受信します。従装置が最後のﾊﾞｲﾄを送信(TWEAが0で主装置からのNACKを予測)したとしても、主装置が(ACK送信によって)追加ﾃﾞｰﾀ ﾊﾞｲﾄを要求すると状態$C8へ移行します。

TWCR.TWEAが0の間中、TWIは自身の従装置ｱﾄﾞﾚｽに応答しませんが、2線直列ﾊﾞｽは未だ監視され、ｱﾄﾞﾚｽ認証はTWEAの設定(1)によって何時でも再開できます。これはTWEAﾋﾞｯﾄがTWIを2線直列ﾊﾞｽから一時的に隔離するのに使えることを意味します。

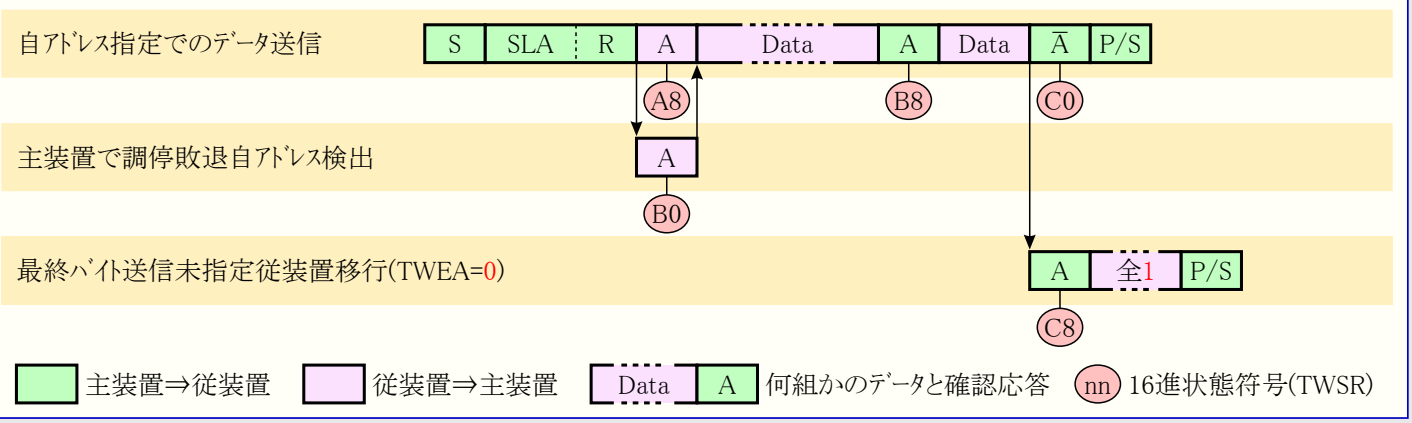
ｱｲﾄﾞﾙ動作を除く休止形態ではTWIへのｸﾛｯｸ系がOFFにされます。TWEAﾋﾞｯﾄが設定(1)されていると、このｲﾝﾀｰﾌｪｰｽはｸﾛｯｸ元として2線直列ﾊﾞｽ ｸﾛｯｸ(SCL)を使うことにより、自身の従装置ｱﾄﾞﾚｽと一斉呼び出しに未だ確認応答できます。その後ﾃﾞﾊﾞｲｽが休止形態から起動し、TWIは起動中からTWINTﾌﾗｸﾞが(それへ1を書くことによって)解除(0)されるまでSCLｸﾛｯｸをLowに保ちます。その後のﾃﾞｰﾀ受信はAVRｸﾛｯｸが通常通り走行することで通常通りに行われます。AVRが長い起動時間に設定されていると、SCL信号線が長時間Lowに保持され、他のﾃﾞｰﾀ送信を阻止するかもしれないことに気付いてください。

注: (ｱｲﾄﾞﾙ動作を除く)これらの休止形態から起動すると、2線直列ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)はﾊﾞｽで渡す最後のﾊﾞｲﾄを反映しません。

表26-5. 送信従装置動作の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$A8	自宛SLA+R受信 ACK応答	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$B0	主装置のSLA+R/Wで調停敗退/自宛SLA+R受信/ACK応答	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$B8	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 ACK受信	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$C0	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 NACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$C8	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信 (TWEA=0) ACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信

図26-18. 送信従装置動作の形式と状態



26.7.5. その他の状態

定義したTWI状態に従わない2つの状態符号があります。下表をご覧ください。

状態$F8はTWI割り込み要求ﾌﾗｸﾞ(TWINT)が設定(1)されないので適切な情報が利用できないことを示します。これは他の状態間でTWIが直列転送に関係しない時に起きます。

状態$00は2線直列ﾊﾞｽ転送中にﾊﾞｽ異常が起きたことを示します。ﾊﾞｽ異常はﾌﾚｰﾑ形式の不正な位置で開始(START)条件または停止(STOP)条件が起きる時に発生します。このような不正位置の例はｱﾄﾞﾚｽ ﾊﾞｲﾄ、ﾃﾞｰﾀ ﾊﾞｲﾄ、確認応答(ACK)ﾋﾞｯﾄの直列転送中です。ﾊﾞｽ異常が起きるとTWINTが設定(1)されます。ﾊﾞｽ異常から回復するには、停止(STOP)条件生成許可(TWSTO)ﾋﾞｯﾄが設定(1)され、TWINTが論理1書き込みによって解除(0)されなければなりません。これはTWIをｱﾄﾞﾚｽ指定されていない従装置動作にさせ、TWSTOﾋﾞｯﾄを解除(0)させます(TWCRの他のﾋﾞｯﾄは影響されません)。SDAとSCL信号進は開放され、停止条件は送出されません。

表26-6. その他の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$F8	適切な状態情報なし TWINT=0	なし	–	–	–	–	待機または現在の転送続行
$00	不正な開始条件/停止条件でのﾊﾞｽ異常	なし	0	1	1	X	停止条件を送出せずにﾊﾞｽを開放 TWSTO=0

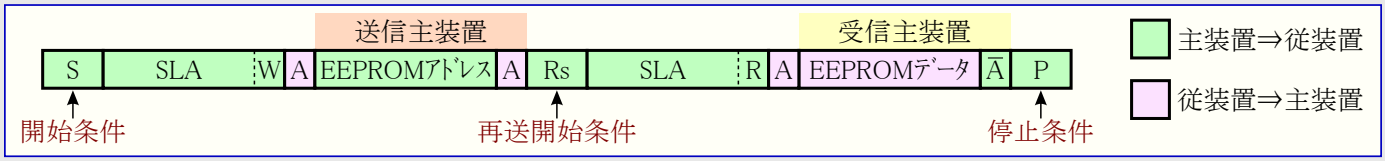
26.7.6. 各種TWI動作種別の組み合わせ

いくつかの場合で望んだ動作を満たすために各々のTWI動作種別は組み合わされなければなりません。例えば直列EEPROMからのﾃﾞｰﾀ読み出しを考えてください。一般的にこのような転送は次の段階を含みます。

1. 転送が開始されなければなりません。
2. EEPROMは読み出すべき場所を指示されなければなりません。
3. 読み出しが実行されなければなりません。
4. 転送が終了されなければなりません。

ﾃﾞｰﾀが主装置から従装置へとその逆の両方向へ転送されることに注意してください。主装置はどの場所を読みたいかを従装置に指示しなければならず、送信主装置動作の使用を必要とします。その後にﾃﾞｰﾀを従装置から読まねばならず、受信主装置動作の使用を意味します。従って転送方向が切り替えられなければなりません。主装置はこれら全ての段階中にﾊﾞｽの制御を保持しなければならず、この手順は排他的(非分断)操作として行われるべきです。複数主装置ｼｽﾃﾑでこの原則に違反すると、他の主装置が2と3の段階間でEEPROM内のﾃﾞｰﾀ ﾎﾟｲﾝﾀを変更するかもしれず、(元の)主装置は不正なﾃﾞｰﾀ位置を読むでしょう。このような転送方向の切り替えはｱﾄﾞﾚｽ ﾊﾞｲﾄの送信とﾃﾞｰﾀの受信間で再送開始条件を送出することによって成し遂げられます。再送開始条件後も主装置はﾊﾞｽの占有権を保持します。次の図はこの転送の流れを示します。

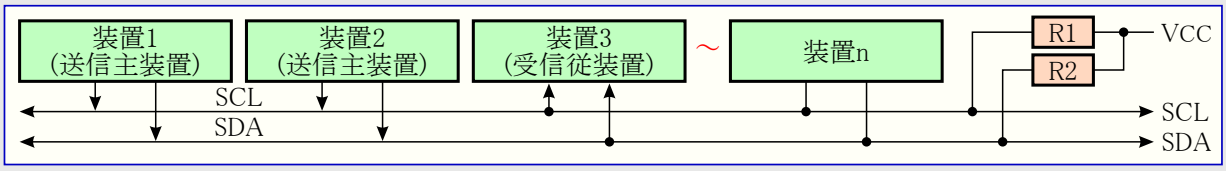
図26-19. 直列EEPROMｱｸｾｽでの各種TWI動作種別の組み合わせ



26.8. 複数主装置ｼｽﾃﾑでのﾊﾞｽ競合と調停

複数の主装置が同じﾊﾞｽに接続されると、それらの1つまたはそれ以上によって同時に送信が開始されるかもしれません。TWIは主装置の1つが転送を続けることを許され、手順内でﾃﾞｰﾀが失われないような方法でこのような状態が扱われることを標準で保証します。2つの主装置が受信従装置へﾃﾞｰﾀを送信することを試みる場合の調停状況の例は以下で図示されます。

図26-20. ﾊﾞｽの競合調停例

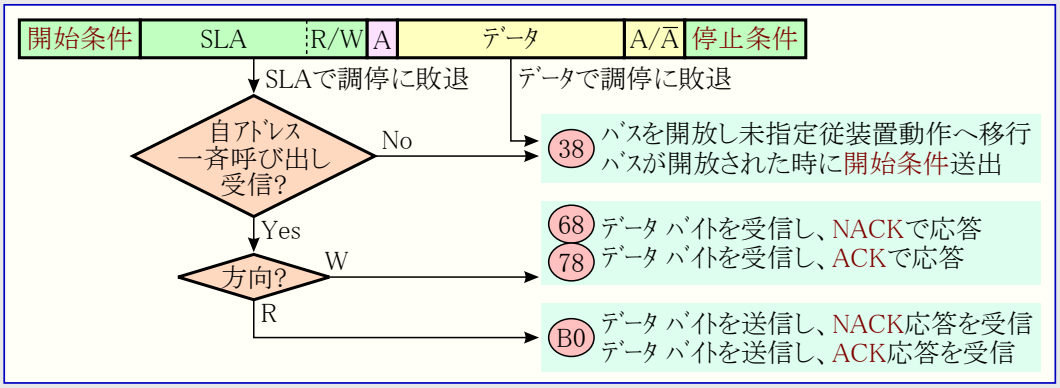


以下で示されるように様々な異なる状況が調停中に起こるかもしれません。

- 複数の主装置が同じ従装置に全く同じ通信を実行する場合。この場合、主/従装置のどれもがﾊﾞｽの衝突について知りません。
- 複数の主装置が異なるﾃﾞｰﾀまたは方向ﾋﾞｯﾄ(R/W)で同じ従装置をｱｸｾｽする場合。この場合、R/Wﾋﾞｯﾄまたはﾃﾞｰﾀ ﾋﾞｯﾄのどちらかで調停が起きます。他の主装置がSDAに0を出力する間に1を出力しようとする主装置が調停に敗れます。敗れた主装置は応用ｿﾌﾄｳｪｱの処置によって未指定従装置動作に切り替えるか、またはﾊﾞｽが開放になるまで待って新規開始条件を送出します。
- 複数の主装置が異なる従装置をｱｸｾｽする場合。この場合、SLAﾋﾞｯﾄ内で調停が起きます。他の主装置がSDAに0を出力する間に1を出力しようとする主装置が調停に敗れます。SLA内で調停に敗れた主装置は勝った主装置によってｱﾄﾞﾚｽ指定されるかを検査するために従装置動作へ切り替えます。ｱﾄﾞﾚｽ指定されると、R/Wﾋﾞｯﾄの値によって受信従装置(SR)動作または送信従装置(ST)動作へ切り替えます。ｱﾄﾞﾚｽ指定されないなら、応用ｿﾌﾄｳｪｱの処置によって未指定従装置動作に切り替えるか、またはﾊﾞｽが開放になるまで待って新規開始条件を送出します。

これは次図で要約されます。利用可能な状態符号は楕円(**訳注**:原文は円)で与えられます。

図26-21. ﾊﾞｽの競合調停によって発生する利用可能な状態符号



26.9. TWI用ﾚｼﾞｽﾀ

26.9.1. TWBR – TWI ﾋﾞｯﾄ速度ﾚｼﾞｽﾀ (TWI Bit Rate Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : TWBR
変位 : ($70)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – TWBR7～0 : TWI ﾋﾞｯﾄ速度選択** (TWI Bit Rate Register)

TWBRはﾋﾞｯﾄ速度発生器用の分周値を選びます。ﾋﾞｯﾄ速度発生器は主装置動作でのSCLｸﾛｯｸ周波数を生成する周波数分周器です。ﾋﾞｯﾄ速度の計算については「ﾋﾞｯﾄ速度発生器」をご覧ください。

26.9.2. TWCR – TWI制御ﾚｼﾞｽﾀ (TWI Control Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

TWCRはTWI動作の制御に使われます。TWIの許可、ﾊﾞｽ上に開始条件を印加することによる主装置のｱｸｾｽ開始、受信装置の応答生成、停止条件の生成、ﾊﾞｽにﾃﾞｰﾀを送出するためのTWI ﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)への書き込み中のﾊﾞｽの一時停止制御に使用されます。TWDRがｱｸｾｽ不能の間にTWDRへ書き込もうとする場合の上書き発生も示します。

名称 : TWCR
変位 : ($74)
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R/W	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – TWINT : TWI割り込み要求ﾌﾗｸﾞ** (TWI Interrupt Flag)

このﾋﾞｯﾄはTWIが現在の作業を終了し、応用ｿﾌﾄｳｪｱの応答が予測されるとき、ﾊｰﾄﾞｳｪｱによって設定(1)されます。TWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み許可(TWIE)ﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、MCUはTWI割り込みﾍﾞｸﾀへ飛びます。TWINTﾌﾗｸﾞが設定(1)の間中、SCLのLow期間は引き伸ばされます。TWINTﾌﾗｸﾞは論理1書き込みによってｿﾌﾄｳｪｱで解除(0)されなければなりません。このﾌﾗｸﾞが割り込みﾙｰﾁﾝを実行する時に自動的に解除(0)されないことに注意してください。このﾌﾗｸﾞの解除(0)がTWI動作を始めるので、このﾌﾗｸﾞを解除(0)する前にTWIｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)、TWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)、TWI状態ﾚｼﾞｽﾀ(TWSR)への全てのｱｸｾｽが完了していなければならないことにも注意してください。

● **ﾋﾞｯﾄ6 – TWEA : 確認応答(ACK)許可** (TWI Enable Acknowledge Bit)

TWEAﾋﾞｯﾄは確認応答(ACKﾊﾟﾙｽ)の生成を制御します。TWEAﾋﾞｯﾄが1を書かれ、次の条件に合致すると、TWIﾊﾞｽにACKﾊﾟﾙｽが生成されます。

- 装置が自分用の従装置ｱﾄﾞﾚｽを受信した場合。
- TWIｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)の一斉呼び出し検出許可(TWGCE)ﾋﾞｯﾄが設定(1)されている時に一斉呼び出しを受信した場合。
- 主受信装置または従受信装置動作でﾃﾞｰﾀ ﾊﾞｲﾄを受信した場合。

TWEAﾋﾞｯﾄに0を書くことによって一時的かつ仮想的に装置を2線直列ﾊﾞｽから切り離すことができます。ｱﾄﾞﾚｽ認証はその後に再びTWEAﾋﾞｯﾄへ1を書くことによって再開できます。

● **ﾋﾞｯﾄ5 – TWSTA : 開始(START)条件生成許可** (TWI START Condition Bit)

2線直列ﾊﾞｽの主装置になることを欲する時に応用はTWSTAﾋﾞｯﾄに1を書きます。TWIﾊｰﾄﾞｳｪｱはﾊﾞｽが利用可能かを検査し、開放ならばﾊﾞｽに開始条件を生成します。しかし、ﾊﾞｽが未開放の場合、TWIは停止条件が検出されるまで待ち、その後にﾊﾞｽ主権を要求する新規開始条件を生成します。TWSTAは開始条件が送出されてしまった時にｿﾌﾄｳｪｱで解除(0)されなければなりません。

● **ﾋﾞｯﾄ4 – TWSTO : 停止(STOP)条件生成許可** (TWI STOP Condition Bit)

主装置動作でTWSTOﾋﾞｯﾄに1を書くことが2線直列ﾊﾞｽに停止条件を生成します。停止条件がﾊﾞｽで実行されると、TWSTOﾋﾞｯﾄは自動的に解除(0)されます。従装置動作でのTWSTOﾋﾞｯﾄの設定(1)は異常状態からの回復に使えます。これは停止条件を生成しませんが、TWIは明確に指定されていない従装置動作に戻り、SCL、SDA信号線をHi-Z状態に開放します。

● **ﾋﾞｯﾄ3 – TWWC : TWI上書き発生ﾌﾗｸﾞ** (TWI Write Collision Flag)

TWI割り込み要求ﾌﾗｸﾞ(TWINT)が0の時にTWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)への書き込みを試みると、このTWWCﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞはTWINTが1の時のTWDR書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ2 – TWEN : TWI動作許可** (TWI Enable Bit)

TWENﾋﾞｯﾄはTWI動作を許可し、TWIｲﾝﾀｰﾌｪｰｽを活性(有効)にします。TWENが1を書かれると、TWIはSCL、SDAﾋﾟﾝに接続したI/Oﾋﾟﾝを制御できるようになり、ｽﾊﾟｲｸ濾波器とｽﾘｭｰﾚｰﾄ制限器を許可します。このﾋﾞｯﾄが0を書かれると、TWIがOFFにされ、どんな進行中の動作にも関係なく、全てのTWI送信が終了されます。

● **ﾋﾞｯﾄ0 – TWIE : TWI割り込み許可** (TWI Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、TWI割り込み要求ﾌﾗｸﾞ(TWINT)が1である限り、TWI割り込み要求が活性に(発生)されます。

26.9.3. TWSR – TWI状態ﾚｼﾞｽﾀ (TWI Status Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : TWSR
変位 : ($71)
ﾘｾｯﾄ : $F8
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	1	1	1	1	1	0	0	0

● **ﾋﾞｯﾄ7～3 – TWS7~3 : TWI状態** (TWI Status)

これら5ﾋﾞｯﾄはTWI論理回路と2線直列ﾊﾞｽの状態を反映します。各種状態符号は「**転送種別**」で記述されます。TWSRから読む値が5ﾋﾞｯﾄの状態符号と2ﾋﾞｯﾄの前置分周値の両方を含むことに注意してください。応用設計者は状態ﾋﾞｯﾄを検査する時に前置分周器ﾋﾞｯﾄを0で隠すべきです。これは前置分周器設定に関係なく状態検査を行います。この手法は特記事項を除いてこのﾃﾞｰﾀｼｰﾄ内で使われます。

● **ﾋﾞｯﾄ1,0 – TWPS1,0 : TWI前置分周器選択** (TWI Prescaler Bits)

これらのﾋﾞｯﾄは読み書きでき、ﾋﾞｯﾄ速度の前置分周器を制御します。

ﾋﾞｯﾄ速度を計算するには「**ﾋﾞｯﾄ速度発生器**」をご覧ください。TWPS1,0の値はこの式で使われます。

表26-7. TWIﾋﾞｯﾄ速度前置分周器選択

TWPS1	0	0	1	1
TWPS0	0	1	0	1
分周値	1	4	16	64

26.9.4. TWDR – TWIﾃﾞｰﾀ ﾚｼﾞｽﾀ (TWI Data Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

送信動作でのTWDRは送信されるべき次ﾊﾞｲﾄを含みます。受信動作でのTWDRは最後に受信したﾊﾞｲﾄを含みます。TWDRはTWIがﾊﾞｲﾄを移動する手順でない間に書き込み可能です。これはTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み要求ﾌﾗｸﾞ(TWINT)がﾊｰﾄﾞｳｪｱによって設定(1)されると起きます。最初のTWI割り込みが起こる前にﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)は使用者によって初期化できないことに注意してください。TWDRのﾃﾞｰﾀはTWINTが安定して設定(1)されている限り存続します。ﾃﾞｰﾀが移動出力される間、ﾊﾞｽのﾃﾞｰﾀが同時に移動入力されます。TWI割り込みによる休止形態からの起動後を除いて、TWDRは常にﾊﾞｽに現れる最後のﾊﾞｲﾄを含みます。この例外の場合のTWDRの内容は不定です。ﾊﾞｽ調停に敗れた場合の主装置から従装置への移行でもﾃﾞｰﾀは失われません。確認応答(ACK)ﾋﾞｯﾄの扱いはTWI論理回路によって自動的に制御され、CPUはACKﾋﾞｯﾄを直接的にｱｸｾｽできません。

名称 : TWDR
変位 : ($73)
ﾘｾｯﾄ : $FF
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	1	1	1	1	1	1	1	1

● **ﾋﾞｯﾄ7～0 – TWD7～0 : TWIﾃﾞｰﾀ** (TWI Data)

これら8ﾋﾞｯﾄは送信されるべき次のﾃﾞｰﾀ ﾊﾞｲﾄ、または2線直列ﾊﾞｽで最後に受信したﾃﾞｰﾀ ﾊﾞｲﾄを構成します。

26.9.5. TWAR – TWI(従装置)ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (TWI (Slave) Address Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

TWARは従装置の送受信装置として設定した時にTWIが応答する7ﾋﾞｯﾄ従装置ｱﾄﾞﾚｽを(TWAR上位7ﾋﾞｯﾄに)設定されるべきで、主装置動作では必要とされません。複数主装置のｼｽﾃﾑでは、他の主装置によって従装置としてｱﾄﾞﾚｽ指定され得る主装置に於いて、TWARは設定されなければなりません。

TWARの最下位ﾋﾞｯﾄ(TWGCE)は一斉呼び出しｱﾄﾞﾚｽ($00)認証の許可に使われます。これらは受信した直列ｱﾄﾞﾚｽで従装置ｱﾄﾞﾚｽ(と許可ならば一斉呼び出しｱﾄﾞﾚｽ)を捜す関連ｱﾄﾞﾚｽ比較器です。一致が見つかると割り込み要求が生成されます。

名称 : TWAR
変位 : ($72)
ﾘｾｯﾄ : $FE
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	1	1	1	1	1	1	1	0

● **ﾋﾞｯﾄ7～1 – TWA6～0 : TWI従装置ｱﾄﾞﾚｽ** (TWI (Slave) Address)

これら7ﾋﾞｯﾄはTWI部の従装置ｱﾄﾞﾚｽを構成します。

● **ﾋﾞｯﾄ0 – TWGCE : 一斉呼び出し検出許可** (TWI General Call Recognition Enable Bit)

設定(1)なら、このﾋﾞｯﾄは2線直列ﾊﾞｽを伝って与えられる一斉呼び出しの認証(検出)を許可します。

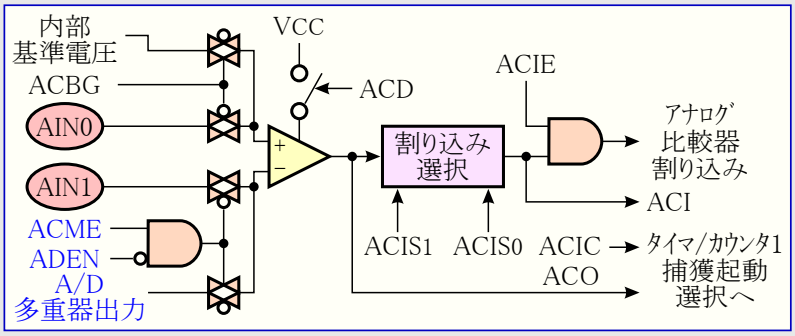
27. アナログ比較器

27.1. 概要

アナログ比較器は非反転入力AIN0ピンと反転入力AIN1ピンの入力値を比較します。非反転AIN0ピンの電圧が反転AIN1ピンの電圧よりも高い時にACSRのアナログ比較器出力(ACO)ビットが設定(1)されます。この比較器出力はタイマ/カウンタ1の捕獲機能を起動するように設定できます。加えて、この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は右図で示されます。

関連リンク 9頁の「ピン配置」
63頁の「ポートEの交換機能」

図27-1. アナログ比較器部構成図



注: A/D多重器出力については次項の表をご覧ください。
アナログ比較器ピン配置については「**ピン配置**」と「**ポートEの交換機能**」を参照してください。

27.2. アナログ比較器入力選択

アナログ比較器への反転入力を取り替えるのにADC7～0のどれかを選択することができます。A/D変換の多重器がこの入力選択に使われ、従ってこの機能を利用するためにA/D変換部がOFF(動作禁止)にされなければなりません。SFIORのアナログ比較器多重器許可(ACME)ビットが設定(1)され、A/D変換部がOFF(ADCSRAのADENビットが0)にされていれば、次表で示されるようにADMUXのチャネル選択(MUX2～0)ビットがアナログ比較器への反転入力を取り替えるための入力ピンを選びます。ACMEが解除(0)、またはADENが設定(1)されると、AIN1がアナログ比較器への反転入力に印加されます。

表27-1. アナログ比較器反転入力選択

ACME	ADEN	MUX2～0	アナログ比較器反転入力
0	x	x x x	AIN1
1	1	x x x	
1	0	0 0 0	ADC0
		0 0 1	ADC1
		0 1 0	ADC2
		0 1 1	ADC3
		1 0 0	ADC4
		1 0 1	ADC5
		1 1 0	ADC6
		1 1 1	ADC7

27.3. アナログ比較器用レジスタ

27.3.1. SFIOR – 特殊I/O機能レジスタ (Special Function I/O Register)

I/O特定命令のINとOUTを使う時はI/Oアドレスの$00～$3Fが使われなければなりません。LDとSTの命令を使い、データ空間としてI/Oレジスタをアクセスする時は、これらの変位アドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : SFIOR
変位 : $20 ($40)
リセット : $00
特質 : データ空間としてI/Oレジスタをアクセスする時の変位アドレスは$40です。

ビット	7	6	5	4	3	2	1	0
	TSM	–	–	–	ACME	PUD	PSR0	PSR321
アクセス種別	R/W	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3 – ACME : アナログ比較器多重器許可** (Analog Comparator Multiplexer Enable)

このビットが論理1を書かれ、A/D変換部がOFF(ADCSRAのADENビットが0)にされると、A/D変換の多重器がアナログ比較器への反転入力を選択します。このビットが論理0を書かれると、AIN1がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については上の「**アナログ比較器入力選択**」をご覧ください。

27.3.2. ACSR – ｱﾅﾛｸﾞ比較器 制御/状態ﾚｼﾞｽﾀ (Analog Comparator Control and Status Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : ACSR
変位 : $08 ($28)
ﾘｾｯﾄ : '00x00000'
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$28です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0
ｱｸｾｽ種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	不定	0	0	0	0	0

● **ﾋﾞｯﾄ7 – ACD : ｱﾅﾛｸﾞ比較器禁止** (Analog Comparator Disable)

このﾋﾞｯﾄが論理1を書かれると、ｱﾅﾛｸﾞ比較器への電力がOFFにされます。このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器をOFFにするために何時でも設定(1)できます。これは活動動作やｱｲﾄﾞﾙ動作で電力消費を削減します。ACDﾋﾞｯﾄを変更する時にACSRのｱﾅﾛｸﾞ比較器割り込み許可(ACIE)ﾋﾞｯﾄを解除(0)することによってｱﾅﾛｸﾞ比較器割り込みが禁止されなければなりません。さもなければ、このﾋﾞｯﾄが変更される時に割り込みが起こり得ます。

● **ﾋﾞｯﾄ6 – ACBG : 基準電圧選択** (Analog Comparator Bandgap Select)

このﾋﾞｯﾄが設定(1)されると、内部基準電圧(公称1.23V)がｱﾅﾛｸﾞ比較器への非反転入力に取って代わります。このﾋﾞｯﾄが解除(0)されると、AIN0がｱﾅﾛｸﾞ比較器の非反転入力に印加されます。42頁の「**内部基準電圧**」をご覧ください。

● **ﾋﾞｯﾄ5 – ACO : ｱﾅﾛｸﾞ比較器出力** (Analog Comparator Output)

ｱﾅﾛｸﾞ比較器の出力は同期化され、その後に直接ACOへ接続されます。この同期化は1～2ｸﾛｯｸ周期の遅延をもたらします。

● **ﾋﾞｯﾄ4 – ACI : ｱﾅﾛｸﾞ比較器割り込み要求ﾌﾗｸﾞ** (Analog Comparator Interrupt Flag)

このﾋﾞｯﾄは比較器出力での出来事がACSRのｱﾅﾛｸﾞ比較器割り込み条件(ACIS1,0)ﾋﾞｯﾄによって定義した割り込み方法で起動する時に設定(1)されます。ACSRのｱﾅﾛｸﾞ比較器割り込み許可(ACIE)ﾋﾞｯﾄが設定(1)され、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、ｱﾅﾛｸﾞ比較器割り込みﾙｰﾁﾝが実行されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、ACIはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもACIは解除(0)されます。

● **ﾋﾞｯﾄ3 – ACIE : ｱﾅﾛｸﾞ比較器割り込み許可** (Analog Comparator Interrupt Enable)

ACIEﾋﾞｯﾄが論理1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、ｱﾅﾛｸﾞ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

● **ﾋﾞｯﾄ2 – ACIC : ｱﾅﾛｸﾞ比較器捕獲起動許可** (Analog Comparator Input Capture Enable)

論理1を書かれると、このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器によって起動されるﾀｲﾏ/ｶｳﾝﾀ1の捕獲機能を許可します。この場合、比較器出力は比較器にﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込みの雑音消去機能とｴｯｼﾞ選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。論理0を書かれると、ｱﾅﾛｸﾞ比較器と捕獲機能間の接続は存在しません。比較器がﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込みを起動するには、ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)の捕獲割り込み許可(TICIE1)ﾋﾞｯﾄが設定(1)されなければなりません。

● **ﾋﾞｯﾄ1,0 – ACIS1,0 : ｱﾅﾛｸﾞ比較器割り込み条件** (Analog Comparator Interrupt Mode Select)

これらのﾋﾞｯﾄは比較器のどの事象がｱﾅﾛｸﾞ比較器割り込みを起動するのかを決めます。

ACIS1,ACIS0ﾋﾞｯﾄを変更する時にACSRのｱﾅﾛｸﾞ比較器割り込み許可(ACIE)ﾋﾞｯﾄを解除(0)することによってｱﾅﾛｸﾞ比較器割り込みが禁止されなければなりません。さもなければ、これらのﾋﾞｯﾄが変更される時に割り込みが起き得ます。

表27-2. ｱﾅﾛｸﾞ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (ﾄｸﾞﾙ)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

28. ADC – A/D変換器

28.1. 特徴

- 10ﾋﾞｯﾄ分解能
- 積分非直線性誤差0.75LSB
- 絶対精度±1.5LSB
- 変換時間13～260µs
- 76.9kSPS(採取/s)まで (最大分解能で15kSPSまで)
- 8ﾁｬﾈﾙのｼﾝｸﾞﾙ ｴﾝﾄﾞ入力多重器内蔵
- 7ﾁｬﾈﾙの差動入力ﾁｬﾈﾙ
- ×10, ×200の任意利得付き2つの差動入力ﾁｬﾈﾙ
- A/D変換結果読み出しに対する任意の左揃え
- 0～VCC A/D変換入力電圧範囲
- 選択可能な2.56V A/D変換基準電圧
- 連続と単独の変換動作
- A/D変換完了割り込み
- 休止形態雑音低減機能

28.2. 概要

ATmega128Aは10ﾋﾞｯﾄ逐次比較A/D変換器が特徴です。このA/D変換器はﾎﾟｰﾄFのﾋﾟﾝから構成された8つのｼﾝｸﾞﾙ ｴﾝﾄﾞ電圧入力を許す8ﾁｬﾈﾙ ｱﾅﾛｸﾞ多重器に接続されます。このｼﾝｸﾞﾙ ｴﾝﾄﾞ電圧入力は0V(GND)が基準です。

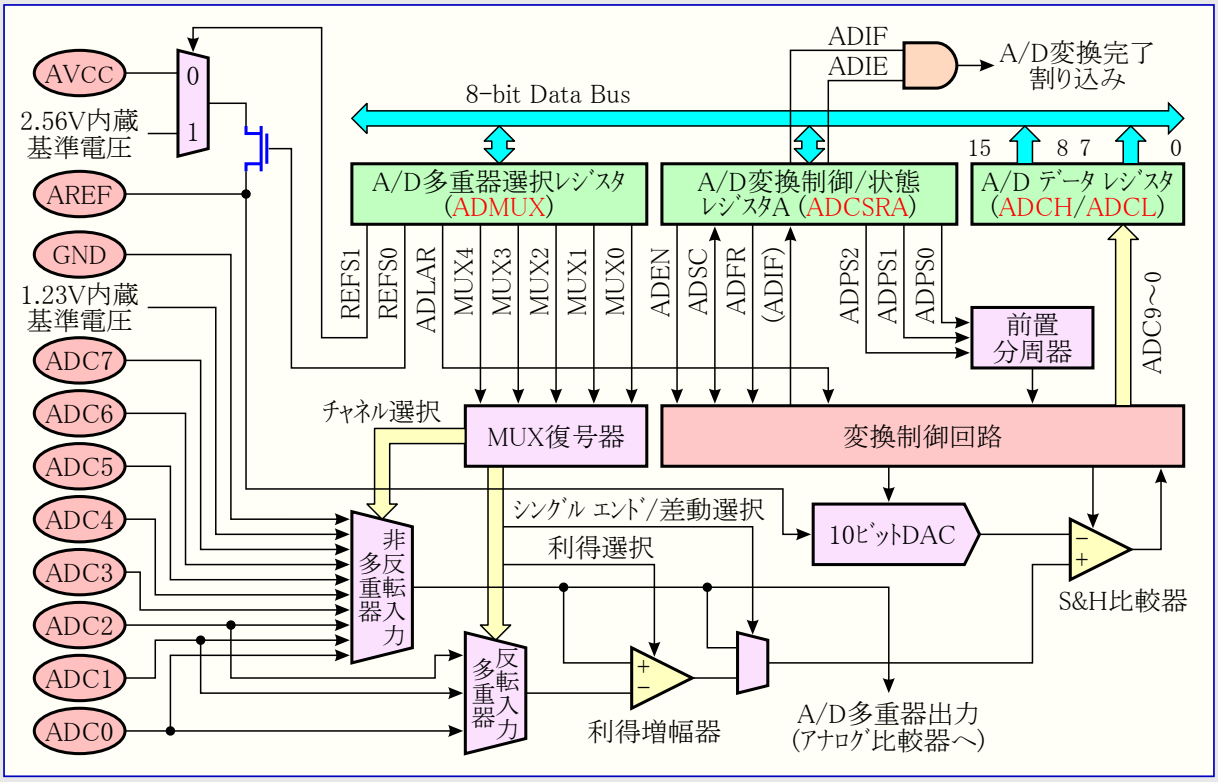
ﾃﾞﾊﾞｲｽは16通りの差動電圧入力も支援します。差動入力の2つ(ADC1,ADC0とADC3,ADC2)は、A/D変換前の差動入力電圧で0dB(×1)、20dB(×10)、46dB(×200)の増幅段を提供する設定変更可能な利得段が装備されます。7つの差動ｱﾅﾛｸﾞ入力は共通反転端子(ADC1)を共用し、一方他のADC入力は非反転入力端子として選択できます。利得×1または×10が使われる場合は8ﾋﾞｯﾄ分解能が期待でき、利得×200が使われる場合は7ﾋﾞｯﾄ分解能が期待できます。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は下で示されます。

A/D変換部には分離されたｱﾅﾛｸﾞ電源供給ﾋﾟﾝ(AVCC)があります。AVCCはVCCから±0.3Vよりも多く違ってはなりません。このﾋﾟﾝの接続方法は179頁の「**雑音低減技術**」項をご覧ください。

公称2.56Vの内蔵基準電圧またはAVCCがﾁｯﾌﾟ上で提供されます。この基準電圧は雑音特性向上のため、ｺﾝﾃﾞﾝｻによってAREFﾋﾟﾝで外部的にﾃﾞｶｯﾌﾟ(雑音分離)できます。

図28-1. A/D変換器部構成図



A/D変換部は逐次比較を通してｱﾅﾛｸﾞ入力電圧を10ﾋﾞｯﾄのﾃﾞｼﾞﾀﾙ値に変換します。最小値はGNDを表し、最大値はAREFﾋﾟﾝの電圧-1LSBを表します。A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)の基準電圧選択(REFS1,0)ﾋﾞｯﾄへの書き込みにより、任意でAVCCまたは内部2.56V基準電圧がAREFﾋﾟﾝに接続できます。この内部基準電圧は雑音耐性を改善するためにAREFﾋﾟﾝで外部ｺﾝﾃﾞﾝｻによってﾃﾞｶｯﾌﾟ(雑音結合減少)のようにできます。

ｱﾅﾛｸﾞ入力チャネルと差動利得はADMUXのチャネル選択(MUX4～0)ﾋﾞｯﾄへの書き込みによって選択されます。GNDと固定基準電圧(1.23V内蔵基準電圧(V_{BG}))だけでなく、どのADC入力ﾋﾟﾝ(ADC7～0)もがA/D変換器のｼﾝｸﾞﾙ ｴﾝﾄﾞ入力として選択できます。ADC入力ﾋﾟﾝの選択は差動利得増幅器への反転と非反転入力として選択できます。

差動チャネルが選択されると、差動利得段は選択した入力チャネル間の差電圧を選択した増幅率で増幅します。それからこの増幅した値はA/D変換器の入力になります。ｼﾝｸﾞﾙ ｴﾝﾄﾞ チャネルが使われると、利得増幅器全体が迂回(無視)されます。

A/D変換部はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D許可(ADEN)ﾋﾞｯﾄの設定(1)によって(動作が)許可されます。基準電圧と入力チャネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)で示される10ﾋﾞｯﾄの結果を生成します。既定では、この結果は右揃え(16ﾋﾞｯﾄのﾋﾞｯﾄ0側10ﾋﾞｯﾄ)で示されますが、ADMUXで左揃え選択(ADLAR)ﾋﾞｯﾄを設定(1)することにより、任意で左揃え(16ﾋﾞｯﾄのﾋﾞｯﾄ15側10ﾋﾞｯﾄ)で示せます。

この結果が左揃え補正され、8ﾋﾞｯﾄを越える精度が必要とされない場合はADCHを読むことで足ります。さもなければﾃﾞｰﾀ ﾚｼﾞｽﾀの内容が同じ変換に属すこと(からの結果)を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)ｱｸｾｽが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのﾚｼﾞｽﾀ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器ｱｸｾｽが再び許可されます。

A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀへのA/D変換器ｱｸｾｽがADCLとADCHの読み込み間で禁止されている場合、例えその変換結果が失われても割り込みは起動します。

28.3. 変換の開始

単独変換はADCSRAで変換開始(ADSC)ﾋﾞｯﾄに論理1を書くことによって開始されます。このﾋﾞｯﾄは変換が進行中である限り、1に留まり、変換が完了されるとﾊｰﾄﾞｳｪｱによって解除(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

連続変換動作でのA/D変換部は継続的に採取/変換とA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀを更新します。連続変換動作はADCSRAでA/D動作選択(ADFR)ﾋﾞｯﾄに1を書くことによって選択されます。最初の変換はADCSRAでADSCﾋﾞｯﾄに論理1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)が解除(0)されるかどうかに拘らず、連続的な変換を実行します。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はｱｲﾄﾞﾙ休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については179頁の「**雑音低減機能**」をご覧ください。(**訳注**:共通性から2行追加)

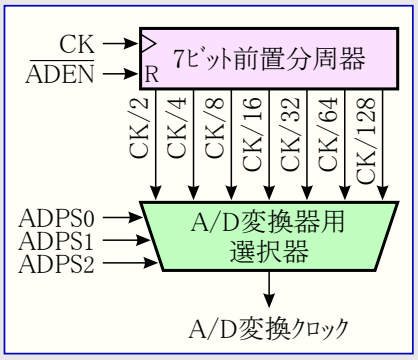
28.4. 前置分周と変換ﾀｲﾐﾝｸﾞ

既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力ｸﾛｯｸ周波数を必要とします。10ﾋﾞｯﾄよりも低い分解能が必要とされるなら、A/D変換器への入力ｸﾛｯｸ周波数はより高い採取速度を得るために200kHzよりも高くできます。

A/D変換部は100kHz以上のどんなCPUｸﾛｯｸからも受け入れ可能なA/D変換ｸﾛｯｸ周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/Dｸﾛｯｸ選択(ADPS2～0)ﾋﾞｯﾄによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ﾋﾞｯﾄの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENﾋﾞｯﾄが設定(1)される限り走行を維持し、ADENが0の時は継続的にﾘｾｯﾄします。

ADCSRAのA/D変換開始(ADSC)ﾋﾞｯﾄの設定(1)によってｼﾝｸﾞﾙ ｴﾝﾄﾞ入力の変換を起動すると、その変換は直後の変換ｸﾛｯｸの上昇端で始まります。差動入力変換ﾀｲﾐﾝｸﾞの詳細については178頁の「**差動増幅ﾁｬﾈﾙ**」を参照してください。

図28-2. A/D変換前置分周器部構成



通常の変換は13変換ｸﾛｯｸ周期で行われます。A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はｱﾅﾛｸﾞ回路を初期化するために25変換ｸﾛｯｸ周期で行われます。

実際の採取&保持(保持開始点)は通常変換の開始後1.5変換ｸﾛｯｸ周期、初回変換の開始後13.5変換ｸﾛｯｸ周期で行われます。変換が完了すると、結果がA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)が設定(1)されます。単独変換動作(ADFR=0)では同時にADCSRAのA/D変換開始(ADSC)ﾋﾞｯﾄが解除(0)されます。その後にｿﾌﾄｳｪｱは再びADSCを設定(1)でき、新規変換は変換ｸﾛｯｸの最初の上昇端で開始されます。

連続変換動作(ADFR=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。変換時間の概要については下表をご覧ください。

図28-3. 初回変換ﾀｲﾐﾝｸﾞ (単独変換動作)

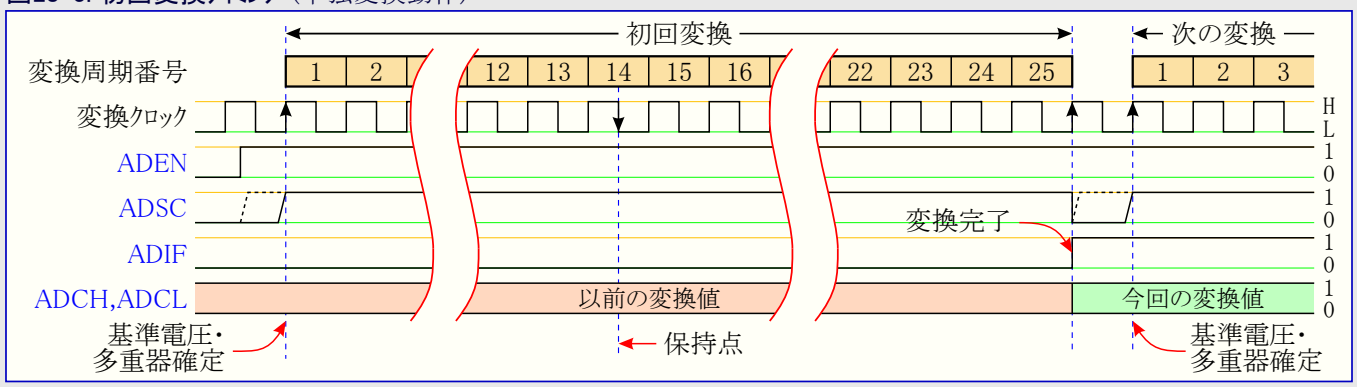


図28-4. 通常変換ﾀｲﾐﾝｸﾞ (単独変換動作)

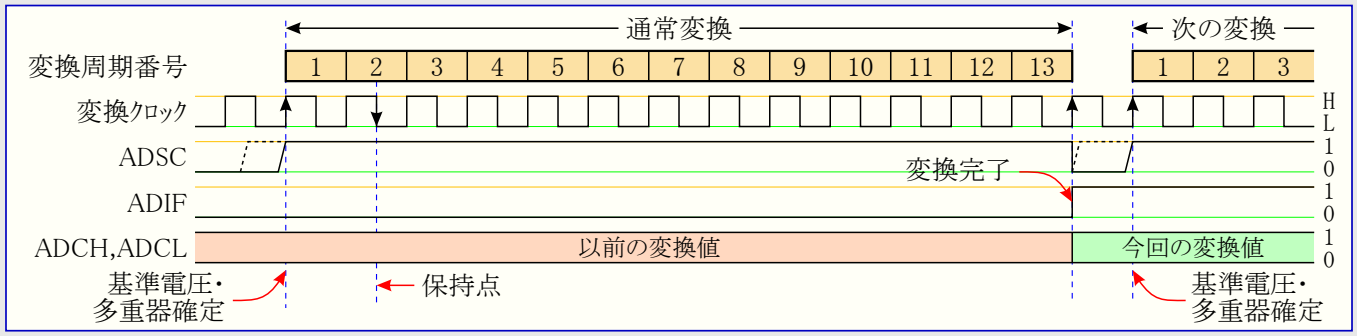


図28-5. 連続変換動作ﾀｲﾐﾝｸﾞ

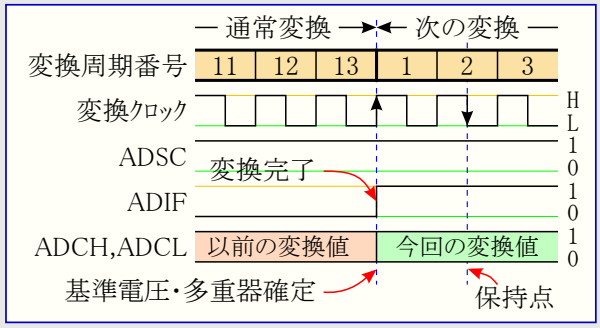


表28-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力通常変換	1.5	13
差動入力通常変換	1.5/2.5 (注1)	13/14 (注1)

注:　変換時間を除く各値は変換開始からの変換ｸﾛｯｸ数です。
注1: CK_{ADC2}の状態に依存(訳注:共通性から追加)。

28.4.1. 差動増幅ﾁｬﾈﾙ

差動増幅ﾁｬﾈﾙを使うとき、変換の±方向を考慮に入れる必要があります。

差動変換は変換ｸﾛｯｸの半分に等しい内部ｸﾛｯｸCKADC2に同期化されます。この同期化は採取&保持がCKADC2の特定端で起きるというような方法でA/D変換器ｲﾝﾀｰﾌｪｰｽによって自動的に行われます。CKADC2がLowの時に使用者によって変換が開始されると(即ち全ての単独変換と連続変換の最初)、ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換(次の前置分周したｸﾛｯｸ周期から13変換ｸﾛｯｸ周期)と同じ変換時間になります。CKADC2がHighの時に使用者によって変換が開始されると、同期化機構のために14変換ｸﾛｯｸ周期になります。連続変換動作では直前の変換完了後、直ちに次の変換が開始され、この時にCKADC2がHighのため、自動的に開始される全ての連続変換(即ち、初回を除く全て)は14変換ｸﾛｯｸ周期になります。

利得段は全利得設定に於いて帯域幅4kHzで最適化されています。より高い周波数は非直線増幅に陥るかもしれません。利得段帯域幅よりも高い周波数成分を含む入力信号の場合、外部低域通過濾波器(ﾛｰﾊﾟｽ ﾌｨﾙﾀ)が使われるべきです。A/D変換ｸﾛｯｸ周波数が利得段帯域幅制限と無関係なことに注意してください。例えばA/D変換ｸﾛｯｸ周期が6µsでは、このﾁｬﾈﾙの帯域幅とは無関係に12k採取/sでの採取をﾁｬﾈﾙに許せます。

28.5. ﾁｬﾈﾙ変更と基準電圧選択

A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)のﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄと基準電圧選択(REFS1,0)ﾋﾞｯﾄはCPUが乱順にｱｸｾｽするための一時ﾚｼﾞｽﾀを通して単独緩衝されます。これはﾁｬﾈﾙと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。ﾁｬﾈﾙと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して充分な採取/変換時間を保証するためにﾁｬﾈﾙと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換ｸﾛｯｸ周期で再開します。ADCSRAの変換開始(ADSC)ﾋﾞｯﾄが書かれた後の次の変換ｸﾛｯｸの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換ｸﾛｯｸ周期(経過)まで新しいﾁｬﾈﾙまたは基準電圧選択値をADMUXに書かないことを推奨されます。

差動入力ﾁｬﾈﾙを変更するとき、特別な注意が祓われるべきです。一旦差動入力ﾁｬﾈﾙが選択されてしまうと、利得段は新しい値に安定するのに125µs程度かかるかもしれません。従って変換は新規差動入力ﾁｬﾈﾙ選択後の最初の125µs内に開始されるべきではありません。または、この期間内に得た変換結果は破棄されるべきです。

(ADMUXのREFS1,0ﾋﾞｯﾄの変更による)A/D変換器基準電圧変更後の最初の差動入力変換に対して、同じ設定(安定)時間が厳守されるべきです。

JTAGｲﾝﾀｰﾌｪｰｽが許可されると、PORTF7～4のADC入力ﾁｬﾈﾙ機能が無効にされます。**表18-18.**を参照してください。

28.5.1. A/D入力ﾁｬﾈﾙ

ﾁｬﾈﾙ選択を変更する時に使用者は正しいﾁｬﾈﾙが選択されることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にﾁｬﾈﾙを選択してください。ﾁｬﾈﾙ選択はADSCへの1書き込み後、1変換ｸﾛｯｸ周期で変更されるかもしれません。とは言え、最も簡単な方法はﾁｬﾈﾙ選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にﾁｬﾈﾙを選択してください。ﾁｬﾈﾙ選択はADSCへの1書き込み後、1変換ｸﾛｯｸ周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にﾁｬﾈﾙ選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のﾁｬﾈﾙ選択を反映します。それに続く変換は新しいﾁｬﾈﾙ選択を反映します。

差動増幅ﾁｬﾈﾙへ切り替える時に自動ｵﾌｾｯﾄ消去回路用の設定時間が必要なので、最初の変換結果は貧弱な正確さとなってしまうかもしれません。使用者は最初の変換結果をなるべくなら無視すべきです。

28.5.2. A/D変換基準電圧

このA/D変換用の基準電圧(VREF)はA/D変換に対する変換範囲を示します。VREFを越えるｼﾝｸﾞﾙ ｴﾝﾄﾞ入力ﾁｬﾈﾙは$3FFで打ち切るｺｰﾄﾞに帰着します。VREFはAVCC、内部2.56V基準電圧、外部AREFﾋﾟﾝのどれかとして選択できます。

AVCCは受動型ｽｲｯﾁを通してA/D変換部に接続されます。内部2.56V基準電圧は内蔵基準(ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ)電圧(VBG)から内部増幅器を通して生成されます。どちらの場合でも外部AREFﾋﾟﾝは直接的にA/D変換部へ接続され、AREFﾋﾟﾝとGND間にｺﾝﾃﾞﾝｻを接続することにより、基準電圧は雑音耐性をより高められます。VREF(電圧)は高入力ｲﾝﾋﾟｰﾀﾞﾝｽ電圧計とAREFﾋﾟﾝで測定することもできます。VREFは高ｲﾝﾋﾟｰﾀﾞﾝｽ出力で、容量性負荷のみがｼｽﾃﾑ内で接続されるべきであることに注意してください。

使用者がAREFﾋﾟﾝに接続された固定電圧源にするなら、この外部電圧がその他の内部基準電圧と短絡してしまうため、使用者はこの応用内で他の基準電圧選択を使ってはなりません。外部電圧がAREFﾋﾟﾝに印加されないなら、使用者は基準電圧選択としてAVCCと内部2.56V基準電圧間の切り替えができます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

差動入力ﾁｬﾈﾙが使われる場合、選択した基準電圧はA/D変換特性の表で示されるよりもAVCCに近くすべきではありません。

関連ﾘﾝｸ　233頁の「A/D変換器特性」

28.6. 雑音低減機能

このA/D変換部はCPUｺｱと他の周辺I/Oが誘導した雑音を削減するために休止形態中の変換を可能にする雑音低減機能が特徴です。この機能はA/D変換雑音低減動作とｱｲﾄﾞﾙ動作で使えます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADFR=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されていなければなりません。
2. A/D変換雑音低減(またはｱｲﾄﾞﾙ)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みﾙｰﾁﾝを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで活動動作に留まります。

注: ｱｲﾄﾞﾙ動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部は自動的にOFFへ切り替えられません。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADCSRAのADENへ0を書くことが推奨されます。このような休止形態でA/D変換が許可され、使用者が差動変換の実行を欲する場合、使用者は有効な結果を得るための延長した(初回)変換を指示するために、休止形態から起動後にA/D変換部をOFF→ON(ADEN=0→1)に切り替えることが推奨されます。

28.6.1. ｱﾅﾛｸﾞ入力回路

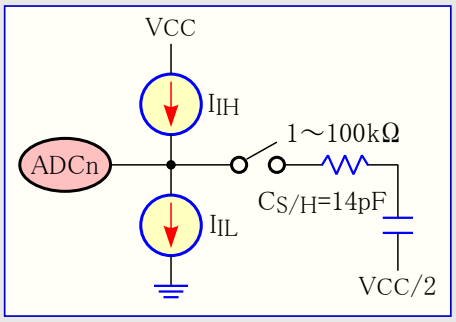
ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力チャネルのｱﾅﾛｸﾞ回路は右下で図示されます。ADCnに印加したｱﾅﾛｸﾞ(信号)源はそのチャネルがADC入力として選択されているかどうかに拘らず、ﾋﾟﾝ容量とそのﾋﾟﾝの漏れ電流に左右されます。そのチャネルが選択されると、(ｱﾅﾛｸﾞ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hｺﾝﾃﾞﾝｻを駆動しなければなりません。

A/D変換部は概ね10kΩ若しくはそれ以下の出力ｲﾝﾋﾟｰﾀﾞﾝｽのｱﾅﾛｸﾞ信号用に最適化されています。このような(ｱﾅﾛｸﾞ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いｲﾝﾋﾟｰﾀﾞﾝｽの(ｱﾅﾛｸﾞ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hｺﾝﾃﾞﾝｻを充電するために(ｱﾅﾛｸﾞ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hｺﾝﾃﾞﾝｻへの充放電を最小とするため、使用者は緩やかに変化する低ｲﾝﾋﾟｰﾀﾞﾝｽ(ｱﾅﾛｸﾞ信号)源だけを使うことが推奨されます。

差動増幅ﾁｬﾈﾙが使われる場合、この入力回路は多少違って見えるので、数100kΩまたはそれ以下の供給元ｲﾝﾋﾟｰﾀﾞﾝｽが推奨されます。

特定できない信号の渦からの歪を避けるために、どのﾁｬﾈﾙに対してもﾅｲｷｽﾄ周波数(f_{ADC}/2)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に低域通過濾波器(ﾛｰﾊﾟｽ ﾌｨﾙﾀ)で高い周波数成分を取り除くことが推奨されます。

図28-6. ｱﾅﾛｸﾞ入力回路

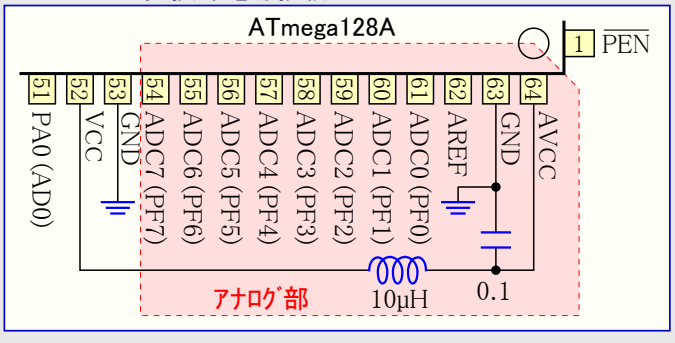


28.6.2. ｱﾅﾛｸﾞ雑音低減技術

ﾃﾞﾊﾞｲｽ内外のﾃﾞｼﾞﾀﾙ回路がｱﾅﾛｸﾞ測定の精度に影響を及ぼすかもしれないEMIを発生します。精密な変換精度が必要な場合、次の技法を適用することによって雑音ﾚﾍﾞﾙを低減できます。

1. ｱﾅﾛｸﾞ信号経路を可能な限り最短にしてください。ｱﾅﾛｸﾞ信号線がGND面上を走ることに注意し、高速切り替えﾃﾞｼﾞﾀﾙ信号線から充分離すことを守ってください。
2. ﾃﾞﾊﾞｲｽのAVCCﾋﾟﾝは右図で示されるようにLC濾波器を経由してﾃﾞｼﾞﾀﾙ供給電圧(VCC)に接続されるべきです。
3. CPUからの誘導雑音を低減するためにA/D変換の雑音低減機能を使ってください。
4. どれかのADCﾎﾟｰﾄ ﾋﾟﾝがﾃﾞｼﾞﾀﾙ出力として使われる場合、これらが変換進行中に切り替わらないことが重要です。

図28-7. A/D変換部電源接続



28.6.3. ｵﾌｾｯﾄ補償の仕組み

利得段には差動測定のｵﾌｾｯﾄをできるだけ無効にする組み込みｵﾌｾｯﾄ補正回路があります。ｱﾅﾛｸﾞ経路内の残留ｵﾌｾｯﾄは両差動入力に対して同じﾁｬﾈﾙを選択することによって直接的に計測できます。その後にこの残留ｵﾌｾｯﾄは計測結果からｿﾌﾄｳｪｱで減算できます。このｵﾌｾｯﾄ補正に基いたｿﾌﾄｳｪｱ手法の使用はどのﾁｬﾈﾙのｵﾌｾｯﾄも1LSB以下に減少できます。

28.6.4. A/D変換の精度定義

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力電圧のnﾋﾞｯﾄA/D変換はGNDとVREF間を2^nで直線的に変換します。最低値ｺｰﾄﾞは0として読み、最高値ｺｰﾄﾞは2^n-1として読みます。以下の各種ﾊﾟﾗﾒｰﾀは理想状態からの偏差を表します。

- **ｵﾌｾｯﾄ誤差 – 図28-8.**

最初の遷移点($000から$001)に於いて理想遷移点(差0.5 LSB)と比較した偏差です。理想値は0LSBです。

- **利得誤差 – 図28-9.**

ｵﾌｾｯﾄ誤差補正後の最後の遷移点($3FEから$3FF)に於いて理想遷移点(最大差1.5LSB以下)と比較した偏差です。理想値は0LSBです。

- **積分非直線性誤差 (INL) – 図28-10.**

ｵﾌｾｯﾄ誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

- **微分非直線性誤差 (DNL) – 図28-11.**

実際のｺｰﾄﾞの幅(隣接する2つの遷移点間)に於いて理想ｺｰﾄﾞ幅(1LSB)と比較した最大偏差です。理想値は0LSBです。

- **量子化誤差**

有限数のｺｰﾄﾞで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のｺｰﾄﾞになります。この値は常に±0.5LSBです。

- **絶対精度**

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、ｵﾌｾｯﾄ誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は±0.5LSBです。

図28-8. ｵﾌｾｯﾄ誤差

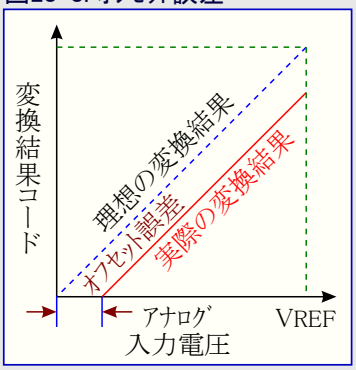


図28-9. 利得誤差

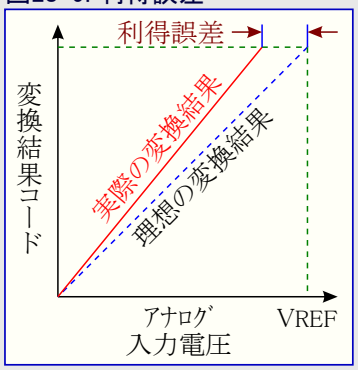


図28-10. 積分非直線性誤差

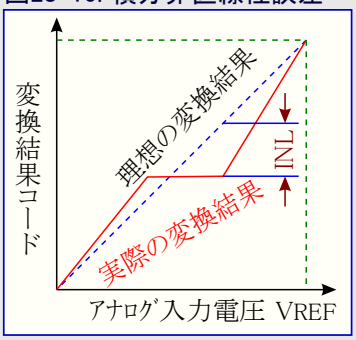
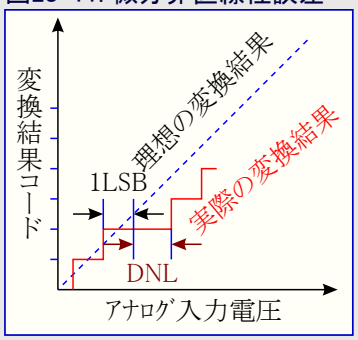


図28-11. 微分非直線性誤差



28.7. A/D変換の結果

変換完了(ADCSRAのADIF=1)後、変換結果はA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH, ADCL)で得られます。

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換の結果は右式で示されます。V_{IN}は選択した入力ﾋﾟﾝの電圧で、V_{REF}は選択した基準電圧です(181頁の表28-3.と表28-4.をご覧ください)。$000はGNDを表し、$3FFは選択した基準電圧-1LSBを表します。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

差動ﾁｬﾈﾙが使われると、その結果は右式で示されます。V_{POS}は非反転入力ﾋﾟﾝの電圧、V_{NEG}は反転入力ﾋﾟﾝの電圧、GAINは選択した倍率、V_{REF}は選択した基準電圧です。この結果は-512($200)～+511 ($1FF)の2の補数形式で示されます。使用者が結果の符号を素早く検査したいなら、結果のMSB(ADCHのADC9)を読むことで充分なことに注目してください。このﾋﾞｯﾄが1ならばその結果は－、0ならばその結果は＋です。次図は差動入力範囲のｺｰﾄﾞ化を示します。

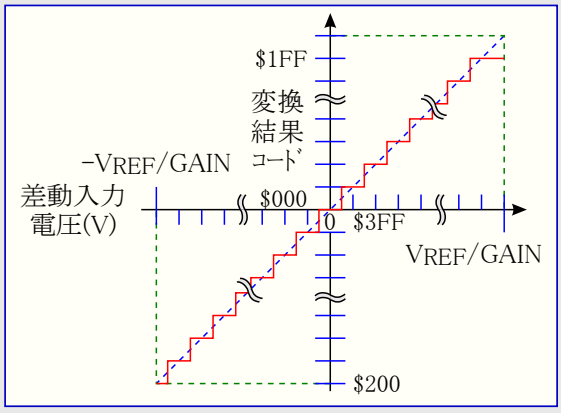
$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

下表は差動入力ﾁｬﾈﾙの組(ADCn-ADCm)が基準電圧(V_{REF})で選択された場合の出力ｺｰﾄﾞの結果を示します。

表28-2. 入力電圧と出力ｺｰﾄﾞの関係

VADCn	読み出しｺｰﾄﾞ	対応する10進値
$V_{ADCm}+V_{REF}/GAIN$	$1FF	511
$V_{ADCm}+(511/512)V_{REF}/GAIN$	$1FF	511
$V_{ADCm}+(510/512)V_{REF}/GAIN$	$1FE	510
≀	≀	≀
$V_{ADCm}+(1/512)V_{REF}/GAIN$	$001	1
V_{ADCm}	$000	0
$V_{ADCm}-(1/512)V_{REF}/GAIN$	$3FF	-1
≀	≀	≀
$V_{ADCm}-(511/512)V_{REF}/GAIN$	$201	-511
$V_{ADCm}-V_{REF}/GAIN$	$200	-512

図28-12. 差動入力計測範囲



例: ADMUX=$ED(ADC3とADC2差動10倍入力、$V_{REF}$=2.56V、左揃え)で、ADC3が300mV、ADC2が500mVの場合、
A/D変換値=512×10×(300-500)÷2560=-400=$270
従って、ADCH=$9C, ADCL=$00、ADLAR=0なら、ADCH=$02, ADCL=$70。

28.8. A/D変換用ﾚｼﾞｽﾀ

28.8.1. ADMUX – A/D多重器選択ﾚｼﾞｽﾀ (ADC Multiplexer Select Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : ADMUX
変位 : $07 ($27)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$27です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – REFS1,0 : 基準電圧選択** (Reference Select Bits 1, 0)

これらのﾋﾞｯﾄはA/D変換器の基準電圧を選びます。これらのﾋﾞｯﾄが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。AREFﾋﾟﾝに外部基準電圧が印加される場合、内部の基準電圧が使われてはなりません。

表28-3. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AREFﾋﾟﾝの外部基準電圧 (AVCCと内部2.56V基準電圧は切り離されます。)
0	1	AVCC (内部2.56V基準電圧は切り離されますが、AREFにﾃﾞｶｯﾌﾟ用ｺﾝﾃﾞﾝｻが接続できます。)
1	0	(予約)
1	1	内部2.56V基準電圧 (AVCCは切り離されますが、AREFにﾃﾞｶｯﾌﾟ用ｺﾝﾃﾞﾝｻが接続できます。)

● **ﾋﾞｯﾄ5 – ADLAR : 左揃え選択** (ADC Left Adjust Result)

ADLARﾋﾞｯﾄはA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARﾋﾞｯﾄの変更はどんな進行中の変換にも拘らず、直ちにA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀの内容に影響を及ぼします。このﾋﾞｯﾄの完全な記述についてはA/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位(ADCL)とA/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ上位(ADCH)をご覧ください。

● **ﾋﾞｯﾄ4～0 – MUX4～0 : A/Dﾁｬﾈﾙ選択** (Analog Channel Select Bits 4～0)

これらのﾋﾞｯﾄの値はA/D変換器にどのｱﾅﾛｸﾞ入力の組み合わせが接続されるかを選びます。これらのﾋﾞｯﾄは差動ﾁｬﾈﾙに対する利得も選びます。詳細については下表を参照してください。これらのﾋﾞｯﾄが変換中に変更される場合、その変更は変換完了(ADCSRAのADIF=1)まで実施しません。

表28-4. ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ選択

MUX4～0	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力	差動入力			MUX4～0	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力	差動入力		
		非反転入力	反転入力	利得			非反転入力	反転入力	利得
00000	ADC0				10000		ADC0	ADC1	×1
00001	ADC1				10001 (注1)		ADC1	ADC1	×1
00010	ADC2				10010		ADC2	ADC1	×1
00011	ADC3				10011		ADC3	ADC1	×1
00100	ADC4				10100		ADC4	ADC1	×1
00101	ADC5				10101		ADC5	ADC1	×1
00110	ADC6				10110		ADC6	ADC1	×1
00111	ADC7				10111		ADC7	ADC1	×1
01000 (注1)		ADC0	ADC0	×10	11000		ADC0	ADC2	×1
01001		ADC1	ADC0	×10	11001		ADC1	ADC2	×1
01010 (注1)		ADC0	ADC0	×200	11010 (注1)		ADC2	ADC2	×1
01011		ADC1	ADC0	×200	11011		ADC3	ADC2	×1
01100 (注1)		ADC2	ADC2	×10	11100		ADC4	ADC2	×1
01101		ADC3	ADC2	×10	11101		ADC5	ADC2	×1
01110 (注1)		ADC2	ADC2	×200	11110	1.23V(V_{BG})			
01111		ADC3	ADC2	×200	11111	0V(GND)			

注1: ｵﾌｾｯﾄ校正に使えます。

28.8.2. ADCSRA – A/D制御/状態ﾚｼﾞｽﾀA (ADC Control and Status Register A)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : ADCSRA
変位 : $06 ($26)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$26です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – ADEN : A/D許可** (ADC Enable)

このﾋﾞｯﾄに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

● **ﾋﾞｯﾄ6 – ADSC : A/D変換開始** (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのﾋﾞｯﾄへ1を書いてください。連続変換動作で最初の変換を始めるにはこのﾋﾞｯﾄへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の13に代わって25変換ｸﾛｯｸ周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読めます。変換が完了すると0に戻ります。このﾋﾞｯﾄへの0書き込みは無効です。

● **ﾋﾞｯﾄ5 – ADFR : 連続/単独変換動作選択** (ADC Free Running Select)

このﾋﾞｯﾄが設定(1)されるとA/D変換器は連続変換動作で動作します。この動作種別では連続的にA/D変換の採取/変換とA/Dﾃﾞｰﾀﾚｼﾞｽﾀを更新します。このﾋﾞｯﾄを解除(0)することは連続変換動作を終了します(単独変換動作になります)。

● **ﾋﾞｯﾄ4 – ADIF : A/D変換完了割り込み要求ﾌﾗｸﾞ** (ADC Interrupt Flag)

A/D変換が完了し、A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀが更新されると、このﾌﾗｸﾞが設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとA/D変換完了割り込み許可(ADIE)ﾋﾞｯﾄが設定(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ﾍﾞｸﾀを実行する時にADIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞｨﾌｧｲ ﾗｲﾄ)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます。

● **ﾋﾞｯﾄ3 – ADIE : A/D変換完了割り込み許可** (ADC Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、SREGの全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、A/D変換完了割り込みが活性に(許可)されます。このﾋﾞｯﾄが解除(0)されると、この割り込みは禁止されます(**訳注**:共通性のため本行追加)。

● **ﾋﾞｯﾄ2~0 – ADPS2~0 : A/D変換ｸﾛｯｸ選択** (ADC Prescaler Select Bits)

これらのﾋﾞｯﾄはXTAL(ｼｽﾃﾑ)周波数とA/D変換部への入力ｸﾛｯｸ間の分周値を決めます。

表28-5. A/D変換ｸﾛｯｸ選択 (CK=ｼｽﾃﾑ ｸﾛｯｸ)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換ｸﾛｯｸ	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

28.8.3. ADCL – A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位 (ADC Data Register Low) [ADLAR=0]

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

A/D変換が完了すると、その結果がこの2つのﾚｼﾞｽﾀで得られます。差動ﾁｬﾈﾙが使われると、結果は2の補数形式で表されます。

ADCLが読まれると、A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀはADCHが読まれるまで更新されません。従ってこの結果が左揃えで且つ8ﾋﾞｯﾄを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなければADCLが先で、その後にADCHが読まれなければなりません。

A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)の左揃え選択(ADLAR)ﾋﾞｯﾄとA/Dﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄはこのﾚｼﾞｽﾀから結果を読む方法に影響を及ぼします。ADLARが設定(1)ならば結果は左揃えにされます。ADLARが解除(0:既定)ならば結果は右揃えにされます。

名称 : ADCL
変位 : $04 ($24)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$24です。ADLAR=0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – ADC7～0 : A/D変換結果** (ADC Conversion result)

これらのﾋﾞｯﾄは変換での結果を表します。詳細については180頁の「**A/D変換の結果**」を参照してください。

28.8.4. ADCH – A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ上位 (ADC Data Register High) [ADLAR=0]

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : ADCH
変位 : $05 ($25)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$25です。ADLAR=0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	ADC9	ADC8
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1,0 – ADC9,8 : A/D変換結果** (ADC Conversion result)

A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位(ADCL)を参照してください。

28.8.5. ADCL – A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位 (ADC Data Register Low) [ADLAR=1]

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : ADCL
変位 : $04 ($24)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$24です。ADLAR=1

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADC1	ADC0	–	–	–	–	–	–
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – ADC1,0 : A/D変換結果** (ADC Conversion result)

A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位(ADCL)を参照してください。

28.8.6. ADCH – A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ上位 (ADC Data Register High) [ADLAR=1]

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : ADCH
変位 : $05 ($25)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$25です。ADLAR=1

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – ADC9～2 : A/D変換結果** (ADC Conversion result)

A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位(ADCL)を参照してください。

29. JTAGインターフェースと内蔵ﾃﾞﾊﾞｯｸﾞ機能

29.1. 特徴

- JTAGインターフェース (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- ﾃﾞﾊﾞｯｶﾞは各部のｱｸｾｽが可能
  - 全ての内蔵周辺機能
  - 内部及び外部RAM
  - 内蔵ﾚｼﾞｽﾀ ﾌｧｲﾙ
  - ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ
  - EEPROM及びﾌﾗｯｼｭ ﾒﾓﾘ
- 中断(BREAK)によって支援される広範囲な内蔵ﾃﾞﾊﾞｯｸﾞ機能
  - AVRのBREAK命令
  - ﾌﾟﾛｸﾞﾗﾑの流れ変更での停止
  - 1命令実行(ｼﾝｸﾞﾙ ｽﾃｯﾌﾟ)停止
  - ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ上の単一ｱﾄﾞﾚｽまたはｱﾄﾞﾚｽ範囲による中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)
  - ﾃﾞｰﾀ ﾒﾓﾘ上の単一ｱﾄﾞﾚｽまたはｱﾄﾞﾚｽ範囲による中断点
- JTAGインターフェースを介してのﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄの読み書き(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ)
- Atmel Studioによる内蔵ﾃﾞﾊﾞｯｸﾞ機能の支援

29.2. 概要

AVRのIEEE標準1149.1準拠JTAGインターフェースは以下について使えます。

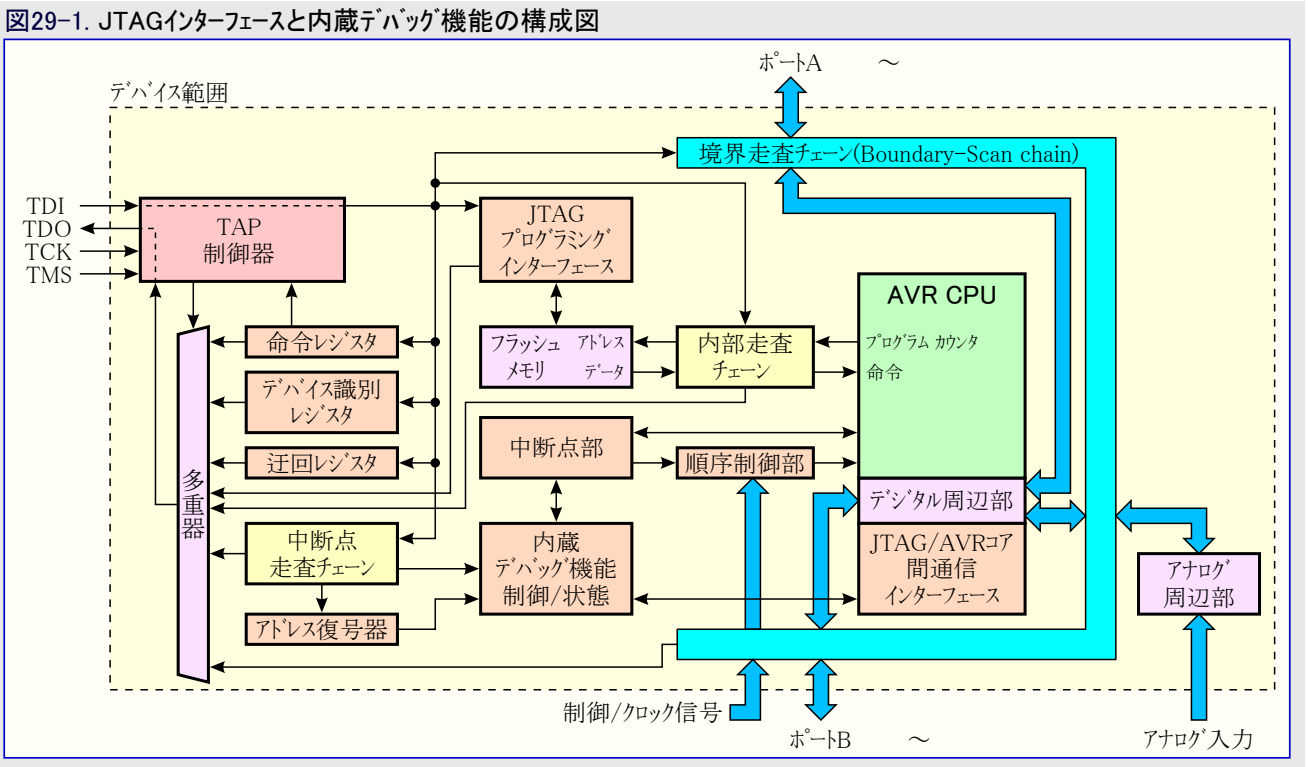
- JTAG境界走査(Boudary-Scan)能力による基板などの試験
- 不揮発性ﾒﾓﾘ、ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄの読み書き(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ)
- 内蔵ﾃﾞﾊﾞｯｸﾞ機能による実装ﾃﾞﾊﾞｯｸﾞ

簡単な記述は次節で与えられます。JTAGインターフェース経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞと境界走査(Boundary-Scan)チェーンに関する詳細な記述は、各々「**JTAGインターフェース経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」と188頁の「**IEEE 1149.1(JTAG)境界走査**(Boundary-Scan)」で得られます。内蔵ﾃﾞﾊﾞｯｸﾞ機能の支援は独自JTAG命令で考慮されており、Atmelと選ばれた業者のみに配布されます。

下の構成図はJTAGインターフェースと内蔵ﾃﾞﾊﾞｯｸﾞ機能を示します。TAP(検査入出力ﾎﾟｰﾄ)制御器はTMSとTCKによって制御される順次回路です。TAP制御器はTDI入力とTDO出力間の走査チェーン(移動ﾚｼﾞｽﾀ接続)として、JTAG命令ﾚｼﾞｽﾀまたは各種ﾃﾞｰﾀ ﾚｼﾞｽﾀの1つのどれかを選びます。JTAG命令ﾚｼﾞｽﾀはﾃﾞｰﾀ ﾚｼﾞｽﾀの動きを制御するJTAG命令を保持します。

ﾃﾞﾊﾞｲｽ識別(Identification)ﾚｼﾞｽﾀ、迂回(Bypass)ﾚｼﾞｽﾀ、境界走査チェーン(Boundary-Scan chain)の各ﾃﾞｰﾀ ﾚｼﾞｽﾀは基板段階の試験に使われます。(実際には現実と仮想の各種ﾃﾞｰﾀ ﾚｼﾞｽﾀで構成する)JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽはJTAGインターフェース経由での直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに使われます。内部走査チェーン(Scan chain)と中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)走査チェーンは内部ﾃﾞﾊﾞｯｸﾞ機能だけで使われます。

図29-1. JTAGインターフェースと内蔵ﾃﾞﾊﾞｯｸﾞ機能の構成図



関連ﾘﾝｸ 219頁の「JTAGインターフェース経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」

29.3. 検査入出力ﾎﾟｰﾄ (TAP:Test Access Port)

JTAGｲﾝﾀｰﾌｪｰｽはAVRの4つのﾋﾟﾝを通してｱｸｾｽされます。JTAG用語ではこれらのﾋﾟﾝが検査入出力ﾎﾟｰﾄ(TAP)を構成します。

- TMS：検査種別選択。このﾋﾟﾝはTAP制御器順次回路を通しての指示に使われます。
- TCK：検査ｸﾛｯｸ。JTAG操作はTCKに同期します。
- TDI：検査ﾃﾞｰﾀ入力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀ(走査ﾁｪｰﾝ)内に移動されるべき直列入力ﾃﾞｰﾀです。
- TDO：検査ﾃﾞｰﾀ出力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀからの直列出力ﾃﾞｰﾀです。

IEEE標準1149.1では任意TAP信号の検査ﾘｾｯﾄ(TRST)も記載されていますが、この信号は提供されません。

JTAGENﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)の時にこれら4つのTAPﾋﾟﾝは標準ﾎﾟｰﾄ ﾋﾟﾝで、TAP制御器はﾘｾｯﾄです。ﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御/状態ﾚｼﾞｽﾀ(MCUCSR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されると、TAP信号入力は内部的にHighへ引かれ、JTAGは境界走査(Boundary-Scan)とﾌﾟﾛｸﾞﾗﾐﾝｸﾞに関して許可されます。この場合、TAP出力(TDO)ﾋﾟﾝはJTAG TAP制御器がﾃﾞｰﾀを移動していない状態で浮き状態(ﾌﾛｰﾃｨﾝｸﾞ)のままにされ、従ってﾌﾟﾙｱｯﾌﾟ抵抗が接続されるか、または他のﾊｰﾄﾞｳｪｱ(例えば走査ﾁｪｰﾝ内の次のﾃﾞﾊﾞｲｽのTDI入力)がﾌﾟﾙｱｯﾌﾟを持たなければなりません。このﾃﾞﾊﾞｲｽはこのﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されて出荷されます。

内蔵ﾃﾞﾊﾞｯｸﾞ機能ではJTAGｲﾝﾀｰﾌｪｰｽ ﾋﾟﾝに加え、外部ﾘｾｯﾄ元が検知できるため、RESETﾋﾟﾝがﾃﾞﾊﾞｯｶﾞによって監視されます。応用でﾘｾｯﾄ信号線にｵｰﾌﾟﾝ ｺﾚｸﾀ(ﾄﾞﾚｲﾝ)だけが使われるとすれば、ﾃﾞﾊﾞｯｶﾞは全ｼｽﾃﾑをﾘｾｯﾄするためにRESETﾋﾟﾝをLowにすることもできます。

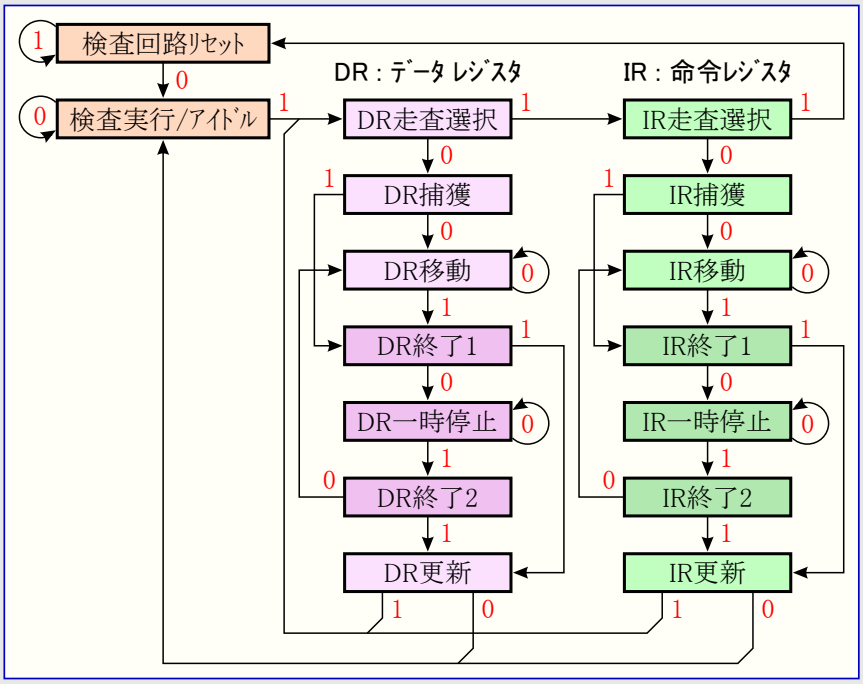
29.4. TAP制御器

TAP制御器は境界走査(Boundary-Scan)回路、JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ回路、内蔵ﾃﾞﾊﾞｯｸﾞ機能の働きを制御する16段の無限順次回路です。右図に描かれた状態遷移はTCKｸﾛｯｸの上昇時の(各状態遷移付近で示される)TMS上に存在する信号に依存します。電源投入ﾘｾｯﾄ後の初期状態は検査回路ﾘｾｯﾄです。

この資料内の定義として、全ての移動ﾚｼﾞｽﾀに関して入出力ともLSBが最初に移動されます。

検査実行/ｱｲﾄﾞﾙ状態が現在の状態と仮定した、JTAGｲﾝﾀｰﾌｪｰｽを使うための典型的な手順を次に示します。

図29-2. TAP制御器状態遷移図



- 命令ﾚｼﾞｽﾀ(IR)移動状態へ移行するためにTCKの上昇でTMSへ順次1,1,0,0を与えます。この状態中、TCKの上昇端でTDI入力からJTAG命令ﾚｼﾞｽﾀ内に4ﾋﾞｯﾄのJTAG命令を移動します。TMS入力はIR移動状態に留まるために3LSBの入力中、Lowに保持されなければなりません。命令のMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。命令がTDIﾋﾟﾝから移動されている間、捕獲されたIRの状態($01)がTDOﾋﾟﾝへ移動出力されます。JTAG命令はTDIとTDO間に通す(接続する)特定のﾃﾞｰﾀ ﾚｼﾞｽﾀを選択し、選択したﾃﾞｰﾀ ﾚｼﾞｽﾀ周辺回路を制御します。
- 検査実行/ｱｲﾄﾞﾙ状態へ再度移行するためにTMSへ順次1,1,0を与えます。この(JTAG)命令はIR更新状態通過で移動ﾚｼﾞｽﾀから並列出力にﾗｯﾁされます。IR終了1、IR一時停止、IR終了2の各状態は順次回路の誘導操作のためだけに使われます。
- ﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)移動状態へ移行するためにTCKの上昇端でTMSへ順次1,0,0を与えます。この状態中、TCKの上昇端でTDI入力から(JTAG命令ﾚｼﾞｽﾀ内の現在のJTAG命令で)選択したﾃﾞｰﾀ ﾚｼﾞｽﾀに値を移動入力します。DR移動状態に留まるためにMSBを除く全ﾋﾞｯﾄの入力中、TMS入力はLowに保持されなければなりません。ﾃﾞｰﾀのMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。ﾃﾞｰﾀ ﾚｼﾞｽﾀがTDIﾋﾟﾝから移動入力される間、DR捕獲状態(1,0)でﾃﾞｰﾀ ﾚｼﾞｽﾀに捕獲した並列入力がTDOﾋﾟﾝへ移動出力されます。
- 検査実行/ｱｲﾄﾞﾙ状態へ再移行するためにTMSへ順次1,1,0を与えます。選択したﾃﾞｰﾀ ﾚｼﾞｽﾀがﾗｯﾁした並列出力を持つ場合、DR更新状態でﾗｯﾁを行います。DR終了1、DR一時停止、DR終了2の各状態は順次回路の誘導操作のためだけに使われます。

状態遷移図で示されるように検査実行/ｱｲﾄﾞﾙ状態はJTAG命令の選択とﾃﾞｰﾀ ﾚｼﾞｽﾀの使用間で移行される必要はなく、また、いくつかのJTAG命令は検査実行/ｱｲﾄﾞﾙ状態で実行されるべき必然的な機能を選択するかもしれず、それはｱｲﾄﾞﾙ状態として不適当になります。

注: TAP制御器の初期状態に関係なく、5 TCKｸﾛｯｸ周期に対してTMSをHighに保持することにより、常に検査回路ﾘｾｯﾄ状態へ移行することができます。

JTAG仕様の詳細情報については188頁の「参考文献」に記載された文献を参照してください。

29.5. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain)の使用

境界走査能力の完全な説明は188頁の「IEEE 1149.1(JTAG)境界走査(Boundary-Scan)」項で与えられます。

29.6. 内蔵ﾃﾞﾊﾞｯｸﾞ機能の使用

図29-1.で示されるように内蔵ﾃﾞﾊﾞｯｸﾞに関するﾊｰﾄﾞｳｪｱ支援は主に次の部分から成ります。

- 内部AVR CPUｺｱと内部周辺機能部間ｲﾝﾀｰﾌｪｰｽの走査ﾁｪｰﾝ(Scan chain)
- 中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)部
- CPUとJTAGｼｽﾃﾑ間の通信ｲﾝﾀｰﾌｪｰｽ

ﾃﾞﾊﾞｯｶﾞの実行で必要とされる全ての読み込みまたは変更/書き込みは内部AVR CPU走査ﾁｪｰﾝ(Scan chain)経由のAVR命令によって行われます。CPUはCPUとJTAGｼｽﾃﾑ間の通信ｲﾝﾀｰﾌｪｰｽ部分が配置されるI/Oﾒﾓﾘ位置に結果を送ります。

中断点部はﾌﾟﾛｸﾞﾗﾑの流れ変更での一時停止(Break)、1命令実行(Single Step Break)、2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ用中断点、2つの複合中断点を実行します。合わせて4つ中断点は次のどれかとして設定ができます。

- 4つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点
- 3つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾃﾞｰﾀ ﾒﾓﾘ単一中断点
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 2つのﾃﾞｰﾀ ﾒﾓﾘ単一中断点
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ範囲中断点 (中断点と遮蔽)
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾃﾞｰﾀ ﾒﾓﾘ範囲中断点 (中断点と遮蔽)

けれどもAtmel Studio®のようなﾃﾞﾊﾞｯｶﾞは最終使用者への柔軟性をより少なくする内部目的にこれら資源の1つまたはそれ以上を使うかもしれません。

内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令の一覧は「内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令」で与えられます。

JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されなければなりません。加えて内蔵ﾃﾞﾊﾞｯｸﾞ機能で作業するには更にOCDENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、施錠ﾋﾞｯﾄが施錠なしに設定されなければなりません。何れかの施錠ﾋﾞｯﾄが設定(0)されると、保護機能で内蔵ﾃﾞﾊﾞｯｸﾞ機能が禁止されます。そうでなければ内蔵ﾃﾞﾊﾞｯｸﾞ機能が保護されたﾃﾞﾊﾞｲｽへの裏口を提供することになっていたでしょう(訳補:保護の意味がなくなるの意)。

Atmel Studioは使用者にﾁｯﾌﾟ内蔵ﾃﾞﾊﾞｯｸﾞ能力(機能)、AVRｲﾝｻｰｷｯﾄ ｴﾐｭﾚｰﾀ、または(Atmel Studio)組み込みAVR命令一式ｼﾐｭﾚｰﾀでAVRﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾑ実行を完全に制御することを可能にします。Atmel StudioはAtmel AVRｱｾﾝﾌﾞﾗでｱｾﾝﾌﾞﾙしたｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑと他業者製ｺﾝﾊﾟｲﾗでｺﾝﾊﾟｲﾙしたC言語ﾌﾟﾛｸﾞﾗﾑのｿｰｽ ﾚﾍﾞﾙ実行を支援します。

Atmel Studioの完全な記述についてはAtmel Studio使用者の手引きを参照してください。要点だけが本資料で示されます。

全ての必要な実行指令はAtmel Studio内のｿｰｽ ﾚﾍﾞﾙと逆ｱｾﾝﾌﾞﾘ ﾚﾍﾞﾙの両方で利用できます。使用者はﾌﾟﾛｸﾞﾗﾑの実行、1命令実行(Single Step)、内側(関数内)実行、外側(関数外)実行、命令行へのｶｰｿﾙ配置と命令行が(ｶｰｿﾙ行へ)到達されるまでの実行、一時停止、実行対象のﾘｾｯﾄができます。加えて使用者は無制限数のｺｰﾄﾞの中断点(BREAK命令使用)と、2つまでのﾃﾞｰﾀ ﾒﾓﾘの中断点か、代わりに遮蔽による範囲指定(複合)中断点を持てます。

29.7. 内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令

内蔵ﾃﾞﾊﾞｯｸﾞの支援は独自JTAG命令で考慮され、Atmelと選ばれた業者だけに配布されます。参考のため、命令ｺｰﾄﾞの一覧が示されます。

- **独自命令0**：$8 (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令1**：$9 (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令2**：$A (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令3**：$B (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)

29.8. JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力の使用

JTAG経由AVRﾃﾞﾊﾞｲｽ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは4ﾋﾟﾝのJTAGﾎﾟｰﾄ、TCK,TMS,TDI,TDO経由で実行されます。これらはJTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行のために(電源ﾋﾟﾝに加えて)制御/監視される必要があるﾋﾟﾝだけです。外部的な12V印加は必要とされません。JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御/状態ﾚｼﾞｽﾀ(MCUCSR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されなければなりません。

JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力は以下を支援します。

- ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- EEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- ﾋｭｰｽﾞ ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- 施錠ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合

施錠ﾋﾞｯﾄ保護は丁度並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのようです。施錠ﾋﾞｯﾄLB1またはLB2がﾌﾟﾛｸﾞﾗﾑ(0)されると、先にﾁｯﾌﾟ消去を行わない限り、OCDENﾋｭｰｽﾞはﾌﾟﾛｸﾞﾗﾑ(0)できません。これは保護されたﾃﾞﾊﾞｲｽの内容を読み出す裏口がないことを保証する保護機能です。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令の記述は219頁の「ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令」で与えられます。JTAGｲﾝﾀｰﾌｪｰｽを通すﾌﾟﾛｸﾞﾗﾐﾝｸﾞの詳細は「JTAGｲﾝﾀｰﾌｪｰｽ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」項で与えられます。

関連ﾘﾝｸ 219頁の「JTAGｲﾝﾀｰﾌｪｰｽ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」

29.9. 参考文献

一般的な境界走査(Boudary-Scan)についての詳細は次の文献を参照してください。

- IEEE : IEEE Std 1149.1-1990. IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE, 1993
- Colin Maunder : The Board Designers Guide to Testable Logic Circuits, Addison Wesley, 1992

29.10. IEEE 1149.1 (JTAG) 境界走査(Boundary-Scan)

29.10.1. 特徴

- JTAGｲﾝﾀｰﾌｪｰｽ (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- ﾁｯﾌﾟ外接続を持つｱﾅﾛｸﾞ回路は勿論、全てのﾎﾟｰﾄ機能の完全な走査(Scan)
- 任意IDCODE命令の支援
- AVRﾘｾｯﾄ用公開AVR_RESET命令の追加

29.10.2. 概要

境界走査ﾁｪｰﾝ(Boundary-Scan chain)にはﾃﾞｼﾞﾀﾙI/Oﾋﾟﾝは勿論、ﾁｯﾌﾟ外接続を持つｱﾅﾛｸﾞ回路のｱﾅﾛｸﾞとﾃﾞｼﾞﾀﾙ間境界の論理値を駆動、監視する能力があります。ｼｽﾃﾑ上ではJTAG能力を持つ全てのICがTDIとTDOの接続により長い移動ﾚｼﾞｽﾀの形態で接続されます。外部制御器がこれらの出力ﾋﾟﾝで値を駆動するようにﾃﾞﾊﾞｲｽを設定し、他のﾃﾞﾊﾞｲｽから受け取った入力値を監視します。この制御器は予測される結果と受信した値を比較します。この方法で境界走査(Boundary-Scan)は4つのTAP信号だけを使うことにより、基板上の部品全般と内部結線の検査機構を提供します。

IEEE 1149.1で定義された4つの必須JTAG命令、IDCODE, BYPASS, SAMPLE/PRELOAD, EXTESTだけでなく、AVR特殊公開JTAG命令のAVR_RESETも基板検査に使えます。既定JTAG命令がIDCODEなので、ﾃﾞｰﾀ ﾚｼﾞｽﾀ経路の初期走査はﾃﾞﾊﾞｲｽの識別ｺｰﾄﾞ(ID-code)を示します。検査動作中にﾘｾｯﾄ(状態)のAVRﾃﾞﾊﾞｲｽがあることは好都合かもしれません。ﾘｾｯﾄでない場合、ﾃﾞﾊﾞｲｽの入力は走査動作によって決定されるかもしれず、検査動作を終了する時に内部ｿﾌﾄｳｪｱが未確定状態になってしまうかもしれません。ﾘｾｯﾄへの移行で、どのﾎﾟｰﾄ ﾋﾟﾝの出力も直ちにHi-Z状態に移行し、HIGHZ命令が不要になります。必要とされるなら、ﾃﾞﾊﾞｲｽを通過する走査ﾁｪｰﾝを可能な限り最短とするのにBYPASS命令が発行できます。外部RESETﾋﾟﾝをLowに引き込むか、またはﾘｾｯﾄﾃﾞｰﾀ ﾚｼﾞｽﾀの適切な設定によるAVR_RESET命令の発行でﾃﾞﾊﾞｲｽをﾘｾｯﾄ状態に設定できます。

EXTEST命令は外部ﾋﾟﾝの採取と出力ﾋﾟﾝの値設定に使われます。EXTEST命令がJTAG命令ﾚｼﾞｽﾀ(IR)に設定されると、直ちに出力ﾗｯﾁからの値がﾋﾟﾝで出力駆動されます。このため、最初にEXTEST命令を発行する時に基板の損傷を避けるため、走査ﾁｪｰﾝ内に初期値を設定するのにSAMPLE/PRELOAD命令も使われるべきです。SAMPLE/PRELOAD命令は通常動作中ﾃﾞﾊﾞｲｽの外部ﾋﾟﾝの高速監視にも使えます。

JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御/状態ﾚｼﾞｽﾀ(MCUCSR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されなければなりません。

境界走査(Boundary-Scan)にJTAGｲﾝﾀｰﾌｪｰｽを使う場合、内部ﾁｯﾌﾟ周波数よりも高いJTAG TCKｸﾛｯｸ周波数の使用が可能です。ﾁｯﾌﾟのｸﾛｯｸは走行に必要とされません。

29.11. ﾃﾞｰﾀ ﾚｼﾞｽﾀ

境界走査(Boundary-Scan)に関連するﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)を次に示します。

- **迂回**(Bypass)**ﾚｼﾞｽﾀ**
- **ﾃﾞﾊﾞｲｽ識別**(Device Identification)**ﾚｼﾞｽﾀ**
- **ﾘｾｯﾄ**(Reset)**ﾚｼﾞｽﾀ**
- **境界走査ﾁｪｰﾝ**(Boundary-Scan chain)

29.11.1. 迂回(Bypass)ﾚｼﾞｽﾀ

迂回ﾚｼﾞｽﾀは1段の移動ﾚｼﾞｽﾀから成ります。TDIとTDO間の経路として迂回ﾚｼﾞｽﾀが選択されると、このﾚｼﾞｽﾀはTAP制御器がﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)捕獲状態を抜ける時に0へﾘｾｯﾄされます。迂回ﾚｼﾞｽﾀは他のﾃﾞﾊﾞｲｽが検査される時にｼｽﾃﾑ上の走査ﾁｪｰﾝ(Scan chain)を短くするのに使えます。

29.11.2. ﾃﾞﾊﾞｲｽ識別(Device Identification)ﾚｼﾞｽﾀ

右図はﾃﾞﾊﾞｲｽ識別ﾚｼﾞｽﾀの構造を示します。

版番号 版番号は部品(ﾃﾞﾊﾞｲｽ)の改訂を示す4ﾋﾞｯﾄです。JTAG版番号はﾃﾞﾊﾞｲｽの改訂版に従い、改訂P($0F)で丸められます。改訂AとQは$00, 改訂BとRは$01, 以下同様です。

部品番号 部品番号は部品(名)を示す16ﾋﾞｯﾄです。ATmega128AのJTAG部品番号は右表で一覧されます。

製造者識別 製造者識別は製造業者を示す11ﾋﾞｯﾄです。Atmelの JTAG製造者識別は右表で示されます。

図29-3. ﾃﾞﾊﾞｲｽ識別ﾚｼﾞｽﾀの形式

ﾋﾞｯﾄ	31 … 28	27 … 12	11 … 1	0
ﾃﾞﾊﾞｲｽ識別	版番号	部品番号	製造者識別	1
ﾋﾞｯﾄ数	4	16	11	1

表29-1. AVR JTAG 部品番号

部品番号	JTAG部品番号(Hex)
ATmega128A	$9702

表29-2. 製造者ID

製造業者	JTAG製造者ID番号(Hex)
Atmel	$01F

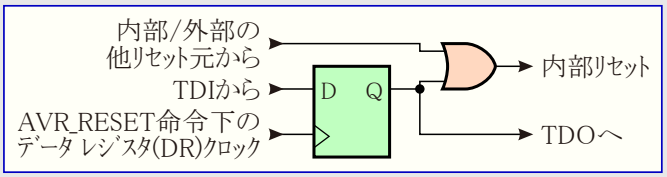
29.11.3. リセット (Reset) レジスタ

リセット レジスタはデバイスのリセットに使われる検査データ レジスタです。リセットによってAVRのポート ピンがHi-Z状態となるので、未実装の任意JTAG命令HIGHZ機能の代わりにできます。

リセット レジスタ内の値1は外部RESETピンをLowに引っ張るのと同じです。デバイスはリセット レジスタ内の値が1である限り、リセットです。リセット レジスタの開放後、デバイスはクロック選択用ヒューズ ビットの設定に従ってリセット起動遅延時間(「**クロック元**」参照)、リセットに留まります。右図で示されるようにこのデータ レジスタからの出力はラッチされず、直ちにリセットが行われます。。

関連リンク　29頁の「クロック元」

図29-4. リセット レジスタ



29.11.4. 境界走査チェーン(Boundary-Scan Chain)

境界走査チェーンにはデジタルI/Oピンは勿論、チップ外の接続を持つアナログ回路のアナログとデジタル間境界の論理値上の設定と監視能力があります。

完全な記述については190頁の「**境界走査チェーン(Boundary-Scan chain)**」を参照してください。

29.12. 境界走査(Boundary-Scan)用JTAG命令

命令レジスタ(IR)は16種までの命令を支援する4ビット幅です。以下に示した一覧は境界走査(Boundary-Scan)操作に有用なJTAG命令です。全ポート ピンをHi-Z状態にするための任意HIGHZ命令は実装されませんが、AVR_RESET命令を使うことによって全出力がHi-Z状態に設定できることに注目してください。

このデータシート内の定義として、全ての移動レジスタに関して入出力ともLSBが最初に移動されます。

各命令の命令コードは命令名下の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選択されるデータ レジスタを記述します。(**訳注**:配置構成変更により、内容を一部変更)

29.12.1. EXTEST – $0

AVRデバイスに外部回路的検査を行うためにデータ レジスタ(DR)として境界走査チェーン(Boundary-Scan chain)を選択するための必須JTAG命令です。ポート ピンは方向、プルアップ、出力値、入力値は走査チェーン(Scan chain)内で全てアクセス可能です。チップ外接続を持つアナログ回路についてはアナログとデジタル論理間のインターフェースが走査チェーン内になります。境界走査チェーンのラッチした出力値はJTAG命令レジスタ(IR)にEXTEST命令が設定されると直ぐに駆動されます。 本命令が有効な状態を次に示します。

- **DR捕獲** ：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動** ：内部走査チェーンがTCKクロック入力によって移されます。
- **DR更新** ：走査チェーンからの値が出力ピンに印加(出力)されます。

29.12.2. IDCODE – $1

データ レジスタ(DR)として32ビットのデバイス識別(ID)レジスタを選択する任意JTAG命令です。デバイス識別レジスタは版番号、デバイス番号と、JEDECによって決められた製造者符号から成ります。これは電源投入後の既定命令です。 本命令が有効な状態を次に示します。

- **DR捕獲** ：デバイス識別レジスタ内の値が境界走査チェーン内に採取されます。
- **DR移動** ：内部走査チェーン(デバイス識別レジスタ値)がTCKクロック入力によって移されます。

29.12.3. SAMPLE_PRELOAD – $2

システム動作に影響を与えずに入出力ピンの状態採取、出力ラッチの事前設定を行うための必須JTAG命令です。けれども出力ラッチはピンに接続されません。データ レジスタ(DR)として境界走査チェーン(Boundary-Scan chain)が選ばれます。 本命令が有効な状態を次に示します。

- **DR捕獲** ：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動** ：境界走査チェーンがTCKクロック入力によって移されます。
- **DR更新** ：境界走査チェーンからの値が出力ラッチに印加(設定)されます。けれども出力ラッチはピンに接続されません。

29.12.4. AVR_RESET – $C

AVRデバイスを強制的にリセット状態、またはJTAGリセット元から開放するためのAVR特殊公開JTAG命令です。この命令で検査入出力ポート(TAP)制御器はリセットされません。データ レジスタ(DR)として1ビットのリセット レジスタが選ばれます。リセット チェーン(レジスタ)が論理1である限り、リセットが活性(有効)なことに注意してください。このチェーンからの出力はラッチされません。 本命令が有効な状態を次に示します。

- **DR移動** ：走査チェーン(リセット レジスタ)がTCKクロック入力によって移されます。

29.12.5. BYPASS – $F

データ レジスタ(DR)に迂回(Bypass)レジスタを選択する必須JTAG命令です。 本命令が有効な状態を次に示します。

- **DR捕獲** ：迂回レジスタに論理0を設定します。
- **DR移動** ：TDIとTDO間の迂回レジスタ(セル)が移されます。

29.13. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain)

境界走査ﾁｪｰﾝにはﾃﾞｼﾞﾀﾙI/Oﾋﾟﾝは勿論、ﾁｯﾌﾟ外の接続を持つｱﾅﾛｸﾞ回路のｱﾅﾛｸﾞとﾃﾞｼﾞﾀﾙ間境界の論理値の設定と監視の能力があります。

29.13.1. ﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝの走査

右図はﾌﾟﾙｱｯﾌﾟ機能付き双方向ﾎﾟｰﾄ ﾋﾟﾝ用境界走査(Boundary-Scan)ｾﾙを示します。このｾﾙはﾌﾟﾙｱｯﾌﾟ許可(PUExn)用標準境界走査(Boundary-Scan)ｾﾙと3つの信号、出力(方向)制御(OCxn)、出力ﾃﾞｰﾀ(ODxn)、入力ﾃﾞｰﾀ(IDxn)の組み合わせの双方向ﾋﾟﾝ用ｾﾙの2段の移動ﾚｼﾞｽﾀだけから成ります。ﾎﾟｰﾄとﾋﾟﾝの添え字は続く記述で使われません。

境界走査(Boundary-Scan)論理回路はﾃﾞｰﾀｼｰﾄ内の図に含まれません。**図29-6.**は「**入出力ﾎﾟｰﾄ**」章で記載される単純なﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝを示します。右図からの境界走査ｾﾙの詳細が**図29-6.**上の破線内に置き換わります。

交換ﾎﾟｰﾄ機能が存在しない場合、入力ﾃﾞｰﾀ(ID)はPINxnﾚｼﾞｽﾀ値(けれどもIDは同期化回路を持たず)、出力ﾃﾞｰﾀ(OD)はPORTxnﾚｼﾞｽﾀ、出力制御(OC)はDDxn方向ﾚｼﾞｽﾀ、ﾌﾟﾙｱｯﾌﾟ許可(PUE)は論理合成値($\overline{PUD}$ AND DDxn AND PORTxn)に各々対応します。

ﾃﾞｼﾞﾀﾙ交換ﾎﾟｰﾄ(ﾋﾟﾝ)機能は走査ﾁｪｰﾝ(Scan chain)が実際のﾋﾟﾝ値を読むために**図29-6.**内の破線外側に接続されます。ｱﾅﾛｸﾞ機能について、それらは外部ﾋﾟﾝからｱﾅﾛｸﾞ回路へ直結で、走査ﾁｪｰﾝはｱﾅﾛｸﾞ回路とﾃﾞｼﾞﾀﾙ論理回路間のｲﾝﾀｰﾌｪｰｽに挿入されます。

関連ﾘﾝｸ　53頁の「入出力ﾎﾟｰﾄ」

図29-5. ﾌﾟﾙｱｯﾌﾟ機能付き双方向ﾎﾟｰﾄ用境界走査(Boundary-Scan)ｾﾙ構成図

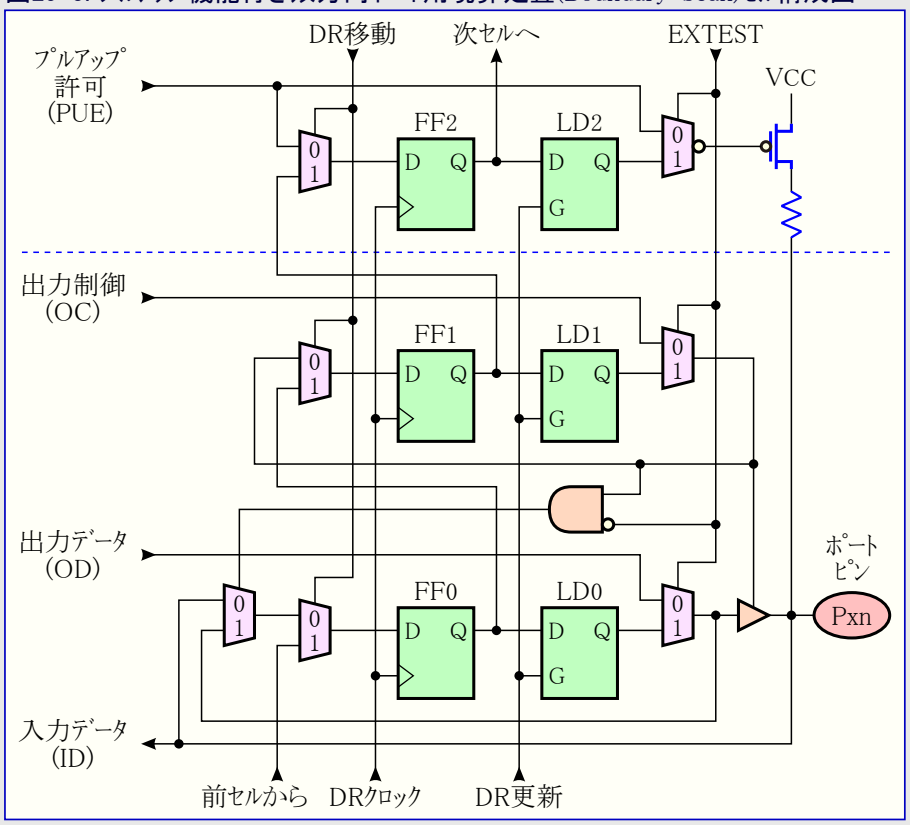
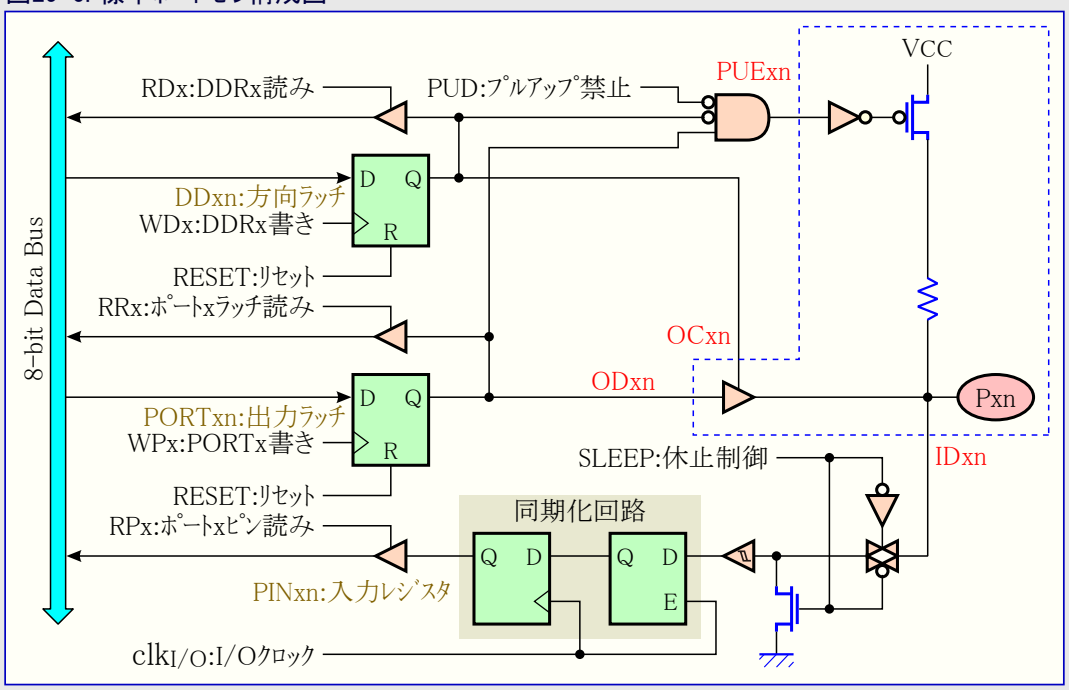


図29-6. 標準ﾎﾟｰﾄ ﾋﾟﾝ構成図



注: 詳細については境界走査(Boundary-Scan)をご覧ください。

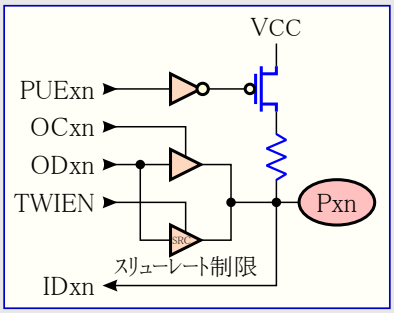
29.13.2. 境界走査と2線(直列)ｲﾝﾀｰﾌｪｰｽ

2線ｲﾝﾀｰﾌｪｰｽ ﾋﾟﾝのSCLとSDAは走査ﾁｪｰﾝ内に1つの追加制御信号TWIEN(2線ｲﾝﾀｰﾌｪｰｽ許可)を持ちます。右図で示されるようにこのTWIEN信号は通常のﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝと並列のｽﾘｭｰﾚｰﾄ(上昇/下降)制御付き3状態緩衝器を許可します。図29-11.で示される標準走査ｾﾙがTWIEN信号に付随します。

注: 1. 入力の50nsｽﾊﾟｲｸ除去用の独立した走査ﾁｪｰﾝは提供されません。ﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝに対する標準走査の支援は接続検査に対して充分です。走査経路内にTWIENを持っている理由は境界走査を行う時にｽﾘｭｰﾚｰﾄ制御緩衝器を切断できることだけです。

2. 駆動出力の衝突を引き起こさないよう、OCとTWIEN信号は同時に有効とされないように注意してください。

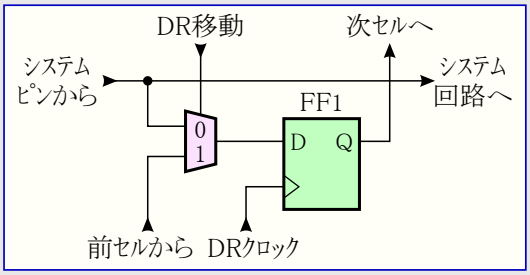
図29-7. TWI用追加走査信号



29.13.3. RESETﾋﾟﾝの走査

RESETﾋﾟﾝは標準ﾘｾｯﾄ動作について5V負論理(Low有効)、高電圧並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞについて12V正論理(High有効)を受け入れます。右図で示される監視専用ｾﾙが5Vﾘｾｯﾄ信号(RSTT)と12Vﾘｾｯﾄ信号(RSTHV)の両方に挿入されます。

図29-8. 監視専用境界走査ｾﾙ構成図

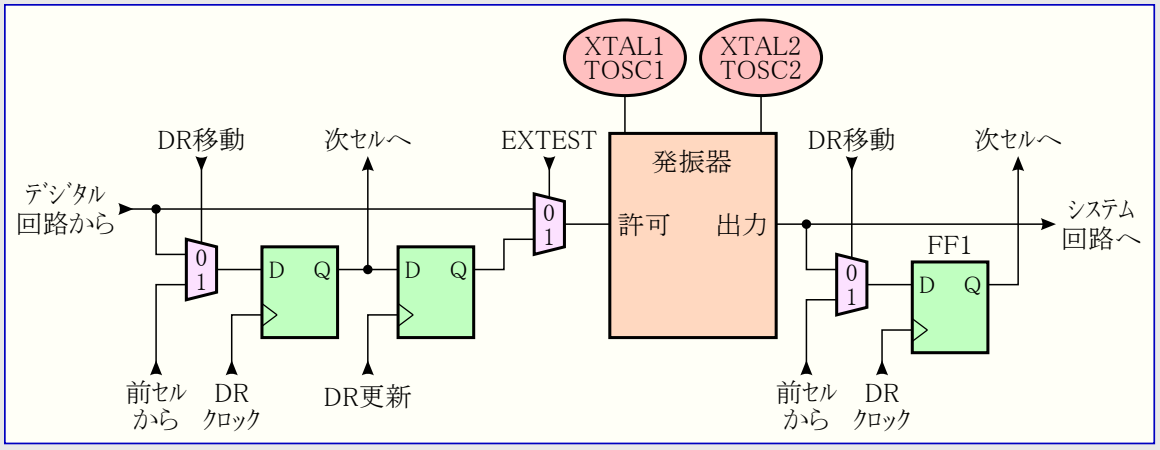


29.13.4. ｸﾛｯｸ ﾋﾟﾝの走査

AVRﾃﾞﾊﾞｲｽにはﾋｭｰｽﾞによって選択可能な多くのｸﾛｯｸ種別があります。これらは校正付き内蔵RC発振器、外部RC発振器、外部ｸﾛｯｸ信号、(高周波数)ｸﾘｽﾀﾙ発振子、低周波数ｸﾘｽﾀﾙ発振子、ｾﾗﾐｯｸ振動子です。

下図は走査ﾁｪｰﾝ内で支援される各発振器と外部接続を示します。許可信号は標準境界走査ｾﾙで支援され、一方発振器/ｸﾛｯｸ出力には監視専用ｾﾙが付随されます。主ｸﾛｯｸに加え、ﾀｲﾏ用発振器も同じ方法で走査されます。校正付き内蔵RC発振器からの出力はこの発振器が外部接続を持たないので走査されません。

図29-9. ｸﾛｯｸ機能と発振器用境界走査ｾﾙ構成図



次表はﾀｲﾏ用32kHz発振器は勿論、外部ｸﾛｯｸ ﾋﾟﾝXTAL1、XTAL1/XTAL2接続の発振器に対する走査ﾚｼﾞｽﾀの一覧です。

表29-3. 発振器用走査信号

許可信号	走査ｸﾛｯｸ信号線	ｸﾛｯｸ種別	未使用時値
EXTCLKEN	EXTCLK(XTAL1)	外部ｸﾛｯｸ信号	0
OSCON	OSCCK	外部ｸﾘｽﾀﾙ発振子 外部ｾﾗﾐｯｸ振動子	0
RCOSCEN	RCCK	外部RC発振	0
OSC32EN	OSC32CK	低周波数外部ｸﾘｽﾀﾙ	1
TOSKON	TOSCK	ﾀｲﾏ用32kHz発振器	0

注: 1. 主ｸﾛｯｸとして同時に1つよりも多くのｸﾛｯｸ元を許可してはいけません。

2. 発振器出力の走査は内部発振器とJTAGのTCKｸﾛｯｸ間の周波数偏差のため、予期せぬ結果を与えます。可能なら、外部ｸﾛｯｸでの走査が望まれます。

3. ｸﾛｯｸ設定はﾋｭｰｽﾞによってﾌﾟﾛｸﾞﾗﾐﾝｸﾞされます。ﾋｭｰｽﾞは実行動作時に変更されないので、ｸﾛｯｸ設定は与えられた応用について考慮して決定されます。使用者は最終ｼｽﾃﾑで使われるのと同じｸﾛｯｸ選択で走査するのを推奨されます。ｼｽﾃﾑ論理回路が休止形態でｸﾛｯｸ選択(元)を禁止できるため、許可信号は走査ﾁｪｰﾝ内で支援され、それ(その禁止)によって(ｸﾛｯｸが)供給されない場合、発振器ﾋﾟﾝを走査経路から切り離します。CKOPTﾋｭｰｽﾞ(**訳注**:原書のINTCAPは誤り)は走査ﾁｪｰﾝ内で支援されないので、このﾋｭｰｽﾞが正しくﾌﾟﾛｸﾞﾗﾑ(0)される場合を除いて、境界走査ﾁｪｰﾝは内部ｺﾝﾃﾞﾝｻを必要とするXTAL発振器を形成できません。

29.13.5. ｱﾅﾛｸﾞ比較器の走査

境界走査に関する比較器関連の信号は下の左図で示されます。下の右図の境界走査ｾﾙがこれら信号の各々に付随します。この信号は表29-4.で記述されます。

この比較器は全てのｱﾅﾛｸﾞ入力がﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝとしても兼用されるため、純粋な接続試験用に使用される必要がありません。

図29-10. ｱﾅﾛｸﾞ比較器部構成図

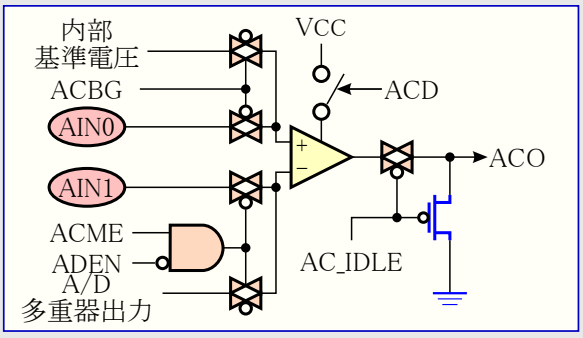


図29-11. 比較器、A/D変換用標準境界走査ｾﾙ構成図

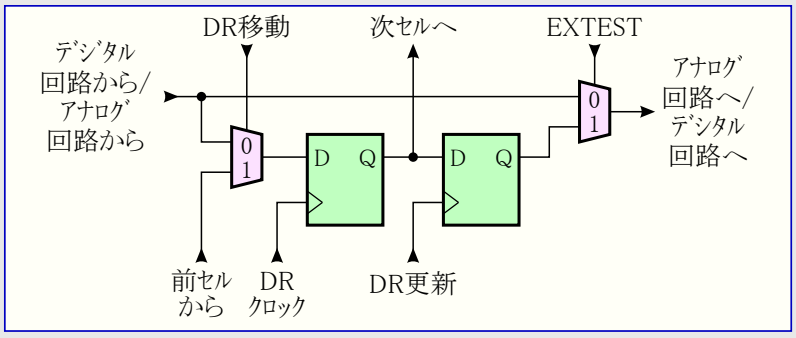


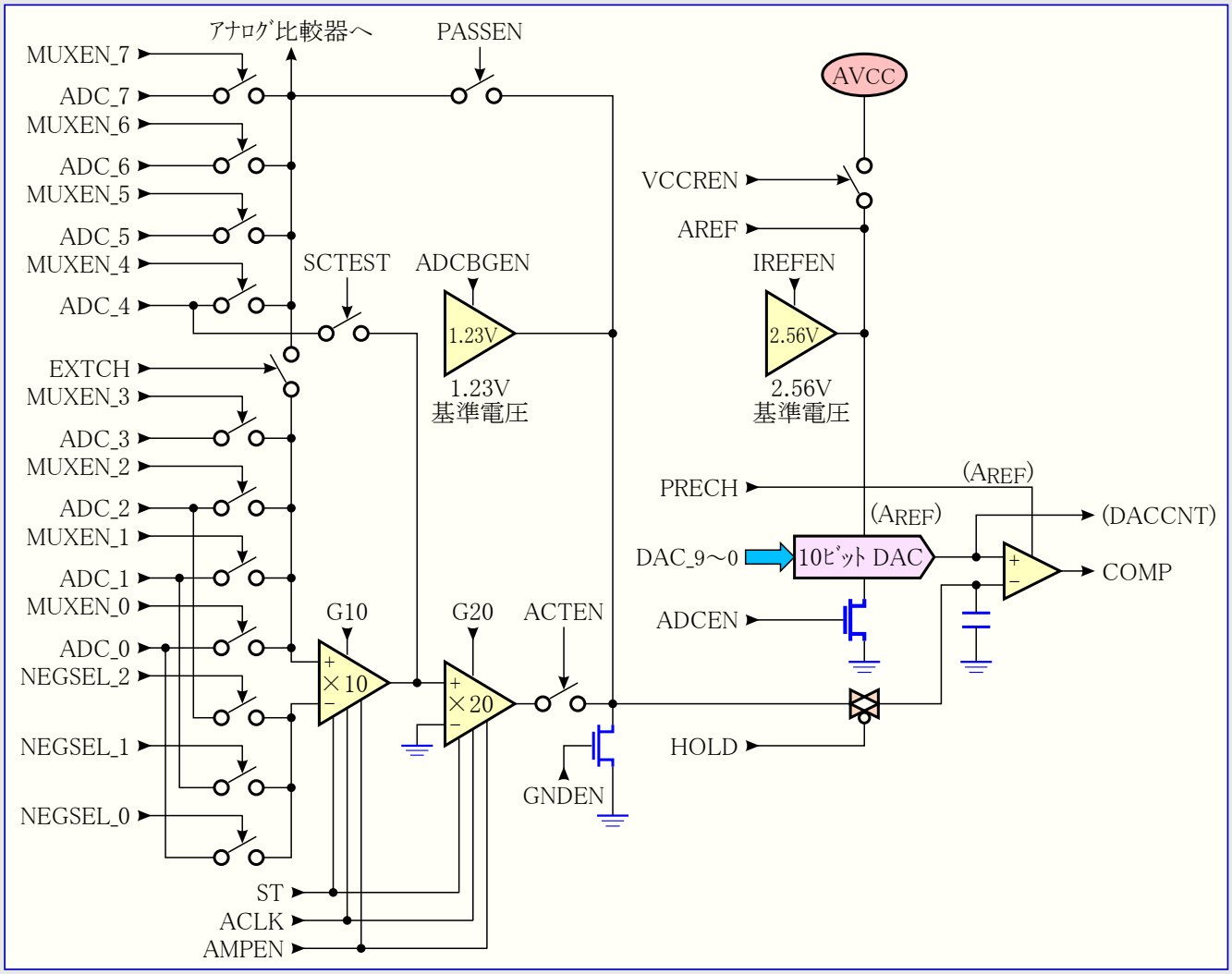
表29-4. ｱﾅﾛｸﾞ比較器用境界走査信号

信号名	比較器側での方向	意味	未使用時推奨入力値	推奨入力時出力値
AC_IDLE	入力	真の時にｱﾅﾛｸﾞ比較器OFF	1	CPU実行に依存
ACO	出力	ｱﾅﾛｸﾞ比較器出力	CPU実行時入力	0
ACME	入力	真の時にA/D多重器出力使用	0	CPU実行に依存
ACBG	入力	内蔵基準電圧許可	0	CPU実行に依存

29.13.6. A/D変換器の走査

下図はA/D変換部と関連する制御と監視信号の構成図を示します。図29-11.の境界走査セルがこれら信号の各々に付随されます。このA/D変換器は、全てのｱﾅﾛｸﾞ入力がﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝとしても兼用されるため、純粋な接続試験に使われる必要がありません。

図29-12. A/D変換部構成図



各信号の概要は次表で示されます。

表29-5. A/D変換用境界走査信号

信号名	A/D変換器側での方向	意味	未使用時推奨入力値	推奨入力または未使用時出力値
COMP	出力	比較器出力	0	0
ACLK	入力	利得段のｽｲｯﾁﾄ ｷｬﾊﾟｼﾀのｸﾛｯｸ	0	0
ACTEN	入力	利得段⇒比較器接続許可	0	0
ADCBGEN	入力	比較器反転入力へ内部1.23V基準電圧接続	0	0
ADCEN	入力	A/D変換器電源ON信号	0	0
AMPEN	入力	利得段電源ON信号	0	0
DAC_9	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ9	1	1
DAC_8	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ8	0	0
DAC_7	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ7	0	0
DAC_6	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ6	0	0
DAC_5	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ5	0	0
DAC_4	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ4	0	0
DAC_3	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ3	0	0
DAC_2	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ2	0	0
DAC_1	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ1	0	0
DAC_0	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ0	0	0
EXTCH	入力	ADC3～0の利得段迂回接続	1	1
G10	入力	10倍利得許可	0	0
G20	入力	20倍利得許可	0	0
GNDEN	入力	比較器反転入力GND接続	0	0
HOLD	入力	S&H信号。0=採取、1=保持。利得段使用の場合ACLK=1の時に切り替えなければなりません。	1	1
IREFEN	入力	D/A変換器へのAREFとして内部2.56V基準電圧許可	0	0
MUXEN_7	入力	ADC7 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_6	入力	ADC6 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_5	入力	ADC5 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_4	入力	ADC4 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_3	入力	ADC3 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_2	入力	ADC2 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_1	入力	ADC1 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_0	入力	ADC0 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	1	1
NEGSEL_2	入力	ADC2⇒反転差動入力接続	0	0
NEGSEL_1	入力	ADC1⇒反転差動入力接続	0	0
NEGSEL_0	入力	ADC0⇒反転差動入力接続	0	0
PASSEN	入力	利得段迂回路許可	1	1
PRECH	入力	比較器出力ﾗｯﾁのﾌﾟﾘﾁｬｰｼﾞ（負論理）	1	1
SCTEST	入力	ｽｲｯﾁﾄ ｷｬﾊﾟｼﾀ検査（10倍利得段出力⇒ADC4）	0	0
ST	入力	AMPEN=1後の最初の2ACLK周期間1ならば、利得段出力がより早く安定	0	0
VCCREN	入力	D/A変換器へのAREFとしてAVCC許可	0	0

注: 図29-12.内の不正なｽｲｯﾁ設定は信号衝突の原因になり、ﾃﾞﾊﾞｲｽを損傷するかもしれません。それらは多くの入力を図29-12.で出力比較器の反転入力のS&Hへ選択します。1つのADCﾋﾟﾝ、内部基準電圧、GNDのどれか1つの経路だけが選択されることを確認してください。

走査中にA/D変換器が使われないなら、前表の推奨入力値が使われるべきです。使用者は走査中に差動段を使わないことが推奨されます。ｽｲｯﾁﾄ ｷｬﾊﾟｼﾀを基にした差動段は走査ﾁｪｰﾝ内で使われる時に達成が難しい高速な操作とﾀｲﾐﾝｸﾞ精度が必要です。従って差動段の操作に関する詳細は提供されません。

AVRのA/D変換部はﾃﾞｼﾞﾀﾙ論理回路内に実装した逐次比較方式と図29-12.で示したｱﾅﾛｸﾞ回路が基です。境界走査使用時、問題は印加したｱﾅﾛｸﾞ電圧が或る範囲内で計測されるのを常に保証することです。これは逐次比較動作を行わずして容易に実行でき、DAC_9～0ﾃﾞｼﾞﾀﾙ(信号)線に下限値を加え、比較器からの出力がLow(0)であるのを確認し、その後DAC_9～0ﾃﾞｼﾞﾀﾙ(信号)線に上限値を加え、比較器からの出力がHigh(1)であるのを検証します。

このA/D変換器は全てのｱﾅﾛｸﾞ入力がﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝとしても兼用されるため、純粋な接続試験に使われる必要がありません。

A/D変換を使う時に次のことに留意してください。

- ADCﾁｬﾈﾙで使うﾎﾟｰﾄ ﾋﾟﾝは信号の衝突を避けるため、ﾌﾟﾙｱｯﾌﾟを禁止した入力に設定されなければなりません。
- 通常動作ではA/D変換部許可時に(10回の比較で構成される)擬似変換が実行されます。使用者はA/D変換許可後、A/D変換信号の制御/監視をする前に最低200ns待機するか、または最初の変換結果を使う前に擬似変換の実行を推奨されます。
- DAC値はHOLD信号がLow(0:採取)の時に中間値($200)で安定していなければなりません。

例として、電源電圧5VでAREFが外部的にVCCへ接続される時のADCﾁｬﾈﾙ3で1.5V±5%の入力信号を検証する手順を考察してください。

上限：1024×1.5V×1.05÷5V=323=$143
下限：1024×1.5V×0.95÷5V=291=$123

次表の手順内で他の値が与えられる以外は表29-5.の推奨値が使われます。(次表には)走査ﾁｪｰﾝのDAC値とﾎﾟｰﾄ ﾋﾟﾝ値だけが示されます。「動作」欄は続く行内の値で境界走査ﾁｪｰﾝ ﾚｼﾞｽﾀを満たす前にどのJTAG命令を使うべきかを記述します。表の同一列上のﾃﾞｰﾀを走査入力する時に走査出力のﾃﾞｰﾀで検証が行われるべきです。

表29-6. A/D変換使用手順

手順番号	動作	ADCEN	DAC_9～0	MUXEN_7～0	HOLD	PRECH	PF3 ﾃﾞｰﾀ	PF3 制御	PF3 ﾌﾟﾙｱｯﾌﾟ許可
1	SAMPLE_PRELOAD	1	$200	$08	1	1	0	0	0
2	EXTEST	1	$200	$08	0	1	0	0	0
3		1	$200	$08	1	1	0	0	0
4		1	$123	$08	1	1	0	0	0
5		1	$123	$08	1	0	0	0	0
6	0となるべきCOMP走査出力の検証	1	$200	$08	1	1	0	0	0
7		1	$200	$08	0	1	0	0	0
8		1	$200	$08	1	1	0	0	0
9		1	$143	$08	1	1	0	0	0
10		1	$143	$08	1	0	0	0	0
11	1となるべきCOMP走査出力の検証	1	$200	$08	1	1	0	0	0

この手法の使用ではHOLD信号の束縛ﾀｲﾐﾝｸﾞがTCKｸﾛｯｸ周波数を押さえます。手順の第5段階でのHOLDのHigh(1)に保持で、TCKｸﾛｯｸ周波数は最大保持時間(t_{hold_max})で割られた走査ﾋﾞｯﾄ数の最低5倍でなければなりません。

29.14. ATmega128Aの境界走査(Boundary-Scan)順

下表は境界走査チェーンがデータ経路として選択される時のTDIとTDO間の走査順を示します。ビット0が最下位ビットで走査の最初に入出力されます。走査順は可能な限りピン配置順に従います。このためにポートAのビットは他のポートと違うビット順で走査されます。この規則の例外はアナログ回路が接続される物理ピンに関係なく走査チェーンの最上位を構成するアナログ回路用走査チェーンです。図29-5.上で、Pxn出力はFF0、Pxn制御はFF1、Pxnプルアップ許可はFF2に各々対応します。ポートFのビット4,5,6,7はJTAG許可時にTAPピンを構成するので走査チェーンには存在しません。

表29-7. ATmega128A境界走査(Boundary-Scan)順

ビット	信号名	基本単位
204	AC_IDLE	
203	ACO	アナログ比較器
202	ACME	
201	ACBG	
200	COMP	
199	PRIVATE_SIGNAL1	(注)
198	ACLK	
197	ACTEN	
196	PRIVATE_SIGNAL2	(注)
195	ADCBGEN	
194	ADCEN	
193	AMPEN	
192	DAC_9	
191	DAC_8	
190	DAC_7	
189	DAC_6	
188	DAC_5	
187	DAC_4	
186	DAC_3	
185	DAC_2	
184	DAC_1	
183	DAC_0	
182	EXTCH	
181	G10	A/D変換
180	G20	
179	GNDEN	
178	HOLD	
177	IREFEN	
176	MUXEN_7	
175	MUXEN_6	
174	MUXEN_5	
173	MUXEN_4	
172	MUXEN_3	
171	MUXEN_2	
170	MUXEN_1	
169	MUXEN_0	
168	NEGSEL_2	
167	NEGSEL_1	
166	NEGSEL_0	
165	PASSEN	
164	PRECH	
163	SCTEST	
162	ST	
161	VCCREN	
160	PEN	プログラミング許可(監視専用セル)
159	PE0.Data	
158	PE0.Control	
157	PE0.Pullup_Enable	
156	PE1.Data	ポートE
155	PE1.Control	
154	PE1.Pullup_Enable	
153	PE2.Data	
152	PE2.Control	
151	PE2.Pullup_Enable	
150	PE3.Data	
149	PE3.Control	
148	PE3.Pullup_Enable	
147	PE4.Data	
146	PE4.Control	
145	PE4.Pullup_Enable	
144	PE5.Data	ポートE
143	PE5.Control	
142	PE5.Pullup_Enable	
141	PE6.Data	
140	PE6.Control	
139	PE6.Pullup_Enable	
138	PE7.Data	
137	PE7.Control	
136	PE7.Pullup_Enable	
135	PB0.Data	
134	PB0.Control	
133	PB0.Pullup_Enable	
132	PB1.Data	
131	PB1.Control	
130	PB1.Pullup_Enable	
129	PB2.Data	
128	PB2.Control	
127	PB2.Pullup_Enable	
126	PB3.Data	
125	PB3.Control	
124	PB3.Pullup_Enable	ポートB
123	PB4.Data	
122	PB4.Control	
121	PB4.Pullup_Enable	
120	PB5.Data	
119	PB5.Control	
118	PB5.Pullup_Enable	
117	PB6.Data	
116	PB6.Control	
115	PB6.Pullup_Enable	
114	PB7.Data	
113	PB7.Control	
112	PB7.Pullup_Enable	
111	PG3.Data	
110	PG3.Control	
109	PG3.Pullup_Enable	ポートG
108	PG4.Data	
107	PG4.Control	
106	PG4.Pullup_Enable	
105	TOSC	タイマ用32kHz発振器
104	TOSCON	
103	RSTT	リセット回路(監視専用セル)
102	RSTHV	
101	EXTCLKEN	主クロック/発振器用許可信号
100	OSCON	
99	RCOSCEN	主クロック/発振器用許可信号
98	OSC32EN	
97	EXTCLK(XTAL1)	主クロック用入力/発振器(監視専用セル)
96	OSCCK	
95	RCCK	
94	OSC32CK	
93	TWIEN	TWI
92	PD0.Data	
91	PD0.Control	
90	PD0.Pullup_Enable	
89	PD1.Data	
88	PD1.Control	
87	PD1.Pullup_Enable	
86	PD2.Data	
85	PD2.Control	
84	PD2.Pullup_Enable	
83	PD3.Data	
82	PD3.Control	
81	PD3.Pullup_Enable	ポートD
80	PD4.Data	
79	PD4.Control	
78	PD4.Pullup_Enable	
77	PD5.Data	
76	PD5.Control	
75	PD5.Pullup_Enable	
74	PD6.Data	
73	PD6.Control	
72	PD6.Pullup_Enable	
71	PD7.Data	
70	PD7.Control	
69	PD7.Pullup_Enable	
68	PG0.Data	
67	PG0.Control	
66	PG0.Pullup_Enable	ポートG
65	PG1.Data	
64	PG1.Control	
63	PG1.Pullup_Enable	
62	PC0.Data	
61	PC0.Control	
60	PC0.Pullup_Enable	
59	PC1.Data	
58	PC1.Control	
57	PC1.Pullup_Enable	
56	PC2.Data	
55	PC2.Control	ポートC
54	PC2.Pullup_Enable	
53	PC3.Data	
52	PC3.Control	
51	PC3.Pullup_Enable	
50	PC4.Data	
49	PC4.Control	
48	PC4.Pullup_Enable	
47	PC5.Data	

注: PRIVATE_SIGNAL1とPRIVATE_SIGNAL2は常に0として走査されるべきです。

次頁へ続く

表29-7 (続き). ATmega128A境界走査(Boundary-Scan)順

ビット	信号名	基本単位
46	PC5.Control	
45	PC5.Pullup_Enable	
44	PC6.Data	
43	PC6.Control	ポートC
42	PC6.Pullup_Enable	
41	PC7.Data	
40	PC7.Control	
39	PC7.Pullup_Enable	
38	PG2.Data	
37	PG2.Control	ポートG
36	PG2.Pullup_Enable	
35	PA7.Data	
34	PA7.Control	
33	PA7.Pullup_Enable	ポートA
32	PA6.Data	
31	PA6.Control	

ビット	信号名	基本単位
30	PA6.Pullup_Enable	
29	PA5.Data	
28	PA5.Control	
27	PA5.Pullup_Enable	
26	PA4.Data	
25	PA4.Control	
24	PA4.Pullup_Enable	
23	PA3.Data	ポートA
22	PA3.Control	
21	PA3.Pullup_Enable	
20	PA2.Data	
19	PA2.Control	
18	PA2.Pullup_Enable	
17	PA1.Data	
16	PA1.Control	
15	PA1.Pullup_Enable	

ビット	信号名	基本単位
14	PA0.Data	
13	PA0.Control	ポートA
12	PA0.Pullup_Enable	
11	PF3.Data	
10	PF3.Control	
9	PF3.Pullup_Enable	
8	PF2.Data	
7	PF2.Control	
6	PF2.Pullup_Enable	ポートF
5	PF1.Data	
4	PF1.Control	
3	PF1.Pullup_Enable	
2	PF0.Data	
1	PF0.Control	
0	PF0.Pullup_Enable	

29.15. 境界走査記述言語(Boundary-Scan Description Language)ファイル

境界走査記述言語(BSDL)ファイルは境界走査が可能なデバイスを自動検査生成ソフトウェアによって使われる標準形式で記述します。境界走査データ レジスタ内のビットの順番と機能がこの記述内に含まれます。

29.16. JTAG関連ﾚｼﾞｽﾀ

29.16.1. OCDR – 内蔵ﾃﾞﾊﾞｯｸﾞ ﾚｼﾞｽﾀ (On-chip Debug Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : OCDR
変位 : $22 ($42)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$42です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	IDRD/OCDR7	OCDR6	OCDR5	OCDR4	OCDR3	OCDR2	OCDR1	OCDR0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – IDRD/OCDR7～0 : 内蔵ﾃﾞﾊﾞｯｸﾞ ﾃﾞｰﾀ** (On-chip Debug Register)

OCDRはﾏｲｸﾛ ｺﾝﾄﾛｰﾗ内の実行ﾌﾟﾛｸﾞﾗﾑからﾃﾞﾊﾞｯｶﾞへの通信ﾁｬﾈﾙを提供します。CPUはこの位置へ書くことによってﾃﾞﾊﾞｯｶﾞへﾊﾞｲﾄを転送できます。このﾚｼﾞｽﾀが書かれてしまっているのをﾃﾞﾊﾞｯｶﾞに示すため、同時に内部ﾌﾗｸﾞIDRD(I/Oﾃﾞﾊﾞｯｸﾞ ﾚｼﾞｽﾀ更新)が設定(1)されます。CPUがOCDRを読むとき、LSB 7ﾋﾞｯﾄがOCDRからで、一方MSBはIDRDﾋﾞｯﾄです。ﾃﾞﾊﾞｯｶﾞはこの情報を読む時にIDRDﾋﾞｯﾄを解除(0)します。

いくつかのAVRﾃﾞﾊﾞｲｽに於いてこのﾚｼﾞｽﾀは標準I/O位置で共用されます。この場合、OCDRは内蔵ﾃﾞﾊﾞｯｸﾞ許可(OCDEN)ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)された場合にだけｱｸｾｽでき、ﾃﾞﾊﾞｯｶﾞがOCDRへｱｸｾｽできます。他の全ての場合、標準I/O位置がｱｸｾｽされます。

このﾚｼﾞｽﾀの使用法のより多くの情報はﾃﾞﾊﾞｯｶﾞの資料を参照してください。

・ OCDR7がMSBで、OCDR0がLSBです。

29.16.2. MCUCSR – MCU制御/状態ﾚｼﾞｽﾀ (MCU Control and Status Register)

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

MCU制御/状態ﾚｼﾞｽﾀは一般MCU機能制御ﾋﾞｯﾄを含み、MCUﾘｾｯﾄを起こしたﾘｾｯﾄ元の情報を提供します。

名称 : MCUCSR
変位 : $34 ($54)
ﾘｾｯﾄ : '000xxxxx' (以下の説明を参照)
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$54です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	JTD	–	–	JTRF	WDRF	BORF	EXTRF	PORF
ｱｸｾｽ種別	R/W	R	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照

● **ﾋﾞｯﾄ7 – JTD : JTAGｲﾝﾀｰﾌｪｰｽ禁止** (JTAG interface disable)

このﾋﾞｯﾄが0の時にJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されていれば、JTAGｲﾝﾀｰﾌｪｰｽが許可されます。このﾋﾞｯﾄが1の場合、JTAGｲﾝﾀｰﾌｪｰｽは禁止されます。JTAGｲﾝﾀｰﾌｪｰｽの予期せぬ許可や禁止を避けるためにこのﾋﾞｯﾄを変更する時は時間制限手順に従わなければなりません。この値を変更するために応用ｿﾌﾄｳｪｱは4周期以内に希望する値をこのﾋﾞｯﾄへ2回書かなければなりません。

JTAGｲﾝﾀﾌｪｰｽが他のJTAG回路に接続されないままにされる場合、このJTDﾋﾞｯﾄは1に設定されるべきです。この理由はJTAGｲﾝﾀｰﾌｪｰｽのTDOﾋﾟﾝの静止時電流を避けるためです。

● **ﾋﾞｯﾄ4 – JTRF : JTAG ﾘｾｯﾄ ﾌﾗｸﾞ** (JTAG Reset Flag)

このﾋﾞｯﾄはJTAG命令AVR_RESETによって選択したJTAG ﾘｾｯﾄ ﾚｼﾞｽﾀ内の論理1でﾘｾｯﾄが起こされると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたはこのﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

30. ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

30.1. 特徴

- 書き込み中読める(Read-While-Write)自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 柔軟性のあるﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘ容量
- 高い安全性 (柔軟な保護用の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄ)
- ﾘｾｯﾄ ﾍﾞｸﾀ選択用の独立したﾋｭｰｽﾞ
- 最適化されたﾍﾟｰｼﾞ容量 (注1)
- 効率的なｺｰﾄﾞ手法
- 効率的な読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)支援

注1: ﾍﾟｰｼﾞはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に使われる多数のﾊﾞｲﾄから成るﾌﾗｯｼｭ ﾒﾓﾘの区画です(表31-7.参照)。このﾍﾟｰｼﾞ構成は通常動作に影響を及ぼしません。

関連ﾘﾝｸ　210頁の「ﾍﾟｰｼﾞ容量」

30.2. 概要

本ﾃﾞﾊﾞｲｽに於いて、ﾌﾞｰﾄ ﾛｰﾀﾞ支援はMCU自身によるﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞのﾀﾞｳﾝﾛｰﾄﾞとｱｯﾌﾟﾛｰﾄﾞ用の真の書き込み中の読み出しが可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機構を提供します。この特徴はﾌﾗｯｼｭ ﾒﾓﾘに常駐するﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑを使うMCUによって制御される柔軟な応用ｿﾌﾄｳｪｱ更新を可能にします。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑはﾌﾗｯｼｭ ﾒﾓﾘ内にｺｰﾄﾞを書き(ﾌﾟﾛｸﾞﾗﾑ)、ｺｰﾄﾞを読み、またはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘからｺｰﾄﾞを読むのに、利用可能なﾃﾞｰﾀ ｲﾝﾀｰﾌｪｰｽと関連する規約のどれもが使えます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域内のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘを含むﾌﾗｯｼｭ ﾒﾓﾘ全体を書く能力を持ちます。従ってﾌﾞｰﾄ ﾛｰﾀﾞは自身をも変更でき、この機能がそれ以上必要とされないなら、そのｺｰﾄﾞから自身を消去することもできます。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘの容量はﾋｭｰｽﾞで設定可能で、ﾌﾞｰﾄ ﾛｰﾀﾞは個別に設定可能な2組の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄを持ちます。これは異なる保護ﾚﾍﾞﾙを選択する独特な柔軟性を使用者に与えます。

30.3. ﾌﾗｯｼｭ ﾒﾓﾘの応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域

ﾌﾗｯｼｭ ﾒﾓﾘは応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の2つの主な領域で構成されます。各領域の容量はBOOTSZﾋｭｰｽﾞによって設定されます。これら2つの領域は個別の施錠ﾋﾞｯﾄの組を持つため、異なる保護ﾚﾍﾞﾙを持てます。

30.3.1. 応用領域

応用領域は応用ｺｰﾄﾞを格納するのに使われるﾌﾗｯｼｭ ﾒﾓﾘの領域です。応用領域用保護ﾚﾍﾞﾙは応用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ0)によって選択できます。応用領域から実行される時にSPM命令が禁止されるので、応用領域はどんなﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞも決して格納し得ません。

30.3.2. ﾌﾞｰﾄ ﾛｰﾀﾞ領域 (BLS)

応用領域が応用ｺｰﾄﾞ格納用に使われるのに対して、SPM命令はBLSから実行する時にだけﾌﾟﾛｸﾞﾗﾐﾝｸﾞを始められるので、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはBLSに格納されなければなりません。SPM命令はBLS自身を含む全てのﾌﾗｯｼｭ ﾒﾓﾘをｱｸｾｽできます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域用保護ﾚﾍﾞﾙはﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1)によって選択できます。

30.4. ﾌﾗｯｼｭ ﾒﾓﾘの書き込み中に読み出し可能な領域と不能な領域

どちらのｱﾄﾞﾚｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞされるかによって、CPUが書き込み中の読み出しを支援するか、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中にCPUが停止されるかのどちらです。上で記述されるようなBOOTSZﾋｭｰｽﾞによって設定可能な2つの領域に加え、ﾌﾗｯｼｭ ﾒﾓﾘは書き込み中読み出し可能な(RWW)領域と書き込み中読み出し不能な(NRWW)領域の2つの固定領域にも分けられます。RWWとNRWW領域間の境界は「ATmega128Aのﾌﾞｰﾄ ﾛｰﾀﾞ ﾊﾟﾗﾒｰﾀ」項と200頁の図30-2.で与えられます。この2つの領域間の主な違いを次に示します。

- RWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、NRWW領域はその動作中に読むことができます。
- NRWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、その全ての動作中にCPUは停止されます。

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ動作中、使用者ｿﾌﾄｳｪｱはRWW領域側に配置されるどのｺｰﾄﾞも決して読めません。「書き込み中読み出し可能領域」という記述はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(消去または書き込み)される領域としての引用で、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中に実際に読まれる領域ではありません。

関連ﾘﾝｸ　206頁の「ATmega128Aのﾌﾞｰﾄ ﾛｰﾀﾞ ﾊﾟﾗﾒｰﾀ」

(訳補) 上の記述はNRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞするという前提で、消去または書き込みを行う側ではなく、行われる側でこの名称が定義されていることを意味します。即ち、NRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞすると、NRWW領域のﾌﾟﾛｸﾞﾗﾑは通常通り動作する(即ち読める)ので、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞされる側はRWW領域と名付けられ、この逆ではCPUが停止する(即ち読めない)ので、NRWW領域と名付けられているという意味です。

30.4.1. RWW – 書き込み中読み出し可能領域

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ更新がRWW領域側のﾍﾟｰｼﾞをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする場合、ﾌﾗｯｼｭ ﾒﾓﾘからｺｰﾄﾞを読むことが可能ですが、NRWW領域に配置されるｺｰﾄﾞだけです。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行中、そのｿﾌﾄｳｪｱはRWW領域が決して読まれないことを保証しなければなりません。使用者ｿﾌﾄｳｪｱがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に(例えば、CALL,JMP,LPM系命令または割り込みによって)RWW領域側に配置されるｺｰﾄﾞを読もうとすると、そのｿﾌﾄｳｪｱは未知の状態へ行き着くかもしれません。これを避けるために割り込みは禁止、またはﾌﾞｰﾄ ﾛｰﾀﾞ領域へ移動のどちらかにされるべきです。ﾌﾞｰﾄ ﾛｰﾀﾞ領域は常にNRWW領域に配置されます。RWW領域が読み出しに対して妨げられている限り、SPM命令制御ﾚｼﾞｽﾀ(SPMCR)のRWW領域多忙(RWWSB)ﾋﾞｯﾄが論理1として読めます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後、RWW領域に配置したｺｰﾄﾞを読む前にRWWSBはｿﾌﾄｳｪｱによって解除(0)されなければなりません。RWWSBを解除(0)する方法の詳細については207頁の「SPMCSR – SPM命令制御/状態ﾚｼﾞｽﾀ」を参照してください。

30.4.2. NRWW – 書き込み中読み出し不能領域

NRWW領域に配置したｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱがRWW領域内のﾍﾟｰｼﾞを更新する時に読めます。ﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞがNRWW領域を更新するとき、全てのﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み動作中にCPUが停止されます。

表30–1. 書き込み中読み出し可能機能

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にZﾎﾟｲﾝﾀで指定される領域	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に読める領域	CPU動作	RWW機能支援
RWW領域	NRWW領域	通常動作	あり
NRWW領域	なし	停止	なし

図30–1. RWW領域とNRWW領域の関係

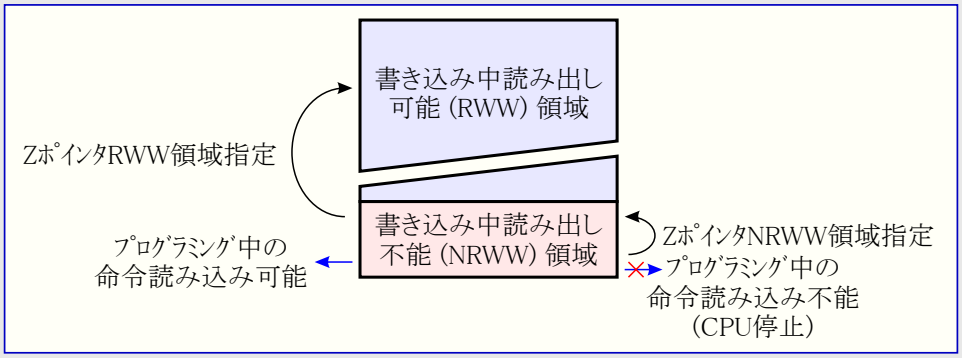
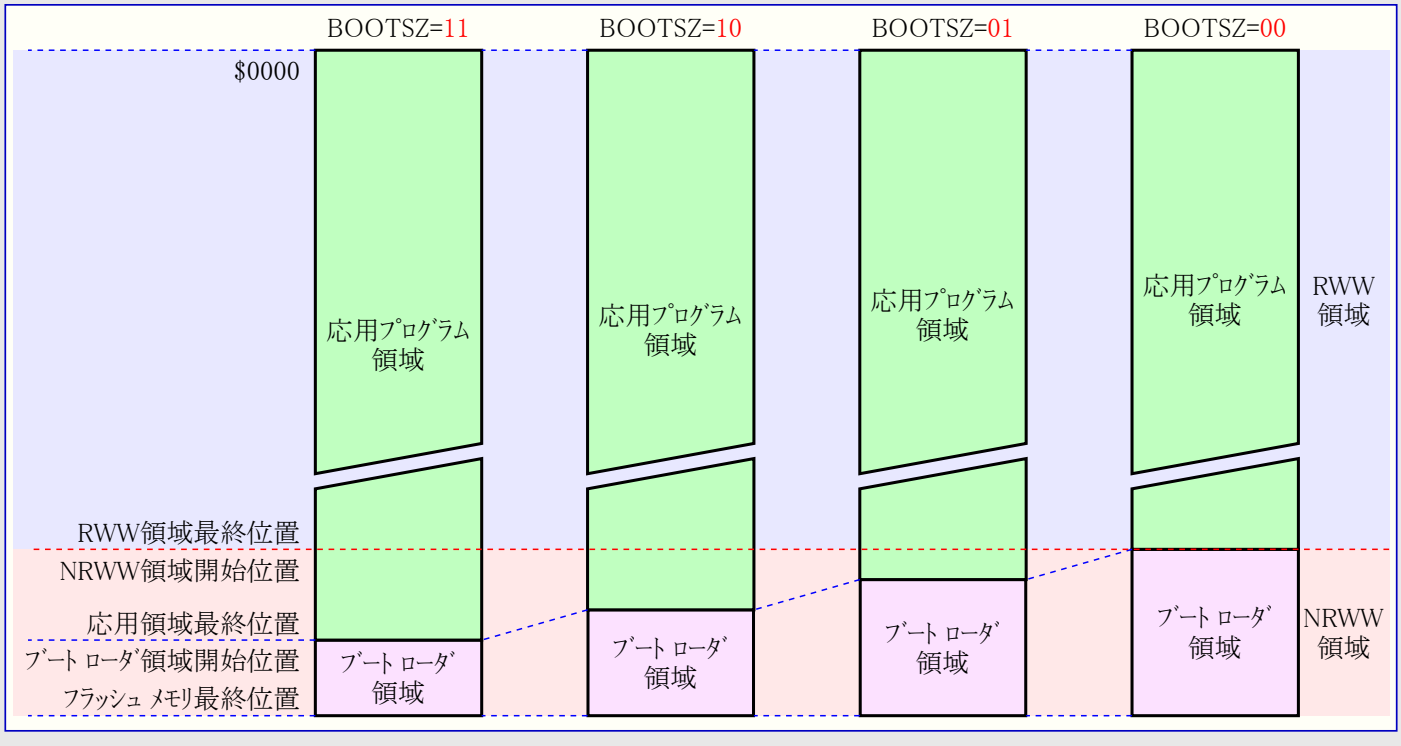


図30–2. 選択によるﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘの領域分割



関連ﾘﾝｸ　206頁の「ATmega128Aのﾌﾞｰﾄ ﾛｰﾀﾞ ﾊﾟﾗﾒｰﾀ」

30.5. ブート ローダ施錠ビット

ブート ローダ能力が必要とされないなら、フラッシュ メモリ全体が応用コード用に利用可能です。ブート ローダは個別に設定可能な独立した2組のブート施錠ビットを持ちます。これは異なる保護レベルを選択する独特な柔軟性を使用者に与えます。

使用者は以下を選択できます。

- MCUによって更新するソフトウェアからフラッシュ メモリ全体を保護
- MCUによって更新するソフトウェアからフラッシュ メモリのブート ローダ領域だけを保護
- MCUによって更新するソフトウェアからフラッシュ メモリの応用領域だけを保護
- フラッシュ メモリ全体で更新するソフトウェアを許可

より多くの詳細については下表をご覧ください。ブート施錠ビットはソフトウェアと直列または並列のプログラミング動作で設定(0)できますが、これらのビットはチップ消去指令によってのみ解除(1)できます。一般書き込み禁止(LB動作種別2)はSPM命令によるフラッシュ メモリのプログラミングを制御しません。同様に、試みられたなら、一般読み書き禁止(LB動作種別3)はLPM命令とSPM命令による読み込みも書き込みも制御しません。(**訳補**:一般LBはLPM/SPM命令に関して無関係の意)

表30-2. 応用領域に対する保護種別 (0=プログラム、1=非プログラム)

BLB0 動作種別	BLB02	BLB01	保護種別
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(**注**)
4	0	1	ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(**注**)

注: BLB02=0で、割り込みベクタがブート ローダ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

表30-3. ブート ローダ領域に対する保護種別 (0=プログラム、1=非プログラム)

BLB1 動作種別	BLB12	BLB11	保護種別
1	1	1	LPM, SPM命令がブート ローダ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブート ローダ領域に書くことを許されません。
3	0	0	SPM命令によるブート ローダ領域への書き込みと、応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(**注**)
4	0	1	応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(**注**)

注: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブート ローダ領域での実行時に割り込みが禁止されます。

30.6. ブート ローダ プログラムへの移行

ブート ローダへの移行は応用プログラムから分岐(Jump)または呼び出し(Call)によって行います。これはUSARTやSPIインターフェース経由で受信した指令のような起点によって始められるかもしれません。代わりに、リセット後にリセット ベクタがブート ローダ領域開始アドレスを指示するようにブート リセット(BOOTRST)ヒューズをプログラム(0)できます。この場合、ブート ローダがリセット後に開始されます。応用コードが設定された(書かれた)後、そのプログラム(ブート ローダ)は応用コードの実行を始めることができます。このヒューズはMCU自身によって変更できません。これは一旦ブート リセット ヒューズがプログラム(0)されると、リセット ベクタは常にブート ローダ リセットを指示し、このヒューズが直列プログラミング、並列プログラミングまたはJTAGインターフェースを通してのみ変更できることを意味します。

表30-4. ブート リセット ヒューズ (0=プログラム、1=非プログラム)

BOOTRST	リセット後実行開始アドレス (リセット ベクタ)
0	ブート ローダ リセット　　ブート ローダ パラメータで記述されるブート ローダ開始アドレス
1	応用リセット　　$0000

30.7. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定

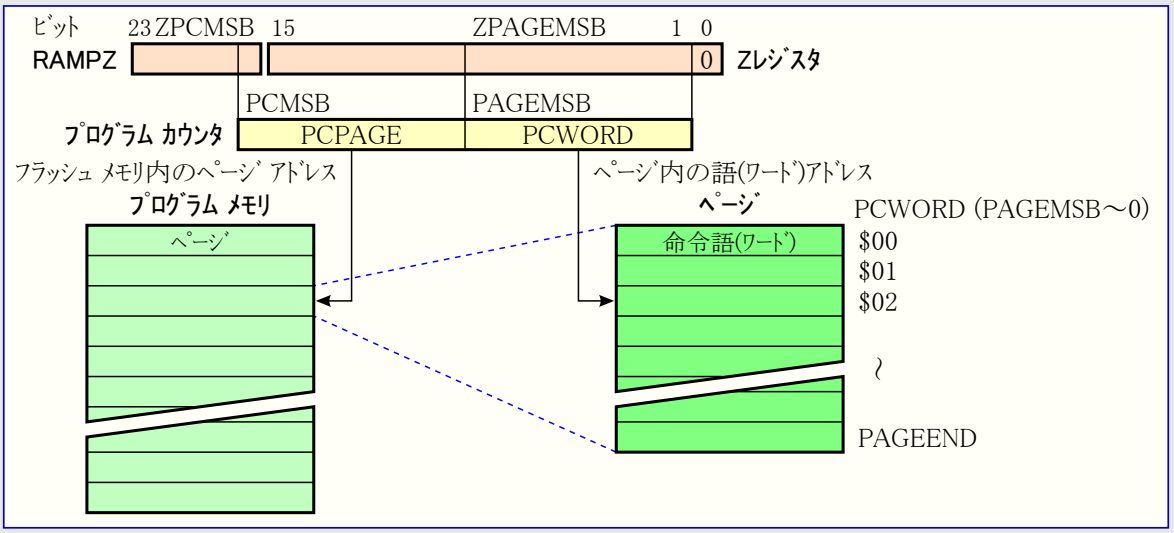
RAMPZと共にZﾎﾟｲﾝﾀ(ﾚｼﾞｽﾀ)がSPM命令でのｱﾄﾞﾚｽ指定に使われます。RAMPZ使用法の詳細については15頁の「RAMPZ – RAM ﾍﾟｰｼﾞ選択ﾚｼﾞｽﾀ」をご覧ください。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

ﾌﾗｯｼｭ ﾒﾓﾘがﾍﾟｰｼﾞで構成されるため、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ)は2つの違う領域を持つように取り扱われます。1つの領域は下位側ﾋﾞｯﾄから成り、ﾍﾟｰｼﾞ内の語(ﾜｰﾄﾞ)をｱﾄﾞﾚｽ指定し、一方上位側ﾋﾞｯﾄはそのﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定します。これは**図25-3.**で示されます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作が個別にｱﾄﾞﾚｽ指定されることに注意してください。従ってﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが最も重要です。一旦ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が開始されると、このｱﾄﾞﾚｽはﾗｯﾁされ、RAMPZ/Zﾎﾟｲﾝﾀは他の操作に使えます。

RAMPZ/Zﾎﾟｲﾝﾀを使わないSPM操作はﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ設定だけです。この操作でRAMPZ/Zﾚｼﾞｽﾀの内容は無視され、無効です。(E)LPM命令もｱﾄﾞﾚｽを格納するのにRAMPZ/Zﾎﾟｲﾝﾀを使います。この命令はﾌﾗｯｼｭ ﾒﾓﾘのﾊﾞｲﾄ単位をｱﾄﾞﾚｽ指定するのでZﾎﾟｲﾝﾀの最下位ﾋﾞｯﾄ(Z0)も使われます。

図30-3. SPM操作中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定



注: 図内で使った各変数は206頁の**表30-8.**で一覧されます。
PCPAGEとPCWORDは210頁の**表31-7.**で一覧されます。

30.8. ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘはﾍﾟｰｼﾞ単位形式で更新されます。ﾍﾟｰｼﾞ一時緩衝部へ格納したﾃﾞｰﾀでﾍﾟｰｼﾞを書く前にそのﾍﾟｰｼﾞが消去されなければなりません。ﾍﾟｰｼﾞ一時緩衝部はSPM命令使用時毎の1語(ﾜｰﾄﾞ)で満たされ、この緩衝部はﾍﾟｰｼﾞ消去命令前、またはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作間のどちらかで満たすことができます。

手段1 (ﾍﾟｰｼﾞ消去前の一時緩衝部格納)

- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

手段2 (ﾍﾟｰｼﾞ消去後の一時緩衝部格納)

- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

ﾍﾟｰｼﾞの一部の変更だけが必要な場合、消去前にﾍﾟｰｼﾞの残す部分は(例えばﾍﾟｰｼﾞ一時緩衝部に)保存されなければならず、その後に改めて書かれます。**手段1.**を使う場合、初めにﾍﾟｰｼﾞを読んで必要な変更を行い、その後に変更したﾃﾞｰﾀを書き戻すことを使用者ｿﾌﾄｳｪｱに許す効率的な読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)機能をﾌﾞｰﾄ ﾛｰﾀﾞが提供します。**手段2.**が使われる場合、ﾍﾟｰｼﾞが既に消去されているため、格納中の旧ﾃﾞｰﾀを読むことができません。ﾍﾟｰｼﾞ一時緩衝部は乱順でｱｸｾｽできます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で使われるﾍﾟｰｼﾞ ｱﾄﾞﾚｽは同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが非常に重要です。ｱｾﾝﾌﾞﾘ言語でのｺｰﾄﾞ例については205頁の「ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例」を参照してください。

30.8.1. SPM命令によるﾍﾟｰｼﾞ消去の実行

ﾍﾟｰｼﾞ消去を実行するにはRAMPZとZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)に'X0000011'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはRAMPZとZﾎﾟｲﾝﾀのPCPAGEに書かれなければなりません。この操作中、Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄは0を書かれなければなりません。

- RWW領域のﾍﾟｰｼﾞ消去　：ﾍﾟｰｼﾞ消去中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ消去：ﾍﾟｰｼﾞ消去中、CPUは停止されます。

注: 時間手順内で割り込みが起きた場合に4周期ｱｸｾｽが保証できません。非分断操作を保証するためにSPMCSRへ書く前に割り込みを禁止してください。

30.8.2. ﾍﾟｰｼﾞ一時緩衝部の設定 (ﾍﾟｰｼﾞ設定)

命令語(ﾜｰﾄﾞ)を(ﾍﾟｰｼﾞ一時緩衝部に)書くにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽ、R1:R0にﾃﾞｰﾀを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。ZﾎﾟｲﾝﾀのPCWORDの内容は一時緩衝部のﾃﾞｰﾀのｱﾄﾞﾚｽに使われます。一時緩衝部はﾍﾟｰｼﾞ書き込み操作後、またはSPMCSRのRWWSREﾋﾞｯﾄ書き込みによって自動的に消去されます。ｼｽﾃﾑ ﾘｾｯﾄ後も消去されています。一時緩衝部を消去せずに各ｱﾄﾞﾚｽへ複数回書くことができないことに注意してください。

注: SPMﾍﾟｰｼﾞ設定操作の途中でEEPROMが書かれると、設定した全ﾃﾞｰﾀが失われます。

30.8.3. ﾍﾟｰｼﾞ書き込みの実行

ﾍﾟｰｼﾞ書き込みを行うにはRAMPZとZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPMCSRに'X0000101'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽは(RAMPZとZﾎﾟｲﾝﾀの)PCPAGEに書かれなければなりません。この操作中、Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄは0を書かれなければなりません。

- RWW領域のﾍﾟｰｼﾞ書き込み　：ﾍﾟｰｼﾞ書き込み中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ書き込み：ﾍﾟｰｼﾞ書き込み中、CPUは停止されます。

注: 時間手順内で割り込みが起きた場合に4周期ｱｸｾｽが保証できません。非分断操作を保証するためにSPMCSRへ書く前に割り込みを禁止してください。

30.8.4. SPM操作可割り込みの使用法

SPM操作可割り込みが許可されると、SPMCSRのSPMENﾋﾞｯﾄが解除(0)されている時にSPM操作可割り込みが継続的に発生します。これはｿﾌﾄｳｪｱでSPMCSRをﾎﾟｰﾘﾝｸﾞする代わりにこの割り込みが使えることを意味します。SPM操作可割り込みを使うとき、割り込みが読み出しに対して防がれる時にRWW領域をｱｸｾｽするのを避けるために、割り込みﾍﾞｸﾀはﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるべきです。割り込み(ﾍﾞｸﾀ)の移動法は「**割り込み**」章で記述されます。

関連ﾘﾝｸ　46頁の「割り込み」

30.8.5. ﾌﾞｰﾄ ﾛｰﾀﾞ領域更新中の考慮

ﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)が非ﾌﾟﾛｸﾞﾗﾑ(1)にされたままとすることによって使用者がﾌﾞｰﾄ ﾛｰﾀﾞ領域に更新を許す場合、特別な注意が祓われなければなりません。ﾌﾞｰﾄ ﾛｰﾀﾞ自身への予期せぬ書き込みはﾌﾞｰﾄ ﾛｰﾀﾞ全体を不正にし得て、更にｿﾌﾄｳｪｱの更新が不可能になるかもしれません。ﾌﾞｰﾄ ﾛｰﾀﾞ自体の変更が必要ないなら、内部ｿﾌﾄｳｪｱのどんな変更からもﾌﾞｰﾄ ﾛｰﾀﾞを保護するためにﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)をﾌﾟﾛｸﾞﾗﾑ(0)することが推奨されます。

30.8.6. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のRWW領域読み込みの防止

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中(ﾍﾟｰｼﾞ消去もﾍﾟｰｼﾞ書き込みも)、RWW領域は常に読み出しが防がれます。使用者ｿﾌﾄｳｪｱ自身は自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作中にこの領域がｱﾄﾞﾚｽ指定されるのを防がなければなりません。SPMCSRのRWWSBはRWW領域が多忙である限り設定(1)されます。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の割り込みﾍﾞｸﾀ表は「**割り込み**」で記述されるようにﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるか、または割り込みが禁止されなければなりません。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後にRWW領域をｱﾄﾞﾚｽ指定する前に、使用者ｿﾌﾄｳｪｱはRWWSREの書き込みによってRWWSBを解除(0)しなければなりません。例については205頁の「**ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例**」をご覧ください。

関連ﾘﾝｸ　46頁の「割り込み」

30.8.7. SPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄの設定

ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄを設定(0)するには希望したﾃﾞｰﾀをR0に設定してSPMCSRに'X0001001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。ｱｸｾｽ可能な施錠ﾋﾞｯﾄはMCUによるどのｿﾌﾄｳｪｱ更新からも応用とﾌﾞｰﾄ ﾛｰﾀﾞ領域を保護できるﾌﾞｰﾄ施錠ﾋﾞｯﾄだけです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	1	1

「**ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ**」内の表はﾌﾗｯｼｭ ﾒﾓﾘのｱｸｾｽに影響を及ぼすﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄの各種設定法を示します。

R0のﾋﾞｯﾄ5～2が解除(0)される場合、SPMCSRでSPMENとﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定(BLBSET)ﾋﾞｯﾄが設定(1)された後4ｸﾛｯｸ周期内にSPM命令が実行されると、対応するﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されます。この操作中、Zﾎﾟｲﾝﾀは関係ありませんが、将来との共通性のために(施錠ﾋﾞｯﾄ読み出しに使われるのと同じ)$0001でZﾎﾟｲﾝﾀを設定することが推奨されます。将来との共通性のため、施錠ﾋﾞｯﾄ書き込み時、R0のﾋﾞｯﾄ7,6,1,0は1に設定することも推奨されます。施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾐﾝｸﾞするとき、この操作中に全てのﾌﾗｯｼｭ ﾒﾓﾘは読むことができます。

30.8.8. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作はﾌﾗｯｼｭ ﾒﾓﾘへの全ｿﾌﾄｳｪｱ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを妨げます。ｿﾌﾄｳｪｱからのﾋｭｰｽﾞと施錠ﾋﾞｯﾄ読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROM書き込み許可(EEWE)ﾋﾞｯﾄを検査し、SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)へ書く前にこのﾋﾞｯﾄが解除(0)されているのを確認することが推奨されます。

30.8.9. ｿﾌﾄｳｪｱからのﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ｿﾌﾄｳｪｱからﾋｭｰｽﾞと施錠ﾋﾞｯﾄの両方を読むことが可能です。施錠ﾋﾞｯﾄを読むにはZﾎﾟｲﾝﾀに$0001を設定してSPMCSRのSPMENとﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定(BLBSET)ﾋﾞｯﾄを設定(1)してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRに設定された後3CPU周期内にLPM命令が実行されると、施錠ﾋﾞｯﾄの値が転送先ﾚｼﾞｽﾀに格納されます。SPMENとBLBSETﾋﾞｯﾄは施錠ﾋﾞｯﾄ読み出しの完了で、または3CPU周期内にLPM命令が実行されないか、または4CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。SPMENとBLBSETﾋﾞｯﾄが解除(0)されると、LPMは命令一式手引書で記述されるように動作します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	-	-	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ﾋｭｰｽﾞ下位ﾋﾞｯﾄを読む手順は上記の施錠ﾋﾞｯﾄ読み出しと同様です。ﾋｭｰｽﾞ下位ﾋﾞｯﾄを読み出すにはZﾎﾟｲﾝﾀに$0000を設定してSPMCSRのSPMENとBLBSETﾋﾞｯﾄを設定(1)してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRに設定された後3CPU周期内にLPM命令が実行されると、以下で示されるようにﾋｭｰｽﾞ下位ﾋﾞｯﾄ(FLB)の値が転送先ﾚｼﾞｽﾀに格納されます。ﾋｭｰｽﾞ下位ﾋﾞｯﾄの配置と詳細な記述については「ﾋｭｰｽﾞ ﾋﾞｯﾄ」項内のﾋｭｰｽﾞ下位ﾊﾞｲﾄ一覧表を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ﾋｭｰｽﾞ上位ﾋﾞｯﾄを読むにはZﾎﾟｲﾝﾀに$0003を設定してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRで設定(1)された後3周期内にLPM命令が実行されると、以下で示されるようにﾋｭｰｽﾞ上位ﾋﾞｯﾄ(FHB)の値が転送先ﾚｼﾞｽﾀに格納されます。ﾋｭｰｽﾞ上位ﾋﾞｯﾄの配置と詳細な記述については「ﾋｭｰｽﾞ ﾋﾞｯﾄ」項内のﾋｭｰｽﾞ上位ﾊﾞｲﾄ一覧表を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

拡張ﾋｭｰｽﾞ ﾋﾞｯﾄを読む時はZﾎﾟｲﾝﾀに$0002を設定してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRで設定(1)された後3周期内にLPM命令が実行されると、以下で示されるように拡張ﾋｭｰｽﾞ ﾋﾞｯﾄ(EFB)の値が転送先ﾚｼﾞｽﾀに格納されます。拡張ﾋｭｰｽﾞ ﾋﾞｯﾄの配置と詳細な記述については「ﾋｭｰｽﾞ ﾋﾞｯﾄ」項内の拡張ﾋｭｰｽﾞ ﾊﾞｲﾄ一覧表を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	EFB1	EFB0

ﾌﾟﾛｸﾞﾗﾑ(0)されたﾋｭｰｽﾞと施錠ﾋﾞｯﾄは0として読めます。非ﾌﾟﾛｸﾞﾗﾑ(1)にされたﾋｭｰｽﾞと施錠ﾋﾞｯﾄは1として読めます。

関連ﾘﾝｸ 209頁の「ﾋｭｰｽﾞ ﾋﾞｯﾄ」

30.8.10. ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ化けの防止

低VCCの期間中、CPUとﾌﾗｯｼｭ ﾒﾓﾘの正しい動作に対して供給電圧が低すぎるためにﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾑが不正にされ得ます。これらの問題はﾌﾗｯｼｭ ﾒﾓﾘを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾑ化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてﾌﾗｯｼｭ ﾒﾓﾘへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

ﾌﾗｯｼｭ ﾒﾓﾘ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- そのｼｽﾃﾑでﾌﾞｰﾄ ﾛｰﾀﾞ更新が必要ない場合、どんなﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ更新をも防ぐためにﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾑ(0)してください。
- 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCﾘｾｯﾄ保護回路が使えます。書き込み操作進行中にﾘｾｯﾄが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- 低VCCの期間中、AVRｺｱをﾊﾟﾜｰﾀﾞｳﾝ休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSR従ってﾌﾗｯｼｭ ﾒﾓﾘを予期せぬ書き込みから効果的に保護します。

30.8.11. SPM命令使用時のﾌﾗｯｼｭ ﾒﾓﾘ用ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)時間

校正された内蔵RC発振器がﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽ時間に使われます。次表はCPUからのﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽに対する代表的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間を示します。

表30-5. SPM命令によるﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

項目	最小	最大
SPM命令によるﾌﾗｯｼｭ書き込み (ﾍﾟｰｼﾞ消去、ﾍﾟｰｼﾞ書き込み、施錠ﾋﾞｯﾄ書き込み)	3.7ms	4.5ms

注: 最小と最大の時間は(項目の)個別操作毎に対してです。

30.8.12. ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例

このﾙｰﾁﾝはRAMからﾌﾗｯｼｭ ﾒﾓﾘへ1ﾍﾟｰｼﾞのﾃﾞｰﾀを書きます。RAM内の最初のﾃﾞｰﾀ位置はYﾚｼﾞｽﾀによって指示され、ﾌﾗｯｼｭ ﾒﾓﾘ内の最初のﾃﾞｰﾀ位置はZﾚｼﾞｽﾀによって指示されます。異常処理は含まれません。このﾙｰﾁﾝ(少なくともSPMJｻﾌﾞﾙｰﾁﾝ)はﾌﾞｰﾄ ﾛｰﾀﾞ領域側に配置されなければなりません。NRWW領域側のｺｰﾄﾞだけが自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み)中に読めます。使用ﾚｼﾞｽﾀはR0,R1,TMP,CNTL,CNTH,SPMCで、ﾚｼﾞｽﾀの保存と復帰はこのﾙｰﾁﾝ内に含まれず、使用ﾚｼﾞｽﾀはｺｰﾄﾞ量を犠牲にすれば最適化できます。割り込み表がﾌﾞｰﾄ ﾛｰﾀﾞ領域に移動されるか、割り込みが禁止されるかのどちらかが前提です。

ﾍﾟｰｼﾞ内ﾃﾞｰﾀが256ﾊﾞｲﾄ以下の場合は計数器上位が不要になります。また関連する命令も変更になります。これらの部分を赤字で示します(**訳注**:本行は以下のﾌﾟﾛｸﾞﾗﾑ補正に対応して追加しました)。RAMPZは予め設定されている前提です。

ﾗﾍﾞﾙ	命令		注釈
	.EQU	PGSZB = PAGESIZE*2	; PGSZBはﾍﾟｰｼﾞ内のﾊﾞｲﾄ数です。(PAGESIZEはﾜｰﾄﾞ数)
	.ORG	SMALLBOOTSTART	;
			; [ﾍﾟｰｼﾞ消去]
WRPG:	LDI	SPMC, (1<<PGERS)+(1<<SPMEN)	; ﾍﾟｰｼﾞ消去SPMCSR値を取得
	CALL	SPMJ	; ﾍﾟｰｼﾞ消去
			; [RWW領域読み出し再許可]
	LDI	SPMC, (1<<RWWSRE)+(1<<SPMEN)	; RWW領域読み出し許可SPMCSR値を取得
	CALL	SPMJ	; RWW領域読み出し許可
			; [RAMからﾌﾗｯｼｭ ﾍﾟｰｼﾞ一時緩衝部へ転送]
	LDI	CNTL, LOW(PGSZB)	; ﾊﾞｲﾄ計数器を初期化
	LDI	CNTH, HIGH(PGSZB)	; (削除)
WLP:	LD	R0, Y+	; RAM上の下位ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
	LD	R1, Y+	; RAM上の上位ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
	LDI	SPMC, (1<<SPMEN)	; ﾍﾟｰｼﾞ一時緩衝部書き込みSPMCSR値を取得
	CALL	SPMJ	; 対応語(ﾜｰﾄﾞ)ﾃﾞｰﾀをﾍﾟｰｼﾞ一時緩衝部に設定
	ADIW	ZH:ZL, 2	; ﾍﾟｰｼﾞ一時緩衝部ﾎﾟｲﾝﾀ進行
	SBIW	CNTH:CNTL, 2	; 計数器を減数 (SUBI)
	BRNE	WLP	; 指定ﾊﾞｲﾄ数分継続
			; [ﾍﾟｰｼﾞ書き込み]
	SUBI	ZL, LOW(PGSZB)	; ﾍﾟｰｼﾞ一時緩衝部先頭にﾎﾟｲﾝﾀを復帰
	SBCI	ZH, HIGH(PGSZB)	; (削除)
	LDI	SPMC, (1<<PGWRT)+(1<<SPMEN)	; ﾌﾗｯｼｭ書き込みSPMCSR値を取得
	CALL	SPMJ	; ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ書き込み
			; [RWW領域読み出し再許可]
	LDI	SPMC, (1<<RWWSRE)+(1<<SPMEN)	; RWW領域読み出し許可SPMCSR値を取得
	CALL	SPMJ	; RWW領域読み出し許可
			; [読み戻し照合 (任意)]
	LDI	CNTL, LOW(PGSZB)	; ﾊﾞｲﾄ計数器を初期化
	LDI	CNTH, HIGH(PGSZB)	; (削除)
	SUBI	YL, LOW(PGSZB)	; RAMﾃﾞｰﾀ先頭にﾎﾟｲﾝﾀを復帰
	SBCI	YH, HIGH(PGSZB)	;
RLP:	ELPM	R0, Z+	; ﾌﾗｯｼｭ ﾒﾓﾘから1ﾊﾞｲﾄ取得(ﾎﾟｲﾝﾀ進行)
	LD	R1, Y+	; RAMから1ﾊﾞｲﾄ ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
	CPSE	R0, R1	; 値一致でｽｷｯﾌﾟ
	JMP	ERROR	; 不一致で異常処理へ
;			
	SBIW	CNTH:CNTL, 1	; 計数器を減数 (SUBI)
	BRNE	RLP	; 指定ﾊﾞｲﾄ数分継続
;			; [RWW領域へ復帰]
RTN:	LDS	TMP, SPMCSR	; SPM命令制御/状態ﾚｼﾞｽﾀ値を取得
	SBRS	TMP, RWWSB	; RWW領域多忙でｽｷｯﾌﾟ
	RET		; 準備可で呼び出し元へ復帰
;			; [RWW領域読み出し再許可]
	LDI	SPMC, (1<<RWWSRE)+(1<<SPMEN)	; RWW領域読み出し許可SPMCSR値を取得
	CALL	SPMJ	; RWW領域読み出し許可
	RJMP	RTN	; RWW領域準備可まで待機へ
			; [SPM命令実行ｻﾌﾞﾙｰﾁﾝ]
SPMJ:	LDS	TMP, SPMCSR	; SPM命令制御/状態ﾚｼﾞｽﾀ値を取得
	SBRC	TMP, SPMEN	; 操作可能(直前のSPM完了)でｽｷｯﾌﾟ
	RJMP	SPMJ	; 操作可まで待機
;			
	IN	TMP, SREG	; ｽﾃｰﾀｽ ﾚｼﾞｽﾀ値を保存
	CLI		; 全割り込み禁止
WAIT:	SBIC	EECR, EEWE	; EEPROM書き込み中以外でｽｷｯﾌﾟ
	RJMP	WAIT	; EEPROM書き込み完了まで待機
;			
	STS	SPMCSR, SPMC	; SPM動作指定
	SPM		; 対応SPM動作実行
	OUT	SREG, TMP	; ｽﾃｰﾀｽ ﾚｼﾞｽﾀ値を復帰
	RET		; 呼び出し元へ復帰

30.8.13. ATmega128Aのﾌﾞｰﾄ ﾛｰﾀﾞ ﾊﾟﾗﾒｰﾀ

以降の表では、自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの記述で使ったﾊﾟﾗﾒｰﾀが与えられます。

表30-6. 応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の分割設定

BOOTSZ1	BOOTSZ0	ﾌﾞｰﾄ ﾛｰﾀﾞ領域		ｱﾄﾞﾚｽ範囲		
		容量(ﾜｰﾄﾞ)	ﾍﾟｰｼﾞ数	応用ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ
1	1	512	4	$0000～$FDFF	$FE00～$FFFF	$FE00
1	0	1024	8	$0000～$FBFF	$FC00～$FFFF	$FC00
0	1	2048	16	$0000～$F7FF	$F800～$FFFF	$F800
0	0	4096	32	$0000～$EFFF	$F000～$FFFF	$F000

注: 各種BOOTSZﾋｭｰｽﾞ設定は図30-2.で示されます。

表30-7. RWW領域とNRWW領域の範囲

領域	ﾍﾟｰｼﾞ数	ｱﾄﾞﾚｽ範囲
書き込み中読み出し可能(RWW)領域	480	$0000～$EFFF
書き込み中読み出し不能(NRWW)領域	32	$F000～$FFFF

注: これら2つの領域についての詳細に関しては200頁の「RWW – 書き込み中読み出し可能領域」と「NRWW – 書き込み中読み出し不能領域」をご覧ください。

表30-8. 図30-3.で使った各変数説明とZﾎﾟｲﾝﾀの配置

変数名	対応値		意味
	PC	Zﾎﾟｲﾝﾀ (注)	
PCMSB	PC15		ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀの最上位ﾋﾞｯﾄ。(ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは16ﾋﾞｯﾄ、PC15～0)
PAGEMSB	PC6		1ﾍﾟｰｼﾞ内に使われる語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽの最上位ﾋﾞｯﾄ。 (ﾍﾟｰｼﾞ内の128語(ﾜｰﾄﾞ)には7ﾋﾞｯﾄ PC6～0が必要)
ZPCMSB		Z16	PCMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPCMSB=PCMSB+1)
ZPAGEMSB		Z7	PAGEMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPAGEMSB=PAGEMSB+1)
PCPAGE	PC15～7	Z16～8	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ ﾍﾟｰｼﾞ ｱﾄﾞﾚｽ：ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み用のﾍﾟｰｼﾞ選択
PCWORD	PC6～0	Z7～1	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ 語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽ：一時緩衝部格納用語(ﾜｰﾄﾞ)選択 (ﾍﾟｰｼﾞ書き込み操作中は0でなければなりません。)

注:
- Zﾚｼﾞｽﾀは16ﾋﾞｯﾄ幅だけです。ﾋﾞｯﾄ16はI/O領域のRAMPZﾚｼﾞｽﾀに配置されます。
- Z0：全てのSPM命令に対して0であるべきで、(E)LPM命令に対するﾊﾞｲﾄ選択です。
- 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のZﾎﾟｲﾝﾀの使用に対する詳細に関しては202頁の「自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定」をご覧ください。

30.9. ﾌﾞｰﾄ ﾛｰﾀﾞ用ﾚｼﾞｽﾀ

30.9.1. SPMCSR – SPM命令制御/状態ﾚｼﾞｽﾀ (Store Program Memory Control and Status Register)

このﾚｼﾞｽﾀはﾌﾞｰﾄ ﾛｰﾀﾞ動作を制御するために必要とされる制御ﾋﾞｯﾄを含みます。

I/O特定命令のINとOUTを使う時はI/Oｱﾄﾞﾚｽの$00～$3Fが使われなければなりません。LDとSTの命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、これらの変位ｱﾄﾞﾚｽに$20が加算されなければなりません。本ﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STDの命令だけが使えます。

名称 : SPMCSR
変位 : $37 ($57)
ﾘｾｯﾄ : $00
特質 : ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$57です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SPMIE	RWWSB	–	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN
ｱｸｾｽ種別	R/W	R	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – SPMIE : SPM操作可割り込み許可** (SPM Interrupt Enable)

SPMIEﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRのSPM操作許可(SPMEN)ﾋﾞｯﾄが解除(0)されている限り実行されます。

● **ﾋﾞｯﾄ6 – RWWSB : RWW領域多忙** (Read-While-Write Section Busy)

RWW領域に自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み)操作が開始されると、RWWSBがﾊｰﾄﾞｳｪｱによって設定(1)されます。RWWSBﾋﾞｯﾄが設定(1)されると、RWW領域はｱｸｾｽできません。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了された後にRWWSREﾋﾞｯﾄが1を書かれると、このRWWSBﾋﾞｯﾄは解除(0)されます。同様に、ﾍﾟｰｼﾞ設定操作が開始されると、RWWSBﾋﾞｯﾄは自動的に解除(0)されます。

● **ﾋﾞｯﾄ4 – RWWSRE : RWW領域読み出し許可** (Read-While-Write Section Read Enable)

RWW領域にﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み)すると、RWW領域は(RWWSBがﾊｰﾄﾞｳｪｱによって設定(1)され)読み出しに対して防がれます。RWW領域を再許可するために使用者ｿﾌﾄｳｪｱはﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了(SPMENが解除(0))されるまで待たねばなりません。その後、RWWSREﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令がRWW領域を再許可します。ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込みでﾌﾗｯｼｭ ﾒﾓﾘが多忙(SPMEN=1)の間、RWW領域は再許可できません。ﾌﾗｯｼｭ ﾒﾓﾘが設定されている間にRWWSREﾋﾞｯﾄが書かれると、ﾌﾗｯｼｭ ﾒﾓﾘ設定操作は失敗し、設定したﾃﾞｰﾀが失われます。

● **ﾋﾞｯﾄ3 – BLBSET : ﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定** (Boot Lock Bits Set)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令はR0のﾃﾞｰﾀに従ったﾌﾞｰﾄ施錠ﾋﾞｯﾄを設定します。R1のﾃﾞｰﾀとZﾎﾟｲﾝﾀのｱﾄﾞﾚｽは無視されます。BLBSETﾋﾞｯﾄは施錠ﾋﾞｯﾄの設定完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。

SPMCSRでBLBSET(SPMCSR.BLBSET)とSPMEN(SPMCSR.SPMEN)が設定(1)された後の3ｸﾛｯｸ周期内のLPM命令は(ZﾎﾟｲﾝﾀのZ0によって)ﾋｭｰｽﾞ ﾋﾞｯﾄまたは施錠ﾋﾞｯﾄのどちらかを転送先ﾚｼﾞｽﾀに読みます。詳細については204頁の「**ｿﾌﾄｳｪｱからのﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し**」をご覧ください。

● **ﾋﾞｯﾄ2 – PGWRT : ﾍﾟｰｼﾞ書き込み** (Page Write)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令は一時緩衝部に格納したﾃﾞｰﾀでﾍﾟｰｼﾞ書き込みを実行します。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀの上位部から取得されます。R1とR0のﾃﾞｰﾀは無視されます。PGWRTﾋﾞｯﾄはﾍﾟｰｼﾞ書き込みの完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がｱﾄﾞﾚｽ指定されると、ﾍﾟｰｼﾞ全体の書き込み動作中にCPUは停止されます。

● **ﾋﾞｯﾄ1 – PGERS : ﾍﾟｰｼﾞ消去** (Page Erase)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令はﾍﾟｰｼﾞ消去を実行します。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀの上位部から取得されます。R1とR0のﾃﾞｰﾀは無視されます。PGERSﾋﾞｯﾄはﾍﾟｰｼﾞ消去の完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がｱﾄﾞﾚｽ指定されると、ﾍﾟｰｼﾞ全体の消去中にCPUは停止されます。

● **ﾋﾞｯﾄ0 – SPMEN : SPM操作許可** (Store Program Memory Enable)

このﾋﾞｯﾄは次の4ｸﾛｯｸ周期間のSPM命令を許可します。このﾋﾞｯﾄがRWWSRE, BLBSET, PGWRT, PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます(上の記述をご覧ください)。SPMENだけが書かれると、続くSPM命令はZﾎﾟｲﾝﾀによってｱﾄﾞﾚｽ指定したﾍﾟｰｼﾞ一時緩衝部へR1:R0の値を格納します。Zﾚｼﾞｽﾀの最下位ﾋﾞｯﾄは無視されます。SPMENﾋﾞｯﾄはSPM命令の完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み中、SPMENﾋﾞｯﾄはその動作が完了されるまで1に留まります。

下位5ﾋﾞｯﾄに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。

31. メモリ プログラミング

31.1. プログラム メモリとデータ メモリ用施錠ビット

ATmega128Aは6つの施錠ビットを提供します。これらは非プログラム(1)のままか、下表で一覧される付加機能を得るためにプログラム(0)にすることができます。この施錠ビットはチップ消去指令でのみ1に消去できます。

表31-1. 施錠ビット バイトの内容

名称	ビット番号	意味	既定値 (注)
–	7		1 (非プログラム)
–	6		1 (非プログラム)
BLB12	5	ブート ローダ領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB11	4		1 (非プログラム)
BLB02	3	応用領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB01	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表31-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはJTAG経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズ ビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズ ビットとブート施錠ビットが固定されます。(注1)
LB0 種別	BLB02	BLB01	フラッシュ メモリの応用プログラム領域に対する保護
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
4	0	1	ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
LB1 種別	BLB12	BLB11	フラッシュ メモリのブート ローダ プログラム領域に対する保護
1	1	1	LPM, SPM命令がブート ローダ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブート ローダ領域に書くことを許されません。
3	0	0	SPM命令によるブート ローダ領域への書き込みと、応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(注3)
4	0	1	応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(注3)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズ ビットとブート施錠ビットを書いてください。

注2: BLB02=0で、割り込みベクタがブート ローダ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

注3: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブート ローダ領域での実行時に割り込みが禁止されます。

31.2. ヒューズ ビット

ATmega128Aには3つのヒューズ バイトがあります。本項の表は全てのヒューズの概略機能とヒューズ バイト内でどのように配置されるかを示します。ヒューズはプログラムされると、論理0として読まれることに注意してください。

表31-3. 拡張ヒューズ バイト一覧

名称	ビット	意味	既定値
–	7		1 (非プログラム)
–	6		1 (非プログラム)
–	5		1 (非プログラム)
–	4		1 (非プログラム)
–	3		1 (非プログラム)
–	2		1 (非プログラム)
M103C (注1)	1	ATmega103互換動作。	0 (プログラム) ATmega103互換動作
WDTON (注2)	0	ウォッチドッグ タイマ常時有効。	1 (非プログラム) WDTはWDTCRで許可

注1: 詳細については「ATmega128AとATmega103の互換性」をご覧ください。

注2: 詳細については「WDTCR – ウォッチドッグ タイマ制御レジスタ」をご覧ください。

表31-4. ヒューズ上位バイト一覧

名称	ビット	意味	既定値
OCDEN (注4)	7	内蔵デバッグ機能(OCD)許可。	1 (非プログラム) OCD禁止
JTAGEN (注5)	6	JTAGインターフェース許可。	0 (プログラム) JTAG許可
SPIEN (注1)	5	直列プログラミング許可。	0 (プログラム) 直列プログラミング許可
CKOPT (注2)	4	クロック発振器任意選択機能。	1 (非プログラム)
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BOOTSZ1	2	ブート ローダ容量選択。(表30-6.参照) (注3)	0 (プログラム)
BOOTSZ0	1		0 (プログラム)
BOOTRST	0	リセット ベクタ(応用領域またはブート ローダ領域)選択。	1 (非プログラム) 応用領域

注1: SPIENヒューズは直列プログラミングでアクセスできません。

注2: CKOPTヒューズの機能はCKSELヒューズ設定に依存します。詳細は「クロック元」をご覧ください。

注3: BOOTSZ1,0既定値は最大ブート ローダ容量になります。表30-6.をご覧ください。

注4: 施錠ビットやJTAGENヒューズの設定に拘らず、OCDENヒューズがプログラム(0)された製品の出荷は決してありません。プログラム(0)されたOCDENヒューズは全体止形態でクロック系の一部を許可します。これは消費電力の増加になってしまいます。

注5: JTAGインターフェースが未接続のままにされる場合、JTAGENヒューズは可能ならば禁止されるべきです。これはJTAGインターフェースのTDOピンの静止時電流を避けるためです。

表31-5. ヒューズ下位バイト一覧

名称	ビット	意味	既定値
BODLEVEL	7	低電圧検出器(BOD)検出電圧選択。	1 (非プログラム)
BODEN	6	低電圧検出器(BOD)許可。	1 (非プログラム) BOD禁止
SUT1	5	起動時間選択。 (注1)	1 (非プログラム)
SUT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。 (注2)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		0 (プログラム)
CKSEL0	0		1 (非プログラム)

注1: SUT1,0の既定値は最大起動時間になります。詳細については「**校正付き内蔵RC発振器**」項の「校正付き内蔵RC発振器用起動遅延時間選択」表をご覧ください。

注2: CKSEL3～0の既定設定は1MHz校正付き内蔵RC発振器になります。詳細については「**クロック元**」項の「クロック種別選択」表をご覧ください。

ヒューズ ビットの状態はチップ消去によって影響されません。施錠ビット1(LB1)がプログラム(0)されると、ヒューズ ビットが固定されることに注意してください。施錠ビットをプログラム(0)する前にヒューズ ビットをプログラミング(書き込み)してください。

関連リンク
206頁の「ATmega128Aのブート ローダ パラメータ」
32頁の「校正付き内蔵RC発振器」
44頁の「WDTCR – ウォッチドッグ タイマ制御レジスタ」

8頁の「ATmega128AとATmega103の互換性」
30頁の「ｸﾛｯｸ元」

31.2.1. ﾋｭｰｽﾞのﾗｯﾁ

ﾋｭｰｽﾞ値はﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作へ移行する時にﾗｯﾁされ、ﾋｭｰｽﾞ値の変更はﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を去るまで無効です。これは一旦ﾌﾟﾛｸﾞﾗﾑ(0)されると直ぐに効果があるEESAVEﾋｭｰｽﾞには適用されません。ﾋｭｰｽﾞは通常動作での電源投入でもﾗｯﾁされます。

31.3. 識票ﾊﾞｲﾄ

全てのAtmelﾏｲｸﾛ ｺﾝﾄﾛｰﾗはﾃﾞﾊﾞｲｽを識別する3ﾊﾞｲﾄの識票符号を持ちます。この符号は直列と並列の両ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でも、またﾃﾞﾊﾞｲｽが施錠されていても読めます。この3ﾊﾞｲﾄは分離された空間に存在します。

ATmega128A用の識票ﾊﾞｲﾄは右表で与えられます。

表31-6. ﾃﾞﾊﾞｲｽとJTAGの識別番号(ID)

部品番号	識票ﾊﾞｲﾄ ｱﾄﾞﾚｽ			JTAG	
	$0000	$0001	$0002	部品番号	製造者ID
ATmega128A	$1E	$97	$02	$9702	$01F

31.4. 校正ﾊﾞｲﾄ

ATmega128Aは内蔵RC発振器用に4つの異なる校正値を備えています。これらのﾊﾞｲﾄは1,2,4,8MHzの各々に対して識票列のｱﾄﾞﾚｽ$0000,$0001,$0002,$0003の上位ﾊﾞｲﾄにあります。ﾘｾｯﾄ中に1MHz値がOSCCALﾚｼﾞｽﾀへ自動的に設定されます。他の周波数が使われる場合、その校正値は手動で設定されなければなりません。詳細については「**OSCCAL – 発振校正ﾚｼﾞｽﾀ**」をご覧ください。

関連ﾘﾝｸ　34頁の「OSCCAL – 発振校正ﾚｼﾞｽﾀ」

31.5. ﾍﾟｰｼﾞ容量

表31-7. ﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ数とﾍﾟｰｼﾞの語数

ﾃﾞﾊﾞｲｽ	全容量	ﾍﾟｰｼﾞ容量	PCWORD	ﾍﾟｰｼﾞ数	PCPAGE	PCMSB
ATmega128A	64Kﾜｰﾄﾞ(128Kﾊﾞｲﾄ)	128ﾜｰﾄﾞ	PC6～0	512	PC15～7	15

表31-8. EEPROMﾒﾓﾘのﾍﾟｰｼﾞ数とﾍﾟｰｼﾞの語数

ﾃﾞﾊﾞｲｽ	全容量	ﾍﾟｰｼﾞ容量	PCWORD	ﾍﾟｰｼﾞ数	PCPAGE	EEAMSB
ATmega128A	4Kﾊﾞｲﾄ	8ﾊﾞｲﾄ	EEA2～0	512	EEA11～3	11

31.6. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

この項は本ﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、ﾃﾞｰﾀ用EEPROM、ﾒﾓﾘの施錠ﾋﾞｯﾄ、ﾋｭｰｽﾞ ﾋﾞｯﾄの並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合の方法を記述します。特記事項を除いて、ﾊﾟﾙｽ幅は最低250nsと仮定されます。

31.6.1. 信号名

本項で本ﾃﾞﾊﾞｲｽのいくつかのﾋﾟﾝは並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の機能を表す信号名で参照されます。本項内の右図と「信号名とﾋﾟﾝ名の関係」表を参照してください。後続の表で示されないﾋﾟﾝはﾋﾟﾝ名によって参照されます。

XA0とXA1ﾋﾟﾝはXTAL1ﾋﾟﾝが正ﾊﾟﾙｽを与えられる時に実行される動作を決めます。このﾋﾞｯﾄ符号化は**表31-11.**で示されます。

$\overline{WR}$または$\overline{OE}$ﾊﾟﾙｽ送出時、設定された指令が決める動作が実行されます。各種指令は**表31-12.**で示されます。

図31-1. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図

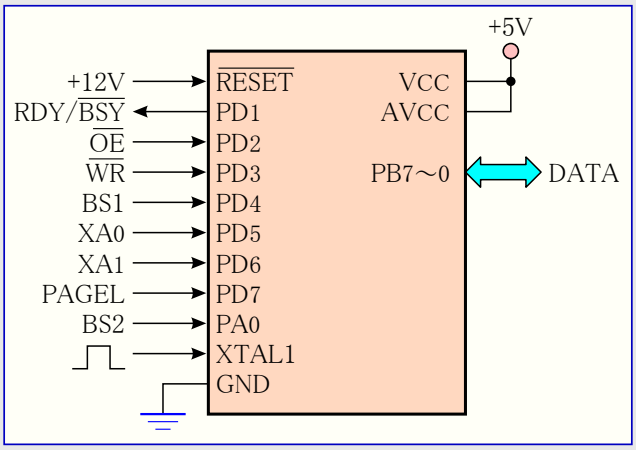


表31-9. 信号名とﾋﾟﾝ名の関係

信号名	ﾋﾟﾝ名	入出力	機能
RDY/$\overline{BSY}$	PD1	出力	0(Low)：多忙(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中)　1(High)：準備可(指令受付可)
$\overline{OE}$	PD2	入力	出力許可(負論理)
$\overline{WR}$	PD3	入力	書き込みﾊﾟﾙｽ(負論理)
BS1	PD4	入力	上位/下位ﾊﾞｲﾄ選択1 (0:下位, 1:上位)　(一般用)
XA0	PD5	入力	XTAL動作ﾋﾞｯﾄ0
XA1	PD6	入力	XTAL動作ﾋﾞｯﾄ1
PAGEL	PD7	入力	ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘとEEPROMﾃﾞｰﾀをﾍﾟｰｼﾞ一時緩衝部に設定
BS2	PA0	入力	上位/下位ﾊﾞｲﾄ選択2 (0:下位, 1:上位)　(ﾋｭｰｽﾞ ﾋﾞｯﾄ用)
DATA	PB7～0	入出力	双方向ﾃﾞｰﾀ ﾊﾞｽ ($\overline{OE}$=Low時出力)

表31-10. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作移行時のﾋﾟﾝ値

ﾋﾟﾝ名	ｼﾝﾎﾞﾙ	値
PAGEL	Prog_enable[3]	0
XA1	Prog_enable[2]	0
XA0	Prog_enable[1]	0
BS1	Prog_enable[0]	0

表31-11. XA0とXA1の符号化(機能)

XA1	XA0	XTAL1ﾊﾟﾙｽ時の動作
0	0	ﾌﾗｯｼｭまたはEEPROMのｱﾄﾞﾚｽ設定 (上位/下位はBS1で指定)
0	1	ﾃﾞｰﾀ設定 (ﾌﾗｯｼｭの上位/下位はBS1で指定)
1	0	指令設定
1	1	ｱｲﾄﾞﾙ (動作なし)

表31-12. 指令ﾊﾞｲﾄのﾋﾞｯﾄ符号化

指令ﾊﾞｲﾄ	指令の機能
$80 (1000 0000)	ﾁｯﾌﾟ消去
$40 (0100 0000)	ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み
$20 (0010 0000)	施錠ﾋﾞｯﾄ書き込み
$10 (0001 0000)	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み
$11 (0001 0001)	EEPROM書き込み
$08 (0000 1000)	識票ﾊﾞｲﾄ、校正ﾊﾞｲﾄ読み出し
$04 (0000 0100)	ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ読み出し
$02 (0000 0010)	ﾌﾗｯｼｭ ﾒﾓﾘ読み出し
$03 (0000 0011)	EEPROM読み出し

31.7. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

31.7.1. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

次に示す方法がﾃﾞﾊﾞｲｽを並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作にします。

① VCCとGND間に4.5～5.5Vを印加し、最低100µs待ちます。
② $\overline{\text{RESET}}$をLow(0)にし、XTAL1を少なくとも6回、交互に(High/Low)切り替えます。
③ 211頁の**表31-10.**で一覧されるProg_enableﾋﾟﾝを全てLow(0)に設定し、最低100ns待ちます。
④ $\overline{\text{RESET}}$に11.5～12.5Vを印加します。+12V が$\overline{\text{RESET}}$に印加されてしまった後100ns以内のProg_enableﾋﾟﾝのどんな動きも、ﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行を失敗させます。

注意: 外部ｸﾘｽﾀﾙや外部RC発振器設定が選択されていると、条件付きのXTAL1ﾊﾟﾙｽを印加できないため、同じことが当てはまるかもしれません。このような場合、次の方法に従うべきです。

① 211頁の**表31-10.**で一覧されるProg_enableﾋﾟﾝを全てLow(0)に設定します。
② VCCとGND間に4.5～5.5Vを印加すると同時に$\overline{\text{RESET}}$へ11.5～12.5Vを印加します。
③ 100ns待ちます。
④ ｸﾛｯｸ元として外部ｸﾛｯｸが選択される(CKSEL3～0=0000)ことを保証するためにﾋｭｰｽﾞを再ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(再書き込み)します。施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、ﾋｭｰｽﾞを変更するのに先立ってﾁｯﾌﾟ消去指令が実行されなければなりません。
⑤ ﾃﾞﾊﾞｲｽの電源を落とすか、$\overline{\text{RESET}}$ﾋﾟﾝをLow(0)に持ってくることによってﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を抜けます。
⑥ 上で記述したように元の方法でﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作へ移行します。

31.7.2. 効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞへの考慮

設定した指令とｱﾄﾞﾚｽはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、維持されます。効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行うために次を考慮すべきです。

- 複数のﾒﾓﾘ領域を読み書きする時に指令設定は一度だけ必要です。
- ﾁｯﾌﾟ消去後のﾌﾗｯｼｭ ﾒﾓﾘと(EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合を除き)EEPROM全体の内容は$FFなので、値が$FFのﾃﾞｰﾀ書き込みを飛ばします。
- ｱﾄﾞﾚｽ上位ﾊﾞｲﾄはﾌﾗｯｼｭ ﾒﾓﾘで新規256語(ﾜｰﾄﾞ)枠、EEPROMで新規256ﾊﾞｲﾄ枠の読み書き前に一度だけ必要です。この考慮は識票ﾊﾞｲﾄ読み出しにも適用されます。

31.7.3. ﾁｯﾌﾟ消去

ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM(注1)、施錠ﾋﾞｯﾄを消去します。施錠ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘが完全に消去されてしまうまでﾘｾｯﾄ(消去)されません。ﾋｭｰｽﾞ ﾋﾞｯﾄは変更されません。ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されていると、EEPROMはﾁｯﾌﾟ消去中、保護されます。

「ﾁｯﾌﾟ消去」指令設定

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② BS1をLow(0)に設定します。
③ DATAを$80(1000 0000)に設定します。これはﾁｯﾌﾟ消去指令です。
④ XTAL1に正ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去指令を設定します。
⑤ $\overline{\text{WR}}$に負ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去を開始します。RDY/$\overline{\text{BSY}}$がLow(0)になります。
⑥ 次の指令を設定する前にRDY/$\overline{\text{BSY}}$がHigh(1)になるまで待ちます。

31.7.4. フラッシュ メモリ書き込み (図31-3.タイミングを参照)

フラッシュ メモリはページで構成されます(表31-7.参照)。フラッシュ メモリへ書く時にプログラム データはページ緩衝部にラッチされます。これは同時に書かれることをプログラム データの1ページに許します。次の手順は完全なフラッシュ メモリの書き込み方法を記述します。

A. 「フラッシュ メモリ書き込み」指令設定
   ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
   ② BS1をLow(0)に設定します。
   ③ DATAを$10(0001 0000)に設定します。これはフラッシュ メモリ書き込み指令です。
   ④ XTAL1に正パルスを与えます。これはフラッシュ メモリ書き込み指令を設定します。

B. アドレス下位バイト設定
   ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
   ② BS1をLow(0)に設定します。これは下位アドレス(バイト)を選択します。
   ③ DATAにアドレス下位バイト($00～$FF)を設定します。
   ④ XTAL1に正パルスを与えます。これはアドレス下位バイトを設定します。

C. データ下位バイト設定
   ① XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
   ② DATAにデータ下位バイト($00～$FF)を設定します。
   ③ XTAL1に正パルスを与えます。これはデータ下位バイトを設定します。

D. データ上位バイト設定
   ① BS1をHigh(1)に設定します。これは上位バイトを選択します。
   ② XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
   ③ DATAにデータ上位バイト($00～$FF)を設定します。
   ④ XTAL1に正パルスを与えます。これはデータ上位バイトを設定します。

E. 語(ワード)データをページ一時緩衝部に設定
   ① BS1をHigh(1)にします。これは上位バイトを選択します。
   ② PAGELに正パルスを与えます。これは語データをページ一時緩衝部にラッチ(設定)します。

F. 緩衝部全体が満たされるか、または(必要な)全てのデータが緩衝部内に設定されるまで、B～Eを繰り返し

アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュ メモリ内のページをアドレス指定します。これは下図で図示されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量<256)、アドレス下位バイトの最上位(側)ビットがページ書き込み実行時のページ アドレスに使われることに注意してください。

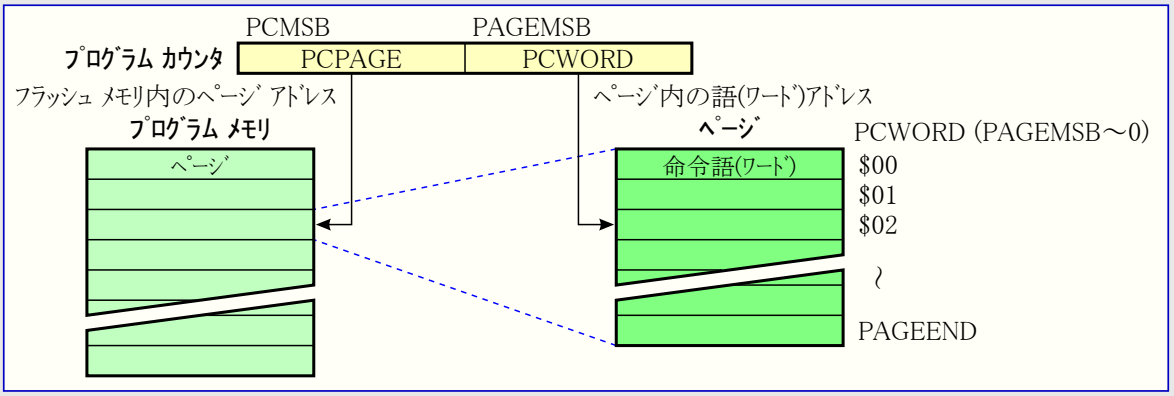
G. アドレス上位バイト設定
   ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
   ② BS1をHigh(1)に設定します。これは上位アドレス(バイト)を選択します。
   ③ DATAにアドレス上位バイト($00～$FF)を設定します。
   ④ XTAL1に正パルスを与えます。これはアドレス上位バイトを設定します。

H. ページ書き込み
   ① BS1をLow(0)に設定します。
   ② WRに負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/$\overline{BSY}$がLow(0)になります。
   ③ RDY/$\overline{BSY}$がHigh(1)になるまで待ちます。

I. フラッシュ メモリ全部が書かれるか、または(必要な)全データが書かれてしまうまで、B～Hを繰り返し

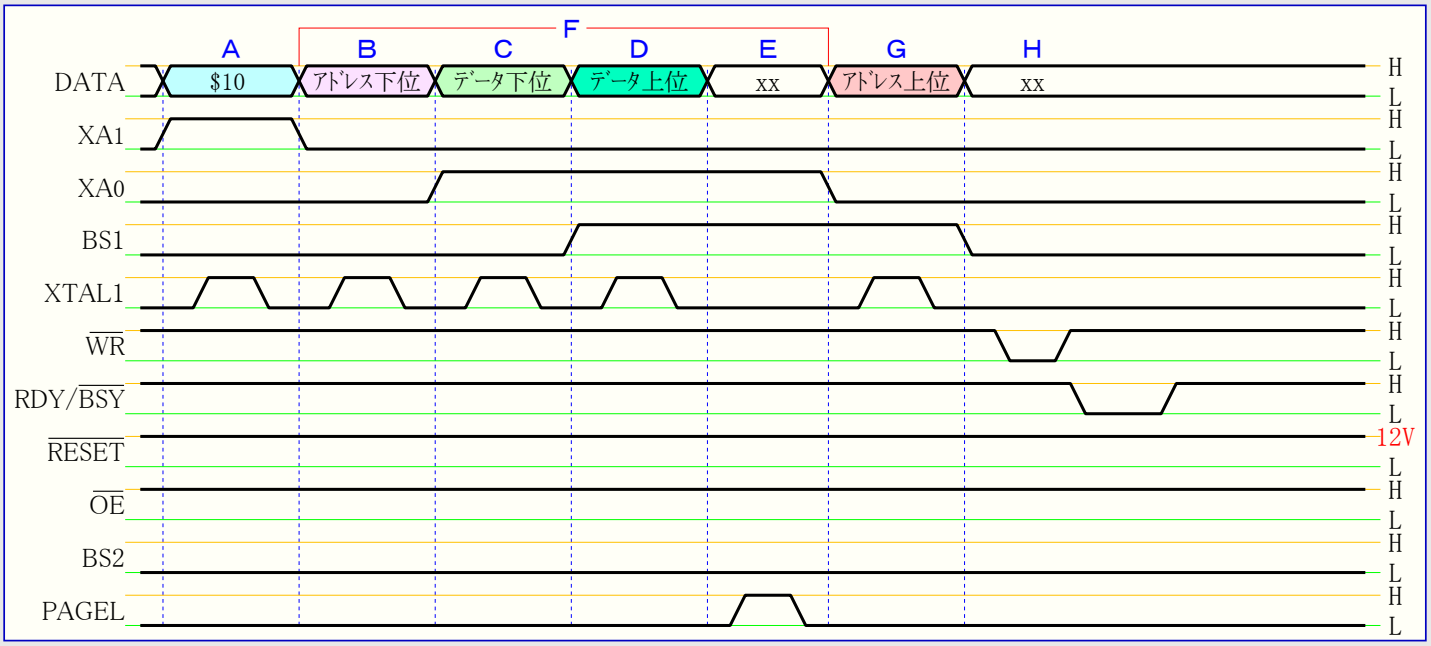
J. ページ書き込み終了
   ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
   ② DATAを$00(0000 0000)にします。これは無操作指令です。
   ③ XTAL1に正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図31-2. ページで構成されたフラッシュ メモリのアドレス指定



注: PCPAGEとPCWORDは表31-7.で一覧されます。

図31-3. ﾌﾗｯｼｭ ﾒﾓﾘ書き込みﾀｲﾐﾝｸﾞ



注: xx値は無関係です。A～Hは前記ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを参照してください。

31.7.5. EEPROM書き込み

EEPROMはﾍﾟｰｼﾞで構成されます(表31-8.参照)。EEPROMを書く時にﾃﾞｰﾀはﾍﾟｰｼﾞ緩衝部にﾗｯﾁされます。これは同時に書かれることをﾃﾞｰﾀの1ﾍﾟｰｼﾞに許します。ﾃﾞｰﾀ用EEPROMﾒﾓﾘの書き込み方法は次のとおりです。(指令、ｱﾄﾞﾚｽ、ﾃﾞｰﾀ設定の詳細については213頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照。図31-4.ﾀｲﾐﾝｸﾞ参照。)

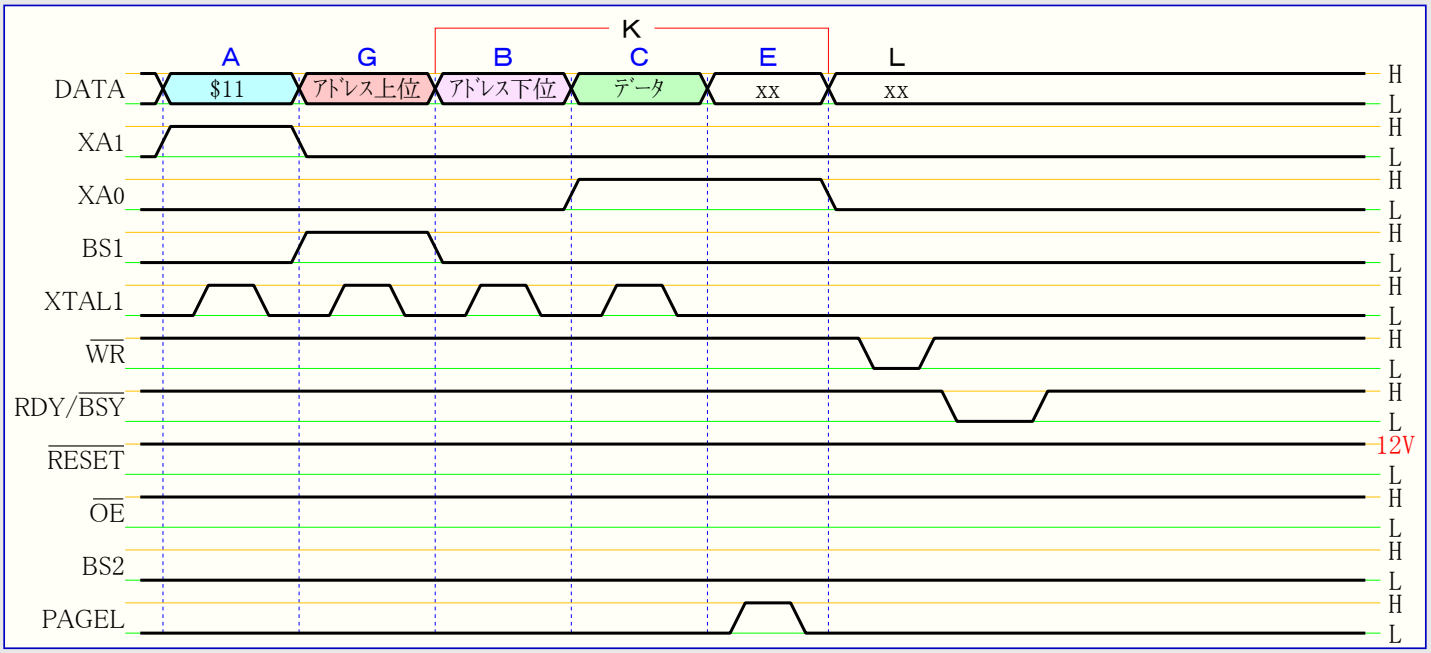
1. EEPROM書き込み指令$11(0001 0001)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のAを参照)
2. ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ($00～$0F)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のGを参照)
3. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$FF)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のBを参照)
4. ﾃﾞｰﾀ ﾊﾞｲﾄ($00～$FF)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のCを参照)
5. ﾃﾞｰﾀをﾗｯﾁします(PAGELに正ﾊﾟﾙｽを与えます)。(「ﾌﾗｯｼｭ ﾒﾓﾘ書き込み」のEを参照)

K. 緩衝部全体が満たされるまで3～5を繰り返します。

L. EEPROMﾍﾟｰｼﾞ書き込み

① BS1をLow(0)に設定します。
② WRに負ﾊﾟﾙｽを与えます。これはEEPROMﾍﾟｰｼﾞ書き込みを開始します。RDY/BSYがLow(0)になります。
③ 次のﾍﾟｰｼﾞを書く前に、RDY/BSYがHigh(1)になるまで待ちます。

図31-4. EEPROM書き込みﾀｲﾐﾝｸﾞ



31.7.6. フラッシュ メモリ読み出し

フラッシュ メモリの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については213頁の「フラッシュ メモリの書き込み」を参照)

1. フラッシュ メモリ読み出し指令$02(0000 0010)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。フラッシュ メモリ語(ﾜｰﾄﾞ)の下位ﾊﾞｲﾄが直ぐにDATAで読めます。
5. BS1をHigh(1)に設定します。フラッシュ メモリ語(ﾜｰﾄﾞ)の上位ﾊﾞｲﾄが直ぐにDATAで読めます。
6. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

31.7.7. EEPROM読み出し

ﾃﾞｰﾀ用EEPROMの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については213頁の「フラッシュ メモリの書き込み」を参照)

1. EEPROM読み出し指令$03(0000 0011)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ($00～$0F)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。EEPROMのﾊﾞｲﾄ ﾃﾞｰﾀが直ぐにDATAで読めます。
5. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

31.7.8. ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み (訳注:原書での拡張/上位/下位ﾋｭｰｽﾞ項を1つに纏めました。)

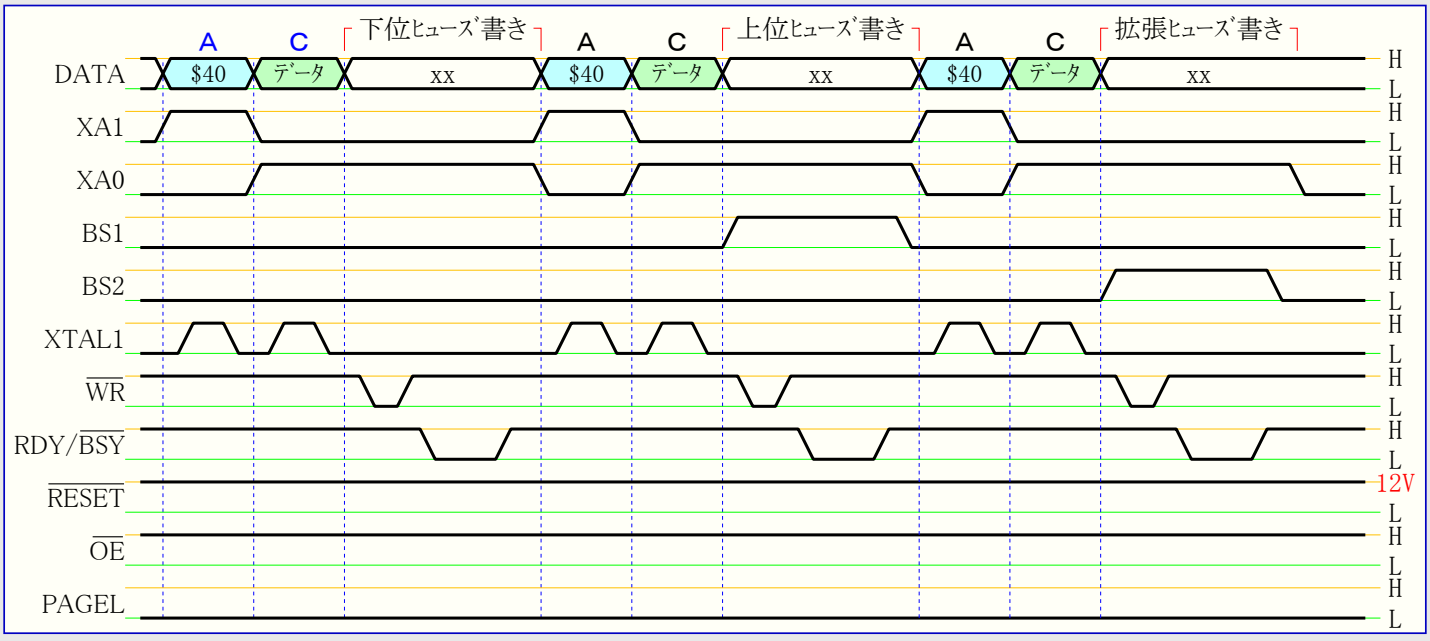
各ﾋｭｰｽﾞ ﾊﾞｲﾄの書き込み方法は次のとおりです。(指令とﾃﾞｰﾀ設定の詳細については213頁の「フラッシュ メモリの書き込み」を参照)

1. ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み指令$40(0100 0000)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. ﾃﾞｰﾀ下位ﾊﾞｲﾄを設定します。0=ﾌﾟﾛｸﾞﾗﾑ,1=非ﾌﾟﾛｸﾞﾗﾑ(消去)です。(「フラッシュ メモリ書き込み」のCを参照)
3. BS1とBS2を右表の目的ﾊﾞｲﾄに対応する設定にします。
4. $\overline{WR}$に負ﾊﾟﾙｽを与え、RDY/$\overline{BSY}$がHighになるまで待ちます。
5. 3.でHighに設定したBS1、BS2をLow(0)に戻します。これはﾃﾞｰﾀ下位ﾊﾞｲﾄを選択します。

表A. ﾋｭｰｽﾞ ﾊﾞｲﾄ対応BS1,BS2設定

ﾋｭｰｽﾞ ﾊﾞｲﾄ	BS1	BS2
拡張ﾊﾞｲﾄ	Low(0)	High(1)
上位ﾊﾞｲﾄ	High(1)	Low(0)
下位ﾊﾞｲﾄ	Low(0)	Low(0)

図31-5. ﾋｭｰｽﾞ書き込みﾀｲﾐﾝｸﾞ



31.7.9. 施錠ﾋﾞｯﾄ書き込み

施錠ﾋﾞｯﾄの書き込み方法は次のとおりです。(指令とﾃﾞｰﾀ設定の詳細については213頁の「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」を参照)

1. 施錠ﾋﾞｯﾄ書き込み指令$20(0010 0000)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘ書き込み**」のAを参照)
2. ﾃﾞｰﾀ下位ﾊﾞｲﾄ(としてﾃﾞｰﾀ)を設定します。0=ﾌﾟﾛｸﾞﾗﾑ,1=無変化です。(「**ﾌﾗｯｼｭ ﾒﾓﾘ書き込み**」のCを参照)
3. WRに負ﾊﾟﾙｽを与え、RDY/BSYがHighになるまで待ちます。

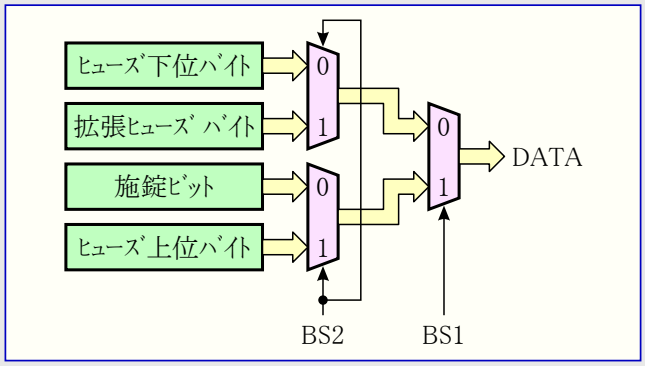
施錠ﾋﾞｯﾄはﾁｯﾌﾟ消去の実行によってのみ解除(1)できます。

31.7.10. ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し方法は次のとおりです。(指令設定の詳細については213頁の「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」を参照)

1. ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し指令$04(0000 0100)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘ書き込み**」のAを参照)
2. BS1とBS2をLow(0)、OEをLow(0)に設定します。ﾋｭｰｽﾞ下位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
3. BS1とBS2をHigh(1)、OEをLow(0)に設定します。ﾋｭｰｽﾞ上位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
4. BS1をLow(0)、BS2をHigh(1)、OEをLow(0)に設定します。拡張ﾋｭｰｽﾞ ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
5. BS1をhigh(1)、BS2をLow(0)、OEをLow(0)に設定します。施錠ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
6. OEをHigh(1)に設定します。DATAはHi-Zになります。

図31-6. ﾋｭｰｽﾞ,施錠ﾋﾞｯﾄ読み出し中のBS1, BS2との関係



31.7.11. 識票ﾊﾞｲﾄ読み出し

識票ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については213頁の「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」を参照)

1. 識票ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘ書き込み**」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$02)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘ書き込み**」のBを参照)
3. BS1をLow(0)、OEをLow(0)に設定します。選択した識票ﾊﾞｲﾄが直ぐにDATAで読めます。
4. OEをHigh(1)に設定します。DATAはHi-Zになります。

31.7.12. 校正ﾊﾞｲﾄ読み出し

校正ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については213頁の「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」を参照)

1. 校正ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘ書き込み**」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄに($00～$03)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘ書き込み**」のBを参照)
3. BS1をHigh(1)、OEをLow(0)に設定します。校正ﾊﾞｲﾄが直ぐにDATAで読めます。
4. OEをHigh(1)に設定します。DATAはHi-Zになります。

31.7.13. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性については「**並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性**」を参照してください。

関連ﾘﾝｸ　230頁の「並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性」

31.8. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの両方はRESETがGNDに引かれている間に直列SPIﾊﾞｽを使ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞできます。この直列ｲﾝﾀｰﾌｪｰｽはSCK入力、MOSI入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令が初めに実行されるのを必要とします。

注: 次項でSPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のﾋﾟﾝ配置が一覧されます。全てのﾃﾞﾊﾞｲｽが内部SPIｲﾝﾀｰﾌｪｰｽに対する専用SPIﾋﾟﾝを使うとは限りません。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞについての記述全てでMOSIとMISOが各々直列入力と直列出力の記述に使われます。ATmega128Aについて、これらのﾋﾟﾝはPDIとPDOに割り当てられます。

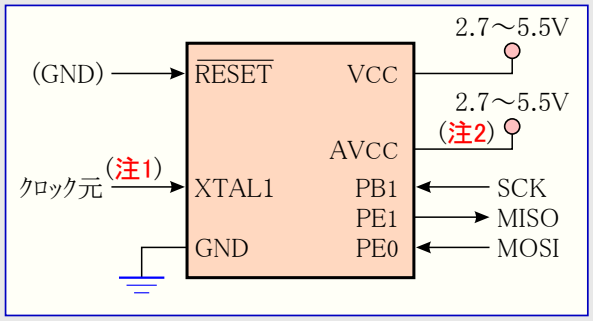
31.8.1. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾋﾟﾝ配置

SPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽがSPI I/O部を流用すると言え、1つの重要な違い、SPI I/O部でPB2とPB3に配置されるMOSI/MISOﾋﾟﾝがこのﾌﾟﾛｸﾞﾗﾐﾝｸﾞｲﾝﾀｰﾌｪｰｽで使われないことがあります。代わりに次表で示されるようにPE0とPE1がSPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作のﾃﾞｰﾀに使われます。

表31-13. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾋﾟﾝ配置

信号名	ﾋﾟﾝ名	入出力	機能
MOSI (PDI)	PE0	入力	直列ﾃﾞｰﾀ入力
MISO (PDO)	PE1	出力	直列ﾃﾞｰﾀ出力
SCK	PB1	入力	直列ｸﾛｯｸ

図31-7. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



注1: ﾃﾞﾊﾞｲｽが内蔵発振器で動作する場合、XTAL1ﾋﾟﾝにｸﾛｯｸ元を接続する必要はありません。

注2: VCC-0.3V<AVCC<VCC+0.3Vですが、AVCCは常に2.7～5.5V内にすべきです。

EEPROMをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする時に自動消去周期が自動書き込み動作内に組み入れられ(直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞのみ)、ﾁｯﾌﾟ消去命令を初めに実行する必要がありません。ﾁｯﾌﾟ消去操作はﾌﾟﾛｸﾞﾗﾑ(ﾌﾗｯｼｭ ﾒﾓﾘ)とEEPROM両方の全てのﾒﾓﾘ位置の内容を$FFにします。

CKSELﾋｭｰｽﾞによる有効なｸﾛｯｸが与えられなければなりません。直列ｸﾛｯｸ(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

f_{CK}＜12MHz：Low区間＞2CPUｸﾛｯｸ周期　　f_{CK}＜12MHz：High区間＞2CPUｸﾛｯｸ周期
f_{CK}≧12MHz：Low区間＞3CPUｸﾛｯｸ周期　　f_{CK}≧12MHz：High区間＞3CPUｸﾛｯｸ周期

31.8.2. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

ATmega128Aに直列ﾃﾞｰﾀを書く時にﾃﾞｰﾀはSCKの上昇端で、ATmega128Aから読む時にﾃﾞｰﾀはSCKの下降端で行われます。ﾀｲﾐﾝｸﾞの詳細については図31-8.を参照してください。

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのATmega128Aのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合は次の手順が推奨されます(4ﾊﾞｲﾄ命令形式は表31-15.を参照)。

1. 電源投入手順:
   RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのｼｽﾃﾑで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2CPUｸﾛｯｸ周期幅の正ﾊﾟﾙｽを与えられなければなりません。
   RESET信号を使う代わりとして、SCKがLow(0)に設定される間の電源ONﾘｾｯﾄ中、PENをLowに保持できます。この場合、電源ONﾘｾｯﾄでのPEN値だけが重要です。電源投入中、SCKがLowに保持されるのを書き込み器が保証できない場合、このPEN手法は使えません。この方法を使うと、通常動作を始めるためにﾃﾞﾊﾞｲｽは電源を落とされなければなりません。
2. 最低20ms待ち、MOSIﾋﾟﾝにﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を送ることによって直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可してください。
3. 通信が同期を外していると、直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令は動作しません。同期していると、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令の第3ﾊﾞｲﾄ送出時に第2ﾊﾞｲﾄ($53)が戻ります。この戻りが正しいかどうかによらず、命令の4ﾊﾞｲﾄ全てが送信されなければなりません。$53が戻らない場合、RESETに正ﾊﾟﾙｽを与え、新規ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を行ってください。
4. ﾌﾗｯｼｭ ﾒﾓﾘは1ﾍﾟｰｼﾞ単位で書かれます。ﾍﾟｰｼﾞ容量は表31-7.で得られます。このﾒﾓﾘ ﾍﾟｰｼﾞはﾍﾟｰｼﾞ設定命令と共にｱﾄﾞﾚｽの下位7+1ﾋﾞｯﾄとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄづつ設定されます。ﾍﾟｰｼﾞが正しく設定されるのを保証するため、与えられたｱﾄﾞﾚｽにﾃﾞｰﾀ上位ﾊﾞｲﾄが適用される前にﾃﾞｰﾀ下位ﾊﾞｲﾄが設定されなければなりません。(ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ)のﾍﾟｰｼﾞはｱﾄﾞﾚｽの上位9ﾋﾞｯﾄを含むﾍﾟｰｼﾞ書き込み命令の設定によって(ﾌﾗｯｼｭ ﾒﾓﾘに)格納されます。ﾎﾟｰﾘﾝｸﾞが使われない場合、使用者は次のﾍﾟｰｼﾞを行う前に最低t_{WD_FLASH}(表31-14.参照)待たなければなりません。
   注: 何れの(ﾌﾗｯｼｭ、EEPROM、施錠ﾋﾞｯﾄ、ﾋｭｰｽﾞ)書き込み操作が完了される前にﾎﾟｰﾘﾝｸﾞ(読み)以外の命令が加えられると、不正な書き込みに終わるかもしれません。
5. EEPROMは適切なEEPROM書き込み命令と共にｱﾄﾞﾚｽとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄ単位で書かれます。EEPROMのﾒﾓﾘ位置は新規ﾃﾞｰﾀが書かれるのに先立って始めで自動的に消去されます。ﾎﾟｰﾘﾝｸﾞが使われない場合、次のﾊﾞｲﾄを行う前に最低t_{WD_EEPROM}(表31-14.参照)待たなければなりません。
6. どのﾒﾓﾘ位置も選択したｱﾄﾞﾚｽの内容を直列出力MISOに読み戻す読み出し命令を使うことによって照合できます。
7. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

8. 電源OFF手順（必要とされるならば）
   - RESETをHigh(1)に設定します。
   - VCC電源をOFFにします。

31.8.3. フラッシュ メモリのデータ ポーリング

フラッシュ メモリにページが書かれつつある時の書かれているページ内のアドレス位置読み出しは値$FFを与えます。デバイスが新規ページに対する準備ができると、書いた値が正しく読めます。これは次ページが書ける時を決めるのに使われます。ページ全体が同時に書かれ、ページ内のどのアドレスでもポーリングに使えることに留意してください。フラッシュ メモリのデータ ポーリングは値$FFに対して行えないので、この値を書く時に使用者は次ページを書く前に最低t_{WD_FLASH}待たなければなりません。全ての場所が$FFのチップ消去されたデバイスは$FFデータのアドレスの書き込みを飛ばせます。t_{WD_FLASH}値については次項の表をご覧ください。

31.8.4. EEPROMのデータ ポーリング

新規バイト(書き込み命令)が書かれてEEPROM内に書かれつつある時のその書かれているアドレス位置読み出しは値$FFを与えます。デバイスが新規バイトに対する準備ができると、書いた値が正しく読めます。これは次バイトが書ける時を決めるのに使われます。これは値$FFに対して行えませんが、使用者は次のことを覚えておくべきです。全ての場所が$FFのチップ消去されたデバイスは$FFデータのアドレスの書き込みを飛ばせます。これはデバイスをチップ消去せずにEEPROMが書き換えられる場合には適用しません。この場合、データ ポーリングは値$FFに対して使えず、次バイト書き込み前に最低$t_{WD_EEPROM}$待たなければなりません。$t_{WD_EEPROM}$値については右表をご覧ください。

表31-14. ヒューズ, フラッシュ, EEPROM次位置書き込み前待機時間

シンボル	最低待機時間	備考
t_{WD_FUSE}	4.5ms	ヒューズ書き込み
t_{WD_FLASH}	5ms	フラッシュ メモリ書き込み
t_{WD_EEPROM}	10ms	EEPROM書き込み
t_{WD_ERASE}	10ms	チップ消去

図31-8. 直列プログラミング バイト通信波形

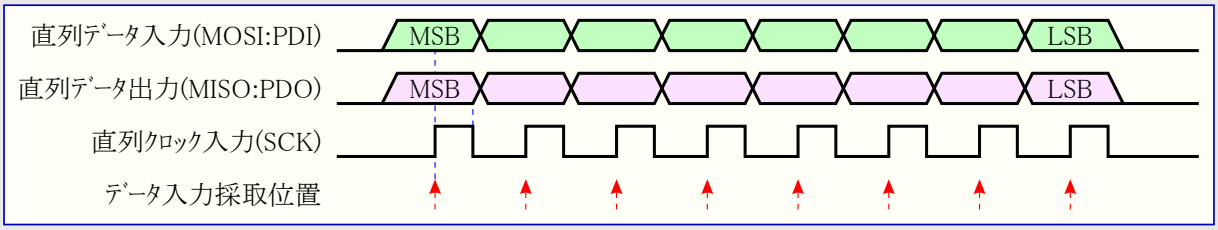


表31-15. 直列プログラミング命令一式

命令	命令形式 第1バイト	第2バイト	第3バイト	第4バイト	動作
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low後のプログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュ メモリ,EEPROM,施錠ビットを消去します。
フラッシュ メモリ読み出し	0010 P000	HHHH HHHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
ページ一時緩衝部設定	0100 P000	0000 xxxx	xLLL LLLL	WWWW WWWW	緩衝部アドレスLのP(H/L)バイトに書き込みます。
フラッシュ ページ書き込み	0100 1100	HHHH HHHH	Lxxx xxxx	xxxx xxxx	アドレスH:Lのページに書き込みます。
EEPROM読み出し	1010 0000	00xx HHHH	LLLL LLLL	RRRR RRRR	アドレスH:Lのバイトを読み出します。
EEPROM書き込み	1100 0000	00xx HHHH	LLLL LLLL	WWWW WWWW	アドレスH:Lのバイトに書き込みます。
施錠ビット読み出し	0101 1000	0000 0000	xxxx xxxx	xxRR RRRR	施錠ビット(表31-1.参照) を読み出します。
施錠ビット書き込み	1010 1100	111x xxxx	xxxx xxxx	11WW WWWW	施錠ビット(表31-1.参照) に書き込みます。
ヒューズ下位読み出し	0101 0000	0000 0000	xxxx xxxx	RRRR RRRR	ヒューズ下位ビット(表31-5.参照) を読み出します。
ヒューズ下位書き込み	1010 1100	1010 0000	xxxx xxxx	WWWW WWWW	ヒューズ下位ビット(表31-5.参照) に書き込みます。
ヒューズ上位読み出し	0101 1000	0000 1000	xxxx xxxx	RRRR RRRR	ヒューズ上位ビット(表31-4.参照) を読み出します。
ヒューズ上位書き込み	1010 1100	1010 1000	xxxx xxxx	WWWW WWWW	ヒューズ上位ビット(表31-4.参照) に書き込みます。
拡張ヒューズ読み出し	0101 0000	0000 1000	xxxx xxxx	RRRR RRRR	拡張ヒューズ ビット(表31-3.参照) を読み出します。
拡張ヒューズ書き込み	1010 1100	1010 0100	xxxx xxxx	WWWW WWWW	拡張ヒューズ ビット(表31-3.参照) に書き込みます。
識票バイト読み出し	0011 0000	00xx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。
校正バイト読み出し	0011 1000	00xx xxxx	0000 00LL	RRRR RRRR	アドレスLの校正バイトを読み出します。

H = アドレス上位バイトのビット　L = アドレス下位バイトのビット　P = 0=下位バイト、1=上位バイト
R = 読み出しデータ (MCU出力)　W = 書き込みデータ (MCU入力)　x = 0または1 (無意味/不定)

31.8.5. 直列プログラミング特性

SPI部の特性については「**SPIタイミング特性**」を参照してください。

関連リンク　232頁の「SPIタイミング特性」

31.9. JTAGインターフェース経由のプログラミング

JTAGインターフェースを通すプログラミングは4つのJTAG仕様ピン、TCK,TMS,TDI,TDOの制御が必要です。RESETピンとクロック ピンの制御は必要とされません。

JTAGインターフェースを使い得るにはJTAGENヒューズがプログラム(0)されなければなりません。本デバイスは既定でこのヒューズがプログラム(0)されて出荷されます。更にMCU制御/状態レジスタ(MCUCSR)のJTAGインターフェース禁止(JTD)ビットが解除(0)されなければなりません。JTDビットが設定(1)の場合、代わりに外部リセットを強制的なLowにできます。その後、2チップ(CPU)クロック後にJTDビットが解除(0)され、JTAGピンはプログラミングに利用できます。これはJTAGインターフェース経由実装書き込みを許すにも拘らず、一方、実行動作で標準ポートピンとしてJTAGピンを使う手段を提供します。境界走査(Boundary-Scan)や内蔵デバッグ機能にJTAGピンを使う時にこの手法が使えないことに注意してください。これらの場合のJTAGピンはその目的専用にされなければなりません。

この資料内の定義では全ての移動レジスタについて入出力ともLSBが最初に移動されます。

関連リンク
185頁の「概要」
187頁の「JTAGプログラミング能力の使用」

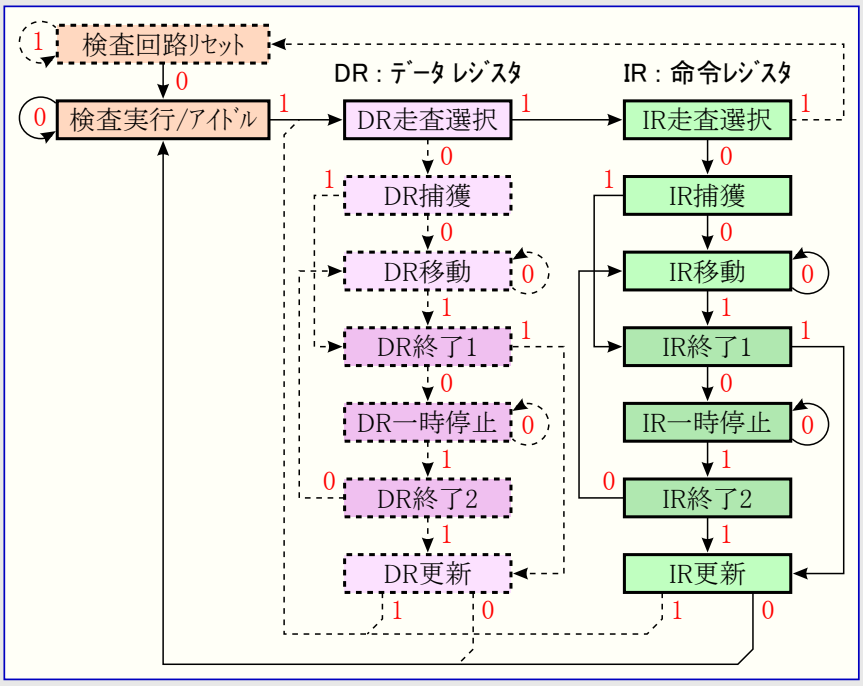
31.9.1. プログラミング特殊JTAG命令

命令レジスタ(IR)は4ビット長で、16種類までの命令を支援します。以下に示される一覧はプログラミングに有用なJTAG命令です。

各命令の命令コードは命令名後の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選択されるデータ レジスタを記述します。

検査入出力ポート(TAP)制御器の検査実行/アイドル状態は内部クロックの発生に使われます。また、JTAG手順間のアイドル状態としても使えます。命令を切り替えるための順次回路の順番は右図で示されます。

図31-9. 命令語変更手順時順次回路状態遷移図



31.9.2. AVR_RESET ($C)

AVRデバイスをリセット状態へ、またはリセット状態から開放するためのAVR固有公開JTAG命令です。この命令によって検査入出力ポート(TAP)制御器はリセットされません。1ビットのリセット レジスタがデータ レジスタ(DR)として選択されます。リセット チェーンに論理1がある限り、リセットが有効であることに注意してください。このチェーンからの出力はラッチされません。 本命令が有効な状態を次に示します。

- **DR移動** : リセット レジスタがTCKクロック入力によって移動されます。

31.9.3. PROG_ENABLE ($4)

JTAGポート経由のプログラミングを許可するためのAVR固有公開JTAG命令です。16ビット長のプログラミング許可レジスタがデータ レジスタ(DR)として選択されます。 本命令が有効な状態を次に示します。

- **DR移動** : プログラミング許可識別子がデータ レジスタに移動入力されます。
- **DR更新** : プログラミング許可識別子が正規値と比較され、識別子が有効なら、プログラミング動作に移行されます。

31.9.4. PROG_COMMANDS ($5)

JTAGポート経由のプログラミング命令移行用のAVR固有公開JTAG命令です。15ビット長のプログラミング命令レジスタがデータ レジスタ(DR)として選択されます。 本命令が有効な状態を次に示します。

- **DR捕獲** : 直前の命令の結果がデータ レジスタに設定されます。
- **DR移動** : データ レジスタがTCK入力により移動され、直前の命令の結果を移動出力し、新規命令を移動入力します。
- **DR更新** : プログラミング命令がフラッシュ メモリ入力に適用されます。
- **検査実行/アイドル** : 1つのクロック周期が生成され、適用された命令を実行します。

31.9.5. PROG_PAGELOAD ($6)

JTAGﾎﾟｰﾄ経由でﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ ﾃﾞｰﾀを直接設定するためのAVR固有公開JTAG命令です。2048ﾋﾞｯﾄ長の仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選択されます。これはﾌﾗｯｼｭ ﾒﾓﾘ 1ﾍﾟｰｼﾞ分のﾋﾞｯﾄ数と同じ長さの仮想走査ﾁｪｰﾝ(Scan chain)です。内部的な移動ﾚｼﾞｽﾀは8ﾋﾞｯﾄです。多くのJTAG命令と異なり、移動ﾚｼﾞｽﾀからのﾃﾞｰﾀ転送にDR更新状態が使われません。ﾃﾞｰﾀは内部順次回路により、DR移動状態でﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部へﾊﾞｲﾄ単位で自動的に転送されます。これは(この命令が)活性(有効)な場合だけです。

- **DR移動** : ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ ﾃﾞｰﾀがTCK入力によってTDIから移動入力され、ﾊﾞｲﾄ毎にﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部へ自動的に設定されます。

注: JTAG命令PROG_PAGELOADはAVRﾃﾞﾊﾞｲｽがJTAG走査ﾁｪｰﾝの最初のﾃﾞﾊﾞｲｽの場合にだけ使えます。AVRが走査ﾁｪｰﾝの最初のﾃﾞﾊﾞｲｽでない場合、ﾊﾞｲﾄ単位のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ法が使われなければなりません。

31.9.6. PROG_PAGEREAD ($7)

JTAGﾎﾟｰﾄ経由でﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞの全ﾃﾞｰﾀを取得するためのAVR固有公開JTAG命令です。2056ﾋﾞｯﾄ長の仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選択されます。これはﾌﾗｯｼｭ ﾒﾓﾘ 1ﾍﾟｰｼﾞ＋8ﾋﾞｯﾄ分のﾋﾞｯﾄ数と同じ長さの仮想走査ﾁｪｰﾝ(Scan chain)です。内部的な移動ﾚｼﾞｽﾀは8ﾋﾞｯﾄです。多くのJTAG命令と異なり、移動ﾚｼﾞｽﾀからのﾃﾞｰﾀ転送にDR捕獲状態が使われません。ﾃﾞｰﾀは内部順次回路により、DR移動状態でﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部からﾊﾞｲﾄ単位で自動的に転送されます。これは(この命令が)活性(有効)な場合だけです。

- **DR移動** : ﾌﾗｯｼｭ ﾒﾓﾘのﾃﾞｰﾀが自動的に(ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部から)ﾊﾞｲﾄ毎に読まれ、TCK入力によってTDOへ移動出力されます。TDI入力は無視されます。

注: JTAG命令PROG_PAGEREADはAVRﾃﾞﾊﾞｲｽがJTAG走査ﾁｪｰﾝの最初のﾃﾞﾊﾞｲｽの場合にだけ使えます。AVRが走査ﾁｪｰﾝの最初のﾃﾞﾊﾞｲｽでない場合、ﾊﾞｲﾄ単位のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ法が使われなければなりません

31.9.7. ﾃﾞｰﾀ ﾚｼﾞｽﾀ

ﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)は219頁の「ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令」項で記載されたJTAG命令ﾚｼﾞｽﾀ(IR)によって選択されます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作に関連するﾃﾞｰﾀ ﾚｼﾞｽﾀを次に示します。

- **ﾘｾｯﾄ**(Reset)**ﾚｼﾞｽﾀ**
- **ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可**(Programing Enable)**ﾚｼﾞｽﾀ**
- **ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令**(Programing Command)**ﾚｼﾞｽﾀ**
- **仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定**(Virtual Flash Page Load)**ﾚｼﾞｽﾀ**
- **仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得**(Virtual Flash Page Read)**ﾚｼﾞｽﾀ**

31.9.8. ﾘｾｯﾄ (Reset) ﾚｼﾞｽﾀ

ﾘｾｯﾄ ﾚｼﾞｽﾀはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、ﾃﾞﾊﾞｲｽをﾘｾｯﾄするのに使われる検査ﾃﾞｰﾀ ﾚｼﾞｽﾀです。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行に先立ってﾃﾞﾊﾞｲｽをﾘｾｯﾄするのに必要とされます。

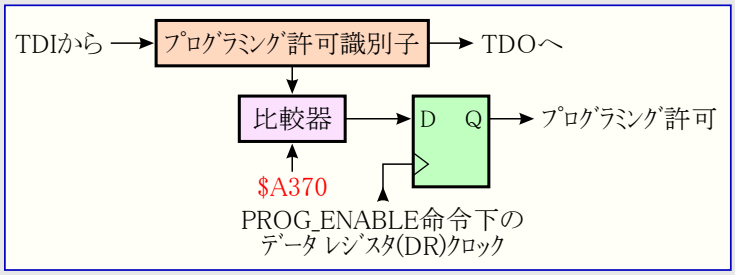
ﾘｾｯﾄ ﾚｼﾞｽﾀ内の値1は外部RESETをLowに引き込むことに相当します。ﾘｾｯﾄ ﾚｼﾞｽﾀ内の値が1である限り、ﾃﾞﾊﾞｲｽはﾘｾｯﾄされます。ﾘｾｯﾄ ﾚｼﾞｽﾀの開放後、ﾃﾞﾊﾞｲｽはｸﾛｯｸ種別ﾋｭｰｽﾞ設定に従ってﾘｾｯﾄ起動遅延時間(「**ｸﾛｯｸ元**」参照)分ﾘｾｯﾄを維持します。「ﾘｾｯﾄ ﾚｼﾞｽﾀ」図で示されるようにこのﾃﾞｰﾀ ﾚｼﾞｽﾀからの出力はﾗｯﾁされず、それ故ﾘｾｯﾄが直ちに起こります。

関連ﾘﾝｸ 189頁の「ﾘｾｯﾄ ﾚｼﾞｽﾀ」
30頁の「ｸﾛｯｸ元」

31.9.9. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可 (Programing Enable) ﾚｼﾞｽﾀ

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀは16ﾋﾞｯﾄ長のﾚｼﾞｽﾀです。このﾚｼﾞｽﾀの内容はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子$A370(1010 0011 0111 0000)と比較されます。このﾚｼﾞｽﾀの内容がﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子と一致すると、JTAGﾎﾟｰﾄ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞが許可されます。このﾚｼﾞｽﾀは電源ONﾘｾｯﾄで0にﾘｾｯﾄされ、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を抜ける時には常にﾘｾｯﾄされるべきです。

図31-10. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可 ﾚｼﾞｽﾀ



31.9.10. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令 (Programing Command) ﾚｼﾞｽﾀ

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令ﾚｼﾞｽﾀは15ﾋﾞｯﾄ長のﾚｼﾞｽﾀです。このﾚｼﾞｽﾀはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を連続的に移動入力し、直前のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令の結果を連続的に移動出力するのに使われます。JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式は次表で示されます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を移動入力する時の状態順は本項内の更に後の図31-12.で図解されます。

図31-11. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令 ﾚｼﾞｽﾀ

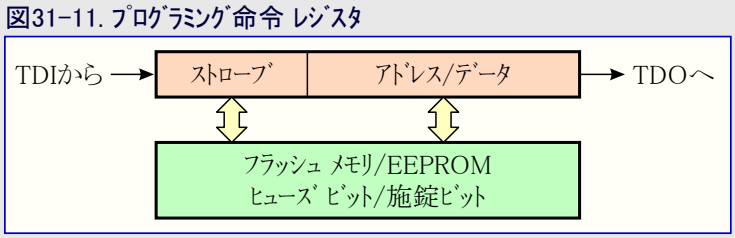


表31-16. JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式（手順）

		命令	TDI入力	TDO出力	備考
チップ消去			010 0011 1000 0000	xxx xxxx xxxx xxxx	
	1①	チップ消去	011 0001 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
	1②	チップ消去完了検査	011 0011 1000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュメモリ書き込み	2①	フラッシュ書き込み移行	010 0011 0001 0000	xxx xxxx xxxx xxxx	
	2②	アドレス上位バイト設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	2③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	2④	データ下位バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	2⑤	データ上位バイト設定	001 0111 WWWW WWWW	xxx xxxx xxxx xxxx	
	2⑥	データ ラッチ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2⑦	ページ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2⑧	ページ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュ読出し	3①	フラッシュ読み出し移行	010 0011 0000 0010	xxx xxxx xxxx xxxx	
	3②	アドレス上位バイト設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	3③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	3④	データ下位/上位バイト取得	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位バイト
			011 0111 0000 0000	xxx xxxx RRRR RRRR	上位バイト
EEPROM書き込み	4①	EEPROM書き込み移行	010 0011 0001 0001	xxx xxxx xxxx xxxx	
	4②	アドレス上位バイト設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	4③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	4④	データ バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	4⑤	データ ラッチ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	4⑥	EEPROM書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	4⑦	EEPROM書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
EEPROM読出し	5①	EEPROM読み出し移行	010 0011 0000 0011	xxx xxxx xxxx xxxx	
	5②	アドレス上位バイト設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	5③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	5④	EEPROM読み出し	011 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
			011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
ヒューズ ビット書き込み	6①	ヒューズ書き込み移行	010 0011 0100 0000	xxx xxxx xxxx xxxx	
	6②	データ下位バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ビット配置は209頁の表31-3.参照
	6③	拡張ヒューズ書き込み	011 1011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 1001 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
	6④	拡張ヒューズ書き込み完了検査	011 1011 0000 0000	xxx xxSx xxxx xxxx	(注2)
	6⑤	データ下位バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ビット配置は209頁の表31-4.参照
	6⑥	上位側ヒューズ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	6⑦	上位ヒューズ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
	6⑧	データ下位バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ビット配置は209頁の表31-5.参照
	6⑨	下位側ヒューズ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	6⑩	下位ヒューズ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)

次頁へ続く

表31-16 (続き). JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令			TDI入力	TDO出力	備考
施錠ﾋﾞｯﾄ書き込み	7①	施錠ﾋﾞｯﾄ書き込み移行	010 0011 0010 0000	xxx xxxx xxxx xxxx	
	7②	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 11WW WWWW	xxx xxxx xxxx xxxx	(注4) ﾋﾞｯﾄ配置は208頁の表31-1.参照
	7③	施錠ﾋﾞｯﾄ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	7④	施錠ﾋﾞｯﾄ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し	8①	ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し移行	010 0011 0000 0100	xxx xxxx xxxx xxxx	
	8②	拡張ﾋｭｰｽﾞ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx RRRR RRRR	(注5) ﾋﾞｯﾄ配置は209頁の表31-3.参照
	8③	上位側ﾋｭｰｽﾞ読み出し	011 1110 0000 0000	xxx xxxx xxxx xxxx	
			011 1111 0000 0000	xxx xxxx RRRR RRRR	(注5) ﾋﾞｯﾄ配置は209頁の表31-4.参照
	8④	下位側ﾋｭｰｽﾞ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	(注5) ﾋﾞｯﾄ配置は209頁の表31-5.参照
	8⑤	施錠ﾋﾞｯﾄ読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxRR RRRR	(注5) ﾋﾞｯﾄ配置は208頁の表31-1.参照
	8⑥	ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	
			011 1110 0000 0000	xxx xxxx RRRR RRRR	拡張ﾋｭｰｽﾞ (注5)
			011 0010 0000 0000	xxx xxxx RRRR RRRR	上位ﾋｭｰｽﾞ (注5)
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位ﾋｭｰｽﾞ (注5)
			011 0111 0000 0000	xxx xxxx RRRR RRRR	施錠ﾋﾞｯﾄ (注5)
識票ﾊﾞｲﾄ	9①	識票ﾊﾞｲﾄ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	9②	ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	9③	識票ﾊﾞｲﾄ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
校正ﾊﾞｲﾄ	10①	校正ﾊﾞｲﾄ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	10②	ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	10③	校正ﾊﾞｲﾄ読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx RRRR RRRR	
	11①	無操作設定	010 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	

H = ｱﾄﾞﾚｽ上位ﾊﾞｲﾄのﾋﾞｯﾄ　L = ｱﾄﾞﾚｽ下位ﾊﾞｲﾄのﾋﾞｯﾄ　S = 動作完了ﾌﾗｸﾞ
R = 読み出しﾃﾞｰﾀ (MCU出力)　W = 書き込みﾃﾞｰﾀ (MCU入力)　x = 0か1 (無効/無意味)

注1 ： この命令は直前の命令手順によって上位7ﾋﾞｯﾄが正しく設定されている(通常の)場合、必要ではありません。

注2 ： Sが1になるまで繰り返します。(待機)

注3 ： 設定値0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑです。

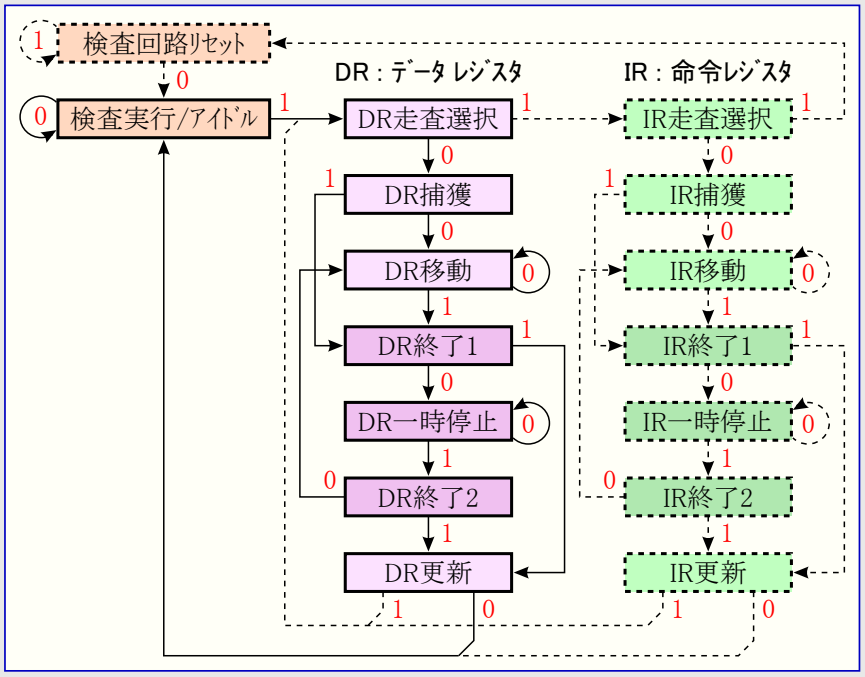
注4 ： 設定値0でﾌﾟﾛｸﾞﾗﾑ、1では施錠ﾋﾞｯﾄが変化しません。

注5 ： 読み出し値0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑです。

(訳注) 原書での注6～9は表内備考欄に直接記載しました。

注10： PCMSB(表31-7.参照)とEEAMSB(表31-8.参照)を越えるｱﾄﾞﾚｽ ﾋﾞｯﾄは無効です。

図31-12. ﾃﾞｰﾀ語変更/読み出し手順時順次回路状態遷移図

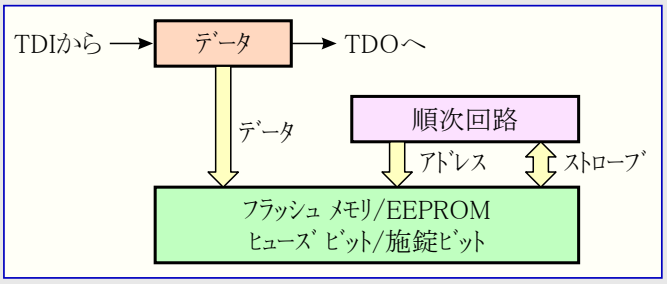


関連ﾘﾝｸ　210頁の「ﾍﾟｰｼﾞ容量」

31.9.11. 仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定 (Virtual Flash Page Load) ﾚｼﾞｽﾀ

仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定ﾚｼﾞｽﾀはﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞと等しいﾋﾞｯﾄ長の仮想走査ﾁｪｰﾝ(Scan chain)です。内部的な移動ﾚｼﾞｽﾀは8ﾋﾞｯﾄで、ﾃﾞｰﾀはﾊﾞｲﾄ単位でﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部へ自動的に転送されます。ﾍﾟｰｼﾞ内への全命令語(ﾃﾞｰﾀ)の移動入力はﾍﾟｰｼﾞ内の最初のｺｰﾄﾞのLSBから始まり、ﾍﾟｰｼﾞ内の最終ｺｰﾄﾞのMSBで終了します。これはﾍﾟｰｼﾞ書き込みを実行する前にﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部全体を設定する効率的な方法を提供します。

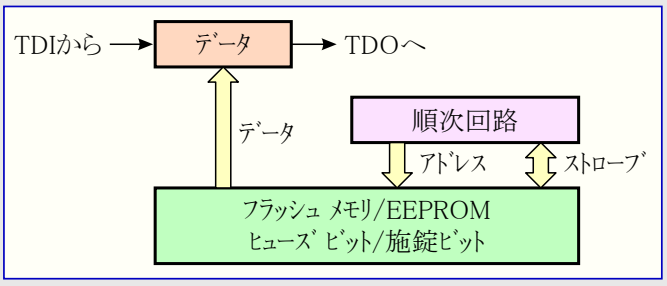
図31-13. 仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定 ﾚｼﾞｽﾀ



31.9.12. 仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得 (Virtual Flash Page Read) ﾚｼﾞｽﾀ

仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得ﾚｼﾞｽﾀはﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞと等しいﾋﾞｯﾄ数+8ﾋﾞｯﾄの仮想走査ﾁｪｰﾝ(Scan chain)です。内部的な移動ﾚｼﾞｽﾀは8ﾋﾞｯﾄで、ﾃﾞｰﾀはﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部からﾊﾞｲﾄ単位で自動的に転送されます。最初の8ｸﾛｯｸは先頭ﾊﾞｲﾄを内部移動ﾚｼﾞｽﾀへ転送するのに使われ、この8ｸﾛｯｸ中に移動出力されたﾋﾞｯﾄは無視されるべきです。この初期化に続いて、ﾍﾟｰｼﾞ内の最初のｺｰﾄﾞのLSBから始まり、ﾍﾟｰｼﾞ内の最後のｺｰﾄﾞのMSBで終了するﾃﾞｰﾀが移動出力されます。これは書き込み確認のためにﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞ全体を読み出す効率的な方法を提供します。

図31-14. 仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得 ﾚｼﾞｽﾀ



31.9.13. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手法

1①、1②形式のような以下の全ての参照は表31-16.を参照してください。

31.9.14. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

1. JTAG命令AVR_RESETを入力し、ﾘｾｯﾄ ﾚｼﾞｽﾀに1を移動します。
2. PROG_ENABLE命令を入力し、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀに$A370(1010 0011 0111 0000)を移動します。

31.9.15. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作からの抜け出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 無操作命令(11①参照)により、全てのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を禁止します。
3. PROG_ENABLE命令を入力し、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀに$0000(0000 0000 0000 0000)を移動します。
4. JTAG命令AVR_RESETを入力し、ﾘｾｯﾄ ﾚｼﾞｽﾀに0を移動します。

31.9.16. ﾁｯﾌﾟ消去の実行

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾁｯﾌﾟ消去命令(1①参照)を使い、ﾁｯﾌﾟ消去を開始します。
3. ﾁｯﾌﾟ消去完了検査(1②参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH_CE(表32-7.参照)時間待ちます。

関連ﾘﾝｸ　230頁の「並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性」

31.9.17. ﾌﾗｯｼｭ ﾒﾓﾘの書き込み

ﾌﾗｯｼｭ ﾒﾓﾘへ書き込む前にﾁｯﾌﾟ消去が実行されなければなりません。上記の「ﾁｯﾌﾟ消去の実行」をご覧ください。

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾌﾗｯｼｭ書き込み移行命令(2①参照)を使い、ﾌﾗｯｼｭ ﾒﾓﾘ書き込みを許可します。
3. ｱﾄﾞﾚｽ上位設定命令(2②参照)を使い、書き込みｱﾄﾞﾚｽ上位ﾊﾞｲﾄを設定します。
4. ｱﾄﾞﾚｽ下位設定命令(2③参照)を使い、書き込みｱﾄﾞﾚｽ下位ﾊﾞｲﾄを設定します。
5. ﾃﾞｰﾀ設定命令(2④, 2⑤, 2⑥参照)を使い、書き込みﾃﾞｰﾀを設定します。
6. ﾍﾟｰｼﾞ内の全語(ﾜｰﾄﾞ)数分4.と5.を繰り返します。
7. ﾍﾟｰｼﾞ書き込み命令(2⑦参照)を使い、ﾍﾟｰｼﾞをﾌﾗｯｼｭ ﾒﾓﾘに書き込みます。
8. ﾍﾟｰｼﾞ書き込み完了検査(2⑧参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH_FLASH(表32-7.参照)時間待ちます。
9. 全ﾃﾞｰﾀ書き込みまで3.～8.を繰り返します。

より効率的なﾃﾞｰﾀ転送はPROG_PAGELOAD命令を使うことで達せられます。

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾌﾗｯｼｭ書き込み移行命令(2①参照)を使い、ﾌﾗｯｼｭ ﾒﾓﾘ書き込みを許可します。
3. ｱﾄﾞﾚｽ設定命令(2②, 2③参照)を使い、ﾍﾟｰｼﾞ ｱﾄﾞﾚｽを設定します。ﾍﾟｰｼﾞ内ｱﾄﾞﾚｽにはPCWORD(210頁の表31-7.参照)が使われ、これらのﾋﾞｯﾄは0として書かれなければなりません。
4. JTAG命令PROG_PAGELOADを入力します。
5. ﾍﾟｰｼﾞ内の最初のｺｰﾄﾞのLSBから始まって最後のｺｰﾄﾞのMSBで終了するﾍﾟｰｼﾞ内に全ｺｰﾄﾞ ﾃﾞｰﾀを移動してﾍﾟｰｼﾞ全体を設定します。
6. JTAG命令PROG_COMMANDSを入力します。
7. ﾍﾟｰｼﾞ書き込み命令(2⑦参照)を使い、ﾍﾟｰｼﾞをﾌﾗｯｼｭ ﾒﾓﾘに書き込みます。
8. ﾍﾟｰｼﾞ書き込み完了検査(2⑧参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH_FLASH(表32-7.参照)時間待機します。
9. 全ﾃﾞｰﾀ書き込みまで3.～8.を繰り返します。

関連ﾘﾝｸ　230頁の「並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性」

31.9.18. ﾌﾗｯｼｭ ﾒﾓﾘの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾌﾗｯｼｭ読み出し移行命令(3①参照)を使い、ﾌﾗｯｼｭ ﾒﾓﾘ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(3②, 3③参照)を使い、読み出しｱﾄﾞﾚｽを設定します。
4. ﾃﾞｰﾀ読み出し命令(3④参照)を使い、ﾃﾞｰﾀを読み出します。
5. 全ﾃﾞｰﾀ読み出しまで3.～4.を繰り返します。

より効率的なﾃﾞｰﾀ転送はPROG_PAGEREAD命令を使うことで達せられます。

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾌﾗｯｼｭ読み出し移行命令(3①参照)を使い、ﾌﾗｯｼｭ ﾒﾓﾘ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(3②, 3③参照)を使い、ﾍﾟｰｼﾞ ｱﾄﾞﾚｽを設定します。ﾍﾟｰｼﾞ内ｱﾄﾞﾚｽにはPCWORD(210頁の表31-7.参照)が使われ、これらのﾋﾞｯﾄは0として書かれなければなりません。
4. JTAG命令PROG_PAGEREADを入力します。
5. ﾍﾟｰｼﾞ内の最初のｺｰﾄﾞのLSBから始まって最後のｺｰﾄﾞのMSBで終了するﾍﾟｰｼﾞ内の全ｺｰﾄﾞ ﾃﾞｰﾀを移動し、ﾍﾟｰｼﾞ全体を読み出します。最初に移動出力される8ﾋﾞｯﾄが無視されるべきことに留意してください。
6. JTAG命令PROG_COMMANDSを入力します。
7. 全ﾃﾞｰﾀ読み出しまで3.～6.を繰り返します。

31.9.19. EEPROMの書き込み

EEPROMへ書き込む前にﾁｯﾌﾟ消去が実行されなければなりません。上記の「ﾁｯﾌﾟ消去の実行」をご覧ください。

1. JTAG命令PROG_COMMANDSを入力します。
2. EEPROM書き込み移行命令(4①参照)を使い、EEPROMﾒﾓﾘ書き込みを許可します。
3. ｱﾄﾞﾚｽ上位設定命令(4②参照)を使い、書き込みｱﾄﾞﾚｽ上位ﾊﾞｲﾄを設定します。
4. ｱﾄﾞﾚｽ下位設定命令(4③参照)を使い、書き込みｱﾄﾞﾚｽ下位ﾊﾞｲﾄを設定します。
5. ﾃﾞｰﾀ設定命令(4④, 4⑤参照)を使い、書き込みﾃﾞｰﾀを設定します。
6. ﾍﾟｰｼﾞ内の全ﾊﾞｲﾄ数分4.と5.を繰り返します。
7. EEPROM書き込み命令(4⑥参照)を使い、ﾃﾞｰﾀをEEPROMﾒﾓﾘに書き込みます。
8. EEPROM書き込み完了検査(4⑦参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表32-7.参照)時間待ちます。
9. 全ﾃﾞｰﾀ書き込みまで3.～8.を繰り返します。

PROG_PAGELOAD命令がEEPROM書き込み時に使えないことに注意してください。

関連リンク　230頁の「並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性」

31.9.20. EEPROMの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. EEPROM読み出し移行命令(5①参照)を使い、EEPROMﾒﾓﾘ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(5②, 5③参照)を使い、読み出しｱﾄﾞﾚｽを設定します。
4. ﾃﾞｰﾀ読み出し命令(5④参照)を使い、ﾃﾞｰﾀを読み出します。
5. 全ﾃﾞｰﾀ読み出しまで3.～4.を繰り返します。

PROG_PAGEREAD命令がEEPROM読み出し時に使えないことに注意してください。

31.9.21. ﾋｭｰｽﾞﾋﾞｯﾄの書き込み

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾋｭｰｽﾞ書き込み移行命令(6①参照)を使い、ﾋｭｰｽﾞ書き込みを許可します。
3. 拡張ﾃﾞｰﾀ設定命令(6②参照)を使い、拡張ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
4. 拡張ﾋｭｰｽﾞ書き込み命令(6③参照)を使い、拡張ﾋｭｰｽﾞを書き込みます。
5. ﾋｭｰｽﾞ書き込み完了検査(6④参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表32-7.参照)時間待ちます。
6. 上位ﾃﾞｰﾀ設定命令(6⑤参照)を使い、上位側ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
7. 上位ﾋｭｰｽﾞ書き込み命令(6⑥参照)を使い、上位側ﾋｭｰｽﾞを書き込みます。
8. ﾋｭｰｽﾞ書き込み完了検査(6⑦参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表32-7.参照)時間待ちます。
9. 下位ﾃﾞｰﾀ設定命令(6⑧参照)を使い、下位側ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
10. 下位ﾋｭｰｽﾞ書き込み命令(6⑨参照)を使い、下位側ﾋｭｰｽﾞを書き込みます。
11. ﾋｭｰｽﾞ書き込み完了検査(6⑩参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表32-7.参照)時間待ちます。

関連リンク　230頁の「並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性」

31.9.22. 施錠ﾋﾞｯﾄの書き込み

1. JTAG命令PROG_COMMANDSを入力します。
2. 施錠ﾋﾞｯﾄ書き込み移行命令(7①参照)を使い、施錠ﾋﾞｯﾄ書き込みを許可します。
3. ﾃﾞｰﾀ設定命令(7②参照)を使い、施錠ﾋﾞｯﾄ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=無変化)
4. 施錠ﾋﾞｯﾄ書き込み命令(7③参照)を使い、施錠ﾋﾞｯﾄに書き込みます。
5. 施錠ﾋﾞｯﾄ書き込み完了検査(7④参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表32-7.参照)時間待ちます。

関連リンク　230頁の「並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性」

31.9.23. ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し移行命令(8①参照)を使い、ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出しを許可します。
3. 全てのﾋｭｰｽﾞと施錠ﾋﾞｯﾄを読むにはﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し命令(8⑥参照)を使います。
   拡張ﾋｭｰｽﾞ ﾋﾞｯﾄのみを読み出す場合は拡張ﾋｭｰｽﾞ読み出し命令(8②参照)を使います。
   上位側ﾋｭｰｽﾞ ﾋﾞｯﾄだけを読むには上位ﾋｭｰｽﾞ読み出し命令(8③参照)を使います。
   下位側ﾋｭｰｽﾞ ﾋﾞｯﾄだけを読むには下位ﾋｭｰｽﾞ読み出し命令(8④参照)を使います。
   施錠ﾋﾞｯﾄだけを読むには施錠ﾋﾞｯﾄ読み出し命令(8⑤参照)を使います。

31.9.24. 識票ﾊﾞｲﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 識票読み出し移行命令(9①参照)を使い、識票読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(9②参照)を使い、読み出しｱﾄﾞﾚｽ$00を設定します。
4. ﾃﾞｰﾀ読み出し命令(9③参照)を使い、識票ﾊﾞｲﾄを読み出します。
5. 第2、第3ﾊﾞｲﾄを読むためにｱﾄﾞﾚｽを$01,$02として各々3.～4.を繰り返します。

31.9.25. 校正ﾊﾞｲﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 校正ﾊﾞｲﾄ読み出し移行命令(10①参照)を使い、校正ﾊﾞｲﾄ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(10②参照)を使い、読み出しｱﾄﾞﾚｽ$00を設定します。
4. ﾃﾞｰﾀ読み出し命令(10③参照)を使い、校正ﾊﾞｲﾄを読み出します。

(訳注) 校正ﾊﾞｲﾄは4ﾊﾞｲﾄですので上記説明は不適切です。識票ﾊﾞｲﾄと同様な手法が予測されます(未確認)。

32. 電気的特性

表32-1. 絶対最大定格

動作温度	-55℃～+125℃
保存温度	-65℃～+150℃
RESETを除くﾋﾟﾝ許容電圧	-0.5V～VCC+0.5V
RESETﾋﾟﾝ許容電圧	-0.5V～+13.0V
最大動作電圧	6.0V
入出力ﾋﾟﾝ毎のDC電流	40.0mA
VCCとGNDﾋﾟﾝのDC電流	200.0～400.0mA

注: 絶対最大定格を超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

32.1. DC特性

表32-2. TA=-40℃～85℃, VCC=2.7V～5.5V (特記事項を除く)

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
V_{IL}	Lowﾚﾍﾞﾙ入力電圧 (XTAL1,RESETを除く)	VCC=2.7～5.5V	-0.5		0.2VCC (注1)	V
V_{IL1}	Lowﾚﾍﾞﾙ入力電圧 (XTAL1)	VCC=2.7～5.5V	-0.5		0.1VCC (注1)	
V_{IL2}	Lowﾚﾍﾞﾙ入力電圧 (RESET)	VCC=2.7～5.5V	-0.5		0.2VCC (注1)	
V_{IH}	Highﾚﾍﾞﾙ入力電圧 (XTAL1,RESETを除く)	VCC=2.7～5.5V	0.6VCC (注2)		VCC+0.5	
V_{IH1}	Highﾚﾍﾞﾙ入力電圧 (XTAL1)	VCC=2.7～5.5V	0.7VCC (注2)		VCC+0.5	
V_{IH2}	Highﾚﾍﾞﾙ入力電圧 (RESET)	VCC=2.7～5.5V	0.85VCC (注2)		VCC+0.5	
V_{OL}	Lﾚﾍﾞﾙ出力電圧 (注3)	IOL=20mA, VCC=5V			0.9	
		IOL=10mA, VCC=3V			0.6	
V_{OH}	Hﾚﾍﾞﾙ出力電圧 (注4)	IOH=-20mA, VCC=5V	4.2			
		IOH=-10mA, VCC=3V	2.2			
I_{IL}	I/Oﾋﾟﾝ Lowﾚﾍﾞﾙ入力漏れ電流	VCC=5.5V 確実なH/L範囲			1	μA
I_{IH}	I/Oﾋﾟﾝ Highﾚﾍﾞﾙ入力漏れ電流				1	
R_{RST}	RESETﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗		30	60	85	kΩ
R_{PEN}	PENﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗		30		60	
R_{PU}	I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗		20		50	
I_{CC}	活動動作消費電流	VCC=3V, 4MHz		3	5.5	mA
		VCC=5V, 8MHz		9.8	19	
	ｱｲﾄﾞﾙ動作消費電流	VCC=3V, 4MHz		1	2.5	
		VCC=5V, 8MHz		3.5	11	
	ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流	VCC=3V, WDT有効		<10	25	μA
		VCC=3V, WDT禁止		<1	10	
V_{ACIO}	ｱﾅﾛｸﾞ比較器入力ｵﾌｾｯﾄ電圧	VCC=5V, Vin=VCC/2			40	mV
I_{ACLK}	ｱﾅﾛｸﾞ比較器入力漏れ電流		-50		50	nA
t_{ACPD}	ｱﾅﾛｸﾞ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=5.0V		500		

注1: Lowﾚﾍﾞﾙの認識が保証される最高電圧です。

注2: Highﾚﾍﾞﾙの認識が保証される最低電圧です。

(注3)～(注4)は次頁を参照してください。

注3: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで20mA、VCC=3Vで10mA)よりも多くの吸い込み電流を流すことができますが、次の条件を厳守しなければなりません。

1. 全ポートのIOLの合計が400mAを超えるべきではありません。
2. ポートA0～A7、C3～C7、G2のIOLの合計が100mAを超えるべきではありません。
3. ポートB0～B7、E0～E7、G3～G4のIOLの合計が100mAを超えるべきではありません。
4. ポートC0～C2、D0～D7、G0～G1とXTAL2のIOLの合計が100mAを超えるべきではありません。
5. ポートF0～F7のIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件よりも大きな吸い込み電流を流すことは保証されません。

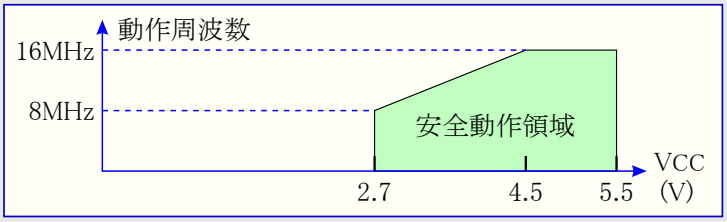
注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで20mA、VCC=3Vで10mA)よりも多くの吐き出し電流を流すことができますが、次の条件を厳守しなければなりません。

1. 全ポートのIOHの合計が400mAを超えるべきではありません。
2. ポートA0～A7、C3～C7、G2のIOHの合計が100mAを超えるべきではありません。
3. ポートB0～B7、E0～E7、G3～G4のIOHの合計が100mAを超えるべきではありません。
4. ポートC0～C2、D0～D7、G0～G1とXTAL2のIOHの合計が100mAを超えるべきではありません。
5. ポートF0～F7のIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件よりも大きな吐き出し電流を流すことは保証されません。

32.2. 速度勾配

図32-1. 最高周波数対VCC



32.3. 外部クロック特性

図32-2. 外部クロック駆動波形

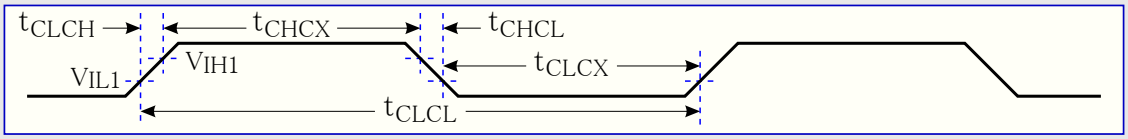


表32-3. 外部クロック特性

シンボル	項目	VCC=2.7～5.5V		VCC=4.5～5.5V		単位
		最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	8	0	16	MHz
tCLCL	クロック周期	125		62.5		
tCHCX	Highレベル時間	50		25		ns
tCLCX	Lowレベル時間	50		25		
tCLCH	上昇時間		1.6		0.5	µs
tCHCL	下降時間		1.6		0.5	
⊿tCLCL	隣接クロック周期間の変化率		2		2	%

表32-4. 代表的な外部RC発振周波数 (VCC=5V)

周波数 f	抵抗 R (kΩ)	容量 C (pF)
650kHz	33	22
2.0MHz	10	22

注: Rの範囲は3～100kΩ、Cは最小20pFとすべきです。表で与えられたCの値はピン容量を含みます。これは外囲器形状や基板配置で変化します。

32.4. システムとリセットの特性

表32-5. リセット、低電圧検出(BOD)、内部基準電圧の特性

シンボル	項目		Min	Typ	Max	単位
V_{POT}	上昇時電源ONリセット閾値電圧			1.4	2.3	V
	下降時電源ONリセット閾値電圧 (注1)			1.3	2.3	
V_{RST}	$\overline{\text{RESET}}$ピン閾値電圧		0.2VCC		0.85VCC	
t_{RST}	リセット パルス幅		1.5			µs
V_{BOT}	低電圧検出閾値電圧 (注2)	BODLEVEL=プログラム(0)	3.7	4.0	4.5	V
		BODLEVEL=非プログラム(1)	2.4	2.7	2.9	
t_{BOT}	最小低電圧検出時間	BODLEVEL=プログラム(0)		2		µs
V_{HYST}	低電圧検出ヒステリシス電圧			100		mV
V_{BG}	基準電圧		1.15	1.23	1.40	V
t_{BG}	起動時間			40	70	µs
I_{BG}	消費電流			10		µA

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

注2: V_{BOT}はいくつかのデバイスについて公称最小動作電圧以下かもしれません。この状態のデバイスについて、そのデバイスは製造検査中にVCC=V_{BOT}へ落として検査されます。これはVCCがマイクロ コントローラの正しい動作がもはや保証されない電圧へ落ちる前に低電圧(BOD)リセットが起きることを保証します。この検査はBODLEVEL=0とBODLEVEL=1を用いて行われます。

32.5. 2線直列インターフェース特性

下表は2線直列バスに接続した装置に対する必要条件を記述します。ATmega128Aの2線直列インターフェースは記載条件下で、これらの必要条件を越えるか、または合致します。

図32-3. 2線直列バス タイミング

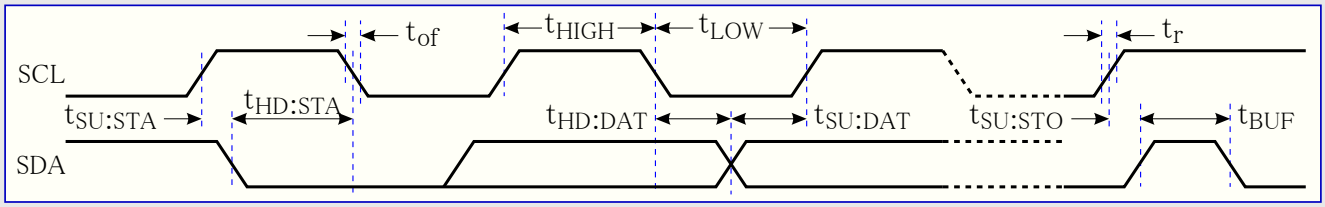


表32-6. 2線直列インターフェース必要条件

シンボル	項目	条件	最小	最大	単位
V_{IL}	Lowレベル入力電圧		-0.5	0.3VCC	V
V_{IH}	Highレベル入力電圧		0.7VCC	VCC+0.5	
Vhys ①	シュミット トリガ入力ヒステリシス電圧		② 0.05VCC		
V_{OL} ①	Lowレベル出力電圧	I_{OL}=3mA	0	0.4	
t_r ①	出力上昇時間(V_{ILmin}→V_{IHmax})		② 20+0.1Cb ③	300	ns
t_{of} ①	出力下降時間(V_{IHmin}→V_{ILmax})	10pF<Cb<400pF ③	② 20+0.1Cb ③	250	
t_{SP} ①	入力パルス最小幅(尖頭消去濾波)		0	② 50	
Ii	入力電流(ピン単位)	0.1VCC<Vi<0.9VCC	-10	10	µA
Ci ①	ピン入力容量			10	pF
f_{SCL}	SCLクロック周波数 ④⑤	f_{CK}>max(16f_{SCL},250kHz)	0	400	kHz
Rp	プルアップ抵抗値	f_{SCL}≦100kHz	(VCC-0.4V)/3mA	1000ns/Cb	Ω
		f_{SCL}＞100kHz	(VCC-0.4V)/3mA	300ns/Cb	
$t_{HD:STA}$	(再送)開始条件保持時間	f_{SCL}≦100kHz	4.0		µs
		f_{SCL}＞100kHz	0.6		
t_{LOW}	SCLクロックLowレベル時間	f_{SCL}≦100kHz	4.7		
		f_{SCL}＞100kHz	1.3		
t_{HIGH}	SCLクロックHighレベル時間	f_{SCL}≦100kHz	4.0		
		f_{SCL}＞100kHz	0.6		
$t_{SU:STA}$	再送開始条件準備時間	f_{SCL}≦100kHz	4.7		
		f_{SCL}＞100kHz	0.6		
$t_{HD:DAT}$	データ保持時間	f_{SCL}≦100kHz	0	3.45	
		f_{SCL}＞100kHz	0	0.9	
$t_{SU:DAT}$	データ準備時間	f_{SCL}≦100kHz	250		ns
		f_{SCL}＞100kHz	100		
$t_{SU:STO}$	停止条件準備時間	f_{SCL}≦100kHz	4.0		µs
		f_{SCL}＞100kHz	0.6		
t_{BUF}	停止条件→開始条件間バス開放時間	f_{SCL}≦100kHz	4.7		
		f_{SCL}＞100kHz	1.3		

① ATmega128Aで、この項目は特性が記載されていますが、100%検査はされていません。

② f_{SCL}＞100kHzについてのみ必要とされます。

③ Cbは1つのバス信号線の容量(pF)です。

④ f_{CK}はCPU(システム)クロック周波数です。

⑤ この必要条件はATmega128Aの全ての2線直列インターフェース動作に適用します。2線直列バスに接続した他の装置は一般的なf_{SCL}必要条件に従うことだけを必要とします。

32.6. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図32-4. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (一般的な必要条件)

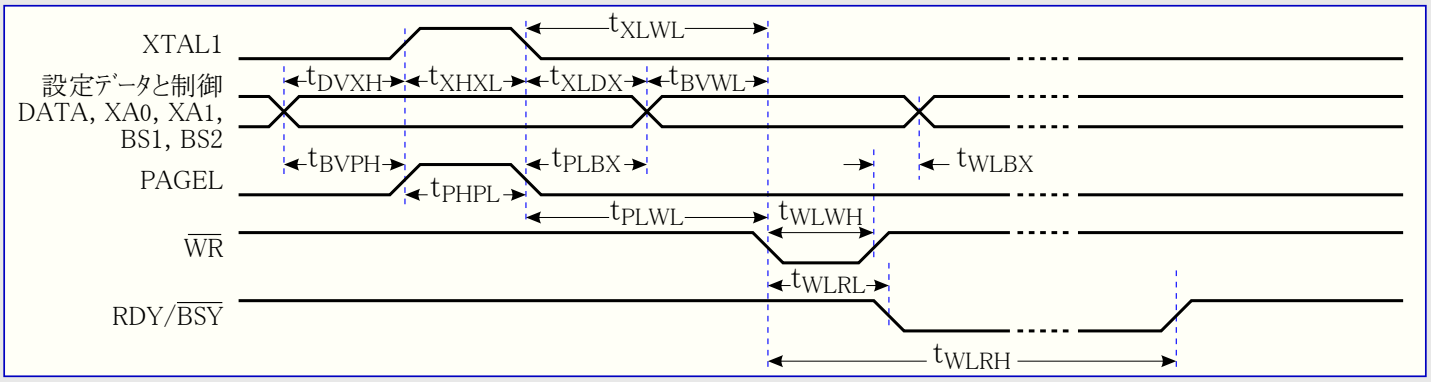
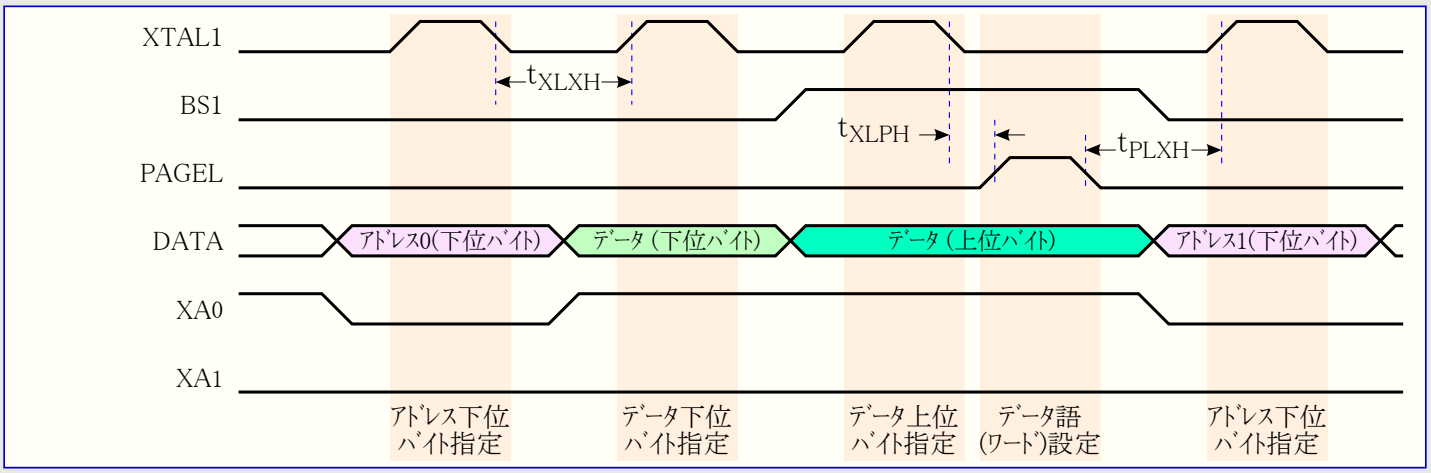
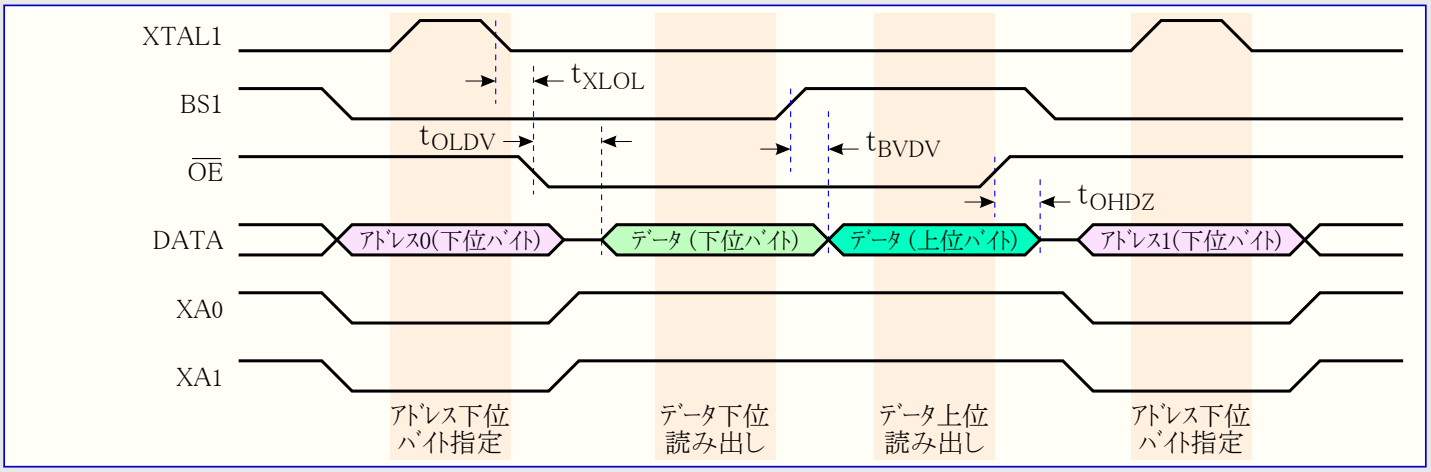


図32-5. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (ﾍﾟｰｼﾞ設定での必要条件)



注: 本項先頭図で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、tDVXH、tXHXL、tXLDX)は設定操作にも適用されます。

図32-6. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (同一ﾍﾟｰｼﾞ読み出しでの必要条件)



注: 本項先頭図で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、tDVXH、tXHXL、tXLDX)は読み出し操作にも適用されます。

表32-7. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 (VCC=5V±10%)

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
V_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電圧	11.5		12.5	V
I_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電流			250	µA
t_{DVXH}	XTAL1↑に対するﾃﾞｰﾀと制御の準備時間	67			
t_{XLXH}	XTAL1↓から次XTAL1↑までの待機時間	200			
t_{XHXL}	XTAL1 Highﾊﾟﾙｽ幅	150			
t_{XLDX}	XTAL1ﾊﾟﾙｽ↓後のﾃﾞｰﾀと制御の保持時間	67			
t_{XLWL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{WR}$↓待機時間	0			
t_{XLPH}	XTAL1ﾊﾟﾙｽ↓後のPAGELﾊﾟﾙｽ↑待機時間	0			
t_{PLXH}	PAGELﾊﾟﾙｽ↓後のXTAL1ﾊﾟﾙｽ↑待機時間	150			
t_{BVPH}	PAGELﾊﾟﾙｽ↑に対するBS1準備時間	67			ns
t_{PHPL}	PAGEL Highﾊﾟﾙｽ幅	150			
t_{PLBX}	PAGELﾊﾟﾙｽ↓後のBS1保持時間	67			
t_{WLBX}	$\overline{WR}$ﾊﾟﾙｽ↓後のBS1,BS2保持時間	67			
t_{PLWL}	PAGELﾊﾟﾙｽ↓後の$\overline{WR}$ﾊﾟﾙｽ↓待機時間	67			
t_{BVWL}	$\overline{WR}$ﾊﾟﾙｽ↓に対するBS1準備時間	67			
t_{WLWH}	$\overline{WR}$ Lowﾊﾟﾙｽ幅	150			
t_{WLRL}	$\overline{WR}$ﾊﾟﾙｽ↓後のRDY/$\overline{BSY}$↓遅延時間	0		1	µs
t_{WLRH}	書き込み時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注1)	3.7		4.5	ms
t_{WLRH_CE}	ﾁｯﾌﾟ消去時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注2)	7.5		10	
t_{XLCL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{OE}$↓待機時間	0			
t_{BVDV}	BS1有効からのDATA遅延時間	0		250	ns
t_{OLDV}	$\overline{OE}$↓後のDATA出力遅延時間			250	
t_{OHDZ}	$\overline{OE}$↑後のDATAﾌﾛｰﾃｨﾝｸﾞ遅延時間			250	

注1: ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ書き込み指令に対して有効です。

注2: ﾁｯﾌﾟ消去指令に対して有効です。

32.7. SPIﾀｲﾐﾝｸﾞ特性

図32-7. SPI ﾀｲﾐﾝｸﾞ必要条件 (主装置動作)

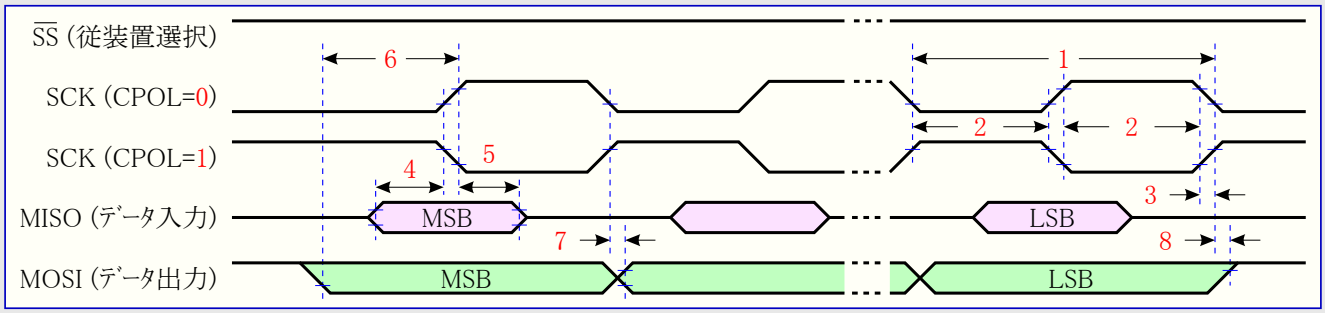


図32-8. SPI ﾀｲﾐﾝｸﾞ必要条件 (従装置動作)

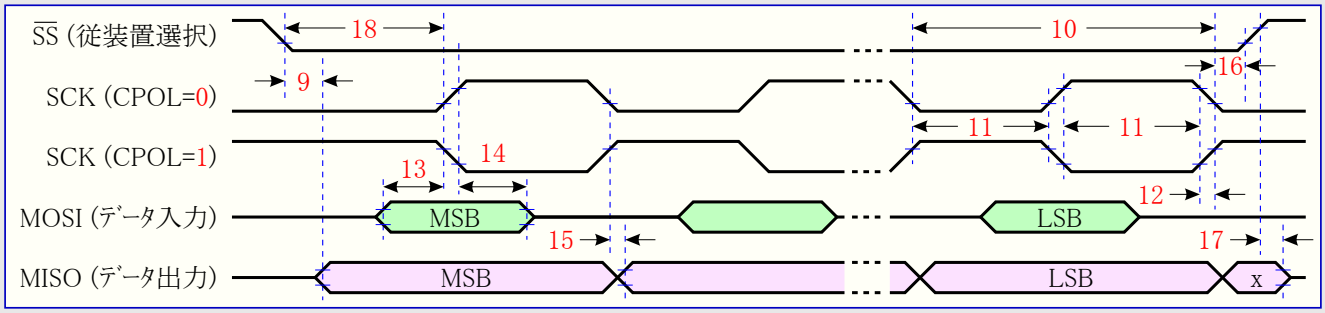


表32-8. SPI ﾀｲﾐﾝｸﾞ特性

番号	項目	動作種別	最小	代表	最大	単位
1	SCK周期	主装置		表24-5.参照		
2	SCK High/Low期間	主装置		50%ﾃﾞｭｰﾃｨ比		
3	SCK上昇/下降時間	主装置		3.6		
4	入力ﾃﾞｰﾀ 準備時間	主装置		10		
5	入力ﾃﾞｰﾀ 保持時間	主装置		10		
6	出力からSCK変移時間	主装置		$0.5t_{SCK}$		ns
7	SCKからの出力遅延時間	主装置		10		
8	SCKからのHigh出力時間	主装置		10		
9	$\overline{SS}$ ↓からの出力遅延時間	従装置		15		
10	SCK周期	従装置	$4t_{CK}$			
11	SCK High/Low期間 (注)	従装置	$2t_{CK}$			
12	SCK上昇/下降時間	従装置			1.6	µs
13	入力ﾃﾞｰﾀ 準備時間	従装置	10			
14	入力ﾃﾞｰﾀ 保持時間	従装置	10			
15	SCKからの出力遅延時間	従装置		15		ns
16	SCKからの$\overline{SS}$ ↑遅延時間	従装置	20			
17	$\overline{SS}$ ↑からの出力Hi-Z遅延時間	従装置		10		
18	$\overline{SS}$ ↓からのSCK遅延時間	従装置	$2t_{CK}$			

注: SPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞでの最小SCK High/Low期間は、$2t_{CLCL}$(t_{CK}＜12MHz)、$3t_{CLCL}$(t_{CK}≧12MHz)です。

32.8. A/D変換器特性

表32-9. A/D変換特性 (TA=-40～+85℃)

	シンボル	項目	条件		最小	代表	最大	単位
シングルエンド入力変換		分解能					10	ビット
		絶対精度 (INL,DNL,利得, オフセット,量子化 誤差を含む)	VCC=4V VREF=4V	変換クロック=200kHz		1.5		LSB
				変換クロック=1MHz		3.25		
			雑音低減動作	変換クロック=200kHz		1.5		
				変換クロック=1MHz		3.75		
		積分非直線性誤差(INL)	VCC=4V VREF=4V 変換クロック=200kHz			0.75		
		微分非直線性誤差(DNL)				0.5		
		オフセット(ゼロ)誤差				1		
		利得誤差				1		
		変換クロック周波数			50		1000	kHz
		変換時間	連続変換動作		13		260	μs
	VREF	基準電圧			2.0		AVCC	V
	VIN	入力電圧			GND		VREF	
		入力周波数帯域				38.5		kHz
		A/D変換出力			0		1023	LSB
差動入力変換		分解能		×1			10	ビット
				×10			10	
				×200			10	
		絶対精度 (オフセット,利得誤差校正後)		×1		17		LSB
				×10		17		
				×200		7		
		積分非直線性誤差(INL)	VCC=5V VREF=4V 変換クロック=50～200kHz	×1		1.5		
				×10		2		
				×200		5		
		オフセット(ゼロ)誤差		×1		2		
				×10		3		
				×200		4		
		利得誤差		×1		1.5		%
				×10		1.5		
				×200		0.5		
		変換クロック周波数			50		200	kHz
		変換時間			65		260	μs
	VREF	基準電圧			2.0		AVCC-0.5	V
	VIN	入力電圧			GND		VCC	
	VDIFF	差動入力電圧差			-VREF/利得		VREF/利得	
		入力周波数帯域				4		kHz
		A/D変換出力			-512		511	LSB
共通	AVCC	アナログ供給電圧			VCC-0.3(注1)		VCC+0.3(注2)	V
	VINT	内蔵2.56V基準電圧			2.3	2.56	2.7	
	RREF	基準電圧入力インピーダンス				32		kΩ
	RAIN	アナログ入力インピーダンス			55	100		MΩ

注1: AVCCの最小値は2.7Vです。

注2: AVCCの最大値は5.5Vです。

(訳注) 原書の表32-9.と表32-10.は表32-9.として統合しました。

32.9. 外部データ メモリ タイミング

表32-11. 外部データ メモリ特性 (VCC=4.5V～5.5V、待ちなし)

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	16		MHz
1	t_{LHLL}	ALE Highパルス幅	115		$1.0t_{CLCL}-10$			
2	t_{AVLL}	ALE↓前 下位アドレス準備時間	57.5		$0.5t_{CLCL}-5$		1	
3A	$t_{LLAX,ST}$	ライト時 ALE↓後 下位アドレス保持時間	5		5			
3B	$t_{LLAX,LD}$	リード時 ALE↓後 下位アドレス保持時間	5		5			
4	t_{AVLLC}	ALE↓前 上位アドレス準備時間	57.5		$0.5t_{CLCL}-5$		1	
5	t_{AVRL}	リード時$\overline{RD}$↓前 下位アドレス有効時間	115		$1.0t_{CLCL}-10$			
6	t_{AVWL}	ライト時$\overline{WR}$↓前 下位アドレス有効時間	115		$1.0t_{CLCL}-10$			
7	t_{LLWL}	ALE↓後 $\overline{WR}$↓遅延時間	47.5	67.5	$0.5t_{CLCL}-15$	$0.5t_{CLCL}+5$	2	ns
8	t_{LLRL}	ALE↓後 $\overline{RD}$↓遅延時間	47.5	67.5	$0.5t_{CLCL}-15$	$0.5t_{CLCL}+5$	2	
9	t_{DVRH}	$\overline{RD}$↑前 データ準備時間	40		40			
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		75		$1.0t_{CLCL}-50$		
11	t_{RHDX}	$\overline{RD}$↑後 データ保持時間	0		0			
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	115		$1.0t_{CLCL}-10$			
13	t_{OVWL}	$\overline{WR}$↓前 データ準備時間	42.5		$0.5t_{CLCL}-20$		1	
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	115		$1.0t_{CLCL}-10$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	125		$1.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	115		$1.0t_{CLCL}-10$			

注1: 一般式の定数はデューティ サイクル=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティ サイクル=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

表32-12. 外部データ メモリ特性 (VCC=4.5V～5.5V、SRWn1=0, SRWn0=1 (1待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	16		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		200		$2.0t_{CLCL}-50$		
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	240		$2.0t_{CLCL}-10$			ns
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	250		$2.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	240		$2.0t_{CLCL}-10$			

表32-13. 外部データ メモリ特性 (VCC=4.5V～5.5V、SRWn1=1, SRWn0=0 (2待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	16		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		325		$3.0t_{CLCL}-50$		
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	365		$3.0t_{CLCL}-10$			ns
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	375		$3.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	365		$3.0t_{CLCL}-10$			

表32-14. 外部データ メモリ特性 (VCC=4.5V～5.5V、SRWn1=1, SRWn0=1 (2&1待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	16		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		325		$3.0t_{CLCL}-50$		
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	365		$3.0t_{CLCL}-10$			
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	240		$2.0t_{CLCL}-10$			ns
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	375		$3.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	365		$3.0t_{CLCL}-10$			

表32-15. 外部データ メモリ特性 (VCC=2.7V～5.5V、待ちなし)

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8		MHz
1	t_{LHLL}	ALE Highパルス幅	235		$1.0t_{CLCL}-15$			
2	t_{AVLL}	ALE↓前 下位アドレス準備時間	115		$0.5t_{CLCL}-10$		1	
3A	$t_{LLAX,ST}$	ライト時 ALE↓後 下位アドレス保持時間	5		5			
3B	$t_{LLAX,LD}$	リード時 ALE↓後 下位アドレス保持時間	5		5			
4	t_{AVLLC}	ALE↓前 上位アドレス準備時間	115		$0.5t_{CLCL}-10$		1	
5	t_{AVRL}	リード時$\overline{RD}$↓前 下位アドレス有効時間	235		$1.0t_{CLCL}-15$			
6	t_{AVWL}	ライト時$\overline{WR}$↓前 下位アドレス有効時間	235		$1.0t_{CLCL}-15$			
7	t_{LLWL}	ALE↓後 $\overline{WR}$↓遅延時間	115	130	$0.5t_{CLCL}-10$	$0.5t_{CLCL}+5$	2	ns
8	t_{LLRL}	ALE↓後 $\overline{RD}$↓遅延時間	115	130	$0.5t_{CLCL}-10$	$0.5t_{CLCL}+5$	2	
9	t_{DVRH}	$\overline{RD}$↑前 データ準備時間	45		45			
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		190		$1.0t_{CLCL}-60$		
11	t_{RHDX}	$\overline{RD}$↑後 データ保持時間	0		0			
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	235		$1.0t_{CLCL}-15$			
13	t_{OVWL}	$\overline{WR}$↓前 データ準備時間	105		$0.5t_{CLCL}-20$		1	
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	235		$1.0t_{CLCL}-15$			
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	250		$1.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	235		$1.0t_{CLCL}-15$			

注1: 一般式の定数はデューティ サイクル=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティ サイクル=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

表32-16. 外部データ メモリ特性 (VCC=2.7V～5.5V、SRWn1=0, SRWn0=1 (1待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		440		$2.0t_{CLCL}-60$		
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	485		$2.0t_{CLCL}-15$			ns
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	500		$2.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	485		$2.0t_{CLCL}-15$			

表32-17. 外部データ メモリ特性 (VCC=2.7V～5.5V、SRWn1=1, SRWn0=0 (2待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		690		$3.0t_{CLCL}-60$		
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	735		$3.0t_{CLCL}-15$			ns
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	750		$3.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	735		$3.0t_{CLCL}-15$			

表32-18. 外部データ メモリ特性 (VCC=2.7V～5.5V、SRWn1=1, SRWn0=1 (2&1待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	$1/t_{CLCL}$	発振器周波数			0.0	8		MHz
10	t_{RLDV}	$\overline{RD}$↓後 データ出力遅延時間		690		$3.0t_{CLCL}-60$		
12	t_{RLRH}	$\overline{RD}$ Lowパルス幅	735		$3.0t_{CLCL}-15$			
14	t_{WHDX}	$\overline{WR}$↑後 データ保持時間	485		$2.0t_{CLCL}-15$			ns
15	t_{DVWH}	$\overline{WR}$↑前 データ有効時間	750		$3.0t_{CLCL}$			
16	t_{WLWH}	$\overline{WR}$ Lowパルス幅	735		$3.0t_{CLCL}-15$			

図32-9. 待ち状態なし外部ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽ周期 (SRWn1=0, SRWn0=0) [T1～T3]

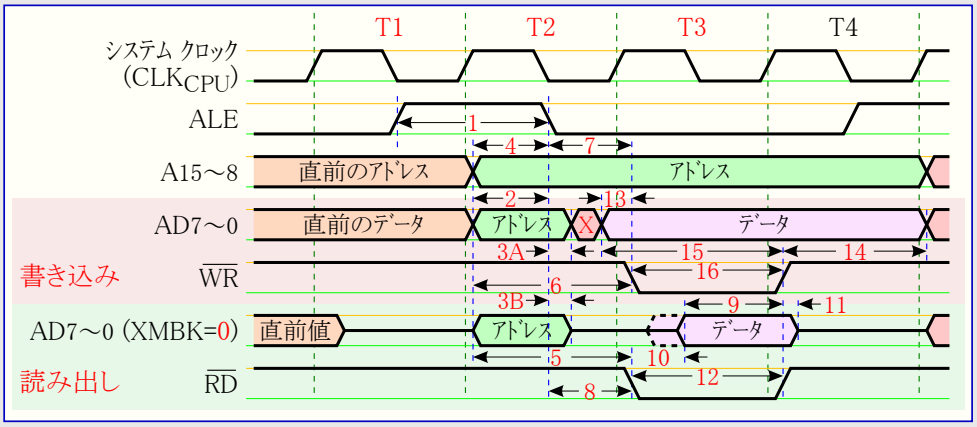


図32-10. 1待ち状態 外部ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽ周期 (SRWn1=0, SRWn0=1) [T1～T4]

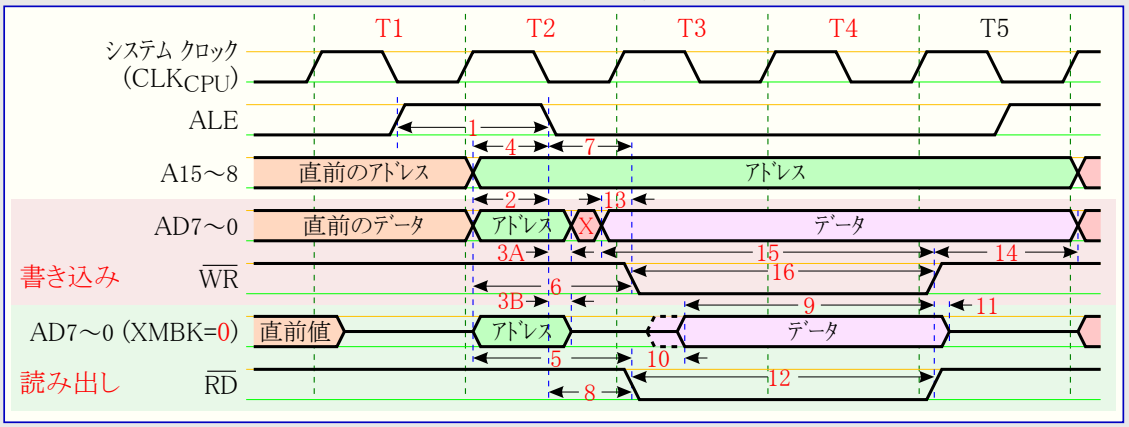


図32-11. 2待ち状態 外部ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽ周期 (SRWn1=1, SRWn0=0) [T1～T5]

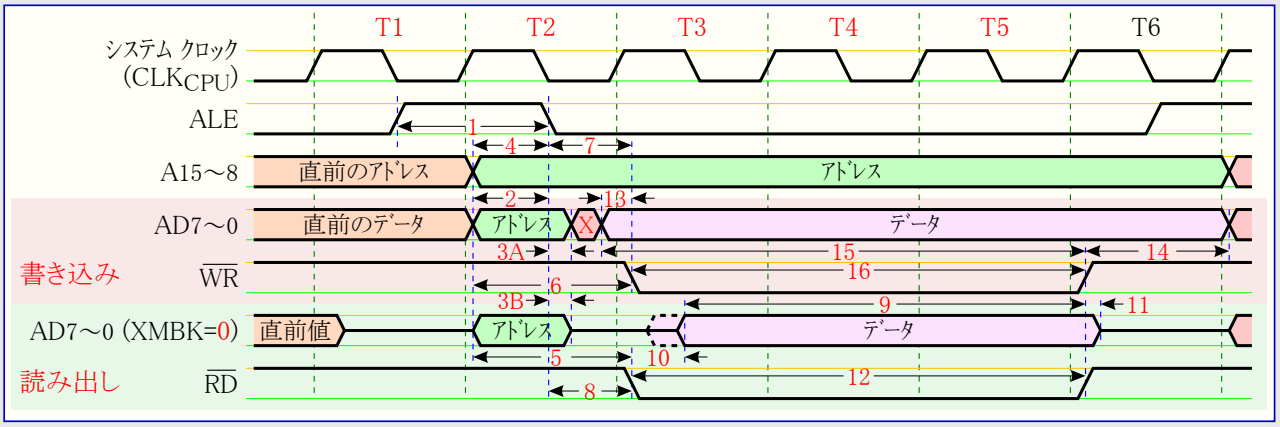
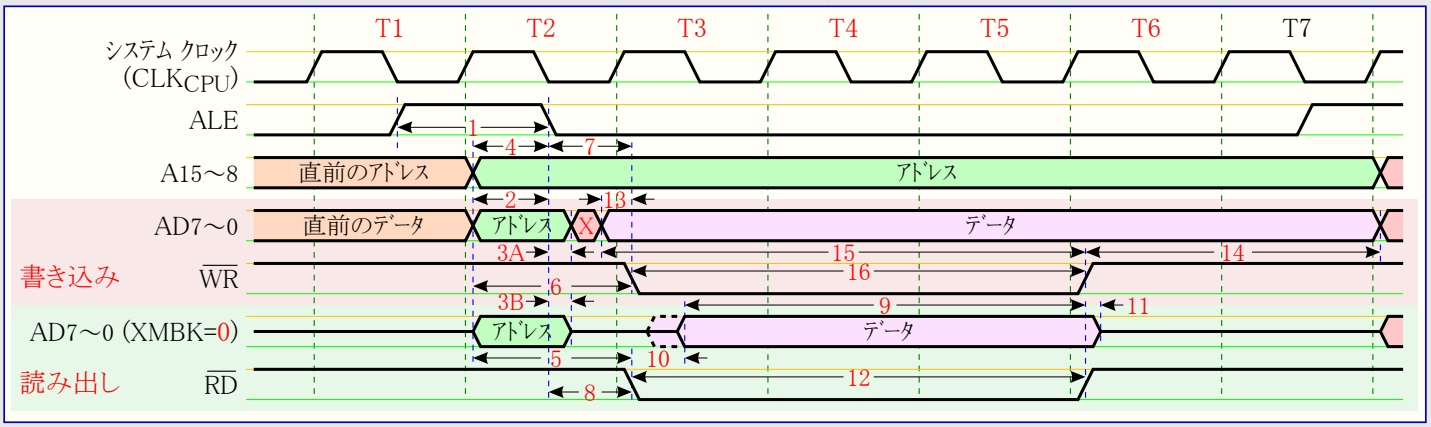


図32-12. 2待ち状態+保持1待ち状態 外部ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽ周期 (SRWn1=1, SRWn0=1) [T1～T6]



共通注意事項

SRWn1はSRW11(上位領域)またはSRW01(下位領域)、SRWn0はSRW10(上位領域)またはSRW00(下位領域)です。

[T1～Tn]は図での命令実行周期範囲です。

Xは値変更区間を示します。

最終周期のALEは次命令がRAM(内部または外部)をｱｸｾｽする場合だけ存在します。また、最後の周期のｱﾄﾞﾚｽとﾃﾞｰﾀの変更区間の有無も同様です。

33. 代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oﾋﾟﾝを入力として設定した内部ﾌﾟﾙｱｯﾌﾟ許可で行われています。電源幅振幅の方形波発振器がｸﾛｯｸ源として使われています。

ﾊﾟﾜｰﾀﾞｳﾝ動作での消費電力はｸﾛｯｸ選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oﾋﾟﾝの負荷、I/Oﾋﾟﾝの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のﾋﾟﾝの引き込み電流は(1つのﾋﾟﾝに対して) C_L(負荷容量)×VCC(動作電圧)×f(I/Oﾋﾟﾝの平均切り替え周波数) として推測できます。

ﾃﾞﾊﾞｲｽは検査範囲よりも高い周波数特性を示します。ﾃﾞﾊﾞｲｽは注文番号が示す周波数よりも高い周波数での機能特性を保証されません。

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ許可のﾊﾟﾜｰﾀﾞｳﾝ動作での消費電流とｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止のﾊﾟﾜｰﾀﾞｳﾝ動作での消費電流間の違いは、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏによって引き込んだ(消費した)差電流を表します。

33.1. 活動動作消費電流

図33-1. 活動動作消費電流 対 周波数 (100kHz～1MHz)

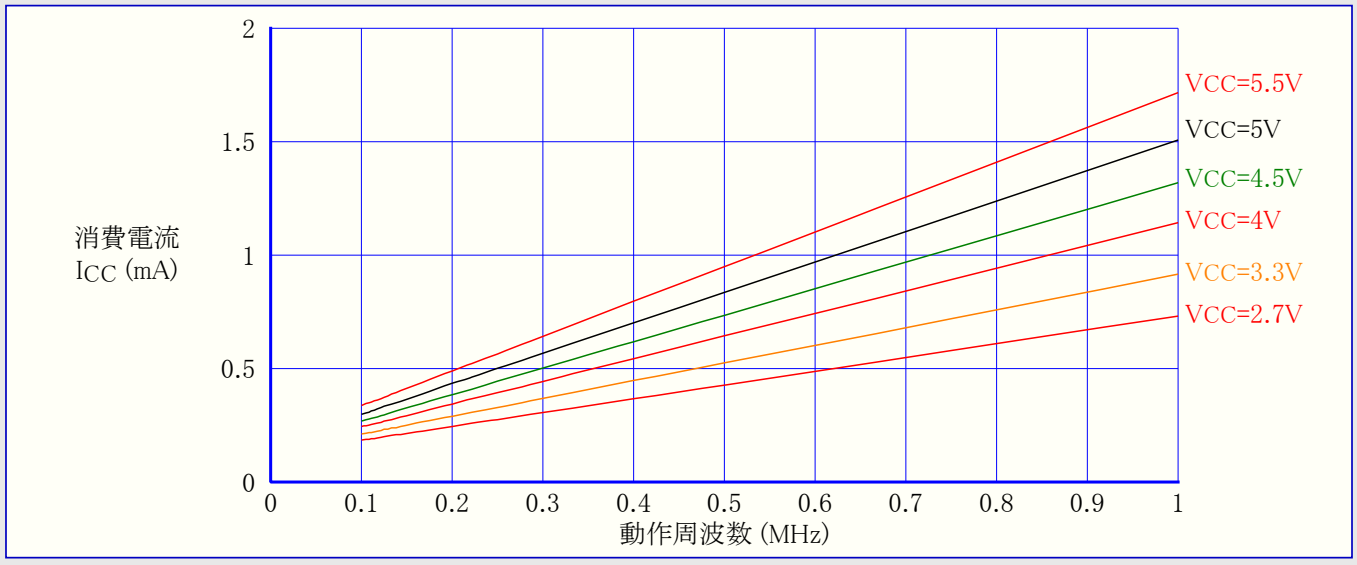


図33-2. 活動動作消費電流 対 周波数 (1MHz～16MHz)

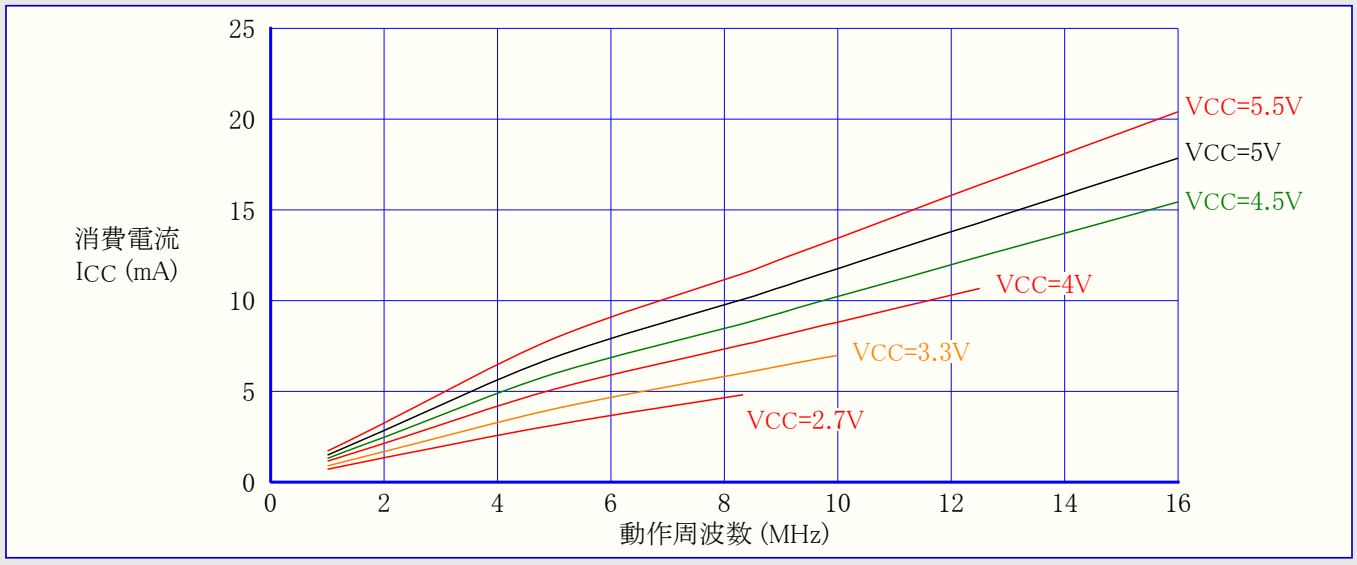


図33-3. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 1MHz)

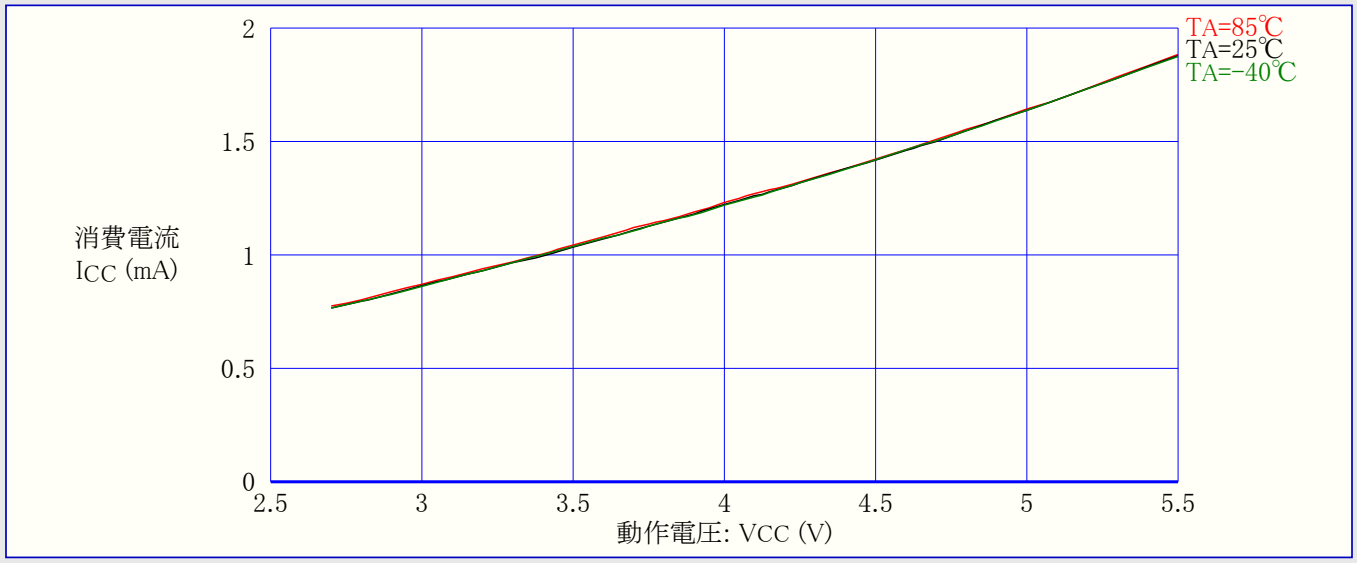


図33-4. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 2MHz)

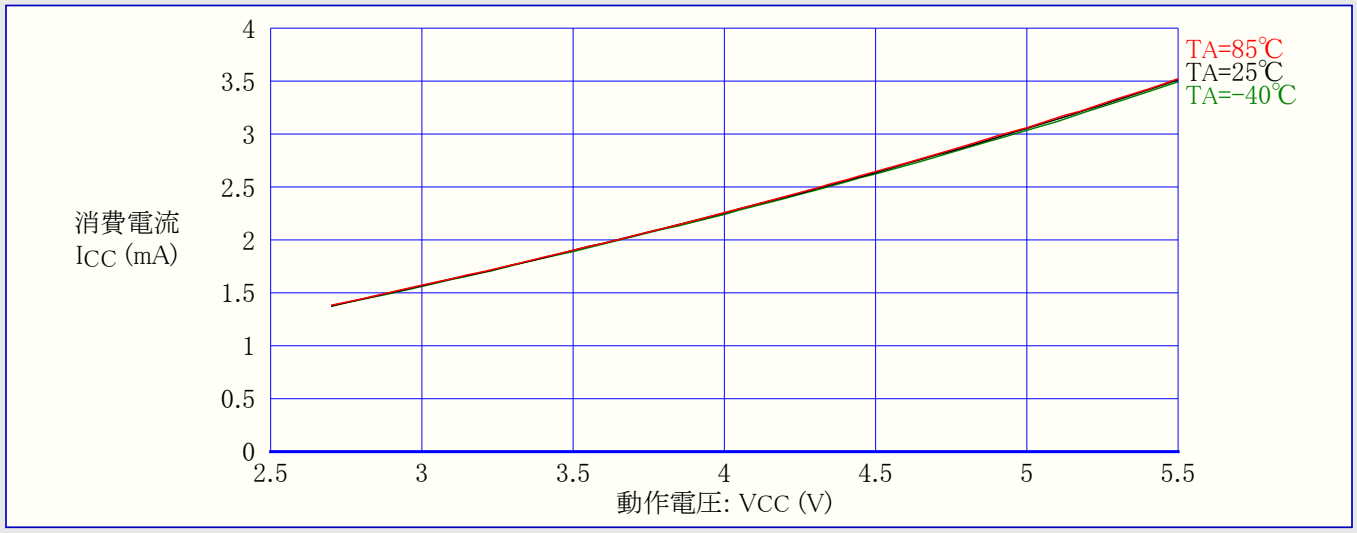


図33-5. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 4MHz)

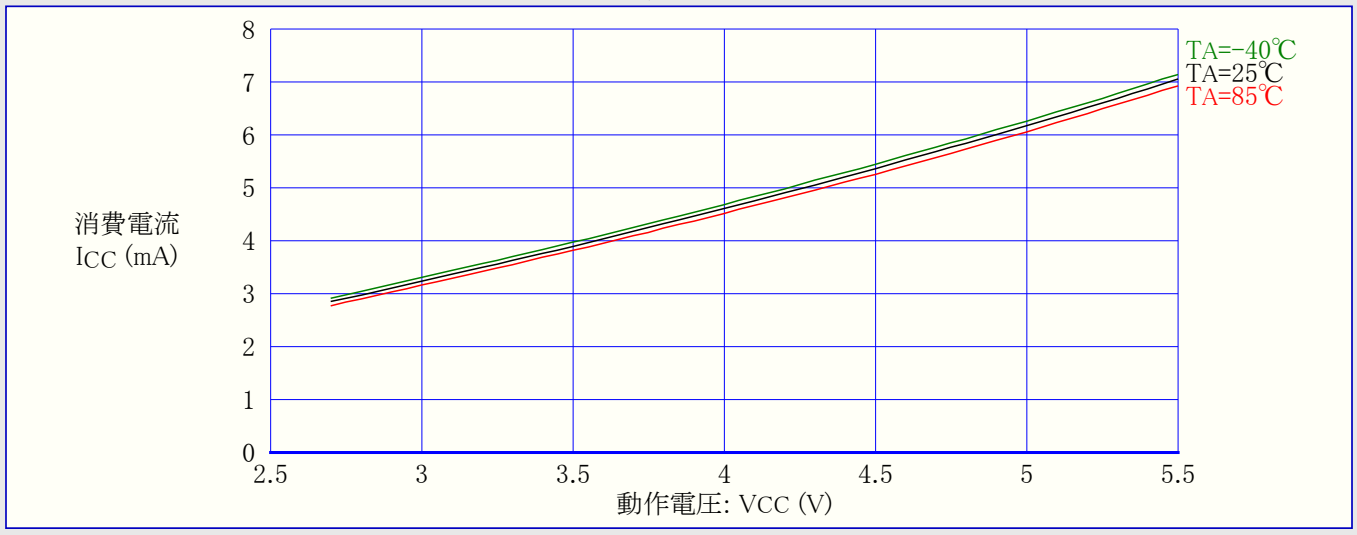


図33-6. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

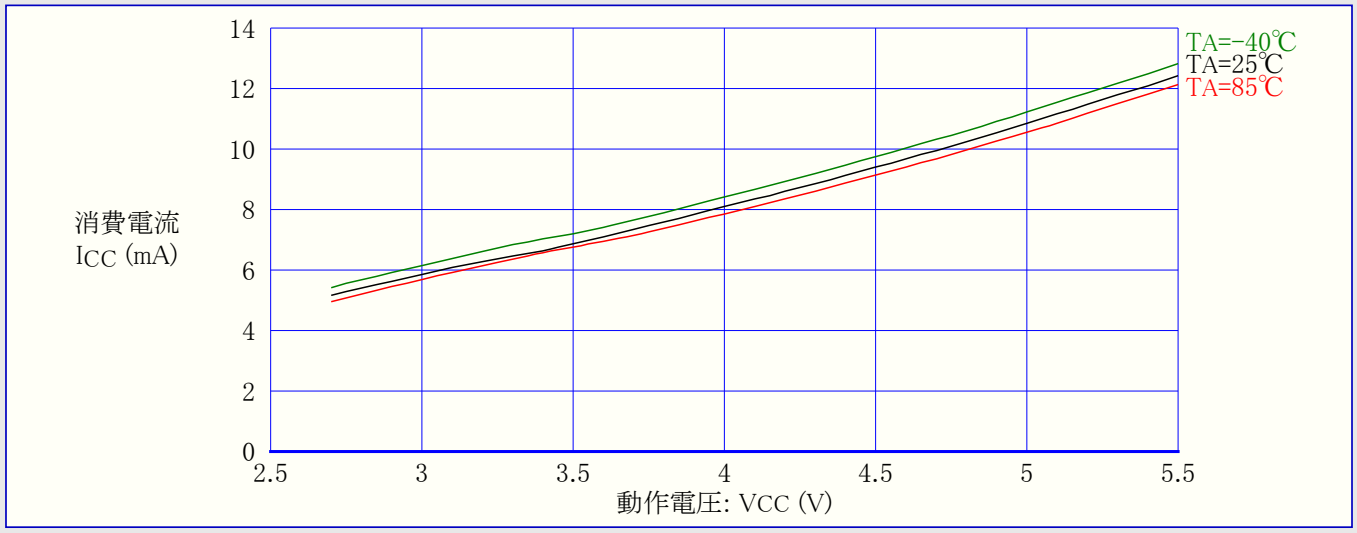
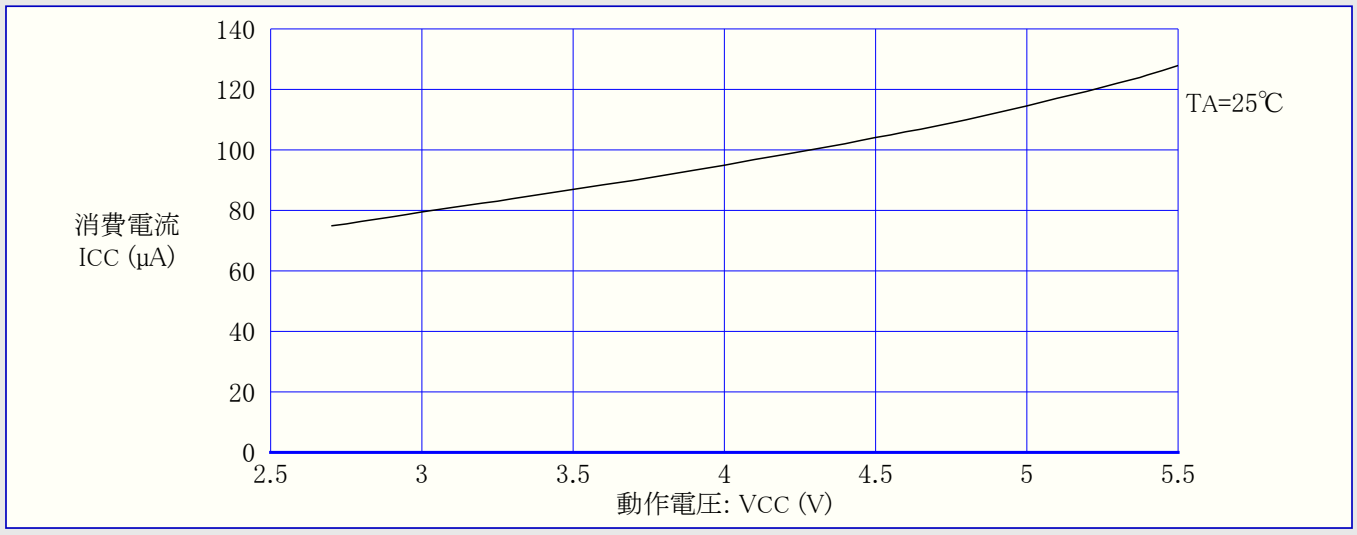


図33-7. 活動動作消費電流 対 動作電圧 (32kHz外部発振器)



33.2. ｱｲﾄﾞﾙ動作消費電流

図33-8. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (100kHz～1MHz)

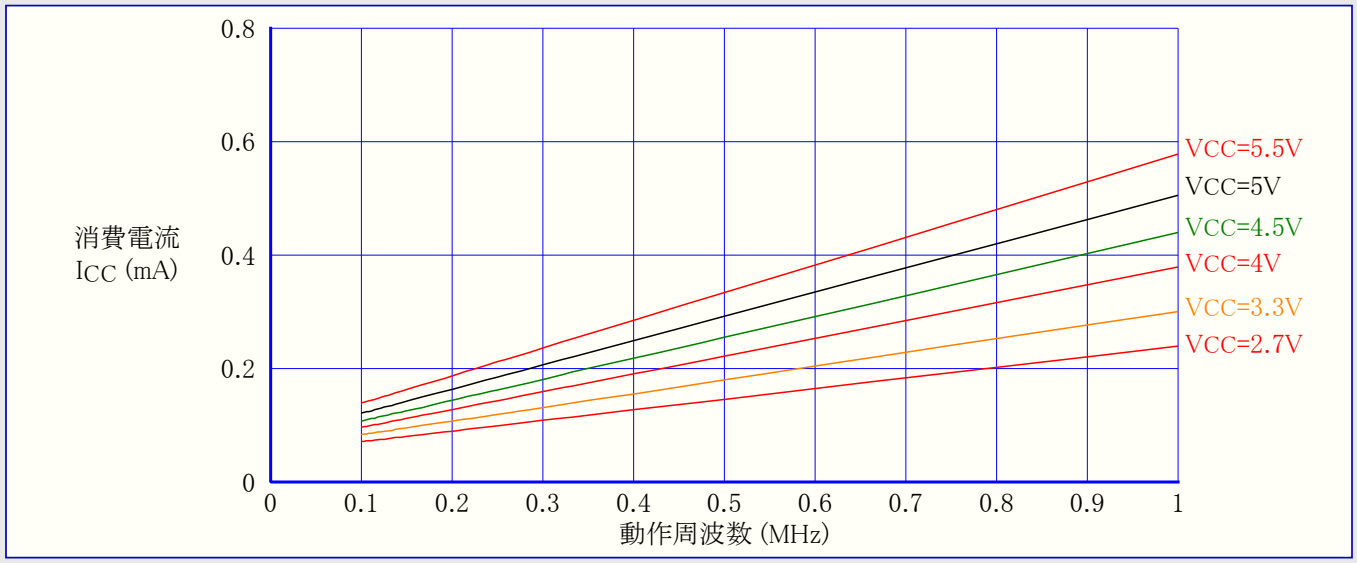


図33-9. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (1MHz～16MHz)

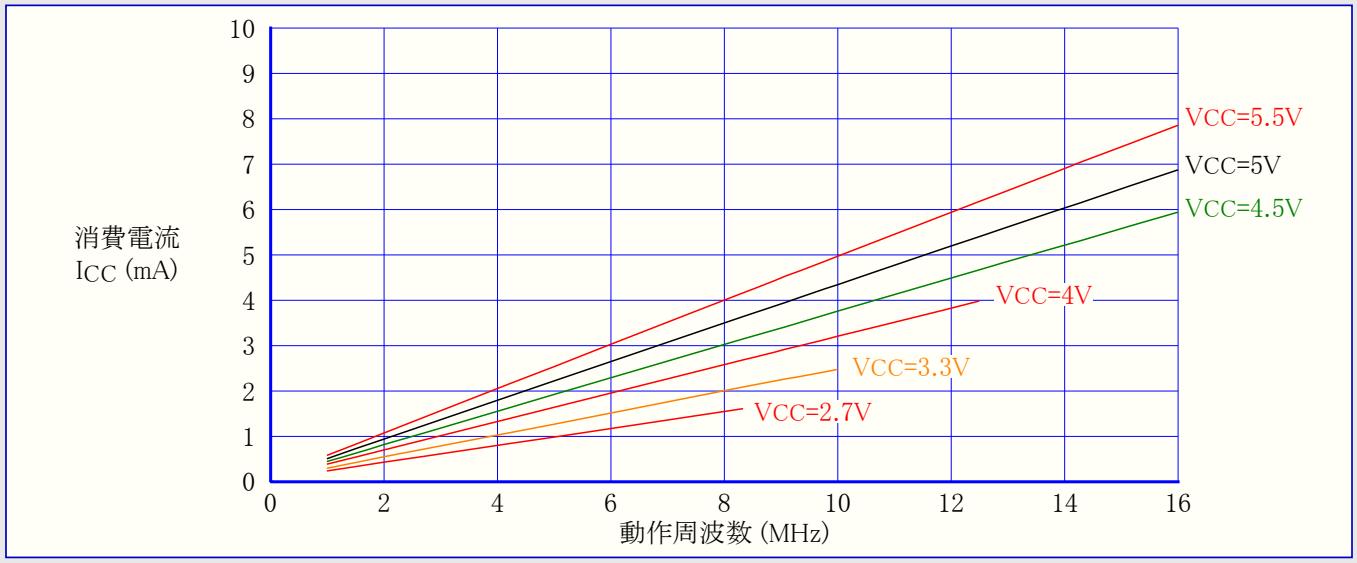


図33-10. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (内蔵RC発振器, 1MHz)

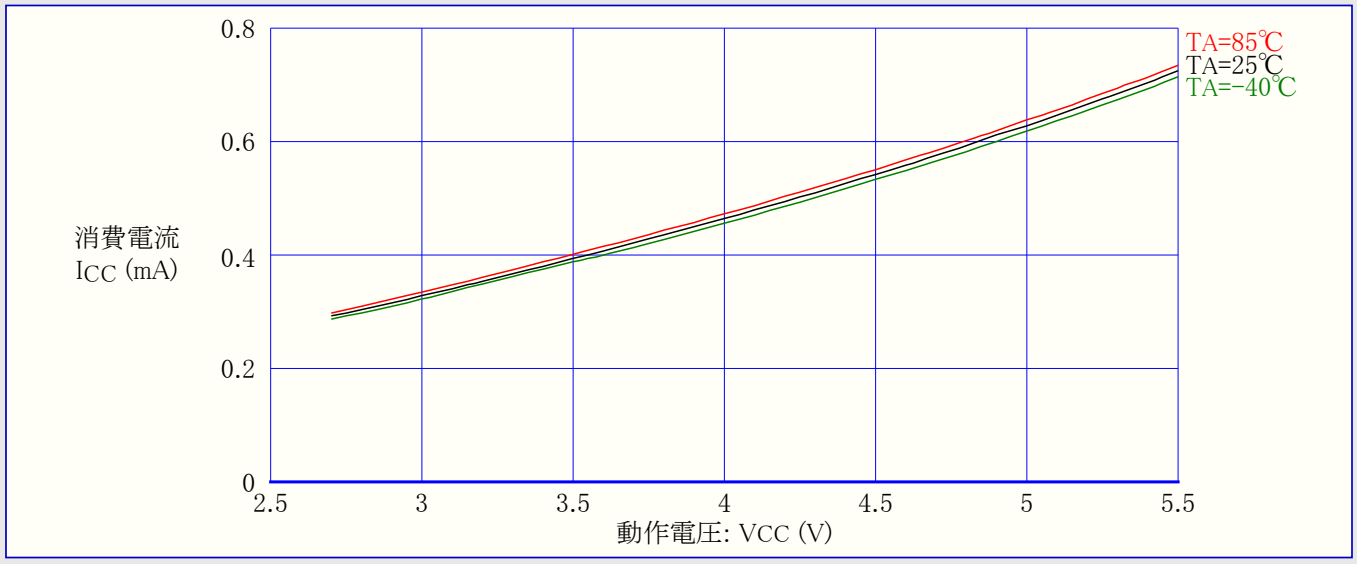


図33-11. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (内蔵RC発振器, 2MHz)

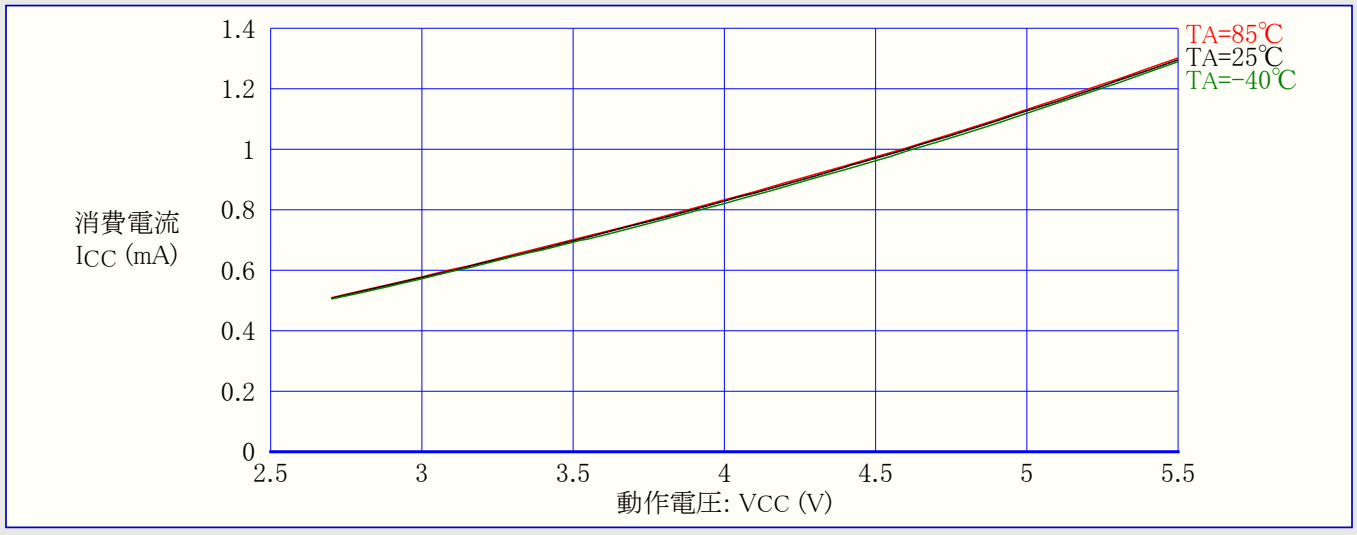


図33-12. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (内蔵RC発振器, 4MHz)

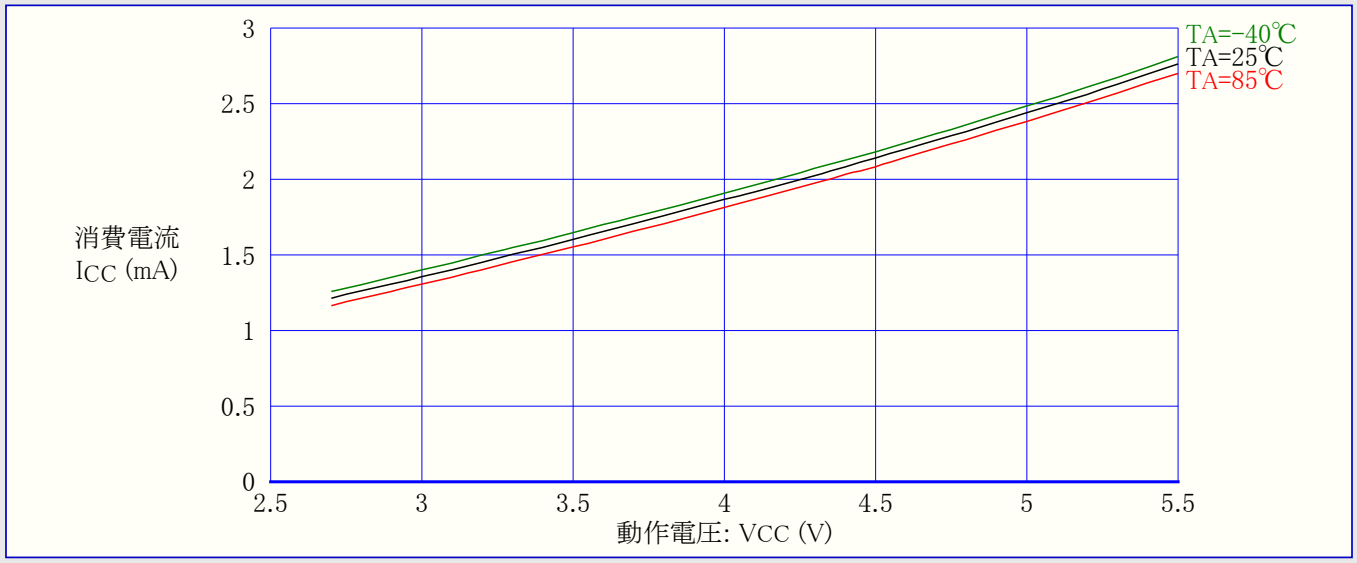


図33-13. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

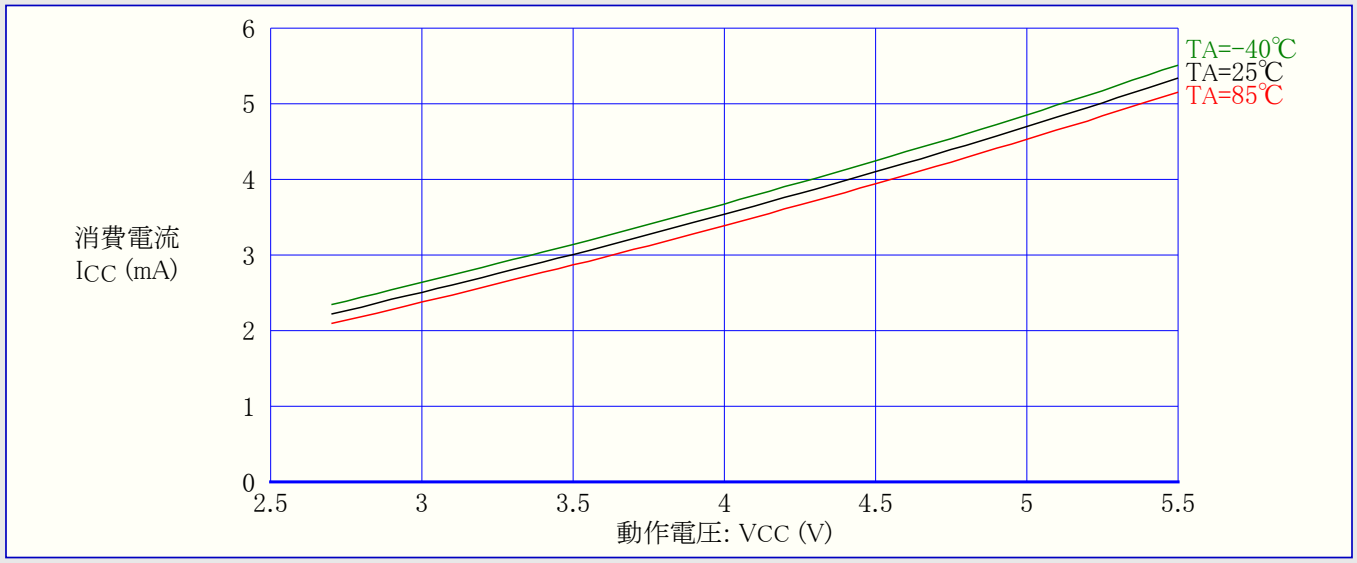
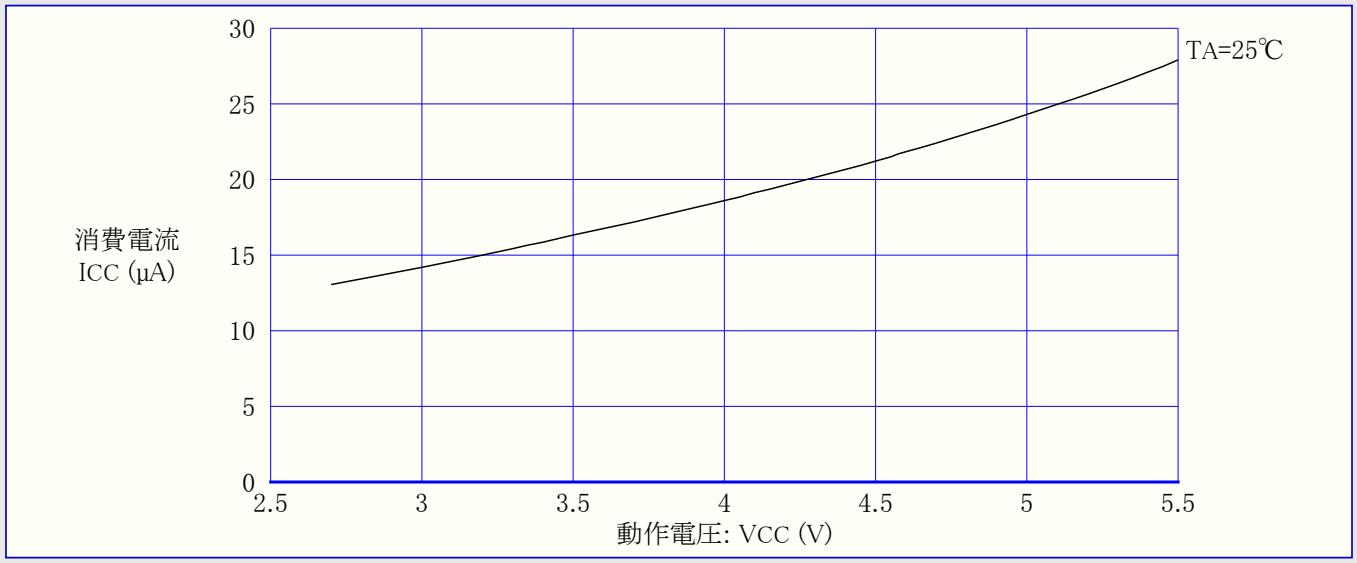


図33-14. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (32kHz外部発振器)



33.3. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流

図33-15. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

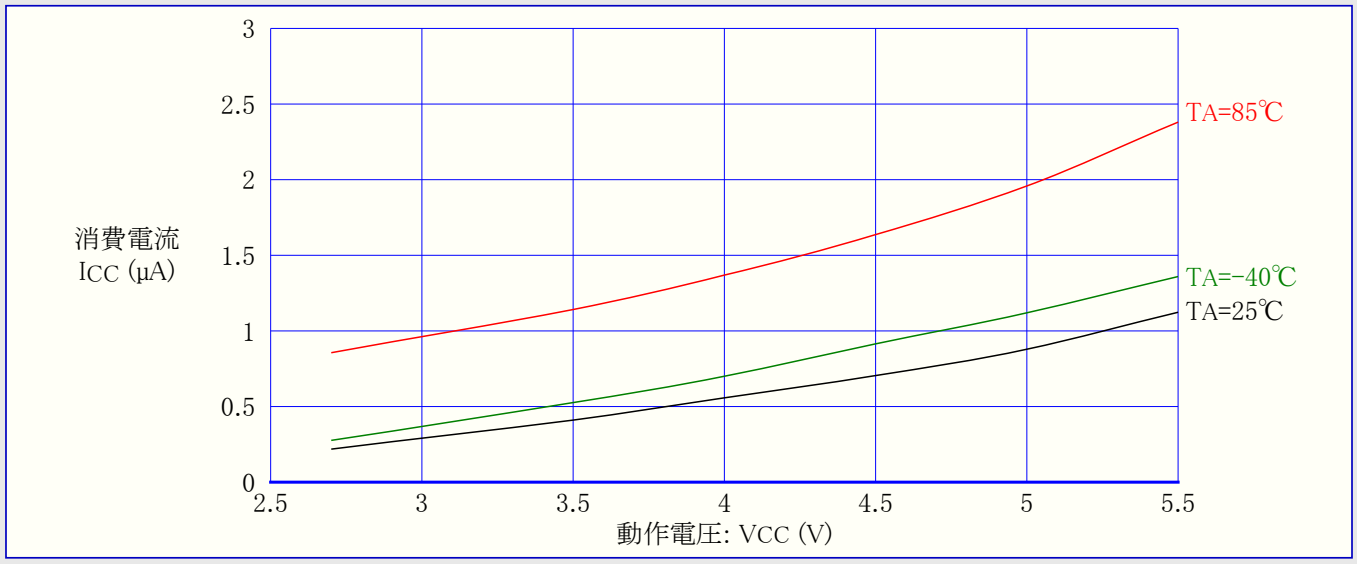
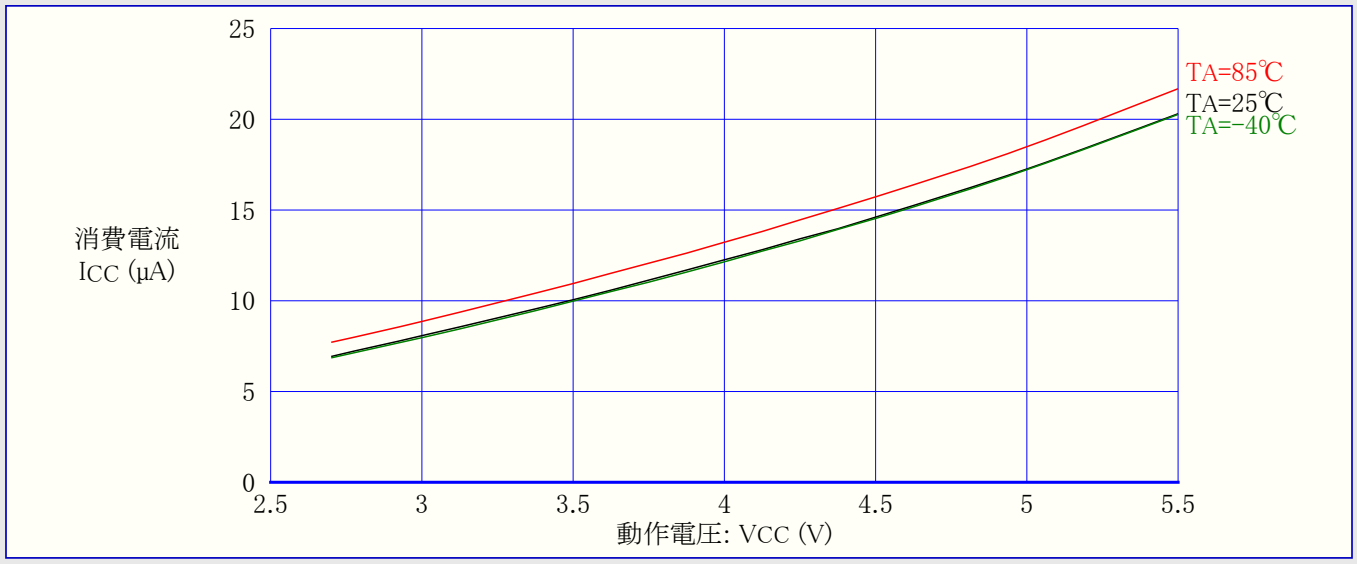
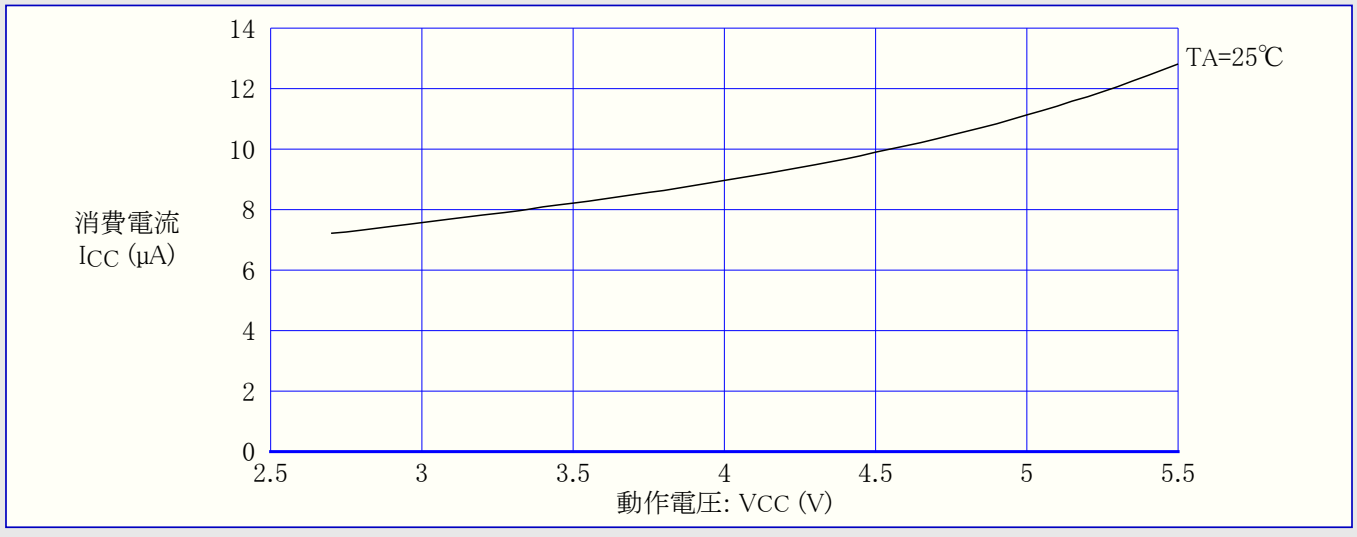


図33-16. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ許可)



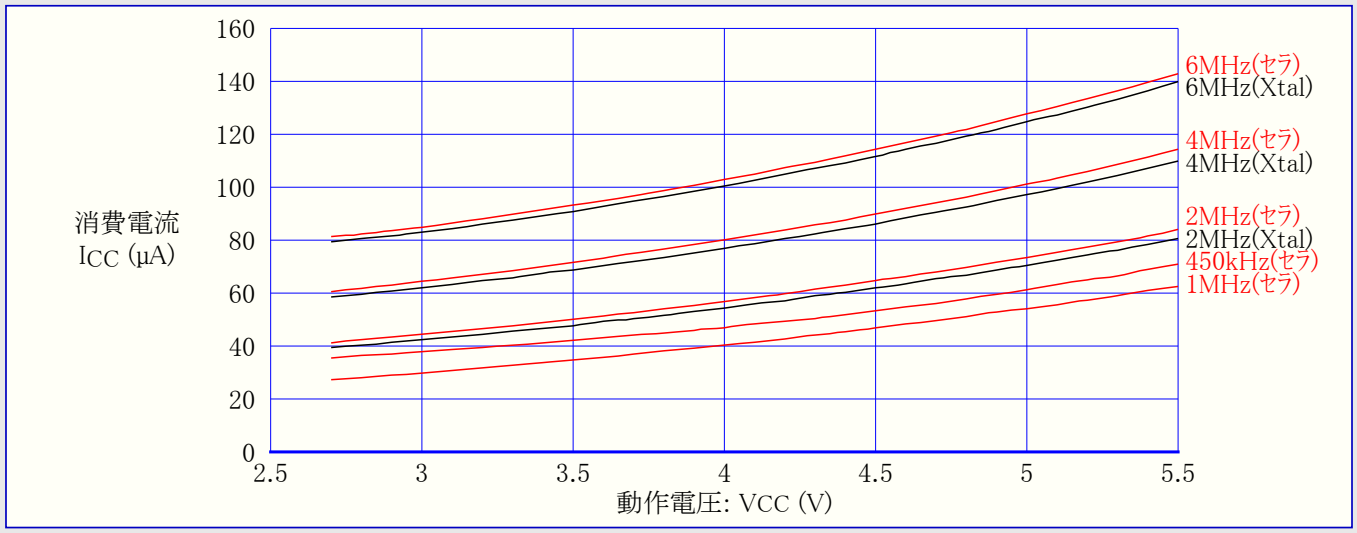
33.4. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流

図33-17. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)



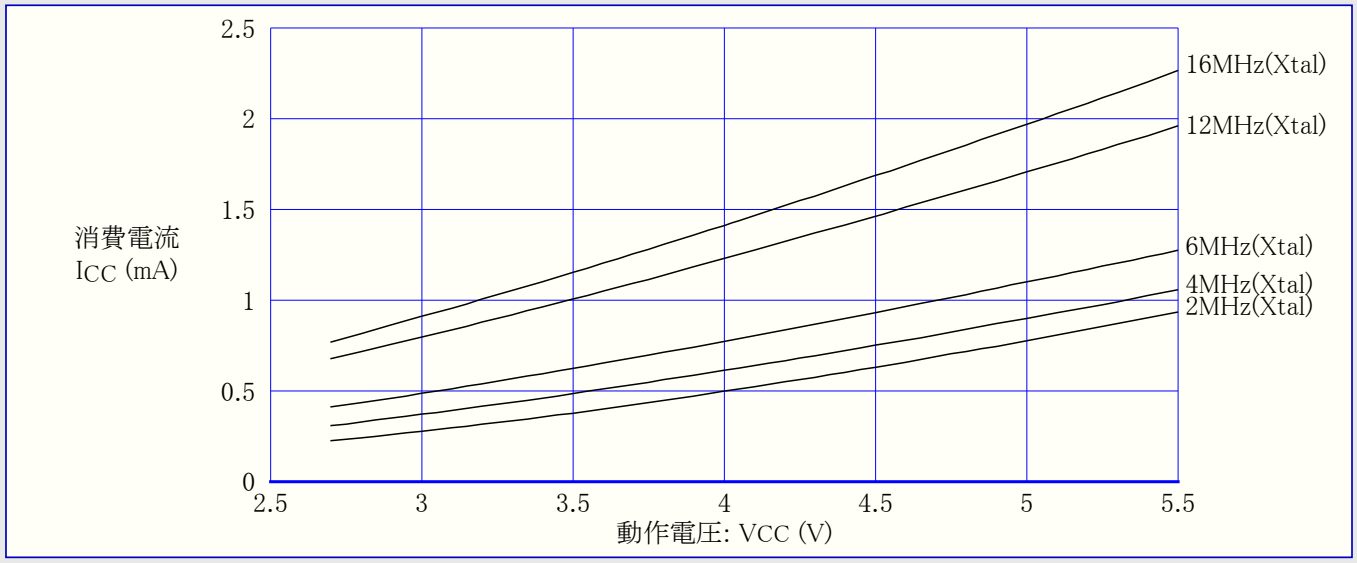
33.5. スタンバイ動作消費電流

図33-18. スタンバイ動作消費電流 対 動作電圧 (CKOPT=1)



注:セラはセラミック振動子

図33-19. スタンバイ動作消費電流 対 動作電圧 (CKOPT=0)



33.6. ピン プルアップ

図33-20. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=5V)

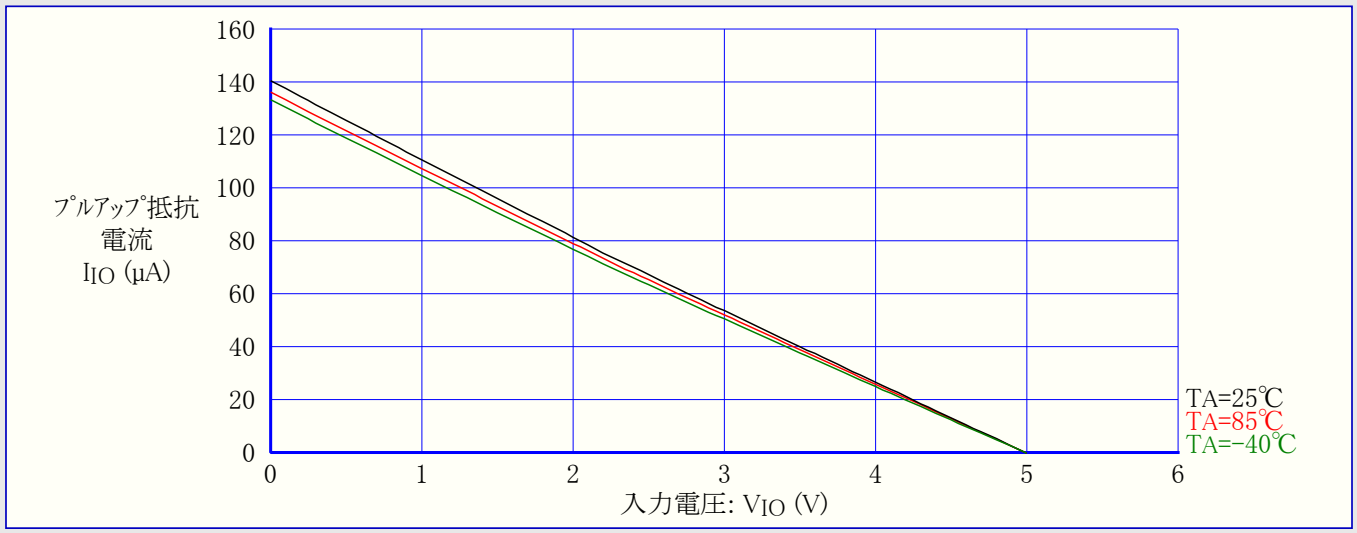
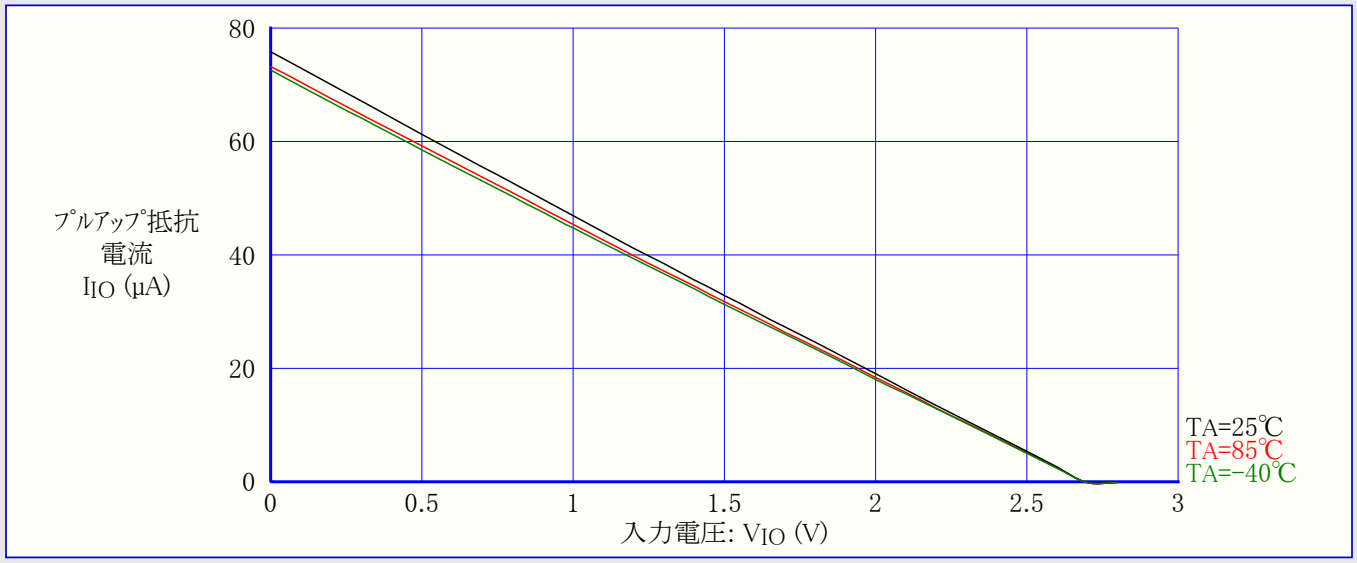


図33-21. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=2.7V)



33.7. ﾋﾟﾝ駆動能力

図33-22. I/Oﾋﾟﾝ吐き出し電流 対 出力電圧 (VCC=5V)

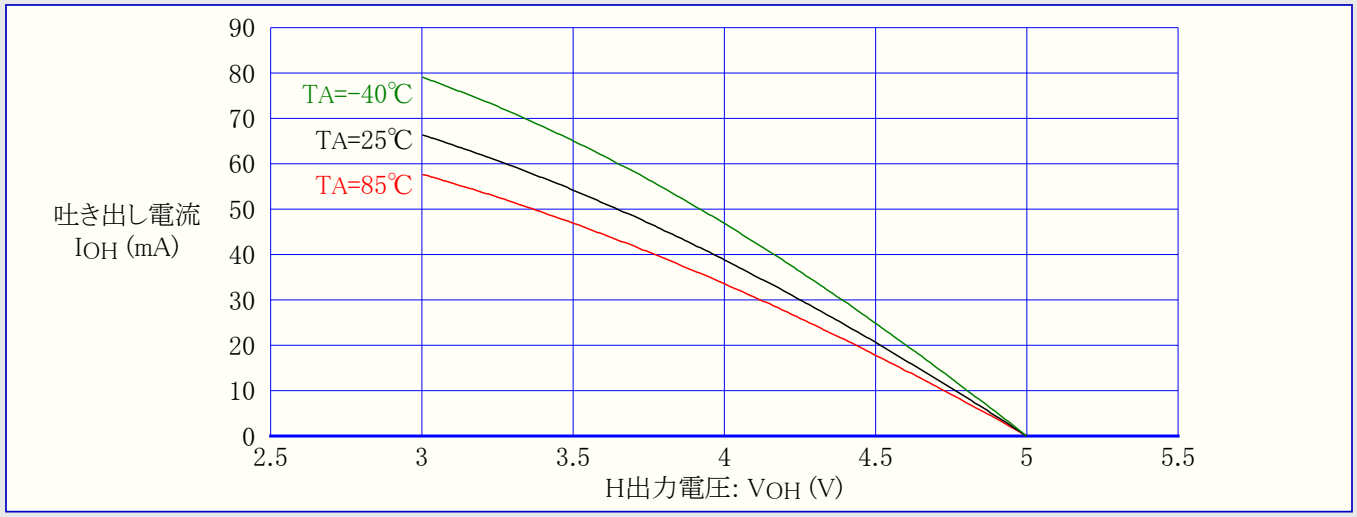


図33-23. I/Oﾋﾟﾝ吐き出し電流 対 出力電圧 (VCC=2.7V)

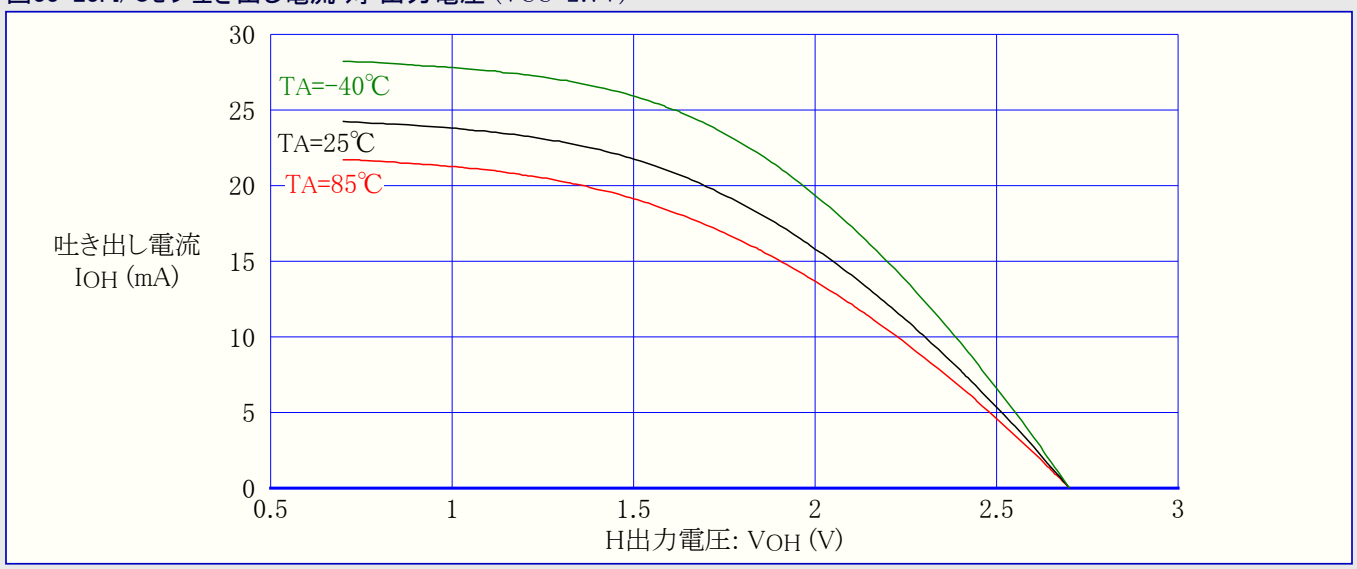


図33-24. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)

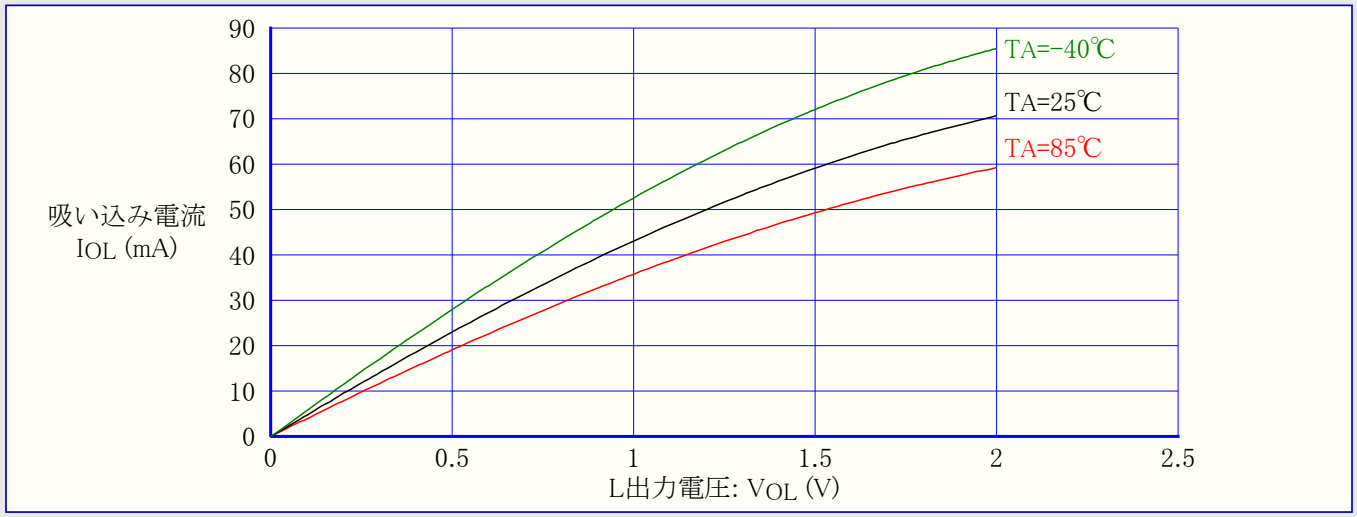
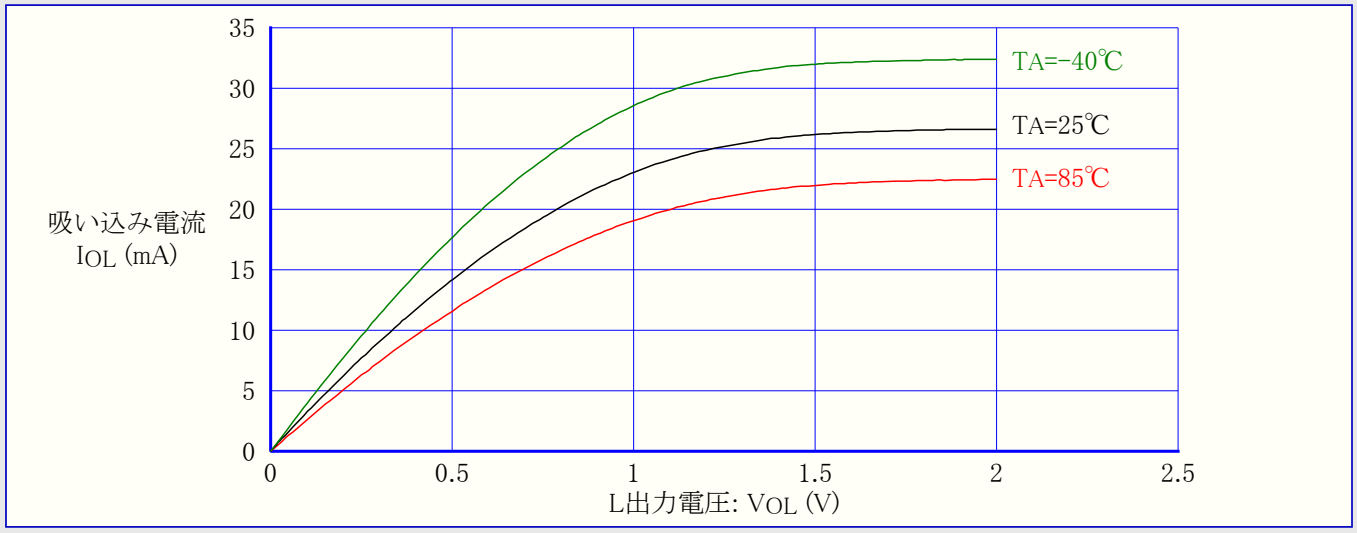


図33-25. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



33.8. ピン 閾値とヒステリシス

図33-26. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)

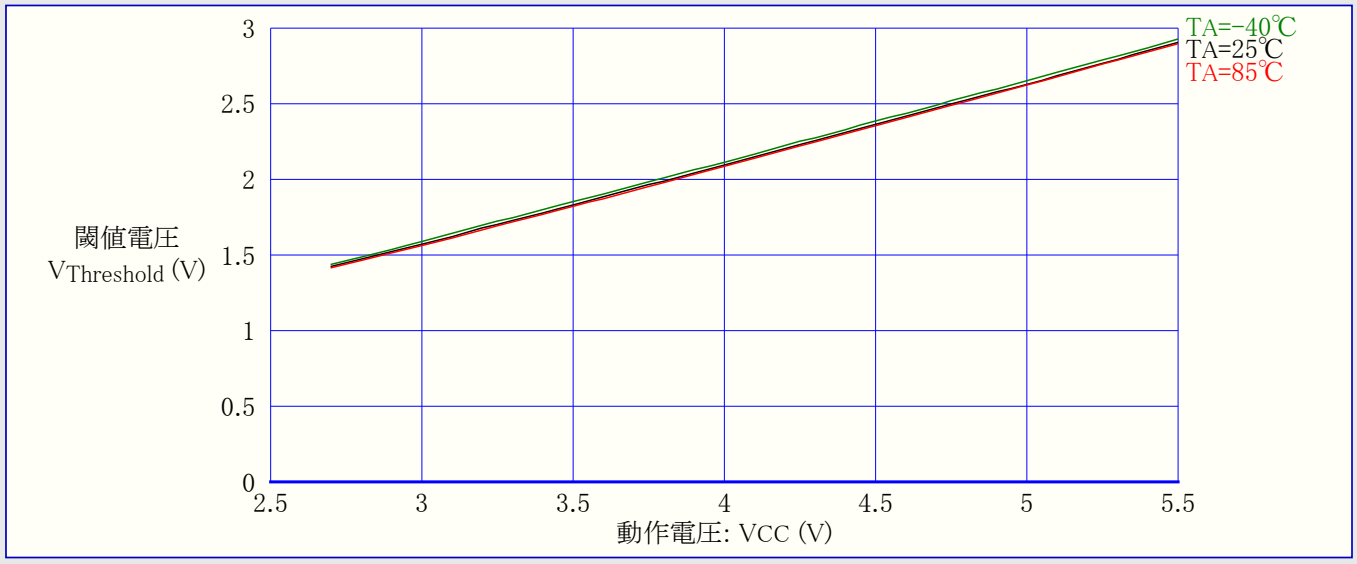


図33-27. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)

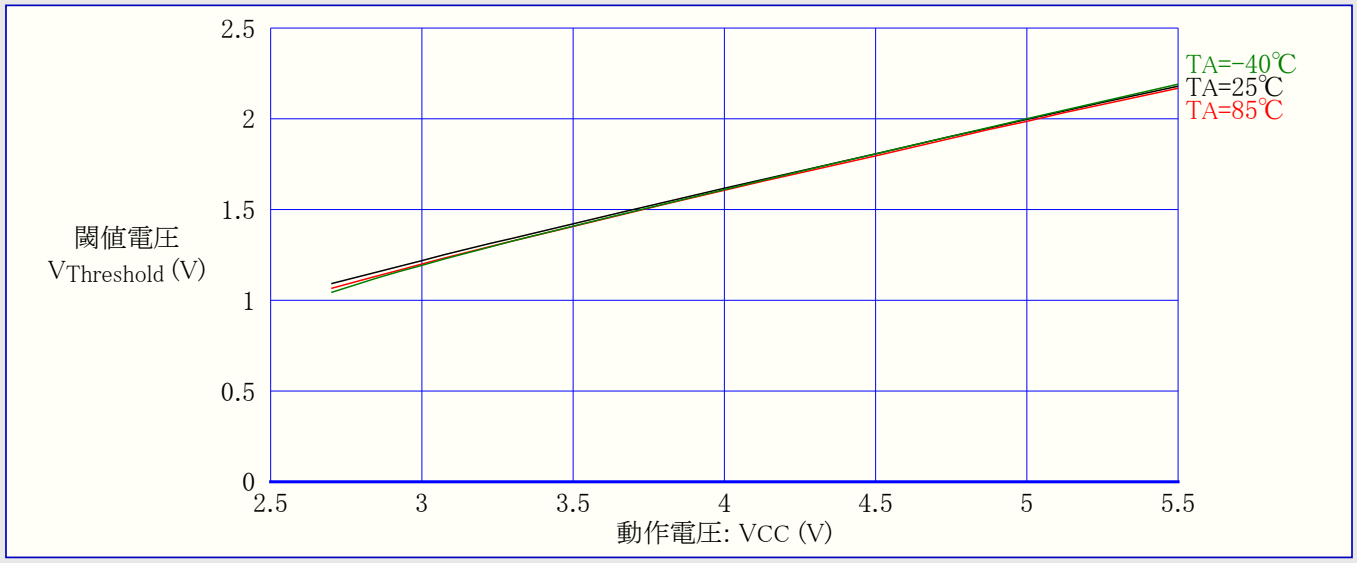
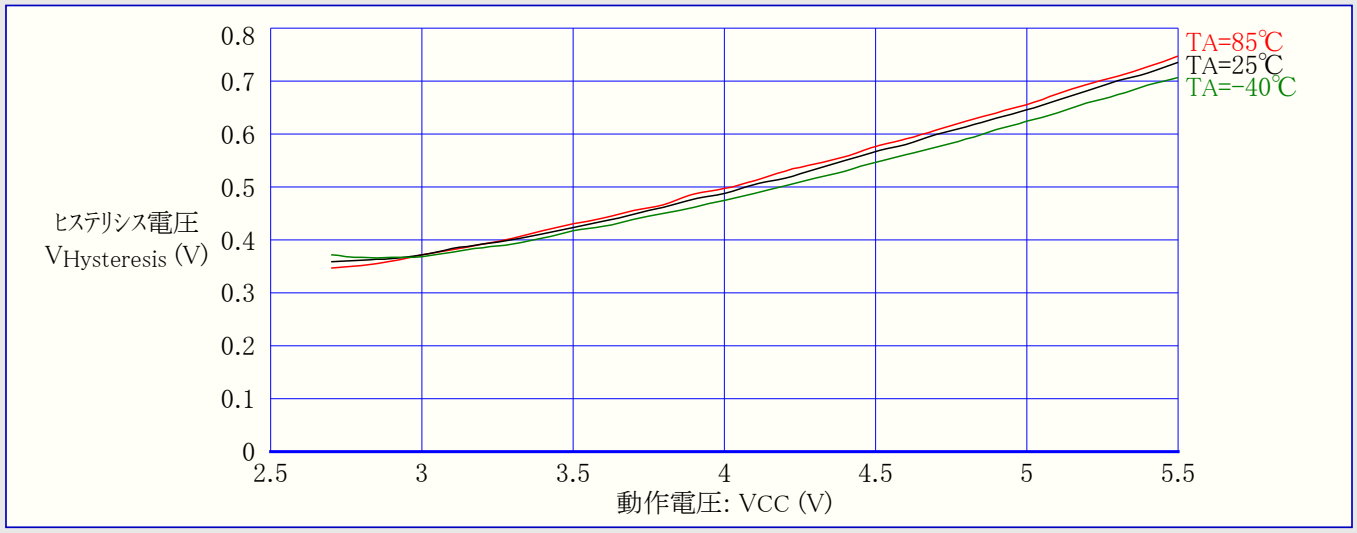


図33-28. I/Oピン入力ヒステリシス電圧 対 動作電圧



33.9. 低電圧検出器(BOD)閾値とアナログ比較器オフセット

図33-29. 低電圧検出器(BOD)閾値(スレッショールド)電圧 対 動作温度 (検出電圧4.0V)

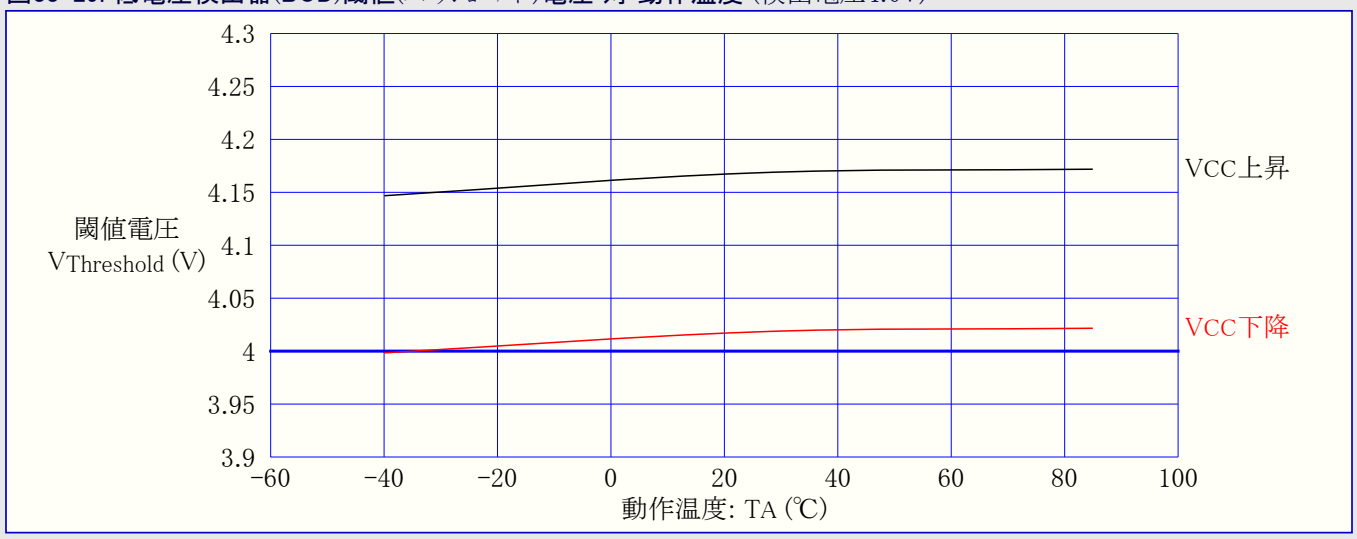


図33-30. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧2.7V)

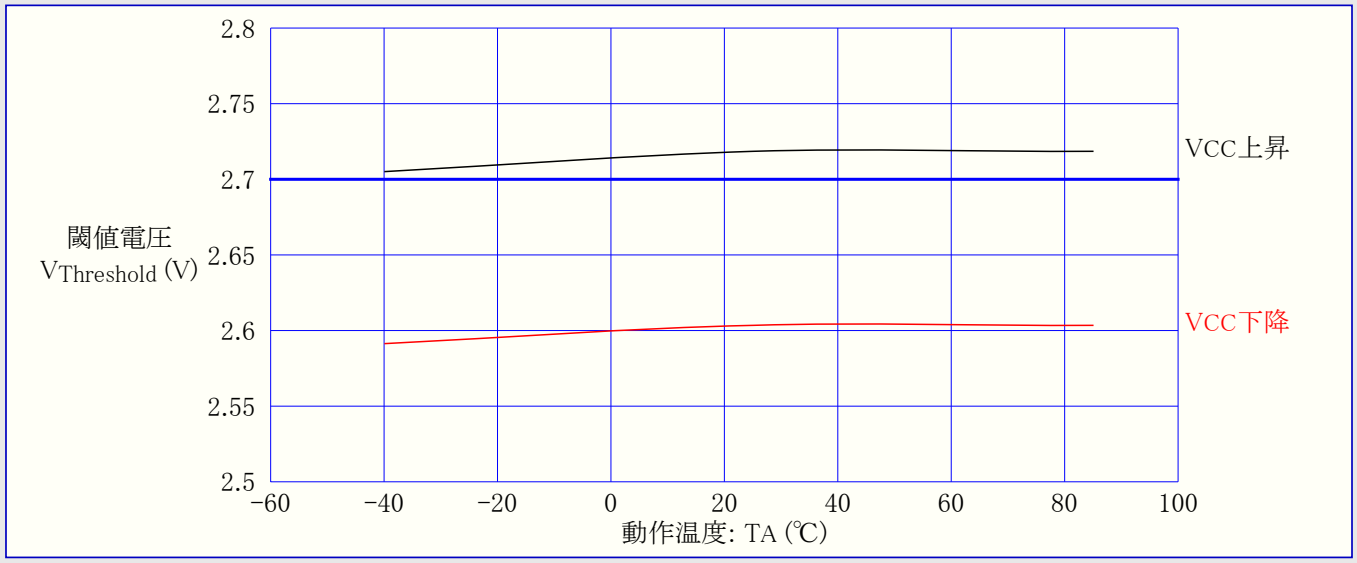
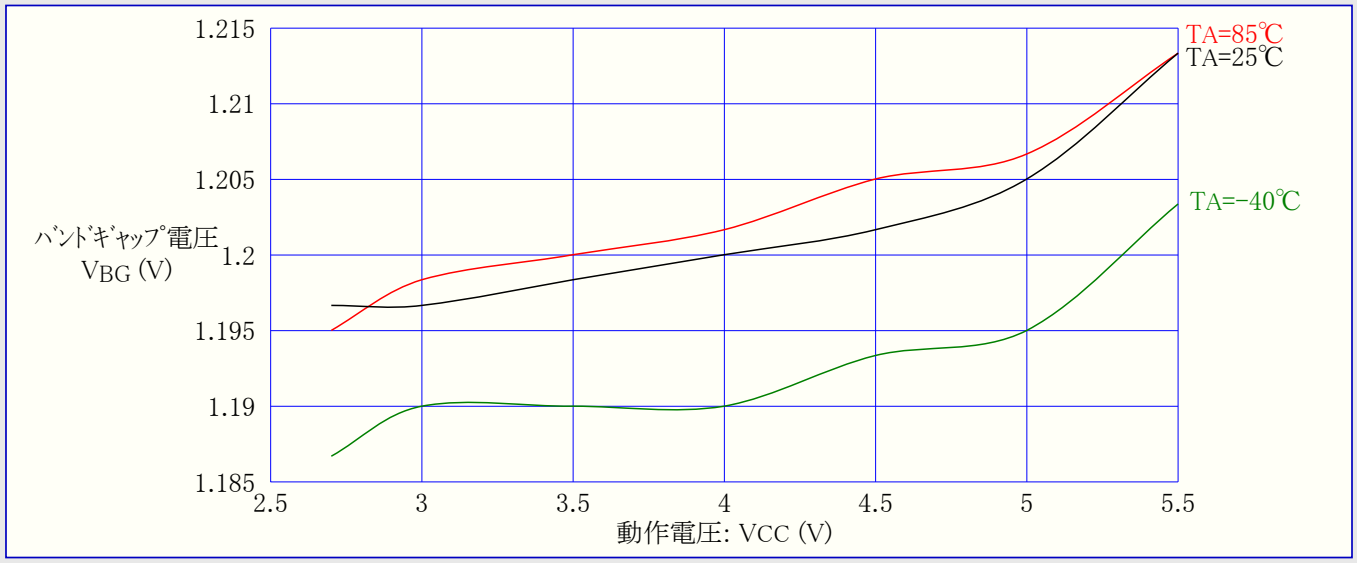


図33-31. 内部基準(ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ)電圧 対 動作電圧



33.10. 内部発振器周波数

図33-32. ｳｫｯﾁﾄﾞｯｸﾞ発振器周波数 対 動作電圧

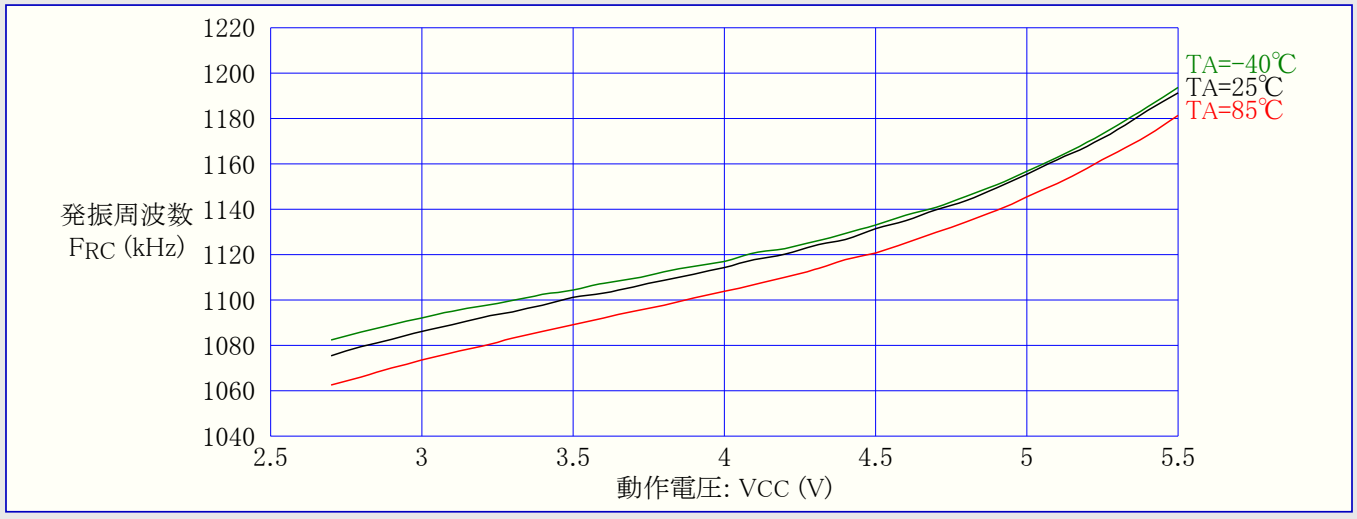


図33-33. 校正済み1MHz内蔵RC発振器周波数 対 動作温度

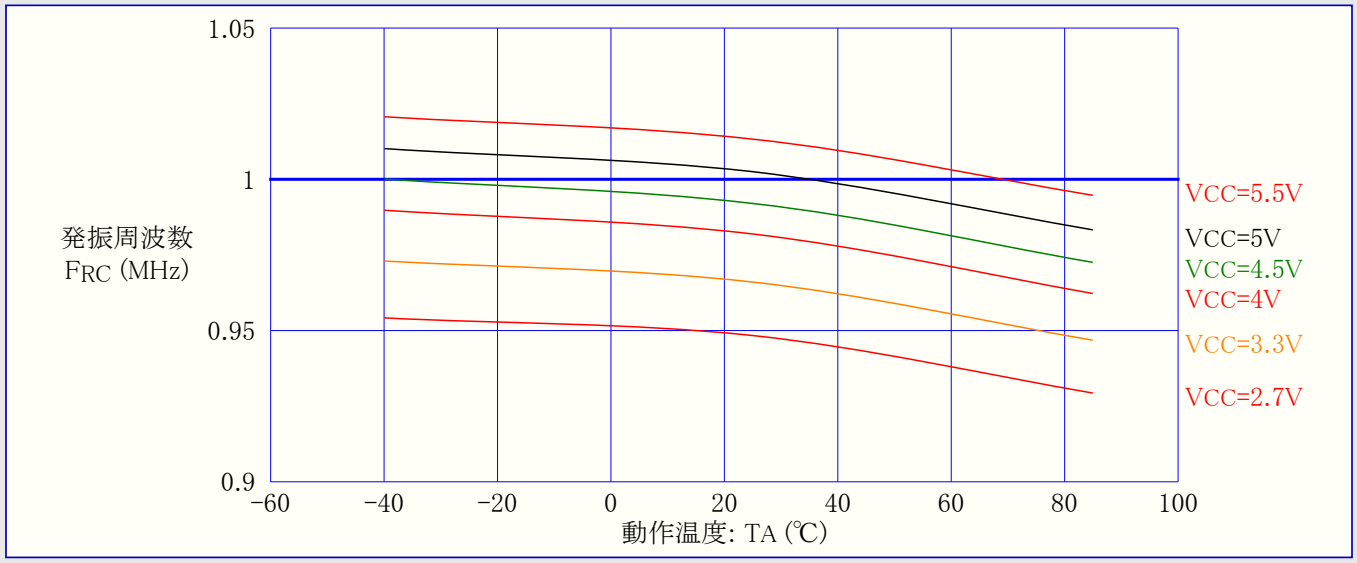


図33-34. 校正済み1MHz内蔵RC発振器周波数 対 動作電圧

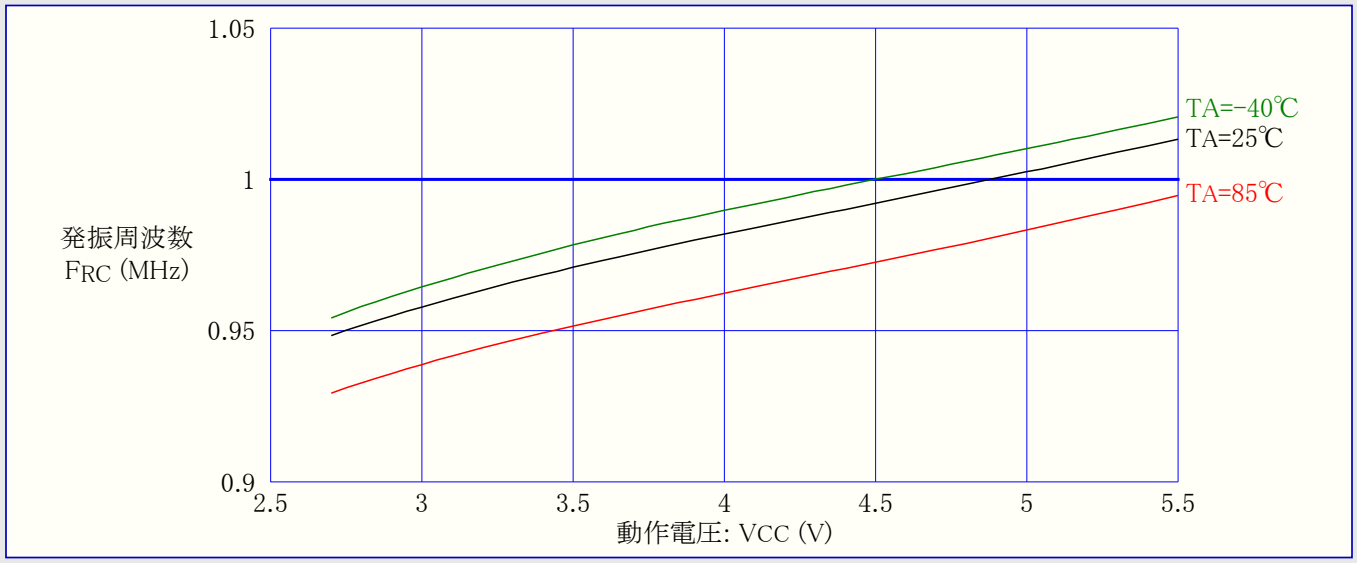


図33-35. 校正付き1MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値

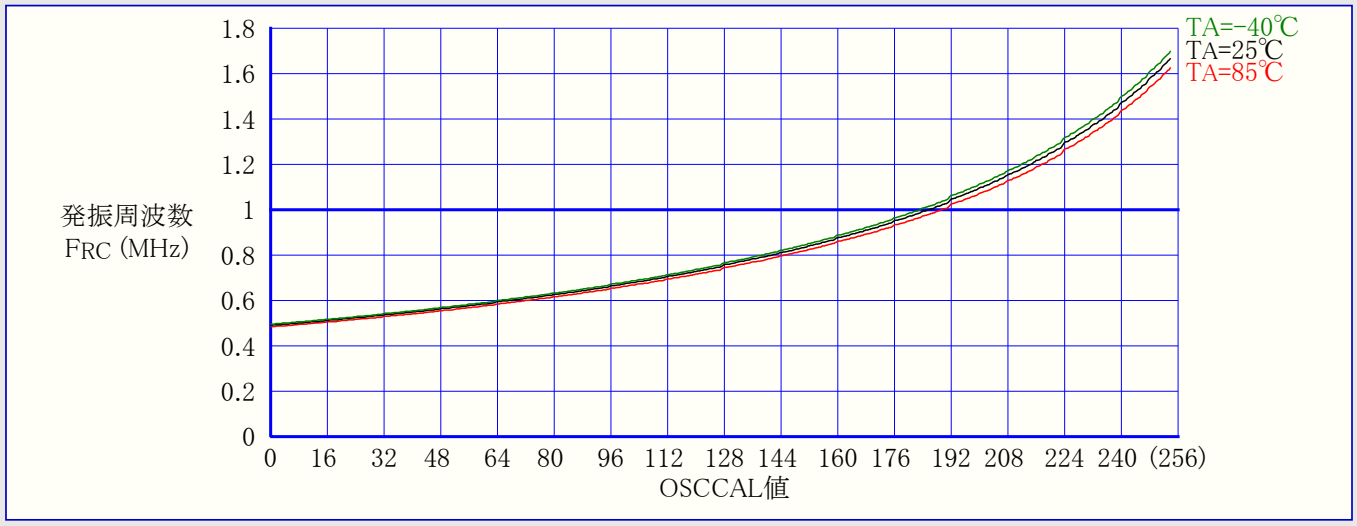


図33-36. 校正済み2MHz内蔵RC発振器周波数 対 動作温度

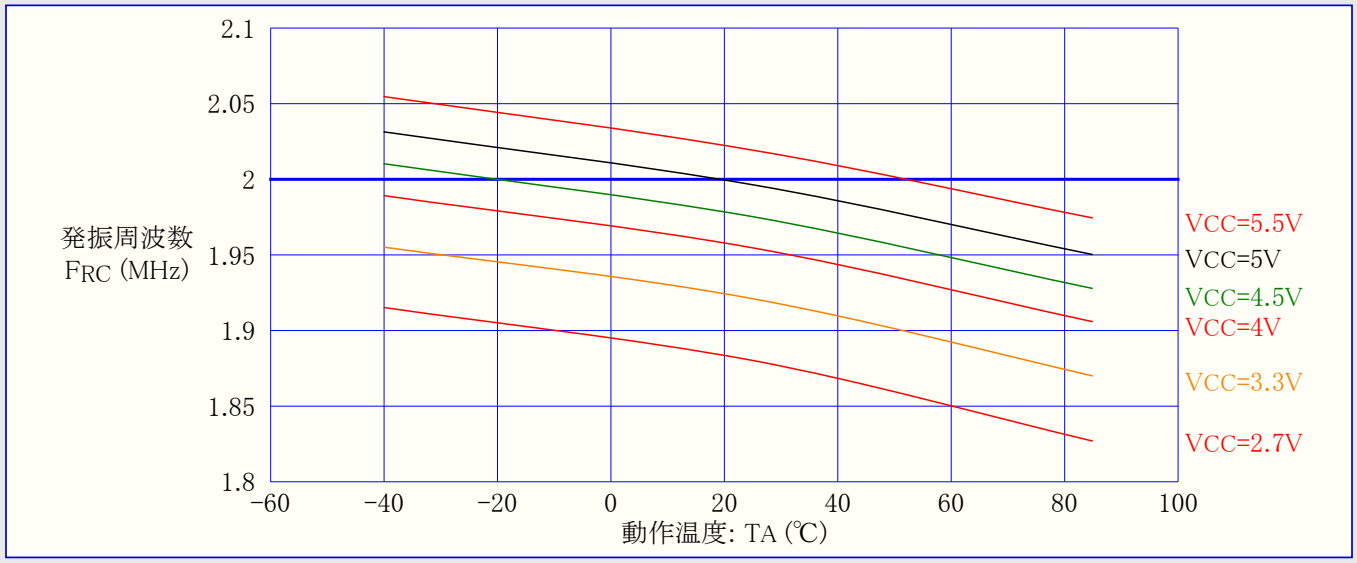


図33-37. 校正済み2MHz内蔵RC発振器周波数 対 動作電圧

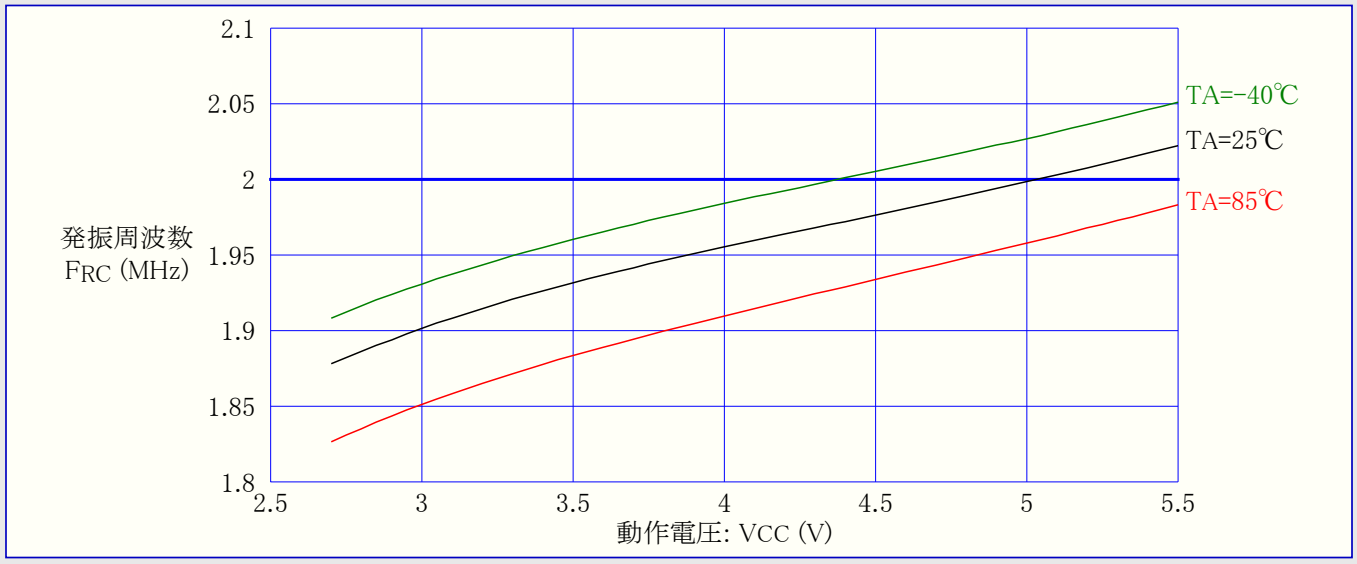


図33-38. 校正付き2MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値

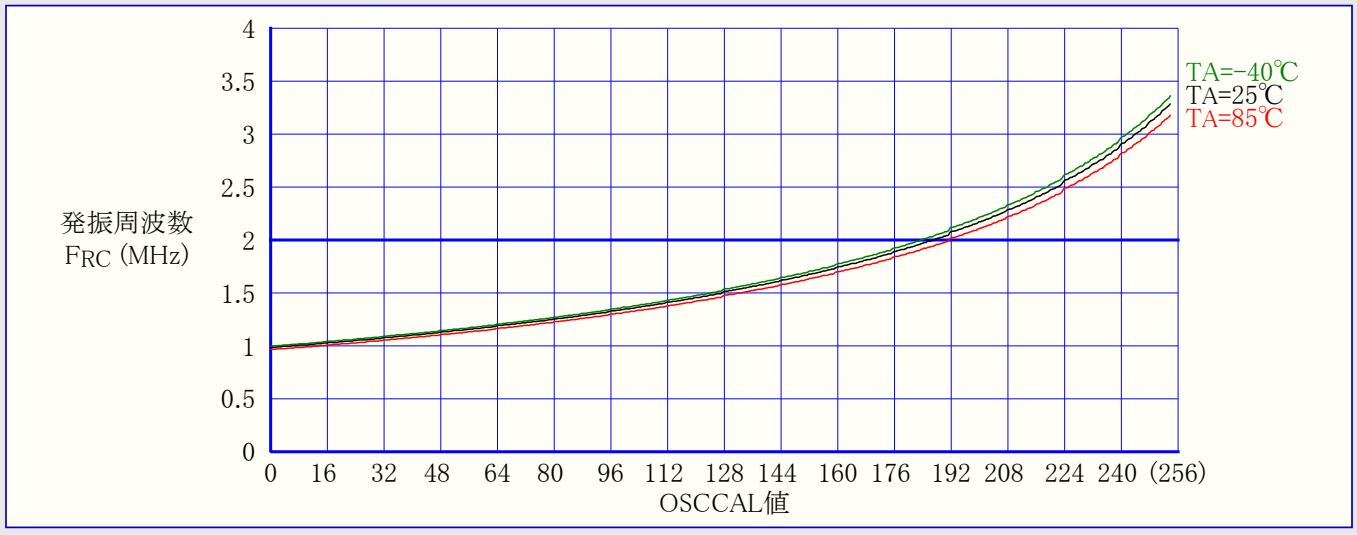


図33-39. 校正済み4MHz内蔵RC発振器周波数 対 動作温度

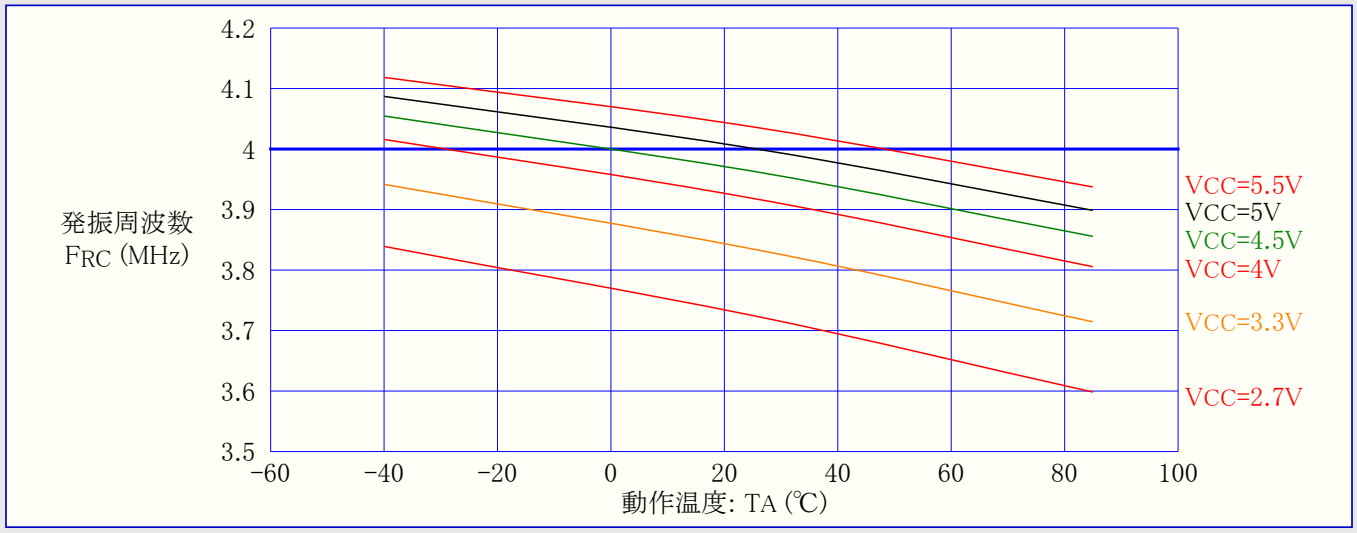


図33-40. 校正済み4MHz内蔵RC発振器周波数 対 動作電圧

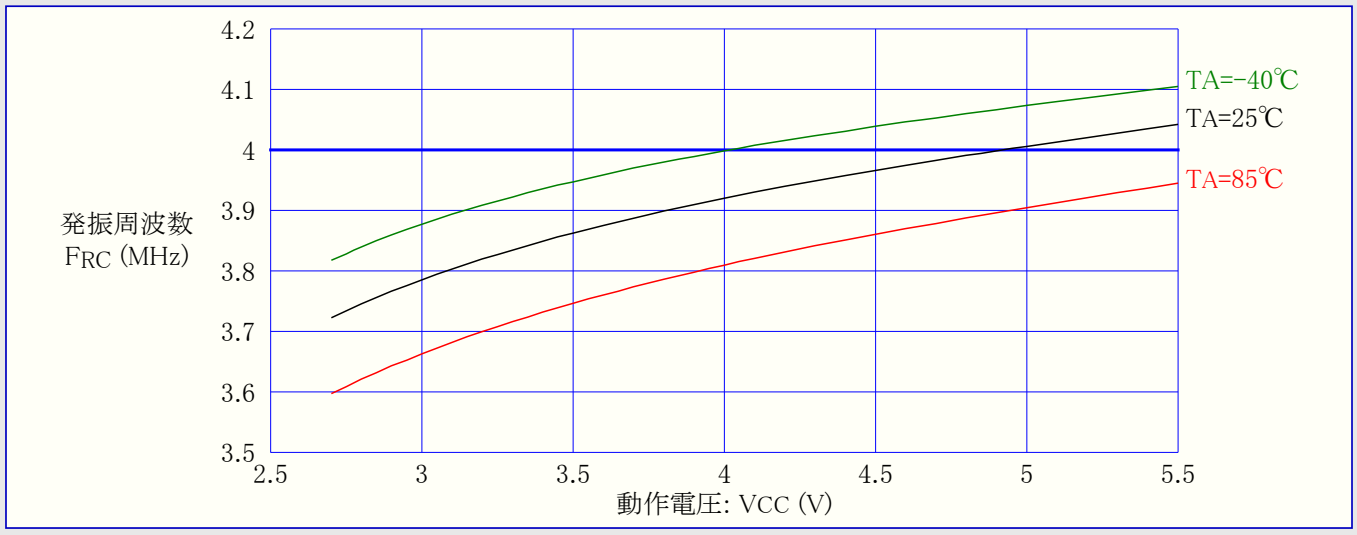


図33-41. 校正付き4MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値

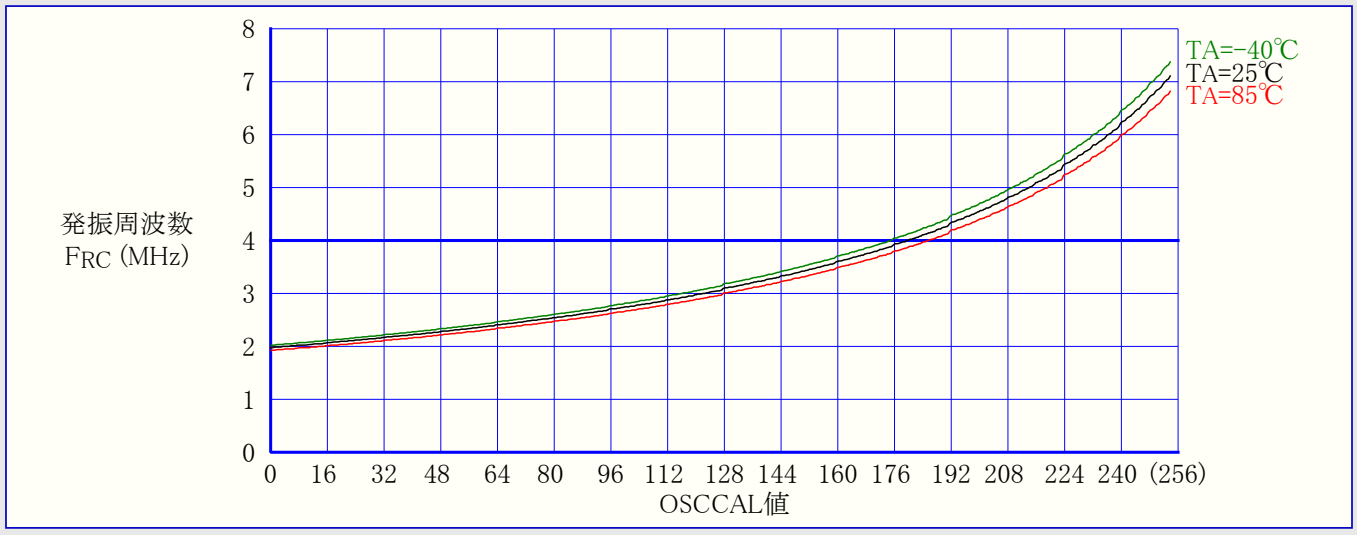


図33-42. 校正済み8MHz内蔵RC発振器周波数 対 動作温度

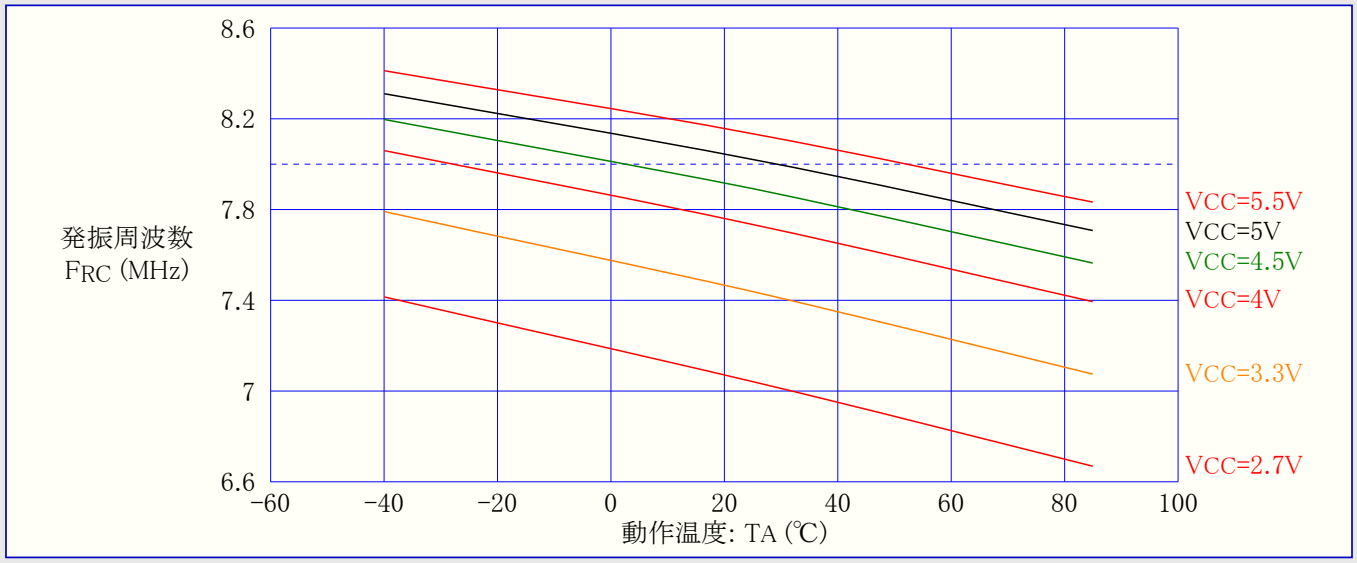


図33-43. 校正済み8MHz内蔵RC発振器周波数 対 動作電圧

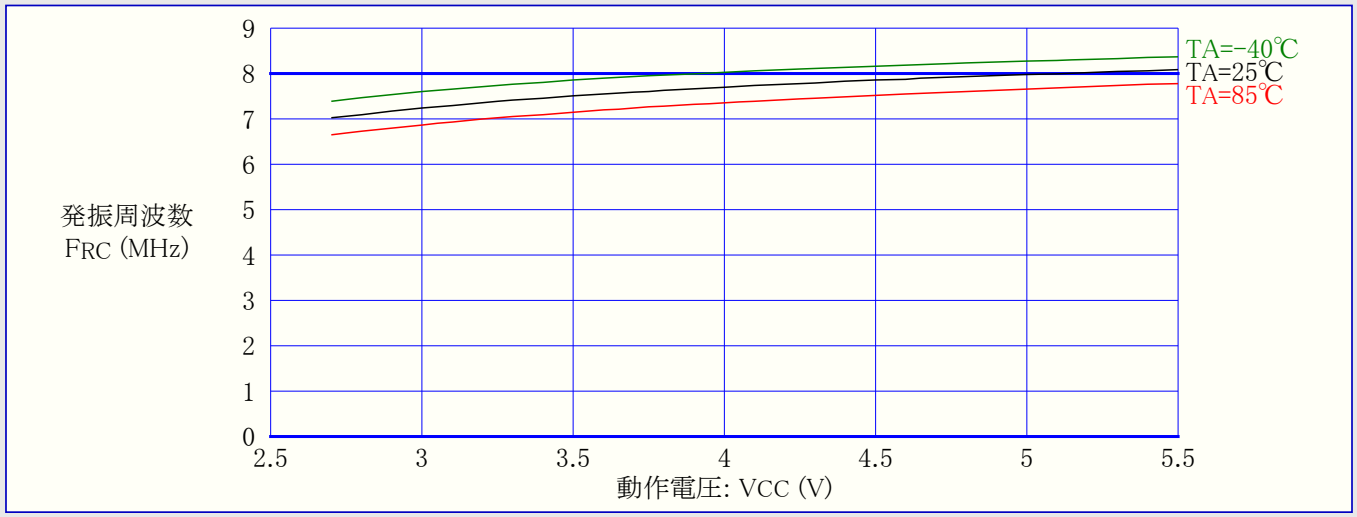
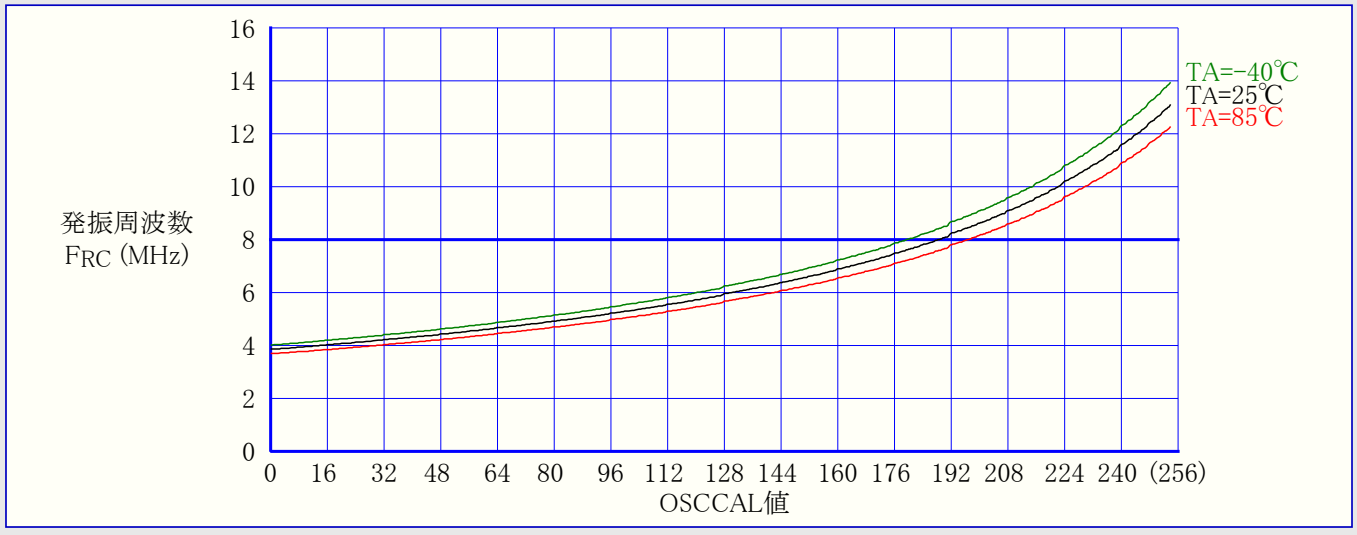


図33-44. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値



33.11. 周辺機能部消費電流

図33-45. 低電圧検出器(BOD)消費電流 対 動作電圧

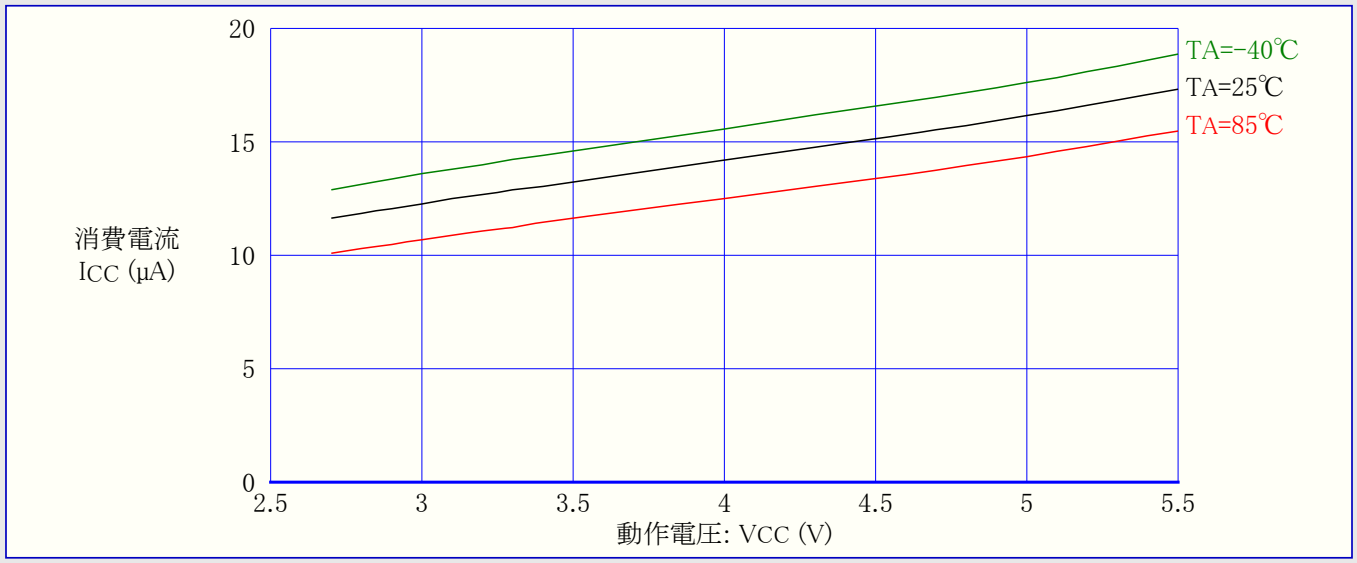


図33-46. A/D変換器消費電流 対 動作電圧 (変換クロック=50kHz)

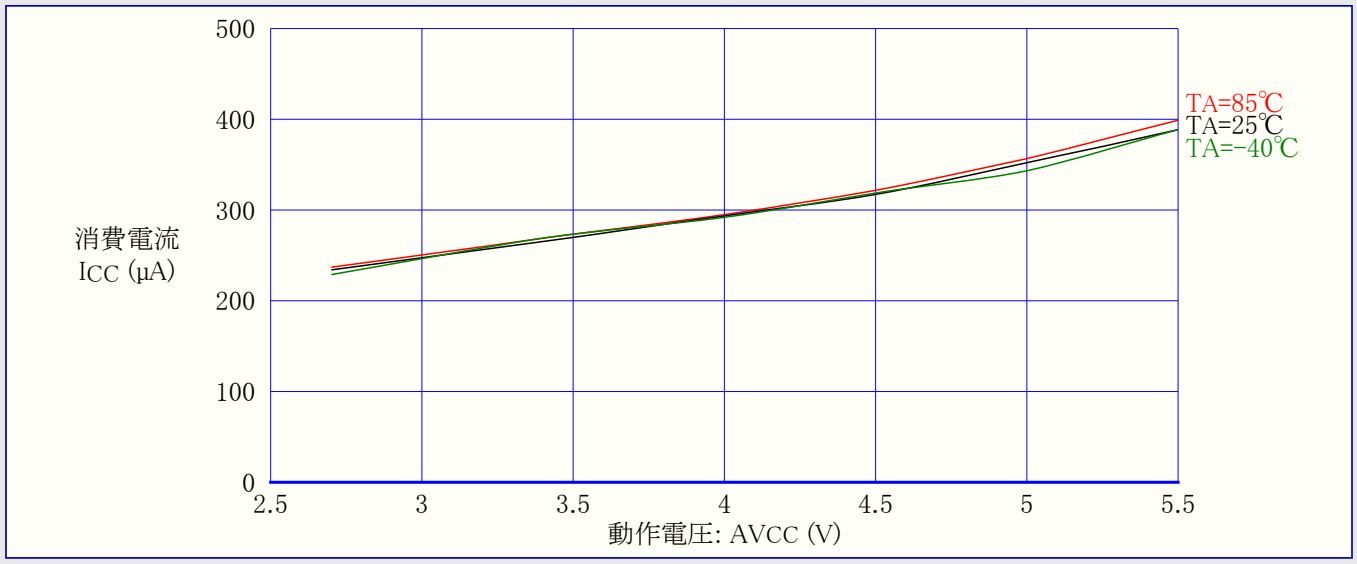


図33-47. 外部基準電圧(AREF)電流 対 動作電圧 (変換クロック=1MHz)

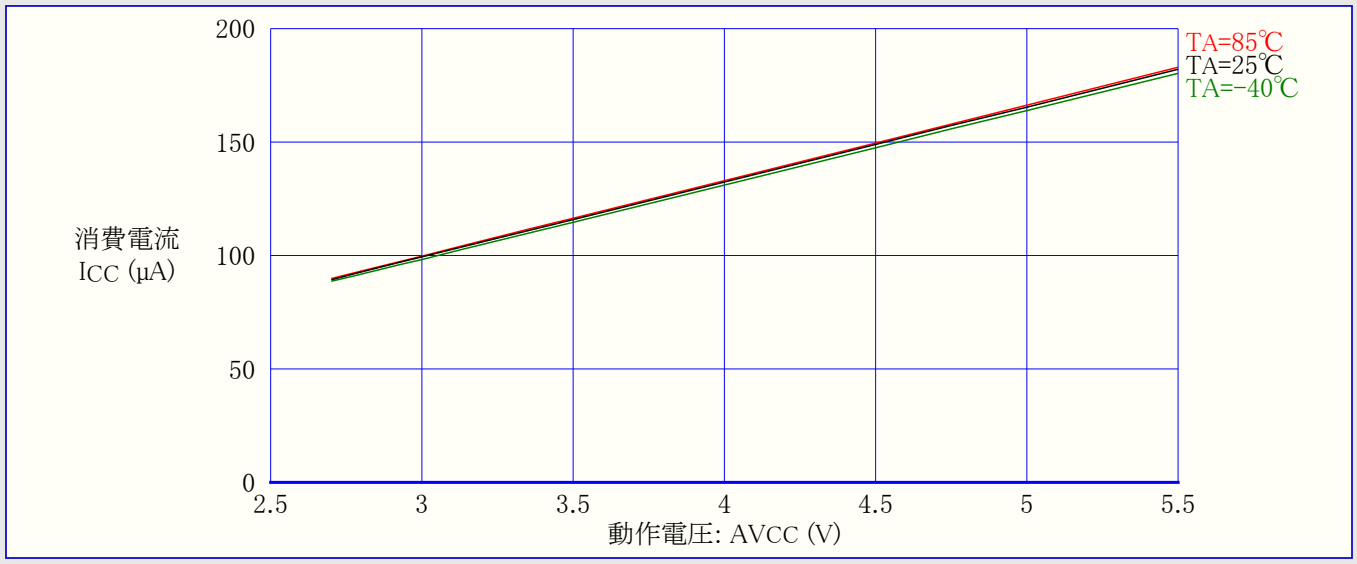


図33-48. ｱﾅﾛｸﾞ比較器消費電流 対 動作電圧

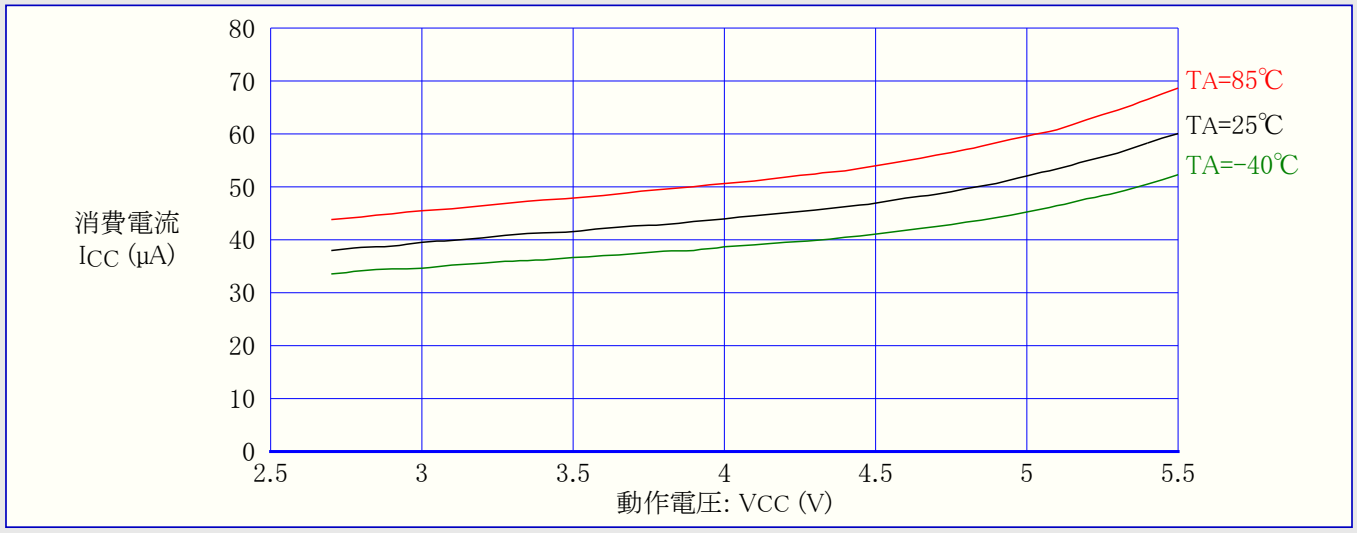
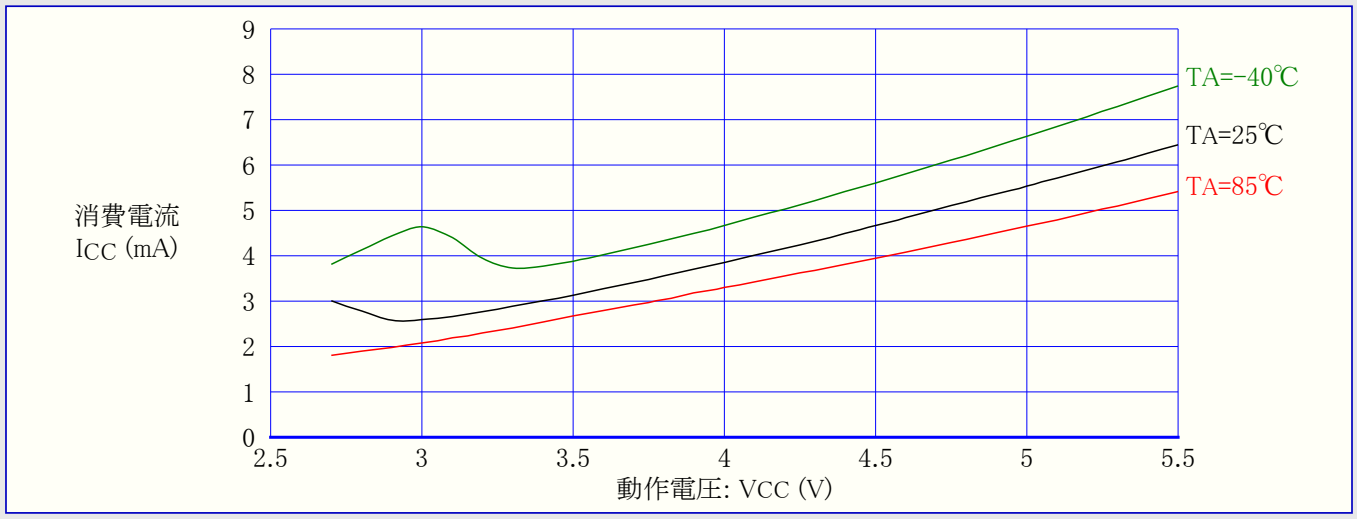


図33-49. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ電流 対 動作電圧



33.12. リセット消費電流とリセット ﾊﾟﾙｽ幅

図33-50. リセット消費(供給)電流 対 周波数 (100kHz～1MHz、RESETﾌﾟﾙｱｯﾌﾟ電流を除く)

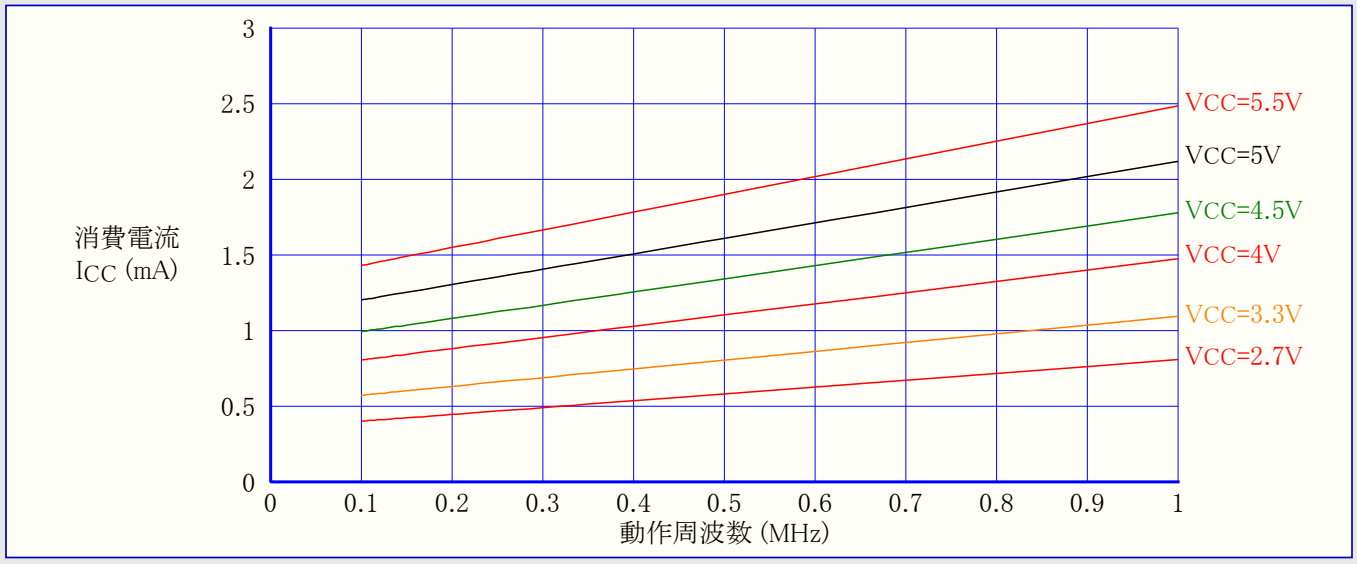


図33-51. リセット消費(供給)電流 対 周波数 (1MHz～16MHz、RESETﾌﾟﾙｱｯﾌﾟ電流を除く)

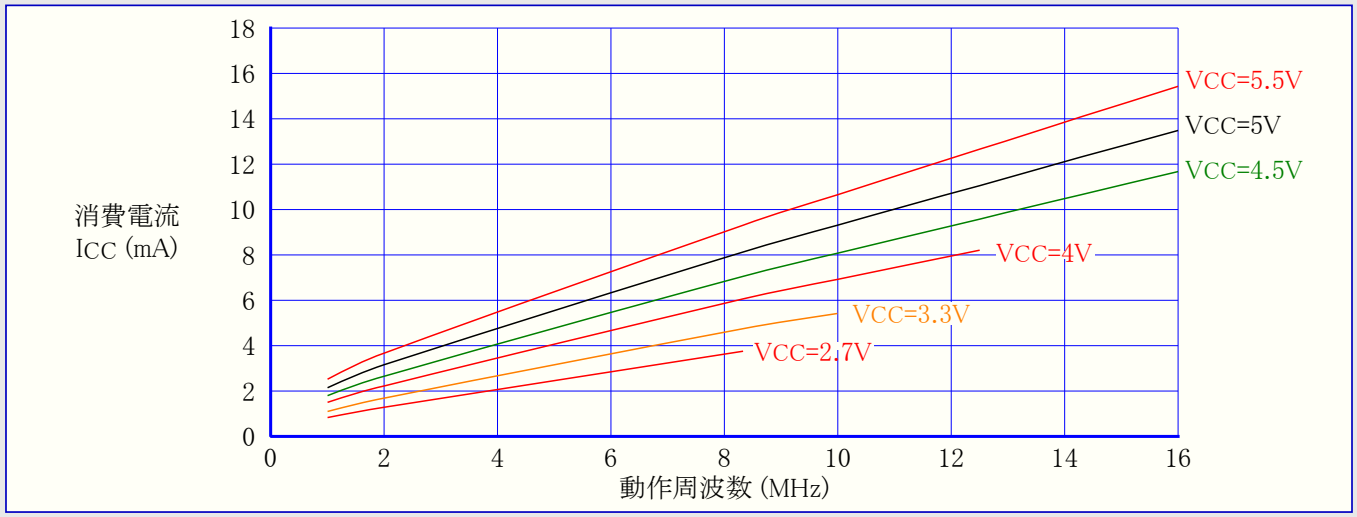


図33-52. RESETﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=5V)

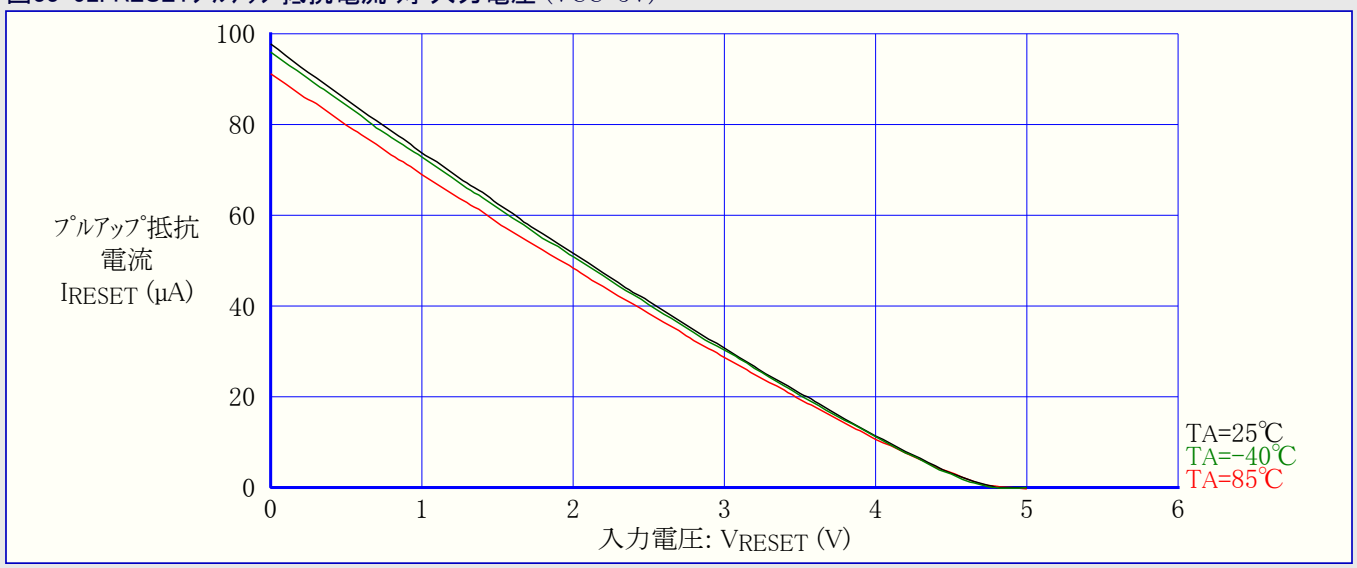


図33-53. RESETﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=2.7V)

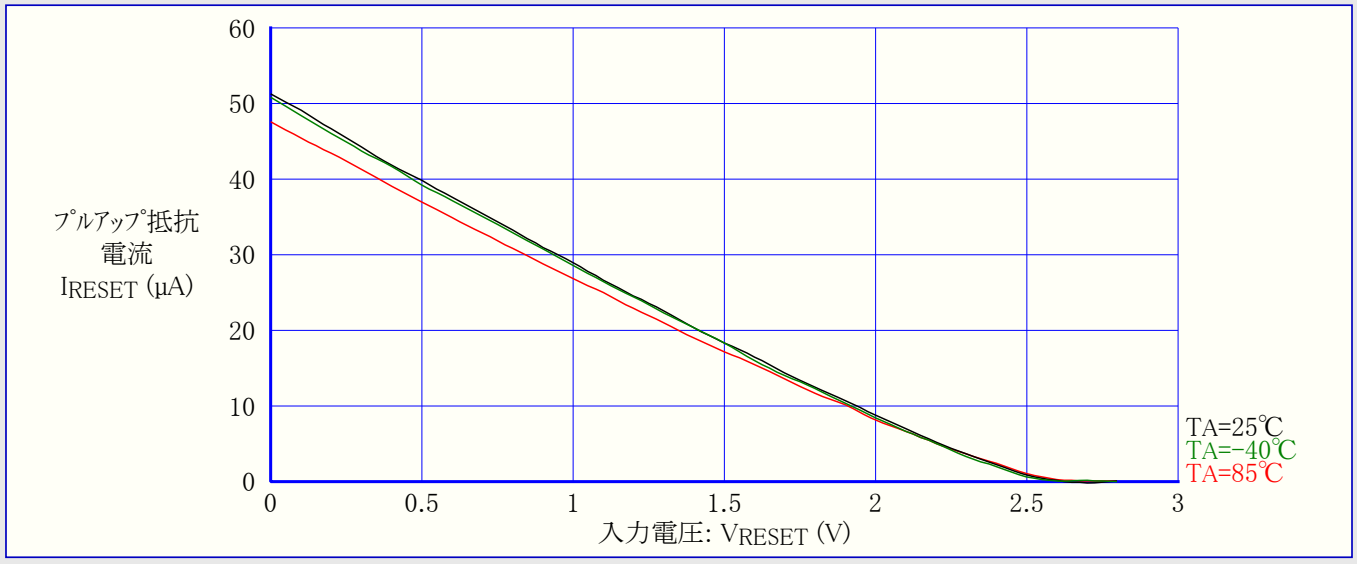


図33-54. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)

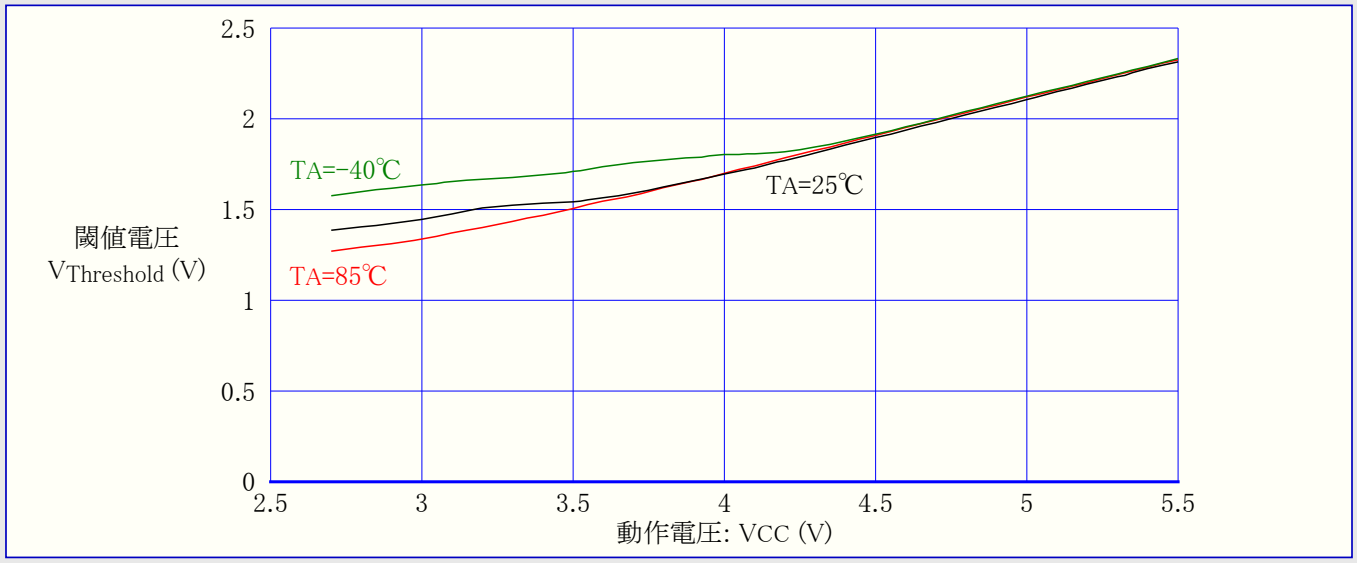


図33-55. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)

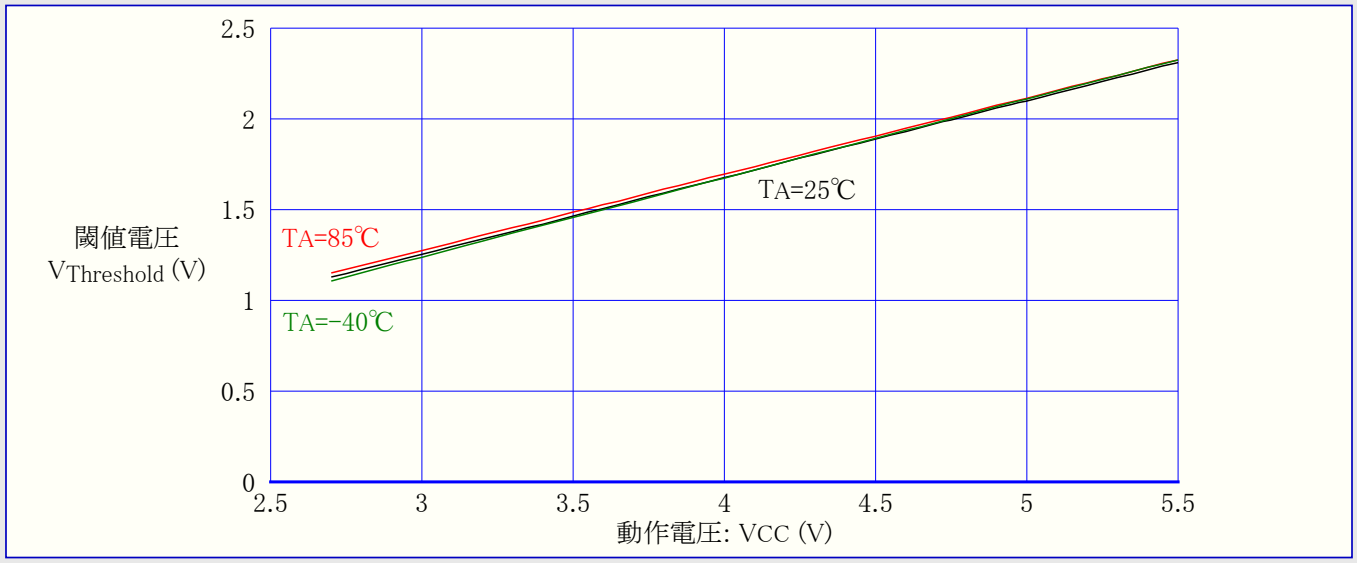


図33-56. RESET入力ヒステリシス電圧 対 動作電圧

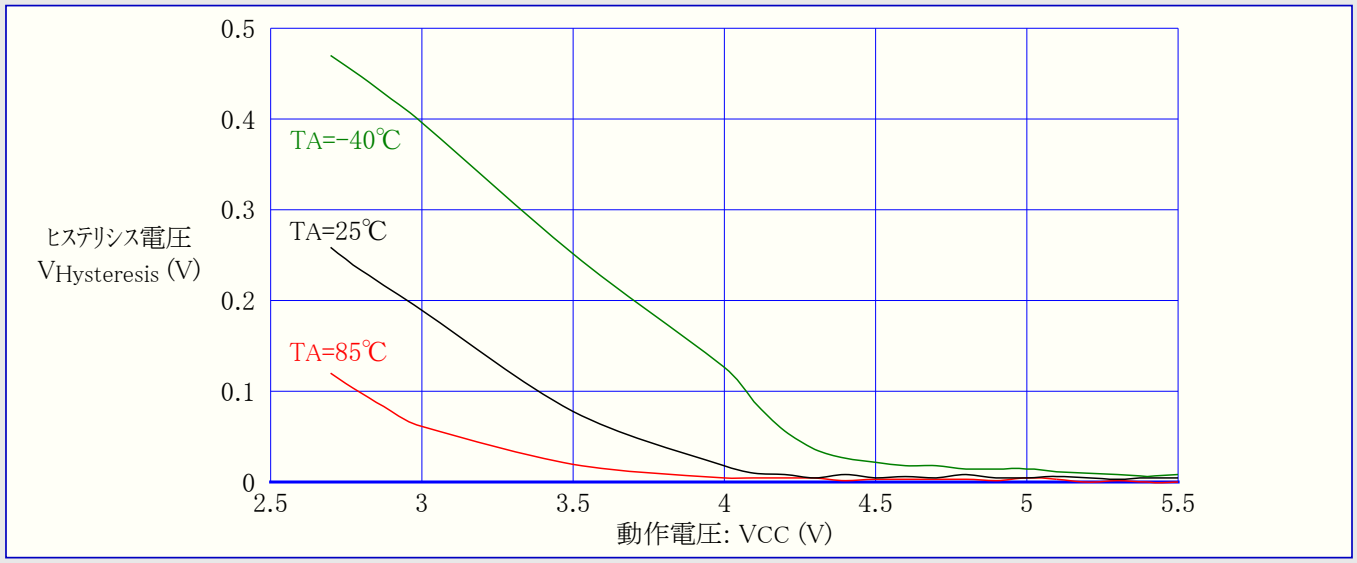
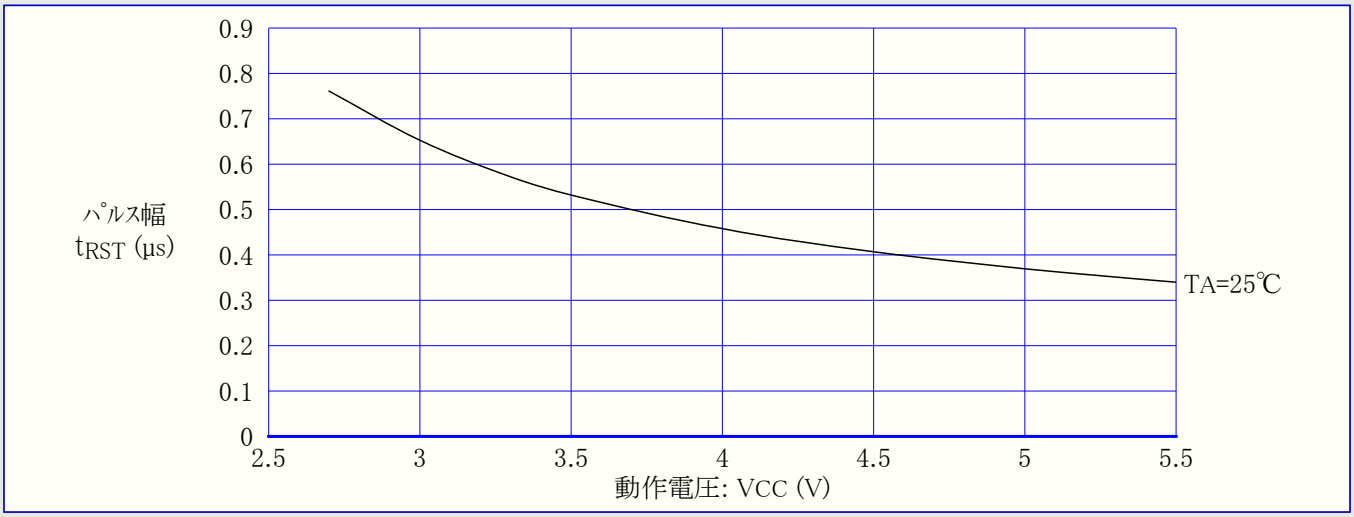


図33-57. リセット パルス幅 対 動作電圧 (1MHz外部クロック)



34. レジスタ要約

拡張I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
(～$FF)	予約								
($9F)	予約								
($9E)	予約								
($9D)	UCSR1C	–	UMSEL1	UPM11	UPM10	USBS1	UCSZ11	UCSZ10	UCPOL1
($9C)	UDR1	USART1 データ レジスタ							
($9B)	UCSR1A	RXC1	TXC1	UDRE1	FE1	DOR1	UPE1	U2X1	MPCM1
($9A)	UCSR1B	RXCIE1	TXCIE1	UDRIE1	RXEN1	TXEN1	UCSZ12	RXB81	TXB81
($99)	UBRR1L	USART1 ボーレート レジスタ下位バイト (UBRR17～0)							
($98)	UBRR1H	–	–	–	–	USART1 ボーレート レジスタ上位 (UBRR111～8)			
($97)	予約								
($96)	予約								
($95)	UCSR0C	–	UMSEL0	UPM01	UPM00	USBS0	UCSZ01	UCSZ00	UCPOL0
($94)	予約								
($93)	予約								
($92)	予約								
($91)	予約								
($90)	UBRR0H	–	–	–	–	USART0 ボーレート レジスタ上位 (UBRR011～8)			
($8F)	予約								
($8E)	予約								
($8D)	予約								
($8C)	TCCR3C	FOC3A	FOC3B	FOC3C	–	–	–	–	–
($8B)	TCCR3A	COM3A1	COM3A0	COM3B1	COM3B0	COM3C1	COM3C0	WGM31	WGM30
($8A)	TCCR3B	ICNC3	ICES3	–	WGM33	WGM32	CS32	CS31	CS30
($89)	TCNT3H	タイマ/カウンタ3 上位バイト							
($88)	TCNT3L	タイマ/カウンタ3 下位バイト							
($87)	OCR3AH	タイマ/カウンタ3 比較Aレジスタ上位バイト							
($86)	OCR3AL	タイマ/カウンタ3 比較Aレジスタ下位バイト							
($85)	OCR3BH	タイマ/カウンタ3 比較Bレジスタ上位バイト							
($84)	OCR3BL	タイマ/カウンタ3 比較Bレジスタ下位バイト							
($83)	OCR3CH	タイマ/カウンタ3 比較Cレジスタ上位バイト							
($82)	OCR3CL	タイマ/カウンタ3 比較Cレジスタ下位バイト							
($81)	ICR3H	タイマ/カウンタ3 捕獲レジスタ上位バイト							
($80)	ICR3L	タイマ/カウンタ3 捕獲レジスタ下位バイト							
($7F)	予約								
($7E)	予約								
($7D)	ETIMSK	–	–	TICIE3	OCIE3A	OCIE3B	TOIE3	OCIE3C	OCIE1C
($7C)	ETIFR	–	–	ICF3	OCF3A	OCF3B	TOV3	OCF3C	OCF1C
($7B)	予約								
($7A)	TCCR1C	FOC1A	FOC1B	FOC1C	–	–	–	–	–
($79)	OCR1CH	タイマ/カウンタ1 比較Cレジスタ上位バイト							
($78)	OCR1CL	タイマ/カウンタ1 比較Cレジスタ下位バイト							
($77)	予約								
($76)	予約								
($75)	予約								
($74)	TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE
($73)	TWDR	2線直列インターフェース データ レジスタ							
($72)	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
($71)	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0
($70)	TWBR	2線直列インターフェース ビット速度レジスタ							
($6F)	OSCCAL	内蔵RC発振器 発振校正値レジスタ							
($6E)	予約								
($6D)	XMCRA	–	SRL2	SRL1	SRL0	SRW01	SRW00	SRW11	–
($6C)	XMCRB	XMBK	–	–	–	–	XMM2	XMM1	XMM0
($6B)	予約								
($6A)	EICRA	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00
($69)	予約								
($68)	SPMCSR	SPMIE	RWWSB	–	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN
($67)	予約								
($66)	予約								
($65)	PORTG	–	–	–	PORTG4	PORTG3	PORTG2	PORTG1	PORTG0
($64)	DDRG	–	–	–	DDF4	DDF3	DDF2	DDF1	DDF0
($63)	PING	–	–	–	PINF4	PINF3	PINF2	PINF1	PINF0
($62)	PORTF	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0
($61)	DDRF	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0
($60)	予約								

I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
$3F ($5F)	SREG	I	T	H	S	V	N	Z	C
$3E ($5E)	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8
$3D ($5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
$3C ($5C)	XDIV	XDIVEN	XDIV6	XDIV5	XDIV4	XDIV3	XDIV2	XDIV1	XDIV0
$3B ($5B)	RAMPZ	–	–	–	–	–	–	–	RAMPZ0
$3A ($5A)	EICRB	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40
$39 ($59)	EIMSK	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0
$38 ($58)	EIFR	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0
$37 ($57)	TIMSK	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0
$36 ($56)	TIFR	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0
$35 ($55)	MCUCR	SRE	SRW10	SE	SM1	SM0	SM2	IVSEL	IVCE
$34 ($54)	MCUCSR	JTD	–	–	JTRF	WDRF	BORF	EXTRF	PORF
$33 ($53)	TCCR0	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00
$32 ($52)	TCNT0	タイマ/カウンタ0							
$31 ($51)	OCR0	タイマ/カウンタ0 比較レジスタ							
$30 ($50)	ASSR	–	–	–	–	AS0	TCN0UB	OCR0UB	TCR0UB
$2F ($4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	WGM11	WGM10
$2E ($4E)	TCCR1B	ICNC1	ICES1	–	WGM13	WGM12	CS12	CS11	CS10
$2D ($4D)	TCNT1H	タイマ/カウンタ1 上位バイト							
$2C ($4C)	TCNT1L	タイマ/カウンタ1 下位バイト							
$2B ($4B)	OCR1AH	タイマ/カウンタ1 比較Aレジスタ 上位バイト							
$2A ($4A)	OCR1AL	タイマ/カウンタ1 比較Aレジスタ 下位バイト							
$29 ($49)	OCR1BH	タイマ/カウンタ1 比較Bレジスタ 上位バイト							
$28 ($48)	OCR1BL	タイマ/カウンタ1 比較Bレジスタ 下位バイト							
$27 ($47)	ICR1H	タイマ/カウンタ1 捕獲レジスタ 上位バイト							
$26 ($46)	ICR1L	タイマ/カウンタ1 捕獲レジスタ 下位バイト							
$25 ($45)	TCCR2	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20
$24 ($44)	TCNT2	タイマ/カウンタ2							
$23 ($43)	OCR2	タイマ/カウンタ2 比較レジスタ							
$22 ($42)	OCDR	IDRD/OCDR7	OCDR6	OCDR5	OCDR4	OCDR3	OCDR2	OCDR1	OCDR0
$21 ($41)	WDTCR	–	–	–	WDCE	WDE	WDP2	WDP1	WDP0
$20 ($40)	SFIOR	TSM	–	–	–	ACME	PUD	PSR0	PSR321
$1F ($3F)	EEARH	–	–	–	–	EEAR11	EEAR10	EEAR9	EEAR8
$1E ($3E)	EEARL	–	EEPROMアドレス レジスタ 下位バイト (EEAR7～0)						
$1D ($3D)	EEDR	EEPROMデータ レジスタ							
$1C ($3C)	EECR	–	–	–	–	EERIE	EEMWE	EEWE	EERE
$1B ($3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0
$1A ($3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0
$19 ($39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0
$18 ($38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0
$17 ($37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0
$16 ($36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
$15 ($35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0
$14 ($34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0
$13 ($33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0
$12 ($32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
$11 ($31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
$10 ($30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
$0F ($2F)	SPDR	SPI データ レジスタ							
$0E ($2E)	SPSR	SPIF	WCOL	–	–	–	–	–	SPI2X
$0D ($2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
$0C ($2C)	UDR0	USART0 データ レジスタ							
$0B ($2B)	UCSR0A	RXC0	TXC0	UDRE0	FE0	DOR0	UPE0	U2X0	MPCM0
$0A ($2A)	UCSR0B	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	UCSZ02	RXB80	TXB80
$09 ($29)	UBRR0L	USART0 ボーレート レジスタ 下位バイト (UBRR07～0)							
$08 ($28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0
$07 ($27)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0
$06 ($26)	ADCSRA	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0
$05 ($25)	ADCH	A/Dデータ レジスタ 上位バイト (ADC9～8またはADC9～2)							
$04 ($24)	ADCL	A/Dデータ レジスタ 下位バイト (ADC7～0またはADC1～0)							
$03 ($23)	PORTE	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0
$02 ($22)	DDRE	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0
$01 ($21)	PINE	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0
$00 ($20)	PINF	PINF7	PINF6	PINF5	PINF4	PINF3	PINF2	PINF1	PINF0

注: ・ 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリ アドレスは決して書かれるべきではありません。

・ いくつかの状態ビットはそれらに論理1を書くことによって解除(0)されます。CBI,SBI命令はそのI/Oレジスタ内の全ビットを操作し、設定(1)として読んだどのフラグにも1を書き戻します。従ってフラグを解除(0)します。CBI,SBI命令は$00～$1FのI/Oレジスタだけで動作します。

35. 命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
			算術、論理演算命令		
ADD	Rd,Rr	汎用レジスタ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	RdH:RdL ← RdH:RdL + K6	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd ← Rd − Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd ← Rd − K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	RdH:RdL ← RdH:RdL − K6	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd ← Rd − Rr − C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd ← Rd − K − C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF − Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 − Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	Rd ← Rd AND ($FF − K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(−1)	Rd ← Rd − 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	R1:R0 ← Rd×Rr (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	R1:R0 ← Rd×Rr (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1:R0 ← Rd×Rr (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×U)	I,T,H,S,V,N,Z,C	2
			分岐命令		
RJMP	k	相対無条件分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	3
CALL	k	絶対サブルーチン呼び出し	STACK ← PC, PC ← k	I,T,H,S,V,N,Z,C	4
RET		サブルーチンからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	PC ← STACK	1,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd − Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd − Rr − C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd − K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータス フラグが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータス フラグが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリー フラグが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリー フラグが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの＜で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	−(マイナス)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの＜で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリー フラグが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数　P : I/Oレジスタ　Rd, Rr : 汎用レジスタ(R0～R31)　X, Y, Z : X, Y, Zレジスタ
b : ビット(0～7)　k : アドレス定数(7,12,16ビット)　q : 符号なし6ビット定数(変位)　s : ステータス フラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	Rd ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	R0 ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のレジスタへ)	Rd ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	Rd ← (RAMPZ:Z), RAMPZ:Z ← RAMPZ:Z + 1	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZ レジスタ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ステータス レジスタのビット設定(1)	SREG(s) ← 1	1,T,H,S,V,N,Z,C	1
BCLR	s	ステータス レジスタのビット解除(0)	SREG(s) ← 0	0,T,H,S,V,N,Z,C	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		キャリー フラグを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		キャリー フラグを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ゼロ フラグを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ゼロ フラグを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリー フラグを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリー フラグを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1

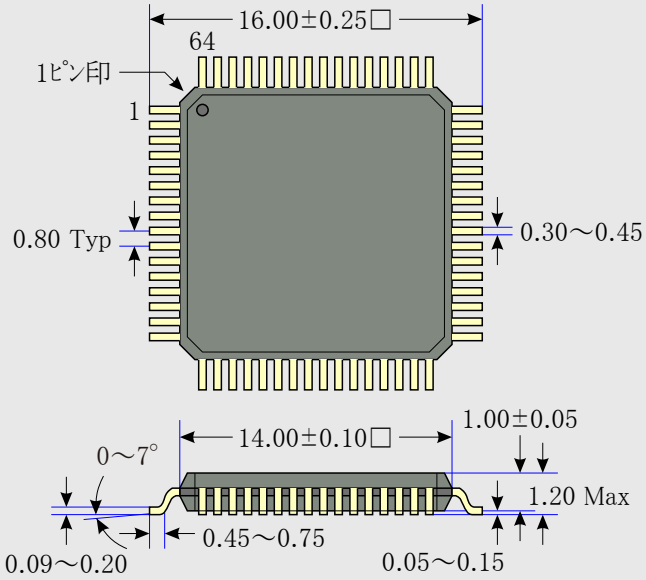
ニーモニック	オペランド	意味	動作	フラグ	クロック
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグ タイマ リセット	ウォッチドッグ タイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグ機能専用	I,T,H,S,V,N,Z,C	N/A

36. 外囲器情報

36.1. 64A

64ﾘｰﾄﾞ 0.8mmﾋﾟｯﾁ ﾌﾟﾗｽﾃｨｯｸ 4方向平板外囲器 (TQFP)

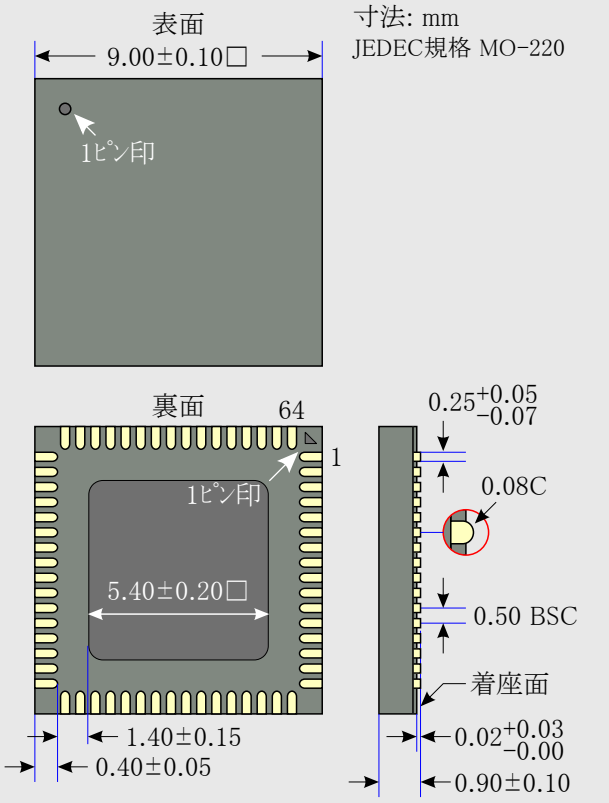
寸法: mm
JEDEC規格 MS-026 AEB



36.2. 64M1

64ﾊﾟｯﾄﾞ 0.5mmﾋﾟｯﾁ 4方向平板ﾘｰﾄﾞなし/微小ﾘｰﾄﾞ枠
外囲器 (QFN/MLF)

寸法: mm
JEDEC規格 MO-220



37. 障害情報

この章の改訂番号はATmega128Aﾃﾞﾊﾞｲｽの改訂版を参照してください。

37.1. ATmega128A改訂U

- 初回ｱﾅﾛｸﾞ比較器変換が遅らされるかもしれない U
- 非同期ﾀｲﾏでﾀｲﾏ ﾚｼﾞｽﾀ書き込み時に割り込みが失われる可能性 U
- XDIVﾚｼﾞｽﾀ変更時に安定時間が必要 U
- OSCCALﾚｼﾞｽﾀ変更時に安定時間が必要 U
- IDCODEがTDI入力からのﾃﾞｰﾀを遮断 U
- EEREﾋﾞｯﾄを設定(1)するためのSTまたはSTS使用によるEEPROM読み込みが予期せぬ割り込み要求を起動する U

1. **初回ｱﾅﾛｸﾞ比較器変換が遅らされるかもしれない** (U)

   ﾃﾞﾊﾞｲｽが低速上昇VCCで給電される場合、最初のｱﾅﾛｸﾞ比較器変換はいくつかのﾃﾞﾊﾞｲｽで予想よりも長くかかるでしょう。

   対策/対処

   ﾃﾞﾊﾞｲｽが給電またはﾘｾｯﾄされた時は最初の変換前にｱﾅﾛｸﾞ比較器を禁止し、そして許可してください。

2. **非同期ﾀｲﾏ/ｶｳﾝﾀでﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀ書き込み時に割り込みが失われる可能性** (U)

   非同期ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀ(TCNTx)が$00の時に同期ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸのﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀが書かれる場合に割り込みが失われるでしょう。

   対策/対処

   非同期ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀ(TCCRx)、非同期ﾀｲﾏ/ｶｳﾝﾀ(TCNTx)ﾚｼﾞｽﾀまたは非同期ﾀｲﾏ/ｶｳﾝﾀ比較ﾚｼﾞｽﾀ(OCRx)を書く前に、常に非同期ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀが$FFまたは$00のどちらの値でもないことを調べてください。

3. **XDIVﾚｼﾞｽﾀ変更時に安定時間が必要** (U)

   XDIVﾚｼﾞｽﾀでｸﾛｯｸ元周波数を2%よりも多く上昇設定した後、ﾃﾞﾊﾞｲｽは後続するいくつかの命令を正しく実行しないかもしれません。

   対策/対処

   NOP命令は周波数変更後も常に正しく実行されます。従って周波数変更後の次の8命令はNOP命令であるべきです。これを保証するには次の手順に従ってください。

   1. SREGの全割り込み許可(I)ﾋﾞｯﾄを解除(0)します。(**訳補**:割り込み許可ならば)
   2. XDIVﾚｼﾞｽﾀに新しい分周値を設定します。
   3. 8つのNOP命令を実行します。
   4. SREGの全割り込み許可(I)ﾋﾞｯﾄを設定(1)します。(**訳補**:割り込み許可ならば)

   これは後続する全命令の正しい実行を保証します。

   ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例

   ```
   CLI                 ; 全割り込み禁止
   OUT     XDIV, R16   ; 新規分周値設定
   NOP                 ; 無操作
   NOP                 ; 無操作
   NOP                 ; 無操作
   NOP                 ; 無操作
   NOP                 ; 無操作
   NOP                 ; 無操作
   NOP                 ; 無操作
   NOP                 ; 無操作
   SEI                 ; 全割り込み許可
   ```

4. **OSCCALﾚｼﾞｽﾀ変更時に安定時間が必要** (U)

   OSCCALﾚｼﾞｽﾀでｸﾛｯｸ元周波数を2%よりも多く上昇設定した後、ﾃﾞﾊﾞｲｽは後続するいくつかの命令を正しく実行しないかもしれません。

   対策/対処

   動きは障害番号3.に従うので、同じ対策が利用できます。

5. IDCODEがTDI入力からのﾃﾞｰﾀを遮蔽 (U)

IDCODEは正しく動作しません。DR更新の間中、後続するﾃﾞﾊﾞｲｽへのﾃﾞｰﾀは全て1に置換されます。

問題の修正と対策

- ATmega128Aが走査ﾁｪｰﾝ内で唯一のﾃﾞﾊﾞｲｽなら、この問題は見られません。
- ATmega128AのﾃﾞﾊﾞｲｽIDﾚｼﾞｽﾀとおそらくは走査ﾁｪｰﾝの後続するﾃﾞﾊﾞｲｽからのﾃﾞｰﾀ内容を読むために、IDCODE命令を実行するか、またはTAP制御器の検査回路ﾘｾｯﾄ状態へ移行することのどちらかにより、ATmega128AのﾃﾞﾊﾞｲｽIDﾚｼﾞｽﾀを選択してください。境界走査ﾁｪｰﾝの先行ﾃﾞﾊﾞｲｽのﾃﾞﾊﾞｲｽIDﾚｼﾞｽﾀを読む間中、ATmega128AへBYPASS命令を実行してください。
- 境界走査ﾁｪｰﾝ内の全ﾃﾞﾊﾞｲｽのﾃﾞﾊﾞｲｽIDが同時に捕獲されなければならない場合、ATmega128Aはﾁｪｰﾝの先頭ﾃﾞﾊﾞｲｽでなければなりません。

6. EEREﾋﾞｯﾄを設定(1)するためのSTまたはSTS使用によるEEPROM読み込みが予期せぬ割り込み要求を起動する (U)

EEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROM読み込み許可(EERE)ﾋﾞｯﾄを設定(1)するためのSTまたはSTS命令使用によるEEPROM読み込みが予期せぬEEPROM割り込み要求を起動します。

対策/対処

EECR内のEEREを設定(1)するのにOUTまたはSBIを常に使ってください。

38. ﾃﾞｰﾀｼｰﾄ改訂履歴

この章内の参照頁番号はこの資料が参照されていることに注意してください。この章内の改訂番号は資料の改訂番号を参照してください。

38.1. 改訂8151A – 2008年8月

1. 初版(ATmega128/Lﾃﾞｰﾀｼｰﾄ改訂版2467R-06/08に基く)
   ATmega128/Lﾃﾞｰﾀｼｰﾄ改訂版2467R-06/08に対比して行われた変更
   - 「ｽﾀｯｸ ﾎﾟｲﾝﾀ」説明を更新
   - 「**電力管理と休止形態**」を再編成
   - 全ての電気的特性を226頁の「**電気的特性**」へ移動
   - 226頁の「**DC特性**」でL出力電圧(VOL)とﾘｾｯﾄ ﾌﾟﾙｱｯﾌﾟ抵抗(RRST)範囲を更新
   - ﾚｼﾞｽﾀ記述を各節後ろの副項目へ移動
   - 237頁の「**代表特性**」の新規図表
   - 6頁の新規「**注文情報**」

38.2. 改訂8151B – 2009年3月

1. 237頁の「**代表特性**」の外観更新
2. 編集上の更新

38.3. 改訂8151C – 2009年5月

1. 263頁の「**障害情報**」更新(ATmega128A改訂U)

38.4. 改訂8151D – 2009年7月

1. 263頁の「**障害情報**」を更新
2. Atmelの新住所で最終頁を更新

38.5. 改訂8151E – 2010年2月

1. 142頁の「**9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ受信**」を更新、Cｺｰﾄﾞ更新
2. 203頁の「**SPM命令によるﾍﾟｰｼﾞ消去の実行**」を更新
3. 6頁の「**注文情報**」を更新

38.6. 改訂8151F – 2010年6月

1. 37頁の「**消費電力の最小化**」に参照を挿入
2. 「● ﾋﾞｯﾄ6 – TXCIEn：送信完了割り込み許可」の文字に'n'を追加することで修正
3. 229頁の「**表32-6. 2線直列ｲﾝﾀｰﾌｪｰｽ必要条件**」で注6と7を削除
4. Atmel基準に従って技術用語を更新

38.7. 改訂8151G – 2010年7月

1. 228頁の**表32-5.**の注を更新、この検査はBODLEVEL=0とBODLEVEL=1を用いて実行されます。

38.8. 改訂8151H – 2011年2月

1. Atmelの新形式の指針に従い編集上の更新。数値とそれらの単位間に全く空白はありません。
2. 最終頁を更新

38.9. 改訂8151I – 2014年8月

1. 228頁の**表32-5.**で2.7V BODﾚﾍﾞﾙ用の値を追加
2. 2014年5月の新雛形で更新

38.10. 改訂8151J – 2015年9月

1. 出版用に使われる作業の流れに変更

Atmel | Enabling Unlimited Possibilities®

Atmel Corporation 1600 Technology Drive, San Jose, CA 95110 USA TEL:(+1)(408) 441-0311 FAX: (+1)(408) 436-4200 | www.atmel.com

© 2015 Atmel Corporation. / 改訂:Atmel-8151J-8-bit AVR Microcontroller_Datasheet_Complete-09/2015

Atmel®、Atmelﾛｺﾞとそれらの組み合わせ、Enabling Unlimited Possilities®、AVR®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。**Atmelのｳｪﾌﾞｻｲﾄに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。**Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(”安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とｼｽﾃﾑ、核施設と武器ｼｽﾃﾑの操作用の装置やｼｽﾃﾑを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© *HERO* 2021.

本ﾃﾞｰﾀｼｰﾄはAtmelのATmega128A英語版ﾃﾞｰﾀｼｰﾄ(改訂8151J-09/2015)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。