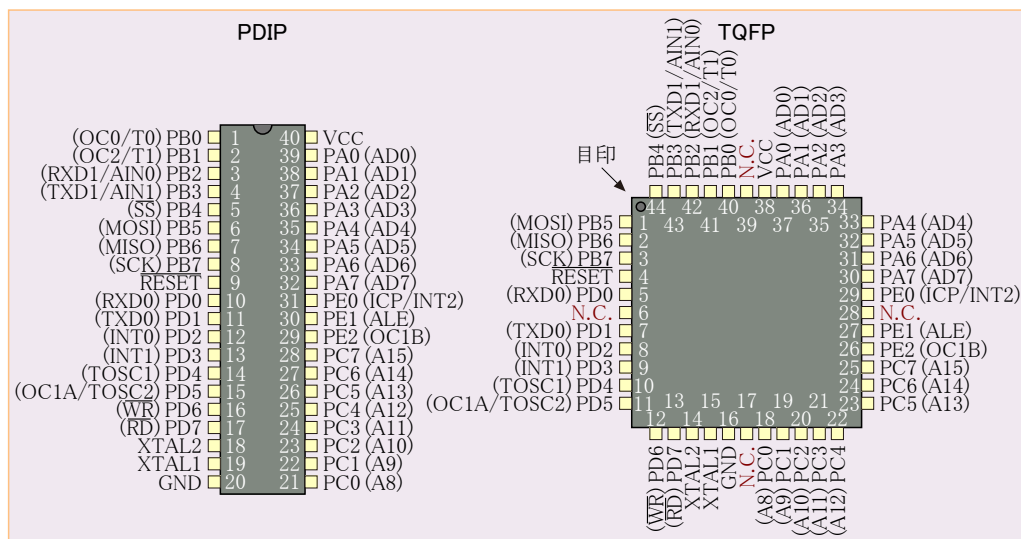


特徴

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
 - 強力な**130命令**(多くは1周期で実行)
 - 32個の1バイト長**汎用レジスタ**
 - 完全なステティック動作
 - 8MHz時、8MIPSに達する高速動作
 - 2周期乗算命令
- 不揮発性プログラム用メモリとデータ用メモリ
 - 実装書き換え(ISP)可能な16Kバイト(8K語)フラッシュメモリ内蔵(1000回の書き換え可能)
 - 個別施錠ビットを持つ任意の**ブートコード領域**(プログラムとデータメモリの自己実装書き換え)
 - 実装書き換え(ISP)可能な512バイトの**EEPROM**(100,000回の書き換え可能)
 - 1Kバイトの**SRAM**
 - 64Kバイトまでの任意**外部SRAM(メモリ)空間**
 - ソフトウェア保護用の設定可能な**施錠機能**
- 内蔵周辺機能
 - 分離された前置分周器、PWM付き、2つの**8ビットタイマ/カウンタ**
 - 分離された前置分周器、比較、捕獲、2つの8,9または10ビットPWM付き、拡張された1つの**16ビットタイマ/カウンタ**
 - 設定可能な2つの**UART**
 - 主装置/従装置動作**SPI直列インターフェース**
 - 専用発振器と**8ビットタイマ/カウンタ**による実時間計数器(RTC)
 - 設定可能な専用発振器付き**ウォッチドッグタイマ**
 - **アナログ比較器**
- 特殊マイクロコントローラ機能
 - **電源ONリセット回路**内蔵
 - 外部及び内部の**割り込み**
 - アイドル、**パワーセーブ**、**パワーダウン**の3つの**低消費(休止)動作**
- 消費電流 (条件: 4MHz, 3V, 25°C)
 - 活動動作 3.0mA
 - **アイドル動作** 1.2mA
 - **パワーダウン動作** 1µA未満
- I/Oと外圍器
 - 35ビットの**設定可能なI/O**、
 - **40ピンPDIP**、**44ピンTQFP**
- 動作速度
 - 0~4MHz (ATmega161L)
 - 0~8MHz (ATmega161)
- 一般用と工業用の温度範囲

ピン配置



8ビット AVR®
マイクロコントローラ
実装書き換え可能な
16Kバイト
フラッシュメモリ内蔵

ATmega161
ATmega161L

本製品での新規設計は推奨されません。

お断り:

このデータシート内で示された代表値はシミュレーションと同じ製造技法で製造された他のAVRマイクロコントローラの特性を基準にしています。最小と最大の値はデバイスの特性が記載された後に利用可能になります。

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 1228D-02/07, 1228DJ10-09/22

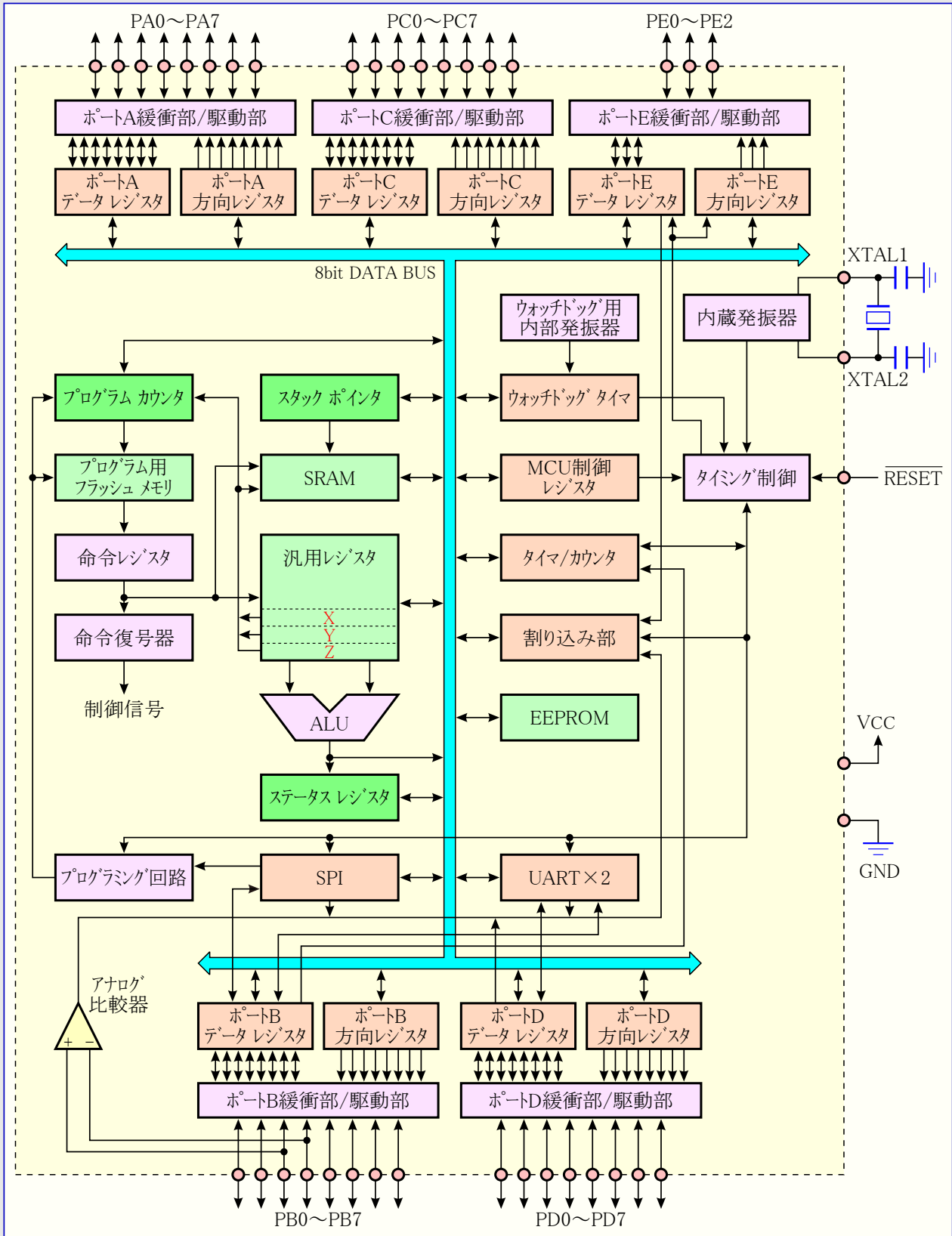


概要

ATmega161はAVR RISC構造の低消費CMOS 8ビット マイクロ コントローラです。1周期で実行する強力な命令はMHzあたり1 MIPSに達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロ コントローラに対して最大10倍の単位処理量向上効果があります。

図1. ATmega161構成図



ATmega161は16Kバイトの自己実装書き換え可能なフラッシュメモリ、512バイトのEEPROM、1KバイトのSRAM、35ビットの汎用入出力、32個の汎用レジスタ、実時間計数器(RTC)、比較動作を含む柔軟な3つのタイマ/カウンタ、内部及び外部割り込み、設定変更可能な2つの直列UART、設定変更可能な内部発振器付きウォッチドッグタイマ、SPI直列ポート、ソフトウェアで選べる3つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPIポート、割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで他の全機能を無効にします。パワーセーブ動作ではタイマ用発振器が動作を継続し、デバイス停止中であっても基準タイマの継続が許されます。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なフラッシュメモリはプログラムメモリに使い、規定の不揮発性メモリ書き込み器かSPI直列インターフェース経由によって再書き込みができます。モリシックチップ上の実装書き換え可能なフラッシュメモリと拡張された8ビットRISC型CPUの組み合わせによるATmega161は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

ATmega161 AVRはCコンパイラ、マクロアセンブラ、デバッグ、シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

ピン概要

VCC

デジタル電源ピン。

GND

デジタル接地ピン。

PA7~PA0 (ポートA)

ポートAは8ビット双方向入出力ポートです。ポートピンは(ビット毎に選ばれる)内蔵プルアップ抵抗を提供できます。ポートA出力緩衝部は20mAの吸い込み電流を流せ、LED表示器を直接駆動できます。PA0~7ピンが入力として使われ、外部的にLowへ引かれる時に内蔵プルアップ抵抗が有効の場合、吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートAピンはHi-Zになります。

外部メモリインターフェース使用時、ポートAは切り替えて使われるアドレス/データの入出力として取り扱います。

PB7~PB0 (ポートB)

ポートBは内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートBの出力緩衝部は20mAの吸い込み電流を流せません。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートBピンはHi-Zになります。

ポートBは60頁で示されるATmega161の各特殊機能としても扱います。

PC7~PC0 (ポートC)

ポートCは内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートCの出力緩衝部は20mAの吸い込み電流を流せません。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートCピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートCピンはHi-Zになります。

外部メモリインターフェース使用時、ポートCは上位アドレス出力としても扱います。

PD7~PD0 (ポートD)

ポートDは内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートDの出力緩衝部は20mAの吸い込み電流を流せません。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートDピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートDピンはHi-Zになります。

ポートDは68頁で示されるATmega161の各特殊機能としても扱います。

PE2~PE0 (ポートE)

ポートEは内蔵プルアップ抵抗付きの3ビットの双方向入出力ポートです。ポートEの出力緩衝部は20mAの吸い込み電流を流せません。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートEピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートEピンはHi-Zになります。

ポートEは74頁で示されるATmega161の各特殊機能としても扱います。

RESET

リセット入力。このピンの500nsより長いLowレベルは、例えクロックが動作していなくてもリセットを発生します。短すぎるパルスはリセットの生成が保証されません。

XTAL1

発振器用反転増幅器の入力、内部クロック動作回路の入力。

XTAL2

発振器用反転増幅器の出力。

クロック発振器

XTAL1とXTAL2は図2.に示される内蔵発振器として使える反転増幅器の各々入力と出力です。水晶発振子、セラミック振動子のどちらでも使えます。外部クロック信号でデバイスを駆動するには、図3.で示されるようにXTAL1が駆動され、XTAL2は未接続のままにすべきです。

図2. 発振子接続図

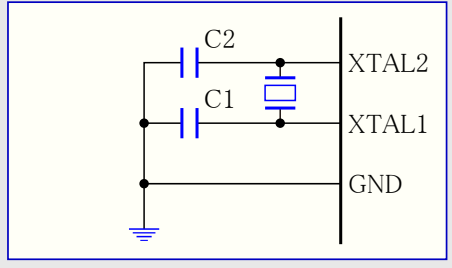
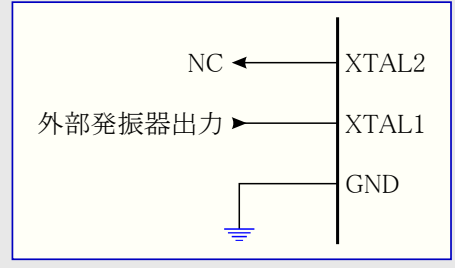


図3. 外部クロック接続図



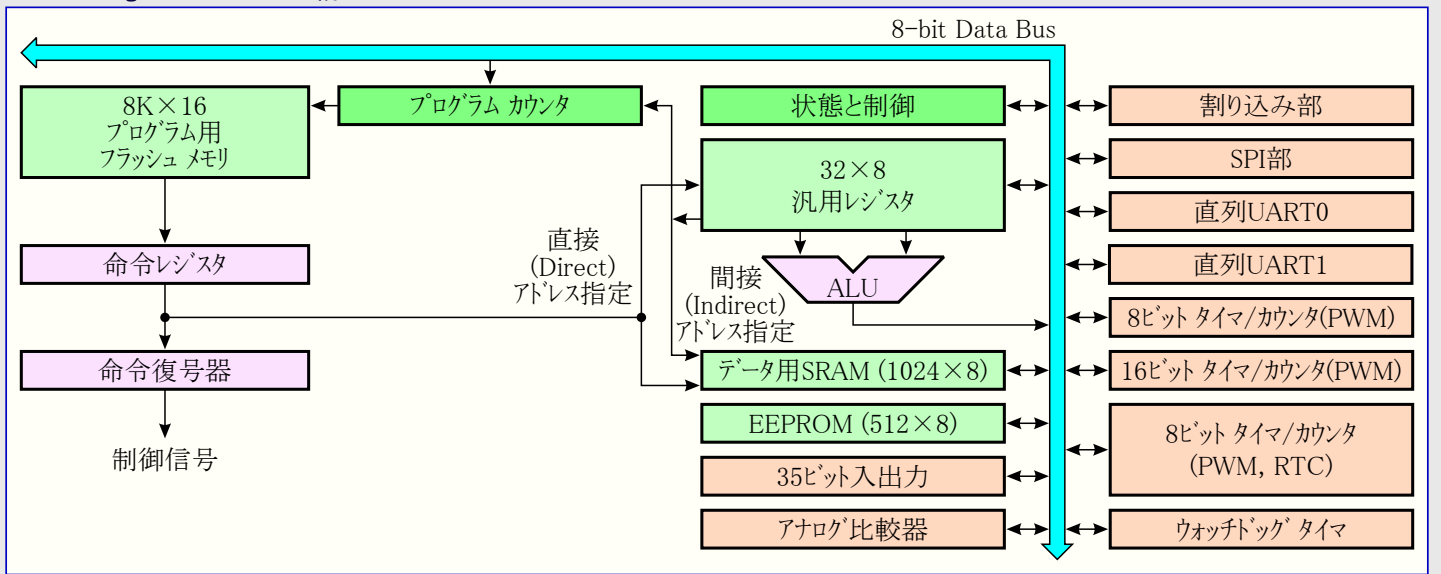
構造概要

高速レジスタファイルの概念は、1クロック周期アクセス時間の32個の8ビット長汎用レジスタを含みます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタファイルから出力され、命令が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタはデータ空間についてアドレス計算が効率的に行える、3つの16ビット長間接アドレスポインタとして使えます。3つのアドレスポインタの1つは定数表参照アドレスポインタとしても使われます。これらの付加機能レジスタは16ビット長のXレジスタ、Yレジスタ、Zレジスタです。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図4はATmega161 AVR RISCマイクロコントローラの構造を示します。

図4. ATmega161 AVR RISC構造



付加的なレジスタ操作として、通常のメモリアドレス指定をレジスタファイルにも使えます。実際にはレジスタファイルがデータ空間の最下位32バイト(\$00~\$1F)に割り当てられ、通常のメモリ位置としてのアクセスができることにより行えます。

I/Oメモリ空間は制御レジスタ、タイマ/カウンタ、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルに後続するデータ空間位置\$20~\$5Fとしてアクセスできます。

AVRのメモリとバスはプログラム用とデータ用に各々分離されたハーバード構造で構成されています。プログラムメモリは2段のパイプラインでアクセスされます。1命令の実行中に次の命令をプログラムメモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラムメモリは自己実装書き換え可能なフラッシュメモリです。

絶対(直接)の無条件分岐(JMP)命令と呼び出し(CALL)命令で8Kアドレス空間全てがアクセスされます。AVRの多くの命令は16ビット1語の形式です。全てのプログラムメモリのアドレスに16または32ビット命令を配置できます。

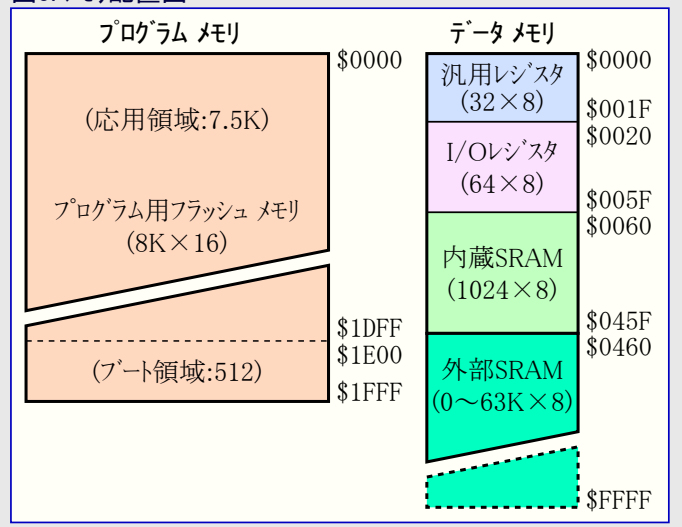
割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAMに配置され、スタック容量はSRAM容量とSRAM使用量でのみ制限されます。プログラムではリセット時の初期化ルーチンで(サブルーチンや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。16ビットのSPはI/O空間にあり、読み書き可能です。

1KバイトのデータSRAMはAVR構造で支援される5つの異なるアドレス指定種別で容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の全割り込み許可(I)ビットがあります。全ての割り込み要因はプログラムメモリの先頭に割り込みベクタ表として、個別の割り込みベクタがあります。各割り込みは、この割り込みベクタ表の位置に従った優先順位です。下位側割り込みベクタアドレスが高い優先順位です。

図5. メモリ配置図



汎用レジスタ ファイル

図6.は32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令は**レジスタ直接指定**ができ、1周期でアクセスします。**SBCI,SUBI,CPI,ANDI,ORI**の5つの算術、論理定数演算命令と、定数をレジスタに設定する**LDI**命令だけは例外です。これらの命令はレジスタファイル後半のR16～R31に対してだけ適用されます。通常の**SBC,SUB,CP,AND,OR**や他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

図6.で示されるように、各レジスタはデータメモリ領域の先頭からの32アドレスに配置されています。レジスタファイルは物理的にSRAMのような配置構成ではなく、この特別な構成のため、X,Y,Zレジスタを指標とする任意のレジスタ指定のような、非常に柔軟なアクセスができます。

図6. AVR CPU 汎用レジスタ構成図

	7	0	アドレス		
汎用 レジスタ ファイル	R0		\$00		
	}				
	R15		\$0F		
	R16		\$10		
	}				
	R26		\$1A	Xレジスタ	下位バイト
	R27		\$1B		上位バイト
	R28		\$1C	Yレジスタ	下位バイト
	R29		\$1D		上位バイト
	R30		\$1E	Zレジスタ	下位バイト
	R31		\$1F		上位バイト

Xレジスタ, Yレジスタ, Zレジスタ

レジスタR26～R31には通常の汎用用途以外にいくつかの付加機能があります。これらのレジスタはデータ空間の**間接アドレス指定**ポインタにもなります。この3つの間接アドレス用レジスタX,Y,Zは図7.で定義されます。

これらのアドレスレジスタは**定数変位付き**、**自動増加/減少付き**のアドレス指定が行えます(これらの概要は個別命令を参照してください)。

図7. X,Y,Zレジスタ構成図

	15	(上位)		(下位)	0
Xレジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
Yレジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
Zレジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個全ての汎用レジスタに直接接続され、動作します。レジスタファイル内のレジスタ間ALU操作は、1クロック周期内で実行されます。ALU操作は、算術演算、論理演算、ビット操作の3つの主な種類に大別されます。ATmega161は符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供します。詳細記述は**命令要約**をご覧ください。

自己実装書き換え(ISP: In-System Program)可能なプログラム用フラッシュメモリ

ATmega161にはプログラム用に自己書き換えと実装書き換え可能な16Kバイトのフラッシュメモリが内蔵されています。全ての命令が16または32ビット語のため、フラッシュメモリは8K×16ビットとして構成されています。フラッシュメモリは少なくとも1000回再書き込みの耐久性があります。ATmega161のプログラムカウンタ(PC)は13ビットでプログラムメモリ内の8192アドレスを指定します。

フラッシュメモリ(自己)書き込みの詳細説明については**76頁**をご覧ください。

プログラムメモリの各アドレス指定種別については**8頁**をご覧ください。

データ用EEPROMメモリ

ATmega161には512バイトのデータ用EEPROMがあります。これは1バイト単位で読み書きできる独立したデータ空間として構成されます。EEPROMは少なくとも100,000回書き換えの耐久性があります。EEPROMとCPU間のアクセスは**39頁**の**EEPROMアドレスレジスタ**、**EEPROMデータレジスタ**、**EEPROM制御レジスタ**で詳細に説明されます。

SPI書き込み(直列プログラミング)の詳細説明については**87頁**を参照してください。

内蔵SRAMと外部SRAM

図8.はATmega161のデータメモリ構成を示します。

下位側1120のデータメモリ位置は汎用レジスタファイル、I/Oレジスタ、データ用内蔵SRAMを指定します。最初の96位置はレジスタファイルとI/Oレジスタ、次の1K位置がデータ用内蔵SRAMを指定します。任意の外部データ用SRAMが同じSRAMメモリ空間内に配置できます。このSRAMはSRAM容量に依存する、64K-1までの内蔵SRAMに続く位置を占有します。

アドレスが内蔵データSRAMを越えるデータメモリ空間をアクセスするとき、(外部)メモリデバイスはデータ用内蔵SRAMのアクセス時と同じ命令を使ってアクセスされます。内部データ空間がアクセスされるとき、読み書きストロブピン(RDとWR)はそのアクセス周期中全てで無効(High)です。外部メモリ動作はMCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットの設定(1)によって許可されます。詳細については54頁の「外部メモリインターフェース」をご覧ください。

外部メモリのアクセスは内蔵SRAMのアクセスに比べ、バイト毎に1つの付加クロック周期を必要とします。これはLD,ST,LDS,STS,PUSH,POP命令が1つの付加クロック周期を必要とすることを意味します。スタックが外部SRAMに配置されると、割り込み、サブルーチン呼び出し、その復帰は2バイトのプログラムカウンタがプッシュ/ポップされるため、2クロック周期の追加が必要になります。外部メモリインターフェースが待ち状態付きで使われると、バイト毎に2つの付加クロック周期が使われます。これは次の影響があります。データ転送命令は2つの追加クロック周期が必要になり、然るに、割り込み、サブルーチン呼び出し、その復帰は命令一式手引書で示されるより4クロック周期多く必要です。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つのアドレス指定種別がデータメモリ空間を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定時のポインタレジスタです。

直接アドレス指定は全てのデータアドレス空間に届きます。

変位付き間接アドレス指定はYまたはZレジスタで与えられる基準アドレスから届く63アドレス位置が特徴です。

事前減少付き間接、事後増加付き間接アドレス指定を使う時にアドレスレジスタX,YまたはZが使われ、自動的に減少または増加されます。

ATmega161の32個の汎用レジスタ、64個のI/Oレジスタ、1Kバイトのデータ用内蔵SRAMは、これら全てのアドレス指定種別を通して全てアクセス可能です。

各アドレス指定種別の詳細な記述については次章をご覧ください。

図8. データ空間とSRAMの配置

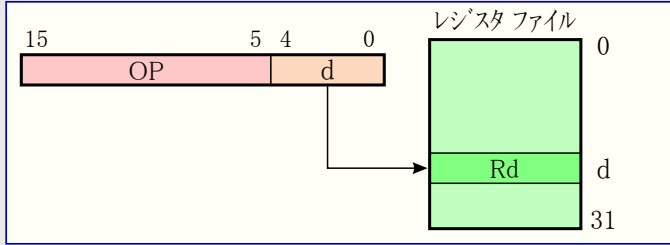
		アドレス
レジスタ ファイル	R0	\$0000
	R1	\$0001
	}	
	R30	\$001E
	R31	\$001F
I/O レジスタ (赤字は I/O アドレス)	\$00	\$0020
	\$01	\$0021
	}	
	\$3E	\$005E
	\$3F	\$005F
内蔵 SRAM	\$0060	\$0060
	\$0061	\$0061
	}	
	\$045E	\$045E
	\$045F	\$045F
外部 SRAM	\$0460	\$0460
	\$0461	\$0461
	}	
	\$FFFE	\$FFFE
	\$FFFF	\$FFFF

プログラム及びデータ空間に対するアドレス指定種別

ATmega161 AVR RISCマイクロ コントローラはプログラム メモリ(フラッシュ メモリ)とデータ メモリ(SRAM、レジスタ ファイル、I/Oメモリ)アクセス用に強力で効率的なアドレス指定種別を支援します。本項はAVR構造によって支援される各アドレス指定種別を記述します。図内のOPは命令語の動作符号部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

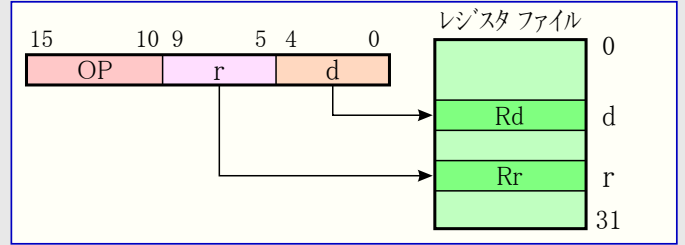
図9. 単一レジスタ直接



オペランドはレジスタd(Rd)を示します。

レジスタ間(Rd, Rr)直接

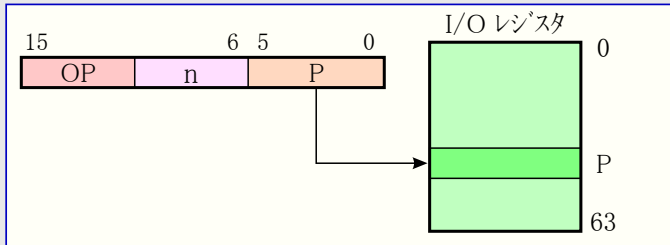
図10. レジスタ間直接



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

I/O直接

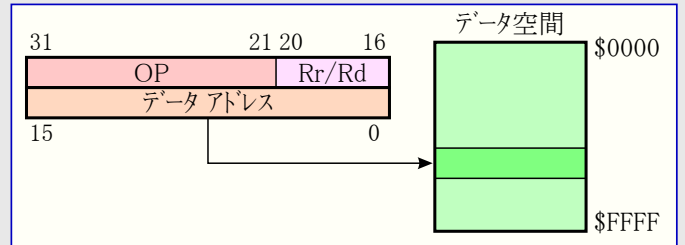
図11. I/O直接



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

データ直接

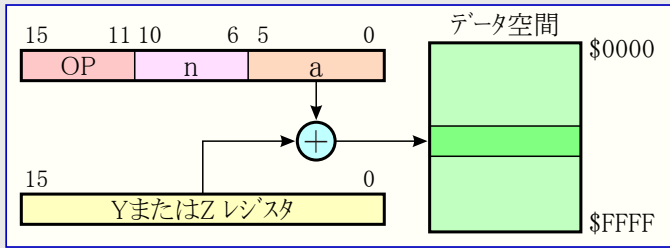
図12. データ直接



オペランドは2語命令の下位16ビットでデータ空間のアドレス位置を示し、Rr/Rdは転送元または転送先となるレジスタを示します。

変位付きデータ間接

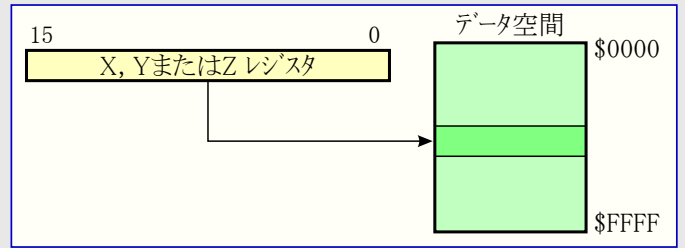
図13. 変位付きデータ間接



オペランド アドレスは、YまたはZレジスタの内容と命令語内の6ビット値aを加算した値となり、他方が転送元または転送先となるレジスタn(Rn)を示します。

データ間接

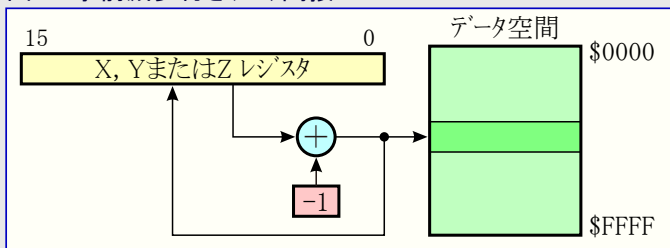
図14. データ間接



オペランド アドレスは、X, YまたはZレジスタの内容となります。

事前減少付きデータ間接

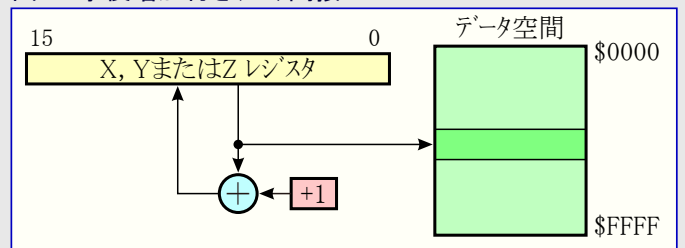
図15. 事前減少付きデータ間接



X, YまたはZレジスタはアクセス動作前に内容が減少されます。オペランド アドレスは減少されたX, YまたはZレジスタの内容となります。

事後増加付きデータ間接

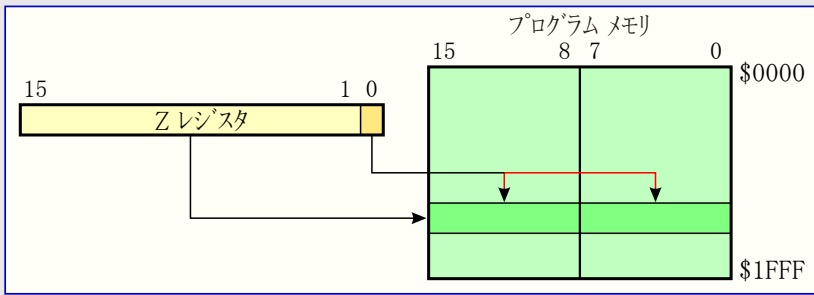
図16. 事後増加付きデータ間接



X, YまたはZレジスタはアクセス動作後に内容が増加されます。オペランド アドレスは増加される前のX, YまたはZレジスタの内容となります。

LPM, SPM命令による定数アドレス指定

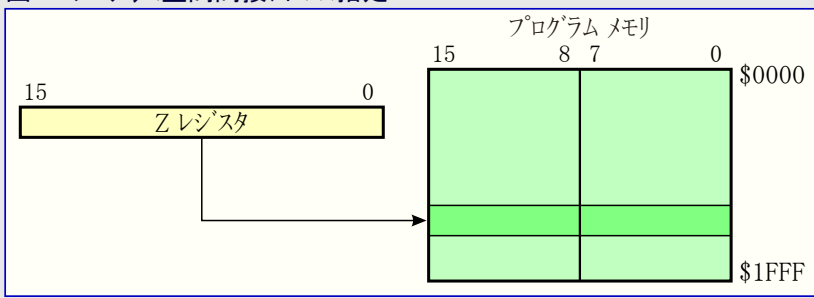
図17. プログラム空間定数アドレス指定



バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0~8Kの語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

IJMP, ICALL命令によるプログラム間接アドレス指定

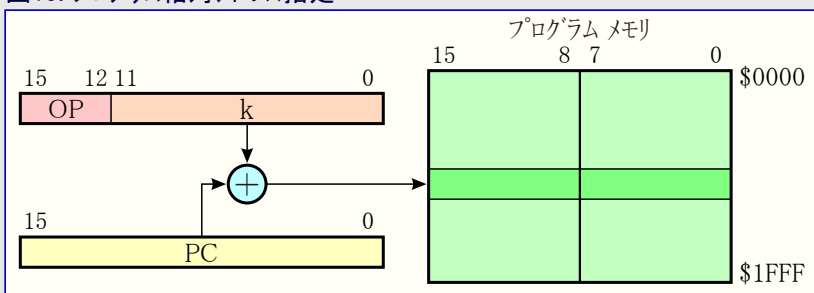
図18. プログラム空間間接アドレス指定



プログラムはZレジスタの内容のアドレスから実行が継続されます。(PCにZレジスタの内容を設定します。)

RJMP, RCALL命令によるプログラム相対アドレス指定

図19. プログラム相対アドレス指定

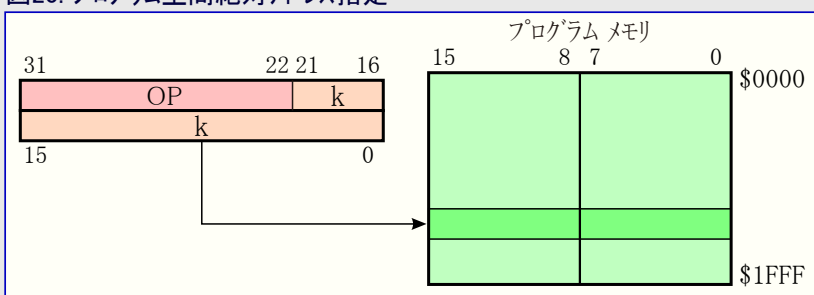


プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048~2047です。

注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

JMP, CALL命令によるプログラム絶対(直接)アドレス指定

図20. プログラム空間絶対アドレス指定



プログラムはkのアドレスから実行が継続されます。(PCにkの下位16ビットを設定します。)

メモリアクセスと命令実行タイミング

本項は命令実行と内部メモリアクセスについての一般的なアクセスタイミングの概念を記述します。

AVR CPUは外部クロック クリスタルから直接的に生成されるシステムクロックφによって駆動されます。内部クロック分周は使われません。

図21はハーバート構造と高速アクセスレジスタファイルの概念によって可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、機能対クロック、機能対電源部での好結果に相当するMHzあたり1 MIPSまでを得る基本的なパイプラインの概念です。

図21. 命令の取得と実行の並列動作

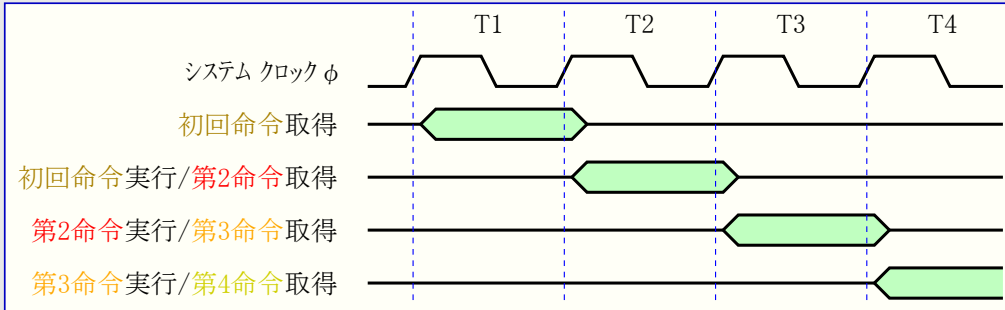
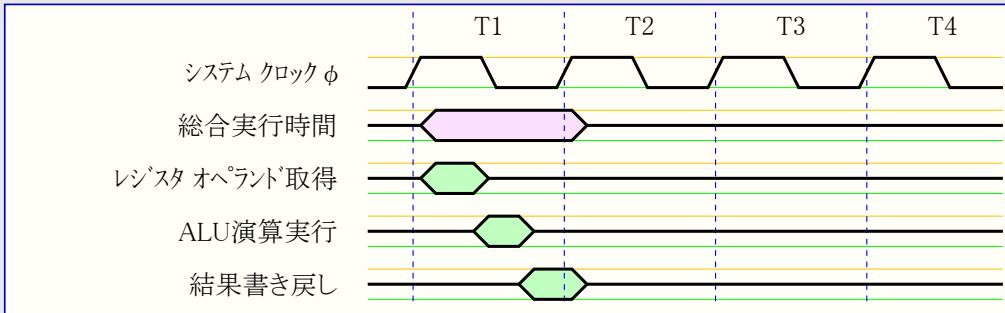


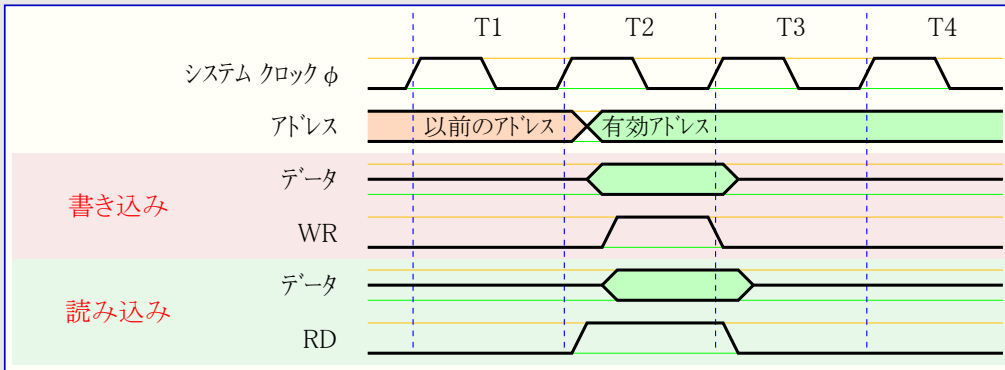
図22はレジスタファイルに対する内部タイミングの概念を示します。2つのレジスタオペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図22. 1周期ALU命令



データ用内蔵SRAMのアクセスは、図23で示されるように、2システムクロック周期で実行されます。

図23. データ用内蔵SRAMアクセス周期



注: T1, T2が命令実行周期です。

外部SRAMアクセスの説明については54頁の「外部メモリインターフェース」を参照してください。

I/O レジスタ

ATmega161のI/O領域定義は表1.に示されます。

表1. ATmega161 I/Oレジスタ

アドレス	レジスタ略名	レジスタ名
\$3F (\$5F)	SREG	ステータスレジスタ Status Register
\$3E (\$5E)	SPH	スタックポインタ上位 Stack Pointer High
\$3D (\$5D)	SPL	スタックポインタ下位 Stack Pointer Low
\$3B (\$5B)	GIMSK	一般割り込み許可レジスタ General Interrupt MaSK register
\$3A (\$5A)	GIFR	一般割り込み要求フラグレジスタ General Interrupt Flag Register
\$39 (\$59)	TIMSK	タイマ/カウンタ割り込み許可レジスタ Timer/Counter Interrupt MaSK register
\$38 (\$58)	TIFR	タイマ/カウンタ割り込み要求フラグレジスタ Timer/Counter Interrupt Flag Register
\$37 (\$57)	SPMCR	SPM命令制御レジスタ SPM Control Register
\$36 (\$56)	EMUCR	拡張MCU制御レジスタ Extended MCU general Control Register
\$35 (\$55)	MCUCR	MCU制御レジスタ MCU general Control Register
\$34 (\$54)	MCUSR	MCU状態レジスタ MCU general Status Register
\$33 (\$53)	TCCR0	タイマ/カウンタ0制御レジスタ Timer/Counter 0 Control Register
\$32 (\$52)	TCNT0	タイマ/カウンタ0カウンタ Timer/CouNter 0 (8bit)
\$31 (\$51)	OCR0	タイマ/カウンタ0比較レジスタ Timer/Counter 0 Output Compare Register
\$30 (\$50)	SFIOR	特殊I/O機能レジスタ Special Function I/O Register
\$2F (\$4F)	TCCR1A	タイマ/カウンタ1制御レジスタA Timer/Counter 1 Control Register A
\$2E (\$4E)	TCCR1B	タイマ/カウンタ1制御レジスタB Timer/Counter 1 Control Register B
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1カウンタ上位 Timer/CouNter 1 High byte
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1カウンタ下位 Timer/CouNter 1 Low byte
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1比較Aレジスタ上位 Timer/Counter 1 Output Compare Register 1A High byte
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1比較Aレジスタ下位 Timer/Counter 1 Output Compare Register 1A Low byte
\$29 (\$49)	OCR1BH	タイマ/カウンタ1比較Bレジスタ上位 Timer/Counter 1 Output Compare Register 1B High byte
\$28 (\$48)	OCR1BL	タイマ/カウンタ1比較Bレジスタ下位 Timer/Counter 1 Output Compare Register 1B Low byte
\$27 (\$47)	TCCR2	タイマ/カウンタ2制御レジスタ Timer/Counter 2 Control Register
\$26 (\$46)	ASSR	タイマ/カウンタ2非同期状態レジスタ Asynchronous mode Status Register
\$25 (\$45)	ICR1H	タイマ/カウンタ1捕獲レジスタ上位 Timer/Counter 1 Input Capture Register High byte
\$24 (\$44)	ICR1L	タイマ/カウンタ1捕獲レジスタ下位 Timer/Counter 1 Input Capture Register Low byte
\$23 (\$43)	TCNT2	タイマ/カウンタ2カウンタ Timer/CouNter 2 (8bit)
\$22 (\$42)	OCR2	タイマ/カウンタ2比較レジスタ Timer/Counter 2 Output Compare Register
\$21 (\$41)	WDTCSR	ウォッチドッグタイマ制御レジスタ WatchDog Timer Control Register
\$20 (\$40)	UBRRHI	UARTボーレート上位レジスタ UART Baud Rate Register High byte
\$1F (\$3F)	EEARH	EEPROMアドレス上位レジスタ EEPROM Address Register high byte
\$1E (\$3E)	EEARL	EEPROMアドレス下位レジスタ EEPROM Address Register low byte
\$1D (\$3D)	EEDR	EEPROMデータレジスタ EEPROM Data Register
\$1C (\$3C)	EEDR	EEPROM制御レジスタ EEPROM Control Register
\$1B (\$3B)	PORTA	ポートA出力データレジスタ Data Register, Port A
\$1A (\$3A)	DDRA	ポートA方向レジスタ Data Direction Register, Port A
\$19 (\$39)	PINA	ポートA入力データレジスタ Input Pins, Port A
\$18 (\$38)	PORTB	ポートB出力データレジスタ Data Register, Port B
\$17 (\$37)	DDRB	ポートB方向レジスタ Data Direction Register, Port B
\$16 (\$36)	PINB	ポートB入力データレジスタ Input Pins, Port B
\$15 (\$35)	PORTC	ポートC出力データレジスタ Data Register, Port C
\$14 (\$34)	DDRC	ポートC方向レジスタ Data Direction Register, Port C
\$13 (\$33)	PINC	ポートC入力データレジスタ Input Pins, Port C
\$12 (\$32)	PORTD	ポートD出力データレジスタ Data Register, Port D
\$11 (\$31)	DDRD	ポートD方向レジスタ Data Direction Register, Port D
\$10 (\$30)	PIND	ポートD入力データレジスタ Input Pins, Port D
\$0F (\$2F)	SPDR	SPIデータレジスタ SPI I/O Data Register
\$0E (\$2E)	SPSR	SPI状態レジスタ SPI Status Register
\$0D (\$2D)	SPCR	SPI制御レジスタ SPI Control Register
\$0C (\$2C)	UDR0	UART0データレジスタ UART0 Data Register
\$0B (\$2B)	UCSR0A	UART0制御/状態レジスタA UART0 Control and Status Register A
\$0A (\$2A)	UCSR0B	UART0制御/状態レジスタB UART0 Control and Status Register B
\$09 (\$29)	UBRR0	UART0ボーレートレジスタ UART0 Baud Rate Register
\$08 (\$28)	ACSR	アナログ比較器制御/状態レジスタ Analog Comparator Control and Status Register
\$07 (\$27)	PORTE	ポートE出力データレジスタ Data Register, Port E
\$06 (\$26)	DDRE	ポートE方向レジスタ Data Direction Register, Port E
\$05 (\$25)	PINE	ポートE入力データレジスタ Input Pins, Port E
\$03 (\$23)	UDR1	UART1データレジスタ UART1 Data Register
\$02 (\$22)	UCSR1A	UART1制御/状態レジスタA UART1 Control and Status Register A
\$01 (\$21)	UCSR1B	UART1制御/状態レジスタB UART1 Control and Status Register B
\$00 (\$20)	UBRR1	UART1ボーレートレジスタ UART1 Baud Rate Register

注: 予約と未使用の位置は、この表で示されていません。()内のアドレスはデータ空間の一部としてアクセスする場合のアドレスです。

ATmega161の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より多くの詳細については命令要約を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。I/OレジスタをSRAMとしてアクセスする時はこのアドレスに\$20が加算されなければなりません。本文書を通して、全てのI/Oレジスタアドレスは、()内でデータ空間アドレスが示されます。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

状態フラグのいくつかは、論理1を書くことで解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読むフラグは1が書き戻され、従ってフラグを解除(0)することに注意してください。CBIとSBI命令は、レジスタ\$00～\$1Fでのみ動作します。

I/Oと周辺制御レジスタは次章で説明されます。

ステータス レジスタ (Status Register) SREG

AVRのステータス レジスタ(SREG)は、I/O領域の\$3F(\$5F)で、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合、設定(1)しなければなりません。各割り込みの許可は、各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令によって設定(1)されます。

• ビット6 – T: ビット変数 (Bit Copy Storage)

このTビットはBLD(Bit Load)命令とBST(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

• ビット5 – H: ハーフキャリー フラグ (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については命令要約を参照してください。

• ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

• ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

• ビット2 – N: 負フラグ (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

• ビット1 – Z: ゼロフラグ (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

• ビット0 – C: キャリー フラグ (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないうことに注意してください。これはソフトウェアにより操作しなければなりません。

スタックポインタ (Stack Pointer) SPH, SPL (SP)

ATmega161のスタックポインタはI/O空間位置\$3E(\$5E)と\$3D(\$5D)の2つの8ビットレジスタとして実装されます。ATmega161は64Kバイトまでのメモリを支援するため、16ビット全てが使われます。

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

スタックポインタはサブルーチンと割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック領域は、割り込みの許可や、何れかのサブルーチン呼び出しが実行される前にプログラムによって定義されなければなりません。スタックポインタは\$60以上を指示するために設定されなければなりません。スタックポインタは、**PUSH**命令でデータがスタック上に格納される時に-1され、サブルーチン呼び出しや割り込みでアドレスがスタック上に格納される時に-2されます。**POP**命令でデータをスタックから引き出す時に+1され、サブルーチンからの復帰(**RET**命令)や割り込みからの復帰(**RETI**命令)でアドレスをスタックから引き出す時に+2されます。

リセットと割り込みの扱い

ATmega161には20種類の割り込みがあります。これらの割り込みとリセットのベクタは、プログラムメモリ空間内に各々個別のベクタを持っています。全ての割り込みは、割り込みを許可するために、個別の許可ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットを共に設定(1)しなければなりません。

プログラムメモリ空間の最下位アドレスは、リセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は表2.に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表2. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$0000 (注)	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$0002	INT0	外部割り込み要求0
3	\$0004	INT1	外部割り込み要求1
4	\$0006	INT2	外部割り込み要求2
5	\$0008	タイマ/カウンタ2 COMP2	タイマ/カウンタ2比較一致
6	\$000A	タイマ/カウンタ2 OVF2	タイマ/カウンタ2溢れ
7	\$000C	タイマ/カウンタ1 CAPT	タイマ/カウンタ1捕獲発生
8	\$000E	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
9	\$0010	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
10	\$0012	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
11	\$0014	タイマ/カウンタ0 COMP0	タイマ/カウンタ0比較一致
12	\$0016	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
13	\$0018	SPI STC	SPI 転送完了
14	\$001A	UART0 RX	UART0 受信完了
15	\$001C	UART1 RX	UART1 受信完了
16	\$001E	UART0 UDRE	UART0 送信緩衝部空き
17	\$0020	UART1 UDRE	UART1 送信緩衝部空き
18	\$0022	UART0 TX	UART0 送信完了
19	\$0024	UART1 TX	UART1 送信完了
20	\$0026	EEPROM EE_RDY	EEPROM 操作可
21	\$0028	アナログ比較器 ANA_COMP	アナログ比較器出力遷移

注: **BOOTRST**ヒューズがプログラム(0)されている場合、リセットベクタはプログラムアドレス\$1E00へ飛びます。詳細については76頁の表39.をご覧ください。

リセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$0000		JMP RESET	;各種リセット
\$0002		JMP EXT_INT0	;外部割り込み要求0
\$0004		JMP EXT_INT1	;外部割り込み要求1
\$0006		JMP EXT_INT2	;外部割り込み要求2
\$0008		JMP TIM2_COMP	;タイマ/カウンタ2比較一致
\$000A		JMP TIM2_OVF	;タイマ/カウンタ2溢れ
\$000C		JMP TIM1_CAPT	;タイマ/カウンタ1捕獲発生
\$000E		JMP TIM1_COMPA	;タイマ/カウンタ1比較A一致
\$0010		JMP TIM1_COMPB	;タイマ/カウンタ1比較B一致
\$0012		JMP TIM1_OVF	;タイマ/カウンタ1溢れ
\$0014		JMP TIM0_COMP	;タイマ/カウンタ0比較一致
\$0016		JMP TIM0_OVF	;タイマ/カウンタ0溢れ
\$0018		JMP SPI_STC	;SPI転送完了
\$001A		JMP UART0_RXC	;UART0 受信完了
\$001C		JMP UART1_RXC	;UART1 受信完了
\$001E		JMP UART0_DRE	;UART0 送信緩衝部空
\$0020		JMP UART1_DRE	;UART1 送信緩衝部空
\$0022		JMP UART0_TXC	;UART0 送信完了
\$0024		JMP UART1_TXC	;UART1 送信完了
\$0026		JMP EE_RDY	;EEPROM操作可
\$0028		JMP ANA_COMP	;アナログ比較器出力遷移
;			
\$002A	RESET:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得
\$002B		OUT SPH, R16	;スタックポインタ上位を初期化
\$002C		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$002D		OUT SPL, R16	;スタックポインタ下位を初期化
)	;以下、I/O初期化など

BOOTRSTヒューズがプログラム(0)される時のリセットと割り込みベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
		. ORG \$0002	;割り込みベクタ先頭アドレス
\$0002		JMP EXT_INT0	;外部割り込み要求0
\$0004		JMP EXT_INT1	;外部割り込み要求1
\$0006		JMP EXT_INT2	;外部割り込み要求2
\$0008		JMP TIM2_COMP	;タイマ/カウンタ2比較一致
\$000A		JMP TIM2_OVF	;タイマ/カウンタ2溢れ
\$000C		JMP TIM1_CAPT	;タイマ/カウンタ1捕獲発生
\$000E		JMP TIM1_COMPA	;タイマ/カウンタ1比較A一致
\$0010		JMP TIM1_COMPB	;タイマ/カウンタ1比較B一致
\$0012		JMP TIM1_OVF	;タイマ/カウンタ1溢れ
\$0014		JMP TIM0_COMP	;タイマ/カウンタ0比較一致
\$0016		JMP TIM0_OVF	;タイマ/カウンタ0溢れ
\$0018		JMP SPI_STC	;SPI転送完了
\$001A		JMP UART0_RXC	;UART0 受信完了
\$001C		JMP UART1_RXC	;UART1 受信完了
\$001E		JMP UART0_DRE	;UART0 送信緩衝部空
\$0020		JMP UART1_DRE	;UART1 送信緩衝部空
\$0022		JMP UART0_TXC	;UART0 送信完了
\$0024		JMP UART1_TXC	;UART1 送信完了
\$0026		JMP EE_RDY	;EEPROM操作可
\$0028		JMP ANA_COMP	;アナログ比較器出力遷移
;			
\$002A	MAIN:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得
\$002B		OUT SPH, R16	;スタックポインタ上位を初期化
\$002C		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$002D		OUT SPL, R16	;スタックポインタ下位を初期化
)	;以下、I/O初期化など
		. ORG \$1E00	;パートプログラム領域先頭アドレス
\$1E00		JMP RESET	;各種リセット
;			
\$1E02	RESET:)	;パートローダ'処理

リセット発生要素

ATmega161には、次の3つのリセット発生要素があります。

- **電源ONリセット** 電源電圧が電源ONリセット閾値電圧(V_{POT})以下でリセットになります。
- **外部リセット** RESETピンが500ns以上Lowレベルに保たれるとリセットになります。
- **ウォッチドッグリセット** ウォッチドッグが許可され、ウォッチドッグタイマ周期が経過するとリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、その後にアドレス\$0000からプログラム実行が始まります。アドレス\$0000に配置される命令は、リセット処理ルーチンへの無条件絶対分岐(JMP)命令でなければなりません。プログラムで決して割り込みを許可しないなら、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。図24.にリセット部の回路構成を示します。表3.と表4.はリセット回路の電気的特性とタイミングを定義します。

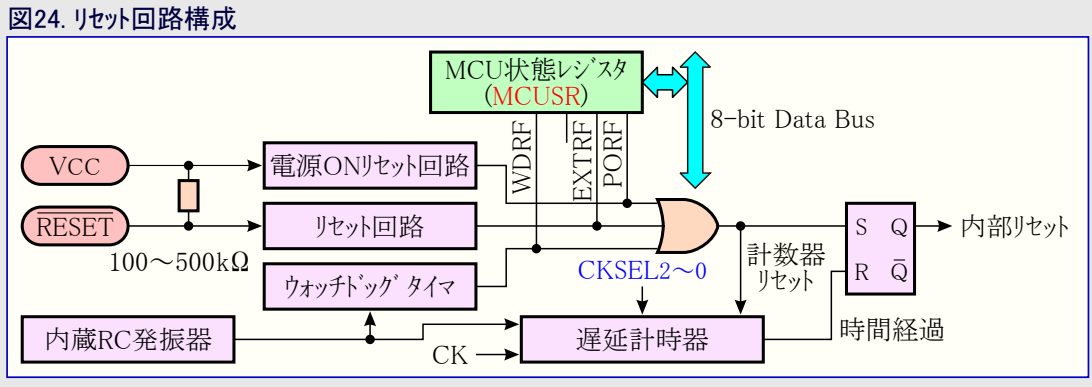


表3. リセット電気的特性 (VCC=5.0V)

シンボル	項目	最小	代表	最大	単位
V _{POT}	上昇時電源ONリセット閾値電圧	1.0	1.4	1.8	V
	下降時電源ONリセット閾値電圧 (注)	0.4	0.6	0.8	
V _{RST}	RESETピン閾値電圧			0.85VCC	

注: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

表4. CKSELヒューズによるリセット遅延選択 (注)

CKSEL2~0	リセット遅延時間(t _{TOUT})		推奨クロック種別
	VCC=2.7V SUTヒューズ=非プログラム(1)	VCC=4.0V SUTヒューズ=プログラム(0)	
0 0 0	4.2ms + 6 × CK	5.8ms + 6 × CK	外部クロック信号、高速上昇電源
0 0 1	30μs + 6 × CK	10μs + 6 × CK	外部クロック信号、外部電源ONリセット
0 1 0	67ms + 16K × CK	92ms + 16K × CK	外部クリスタル発振、低速上昇電源
0 1 1	4.2ms + 16K × CK	5.8ms + 16K × CK	外部クリスタル発振、高速上昇電源
1 0 0	30μs + 16K × CK	10μs + 16K × CK	外部クリスタル発振、外部電源ONリセット
1 0 1	67ms + 1K × CK	92ms + 1K × CK	外部セラミック発振、低速上昇電源
1 1 0	4.2ms + 1K × CK	5.8ms + 1K × CK	外部セラミック発振、高速上昇電源
1 1 1	30μs + 1K × CK	10μs + 1K × CK	外部セラミック発振、外部電源ONリセット

注: CKSELヒューズはリセット遅延時間のみ制御します。発振器は全ての選択について同じです。電源投入時はリセット遅延時間の実時間部が0.6ms(代表値)増加します。CKSELヒューズの1は非プログラム、0はプログラムを意味します。

表4.はリセットからの遅延時間を示します。休止形態からの起動時は表のCK計数部のみが使われます。表の実時間部はウォッチドッグ発振器が使われます。この実時間に対するウォッチドッグ発振器周期数は表5.で示されます。

ウォッチドッグ用内蔵RC発振器の発振周波数は「代表特性」内で示されるように、電圧に依存します。このデバイスはCKSELヒューズ=010(外部クリスタル発振、低速上昇電源)で出荷されます。

表5. ウォッチドッグ発振器の周期数

SUTヒューズ	VCC	タイマ値	周期数
非プログラム(1)	2.7V	4.2ms	1K
		67ms	16K
プログラム(0)	4.0V	5.8ms	4K
		92ms	64K

電源ONリセット

電源ONリセット(POR)パルスは内蔵検出回路によって生成されます。この検出電圧は公称1.4V(VCC上昇時)です。PORはVCCが検出電圧以下で必ず有効にされます。このPOR回路は供給電圧低下の検出だけでなく開始時のリセット起動にも使われます。

電源ONリセット回路は電源投入時のデバイスリセットを保証します。電源ONリセット閾値電圧(VPOT)への到達は、VCC上昇後、デバイスがリセットを保持する遅延を決める遅延タイマ(計数器)を起動します。遅延タイマの計時完了時間はCKSELヒューズを通して使用者が定義できます。8つの各遅延時間選択は表4.で示されます。VCCが検出電圧以下に低下するとき、リセット信号は遅延なしで再び有効にされます。

図25. 内蔵電源ONリセット (RESETはVCCに接続)

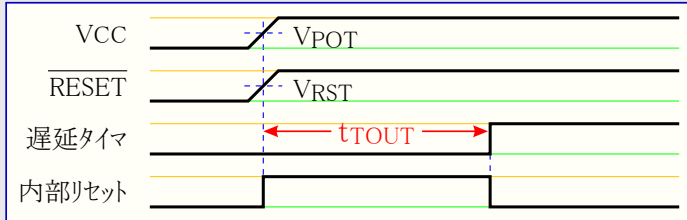
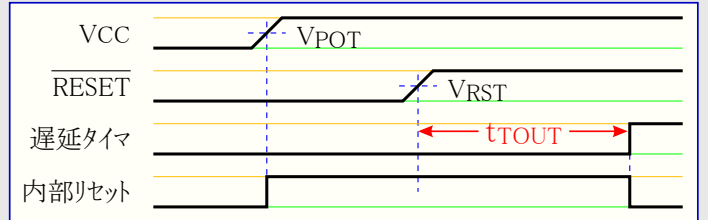


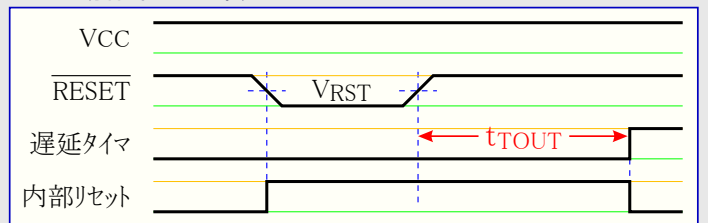
図26. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピン上のLowレベルによって生成されます。例えばクロックが動いていなくても、500nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。適用された信号の上昇がリセット閾値電圧(VRST)に達すると、遅延タイマは遅延時間(tTOUT)経過後にMCUを起動します。

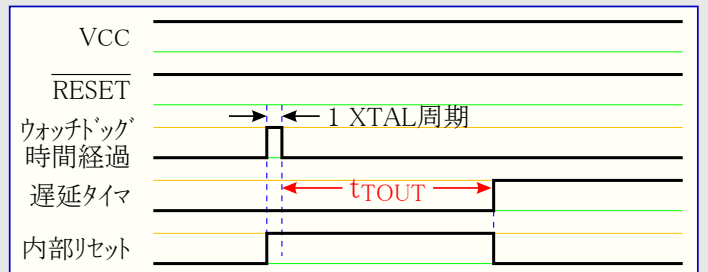
図27. 動作中の外部リセット



ウォッチドッグリセット

ウォッチドッグ時間経過で1 XTAL周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(tTOUT)の計時を始めます。ウォッチドッグ操作の詳細については38頁を参照してください。

図28. 動作中のウォッチドッグリセット



MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元でMCUリセットが起こされたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	-	-	-	-	WDRF	-	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R	R/W	R/W	
初期値	0	0	0	0	内容参照	0	内容参照	内容参照	

- ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

- ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

- ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

- ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットによって設定(1)されます。このビットは、このフラグへの論理0書き込みによってのみ解除(0)されます。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くMCUSRを読み、その後解除(0)すべきです。他のリセットが起こる前に、このレジスタ(MCUSR)が解除(0)されるならば、そのリセット元はこれらのリセット フラグを調べることにより得られます。

割り込みの扱い

ATmega161には一般割り込み許可レジスタ(GIMSK)とタイマ/カウンタ割り込み許可レジスタ(TIMSK)の2つの8ビット割り込み許可レジスタがあります。

割り込みが起こると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータスレジスタ(SREG)は割り込み処理ルーチンへの移行時の保存と割り込み処理ルーチンからの復帰時の回復が自動的に行われなことに注意してください。これはソフトウェアによって操作しなければなりません。

割り込み応答時間

全ての許可された割り込みに対する割り込み実行応答時間は最小4クロックです。4クロック周期後、実際の割り込み処理ルーチン用の割り込みベクタアドレスが実行されます。この4クロック周期期間中にプログラムカウンタ(2バイト)がスタック上へ保存(プッシュ)され、スタックポインタが減少(-2)されます。通常、このベクタは割り込み処理ルーチンに対する無条件絶対分岐(JMP)命令で、この分岐に3クロック周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前にその命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。

割り込み処理ルーチンからの復帰には4クロック周期要します。この4クロック周期中にスタックからプログラムカウンタ(2バイト)が回復(ポップ)されてスタックポインタが増加(+2)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。割り込みを抜ける時は常に主(元)プログラムへ復帰し、保留中の何れの割り込みが扱われる前にも、1つ以上の命令を実行します。

一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	INT1	INT0	INT2	-	-	-	-	-	GIMSK
Read/Write	R/W	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – INT1 : 外部割り込み1許可 (External Interrupt Request 1 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み1許可(INT1)ビットが共に設定(1)で、INT1ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御1のビット1と0(ISC11,ISC10)が、外部割り込みINT1ピンの動作を上昇端、下降端、またはLowレベルの何れか定義します。INT1ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求1に対応する割り込みはプログラムメモリアドレス\$0004から実行されます。「外部割り込み」もご覧ください。

• ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み0許可(INT0)ビットが共に設定(1)で、INT0ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット1と0(ISC01,ISC00)が、外部割り込みINT0ピンの動作を上昇端、下降端、またはLowレベルの何れか定義します。INT0ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求0に対応する割り込みはプログラムメモリアドレス\$0002から実行されます。「外部割り込み」もご覧ください。

• ビット5 – INT2 : 外部割り込み2許可 (External Interrupt Request 2 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み2許可(INT2)ビットが共に設定(1)で、INT2ピンの割り込みが許可されます。拡張MCU制御レジスタ(EMCUCR)の割り込み条件制御2(ISC2)ビットが、外部割り込みINT2ピンの動作を上昇端または下降端のどちらか定義します。INT2ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求2に対応する割り込みはプログラムメモリアドレス\$0006から実行されます。「外部割り込み」もご覧ください。

• ビット4~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

一般割り込み要求フラグレジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	INTF1	INTF0	INTF2	-	-	-	-	-	GIFR
Read/Write	R/W	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – INTF1 : 外部割り込み1要求フラグ (External Interrupt Flag1)

INT1ピン上の出来事が割り込み要求を起こす時に割り込み要求フラグ(INTF1)が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み許可レジスタ(GIMSK)の外部割り込み1許可(INT1)ビットが共に設定(1)されていれば、MCUは割り込みアドレス\$0004へ飛びます。このフラグは割り込み処理ルーチンが実行される時に解除(0)されます。代わりに、このフラグは論理1を書くことによっても解除(0)できます。

• ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上の出来事が割り込み要求を起こす時に割り込み要求フラグ(INTF0)が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが共に設定(1)されていれば、MCUは割り込みアドレス\$0002へ飛びます。このフラグは割り込み処理ルーチンが実行される時に解除(0)されます。代わりに、このフラグは論理1を書くことによっても解除(0)できます。

• ビット5 – INTF2 : 外部割り込み2要求フラグ (External Interrupt Flag2)

INT2ピン上の出来事が割り込み要求を起こす時に割り込み要求フラグ(INTF2)が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み許可レジスタ(GIMSK)の外部割り込み2許可(INT2)ビットが共に設定(1)されていれば、MCUは割り込みアドレス\$0006へ飛びます。このフラグは割り込み処理ルーチンが実行される時に解除(0)されます。代わりに、このフラグは論理1を書くことによっても解除(0)できます。

• ビット4~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	TOIE1	OCIE1A	OCIE1B	TOIE2	TICIE1	OCIE2	TOIE0	OCIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTOIE1ビットが共に設定(1)で、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1溢れ割り込み要求フラグ(TOV1)が設定(1)されると、対応する割り込み(ベクタ \$0012)が実行されます。

• ビット6 – OCIE1A : タイマ/カウンタ1比較A一致割り込み許可 (T/Counter1 Output Compare A Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE1Aビットが共に設定(1)で、タイマ/カウンタ1の比較A一致割り込みが許可されます。タイマ/カウンタ1で比較A一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1比較A一致割り込み要求フラグ(OCF1A)が設定(1)されると、対応する割り込み(ベクタ \$000E)が実行されます。

• ビット5 – OCIE1B : タイマ/カウンタ1比較B一致割り込み許可 (T/Counter1 Output Compare B Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE1Bビットが共に設定(1)で、タイマ/カウンタ1の比較B一致割り込みが許可されます。タイマ/カウンタ1で比較B一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1比較B一致割り込み要求フラグ(OCF1B)が設定(1)されると、対応する割り込み(ベクタ \$0010)が実行されます。

• ビット4 – TOIE2 : タイマ/カウンタ2溢れ割り込み許可 (Timer/Counter2 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTOIE2ビットが共に設定(1)で、タイマ/カウンタ2溢れ割り込みが許可されます。タイマ/カウンタ2溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ2溢れ割り込み要求フラグ(TOV2)が設定(1)されると、対応する割り込み(ベクタ \$000A)が実行されます。

• ビット3 – TICIE1 : タイマ/カウンタ1捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTICIE1ビットが共に設定(1)で、タイマ/カウンタ1の捕獲割り込みが許可されます。ICP(PE0)ピン上に捕獲要求が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1捕獲割り込み要求フラグ(ICF1)が設定(1)されると、対応する割り込み(ベクタ \$000C)が実行されます。

• ビット2 – OCIE2 : タイマ/カウンタ2比較一致割り込み許可 (Timer/Counter2 Output Compare Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE2ビットが共に設定(1)で、タイマ/カウンタ2の比較一致割り込みが許可されます。タイマ/カウンタ2で比較一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ2比較一致割り込み要求フラグ(OCF2)が設定(1)されると、対応する割り込み(ベクタ \$0008)が実行されます。

• ビット1 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTOIE0ビットが共に設定(1)で、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)が設定(1)されると、対応する割り込み(ベクタ \$0016)が実行されます。

• ビット0 – OCIE0 : タイマ/カウンタ0比較一致割り込み許可 (Timer/Counter0 Output Compare Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE0ビットが共に設定(1)で、タイマ/カウンタ0の比較一致割り込みが許可されます。タイマ/カウンタ0で比較一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0比較一致割り込み要求フラグ(OCF0)が設定(1)されると、対応する割り込み(ベクタ \$0014)が実行されます。

タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	TOV1	OCF1A	OCF1B	TOV2	ICF1	OCF2	TOV0	OCF0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Interrupt Flag)

タイマ/カウンタ1溢れが起こると、TOV1が設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットとTOV1が設定(1)されると、タイマ/カウンタ1溢れ割り込みが実行されます。PWM動作では、タイマ/カウンタ1が\$0000で計数方向を変更する時にこのフラグが設定(1)されます。

• ビット6 – OCF1A : タイマ/カウンタ1比較A一致割り込み要求フラグ (Timer/Counter1 Output Compare Interrupt Flag A)

タイマ/カウンタ1と比較Aレジスタ(OCR1A)の値間で比較一致が起こると、OCF1Aが設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Aは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較A一致割り込み許可(OCIE1A)ビットとOCF1Aが設定(1)されると、タイマ/カウンタ1比較A一致割り込みが実行されます。

• ビット5 – OCF1B : タイマ/カウンタ1比較B一致割り込み要求フラグ (Timer/Counter1 Output Compare Interrupt Flag B)

タイマ/カウンタ1と比較Bレジスタ(OCR1B)の値間で比較一致が起こると、OCF1Bが設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Bは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較B一致割り込み許可(OCIE1B)ビットとOCF1Bが設定(1)されると、タイマ/カウンタ1比較B一致割り込みが実行されます。

• ビット4 – TOV2 : タイマ/カウンタ2溢れ割り込み要求フラグ (Timer/Counter2 Overflow Interrupt Flag)

タイマ/カウンタ2溢れが起こると、TOV2が設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV2は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV2は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ2溢れ割り込み許可(TOIE2)ビットとTOV2が設定(1)されると、タイマ/カウンタ2溢れ割り込みが実行されます。

• ビット3 – ICF1 : タイマ/カウンタ1捕獲割り込み要求フラグ (Timer/Counter1 Input Capture Interrupt Flag)

このICF1ビットはタイマ/カウンタ1の値が捕獲レジスタ(ICR1)に転送されてしまったことを示す、捕獲発生フラグのために設定(1)されます。対応する割り込み処理ベクタを実行すると、ICF1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもICF1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1捕獲割り込み許可(TICIE1)ビットとICF1が設定(1)されると、タイマ/カウンタ1捕獲割り込みが実行されます。

• ビット2 – OCF2 : タイマ/カウンタ2比較一致割り込み要求フラグ (Timer/Counter2 Output Compare Interrupt Flag)

タイマ/カウンタ2と比較レジスタ(OCR2)の値間で比較一致が起こる時にOCF2が設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF2は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF2は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ2比較一致割り込み許可(OCIE2)ビットとOCF2が設定(1)されると、タイマ/カウンタ2比較一致割り込みが実行されます。

• ビット1 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こる時にTOV0ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

• ビット0 – OCF0 : タイマ/カウンタ0比較一致割り込み要求フラグ (Timer/Counter0 Output Compare Interrupt Flag)

タイマ/カウンタ0と比較レジスタ(OCR0)の値間で比較一致が起こる時にOCF0が設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0比較一致割り込み許可(OCIE0)ビットとOCF0が設定(1)されると、タイマ/カウンタ0比較一致割り込みが実行されます。

外部割り込み

外部割り込みはINT0,INT1,INT2ピンによって起動されます。許可されていれば、INT0,INT1,INT2ピンが例えば出力として設定されていても、割り込みを起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端、またはLowレベル(INT2は端(エッジ)割り込みのみ)で起動できます。これはMCU制御レジスタ(MCUCR)-INT0, INT1と拡張MCU制御レジスタ(EMCUCR)-INT2についての詳細で説明されるように設定します。外部割り込みが許可され、レベル起動(INT0とINT1のみ)として設定されるとき、ピンがLowに保持されている限り、この割り込みは継続的に発生します。

MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは、MCU機能一般についての制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW10	SE	SM1	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SRE : 外部SRAM許可 (External SRAM Enable)

このSREビットが設定(1)されるとデータ用外部メモリ インターフェースが許可され、AD7~0(ポートA)、A15~8(ポートC)、RDとWR(ポートD)、ALE(ポートE)のピン機能は交換ピン機能として活性化(有効に)されます。その時、SREビットは各ポート方向レジスタでのどんなピン方向設定も無視します。外部メモリ ピン機能の解説については図50.~53.をご覧ください。SREビットが解除(0)されると、データ用外部メモリ インターフェースが禁止され、標準ピンとデータ方向設定が使われます。

• ビット6 – SRW10 : 外部SRAM待ち10 (External SRAM Wait State)

このSRW10ビットは外部メモリ インターフェースで追加待ち状態設定に使われます。詳細な記述については54頁の「外部メモリ インターフェース」をご覧ください。

• ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行されるときにMCUを休止形態へ移行させるには、休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的の外休止形態移行をなくすため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

• ビット4 – SM1 : 休止種別1 (Sleep Mode Select Bits 1)

このSM1ビットは拡張MCU制御レジスタ(EMCUCR)のSM0ビットと共に表6.で示される利用可能な3つの休止形態の1つを選びます。

表6. 休止形態種別選択

SM1	SM0	休止形態種別
0	0	アイドル動作
	1	(予約)
1	0	パワーダウン動作
	1	パワーセーフ動作

• ビット3,2 – ISC11,0 : 外部割り込み1条件制御 (Interrupt Sense Control 1 bit1 and 0)

外部割り込み1はステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み1許可(INT1)ビットと共に設定(1)されている場合の外部割り込み1(INT1)ピンによって起動されます。この割り込みを起動する外部割り込み1(INT1)ピン上の端(エッジ)やレベルは表7.で定義されます。

INT1ピンの値は端検出以前から採取比較されています。端系割り込みが選択されると、1 CPUクロック周期より長く持続するパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選択されると、割り込みを発生するためには、現在実行中の命令の完了まで、Lowレベルが保持されなければなりません。

表7. 外部割り込み1(INT1)割り込み条件

ISC11	ISC10	割り込み発生条件
0	0	INT1ピンがLowレベルで発生。
	1	INT1ピンのレベル変化(両端)。
1	0	INT1ピンの下降端で発生。
	1	INT1ピンの上昇端で発生。

• ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットと共に設定(1)されている場合の外部割り込み0(INT0)ピンによって起動されます。この割り込みを起動する外部割り込み0(INT0)ピン上の端(エッジ)やレベルは表8.で定義されます。

INT0ピンの値は端検出以前から採取比較されています。端系割り込みが選択されると、1 CPUクロック周期より長く持続するパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選択されると、割り込みを発生するためには、現在実行中の命令の完了まで、Lowレベルが保持されなければなりません。

表8. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	INT0ピンのレベル変化(両端)。
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

拡張MCU制御レジスタ (Extended MCU Control Register) EMCUCR

この拡張MCU制御レジスタは、外部割り込み2、休止種別、外部メモリ インターフェース用制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	SM0	SRL2	SRL1	SRL0	SRW01	SRW00	SRW11	ISC2	EMCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – SM0 : 休止種別** (Sleep Mode Select Bit 0)

このビットとMCU制御レジスタ(MCUCR)の休止種別ビット1(SM1)が共に設定(1)されると、休止種別としてパワーセーブ動作が選ばれます。休止形態の詳細な記述については、23頁の「[休止形態](#)」を参照してください。

- **ビット6~4 – SRL2~0 : 外部SRAM範囲選択** (External SRAM limit)

ATmega161の異なる外部メモリ アドレス領域に違う待ち状態設定が可能です。このSRL2~0ビットは、異なる待ち状態が設定されるアドレス定義に使われます。詳細な記述については54頁の「[外部メモリ インターフェース](#)」をご覧ください。

- **ビット3,2,1 – SRW01,SRW00,SRW11 : 外部SRAM待ち選択** (External SRAM wait state select bits)

SRW01,SRW00とSRW11は外部メモリ インターフェースで追加待ち状態設定に使われます。詳細な記述については54頁の「[外部メモリ インターフェース](#)」をご覧ください。

- **ビット0 – ISC2 : 外部割り込み2条件制御** (Interrupt Sense Control 2)

外部割り込み2はステータスレジスタ(SREG)の全割り込み許可(1)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み2許可(INT2)ビットが共に設定(1)されている場合の外部(INT2)ピンによって活性化(起動)されます。ISC2が解除(0)されると、INT2の下降端が割り込みを活性化します。ISC2が設定(1)されると、INT2の上昇端が割り込みを活性化します。INT2の端(エッジ)は非同期で記録されます。50 nsより広いINT2のハルスは割り込みを発生します。短すぎるハルスは割り込みの発生が保証されません。

ISC2ビット変更時、割り込みが起き得ます。従って、先にGIMSKの割り込み許可(INT2)ビットを解除(0)することによってINT2を禁止することが推奨されます。その後、ISC2ビットが変更できます。最後に、一般割り込み要求フラグレジスタ(GIFR)の外部割り込み2要求フラグ(INTF2)に論理1を書くことによってINT2割り込み要求フラグが解除(0)されるべきです。

休止形態

3つの休止形態の何れかへ移行するには、MCU制御レジスタ(MCUCR)の休止許可(SE)ビットが設定(1)され、SLEEP命令が実行されなければなりません。MCUCRの休止種別1(SM1)ビットと拡張MCU制御レジスタ(EMCUCR)の休止種別0(SM0)ビットが選ぶどれかの休止形態(アイドル、パワーダウン、パワーセーブ)が、SLEEP命令によって有効動作にされます(表6参照)。MCUが休止形態中に許可されている割り込みが発生すると、MCUは起動復帰します。CPUは4周期停止後、その割り込み処理ルーチンを実行し、そしてSLEEP命令の次から実行を再開します。レジスタファイル、SRAM、I/Oレジスタの内容は変化しません。休止形態中にリセットが発生すると、MCUは起動復帰し、リセットベクタから実行します。

アイドル動作

休止種別(SM1, SM0)ビットが00に設定されているとき、SLEEP命令でMCUがアイドル動作へ移行し、CPUは停止しますが、SPI(直列周辺インターフェース)、UART、アナログ比較器、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これはタイマ溢れやUART受信完了のような内部割り込みだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。アナログ比較器割り込みからの起動復帰が必要とされない場合、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することより、アナログ比較器を電源断にできます。これはアイドル動作での電力消費を削減します。

パワーダウン動作

休止種別(SM1, SM0)ビットが10に設定されているとき、SLEEP命令でMCUがパワーダウン動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ウォッチドッグは動作を継続します。外部リセット、(許可されていれば)ウォッチドッグリセット、INT0またはINT1の外部レベル割り込み、INT2の外部端(エッジ)割り込みだけがMCUを起動復帰できます。

パワーダウン動作からの起動復帰にINT2が使われる場合、この端はMCUが起動復帰するまで記憶されます。

パワーダウン動作からの復帰にレベルで起動された割り込みが使われる場合、MCUを起動するため、変更されたレベルは一定時間保持されなければなりません。これはMCUの雑音不安定性を減らします。変更されたレベルはウォッチドッグ用発振器クロックによって2度採取され、この入力がこの時間中、必要とされるレベルであれば、MCUは起動復帰します。ウォッチドッグ用発振器の周期は公称1 μ s(5V, 25°C)です。「代表特性」章内で示されるように、ウォッチドッグ用発振器の周波数は電圧に依存します。

パワーダウン動作から復帰するとき、起動復帰条件発生から起動復帰の効果が現れるまで遅延を伴います。これは停止されてしまっている後に、再開のためのクロックが許可され、安定状態になるためです。この起動時間はリセット遅延時間を定義するCKSELヒューズによって同じく定義されます。この起動時間は表4で示されるリセット期間のクロック計数部と同じです。MCUが起動して実行を始める前に起動復帰条件が消滅すると、例えばLowレベルが充分長く保持されない、起動復帰の原因となる割り込みは実行されません。

パワーセーブ動作

休止種別(SM1, SM0)ビットが11のとき、SLEEP命令でMCUがパワーセーブ動作へ移行します。この動作は1点を除いてパワーダウン動作と同じです。

タイマ/カウンタ2が非同期駆動されている、換言すると、タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期クロック(AS2)ビットが設定(1)されている場合、タイマ/カウンタ2は休止中も動作します。パワーダウンの起動復帰元に加えて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)の対応するタイマ/カウンタ2割り込み許可ビットが設定(1)されていれば、タイマ/カウンタ2からの溢れまたは比較一致のどちらからでもデバイスが起動復帰できます。

非同期タイマが非同期駆動されない場合、例えASSRのAS2が0でも、パワーセーブ動作での起動復帰後、非同期タイマのレジスタ内容は不定とみなされるべきなので、パワーセーブ動作の代わりにパワーダウン動作が推奨されます。

内部基準電圧

ATmega161の特徴として公称1.22Vの内部基準電圧があります。これはアナログ比較器の入力に使えます。

基準電圧許可信号と起動時間

この基準電圧には使用方法に影響を及ぼす起動時間が存在します。最大起動時間は未定です。電力削減のため、この基準電圧はアナログ比較器制御/状態レジスタ(ACSR)の基準電圧入力選択(AINBG)が設定(1)された時だけONになります。従ってアナログ比較器からの出力が使われる前に基準電圧を常に起動させておかなければなりません。内部基準電圧は約10 μ A消費するので、パワーダウン動作での電力消費削減のために、この動作へ移行する前に内部基準電圧をOFFにできます。

タイマ/カウンタ

ATmega161には3つ(8ビット×2と16ビット×1)の汎用タイマ/カウンタがあります。タイマ/カウンタ2は任意で外部(クリスタルによる)発振器から非同期クロック駆動もできます。この発振器は時計用32.768kHzクリスタル使用に最適化されており、実時間時計(RTC)としてのタイマ/カウンタ2使用を可能にします。タイマ/カウンタ0と1には同じ10ビット前置分周器用タイマから選ぶ個別の前置分周器があります。タイマ/カウンタ2には独自の前置分周器があります。これら両方の前置分周器は**特殊I/O機能レジスタ(SFIOR)**の対応する制御ビット設定によってリセットできます。タイマ/カウンタは内部クロックを基準とするタイマや、外部ピンに接続された起因信号によるカウンタなどの使用ができます。

タイマ/カウンタ前置分周器部

タイマ/カウンタ0と1について前置分周器で分周された4つの異なる選択はCKを発振器クロックとする、CK/8、CK/64、CK/256、CK/1024です。タイマ/カウンタ0と1の2つではCK、外部クロック信号、停止もクロック元として選べます。特殊I/O機能レジスタ(SFIOR)の**タイマ/カウンタ1,0前置分周器リセット(PSR10)ビット**の設定(1)は、この前置分周器をリセットします。これは予測可能な前置分周器操作を可能にします。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、前置分周器のリセットが両方のタイマ/カウンタに影響を及ぼすことに注意してください。

図29. タイマ/カウンタ0,1 前置分周器部構成

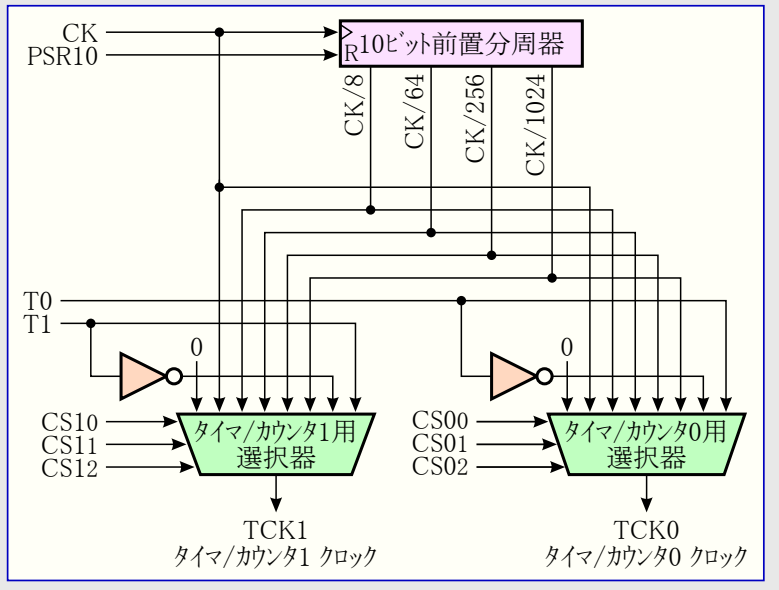
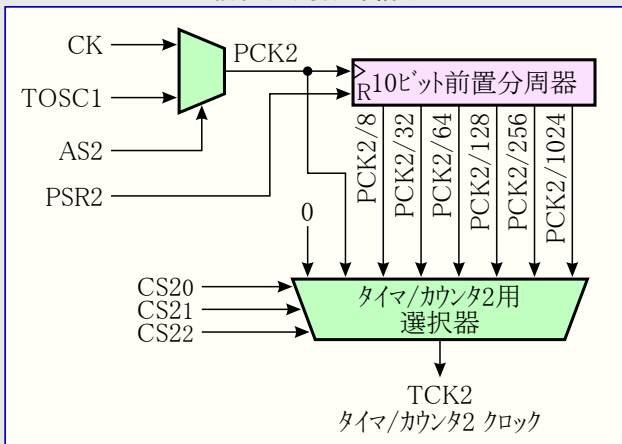


図30. タイマ/カウンタ2 前置分周器部構成



タイマ/カウンタ2の前置分周器用クロック元はPCK2で示されます。既定のPCK2は主システムクロック(CK)に接続されます。**タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期クロック(AS2)ビット**の設定(1)により、タイマ/カウンタ2の前置分周器はTOSC1(PD4)ピンから非同期クロック駆動されます。これは実時間時計(RTC)としてのタイマ/カウンタ2使用を可能にします。AS2が設定(1)されると、PD4(TOSC1)とPD5(TOSC2)ピンはポートDから切り離されます。タイマ/カウンタ2用の独立したクロック元として扱うために、TOSC1(PD4)とTOSC2(PD5)ピン間にクリスタル発振子が接続できます。この発振器は時計用32.768kHzクリスタルに最適化されています。代わりに外部クロック信号がTOSC1(PD4)ピンに適用できます。このクロックの周波数は256kHz以下で、CPUクロックの1/4未満でなければなりません。特殊I/O機能レジスタ(SFIOR)の**タイマ/カウンタ2前置分周器リセット(PSR2)ビット**の設定(1)は、この前置分周器をリセットします。これは予測可能な前置分周器操作を可能にします。

特殊I/O機能レジスタ (Special Function I/O Register) SFIOR

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	-	-	-	-	-	-	PSR2	PSR10	SFIOR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~2 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1 - PSR2 : タイマ/カウンタ2 前置分周器リセット (Prescaler Reset Timer/Counter2)

このビットが設定(1)されると、タイマ/カウンタ2の前置分周器がリセットされます。このビットはその動作が実行された後、自動的に解除(0)されます。このビットへの0書き込みは無効です。タイマ/カウンタ2がCPUクロックでクロック駆動される場合、このビットは常に0として読みます。タイマ/カウンタ2が非同期で動作する時に、このビットが書かれると、このビットは前置分周器がリセットされてしまうまで1として残ってしまいます。非同期動作の詳細記述については、31頁の「**タイマ/カウンタ2の非同期動作**」をご覧ください。

• ビット0 - PSR10 : タイマ/カウンタ1,0 前置分周器リセット (Prescaler Reset Timer/Counter1 and 0)

このビットが設定(1)されると、タイマ/カウンタ0とタイマ/カウンタ1の前置分周器がリセットされます。このビットはその動作が実行された後、自動的に解除(0)されます。このビットへの0書き込みは無効です。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが両方のタイマ/カウンタに影響を及ぼすことに注意してください。このビットは常に0として読みます。

8ビット タイマ/カウンタ0、タイマ/カウンタ2

図31.はタイマ/カウンタ0の構成図を示します。図32.はタイマ/カウンタ2の構成図を示します。

図31. タイマ/カウンタ0構成図

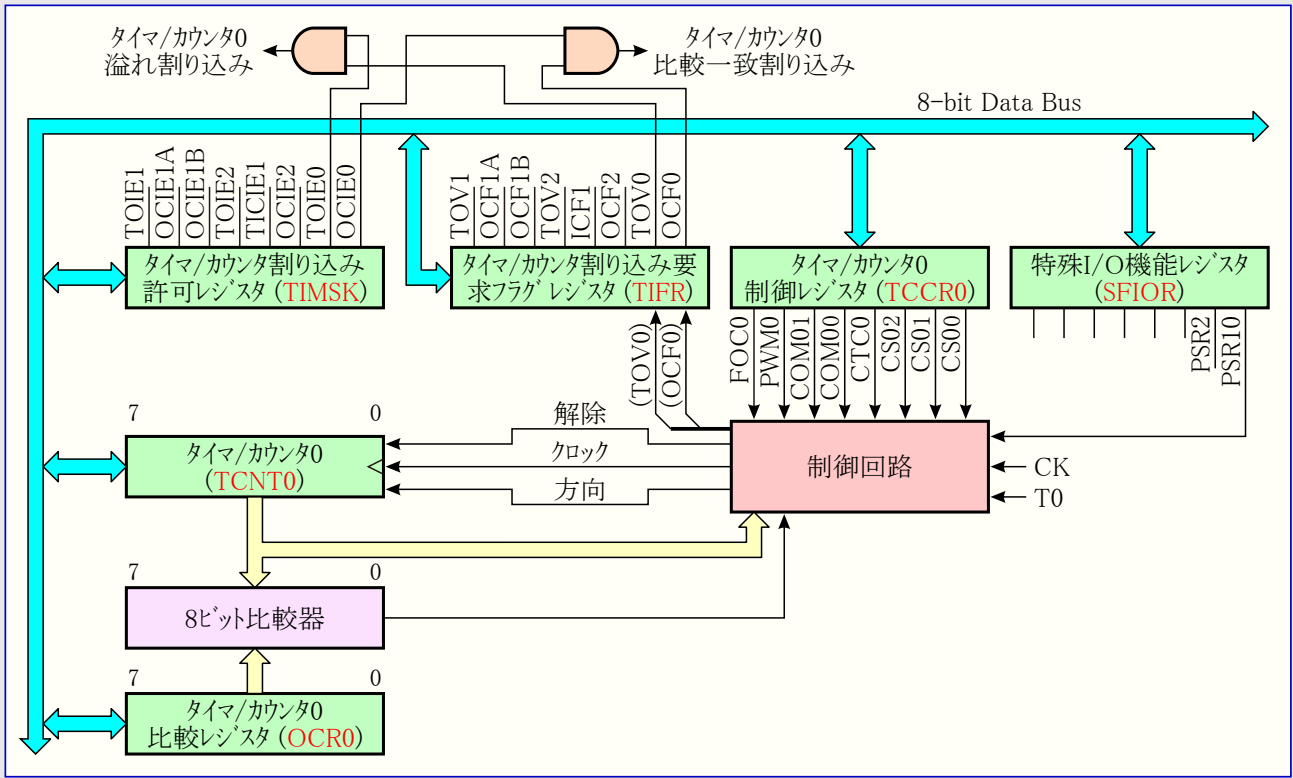
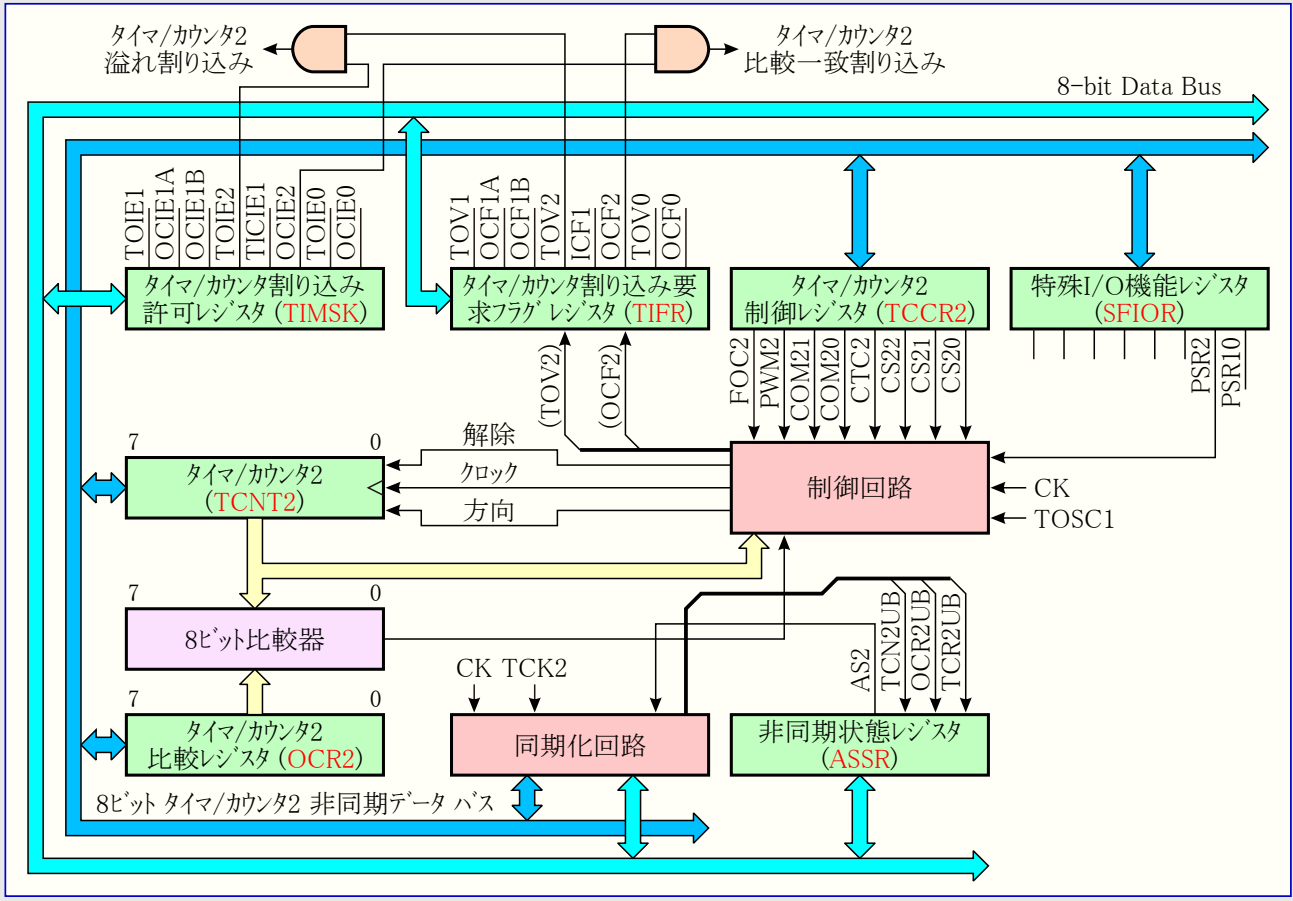


図32. タイマ/カウンタ2構成図



8ビットのタイマ/カウンタ0は、CK、分周されたCK、または外部ピンからクロック元を選べます。8ビットのタイマ/カウンタ2は、CK、分周されたCK、または外部TOSC1からのクロック元を選べます。

両タイマ/カウンタはタイマ/カウンタ0制御レジスタ(TCCR0)とタイマ/カウンタ2制御レジスタ(TCCR2)の詳細で説明されるように停止もできます。

各状態フラグ(溢れ:TOV0,TOV2、比較一致:OCF0,OCF2)はタイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)にあります。制御ビットはタイマ/カウンタ制御レジスタ(TCCR0とTCCR2)にあります。割り込みの許可/禁止設定はタイマ/カウンタ割り込み許可レジスタ(TIMSK)内にあります。

タイマ/カウンタ0が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

この単位部は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的や稀に動く正確なタイミングの目的についてこの単位部を有効にします。

両タイマ/カウンタはタイマ/カウンタ(TCNT0とTCNT2)の内容と比較されるデータ元として比較レジスタ(OCR0とOCR2)を使う比較出力機能を支援します。この比較出力機能は任意選択可能な比較一致でのカウンタの解除(=0)や比較一致での比較出力(OC0/PB0とOC2/PB1)ピン上の動作を含みます。

タイマ/カウンタ0と2は8ビットのパルス幅変調器(PWM)としても使えます。この動作では、タイマ/カウンタ(TCNT0とTCNT2)と比較レジスタ(OCR0とOCR2)は、不具合の無い周期中央パルス方式の独立したPWMとして扱えます。この機能の詳細な記述については29頁を参照してください。

タイマ/カウンタ0 制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	FOC0	PWM0	COM01	COM00	CTC0	CS02	CS01	CS00	TCCR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ2 制御レジスタ (Timer/Counter2 Control Register) TCCR2

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	FOC2	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20	TCCR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – FOC0/FOC2 : 比較出力強制変更 (Force Output Compare 0/2)

このビットへの論理1書き込みは、既に設定された比較n出力選択(COMn1,COMn0)ビットの値に従って、比較一致出力ピンOC0(PB0):タイマ/カウンタ0とOC2(PB1):タイマ/カウンタ2を強制的に変更します。COMn1とCOMn0ビットがFOC0/FOC2と同じ周期で書かれる場合、この新しい設定は次の比較一致か強制的な比較一致出力が起こるまで有効になりません(つまり無効)。この比較出力強制ビットはタイマ/カウンタの比較一致を待たずに出力ピンを変更するために使えます。比較一致が発生した場合と同様にCOMn1とCOMn0で設定された自動動作が起きますが、割り込みは発生せず、例え一致解除(CTC0/CTC2)ビットが設定(1)されていても、タイマ/カウンタは解除されません。FOC0/FOC2ビットは常に0として読みます。PWM動作でのFOC0/FOC2ビット設定は無効です。

• ビット6 – PWM0/PWM2 : PWM動作許可 (Pulse Width Modulator Enable)

設定(1)されると、このビットはタイマ/カウンタ0またはタイマ/カウンタ2のPWM動作を許可します。この動作は29頁に記載されます。

• ビット5,4 – COM01,0/COM21,0 : 比較出力選択 (Compare Output Mode bits 1 and 0)

このCOMn1とCOMn0制御ビットは、タイマ/カウンタ(TCNT0またはTCNT2)での比較一致に続く、何れかの出力ピン動作を決めます。出力ピン動作はOC0/(PB0)またはOC2(PB1)ピンに影響を及ぼします。これはI/Oポートの交換機能で、出力ピンを制御するため、対応する方向制御ビットは設定(1)されなければなりません(DDB0=1またはDDB1=1)。制御設定は表9.で示されます。

表9. 比較出力選択

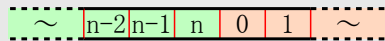
COMn1	COMn0	意味
0	0	OCn切断 (PB0/1として機能)
0	1	OCnピントグル(交互)出力
1	0	OCnピン Lowレベル出力
1	1	OCnピン Highレベル出力

注: 1. PWM動作では、これらのビットは異なる機能を持ちます。詳細な記述については、表12.を参照してください。

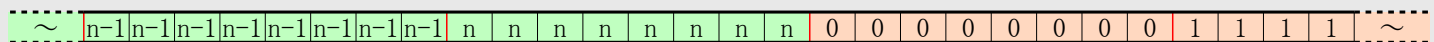
2. n=0または2

•ビット3 – CTC0/CTC2 : 一致解除許可 (Clear Timer/Counter on Compare Match)

CTC0またはCTC2制御ビットが設定(1)されると、タイマ/カウンタ0またはタイマ/カウンタ2は比較一致後のCPUクロック周期で\$00にリセットされます。この制御ビットが解除(0)されると、タイマ/カウンタは比較一致による影響を受けずに計数動作を継続します。前置分周値に1が使用され、比較レジスタ(OCR0/2)がnに設定されるとき、CTC0/2が設定(1)される場合、タイマ/カウンタは次のように計数します。



前置分周器がCK/8分周に設定されていると、タイマ/カウンタは次のように計数します。



PWM動作でのこのビットは異なる機能を持ちます。PWM動作でCTC0またはCTC2が解除(0)されると、タイマ/カウンタは上昇/下降カウンタとして動作します。CTC0またはCTC2が設定(1)されると、タイマ/カウンタは\$FFに達すると\$00に戻ります(上昇計数器)。詳細な記述については29頁を参照してください。

•ビット2~0 – CS02~0/CS22~0 : クロック選択0/2 (Clock Select Bits 2,1 and 0)

クロック選択0/2ビット2~0はタイマ/カウンタ0とタイマ/カウンタ2に供給するクロック元を定義します。

表10. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK (CPUクロック)
0	1	0	CK/8 (CPUクロックの8分周)
0	1	1	CK/64 (CPUクロックの64分周)
1	0	0	CK/256 (CPUクロックの256分周)
1	0	1	CK/1024 (CPUクロックの1024分周)
1	1	0	外部T0(PB0)ピンの下降端
1	1	1	外部T0(PB0)ピンの上昇端

表11. タイマ/カウンタ2入力クロック選択

CS22	CS21	CS20	意味
0	0	0	停止 (タイマ/カウンタ2は動作停止)
0	0	1	PCK2 (CPUクロックか外部発振TOSC)
0	1	0	PCK2/8 (PCK2の8分周)
0	1	1	PCK2/32 (PCK2の32分周)
1	0	0	PCK2/64 (PCK2の64分周)
1	0	1	PCK2/128 (PCK2の128分周)
1	1	0	PCK2/256 (PCK2の256分周)
1	1	1	PCK2/1024 (PCK2の1024分周)

停止状態はタイマ/カウンタの許可/禁止機能を提供します。前置分周される動作では、タイマ/カウンタ0についてはCK発振器クロックから、タイマ/カウンタ2についてはPCK2から直接的に分周されます。タイマ/カウンタ0で外部ピン動作が使われる場合、T0(PB0)ピンの遷移は例えそのピンが出力として設定されていても、タイマ/カウンタをクロック駆動します。この特徴がソフトウェアでの計数制御を提供できます。

タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ2 (Timer/Counter2) TCNT2

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	(MSB)							(LSB)	TCNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この8ビットレジスタはタイマ/カウンタ0/2の値です。

両タイマ/カウンタは読み書き可能な上昇または上昇/下降(PWM動作時)計数器として実現されます。クロック供給元が選ばれ、タイマ/カウンタが書かれると、書き込み動作の次に来るタイマ/カウンタ クロック周期で計数を開始/継続します。

タイマ/カウンタ0 比較レジスタ (Timer/Counter0 Output Compare Register) OCR0

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	(MSB)							(LSB)	OCR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ2 比較レジスタ (Timer/Counter2 Output Compare Register) OCR2

ビット	7	6	5	4	3	2	1	0	
\$22 (\$42)	(MSB)							(LSB)	OCR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタは読み書き可能な8ビットのレジスタです。このタイマ/カウンタ比較レジスタ(OCR0とOCR2)はタイマ/カウンタ(TCNT0とTCNT2)と継続的に比較されるべきデータを保持します。比較一致での動作はタイマ/カウンタ制御レジスタ(TCCR0とTCCR2)で詳細に示されます。タイマ/カウンタレジスタへのソフトウェア書き込みは、次のタイマ/カウンタクロック周期での比較一致を妨げます。これはタイマ/カウンタ初期化時、即時の割り込みを防止します。

比較一致は比較での出来事に続くCPUクロック周期で比較一致割り込み要求フラグ(OCF0,OCF2)を設定(1)します。

タイマ/カウンタ0、タイマ/カウンタ2 PWM動作

PWM動作が選ばれると、タイマ/カウンタは\$FF到達時\$00に戻る溢れ(上昇)か昇降のどちらかの計数器として動作します。

昇降動作が選ばれると、タイマ/カウンタ(TCNT0,TCNT2)と比較レジスタ(OCR0,OCR2)は自由走行動作で不具合のない位相基準の8ビットPWMとOC0(PB0),OC2(PB1)ピン出力を形成します。

溢れ動作が選ばれると、タイマ/カウンタ(TCNT0,TCNT2)と比較レジスタ(OCR0,OCR2)は自由走行動作で不具合のない8ビットPWMを形成し、昇降計数動作の倍速で動作します。

PWM種別 (溢れと昇降)

2つの異なるPWM種別は各々タイマ/カウンタ制御レジスタ(TCCR0,TCCR2)のCTC0,CTC2ビットによって選ばれます。

PWM動作が選ばれ、CTC0/CTC2が解除(0)されると、タイマ/カウンタは昇降計数器として動作し、\$00から\$FFまで上昇計数して、その周期が繰り返される前に向きを変えて再び\$00まで下降計数します。タイマ/カウンタ値が比較レジスタの内容と一致すると、OC0(PB0)またはOC2(PB1)ピンはタイマ/カウンタ制御レジスタ(TCCR0,TCCR2)の比較出力選択(COMn1,COMn0)ビットの設定に従って設定(High)または解除(Low)されます。

PWM動作が選ばれ、CTC0/CTC2が設定(1)されると、タイマ/カウンタは上昇計数器として動作し、\$FF到達後\$00から計数を始めます。OC0(PB0)またはOC2(PB1)ピンはタイマ/カウンタ値が比較レジスタの内容と一致する時、またはタイマ/カウンタ溢れで、COMn1,COMn0設定に従って設定(High)または解除(Low)されます。詳細については表12.を参照してください。

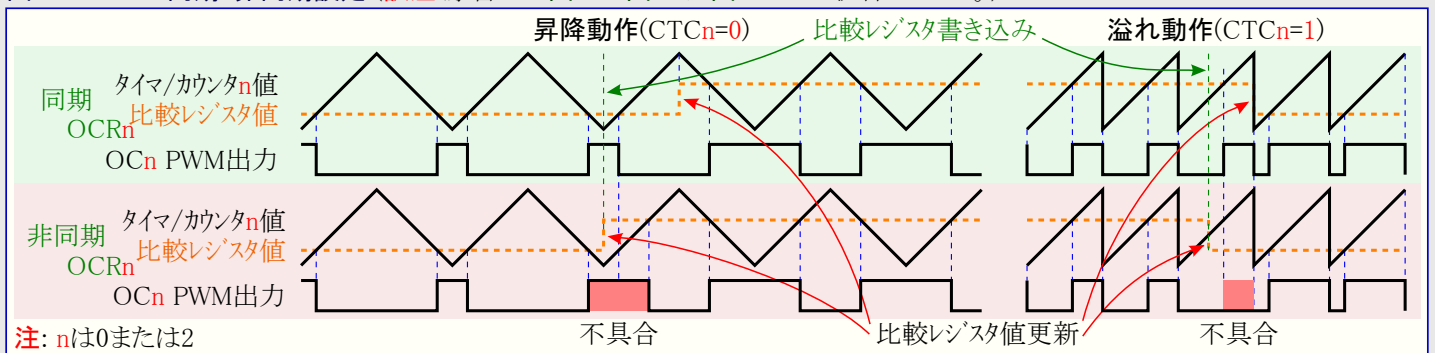
表12. PWM出力選択 (比較出力選択と兼用)

COMn1	COMn0	CTCn	OCn(PB0/PB1)出力	PWM周波数
0	X	X	OCn出力切断 (PB0またはPB1は標準I/Oとして動作)	
1	0	0	上昇計数時の一致で解除(Low)、下降計数時の一致で設定(High) [非反転出力]	f _{TCCK0} /2/510
	1		上昇計数時の一致で設定(High)、下降計数時の一致で解除(Low) [反転出力]	
	0	1	比較一致で解除(Low)、溢れで設定(High) [非反転出力]	f _{TCCK0} /2/256
	1		比較一致で設定(High)、溢れで解除(Low) [反転出力]	

注: nは0または2

PWM動作では比較レジスタ(OCR0,OCR2)に書かれる値が最初に一時領域へ転送され、そしてタイマ/カウンタが\$FFに到達する時に比較レジスタへ設定されることに注意してください。これはOCR0またはOCR2非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図33.を参照してください。

図33. OCRnの同期/非同期設定 (訳注:原書での図33.と図34.は図33.として統合しました。)



注: nは0または2

書き込みと実際の設定間の期間中、比較レジスタからの読み込みは一時領域の内容が読まれます。これは常に最も最近書かれた値がOCR0とOCR2の読み出しとなることを意味します。

昇降PWM動作が選ばれ、比較レジスタが\$00または\$FFのとき、OC0(PB0)またはOC2(PB1)出力は次の比較一致でCOMn1/COMn0の指定に従ってHighまたはLowに更新されます。これは表13.で示されます。溢れPWM動作でのOC0(PB0)またはOC2(PB1)出力は比較レジスタが\$FFの時だけHighまたはLowに保持されます。

表13. 上限値、下限値でのPWM出力

COMn1	COMn0	OCRn	PWMn出力
1	0	\$00	L
		\$FF	H
1	1	\$00	H
		\$FF	L

注: 1. n=0または2

2. 溢れPWM動作では上表のOCRn=\$FFについてのみ有効です。

昇降PWM動作ではタイマ/カウンタが\$00から進む時に、タイマ/カウンタ溢れ(TOV0またはTOV2)フラグが設定(1)されます。溢れPWM動作でのタイマ/カウンタ溢れフラグは通常のタイマ/カウンタ動作のように設定(1)されます。タイマ/カウンタ0と2の溢れ割り込みは通常動作、換言すると、ステータスレジスタ(SREG)の全割り込み許可(1)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0または2の溢れ割り込み許可(TOIE0またはTOIE2)ビットが許可されていれば、TOV0またはTOV2が設定(1)される時に割り込みが実行されるように、正確に動作します。これは比較一致割り込み要求フラグ(OCF0とOCF2)とその割り込みについても適用されます。

タイマ/カウンタ2 非同期状態レジスタ (Timer/Counter2 Asynchronous Status Register) ASSR

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	-	-	-	-	AS2	TCN2UB	OCR2UB	TCR2UB	ASSR
Read/Write	R	R	R	R	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~4 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

- **ビット3 – AS2 : タイマ/カウンタ2 非同期動作許可 (Asynchronous Timer/Counter2)**

このビットが解除(0)されると、タイマ/カウンタ2は内部システムクロック(CK)からクロック駆動されます。AS2が設定(1)されると、タイマ/カウンタ2はTOSC1ピンからクロック駆動されます。PD4(TOSC1)とPD5(TOSC2)ピンは水晶発振器に接続され、標準I/Oピンとして使えなくなります。このビットの値が変更される時、[タイマ/カウンタ2\(TCNT2\)](#)、[タイマ/カウンタ2比較レジスタ\(OCR2\)](#)、[タイマ/カウンタ2制御レジスタ\(TCCR2\)](#)の内容は不正となってしまうかもしれません。

- **ビット2 – TCN2UB : タイマ/カウンタ2 更新中フラグ (Timer/Counter2 Update Busy)**

タイマ/カウンタ2が非同期動作でタイマ/カウンタ2(TCNT2)が書かれると、このビットが設定(1)になります。TCNT2が一時保存レジスタから更新されてしまうと、このビットは自動的に解除(0)されます。このビットの論理0は、TCNT2が新規の値で更新されるための準備ができていないことを示します。

- **ビット1 – OCR2UB : タイマ/カウンタ2 比較レジスタ 更新中フラグ (Output Compare Register2 Update Busy)**

タイマ/カウンタ2が非同期動作でタイマ/カウンタ2比較レジスタ(OCR2)が書かれると、このビットが設定(1)になります。OCR2が一時保存レジスタから更新されてしまうと、このビットは自動的に解除(0)されます。このビットの論理0は、OCR2が新規の値で更新されるための準備ができていないことを示します。

- **ビット0 – TCR2UB : タイマ/カウンタ2 制御レジスタ 更新中フラグ (Timer/Counter2 Control Register Update Busy)**

タイマ/カウンタ2が非同期動作でタイマ/カウンタ2制御レジスタ(TCCR2)が書かれると、このビットが設定(1)になります。TCCR2が一時保存レジスタから更新されてしまうと、このビットは自動的に解除(0)されます。このビットの論理0は、TCCR2が新規の値で更新されるための準備ができていないことを示します。

更新中フラグが設定(1)中に3つのタイマ/カウンタ2レジスタの何れかに書き込みが実行されると、更新された値が不正となるかもしれず、予期せぬ割り込み発生の原因になります。

TCNT2、OCR2、TCCR2読み込みについての機構は異なります。TCNT2を読む時は実際のタイマ/カウンタ値が読まれます。OCR2またはTCCR2を読む時は一時保存レジスタが読まれます。

タイマ/カウンタ2 非同期動作

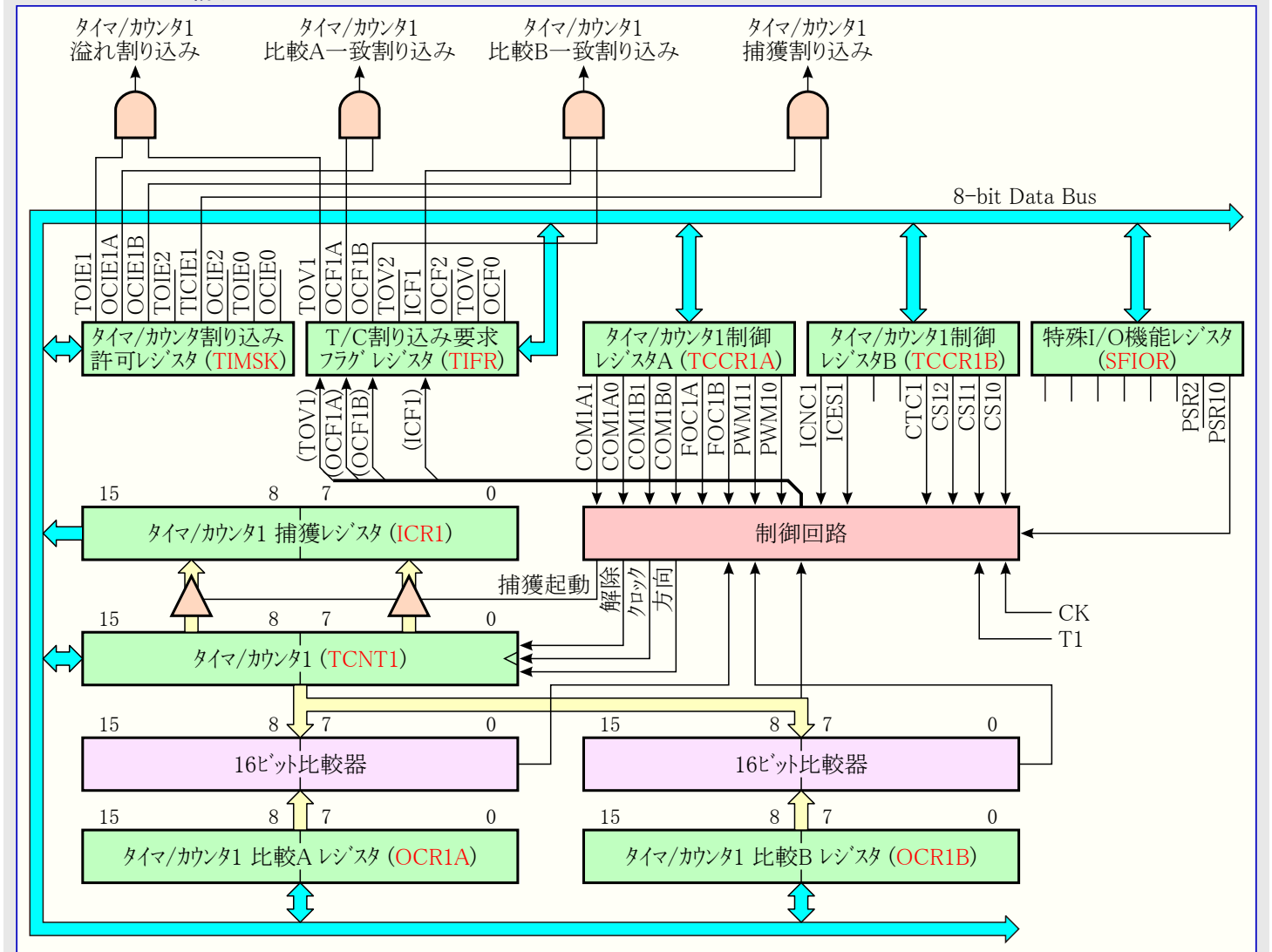
タイマ/カウンタ2が非同期動作のとき、いくつかの考慮が成されなければなりません。

- **警告:** タイマ/カウンタ2の同期/非同期クロック駆動間を切り替えると、**タイマ/カウンタ2(TCNT2)**、**タイマ/カウンタ2比較レジスタ(OCR2)**、**タイマ/カウンタ2制御レジスタ(TCCR2)**が不正となるかもしれません。クロック元を切り替える安全な手順を次に示します。
 1. **タイマ/カウンタ割り込み許可レジスタ(TIMSK)**のOCIE2とTOIE2を解除(0)し、タイマ/カウンタ2の割り込みを禁止します。
 2. **非同期状態レジスタ(ASSR)**の**非同期動作許可(AS2)**ビットの適切な設定により、クロック元を選び(変更)ます。
 3. TCNT2,OCR2,TCCR2に新しい値を書きます。
 4. 非同期動作に切り替えるには、**TCN2UB**、**OCR2UB**、**TCR2UB**が全て解除(0)されるまで待機します。
 5. 必要ならば、割り込みを許可します。
- 非同期動作用クロック発振器は時計用32.768kHzクリスタルの使用に最適化されています。TOSC1ピンに適用された外部クロック信号は、256kHzの帯域の(発振器と)同じ増幅器を通ることになります。従って外部クロック信号は0~256kHzの間であるべきです。TOSC1ピンに適用されるクロック信号の周波数は、CPU主クロック周波数の1/4未満でなければなりません。
- TCNT2,OCR2,TCCR2レジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSC1で2つの上昇端後、(実レジスタ)に設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に、新しい値を書くべきではありません。記載された3つのレジスタの各々がそれら個別の一時レジスタを持ちます。それは、例えばTCNT2書き込みがOCR2書き込みの実行を妨げないことを意味します。転送先レジスタへの転送が起きたことを検知するため、非同期状態レジスタ(ASSR)は実装されました。
- TCNT2,OCR2,TCCR2書き込み後に**パワーセーブ動作**へ移行するとき、タイマ/カウンタ2がデバイスの起動復帰に使われる場合、書かれたレジスタが更新されてしまうまで待たなければなりません。そうしないと、変更の効果がでる前に**休止形態**になります。タイマ/カウンタ2比較一致割り込みがデバイスの起動復帰に使われる場合、これは非常に重要です。TCNT2またはOCR2書き込み中の比較は禁止されます。書き込み周期が完了しない(換言すると、OCR2UBが0に戻る前に休止形態とする)場合、デバイスは決して比較一致にならず、MCUは起動復帰しません。
- パワーセーブ動作からデバイスの起動復帰にタイマ/カウンタ2が使われる場合、復帰後のパワーセーブ動作への再移行は予防処置を講じなければなりません。割り込み回路はリセットするために1 TOSC1周期が必要です。復帰とパワーセーブ動作再移行間の時間が1 TOSC1周期未満の場合、割り込みが起きず、デバイスは起動復帰に失敗します。パワーセーブ動作再移行前の時間が充分である確信がない場合には、1 TOSC1周期が経過されるのを保証するために次の手順が使えます。
 1. TCNT2,OCR2,TCCR2に値を書きます。
 2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが0に戻るまで待ちます。
 3. パワーセーブ動作へ移行します。
- **非同期動作が選ばれる**と、タイマ/カウンタ2用32kHz発振器は、**パワーダウン動作**を除いて、常に動作します。電源投入リセットまたはパワーダウン動作から起動復帰後、この発振器が安定するために1秒程度かかるかもしれないことを承知すべきです。電源投入またはパワーダウン動作から起動復帰後、タイマ/カウンタ2を使う前に、少なくとも1秒待機することが推奨されます。この発振器の使用またはクロック信号がTOSCピンに適用されるかのどちらかに拘らず、起動時の不安定的なクロック信号のため、電源投入またはパワーダウン動作からの起動復帰後、タイマ/カウンタ2の全レジスタ内容が失われると見做されなければなりません。
- タイマ/カウンタ2非同期クロック駆動時のパワーセーブ動作からの起動復帰の説明。割り込み条件が合致すると、タイマ/カウンタ2クロックの次の周期で起動復帰処理が開始され、プロセッサがタイマ/カウンタ値を読める前に、現在のタイマ/カウンタは常に最低1、進行されます。割り込み要求フラグは、プロセッサクロックが開始されてから3プロセッサクロック後に更新されます。この3周期中、プロセッサは命令を実行しますが、割り込みの状態は読まず、割り込み処理ルーチンは未だ開始されていません。
- 非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は、3プロセッサ周期+1タイマ周期が必要です。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読める前に、このタイマは最低1、進行されます。比較一致出力ピンはタイマクロックで変更され、プロセッサクロックには同期されません。

16ビット タイマ/カウンタ1

図35.はタイマ/カウンタ1についての構成図を示します。

図35. タイマ/カウンタ1構成図



16ビットのタイマ/カウンタ1はクロック元にCK、分周されたCK、または外部ピンからのクロック元を選べます。更に、**タイマ/カウンタ1制御レジスタB(TCCR1B)**の詳細で説明されるように停止もできます。各種状態フラグ(溢れ:TOV1、比較A一致:OCF1A、比較B一致:OCF1B、捕獲発生:ICF1)は**タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)**にあります。制御ビットは**タイマ/カウンタ1制御レジスタA(TCCR1A)**と**タイマ/カウンタ1制御レジスタB(TCCR1B)**にあります。タイマ/カウンタ1についての割り込みの許可/禁止設定は**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**内にあります。

タイマ/カウンタ1が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

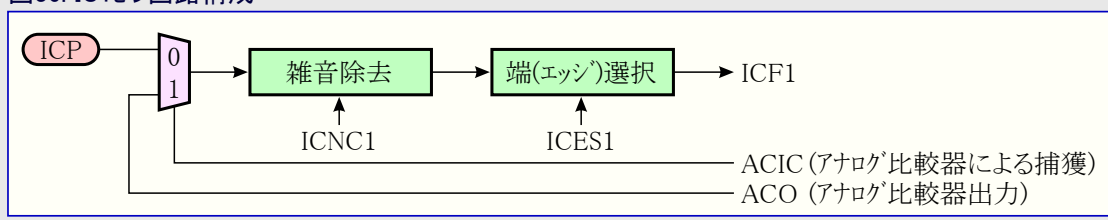
16ビットのタイマ/カウンタ1は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ1を有効にします。

タイマ/カウンタ1はタイマ/カウンタ1の内容と比較されるデータ元として比較レジスタ(OCR1AとOCR1B)を使う比較出力機能を支援します。この比較出力機能は選択可能な比較一致でのカウンタの解除(=0000)や、両方の比較一致での比較出力(OC1AとOC1B)ピン上の動作を含みます。

タイマ/カウンタ1は8,9または10ビットのパルス幅変調器(PWM)としても使えます。この動作ではタイマ/カウンタ1(TCNT1)と比較レジスタ(OCR1AとOCR1B)は、不具合の無い周期中央パルス方式の2つの独立したPWMとして扱えます。代わりにタイマ/カウンタ1は中央パルス方式を除いて倍速PWM動作に設定できます。この機能の詳細な記述については37頁を参照してください。

タイマ/カウンタ1の捕獲機能はICP(PE0)ピンの外部要因によって起動される、タイマ/カウンタ1の内容の**捕獲レジスタ(ICR1)**への捕獲(複写)を提供します。実際の捕獲要因(条件)はタイマ/カウンタ1制御レジスタB(TCCR1B)によって定義されます。加えて、アナログ比較器は捕獲の起動に設定できます。この詳細については「**アナログ比較器**」章を参照してください。ICPピンの回路は図36.で示されます。

図36. IC1ピン回路構成



雑音除去機能が許可されると、捕獲についての実際の起動条件は4回の採取に渡って監視され、捕獲フラグを有効とするには4回全てが同じでなければなりません。

タイマ/カウンタ1制御レジスタ (Timer/Counter1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM11	PWM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – COM1A1,0 : 比較A出力選択 (Compare Output Mode1A bit 1 and 0)

このCOM1A1とCOM1A0制御ビットはタイマ/カウンタ1(TCNT1)での比較A一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC1A(比較A出力)ピンに影響を及ぼします。これはI/Oポートの交換機能で、対応する方向制御ビットは出力ピンを制御するため、設定(1)されなければなりません(DDD5=1)。制御設定は表14.で与えられます。

• ビット5,4 – COM1B1,0 : 比較B出力選択 (Compare Output Mode1B bit 1 and 0)

このCOM1B1とCOM1B0制御ビットはタイマ/カウンタ1(TCNT1)での比較B一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC1B(比較B出力)ピンに影響を及ぼします。これはI/Oポートの交換機能で、対応する方向制御ビットは出力ピンを制御するため、設定(1)されなければなりません(DDE2=1)。制御設定は表14.で与えられます。

表14. 比較出力選択

COM1x1	COM1x0	意味
0	0	OC1x切断
0	1	OC1xピントグル(交互)出力
1	0	OC1xピン Lowレベル出力
1	1	OC1xピン Highレベル出力

注: x=AまたはB

注: PWM動作でのこれらのビットは異なる機能を持ちます。詳細説明については表18.を参照してください。

• ビット3 – FOC1A : OC1A比較出力強制変更 (Force Output Compare 1A)

このビットへの論理1書き込みは、既に設定された比較1A出力制御(COM1A1,COM1A0)ビットの値に従って、比較一致出力OC1A(PD5)ピンを強制的に変更します。COM1A1とCOM1A0ビットがFOC1Aと同じ周期で書かれる場合、この新しい設定は次の比較一致か強制的な比較一致出力が起こるまで有効になりません(つまり無効)。この比較出力強制ビットはタイマ/カウンタの比較一致を待たずに出力ピンを変更するために使えます。比較一致が発生した場合と同様にCOM1A1とCOM1A0で設定された自動動作が起きますが、割り込みは発生せず、例えタイマ/カウンタ1制御レジスタB(TCCR1B)の一致解除(CTC1)ビットが設定(1)されていても、タイマ/カウンタは解除されません。FOC1Aビットは常に0として読みます。PWM動作でのFOC1Aビット設定は無効です。

• ビット2 – FOC1B : OC1B比較出力強制変更 (Force Output Compare 1B)

このビットへの論理1書き込みは、既に設定された比較1B出力制御(COM1B1,COM1B0)ビットの設定に従って、比較一致出力OC1B(PD2)ピンを強制的に変更します。COM1B1とCOM1B0ビットがFOC1Bと同じ周期で書かれる場合、この新しい設定は次の比較一致か強制的な比較一致出力が起こるまで有効になりません(つまり無効)。この比較出力強制ビットはタイマ/カウンタの比較一致を待たずに出力ピンを変更するために使えます。比較一致が発生した場合と同様にCOM1B1とCOM1B0で設定された自動動作が起きますが、割り込みは生成されません。FOC1Bビットは常に0として読みます。PWM動作でのFOC1Bビット設定は無効です。

• ビット1,0 – PWM11,0 : PWM動作選択 (Pulse Width Modulator Select bit 1 and 0)

これらのビットは表15.に示されるタイマ/カウンタ1のPWM動作を選びます。この動作は37頁で記述されます。

表15. PWM動作選択

PWM11	PWM10	意味
0	0	PWM動作禁止
0	1	8ビットPWM
1	0	9ビットPWM
1	1	10ビットPWM

タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	ICNC1	ICES1	–	–	CTC1	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – ICNC1 : 捕獲起動入力雑音除去 (Input Capture1 Noise Canceler)

ICNC1ビットが解除(0)されると、捕獲起動入力の雑音除去機能が禁止されます。捕獲は説明されたように、捕獲起動入力:ICP(PE0)ピンで採取された最初の上昇端/下降端で起動されます。ICNC1が設定(1)されると、ICP(PE0)ピンで連続する4回の採取が揃い、全ての採取がICES1ビットでの捕獲起動条件設定に対応するhigh/Lowでなければなりません。実際の採取周波数はXTAL(システム)クロック周波数です。

• ビット6 – ICES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

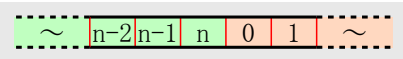
ICES1が解除(0)されている間、タイマ/カウンタ1の内容は捕獲起動入力:ICP(PE0)ピンの下降端で捕獲レジスタ(ICR1)へ転送されます。ICES1ビットが設定(1)されている間、タイマ/カウンタ1の内容は捕獲起動入力:ICP(PE0)ピンの上昇端で捕獲レジスタ(ICR1)へ転送されます。

• ビット5,4 – Res : 予約 (Reserved)

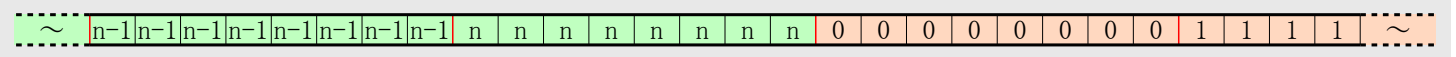
これらのビットは予約されており、常に0として読みます。

• ビット3 – CTC1 : 一致解除許可 (Clear Timer/Counter1 on Compare Match)

CTC1制御ビットが設定(1)されると、タイマ/カウンタ1は比較A一致後のクロック周期で\$0000にリセットされます。CTC1制御ビットが解除(0)されると、タイマ/カウンタ1は比較一致による影響を受けず、計数動作を続けます。前置分周値が1で、比較Aレジスタ (OCR1A)にnが設定されているとき、CTC1が設定(1)されていると、タイマ/カウンタ1は次のように計数します。



前置分周器がCK/8分周に設定されていると、タイマ/カウンタ1は次のように計数します。



PWM動作でのこのビットは異なる機能を持ちます。PWM動作でCTC1ビットが解除(0)されると、タイマ/カウンタ1は上昇/下降計数器として動作します。CTC1ビットが設定(1)されると、タイマ/カウンタ1は上限値(TOP)に達すると\$0000に戻ります(上昇計数器)。詳細な記述については37頁を参照してください。

• ビット2~0 – CS12~0 : クロック選択1 (Clock Select1, bit 2,1 and 0)

このクロック選択1ビット2~0はタイマ/カウンタ1(TCNT1)に供給するクロックを定義します。

表16. タイマ/カウンタ1入力クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ1は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T1(PB1)ピンの下降端
1	1	1	外部T1(PB1)ピンの上昇端

停止状態はタイマ/カウンタの動作許可/禁止機能を提供します。CKが分周される動作では発振器クロックCKから直接的に分周されます。タイマ/カウンタ1に外部ピン動作が使われる場合、T1(PB1)が出力として設定されていても、このピン上の変移は計数器を駆動します。この特徴が計数動作のソフトウェア制御を可能にします。

タイマ/カウンタ1 (Timer/Counter1) TCNT1H,TCNT1L (TCNT1)

ビット	15	14	13	12	11	10	9	8	
\$2D (\$4D)	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	(LSB)								TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この16ビットレジスタは16ビットのタイマ/カウンタ1の前置分周された値を含みます。CPUがこれらのレジスタをアクセスするとき、上位と下位のバイトの両方が同時に読み書きされるのを保証するため、このアクセスは8ビットの一時レジスタ(TEMP)を使って実行されます。この一時レジスタは、比較レジスタ(OCR1A,OCR1B)や捕獲レジスタ(ICR1)をアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

• タイマ/カウンタ1(TCNT1)書き込み (Timer/Counter1 Write)

CPUが上位バイト(TCNT1H)に書くとき、書かれたデータは一時レジスタ(TEMP)に置かれます。次にCPUが下位バイト(TCNT1L)に書くとき、TEMP内のバイトデータと組み合わせられ、16ビット全てがタイマ/カウンタ1(TCNT1)へ同時に書かれます。従って、完全な16ビットレジスタ書き込み操作では、**上位バイト(TCNT1H)が先にアクセス**されなければなりません。

• タイマ/カウンタ1(TCNT1)読み込み (Timer/Counter1 Read)

CPUが下位バイト(TCNT1L)を読むとき、下位バイト(TCNT1L)のデータがCPUへ送られ、上位バイト(TCNT1H)のデータが一時レジスタ(TEMP)に置かれます。CPUが上位バイト(TCNT1H)を読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビットレジスタ読み込み操作では、**下位バイト(TCNT1L)が先にアクセス**されなければなりません。

タイマ/カウンタ1は読み書き可能な上昇または上昇/下降(PWM動作時)計数器として実現されます。クロック供給元が選ばれ、タイマ/カウンタ1が書かれると、タイマ/カウンタ1は書かれた値を設定後、次のタイマ/カウンタ1クロック周期で計数を開始/継続します。

タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register A) OCR1AH,OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
\$2B (\$4B)	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)	(LSB)								OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register B) OCR1BH,OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
\$29 (\$49)	(MSB)								OCR1BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	(LSB)								OCR1BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタは読み書き可能な16ビットのレジスタです。

このタイマ/カウンタ1比較レジスタ(OCR1A, OCR1B)は、**タイマ/カウンタ1(TCNT1)**と継続的に比較されるべきデータを保持します。比較一致での動作は、**タイマ/カウンタ1の制御と状態のレジスタ**で詳細に示されます。タイマ/カウンタレジスタへのソフトウェア書き込みは、次のタイマ/カウンタクロック周期での比較一致を妨げます。これはタイマ/カウンタ初期化時、即時の割り込みを防止します。

比較一致は比較での出来事に続くCPUクロック周期で比較一致割り込み要求フラグ(**OCF1A,OCF1B**)を設定(1)します。

この比較レジスタ(OCR1AとOCR1B)が16ビットレジスタなので、両方のバイトが同時に更新されるのを保証するため、OCR1A/Bが書かれるときには一時レジスタ(TEMP)が使われます。CPUが上位バイト(OCR1AHまたはOCR1BH)に書くとき、データはTEMP内に保存されます。CPUが下位バイト(OCR1ALまたはOCR1BL)に書くとき、TEMPの値が同時に上位バイト(OCR1AHまたはOCR1BH)へ書かれます。従って、完全な16ビットレジスタの書き込み操作では、**上位バイト(OCR1AHまたはOCR1BH)が先に**書かれなければなりません。

この一時レジスタは、タイマ/カウンタ1(TCNT1)や捕獲レジスタ(ICR1)にアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 捕獲レジスタ (Timer/Counter1 Input Capture Register) ICR1H,ICR1L (ICR1)

ビット	15	14	13	12	11	10	9	8	
\$25 (\$45)	(MSB)								ICR1H
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	(LSB)								ICR1L
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

捕獲レジスタは読み込みのみ可能な16ビットのレジスタです。

捕獲起動入力:ICP(PE0)ピンで、**タイマ/カウンタ1制御レジスタB(TCCR1B)の捕獲起動入力選択(ICES1)**に従った信号の上昇端/下降端が検出されると、現在の**タイマ/カウンタ1(TCNT1)**の値が捕獲レジスタ(ICR1)に転送されます。同時に**タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)の捕獲割り込み要求フラグ(ICF1)**が設定(1)されます。

この捕獲レジスタ(ICR1)が16ビットレジスタなので、両方のバイトが同時に読まれるのを保証するため、ICR1が読まれる時には一時レジスタ(TEMP)が使われます。CPUが下位バイト(ICR1L)を読むとき、そのデータがCPUへ送られ、上位バイト(ICR1H)のデータがTEMPに置かれます。CPUが上位バイト(ICR1H)のデータを読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビットレジスタ読み込み操作では、**下位バイト(ICR1L)が先に**読まれなければなりません。

この一時レジスタは、タイマ/カウンタ1(TCNT1)や比較レジスタ(OCR1A,OCR1B)にアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 PWM動作

PWM動作が選ばれると、**タイマ/カウンタ1(TCNT1)**、**比較レジスタ(OCR1A)**、**比較レジスタ(OCR1B)**は自由走行動作で不具合のない位相基準の8,9または10ビットPWMとOC1A(PD5)とOC1B(PE2)ピン出力を形成します。この動作種別ではタイマ/カウンタ1は昇降計数器として動作し、\$0000からTOP(上限値:表17参照)まで上昇計数して、その周期が繰り返される前に向きを変えて再び\$0000まで下降計数します。タイマ/カウンタ1値がOCR1AまたはOCR1Bの最下位側8,9または10ビット(分解能に依存)の内容と一致すると、OC1A(PD5)またはOC1B(PE2)ピンは**タイマ/カウンタ1制御レジスタA(TCCR1A)**の**比較A出力選択(COM1A1,COM1A0)**または**比較B出力選択(COM1B1,COM1B0)**の設定に従って設定(High)または解除(Low)されます。詳細については表18を参照してください。

代わりにタイマ/カウンタ1は上記種別の倍速で動作するPWMに設定できます。その時、タイマ/カウンタ1、比較レジスタ(OCR1A)、比較レジスタ(OCR1B)は自由走行動作で不具合のない8,9または10ビットPWMとOC1A(PD5)とOC1B(PE2)ピン出力を形成します。

表17.で示されるように、このPWMは8,9または10ビット分解能のどれかで動作します。TCNT1,OCR1A,OCR1Bの未使用ビットはハードウェアによって自動的に0が書かれることに留意してください。例えば9ビット分解能PWMが選ばれる場合、TCNT1,OCR1A,OCR1Bのビット15~9は0に設定されます。これは3つの分解能種別のどれでも未使用ビットを無関係として取り扱う、読み-変更-書き操作の実行を可能にします。

表17. PWM分解能对計数上限(TOP)値、PWM周波数の関係

PWM11	PWM10	PWM分解能	計数上限(TOP)値	PWM周波数	
				CTC1=0	CTC1=1
0	1	8ビット	\$00FF (255)	fTCK1/510	fTCK1/256
1	0	9ビット	\$01FF (511)	fTCK1/1022	fTCK1/512
1	1	10ビット	\$03FF (1023)	fTCK1/2046	fTCK1/1024

fTCK1=タイマ/カウンタ1のクロック入力周波数

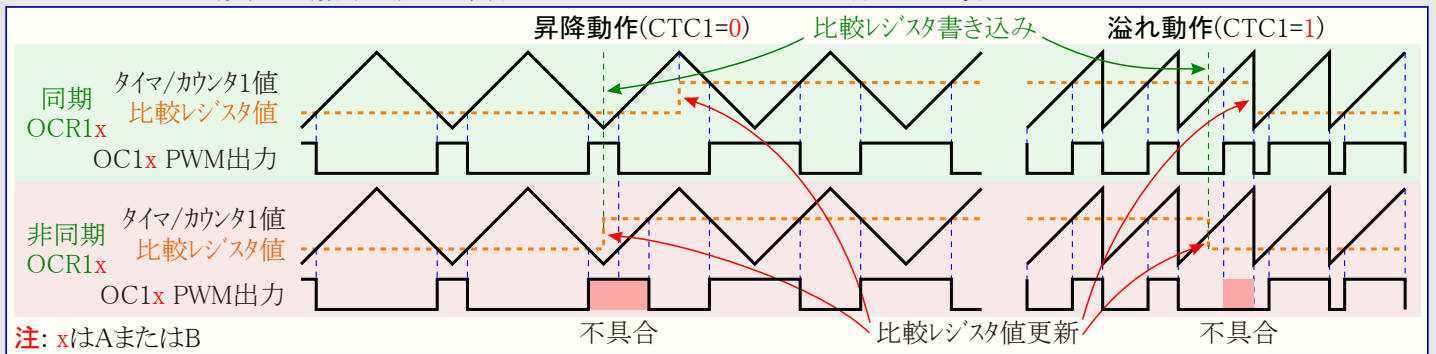
表18. PWM出力選択 (比較出力選択と兼用)

COM1x1	COM1x0	CTC1	OC1A(PD5)またはOC1B(PE2)出力
0	X	X	OC1x出力切断 (PD5またはPE2は標準I/Oとして動作)
1	0	0	上昇計数時の一致で解除(Low)、下降計数時の一致で設定(High) [非反転出力]
	1		上昇計数時の一致で設定(High)、下降計数時の一致で解除(Low) [反転出力]
	0	1	比較一致で解除(Low)、溢れで設定(High) [非反転出力]
	1		比較一致で設定(High)、溢れで解除(Low) [反転出力]

注: xはAまたはB

PWM動作では比較レジスタ(OCR1A/OCR1B)が書かれるとき、最下位側8,9または10ビット(分解能に依存)が一時領域に転送されることに注意してください。これらはタイマ/カウンタ1(TCNT1)が上限値(TOP)に到達する時に比較レジスタへ設定されます。これはOCR1A/OCR1B非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図37を参照してください。

図37. OCR1xの同期/非同期設定 (訳注:原書の図37.と図38.は図37.として統合しました。)



書き込みと実際の設定間の期間中、OCR1AまたはOCR1B読み込みは一時領域の内容が読まれます。これは常に最も最近書かれた値がOCR1A/OCR1Bの読み出しとなることを意味します。

昇降PWM動作が選ばれ、OCR1A/OCR1Bが\$0000または上限値(TOP)を含むと、OC1A/OC1B出力は次の比較一致で、TCCR1AのCOM1A1とCOM1A0またはCOM1B1とCOM1B0の指定に従って、HighまたはLowに更新/保持されます。これは表19.で示されます。溢れPWM動作でのOC1A/OC1B出力は比較レジスタが上限(TOP)値の時だけHighまたはLowに保持されます。

昇降PWM動作ではタイマ/カウンタ1が\$0000から進む時にタイマ/カウンタ1溢れ(TOV1)フラグが設定(1)されます。溢れPWM動作でのタイマ/カウンタ1溢れフラグは通常のタイマ/カウンタ動作のように設定(1)されます。タイマ/カウンタ1溢れ割り込みは通常動作、換言すると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットが許可されていれば、TOV1が設定(1)される時に割り込みが実行されるように、正確に動作します。これは比較一致割り込み(OCF1A,OCF1B)フラグと割り込みについても適用されます。

表19. 上限(TOP)値、下限値でのPWM出力

COM1x1	COM1x0	OCR1x	OC1x出力
1	0	\$0000	L
		上限値	H
1	1	\$0000	H
		上限値	L

注: 1. x=AまたはB

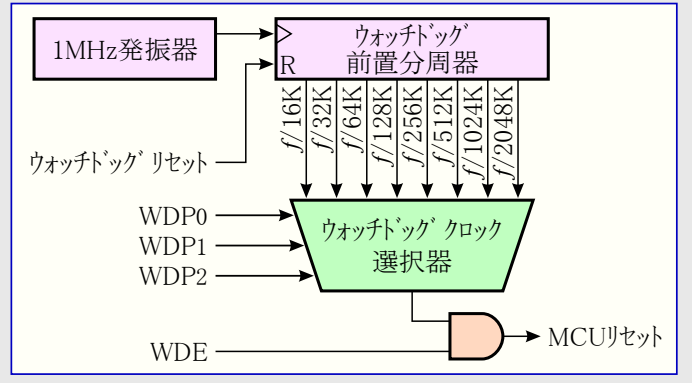
2. 溢れPWM動作では、上の表のOCR1x=TOPについてのみ有効です。

ウォッチドッグ タイマ

このウォッチドッグ タイマは1MHzで動作する独立した内蔵発振器から駆動されます。この周波数はVCC=5Vでの代表値です。他の電源電圧での代表値については**特性データ**を参照してください。ウォッチドッグ タイマの前置分周器を制御することにより、ウォッチドッグ リセット周期は調整できます。詳細説明については**表20**を参照してください。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。8つの異なるクロック周期は、ウォッチドッグ タイマがMCUをリセットしないよう防止するための2つのWDR命令間の最大周期を決めるように選ばれます。WDR命令なしで、このリセット周期が経過すると、ATmega161はリセットし、リセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては**16頁**を参照してください。

予期せぬウォッチドッグ 禁止を防止するため、ウォッチドッグ が禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの説明を参照してください。

図39. ウォッチドッグ タイマ構成図



ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21 \$(41)	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

•ビット7~5 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

•ビット4 – WDTOE : ウォッチドッグ 停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ 許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグ は禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に解除します。ウォッチドッグ 禁止手順についてはWDEビットの説明を参照してください。

•ビット3 – WDE : ウォッチドッグ 許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ 停止移行許可(WDTOE)ビットが設定(1)されている場合のみ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック以内に、WDEへ論理0を書きます。これがウォッチドッグ を禁止します。

•ビット2~0 – WDP2~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2~0は、ウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は**表20**に示されます。

表20. ウォッチドッグ 前置分周選択

WDP2	WDP1	WDP0	WDT 発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

注: 「代表特性」章内で示されるように、ウォッチドッグ 発振器の周波数は電圧に依存します。

ウォッチドッグ タイマが許可される前に、常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周器設定に一致するリセット周期を保証します。このリセット操作なしにウォッチドッグ が許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

予期せぬMCUリセットを避けるため、ウォッチドッグ タイマ前置分周選択の変更前には、ウォッチドッグ タイマが禁止されるかリセットされるべきです。

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間はEEPROMアクセス時間に使われるRC発振器の周波数に依存し、1.9～3.4msの範囲です。詳細については表21をご覧ください。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。嚴重に濾波した電源では、電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これら条件下のCPU動作はプログラムカウンタに予期せぬ分岐を実行させるかもしれない、結果的にEEPROM書き込みコードを実行する原因になりそうです。この場合、完全にEEPROMを保護するために外部低電圧リセット回路の使用が推奨されます。

不測のEEPROM書き込みを防ぐため、特別な書き込み手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ (EECR)**」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止されます。EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止されます。

EEPROMアドレス レジスタ (EEPROM Address Register) EEARH,EEARL (EEAR)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	-	-	-	-	-	-	-	EEAR8	EEARH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	不定	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

- ビット15～9 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット8～0 - EEAR8～0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEARHとEEARL)は512バイトのEEPROM空間のEEPROMアドレスを指定します。EEPROMデータのバイトは0～511間で直線的に配置されています。EEARの初期値は不定です。EEPROMがアクセスされる前に正しい値が書かれなければなりません。

EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～0 - EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレスレジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

- ビット7～4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット3 - EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(1)ビットとこのEERIEが設定(1)されると、EEPROM操作可割り込みが許可されます。解除(0)されると、この割り込みは禁止されます。EEWEが解除(0)されていると、EEPROM操作可割り込みは継続する割り込みを発生します。

•ビット2 – EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)

このEEMWEビットは、EEPROM書き込み許可(EEMWE)ビットの1設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEMWEの1設定は選ばれたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEMWEの1設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「書き込み許可(EEMWE)ビット」の記述をご覧ください。

•ビット1 – EEWWE : EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEMWE)はEEPROMへの書き込みストローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEMWEビットを設定(1)しなければなりません。論理1がEEMWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならず、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2.と3.の順番は重要ではありません)。

1. EEPROM書き込み許可(EEMWE)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEARHとEEARL)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。(EEMWEビットに論理1が書けるためには、同一周期内でEEMWEビットは0が書かれなければなりません。)
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EEMWE)ビットへ論理1を書きます。

警告: 手順4.と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARかEEDRが変更されると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順2.～5.の間中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み時間が経過してしまうと、EEMWEビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EEMWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

•ビット0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEEMWEビットをポーリングすべきです。新規データまたはアドレスがEEPROM I/Oレジスタに書かれる時に書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROM書き込みアクセスの時間にRC発振器が使われます。右表はCPUからのEEPROMアクセスについて代表的な書き込み時間を示します。

表21. EEPROM書き込み時間

項目	内蔵RC発振器クロック数	最小	最大
EEPROM書き込み(CPUから)	2048	1.9ms	3.4ms

注: RC発振器周波数を得るには、95頁の「代表特性」をご覧ください。

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。外部低VCCリセット保護回路が適用できます。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュメモリに定数を格納します。CPUからのフラッシュメモリ書き込みが許されるために設定されるブート施錠ビットとフラッシュメモリ書き込みを支援するブートローダソフトウェアを除いて、フラッシュメモリはCPUにより更新されることができません。詳細については、76頁の「ブートローダ支援」をご覧ください。

直列周辺インターフェース (SPI: Serial Peripheral Interface)

直列周辺インターフェースはATmega161と多くのAVRデバイスや周辺デバイス間の高速同期データ転送を行います。SPIは次の特徴を含みます。

- ・ 3線式全二重同期通信
- ・ 主装置/従装置動作
- ・ LSB/MSB先行のデータ通信
- ・ 7つの設定変更可能なビット速度
- ・ 送信終了割り込み
- ・ 送信上書き検出
- ・ アイドル動作からの起動復帰 (従装置動作のみ)
- ・ 倍速(CK/2)主装置動作

SPIでの主装置と従装置CPU間の相互接続は図41.で示されます。SCK(PB7)ピンは主装置動作でのクロック出力、従装置動作でのクロック入力です。主装置CPUのSPIデータレジスタ(SPDR)書き込みはSPIクロック発生器を起動し、書かれたデータがMOSI(PB5)ピンへ移動出力され、従装置CPUのMOSI(PB5)ピンへ移動入力されます。1バイト移動後にSPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の送信終了フラグ(SPIF)が設定(1)されます。SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置選択入力SS(PB4)は個々の従装置SPIデバイスを選ぶためLowに設定します。主装置と従装置の2つの移動レジスタは分配された1つの循環型16ビット長移動レジスタと見做せます。これは図41.で示されます。主装置から従装置へデータが移動されるとき、同時にデータは逆方向にも移動されます。これは1移動周期中に主装置と従装置のデータが交換されることを意味します。

このシステムは送信方向が単一緩衝、受信方向が2重緩衝です。これは移動周期全てが完了される前に送信すべきバイトをSPIデータレジスタ(SPDR)に書けないことを意味します。しかし、データ受信時、次のバイトが完全に移動入力されてしまう前に受信されたバイトがSPIデータレジスタ(SPDR)から読まなければならない。そうしないと、最初のバイトが失われます。

SPIが許可されると、MOSI, MISO, SCK, SSピンのデータ方向は表22.に従って強制されます。

図40. SPI構成図

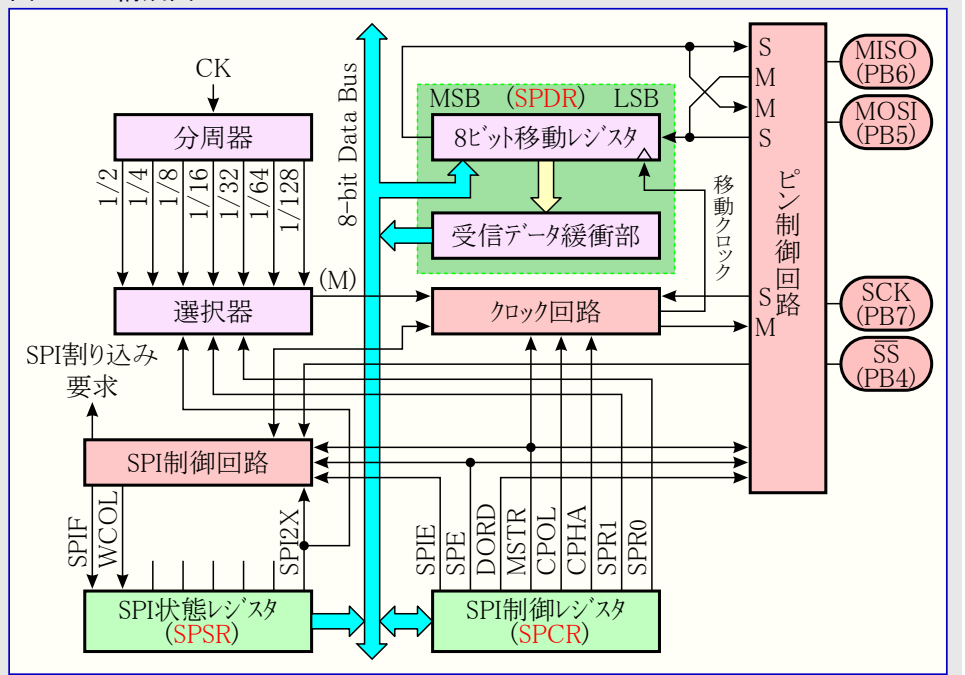


図41. SPI主装置/従装置の接続

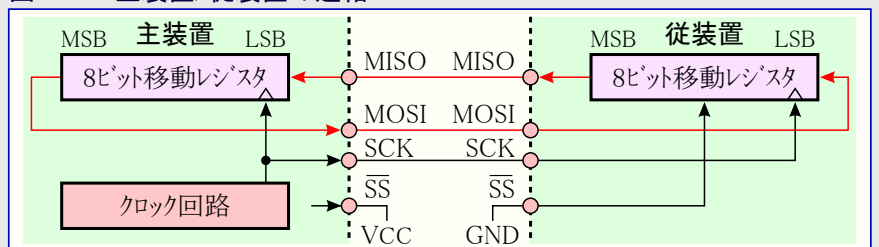


表22. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
SS	ポートB方向レジスタ(DDRB)の指定	入力

注: DDRBの指定については60頁の「ポートBの交換機能」を参照してください。

SSピンの機能

SPI制御レジスタ(SPCR)の主装置(MSTR)ビットの設定(1)でSPIが主装置として設定されると、使用者がSSピンの方向を決められます。SSが出力として設定されると、このピンはSPIシステムに影響を及ぼさない標準出力です。SSが入力として設定されると、SPI主装置動作を保証するため、それはHighを保持しなければなりません。SPIが主装置として設定され、SSピンが入力として定義される時にSSピンが周辺回路によってLowに駆動されると、他の主装置が従装置としてSPIを選び、データの送受を開始すると解釈します。バスの衝突を避けるため、SPIシステムは次の動作を行います。

1. SPI制御レジスタ(SPCR)の主装置(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIが従装置になる結果、MOSIとSCKピンは入力になります。
2. SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていれば、割り込み処理ルーチンが実行されます。

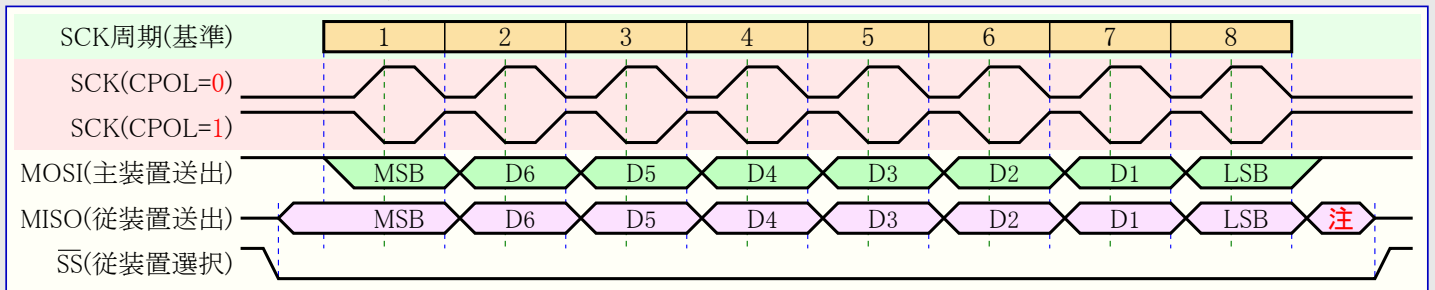
従って、割り込み駆動SPI送信が主装置動作で使われ、SSがLowに駆動される可能性があるとき、割り込み処理はMSTRビットが未だ設定(1)されているかを常に検査すべきです。一旦MSTRビットが従装置選択によって解除(0)されてしまうと、SPI主装置動作を再び許可するため、それは使用者によって設定(1)されなければなりません。

SPIが従装置として設定されると、SSピンは常に入力です。SSがLowに保持されると、SPIは活性化され、MISOは使用者によってそのよう(出力)に設定されるなら出力になります。他の全ピンは入力です。SSがHighに駆動されると、出力として使用者設定され得るMISOを除く全ピンが外部的に入力で、SPIは到着データを受信しないことを意味する受動状態です。一旦SSピンがHighにされると、SPI回路がリセットすることに注意してください。送信中にSSピンがHighにされると、SPIは直ちに送受信を停止し、送受信両方のデータが失われるとみなさなければなりません。

データ転送形式

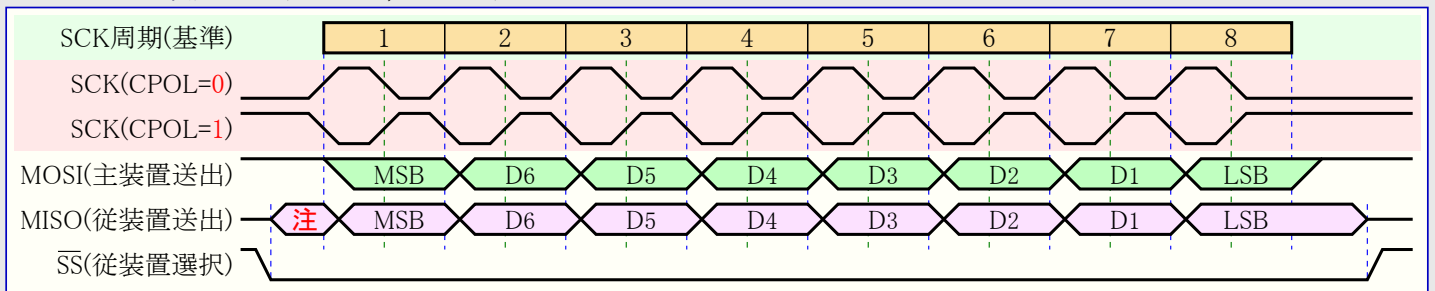
直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)ビットとSCK極性(CPOL)ビットで決められるSCKの位相と極性での4つの組み合わせがあります。SPIデータ転送形式は図42.と図43.で示されます。

図42. SPIデータ転送形式 (CPHA=0,DORD=0)



注: 未定義ですが、通常、受信されたデータのMSBです。

図43. SPIデータ転送形式 (CPHA=1,DORD=0)



注: 未定義ですが、通常、直前に送出されたデータのLSBです。

SPIデータレジスタ (SPI Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータレジスタはSPI移動レジスタと汎用レジスタ間のデータ転送に使用される読み書きレジスタです。このレジスタへ書くとデータ送信を開始します。このレジスタを読むと移動レジスタの受信緩衝部を読みます。

SPI状態レジスタ (SPI Status Register) SPSR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	SPIF	WCOL	-	-	-	-	-	SPI2X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIF : SPI割り込み要求フラグ (SPI Interrupt Flag)

直列転送が完了すると、このSPIFが設定(1)され、SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットが共に設定(1)されていれば、割り込みが生成されます。SPIが主装置動作の時に \overline{SS} が入力でLowに駆動されると、これもSPIFフラグを設定(1)します。SPIFは対応する割り込みベクタを実行すると、自動的に解除(0)されます。代わりに、SPIFが設定(1)されたSPSRを最初に読み、その後のSPIデータレジスタ(SPDR)のアクセスによってもSPIFは解除(0)されます。

• ビット6 – WCOL : 上書き発生フラグ (Write Collision Flag)

データ転送中にSPIデータレジスタ(SPDR)が書かれると、このWCOLフラグが設定(1)されます。このWCOLフラグ(とSPIFフラグ)はWCOLが設定(1)されたSPI状態レジスタ(SPSR)を最初に読み、その後のSPIデータレジスタ(SPDR)のアクセスによって解除(0)されます。

• ビット5~1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット0 – SPI2X : SPI倍速許可 (Double SPI Speed Bit)

このビットが設定(1)されると、主装置動作時のSCK速度(周波数)が倍にされます(表23参照)。これは最小SCK周期が2 CPUクロック周期であることを意味します。SPIが従装置として設定されるとき、SPIは $f_{CL}/4$ 以下での動作のみ保証されます。

ATmega161のSPIインターフェースはフラッシュメモリやEEPROMの書き換え(読み書き)にも使われます。直列プログラミングと照合については87頁を参照してください。

SPI制御レジスタ (SPI Control Register) SPCR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIE : SPI割り込み許可 (SPI Interrupt Enable)

全割り込みが許可(SREGのI=1)され、SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)が設定(1)される場合、このビットがSPI割り込みを実行させます。

• ビット6 – SPE : SPI許可 (SPI Enable)

SPEビットが設定(1)されるとSPIが許可されます。どのSPI操作でも、可能とするには、このビットが設定(1)されなければなりません。

• ビット5 – DORD : データ順選択 (Data Order)

DORDビットが設定(1)されるとLSBから送受信されます。DORDビットが解除(0)されるとMSBから送受信されます。

• ビット4 – MSTR : 主装置/従装置選択 (Master/Slave Select)

このビットは設定(1)されると主装置SPI動作、解除(0)されると従装置SPI動作を選びます。 \overline{SS} ピンが入力として設定され、MSTRが設定(1)されている間にLowへ駆動されると、MSTRは解除(0)され、SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)が設定(1)になります。SPI主装置動作を再び許可するには、その後MSTRを設定(1)しなければなりません。

• ビット3 – CPOL : SCK極性選択 (Clock Polarity)

このビットが設定(1)されるとSCKはアイドル時にHighとなります。CPOLが解除(0)されるとSCKはアイドル時にLowとなります。付加情報については図42と図43を参照してください。

• ビット2 – CPHA : SCK位相選択 (Clock Phase)

このビットの機能については図42と図43を参照してください。

• ビット1,0 – SPR1,0 : クロック選択 (SPI Clock Rate Select 1 and 0)

これら2ビットは主装置として設定されるデバイスのSCK速度を制御します。従装置でのSPR1,0は無効です。SCKと発振器周波数(f_{CL})間の関連は表23で示されます。

表23. SCK速度選択 (f_{CL} =発振器周波数)

SPR1	0	0	1	1			
SPR0	0	1	0	1			
SPI2X	1	0	1	0	1	0	
SCK周波数	$f_{CL}/2$	$f_{CL}/4$	$f_{CL}/8$	$f_{CL}/16$	$f_{CL}/32$	$f_{CL}/64$	$f_{CL}/128$

注: SPIが従装置として設定されるとき、SPIは $f_{CL}/4$ 以下での動作のみ保証されます。

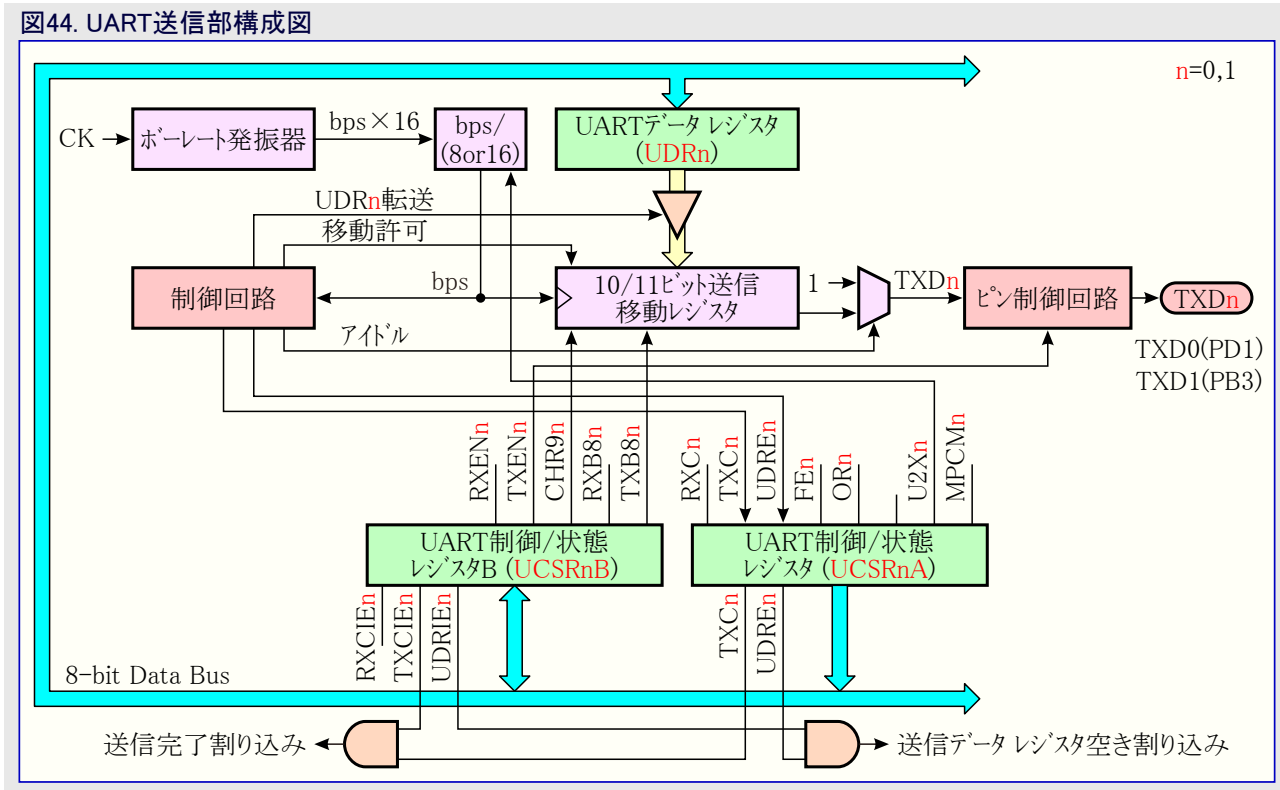
UART (UART0, UART1)

ATmega161は送受信レジスタが分離された全二重(フルデュプレックス)のUART(Universal Asynchronous Receiver and Transmitter)が特徴です。主な特徴を次に示します。

- 多数のボーレート速度(bps)を発生できる**ボーレート発振器**
- 低いクリスタル周波数での高ボーレート
- 8または9ビットデータ
- 雑音濾波器機能
- オーバーラン検出
- フレーミング異常検出
- 不正開始ビット検出
- 受信完了、送信完了、送信データレジスタ空きの3つの独立した割り込み
- 複数プロセッサ通信機能
- 倍速UART動作

データ送信

UART送信部の構成図は図44.で示されます。2つのUARTは同一で、この機能は2つのUARTについて一般形で記述されます。



データ送信はUARTデータレジスタ(UDR_n)への送信すべきデータの書き込みによって開始されます。データは次の時にUDR_nから送信移動レジスタへ転送されます。

- 直前のデータが移動出力されてしまった後から停止ビットの後に、新データがUDR_nに書かれると、移動レジスタは直ちに設定されます。
- 直前のデータが移動出力されてしまった前から停止ビットの前に、新データがUDR_nに書かれると、正しく送信されている(直前の)データの停止ビットが移動出力されてしまう時に移動レジスタは設定されます。

10/11ビット移動レジスタが空の場合、データはUDR_nからこの送信移動レジスタへ転送されます。同時にUART制御/状態レジスタA(UCSR_nA)のUARTデータレジスタ空き(UDRE_n)ビットが設定(1)されます。このビットが設定(1)されると、UARTは次データを受け取る用意ができています。UDR_nから10/11ビット移動レジスタへ転送されると同時に、移動レジスタのビット0が解除(0)され(開始ビット)、ビット9または10が設定(1)されます(停止ビット)。UART制御/状態レジスタB(UCSR_nB)の9ビット選択(CHR9_n)ビット=1で、9ビット長データが選ばれていると、UCSR_nBの送信ビット8(TXB8_n)ビットが送信移動レジスタのビット9に転送されます。

移動レジスタへの転送操作に続くボーレートクロックで開始ビットはTXD_nピン上に移動出力されます。その後、LSBが先でデータが続けます。停止ビットが移動出力されてしまう時に送信(移動)中に何れかの新規データがUDR_nに書かれてしまっている場合、移動レジスタはそのデータで設定されます。この設定中にUDRE_nが設定(1)されます。停止ビットが移動出力される時に送るためのUDR_n内の新規データがない場合、UDRE_nフラグはUDR_nが再び書かれるまで設定(1)に留まります。新規データが書かれず、停止ビットが1ビット長分、TXD_n上に存在してしまうと、UCSR_nAの送信完了(TXC_n)フラグが設定(1)されます。

UCSR_nBの送信許可(TXEN_n)ビットは設定(1)時にUART送信部を許可します。このビットが解除(0)されると、PD1/TXD0(UART0)またはPB3/TXD1(UART1)ピンは標準I/Oで使えます。TXEN_nが設定(1)されると、UART送信部はPD1/TXD0(UART0)またはPB3/TXD1(UART1)ピンに接続され、それはポートD方向レジスタ(DDRD)のDDD1(UART0)またはポートB方向レジスタ(DDRB)のDDB3(UART1)ビットの設定に拘らず、強制的に出力とされます。PB3がアナログ比較器の入力ピンの1つとして使われることに注意してください。従って、応用で同時にアナログ比較器も使われる場合、UART1の使用は推奨されません。

データ受信

図45.はUART受信部の構成図を示します。

受信部前処理回路はボーレート周波数の16倍のクロックでRXDnピン上の信号を採取します。信号線がアイドルの間、1つの論理0の採取は開始ビットの下降端として判定され、開始ビット検出手順が開始されます。第1採取はこの最初の0採取を示します。1から0への遷移に続き、受信部は第8、9、10採取でRXDnピンを採取します。これら3つの採取で2回以上の論理1を見つければ、開始ビットは尖頭雑音として破棄され、受信部は次の1から0への遷移(開始ビット開始)検出を始めます。

そうでなければ、有効な開始ビットが検出され、開始ビットに続くデータビットの採取が実行されます。これらのビットは同様に第8、9、10採取で採取されます。3つの採取の内、少なくとも2つが見つかった論理値がビット値として取得されます。全てのビットは採取されると、受信移動レジスタ内に移動入力されます。到着フレームの採取は図46.で示されます。UART倍速転送時、上記が有効でないことに注意してください。詳細な記述については51頁の「倍速転送」をご覧ください。

図45. UART受信部構成図

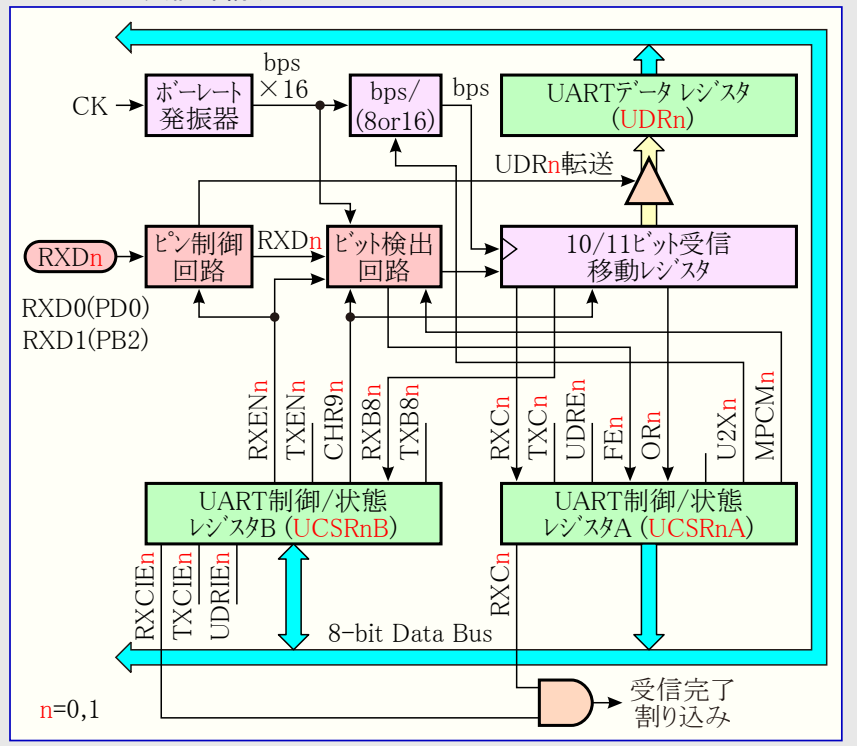
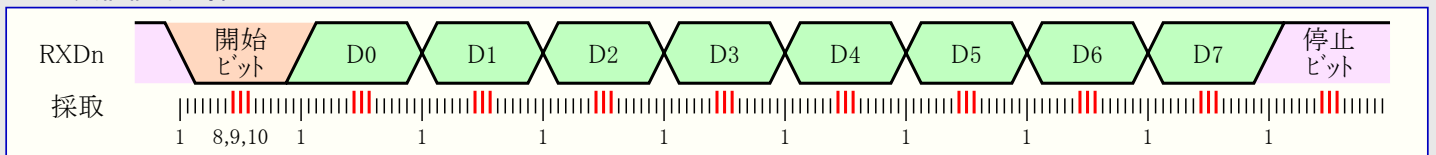


図46. 受信信号の採取



注: UART倍速時、この図は有効ではありません。詳細な記述については51頁の「倍速転送」をご覧ください。

停止ビットが受信部に入るとき、停止ビットを受け入れるためには、3採取の多数が1でなければなりません。2つ以上の採取が論理0だと、UART制御/状態レジスタA(UCSRnA)のフレーミング異常(FEn)フラグが設定(1)されます。フレーミング異常を検知するため、常にUARTデータレジスタ(UDRn)を読む前に、このFEnフラグを検査すべきです。

フレーム受信周期の最後で有効な停止ビットが検出されるかによらず、データはUDRnへ送られ、UCSRnAの受信完了(RXCn)フラグが設定(1)されます。実際のUDRnは2つの物理的に分離したレジスタで、受信データ用に1つと送信データ用に1つです。UDRnが読まれると受信データレジスタが、UDRnが書かれると送信データレジスタがアクセスされます。UART制御/状態レジスタB(UCSRnB)の9ビット選択(CHR9n)ビット=1で、9ビット長データが選ばれていると、データがUDRnに転送される時にUCSRnBの受信ビット8(RXB8n)ビットは受信移動レジスタのビット9が設定されます。

受信されたフレーム(データ)があるのに直前の受信以降、UDRnが未読の場合、UCSRnAのオーバラン(ORN)フラグが設定(1)されます。これは受信移動レジスタに移動入力された最後の受信データがUDRnに転送できないために失われてしまうことを意味します。ORNビットは緩衝されており、UDRn内の有効な受信データが読まれる時に更新されます。従って、速いボーレートやCPU負荷が重い場合、どのオーバランをも検出するにはUDRn読み込み後、常にこのORNフラグを検査すべきです。

UCSRnBの受信許可(RXENn)ビットが解除(0)されると、受信部が禁止されます。これはPD0/RXD0(UART0)またはPB2/RXD1(UART1)ピンが標準I/Oピンとして使えることを意味します。RXENnが設定(1)されると、UART受信部がPD0/RXD0(UART0)またはPB2/RXD1(UART1)ピンに接続され、それはポートD方向レジスタ(DDRD)のDDD0(UART0)またはポートB方向レジスタ(DDRB)のDDB2(UART1)ビットの設定に拘らず、強制的に入力とされます。ポートD出力レジスタ(PORTD)のPORTD0(UART0)またはポートB出力レジスタ(PORTB)のPORTB2(UART1)は、このピンのプルアップ抵抗を制御するために未だ使えません。

PB2がアナログ比較器の入力ピンの1つとして使われることに注意してください。従って応用で同時にアナログ比較器も使われる場合、UART1の使用は推奨されません。

UCSRnBの9ビット選択(CHR9n)ビットが設定(1)されると、送受信されるフレームは開始ビット+9ビットデータ+停止ビットです。送信される第9ビットデータはUCSRnBの送信ビット8(TXB8n)ビットです。このビットはUDRn書き込みによって送信が開始される前に、必要とされる値を設定しなければなりません。受信された第9ビットデータはUCSRnBの受信ビット8(RXB8n)ビットです。

複数プロセッサ通信動作

複数プロセッサ通信動作は多くの従MCUでの主MCUからのデータ受信を可能にします。これはMCUが指定されてしまっているかを検出するアドレスバイトを最初に調査判定することによって行われます。特定の従MCUが指定されてしまったならば、そのMCUは続くデータバイトを通常通り受信し、一方他の従MCUは次のアドレスバイトが受信されるまで、このデータバイトを無視します。

主MCUとして動作するMCUはUART制御/状態レジスタB(UCSRnB)の9ビット選択(CHR9n)ビット=1で9ビット送信動作へ移行すべきです。この第9ビットはアドレスバイトが送信されることを示すためには1、データバイトが送信されることを示すためには0でなければなりません。

従MCUでは8/9ビット受信動作でこの機構に僅かな違いが現れます。8ビット受信動作(UCSRnBのCHR9n=0)では停止ビットがアドレスバイトで1、データバイトで0です。9ビット受信動作(UCSRnBのCHR9n=1)では第9ビットがアドレスバイトで1、データバイトで0になり、ところが停止ビットは常に1です。

複数プロセッサ通信動作でのデータ交換には次の手順が使われるべきです。

1. 全ての従MCUはUART制御/状態レジスタA(UCSRnA)の複数プロセッサ通信動作(MPCMn)ビットを設定(1)し、複数プロセッサ通信動作にします。
2. 主MCUはアドレスバイトを送信し、このアドレスバイトを全従MCUが受信して読みます。従CPUでは通常通りにUCSRnAの受信完了(RXCn)フラグが設定(1)されます。
3. 各従MCUはUARTデータレジスタ(UDRn)を読み、選ばれたかを判定します。選ばれたならばUCSRnAの複数プロセッサ通信動作(MPCMn)ビットを解除(0)し、そうでなければ次のアドレスバイトを待ちます。
4. 受信されたデータバイト毎に受信するMCUはUCSRnAの受信完了(RXCn)フラグを設定(1)します。8ビット動作では停止ビットが0のためにUCSRnAのフレーミング異常(FEn)も発生します。MPCMnビットが未だ設定(1)されている他の従MCUはデータバイトを無視します。この場合、UDRnとUCSRnAの受信完了(RXCn)またはフレーミング異常(FEn)フラグは影響を受けません。
5. 最後のデータバイトが送出されてしまった後、この手順は2.から繰り返します。

UART制御

UART0 データレジスタ (UART0 I/O Data Register) UDR0

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	(MSB)							(LSB)	UDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

UART1 データレジスタ (UART1 I/O Data Register) UDR1

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	(MSB)							(LSB)	UDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

実際には、UDRnは同じI/Oアドレスを共有する物理的に分離した2つのレジスタです。このレジスタに書くとUART送信データレジスタが書かれます。UDRnから読むとUART受信データレジスタが読まれます。

UART0 制御/状態レジスタ (UART0 Control and Status Register A) UCSR0A

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	RXC0	TXC0	UDRE0	FE0	OR0	–	U2X0	MPCM0	UCSR0A
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

UART1 制御/状態レジスタ (UART1 Control and Status Register A) UCSR1A

ビット	7	6	5	4	3	2	1	0	
\$02 (\$22)	RXC1	TXC1	UDRE1	FE1	OR1	–	U2X1	MPCM1	UCSR1A
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

• ビット7 – RXC0/RXC1 : UART受信完了フラグ (UART Receive Complete)

受信されたデータが受信移動レジスタからUARTデータレジスタ(UDRn)へ転送される時、このビットが設定(1)されます。このビットは検出されたどんなフレーミング異常にも関係なく設定されます。UART制御/状態レジスタB(UCSRnB)の受信完了割り込み許可(RXCIE_n)ビットが設定(1)されていると、RXC_nが設定(1)された時にUART受信完了割り込みが実行されます。RXC_nはUDR_n読み込みによって解除(0)されます。割り込み駆動データ受信が使われるとき、UART受信完了割り込み処理ルーチンはRXC_nを解除(0)するためにUDR_nを読まなければなりません。さもなければ、一旦割り込み処理ルーチンを終了しても、新規割り込みが発生します。

• ビット6 – TXC0/TXC1 : UART送信完了フラグ (UART Transmit Complete)

送信移動レジスタ内の完全なデータ(含む停止ビット)が移動出力されてしまい、新規データがUARTデータレジスタ(UDRn)に書かれてしまっていないとき、このビットは設定(1)されます。このビットは送信側が送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない半二重(ハーフデュプレックス)通信で特に有用です。

UART制御/状態レジスタB(UCSRnB)の送信完了割り込み許可(TXCIE_n)ビットが設定(1)されていると、TXC_nの設定(1)はUART送信完了割り込みを実行させます。対応する割り込みベクタを実行すると、TXC_nは自動的に解除(0)されます。代わりに、このビットに論理1を書くことによってもTXC_nは解除(0)されます。

• ビット5 – UDRE0/UDRE1 : UART送信データレジスタ空きフラグ (UART Data Register Empty)

UARTデータレジスタ(UDRn)に書かれたデータが送信移動レジスタへ転送される時、このビットは設定(1)されます。このビットの設定(1)は送信部が新規送信データを受け取る用意ができていることを示します。

ステータスレジスタの全割り込み許可(I)ビットが設定(1)され、UART制御/状態レジスタB(UCSRnB)の送信データレジスタ空き割り込み許可(UDRIE_n)ビットが設定(1)されていると、UDRE_nが設定(1)されている限り、UART送信データレジスタ空き割り込みが実行されます。UDRE_nはUDR_n書き込みによって解除(0)されます。割り込み駆動データ送信が使われるとき、UART送信データレジスタ空き割り込み処理ルーチンはUDRE_nを解除(0)するためにUDR_nへ書かなければなりません。さもなければ、一旦割り込み処理ルーチンを終了しても、新規割り込みが発生します。

UDRE_nは送信可を示すため、リセット中に設定(1)されます。

• ビット4 – FE0/FE1 : フレーミング異常フラグ (Framing Error)

このフラグはフレーミング異常条件が検出されると、換言すると、到着フレームの停止ビットが0の時に設定(1)されます。

FE_nフラグは受信されるデータの停止ビットが1の時に解除(0)されます。

• ビット3 – OR0/OR1 : オーバーラン発生フラグ (Overrun)

このフラグはオーバーラン条件(換言すると、次のデータが受信移動レジスタに移動入力されてしまう前にUARTデータレジスタ(UDRn)内の既に存在するデータが読めない時)が検出されると設定(1)されます。OR_nは緩衝されており、そしてそれは一度UDR_nの有効なデータを読んでも未だ設定(1)されることを意味します。

OR_nフラグはデータが受信され、UDR_nへ転送される時に解除(0)されます。

• ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット1 – U2X0/U2X1 : 倍速許可 (Double the UART Transmission Speed)

このビットが設定(1)されると、UART速度が倍にされます。これはビットが16 CPUクロック周期に代わり、8 CPUクロック周期で送受信されることを意味します。詳細な記述については51頁の「倍速転送」をご覧ください。

• ビット0 – MPCM0/MPCM1 : 複数プロセッサ通信動作 (Multi-Processor Communication Mode)

このビットは複数プロセッサ通信動作への移行に使われます。従MCUがアドレスバイトを受信するために待機するとき、このビットは設定(1)されます。MCUがアドレス指定されてしまうと、MPCM_nビットをOFF(0)に切り替え、データ受信を開始します。

詳細な記述については「複数プロセッサ通信動作」をご覧ください。

UART0 制御/状態レジスタB (UART0 Control and Status Register B) UCSR0B

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	CHR90	RXB80	TXB80	UCSR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	1	0	

UART1 制御/状態レジスタB (UART1 Control and Status Register B) UCSR1B

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	RXCIE1	TXCIE1	UDRIE1	RXEN1	TXEN1	CHR91	RXB81	TXB81	UCSR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	1	0	

- **ビット7 – RXCIE0/RXCIE1 : 受信完了割り込み許可 (Receive Complete Interrupt Enable)**

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)なら、UART制御/状態レジスタA(UCSRnA)の受信完了(RXCn)フラグの設定(1)は受信完了割り込み処理ルーチンを実行させます。

- **ビット6 – TXCIE0/TXCIE1 : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)**

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)なら、UCSRnAの送信完了(TXCn)フラグの設定(1)は送信完了割り込み処理ルーチンを実行させます。

- **ビット5 – UDRIE0/UDRIE1 : 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)**

このビットが設定(1)のとき、全割り込みが許可(SREGのI=1)なら、UCSRnAの送信データレジスタ空き(UDREn)フラグの設定(1)は送信データレジスタ空き割り込み処理ルーチンを実行させます。

- **ビット4 – RXEN0/RXEN1 : 受信許可 (Receiver Enable)**

設定(1)されると、このビットはUART受信(部)を許可します。受信(部)が禁止されると、UART制御/状態レジスタA(UCSRnA)の受信完了(RXCn)、フレーミング異常(FEn)、オーバーラン(ORn)状態フラグは設定(1)になることができません。これらのフラグが設定(1)の場合、RXENnの解除(0)への切り替えはそれらを解除(0)しません。

- **ビット3 – TXEN0/TXEN1 : 送信許可 (Transmitter Enable)**

設定(1)されると、このビットはUART送信(部)を許可します。データ送信中に送信(部)を禁止すると、送信移動レジスタのデータと送信データレジスタ(UDRn)の続くデータが完全に送信されてしまう前には送信部が禁止されません。

- **ビット2 – CHR90/CHR91 : 9ビットデータ選択 (9Bits Character)**

このビットが設定(1)されると、送受信フレームは開始ビット+9ビットデータ+停止ビットです。第9ビットは各々、UART制御/状態レジスタB(UCSRnB)の受信ビット8(RXB8n)、送信ビット8(TXB8n)を使うことで読み書きされます。この第9データビットはパリティビットや拡張停止ビットとして使えます。

- **ビット1 – RXB80/RXB81 : 受信データビット8 (Receive Data Bit 8)**

9ビットデータ選択(CHR9n)が設定(1)されていると、RXB8nは受信されたデータの第9データビット(ビット8)です。

- **ビット0 – TXB80/TXB81 : 送信データビット8 (Transmit Data Bit 8)**

9ビットデータ選択(CHR9n)が設定(1)されていると、TXB8nは送信されるべきデータの第9データビット(ビット8)です。

ボーレート発振器

ボーレート発振器は次式に従ってボーレートを生成する周波数分周器です。

$$BAUD = \frac{f_{CK}}{16 \times (UBR + 1)}$$

BAUD ボーレート(bps)
 f_{CK} Xtal発振(CPUクロック)周波数
 UBR UARTボーレートレジスタ(UBRRHI,UBRR)値(0~4095)

注: UART倍速転送時、この式は有効ではありません。詳細な記述については「[倍速転送](#)」をご覧ください。

UART0, UART1 ボーレート上位レジスタ (UART0,1 High byte Baud Rate Register) UBRRHI

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	(MSB1)			(LSB1)	(MSB0)			(LSB0)	UBRRHI
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

UART0 ボーレート下位レジスタ (UART0 Baud Rate Register Low byte) UBRR0

ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	(MSB)							(LSB)	UBRR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

UART1 ボーレート下位レジスタ (UART1 Baud Rate Register Low byte) UBRR1

ビット	7	6	5	4	3	2	1	0	
\$00 (\$20)	(MSB)							(LSB)	UBRR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

UARTボーレートレジスタは12ビットのレジスタです。最上位4ビットは分離されたレジスタ(UBRRHI)に割り当てられます。このレジスタをUART0とUART1両方が共用していることに注意してください。UBRRHIのビット7~4はUART1ボーレートレジスタの最上位4ビットを、ビット3~0はUART0ボーレートレジスタの最上位4ビットです。UBRRnはUARTボーレートレジスタの下位8ビットを設定します。

代表的なXtalと設定例を[表24](#)に示します。

表24.のUBR設定を使うことにより、標準的なクリスタル周波数について、一般的に使われる多くのホーレートを発生できます。実際のホーレートが目的のホーレートに対して誤差2%未満を有効なホーレートとし、それ以外は赤字で示されます。しかし、誤差1%を越えるホーレートの使用は推奨されません。高い誤差率は雑音耐性が低下します。

表24. Xtal、ホーレート対UBRRHI,UBRR設定 (UBR=UBRRHI,UBRR)

ホーレート	1MHz		1.8432MHz		2MHz		2.4576MHz		3.2768MHz		3.6864MHz	
	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)
1200	51	0.2	95	0.0	103	0.2	127	0.0	170	0.2	191	0.0
2400	25	0.2	47	0.0	51	0.2	63	0.0	84	0.4	95	0.0
4800	12	0.2	23	0.0	25	0.2	31	0.0	42	0.8	47	0.0
9600	6	7.5	11	0.0	12	0.2	15	0.0	20	1.6	23	0.0
14400	3	7.8	7	0.0	8	3.7	10	3.1	13	1.6	15	0.0
19200	2	7.8	5	0.0	6	7.5	7	0.0	10	3.1	11	0.0
28800	1	7.8	3	0.0	3	7.8	4	6.3	6	1.6	7	0.0
38400	1	22.9	2	0.0	2	7.8	3	0.0	4	6.3	5	0.0
57600	0	7.8	1	0.0	1	7.8	2	12.5	3	12.5	3	0.0
76800	0	22.9	1	33.3	1	22.9	1	0.0	2	12.5	2	0.0
115200	0	84.3	0	0.0	0	7.8	0	25.0	1	12.5	1	0.0

ホーレート	4MHz		4.608MHz		4.9152MHz		6.144MHz		7.3728MHz		8MHz	
	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)
1200	207	0.2	239	0.0	255	0.0	-	-	-	-	-	-
2400	103	0.2	119	0.0	127	0.0	159	0.0	191	0.0	207	0.2
4800	51	0.2	59	0.0	63	0.0	79	0.0	95	0.0	103	0.2
9600	25	0.2	29	0.0	31	0.0	39	0.0	47	0.0	51	0.2
14400	16	2.1	19	0.0	20	1.6	26	1.3	31	0.0	34	0.8
19200	12	0.2	14	0.0	15	0.0	19	0.0	23	0.0	25	0.2
28800	8	3.7	9	0.0	10	3.1	12	2.6	15	0.0	16	2.1
38400	6	7.5	7	6.7	7	0.0	9	0.0	11	0.0	12	0.2
57600	3	7.8	4	0.0	4	6.3	6	4.8	7	0.0	8	3.7
76800	2	7.8	3	6.7	3	0.0	4	0.0	5	0.0	6	7.5
115200	1	7.8	2	20.0	2	12.5	2	11.2	3	0.0	3	7.8

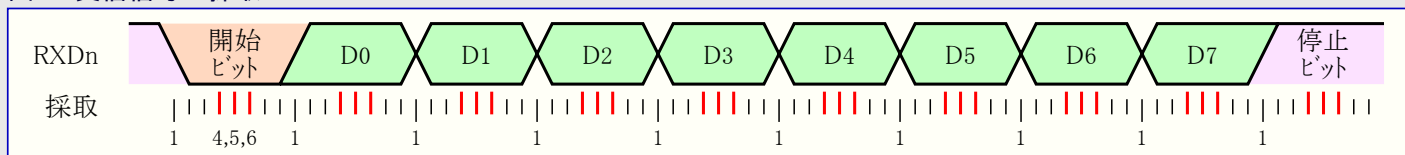
ホーレート	9.216MHz		9.8304MHz		10MHz		11.059MHz		MHz		MHz	
	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)
2400	239	0.0	255	0.0	-	-	-	-				
4800	119	0.0	127	0.0	129	0.2	143	0.0				
9600	59	0.0	63	0.0	64	0.2	71	0.0				
14400	39	0.0	42	0.8	42	1.0	47	0.0				
19200	29	0.0	31	0.0	32	1.4	35	0.0				
28800	19	0.0	20	1.6	21	1.4	23	0.0				
38400	14	0.0	15	0.0	15	1.8	17	0.0				
57600	9	0.0	10	3.1	10	1.4	11	0.0				
76800	7	6.7	7	0.0	7	1.8	8	0.0				
115200	4	0.0	4	6.3	4	8.6	5	0.0				

倍速転送

ATmega161は倍速通信を許す独立したUART動作を提供します。UART制御/状態レジスタ(UCSRnA)の倍速許可(U2Xn)ビットの設定(1)により、UART速度が倍にされます。データ受信は通常動作と僅かに異なります。速度が倍にされるため、受信部前処理回路はボーレートの8倍の周波数でRXDnピン上の信号を採取します。信号線がアイドルの間、1つの論理0の採取は開始ビットの下降端として判定され、開始ビット検出手順が開始されます。第1採取はこの最初の0採取を示します。1から0への遷移に続き、受信部は第4,5,6採取でRXDnピンを採取します。これら3つの採取で2回以上の論理1を見つけると、開始ビットは尖頭雑音として破棄され、受信部は次の1から0への遷移(開始ビット開始)検出を始めます。

そうでなければ、有効な開始ビットが検出され、開始ビットに続くデータビットの採取が実行されます。これらのビットは同様に第4,5,6採取で採取されます。3つの採取の内、少なくとも2つが見つかった論理値がビット値として取得されます。全てのビットは採取されると、受信移動レジスタ内に移動入力されます。到着フレームの採取は図47.で示されます。

図47. 受信信号の採取



倍速転送でのボーレート発振器

UART倍速転送時、ボーレート計算式は49ページの式と異なります。

$$BAUD = \frac{f_{CK}}{8 \times (UBR+1)}$$

BAUD ボーレート(bps)
 f_{CK} Xtal発振(CPUクロック)周波数
 UBR UARTボーレートレジスタ(UBRRHI,UBRR)値(0~4095)

注: この式はUART倍速転送時のみ有効です。

表25.のUBR設定を使うことにより、標準的な水晶周波数について一般的に使われる多くのボーレートが発生できます。実際のボーレートが目的のボーレートに対して誤差1.5%未満を有効なボーレートとし、それ以外は赤字で示されます。しかし、採取数の減少とシステムクロックがいくつかの偏差を持つため(これはセラミック振動子使用時、特に適用されます)、誤差0.5%を越えるボーレートは推奨されません。

(訳注) 9600bps以下は表24.での1/2値を参考にしてください。

表25. 倍速動作時のXtal、ボーレート対UBRRHI,UBRRn設定 (UBR=UBRRHI,UBRRn)

ボーレート	1MHz		1.8432MHz		2MHz		2.4576MHz		3.2768MHz		3.6864MHz	
	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)
14400	8	3.7	15	0.0	16	2.1	20	1.6	27	1.6	31	0.0
19200	6	7.5	11	0.0	12	0.2	15	0.0	20	1.6	23	0.0
28800	3	7.8	7	0.0	8	3.7	10	3.1	13	1.6	15	0.0
38400	2	7.8	5	0.0	6	7.5	7	0.0	10	3.1	11	0.0
57600	1	7.8	3	0.0	3	7.8	4	6.3	6	1.6	7	0.0
76800	1	22.9	2	0.0	2	7.8	3	0.0	4	6.3	5	0.0
115200	0	7.8	1	0.0	1	7.8	2	12.5	3	12.5	3	0.0
153600	0	22.9	1	33.4	1	22.9	1	0.0	2	12.5	2	0.0
230400	-	-	0	0.0	0	7.8	1	25.0	1	12.5	1	0.0
307200	-	-	0	33.4	0	22.9	0	0.0	1	15.0	1	33.4
460800	-	-	-	-	-	-	0	25.0	0	12.5	0	0.0
614400	-	-	-	-	-	-	-	-	0	15.0	0	33.4
921600	-	-	-	-	-	-	-	-	-	-	-	-

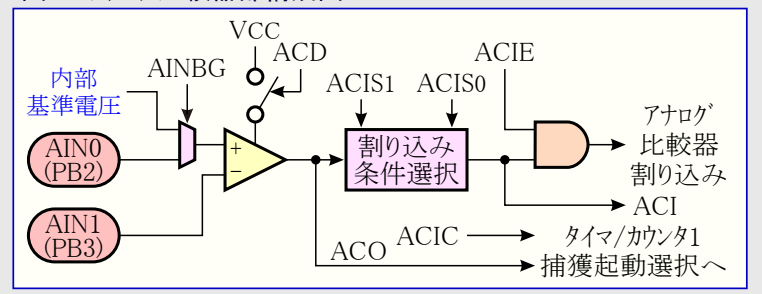
ボーレート	4MHz		4.608MHz		4.9152MHz		6.144MHz		7.3728MHz		8MHz	
	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)
14400	34	0.8	39	0.0	42	0.8	52	0.7	63	0.0	68	0.6
19200	25	0.2	29	0.0	31	0.0	39	0.0	47	0.0	51	0.2
28800	16	2.1	19	0.0	20	1.6	26	1.3	31	0.0	34	0.8
38400	12	0.2	14	0.0	15	0.0	19	0.0	23	0.0	25	0.2
57600	8	3.7	9	0.0	10	3.1	12	2.6	15	0.0	16	2.1
76800	6	7.5	7	6.7	7	0.0	9	0.0	11	0.0	12	0.2
115200	3	7.8	4	0.0	4	6.3	6	4.8	7	0.0	8	3.7
153600	2	7.8	3	6.7	3	0.0	4	0.0	5	0.0	6	7.5
230400	1	7.8	2	20.0	2	12.5	2	11.2	3	0.0	3	7.8
307200	1	22.9	1	6.7	1	0.0	1	20.0	2	0.0	2	7.8
460800	0	7.8	1	60.0	1	50.0	1	20.0	1	0.0	1	7.8
614400	0	22.9	0	6.7	0	0.0	0	20.0	1	33.4	1	22.9
921600	-	-	0	60.0	0	50.0	0	20.0	0	0.0	0	7.8

ボーレート	9.216MHz		9.8304MHz		10MHz		11.059MHz		MHz		MHz	
	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)	UBR	誤差(%)
14400	79	0.0	84	0.4	86	0.3	95	0.0				
19200	59	0.0	63	0.0	64	0.2	71	0.0				
28800	39	0.0	42	0.8	42	1.0	47	0.0				
38400	29	0.0	31	0.0	32	1.4	35	0.0				
57600	19	0.0	20	1.6	21	1.4	23	0.0				
76800	14	0.0	15	0.0	15	1.8	17	0.0				
115200	9	0.0	10	3.1	10	1.4	11	0.0				
153600	7	6.7	7	0.0	7	1.8	8	0.0				
230400	4	0.0	4	6.3	4	8.6	5	0.0				
307200	3	6.7	3	0.0	3	1.8	3	11.2				
460800	2	20.0	2	12.5	2	10.6	2	0.0				
614400	1	6.7	1	0.0	1	1.8	1	11.2				
921600	1	60.0	1	50.0	1	47.5	0	33.4				

アナログ比較器

このアナログ比較器はAIN0(PB2)非反転入力とAIN1(PB3)反転入力の入力値を比較します。非反転入力AIN0(PB2)の電圧が反転入力AIN1(PB3)の電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はタイマ/カウンタ1の捕獲機能の起動に設定できます。加えて、比較器はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端、またはその両方での割り込み起動が選べます。この比較器とその周辺回路の構成図は図48.で示されます。

図48. アナログ比較器部構成図



アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	AINBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

• ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFに切り替えるために、何時でも設定(1)できます。これは活動動作やアイドル動作での消費電力を削減します。ACDビットを変更するとき、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時、割り込みが起き得ます。

• ビット6 – AINBG : 内部基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定(1)されると、比較器非反転入力の標準入力(AIN0)を内部基準電圧 $1.22 \pm 0.05V$ に置換します。このビットが解除(0)されると、標準入力AIN0(PB2)ピンが比較器非反転入力に供給されます。

• ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

• ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが、**アナログ比較器割り込み条件(ACIS1,ACIS0)ビット**で定義された割り込み動作を起こす時にこのビットが設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)されて、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行するとき、ACIは自動的に解除(0)されます。代わりに、このフラグへ**論理1**を書くことによっても、ACIは解除(0)されます。

• ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、アナログ比較器割り込みが許可されます。解除(0)されると、この割り込みは禁止されます。

• ビット2 – ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

設定(1)されると、このビットはアナログ比較器によって起動されるタイマ/カウンタ1の捕獲機能を許可します。この場合、比較器出力は直接、**捕獲起動入力の前処理回路**に接続され、比較器はタイマ/カウンタ1捕獲割り込みの**雑音除去と端(エッジ)選択機能**が利用できます。解除(0)されると、アナログ比較器と捕獲機能間の関係がなくなります。比較器がタイマ/カウンタ1捕獲割り込みを起動するには、**タイマ/カウンタ1割り込み許可レジスタ(TIMSK)の捕獲割り込み許可(TICIE1)ビット**が設定(1)されなければなりません。

• ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は表26.に示されます。

表26. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: ACIS1,ACIS0ビット変更時、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することによって、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起き得ます。

警告: このレジスタのACI以外のビットに対する**CBI**または**SBI**命令の使用は、ACIが1として読まれる場合に1が書き戻されるため、このフラグを解除(0)してしまいます。

アナログ比較器ピン(PB2とPB3)はUART1のRXD1とTXD1ピンとしても使われます。UART1送受信部が許可されると、UART1は例えばアナログ比較器が許可されていても、**DDRB**設定を無効とすることに注意してください。従って、同じ応用でアナログ比較器が同時に必要とされる場合、UART1の使用は推奨されません。より多くの詳細については**44頁の「UART」**をご覧ください。

外部メモリ インターフェース

外部メモリ インターフェースが提供する全機能は外部SRAMやフラッシュメモリのようなメモリデバイスや、LCD表示器やA/D、D/Aなどのような周辺装置へのインターフェースとして動作するためにうまく適合されます。外部メモリ インターフェースの制御ビットは2つのレジスタ、MCU制御レジスタ (MCUCR)と拡張MCU制御レジスタ(EMCUCR)に配置されます。

MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW10	SE	SM1	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

拡張MCU制御レジスタ (Extended MCU Control Register) EMCUCR

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	SM0	SRL2	SRL1	SRL0	SRW01	SRW00	SRW11	ISC2	EMCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- MCUCR : ビット7 – SRE : 外部SRAM許可 (External SRAM Enable)

SREビットが設定(1)されると外部メモリ インターフェースが許可され、ピン機能AD7~0(ポートA)、A15~8(ポートC)、ALE(PE1)、RD(PD7)とWR(PD6)が交換機能ピンとして有効化されます。SREビットは各ポート方向レジスタでのどのピン方向設定をも無効にします。外部メモリ ピン機能の記述については図50.~図53.をご覧ください。SREビットが解除(0)されると外部メモリ インターフェースが禁止され、標準ピンとデータ方向設定が使われます。

- EMCUCR : ビット6,5,4 – SRL2,SRL1,SRL0 : 待ち領域選択 (Wait State Page limit)

異なる外部メモリのアドレスに違う待ち状態を設定できます。外部メモリ アドレス空間は個別の待ち状態ビットを持つ2つの領域に分割できます。SRL2~0ビットは領域の分岐点(表28.と図49.参照)を選びます。既定としてSRL2~0ビットは0に設定され、全外部メモリ アドレス空間は1つの領域として扱われます。全SRAMアドレス空間が1つの領域として設定されると、待ち状態はSRW11とSRW10ビットによって設定されます。

- EMCUCR : ビット1, MCUCR : ビット6 – SRW11,SRW10 : 上位領域待ち選択 (Wait state select bits for upper page)

SRW11とSRW10ビットは外部メモリ アドレス空間の上位領域待ち周期数を制御します(表27.参照)。SRL2~0ビットが0に設定される場合、SRW11とSRW10ビット設定は全外部メモリ アドレス空間の待ち状態を定義します。

- EMCUCR : ビット3,2 – SRW01,SRW00 : 下位領域待ち選択 (Wait state select bits for lower page)

SRW01とSRW00ビットは外部メモリ アドレス空間の下位領域待ち周期数を制御します(表27.参照)。

表27. 待ち状態選択

SRWn1	SRWn0	待ち状態
0	0	待ち周期なし
0	1	読み/書きスロープ中に1待ち周期挿入
1	0	読み/書きスロープ中に2待ち周期挿入
1	1	読み/書きスロープ中に2待ち周期、アドレス、データ出力保持中に1待ち周期挿入

注: nは0(下位領域)または1(上位領域)

外部メモリ インターフェースの待ち状態とタイミングのより多くの詳細についてはSRWビットの設定がタイミングにどう影響するかについては図50.~図53.をご覧ください。

表28. 上位/下位領域境界選択

SRL2	SRL1	SRL0	下位領域	上位領域
0	0	0	なし	\$0460~\$FFFF
0	0	1	\$0460~\$1FFF	\$2000~\$FFFF
0	1	0	\$0460~\$3FFF	\$4000~\$FFFF
0	1	1	\$0460~\$5FFF	\$6000~\$FFFF
1	0	0	\$0460~\$7FFF	\$8000~\$FFFF
1	0	1	\$0460~\$9FFF	\$A000~\$FFFF
1	1	0	\$0460~\$BFFF	\$C000~\$FFFF
1	1	1	\$0460~\$DFFF	\$E000~\$FFFF

図49. 外部メモリの領域分割

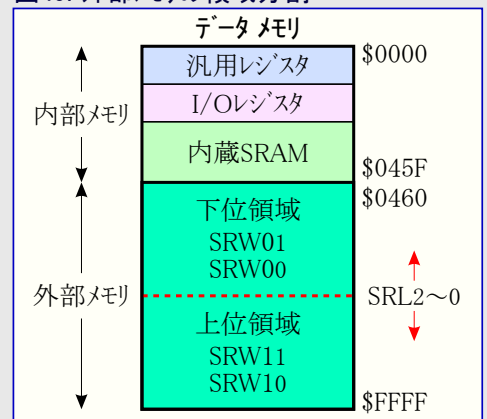
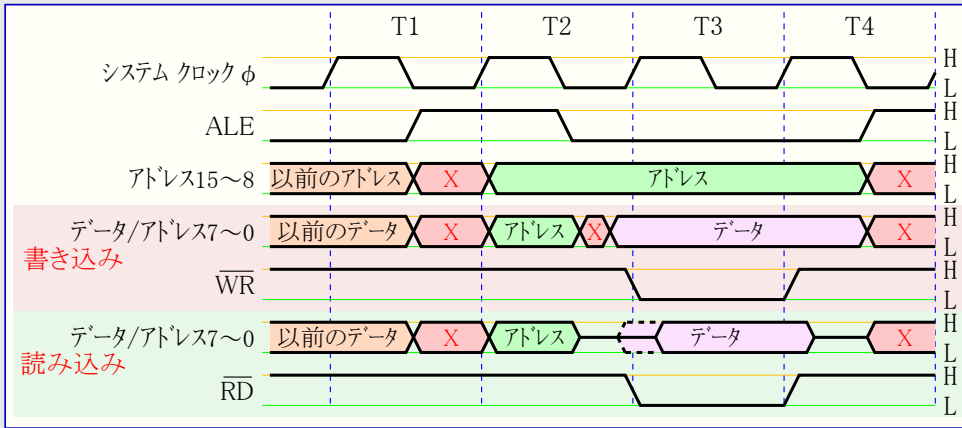


図50. 待ちなし外部データメモリアクセス周期 (SRWn1=0, SRWn0=0) [T1~T3]



共通注意事項

SRWn1とSRWn0はSRW11とSRW10(上位領域)、またはSRW01とSRW00(下位領域)です。

[T1~Tn]は図での命令実行周期範囲です。

Xは値変更区間を示します。

最後の周期のALEは次の命令がRAM(内部または外部)をアクセスする場合のみ存在します。また、最後の周期のアドレスとデータに於ける変更区間の有無も同様です。

図51. 1待ち 外部データメモリアクセス周期 (SRWn1=0, SRWn0=1) [T1~T4]

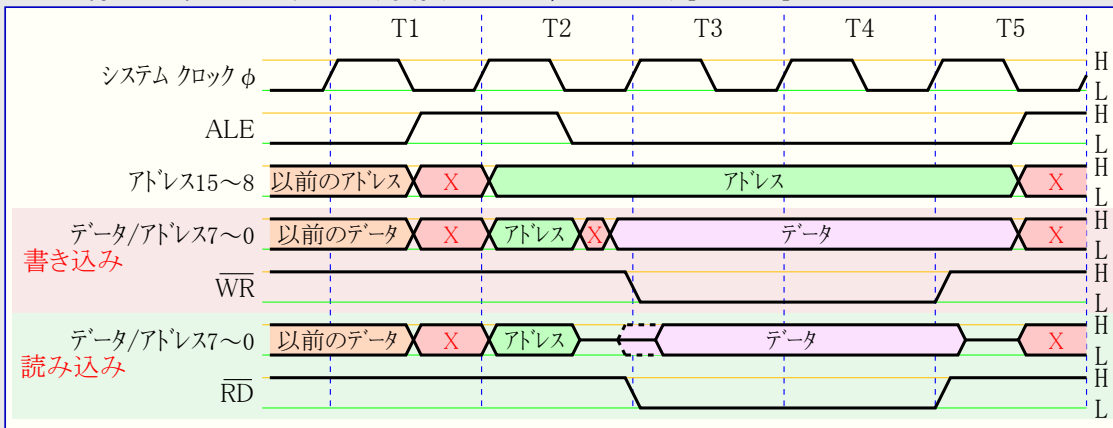


図52. 2待ち 外部データメモリアクセス周期 (SRWn1=1, SRWn0=0) [T1~T5]

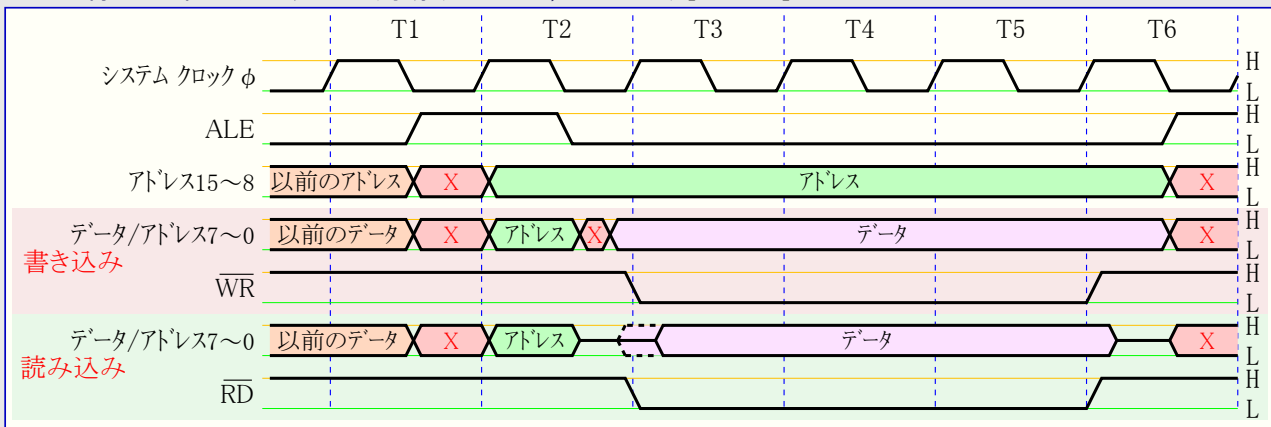
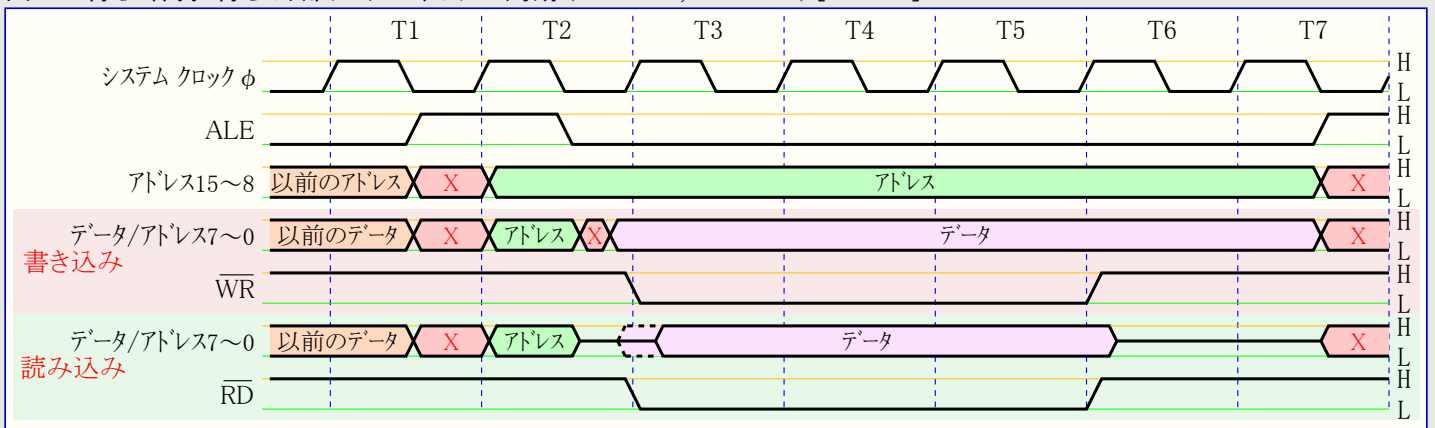


図53. 2待ち+保持1待ち 外部データメモリアクセス周期 (SRWn1=1, SRWn0=1) [T1~T6]



外部メモリ インターフェースの使用法

このインターフェースは次の信号で構成されます。

- ポートA 下位アドレスとデータの多重化バス
- ポートC 上位アドレスバス
- ALE アドレスラッチ許可 (下位アドレスのラッチ)
- $\overline{RD}, \overline{WR}$ 読みストロブ、書きストロブ

外部メモリ インターフェースはMCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットの設定(1)によって許可され、(関係信号の)データ方向レジスタ、DDRA, DDRC, DDRD, DDRE設定を無効にします。SREビットが解除(0)されると、外部メモリ インターフェースは禁止され、標準ピンとデータ方向設定が使われます。SREが0のとき、外部メモリ インターフェースを持たないAVRデバイス同様、内蔵SRAM境界より上のアドレス空間は内蔵SRAMにも割り当てられません。

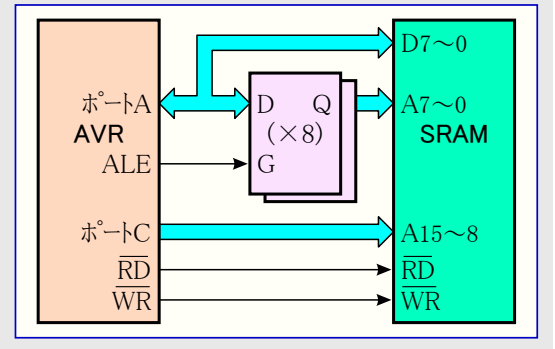
ALEがHighからLowになるとき、ポートAは有効な(下位側)アドレスです。データ転送中、ALEはLowです。RDとWRは外部SRAMをアクセスする時のみ有効(動作)です。

外部メモリ インターフェースが許可されると、ALE信号には内蔵SRAMをアクセスする時に短いパルスがあるかもしれませんが、外部メモリをアクセスするとき、このALE信号は安定しています。

図54.はG=Highで通過(トランスペアレント)となる8つのラッチを使うAVRと外部SRAMの接続方法を示します。

外部メモリ インターフェースのタイミングの詳細については図83.～図86.と表51.～表58.をご覧ください。

図54. AVRと外部SRAMの接続



入出力ポート

AVRの全てのポートは標準デジタルI/Oポートとして使われる時に真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしに、ポートピンの1つの方向が変更できることを意味します。(出力として設定されている場合の)駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ポートA

ポートAは8ビットの双方向I/Oポートです。

ポートAについては3つのI/Oメモリ アドレス位置が、各々、データ出力レジスタ(PORTA), \$1B(\$3B)、データ方向レジスタ(DDRA), \$1A(\$3A)、データ入力レジスタ(PINA), \$19(\$39)に割り当てられます。ポートAデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートA出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PA0~7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートAピンには任意の**外部メモリ インターフェースに関連する交換機能**があります。ポートAは外部データメモリアクセス中の多重化された下位アドレス/データバスに設定できます。この動作では、ポートAが内蔵プルアップ抵抗を持ちます。

MCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットによってポートAがこの交換機能に設定されると、この交換設定はデータ方向レジスタ(DDRA)を無視します。

ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA入力レジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートA入力レジスタ(PINA)はレジスタではなく、このアドレスはポートA各ピンの物理的な値へのアクセスができます。ポートA出力レジスタ(PORTA)を読む時はポートA出力ラッチが読まれ、ポートA入力レジスタ(PINA)を読む時は、このピン上に存在する論理値が読まれます。

ポートA 標準デジタル入出力

標準I/Oピンとして使われる時にポートAの8ピンは全て同じ機能動作です。

標準I/OピンPAnは**ポートA方向レジスタ(DDRA)のDDAnビット**がそのピンの入出力方向を選び、DDAnが設定(1)されると、出力ピンとして設定されます。DDAnが解除(0)されると、入力ピンとして設定されます。**ポートA出力レジスタ(PORTA)のPORTAn**が設定(1)され、そのピンが**入力ピンとして設定される場合**、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTAnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートAピンはリセット条件が有効になると、例えクロックが動作していてもHi-Z状態にされます。

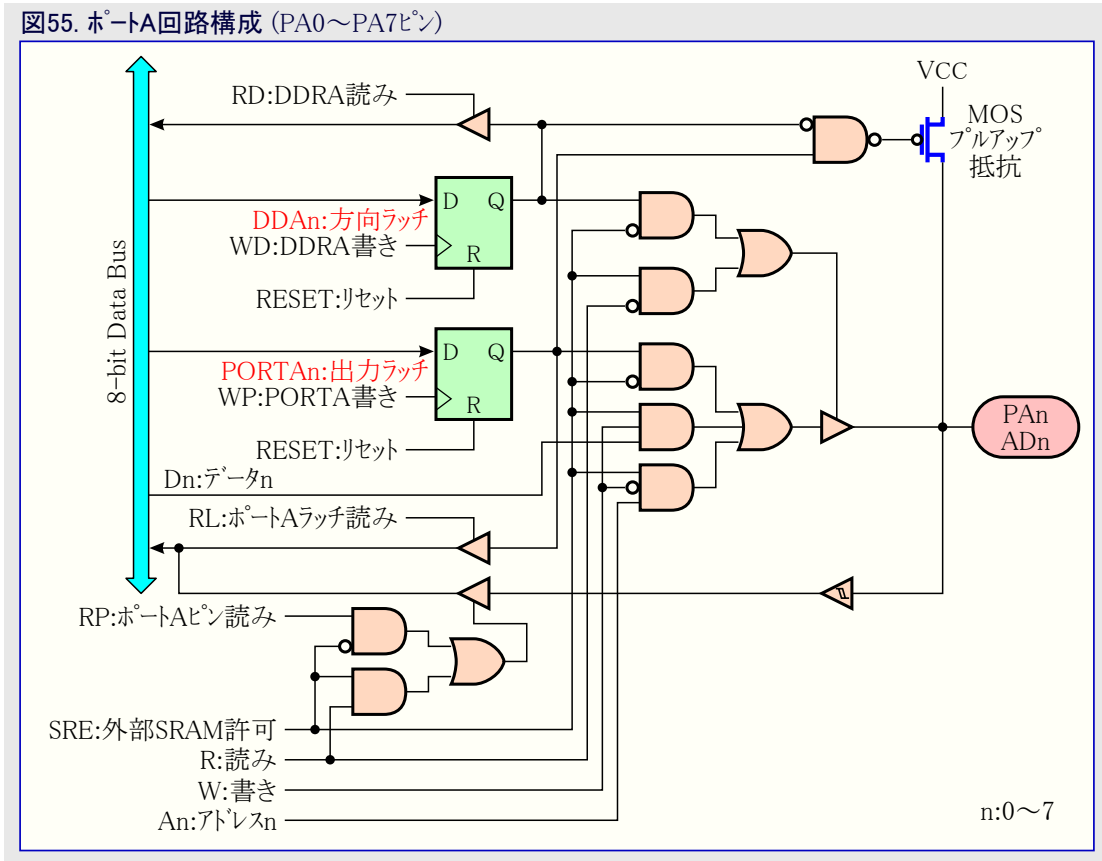
表29. ポートAピンに対するDDAnの関係

DDAn	PORTAn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PAnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7~0でビット番号を示します。

ポートA回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。



ポートB

ポートBは8ビットの双方向I/Oポートです。

ポートBについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTB), \$18(\$38)、データ方向レジスタ(DDRB), \$17(\$37)、データ入力レジスタ(PINB), \$16(\$36)に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートB出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PB0~7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートピンの交換機能は表30.に示されます。

表30. ポートBピンの交換機能

ポートピン	交換機能
PB0	T0 (タイマ/カウンタ0 外部クロック入力) OC0 (タイマ/カウンタ0 比較一致出力)
PB1	T1 (タイマ/カウンタ1 外部クロック入力) OC2 (タイマ/カウンタ2 比較一致出力)
PB2	AIN0 (アナログ比較器非反転入力) RXD1 (UART1 受信データ入力)
PB3	AIN1 (アナログ比較器反転入力) TXD1 (UART1 送信データ出力)
PB4	\overline{SS} (SPI 従装置選択入力)
PB5	MOSI (SPI 主側データ出力/従側データ入力)
PB6	MISO (SPI 主側データ入力/従側データ出力)
PB7	SCK (SPI 直列クロック 主側出力/従側入力)

ピンが交換機能で使われる時にポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は、**交換機能の説明に従って設定**されなければなりません。

ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読まれます。

ポートB 標準デジタル入出力

デジタルI/Oピンとして使われる時にポートBの8ピンは全て同じ機能動作です。

標準I/OピンPBnは**ポートB方向レジスタ(DDRB)のDDBnビット**がそのピンの入出力方向を選び、DDBnが設定(1)されると、出力ピンとして設定されます。DDBnが解除(0)されると、入力ピンとして設定されます。**ポートB出力レジスタ(PORTB)のPORTBn**が設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTBnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートピンはリセット条件が有効になると、例えクロックが動作していてもHi-Z状態にされます。

表31. ポートBピンに対するDDBnの関係

DDBn	PORTBn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PBnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7~0でビット番号を示します。

ポートBの交換機能

ポートBの交換ピン機能を以下に示します。

- SCK – ポートB ビット7 : PB7

SCK : SPI用主装置クロック出力、従装置クロック入力ピンです。SPIが従装置として許可されると、このピンはポートB方向レジスタ(DDRB)のDDB7設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDB7によって制御されます。このピンが強制的に入力とされたとき、プルアップはポートB出力レジスタ(PORTB)のPORTB7によって未だ制御できます。より多くの詳細については「SPI」の記述をご覧ください。

- MISO – ポートB ビット6 : PB6

MISO : SPI用主装置データ入力、従装置データ出力ピンです。SPIが主装置として許可されると、DDRBのDDB6設定に拘らず、入力として設定されます。SPIが従装置として許可されると、このピンのデータ方向はDDB6によって制御されます。このピンが強制的に入力とされたとき、プルアップはPORTBのPORTB6により未だ制御できます。より多くの詳細については「SPI」の記述をご覧ください。

- MOSI – ポートB ビット5 : PB5

MOSI : SPI用主装置データ出力、従装置データ入力ピンです。SPIが従装置として許可されると、DDRBのDDB5設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDB5によって制御されます。このピンが強制的に入力とされたとき、プルアップはPORTBのPORTB5により未だ制御できます。より多くの詳細については「SPI」の記述をご覧ください。

- \overline{SS} – ポートB ビット4 : PB4

\overline{SS} : 従装置選択入力です。SPIが従装置として許可されると、DDRBのDDB4設定に拘らず、入力として設定されます。従装置のとき、このピンがLowに駆動されるとSPIが活性化(実際に動作)されます。SPIが主装置として許可されると、このピンのデータ方向はDDB4によって制御されます。このピンが強制的に入力とされたとき、プルアップはPORTBのPORTB4によって未だ制御できます。より多くの詳細については「SPI」の記述をご覧ください。

- TXD1/AIN1 – ポートB ビット3 : PB3

TXD1 : UART1の送信データ出力です。UART1送信(部)が許可されると、このピンはDDRBのDDB3の値に拘らず、出力として設定されます。

AIN1 : アナログ比較器の反転入力です。このピンは内蔵アナログ比較器の反転入力としても扱います。

- RXD1/AIN0 – ポートB ビット2 : PB2

RXD1 : UART1の受信データ入力です。UART1受信(部)が許可されると、このピンはDDRBのDDB2の値に拘らず、入力として設定されます。UART1がこのピンを強制的に入力とするときも、PORTBのPORTB2の論理1は内蔵プルアップ抵抗をONに切り替えます。

AIN0 : アナログ比較器の非反転入力です。このピンは内蔵アナログ比較器の非反転入力としても扱います。

- T1/OC2 – ポートB ビット1 : PB1

T1 : タイマ/カウンタ1の外部クロック入力です。より多くの詳細については32頁の「16ビット タイマ/カウンタ1」をご覧ください。

OC2 : タイマ/カウンタ2の比較一致出力です。PB1ピンはタイマ/カウンタ2の比較一致時の外部出力として扱えます。この機能を取り扱うにはPB1ピンがDDRBのDDB1=1で出力として設定されなければなりません。出力を許可する方法と詳細については25頁の「8ビット タイマ/カウンタ0、タイマ/カウンタ2」をご覧ください。このOC2ピンはPWM動作時の出力ピンでもあります。

- T0/OC0 – ポートB ビット0 : PB0

T0 : タイマ/カウンタ0の外部クロック入力です。より多くの詳細については25頁の「8ビット タイマ/カウンタ0、タイマ/カウンタ2」をご覧ください。

OC0 : タイマ/カウンタ0の比較一致出力です。PB0ピンはタイマ/カウンタ0の比較一致時の外部出力として扱えます。この機能を取り扱うにはPB0ピンがDDRBのDDB0=1で出力として設定されなければなりません。出力を許可する方法と詳細については25頁の「8ビット タイマ/カウンタ0、タイマ/カウンタ2」をご覧ください。このOC0ピンはPWM動作時の出力ピンでもあります。

ポートB回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

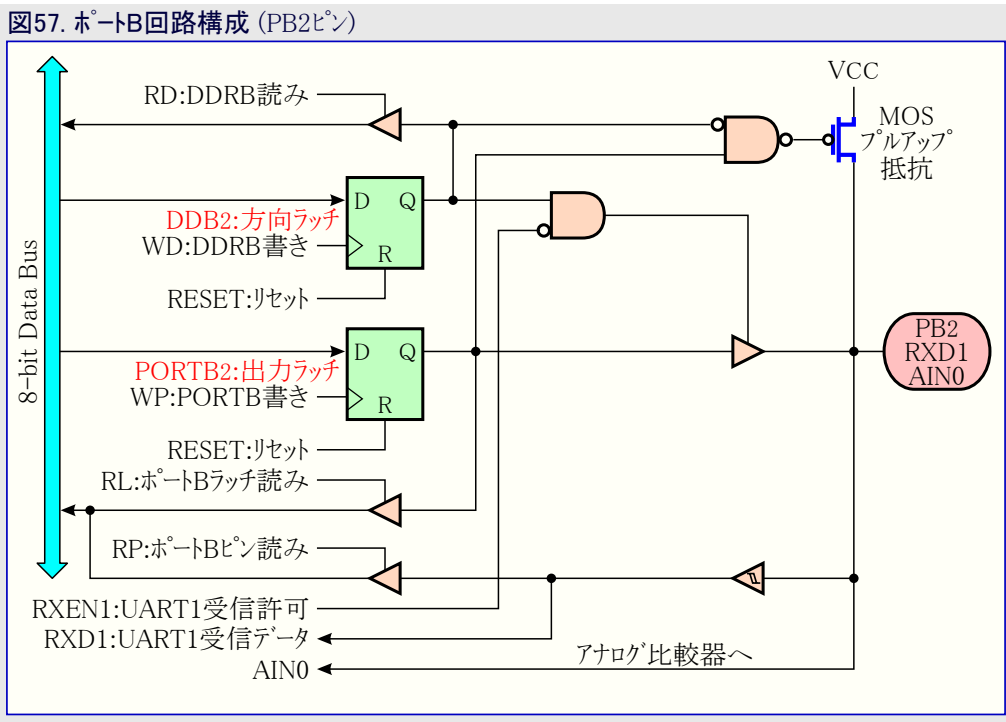
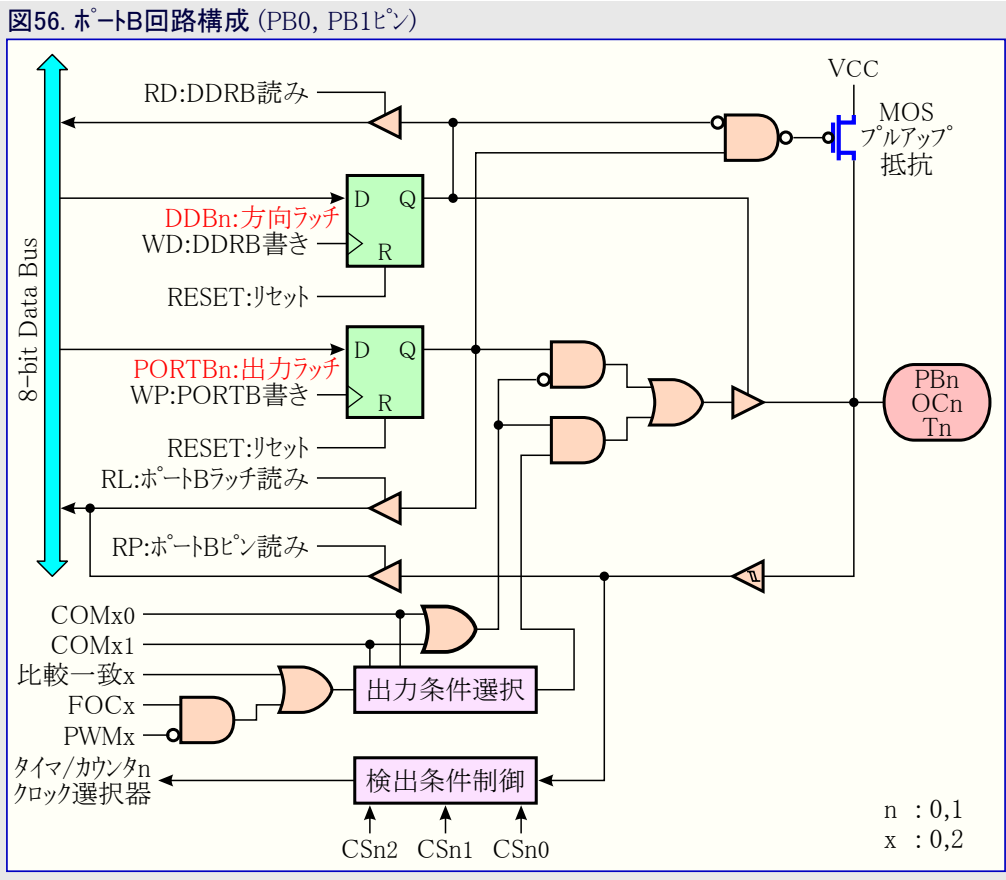


図58. ホートB回路構成 (PB3ピン)

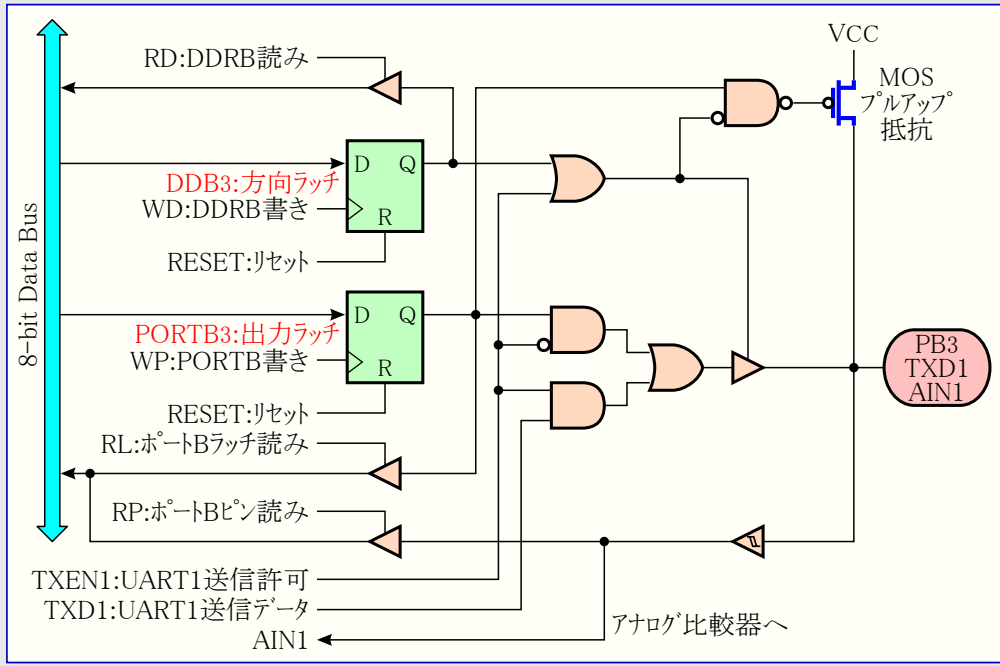


図59. ホートB回路構成 (PB4ピン)

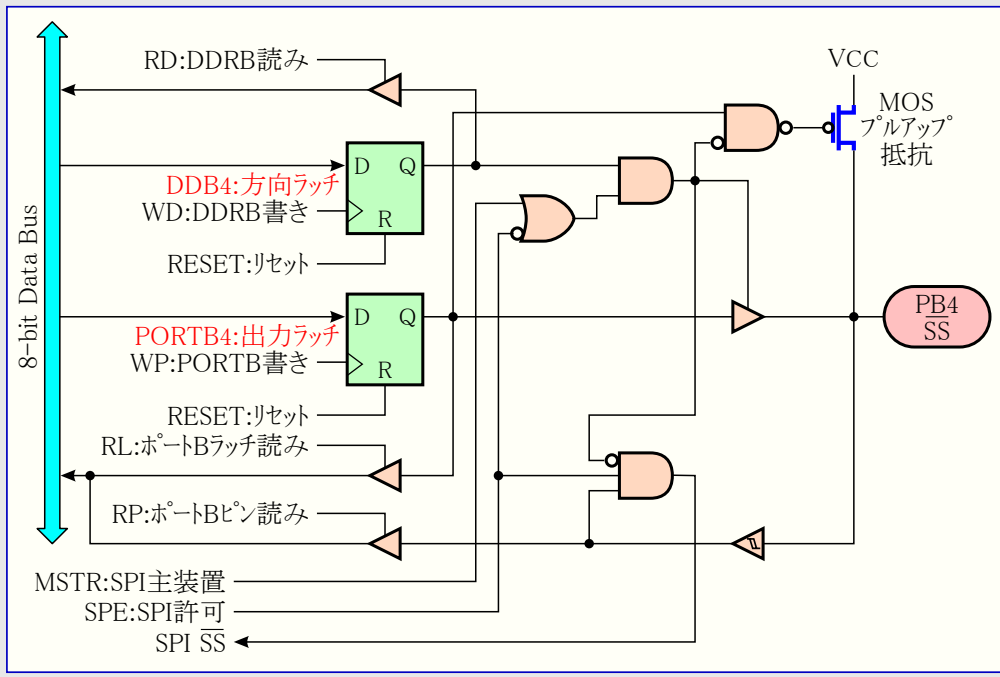


図60. ホートB回路構成 (PB5ピン)

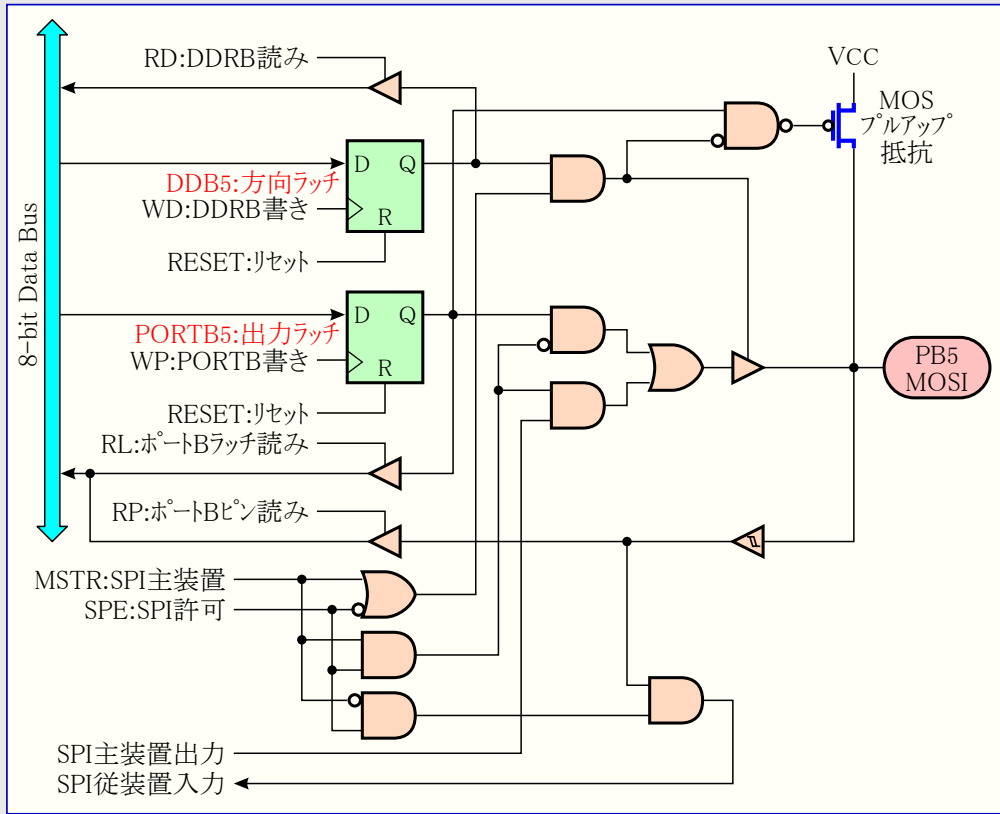


図61. ホートB回路構成 (PB6ピン)

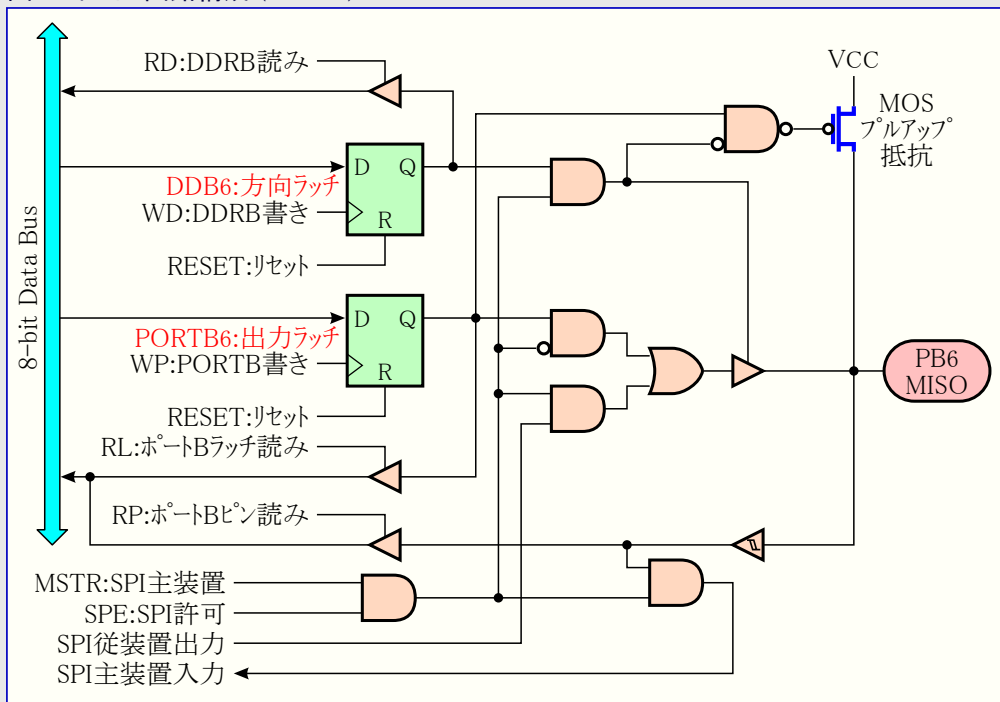
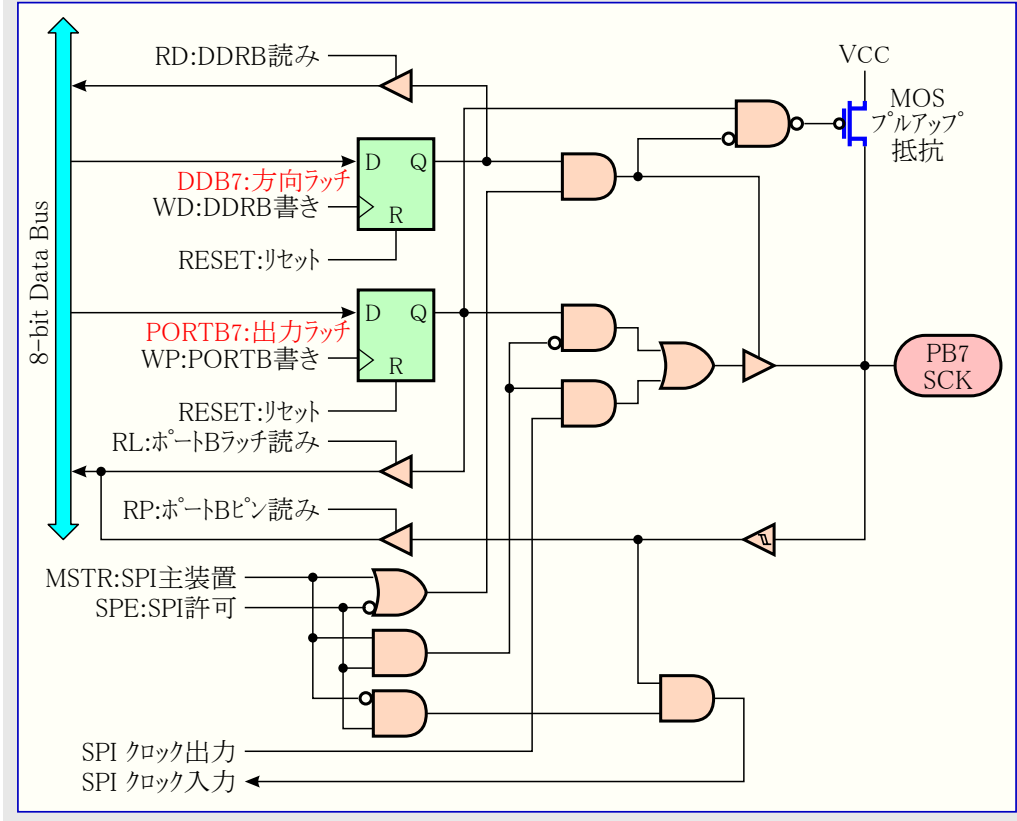


図62. ホートB回路構成 (PB7ピン)



ポートC

ポートCは8ビットの双方向I/Oポートです。

ポートCについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTC), \$15(\$35)、データ方向レジスタ(DDRC), \$14(\$34)、データ入力レジスタ(PINC), \$13(\$33)に割り当てられます。ポートCデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートC出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PC0~7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートCピンには任意の**外部メモリ インターフェースに関連する交換機能**があります。ポートCは外部データメモリアクセス中の上位アドレスバイトに設定できます。

MCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットにより、ポートCがこの交換機能に設定されると、この交換設定はデータ方向レジスタ(DDRC)を無視します。

ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC方向レジスタ (Port C Data Direction Register) DDRC

ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC入力レジスタ (Port C Input Address) PINC

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートC入力レジスタ(PINC)はレジスタではなく、このアドレスはポートC各ピンの物理的な値へのアクセスができます。ポートC出力レジスタ(PORTC)を読む時はポートC出力ラッチが読まれ、ポートC入力レジスタ(PINC)を読む時は、このピン上に存在する論理値が読まれます。

ポートC 標準デジタル入出力

標準I/Oピンとして使われる時にポートCの8ピンは全て同じ機能動作です。

標準I/OピンPCnは**ポートC方向レジスタ(DDRC)のDDCnビット**がそのピンの入出力方向を選び、DDCnが設定(1)されると、出力ピンとして設定されます。DDCnが解除(0)されると、入力ピンとして設定されます。**ポートC出力レジスタ(PORTC)のPORTCn**が設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTCnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートCピンはリセット条件が有効になると、例えクロックが動作していなくてもHi-Z状態にされます。

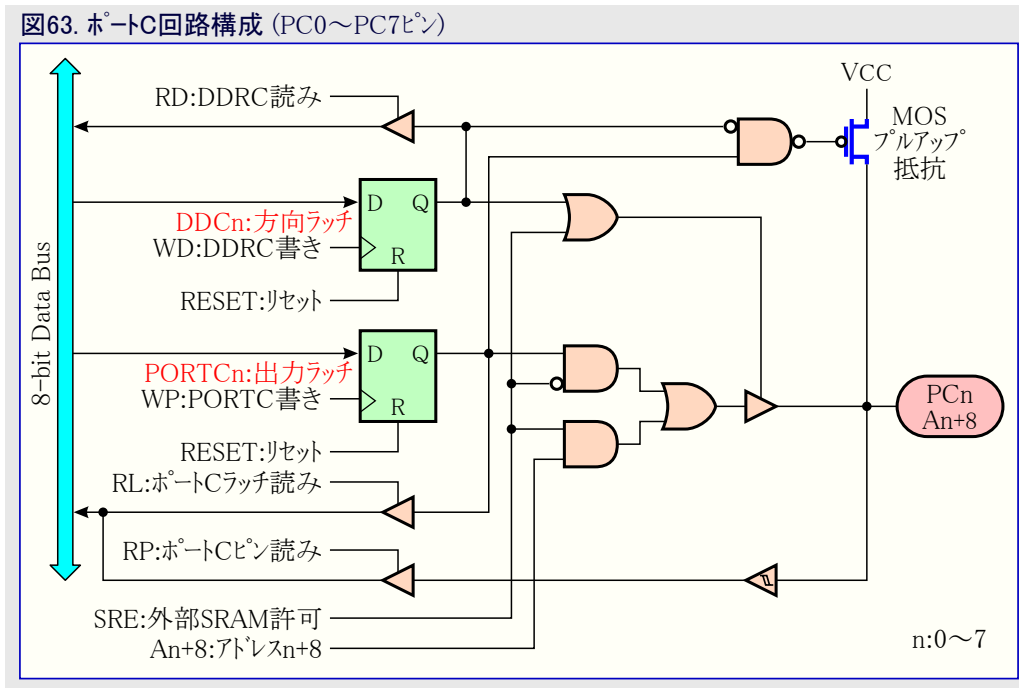
表32. ポートCピンに対するDDCnの関係

DDCn	PORTCn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PCnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7~0でビット番号を示します。

ポートC回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。



ポートD

ポートDは個別に**選択可能な内蔵プルアップ抵抗**付きの8ビットの双方向I/Oポートです。

ポートDについては3つのI/Oメモリアドレス位置が各々、データ出力レジスタ(PORTD), \$12(\$32)、データ方向レジスタ(DDRD), \$11(\$31)、データ入力レジスタ(PIND), \$10(\$30)に割り当てられます。ポートDデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートD出力緩衝部は20mAの吸い込み電流を流せます。入力として、内蔵プルアップ抵抗が有効化されていると、外部的にLowへ引き込まれるポートDピンには吐き出し電流が流れます。

いくつかのポートDピンには、表33.で示される交換機能があります。

表33. ポートDピンの交換機能

ポートピン	交換機能
PD0	RXD0 (UART0 受信データ入力)
PD1	TXD0 (UART0 送信データ出力)
PD2	INT0 (外部割り込み0入力)
PD3	INT1 (外部割り込み1入力)
PD4	TOSC1 (タイマ/カウンタ2用RTC発振器入力)
PD5	TOSC2 (タイマ/カウンタ2用RTC発振器出力) OC1A (タイマ/カウンタ1 比較A一致出力)
PD6	\overline{WR} (外部メモリ用書きスローブ出力)
PD7	\overline{RD} (外部メモリ用読みスローブ出力)

PD5ピンが交換機能(OC1A)で使われる時にポートD方向レジスタ(DDRD)とポートD出力レジスタ(PORTD)は、**交換機能の説明に従って設定**されなければなりません。

ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD入力レジスタ (Port D Input Address) PIND

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R/W	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートD入力レジスタ(PIND)はレジスタではなく、このアドレスはポートD各ピンの物理的な値へのアクセスができます。ポートD出力レジスタ(PORTD)を読む時はポートD出力ラッチが読まれ、ポートD入力レジスタ(PIND)を読む時は、このピン上に存在する論理値が読めます。

ポートD 標準デジタル入出力

標準I/OピンPDnはポートD方向レジスタ(DDRD)のDDDnビットがそのピンの入出力方向を選び、DDDnが設定(1)されると、出力ピンとして設定されます。DDDnが解除(0)されると、入力ピンとして設定されます。ポートD出力レジスタ(PORTD)のPORTDnが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTDnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートDピンはリセット条件が有効になると、例えクロックが動作していてもHi-Z状態にされます。

表34. ポートDピンに対するDDDnの関係

DDDn	PORTDn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PDnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7~0でビット番号を示します。

ポートDの交換機能

ポートDの交換機能を以下に示します。

- \overline{RD} – ポートD ビット7 : PD7

\overline{RD} : 外部データメモリの読み込み制御ストロブです。

- \overline{WR} – ポートD ビット6 : PD6

\overline{WR} : 外部データメモリの書き込み制御ストロブです。

- OC1A – ポートD ビット5 : PD5

OC1A : タイマ/カウンタ1の比較A一致出力です。PD5ピンはタイマ/カウンタ1の比較A一致時の外部出力として扱えます。この機能を取り扱うには、PD5ピンがポートD方向レジスタ(DDRD)のDDD5=1で出力として設定されなければなりません。出力を許可する方法と詳細については32頁の「タイマ/カウンタ1」をご覧ください。このOC1AピンはPWM動作時の出力ピンでもあります。

- TOSC2,TOSC1 – ポートD ビット5,4 : PD5,4

TOSC2,TOSC1 : タイマ/カウンタ2の非同期クロック駆動を許可するために、非同期状態レジスタ(ASSR)の非同期動作許可(AS2)ビットが設定(1)されると、PD5とPD4ピンはポートから切り離されます。この動作では、このピンにクリスタル発振器が接続され、このピンはI/Oピンとして使えません。

- INT1 – ポートD ビット3 : PD3

INT1 : 外部割り込み1入力です。PD3ピンはMCUへの外部割り込み元として扱えます。より多くの詳細については21頁の「MCU制御レジスタ(MCUCR)」をご覧ください。

- INT0 – ポートD ビット2 : PD2

INT0 : 外部割り込み0入力です。PD2ピンはMCUへの外部割り込み元として扱えます。より多くの詳細については21頁の「MCU制御レジスタ(MCUCR)」をご覧ください。

- TXD0 – ポートD ビット1 : PD1

TXD0 : UART0の送信データ出力です。UART0送信(部)が許可されると、このピンはDDRDのDDD1の値に拘らず、出力として設定されます。

- RXD0 – ポートD ビット0 : PD0

RXD0 : UART0の受信データ入力です。UART0受信(部)が許可されると、このピンはDDRDのDDD0の値に拘らず、入力として設定されます。UART0がこのピンを強制的に入力とするときでも、ポートD出力レジスタ(PORTD)のPORTD0の論理1は内蔵プルアップ抵抗をONに切り替えます。

ポートD回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図64. ポートD回路構成 (PD0ピン)

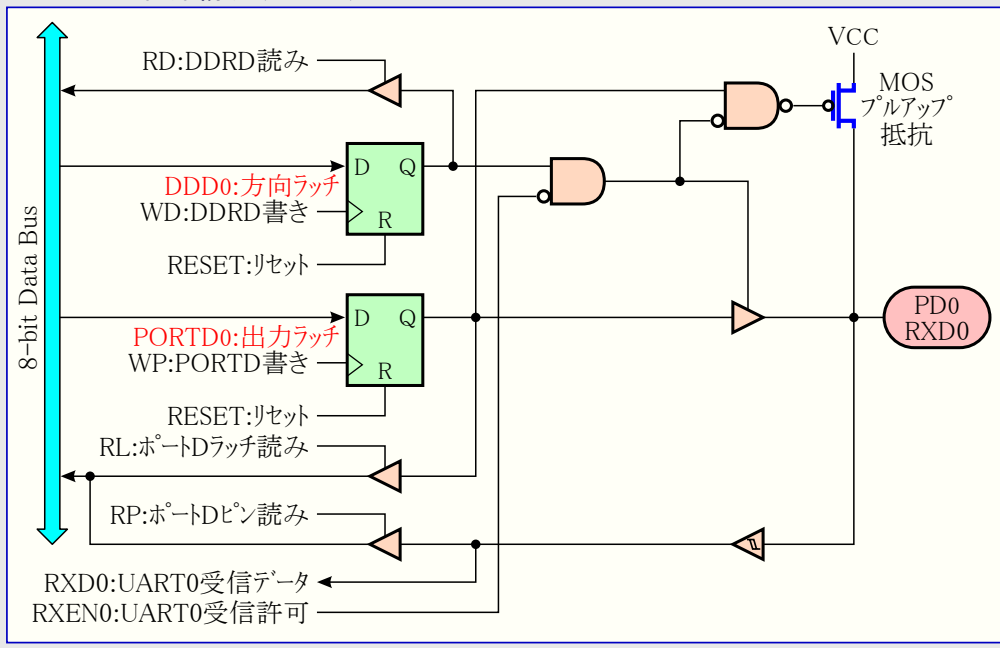


図65. ポートD回路構成 (PD1ピン)

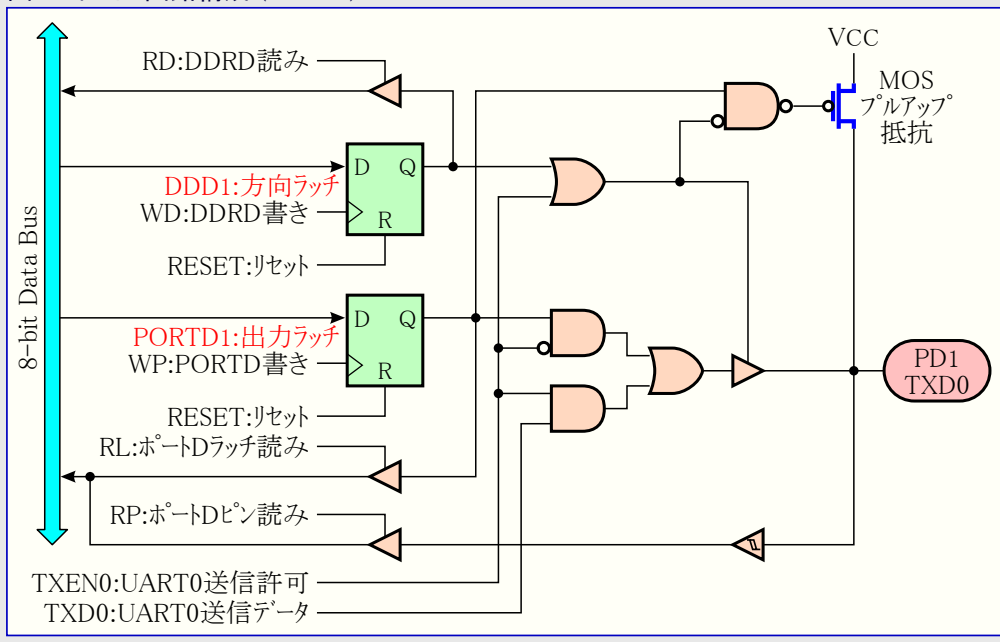


図66. ホートD回路構成 (PD2, PD3ピン)

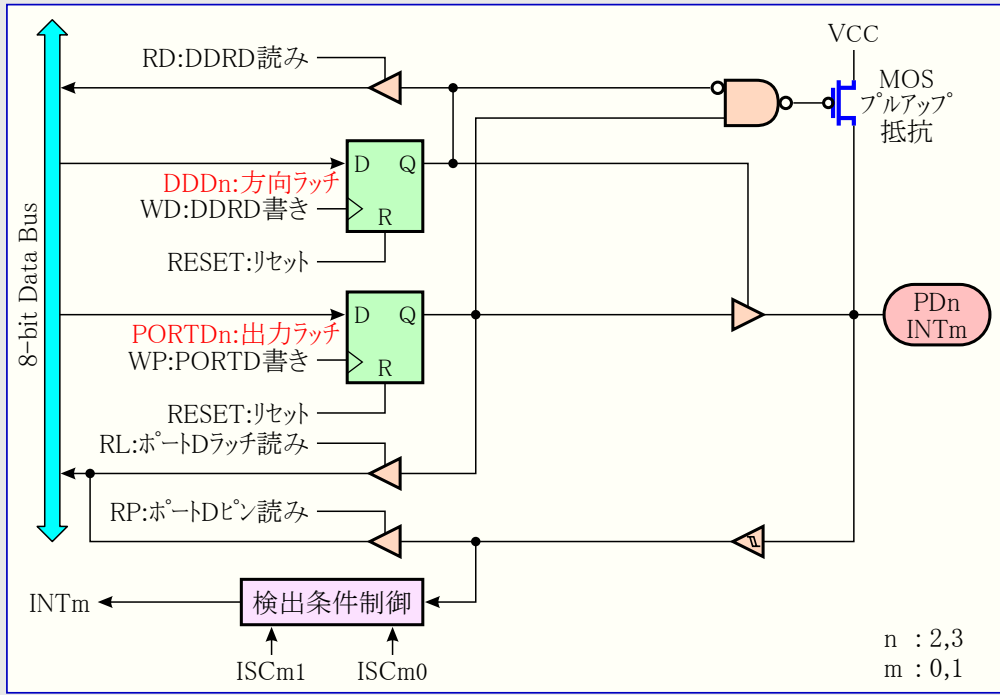


図67. ホートD回路構成 (PD4ピン)

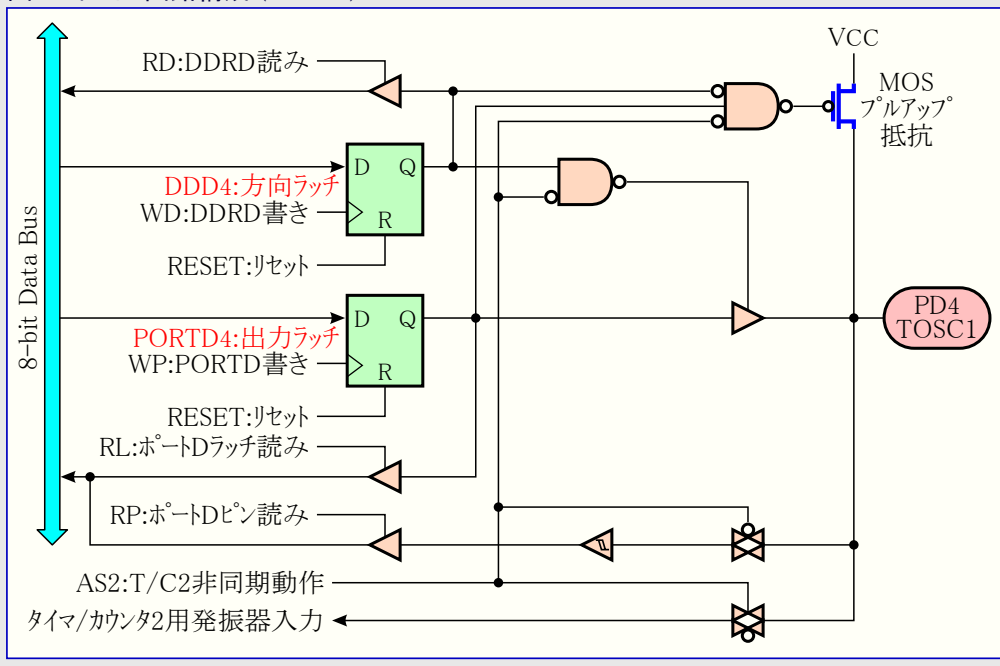


図68. ホートD回路構成 (PD5ピン)

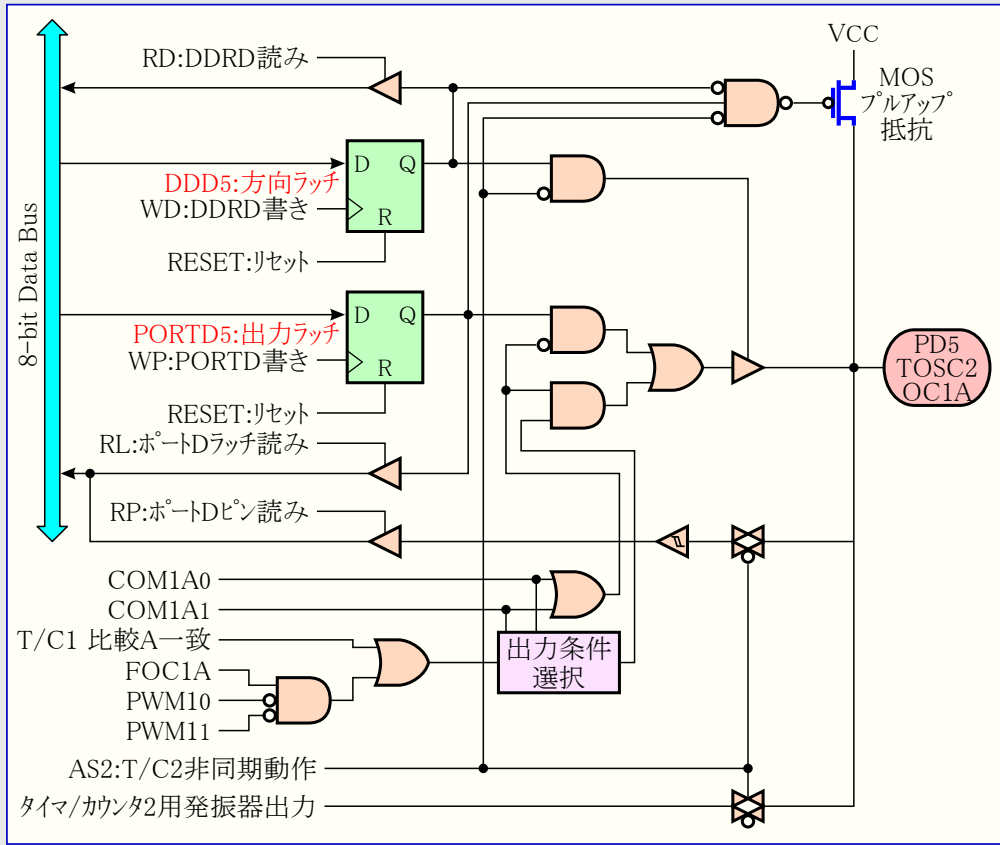


図69. ホートD回路構成 (PD6ピン)

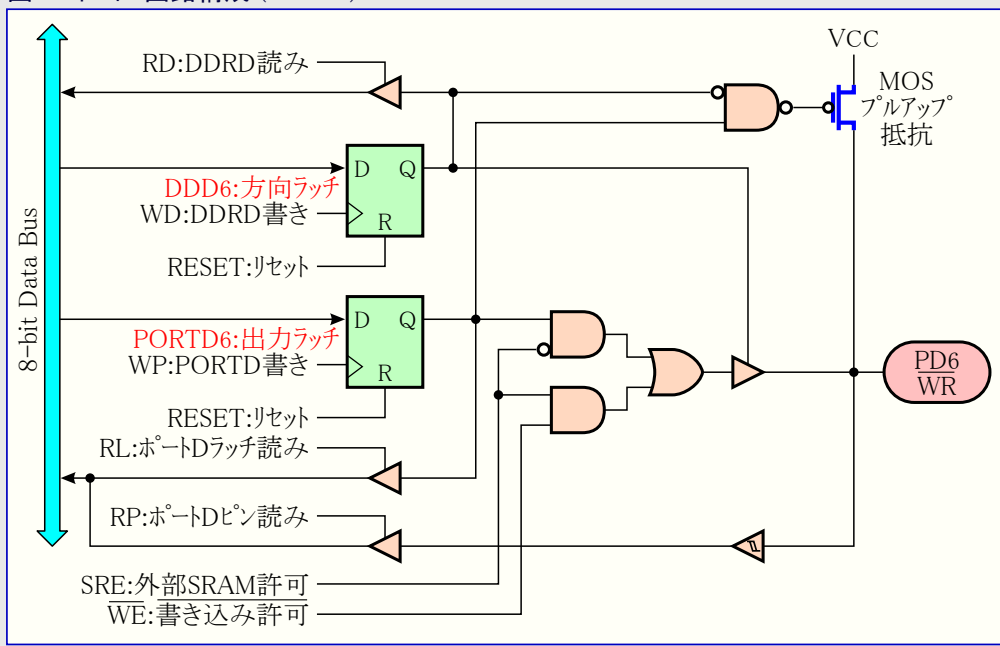
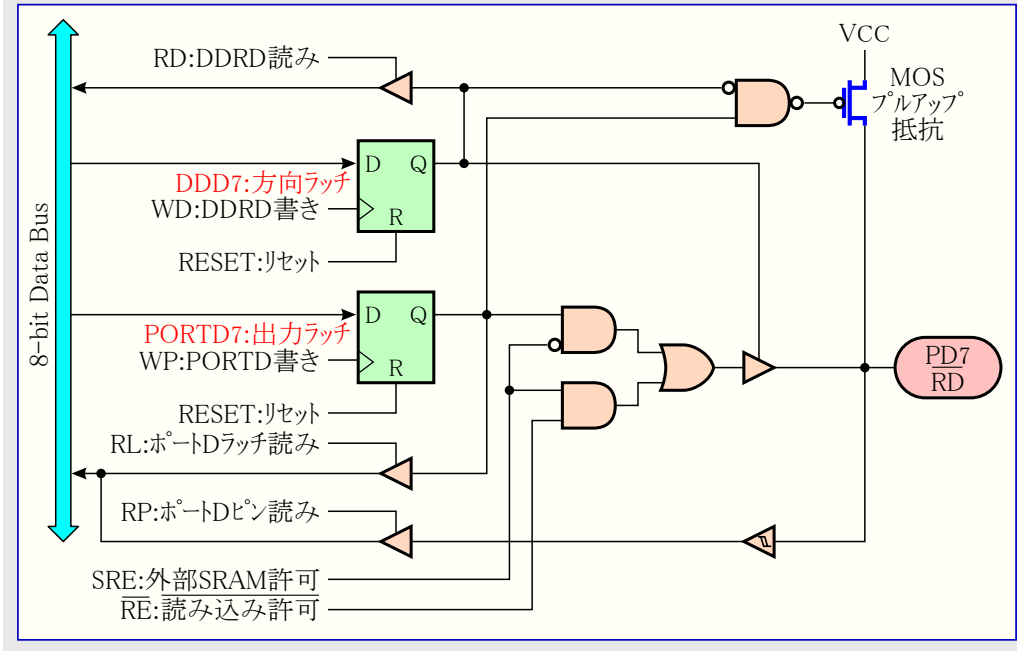


図70. ホートD回路構成 (PD7ピン)



ポートE

ポートEは個別に**選択可能な内蔵プルアップ抵抗**付きの3ビットの双方向I/Oポートです。

ポートEについては3つのI/Oメモリ アドレス位置が各々、データ出力レジスタ(PORTE), \$07(\$27)、データ方向レジスタ(DDRE), \$06(\$26)、データ入力レジスタ(PINE), \$05(\$25)に割り当てられます。ポートEデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートE出力緩衝部は20mAの吸い込み電流を流せます。入力として、内蔵プルアップ抵抗が有効化されていると、外部的にLowへ引き込まれるポートEピンには吐き出し電流が流れます。

ポートEピンには、表35.で示される交換機能があります。

表35. ポートEピンの交換機能

ポートピン	交換機能
PE0	INT2 (外部割り込み2入力) ICP (タイマ/カウンタ1 捕獲起動入力)
PE1	OC1B (タイマ/カウンタ1 比較B一致出力)
PE2	ALE (外部メモリ用アドレス ラッチ許可出力)

PE1ピンが交換機能で使われる時にポートE方向レジスタ(DDRE)とポートE出力レジスタ(PORTE)は、**交換機能の説明に従って設定**されなければなりません。

ポートE出力レジスタ (Port E Data Register) PORTE

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	-	-	-	-	-	PORTE2	PORTE1	PORTE0	PORTE
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートE方向レジスタ (Port E Data Direction Register) DDRE

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	-	-	-	-	-	DDE2	DDE1	DDE0	DDRE
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートE入力レジスタ (Port E Input Address) PINE

ビット	7	6	5	4	3	2	1	0	
\$05 (\$25)	-	-	-	-	-	PINE2	PINE1	PINE0	PINE
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	不定	不定	不定	

実際のポートE入力レジスタ(PINE)はレジスタではなく、このアドレスはポートE各ピンの物理的な値へのアクセスができます。ポートE出力レジスタ(PORTE)を読む時はポートE出力ラッチが読まれ、ポートE入力レジスタ(PINE)を読む時は、このピン上に存在する論理値が読まれます。

ポートE 標準デジタル入出力

標準I/OピンPE_nは**ポートE方向レジスタ(DDRE)のDDE_nビット**がそのピンの入出力方向を選び、DDE_nが設定(1)されると、出力ピンとして設定されます。DDE_nが解除(0)されると、入力ピンとして設定されます。**ポートE出力レジスタ(PORTE)のPORTE_nが設定(1)され**、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTE_nが解除(0)されるか、またはそのピンが出力として設定されなければなりません。ポートEピンはリセット条件が有効になると、例えクロックが動作していてもHi-Z状態にされます。

表36. ポートEピンに対するDDE_nの関係

DDE _n	PORTE _n	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PE _n に外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは2~0でビット番号を示します。

ポートEの交換機能

ポートEの交換機能を以下に示します。

• OC1B – ポートE ビット2 : PE2

OC1B : タイマ/カウンタ1の比較B一致出力です。PE2ピンはタイマ/カウンタ1の比較B一致時の外部出力として扱えます。この機能を取り扱うには、PE2ピンがポートE方向レジスタ(DDRE)のDDE2=1で出力として設定されなければなりません。出力を許可する方法と詳細については32頁の「[タイマ/カウンタ1](#)」をご覧ください。このOC1BピンはPWM動作時の出力ピンでもあります。

• ALE – ポートE ビット1 : PE1

ALE : 外部メモリが許可されると、PE1ピンはアドレスラッチ許可出力として扱います。外部メモリの許可はポート値と方向の両方を無視することに注意してください。詳細な記述については54頁の「[外部メモリ インターフェース](#)」をご覧ください。

• INT2/ICP – ポートE ビット0 : PE0

INT2 : 外部割り込み2入力です。PE0ピンはMCUへの外部割り込み元として扱えます。より多くの詳細については22頁の「[拡張MCU 制御レジスタ\(EMUCR\)](#)」をご覧ください。

ICP : タイマ/カウンタ1の捕獲起動入力です。PE0ピンはタイマ/カウンタ1の捕獲起動入力ピンとして扱えます。詳細な記述については36頁の「[タイマ/カウンタ1捕獲レジスタ\(ICR1\)](#)」をご覧ください。

ポートE回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

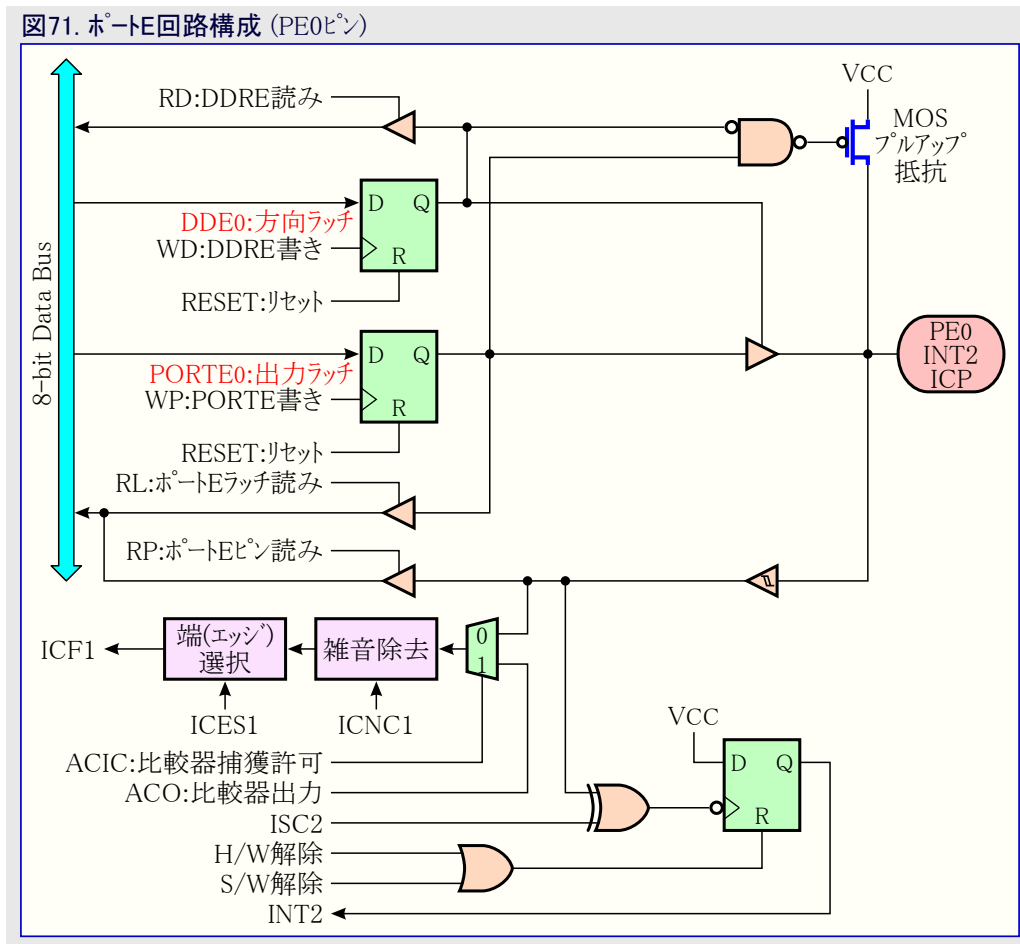


図72. ホートE回路構成 (PE1ピン)

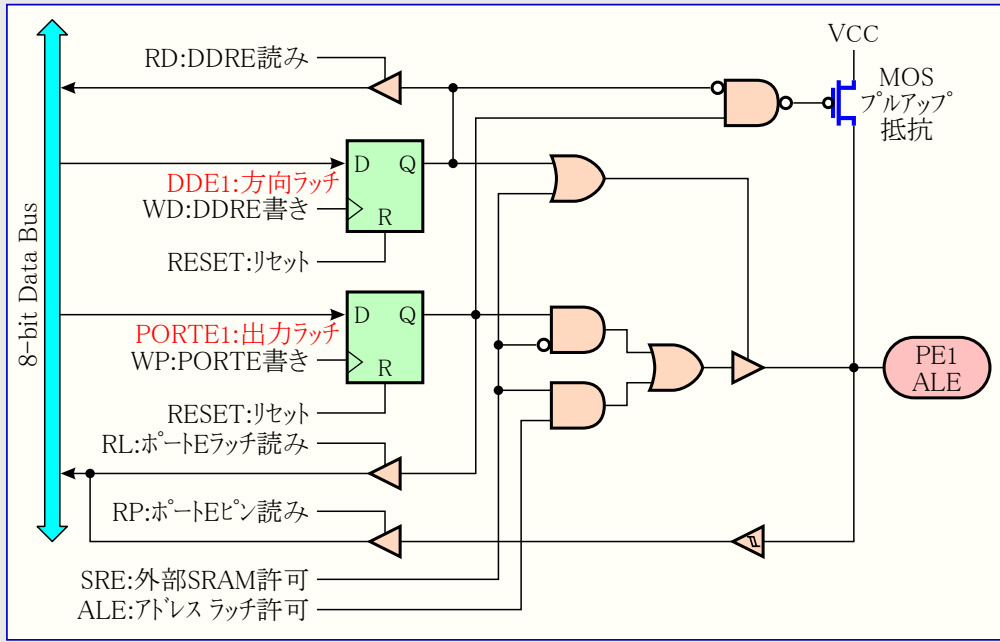
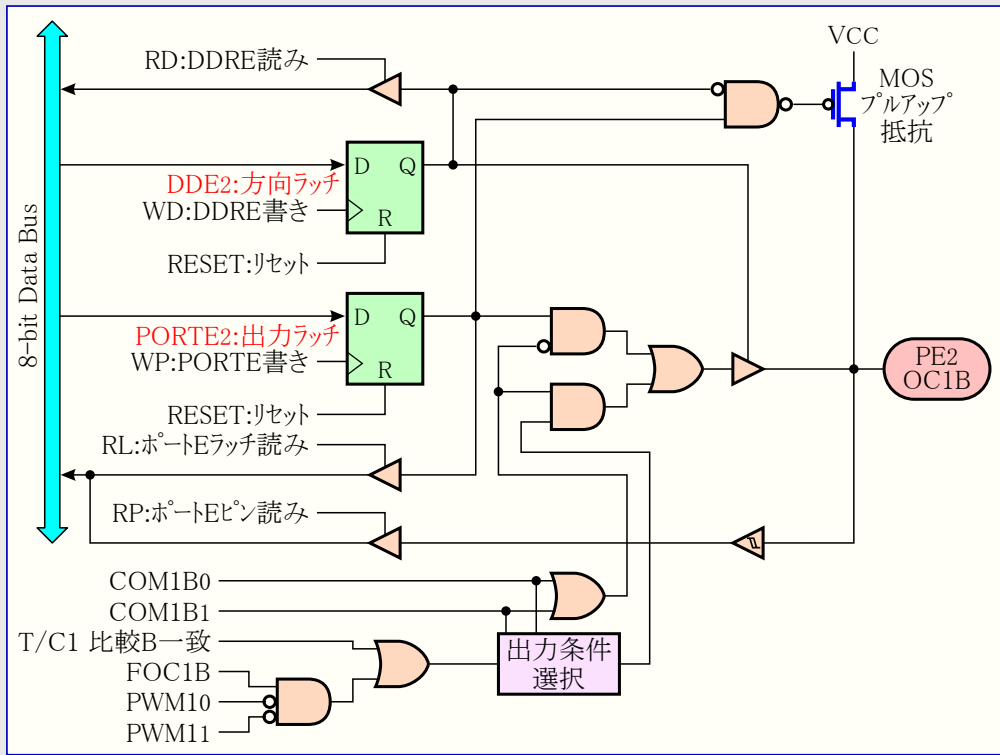


図73. ホートE回路構成 (PE2ピン)



ブートローダ支援

ATmega161はMCU自身によってプログラムコードをダウンロードまたはアップロードするための機構を提供します。この特徴はフラッシュメモリ常駐ブートローダプログラムを使うMCUによって制御される柔軟な応用ソフトウェア更新を可能にします。

ATmega161のフラッシュメモリは2つの主要な領域で構成されます。

1. 応用コード領域 (\$0000～\$1DFF)
2. ブートローダ領域 (\$1E00～\$1FFF)

ブートローダプログラムはプログラムコードの入出力のために、UART直列バスインターフェースのような利用可能なインターフェースと関連通信規約のどれもが使える、フラッシュメモリ内へのコード書き込みやコード読み出しを行います。

プログラム用フラッシュメモリは各々が128バイトを含むページに分割されます。フラッシュメモリのブートローダ領域は16ビット語(ワードアドレス)で\$1E00～\$1FFFの8ページを占有します。

SPM命令は全フラッシュメモリをアクセスできますが、ブートローダ領域からだけ実行できます。ブートローダ機能が必要とされないなら、全フラッシュメモリが応用コード用に利用可能です。ATmega161は個別に設定できる分離された2組のブート施錠ビットを持っています。これは異なる保護基準を選ぶための独特な柔軟性を使用者に与えます。次に示すような保護範囲が選べます。

- ブートローダプログラムによるソフトウェア更新から全フラッシュメモリを保護
- ブートローダプログラムによるソフトウェア更新からブートローダ領域のみ保護
- ブートローダプログラムによるソフトウェア更新から応用コード領域のみ保護
- 全フラッシュメモリでソフトウェア更新可

より多くの詳細については表37と表38をご覧ください。ブート施錠ビットはプログラムや直列または並列プログラミングで設定(プログラム(0))できますが、これらはチップ消去指令によってのみ消去(非プログラム(1))できます。

図74. フラッシュメモリの領域

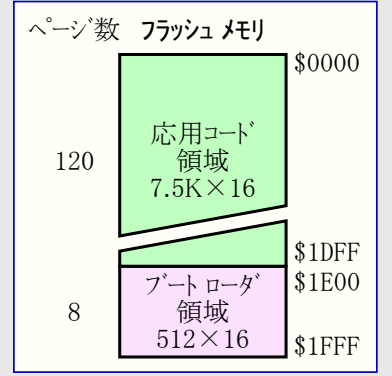


表37. 応用コード領域に対する保護種別 (0=プログラム、1=非プログラム)

BLB0 動作種別	BLB02	BLB01	保護種別
1	1	1	LPM, SPM命令による応用コード領域へのアクセスを禁止しません。
2	1	0	応用コード領域へのSPM命令での書き込みができません。
3	0	0	応用コード領域へのSPM命令での書き込みと、ブートローダ領域でのLPM命令による応用コード領域からの読み込みができません。
4	0	1	ブートローダ領域でのLPM命令による応用コード領域からの読み込みができません。

表38. ブートローダ領域に対する保護種別 (0=プログラム、1=非プログラム)

BLB1 動作種別	BLB12	BLB11	保護種別
1	1	1	LPM, SPM命令によるブートローダ領域へのアクセスを禁止しません。
2	1	0	ブートローダ領域へのSPM命令での書き込みができません。
3	0	0	ブートローダ領域へのSPM命令での書き込みと、応用コード領域でのLPM命令によるブートローダ領域からの読み込みができません。
4	0	1	応用コード領域でのLPM命令によるブートローダ領域からの読み込みができません。

ブートローダプログラムへの移行

ブートローダへの移行は応用プログラムからの無条件分岐(JMP)か呼び出し(CALL)により行います。これは、USARTやSPIインターフェース経由で受信された指令のような何かの起点によって始められるかもしれません。代わりに、リセット後のリセットベクタがアドレス\$1E00を指し示すように、ブートリセット(BOOTRST)ヒューズがプログラム(0)できます。この場合、ブートローダはリセット後に実行が開始されます。応用コードの書き換え(書き込み)後、プログラムは応用コードの実行を始められます。このヒューズビットがMCU自身によって変更できないことに注意してください。これは一旦ブートリセットヒューズがプログラム(0)されると、リセットベクタは常にブートローダリセットを指示し、このヒューズが直列または並列プログラミングインターフェースを通してのみ変更できることを意味します。BOOTRSTヒューズは施錠(LB1)ビットのプログラム(0)によって保護もできます。LB1がプログラム(0)されると、初めにチップ消去指令が実行される場合を除き、BOOTRSTヒューズの変更は不可能です。

表39. ブートリセットヒューズ (0=プログラム、1=非プログラム)

BOOTRST	リセット後実行開始アドレス (リセットベクタ)	
0	ブートローダリセット	\$1E00 (ブートローダ開始アドレス)
1	応用コードリセット	\$0000

ブートローダの能力

ブートローダ領域内のプログラムコードはブートローダメモリを含む全フラッシュメモリに対する読み/書き能力を持ちます。これは応用コードとソフトウェア更新を操作するブートローダコード両方の更新を使用者に許します。従ってブートローダは自身を修正でき、この機能がそれ以上必要とされない場合、そのコードから自身を消去することもできます。ブート施錠ビット11(BLB11)を非プログラム(1)のままとすることによってブートローダ領域の更新を許す場合、特段の注意が祓われなければなりません。ブートローダ自体への予期せぬ書き込みはブートローダ全体を不正にし、その上、ソフトウェア更新を不可能するかもしれません。ブートローダソフトウェア自体の変更が必要とされない場合、ソフトウェア変更からブートローダソフトウェアを保護するため、ブート施錠ビット11(BLB11)はプログラム(0)されることが推奨されます。

フラッシュメモリの自己プログラミング

フラッシュメモリのプログラミングは1ページ毎に実行されます。正しいプログラミングのため、フラッシュのページは最初に消去されなければなりません。一般書き込み禁止(LB動作種別2)では、SPM命令によるフラッシュメモリのプログラミング制御を行いません。同様に、行ったとすれば、一般読み書き禁止(LB動作種別3)では、LPM命令とSPM命令による読み込みまたは書き込みを制御しません。

プログラムメモリは語(ワード)毎ではなくページ毎にのみ更新できます。1ページは64語(128バイト)です。プログラムメモリは最初にページ消去を実行し、次にSPM命令を使って1語毎にページ一時緩衝部を満たし、そしてページ書き込みを実行することによって修正されます。ページの一部だけの変更が必要な場合、他の部分は消去前に(例えばページ一時緩衝部に)保存され、その後、再書き込みされなければなりません。ページ一時緩衝部は乱アクセスができます。ページ消去中とページ書き込み中、CPUは停止され、SPM命令制御レジスタ(SPMCR)のSPM操作許可(SPMEN)ビットは自動的に解除(0)されます。とは言え、将来との共通性のため、使用者ソフトウェアは新規のページ消去、ページ書き込み、または施錠ビット書き込み命令前にSPMENビットが解除(0)されていることを確かめることが推奨されます(下のプログラム例参照)。ページ消去とページ書き込み操作の両方で使われるページアドレスは、同じページを指示することが重要です。

SPM命令によるブートローダ施錠ビットの設定

ブートローダ施錠ビットを設定するには、希望する値をレジスタR0に設定し、SPMCRに1001を書き、SPMCR書き込み後4クロック周期以内にSPM命令を実行します。アクセス可能な施錠ビットは、応用コード領域とブートローダ領域のMCUによるどんなソフトウェア更新からも防げるブート施錠ビットだけです。フラッシュメモリのアクセスに影響するブートローダ施錠ビットの各設定法については表37と表38をご覧ください。

ビット	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	1	1

レジスタR0のビット5～2が解除(0)されると、SPMCRのSPMENとブート施錠ビット設定(BLBSET)が設定(1)された後、4周期以内にSPM命令が実行されると、対応するブート施錠ビットがプログラム(0)されます。

SPM命令によるページ消去の実行

ページ消去を実行するには、Zポインタにアドレスを設定し、SPM命令制御レジスタ(SPMCR)に0011を書き、SPMCR書き込み後4クロック周期以内にSPM命令を実行します。レジスタR1とR0の値は無視されます。ページアドレスはZ13～7に書かれなければなりません。Zポインタ内の他のビットは、この操作中、無視されます。

ページ一時緩衝部の設定 (ページ設定)

命令語をページ一時緩衝部へ書くには、Zポインタにアドレス、レジスタR1:R0にデータを設定し、SPMCRに0001を書き、SPMCR書き込み後4クロック周期以内にSPM命令を実行します。Z6～1の内容が一時緩衝部内のデータのアドレスに使われます。Z13～7は書かれることになっているページを指示しなければなりません。

ページ書き込みの実行

ページ書き込みを実行するには、Zポインタにアドレスを設定し、SPMCRに0101を書き、SPMCR書き込み後4クロック周期以内にSPM命令を実行します。レジスタR1とR0の値は無視されます。ページアドレスはZ13～7に書かれなければなりません。ページが正しく書かれることを保証するため、この操作の間中、Z6～0は0でなければなりません。ページ書き込み操作が完了されると、Zポインタは後続ページの先頭語を指し示します。

アセンブリ言語プログラム例

```
Wait:   IN      R16, SPMCR           ; SPM操作状態フラグを取得
        SBRC   R16, SPMEN         ; SPMEN=0(操作可)でスキップ
        RJMP  Wait                ; 直前の書き込み系操作完了まで待機
;
        LDI   R16, (1<<PGERS)+(1<<SPMEN) ; 次ページ消去コードを取得
        OUT   SPMCR, R16          ; ページ消去指定
        SPM                               ; ページ消去操作開始
```

自己プログラミングに於けるフラッシュメモリのアドレス指定

SPM命令でのアドレス指定にはZレジスタ(ポインタ)が使われます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

Z15, 14 : 常に無視
 Z13~7 : ページ消去とページ書き込みに対するページ選択
 Z6~1 : ページ一時緩衝部設定に対する語選択 (ページ書き込み操作中は0固定)
 Z0 : 全SPM命令について0であるべき、LPM命令に対するバイト選択

Zポインタを使わない操作はブートローダ施錠ビット設定だけです。Zポインタの内容は無視され、この操作では無効です。

ページ消去とページ書き込み操作は個別にアドレス指定されることに注意してください。従って、ブートローダソフトウェアは、ページ消去とページ書き込み操作の両方で同じページを指定することが最も重要になります。

LPM命令もアドレスを格納するためにZポインタを使います。この命令はフラッシュメモリをバイト単位で指定するため、Zポインタの最下位ビット(Z0)も使われます。詳細な記述については9頁をご覧ください。

SPM命令によるフラッシュメモリのプログラムの予期せぬ書き込みは、“SPM許可時間窓”の設定によって防がれます。全てのアクセスは最初のI/Oビット設定と、その後の4クロック周期内のSPM命令実行により行われます。SPMアクセスを制御するI/Oレジスタは以下で定義されます。

SPM命令制御レジスタ (Store Program Memory Control Register) SPMCR

このレジスタ内には内部コード実行からフラッシュメモリのプログラミングを制御するために必要とされる制御ビットがあります。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	-	-	-	-	BLBSET	PGWRT	PGERS	SPMEN	SPMCR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 - BLBSET : ブート施錠ビット設定 (Boot Lock Bits Set)

このビットがSPMENと同時に設定(1)されると、次の4クロック周期内のSPM命令は、R0のデータに従ったブート施錠ビットを設定します。R1の値とZポインタのアドレスは無視されます。このBLBSETビットは施錠ビットの設定完了、または4クロック周期内にSPM命令が実行されないと、自動的に解除(0)されます。施錠ビット設定中、CPUは停止されます。チップ消去だけが施錠ビットを解除(非プログラム(1))にできます。

BLBSETとSPMENをSPMCRに設定(1)後、4周期内のLPM命令は、(ZポインタのZ0設定に対応する)ヒューズビットまたは施錠ビットのどちらかを転送先レジスタへ読み出します。詳細については「ソフトウェアからのヒューズビットと施錠ビットの読み出し」をご覧ください。

• ビット2 - PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に設定(1)されると、次の4クロック周期内のSPM命令は、一時緩衝部内に格納されたデータのページ書き込みを実行します。ページアドレスはZポインタの上位部から取得されます。レジスタR1とR0の値は無視されます。このPGWRTビットはページ書き込み完了、または4クロック周期内にSPM命令が実行されないと、自動的に解除(0)されます。ページ全体の書き込み動作中、CPUは停止されます。

• ビット1 - PGERS : ページ消去 (Page Erase)

このビットがSPMENと同時に設定(1)されると、次の4クロック周期内のSPM命令は、ページ消去を実行します。ページアドレスはZポインタの上位部から取得されます。レジスタR1とR0の値は無視されます。このPGERSビットはページ消去完了、または4クロック周期内にSPM命令が実行されないと、自動的に解除(0)されます。ページ全体の消去動作中、CPUは停止されます。

• ビット0 - SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロック周期間SPM命令を許可します。BLBSET、PGWRT、PGERSのどれかと共に設定(1)されると、後続のSPM命令は特別な意味を持ちます(上記参照)。SPMENだけが設定(1)されると、後続のSPM命令はZポインタで指示されたページ一時緩衝部へレジスタR1:R0内の値を格納します。Zレジスタの最下位ビットは無視されます。このSPMENビットはSPM命令完了、または4クロック周期内にSPM命令が実行されないと、自動的に解除(0)されます。

下位4ビットに1001, 0101, 0011, 0001以外のどんな組み合わせを書いても、または(SPMCRの)何れかのビットが設定(1)されているときのI/Oレジスタ書き込みは無効です。

SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリへの全てのソフトウェアプログラミングを妨害することに注意してください。ソフトウェアからのヒューズや施錠ビット読み出しも、EEPROM書き込み動作中、妨害されます。SPM命令制御レジスタ(SPMCR)に書く前に、EEPROM制御レジスタ(EECR)のEEPROM書き込み許可(EEWE)ビットを検査し、このビットが解除(0)されているのを確かめることが推奨されます。

ソフトウェアからのヒューズビットと施錠ビットの読み出し

ソフトウェアからヒューズと施錠ビット両方が読めます。施錠ビットを読み出すには、Zポインタに\$0001を設定し、SPMCRのブート施錠ビット設定(BLBSET)とSPMENビットを設定(1)します。BLBSETとSPMENがSPMCRに設定された後、3 CPU周期内にLPM命令が実行されると、転送先レジスタに施錠ビットが書き出されます。BLBSETとSPMENビットは、施錠ビット読み出し完了、またはLPM, SPM命令が3,4 CPU周期内に実行されないと、自動的に解除(0)されます。BLBSETとSPMENビットが解除(0)されると、LPMは命令一式便覧と9頁の「LPM命令による定数アドレス指定」で記述されるように動作します。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ヒューズビットを読み出す手順は上記の施錠ビット読み出しと同様です。しかし、ヒューズビットを読み出すときは、Zポインタに\$0000を設定します。BLBSETとSPMENビットがSPMCRに設定(1)された後、3周期内にLPM命令が実行されると、以下で示されるようにヒューズビットが転送先レジスタに読めます。

ビット	7	6	5	4	3	2	1	0
Rd	-	BOOTRST	SPIEN	SUT	-	CKSEL2	CKSEL1	CKSEL0

プログラム(0)されたヒューズと施錠ビットは0として読みます。

メモリプログラミング

プログラムメモリ施錠ビット

ATmega161は非プログラム(1)のままか、表40.で示される付加機能を得るためにプログラム(0)できる6つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表40. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列または並列プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROM、ヒューズビットのプログラム(書き込み)機能を禁止します。(注1)
3	0	0	LB種別2と同様、更にフラッシュ、EEPROMの照合も禁止します。(注1)
LB0 種別	BLB02	BLB01	フラッシュメモリの応用コード領域に対する保護
1	1	1	LPM, SPM命令による応用コード領域へのアクセスを禁止しません。
2	1	0	応用コード領域へのSPM命令での書き込みを禁止します。
3	0	0	応用コード領域へのSPM命令での書き込みと、ブートローダ領域でのLPM命令による応用コード領域からの読み込みを禁止します。
4	0	1	ブートローダ領域でのLPM命令による応用コード領域からの読み込みを禁止します。
LB1 種別	BLB12	BLB11	フラッシュメモリのブートローダ領域に対する保護
1	1	1	LPM, SPM命令によるブートローダ領域へのアクセスを禁止しません。
2	1	0	ブートローダ領域へのSPM命令での書き込みを禁止します。
3	0	0	ブートローダ領域へのSPM命令での書き込みと、応用コード領域でのLPM命令によるブートローダ領域からの読み込みを禁止します。
4	0	1	応用コード領域でのLPM命令によるブートローダ領域からの読み込みを禁止します。

注1: ヒューズビットの書き込みも禁止されますので、ヒューズビットの書き込みは施錠ビットの書き込み前に行ってください。

ヒューズビット

ATmega161には6つのヒューズビット、BOOTRST、SUT、SPIENとCKSEL2~0があります。

- BOOTRSTがプログラム(0)されると、リセットベクタがフラッシュメモリのブートローダ領域内の先頭アドレス位置である、アドレス\$1E00に設定されます。BOOTRSTが非プログラム(1)ならば、アドレス\$0000に設定されます。既定値は非プログラム(1)です。
- SUTヒューズは起動時間(表4.参照)を変更します。既定値は非プログラム(1)です。
- SPIENヒューズがプログラム(0)されると、直列プログラミングが許可されます。既定値はプログラム(0)です。SPIENヒューズは直列プログラミング動作でアクセスできません。
- CKSEL2~0を使う組み合わせについては15頁の表4.「リセット遅延選択」をご覧ください。既定値は"010"です。

ヒューズビットの状態はチップ消去による影響を受けません。施錠ビット1(LB1)または施錠ビット2(LB2)がプログラム(0)されると、ヒューズビットが固定化されることに注意してください。ヒューズビットのプログラミングは施錠ビットのプログラム(0)前に行ってください。

識票バイト

Atmelの全マイクロコントローラはデバイス識別用に3バイトの識票符号を持ちます。この符号は直列と並列の両プログラミング動作で読めます。この3バイトは他から分離された空間に存在します。ATmega161の識票符号を右に示します。

- ① \$000 : \$1E 製造業者Atmel。
- ② \$001 : \$94 フラッシュメモリ容量16Kバイト。
- ③ \$002 : \$01 ②値\$94と合せ、ATmega161。

フラッシュメモリとEEPROMのプログラミング

AtmelのATmega161は実装再書き込み可能な16Kバイトのプログラム用フラッシュメモリと512バイトのデータ用EEPROMメモリを提供します。

ATmega161にはプログラム用内蔵フラッシュメモリとデータ用EEPROMメモリが消去(全ビット=1)されてプログラムされる準備が整った状態で標準的に搭載されています。このデバイスは高電圧(12V)並列プログラミング動作と低電圧直列プログラミング動作を支援します。この+12Vはプログラム許可のためだけに使われ、このピンによる特筆すべき電流は流れません。直列プログラミング動作は実装済みのデバイスにプログラムとデータを書き込む便利な方法を提供します。

ATmega161のプログラム用フラッシュメモリは128バイト毎の128ページで構成されます。フラッシュメモリ書き込み時、プログラムデータはページ緩衝部内にラッチ(一時格納)されます。これはどちらのプログラミング動作でも、プログラムデータの1ページが同時に書かれることを許します。

ATmega161のデータ用EEPROMメモリはどちらのプログラミング動作でもバイト単位でプログラムされます。直列プログラミング動作での自動書き込み命令で自動消去周期が提供されます。

プログラミング中の供給電圧は表41.に従っていなければなりません。

表41. プログラミング中の供給電圧

デバイス	直列プログラミング	並列プログラミング
ATmega161L	2.7~5.5V	4.5~5.5V
ATmega161	4.0~5.5V	4.5~5.5V

並列プログラミング

この章ではATmega161でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低500nsという前提です。

信号名

この章ではATmega161のいくつかのピンが並列プログラミング中での機能を示す信号名によって参照されます(図75.と表42.をご覧ください)。表42.で示されないピンはピン名で参照されます。

XA0とXA1ピンは、XTAL1ピンに正パルスが与えられる時に実行される動作を決めます。この規約は表43.で示されます。

WRまたはOEパルス時、取得された指令が実行される動作を決めます。この指令は表44.で示されるように各ビットで機能が示されるバイトです。

図75. 並列プログラミング構成図

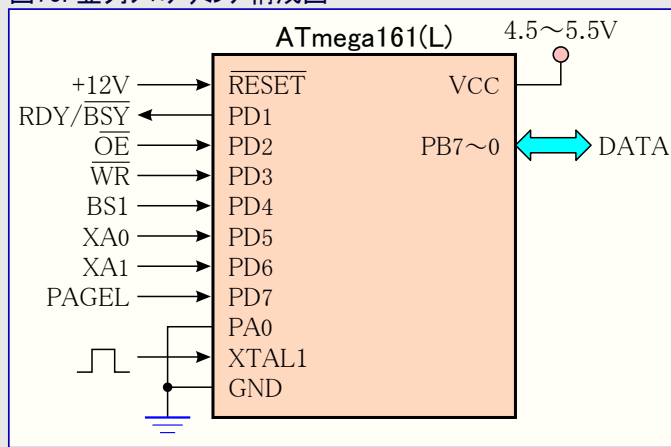


表42. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0: プログラミング多忙 1: 準備可(指令受付可)
OE	PD2	入力	出力許可(負論理)
WR	PD3	入力	書き込み(負論理)
BS1	PD4	入力	バイト選択1: 上位/下位バイト選択 (0: 下位, 1: 上位)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
PAGEL	PD7	入力	プログラムメモリ用ページ緩衝部へ設定
BS2	PA0	入力	バイト選択2 (常時Low)
DATA	PB7~0	入出力	データ (OE=L時出力)

表43. XA0とXA1の機能

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位/下位はBS1で指示)
0	1	データ取得 (フラッシュ時の上位/下位はBS1で指示)
1	0	指令取得
1	1	アイドル (動作なし)

表44. ビット規約による指令バイト

指令バイト	指令の機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	施錠ビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$11 (0001 0001)	EEPROM書き込み
\$08 (0000 1000)	識別バイト読み出し
\$04 (0000 0100)	ヒューズビットと施錠ビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し
\$03 (0000 0011)	EEPROM読み出し

プログラミング動作への移行

次の方法がデバイスを並列プログラミング動作にします。

- ① VCCとGND間に4.5～5.5Vを印加します。
- ② $\overline{\text{RESET}}$ とBS1ピンをLow(0)にし、最低500ns待ちます。
- ③ $\overline{\text{RESET}}$ に11.5～12.5Vを印加し、最低500ns待ちます。

チップ消去

チップ消去指令はフラッシュメモリ、EEPROM、**施錠ビット**を消去します。施錠ビットはフラッシュメモリとEEPROMが完全に消去されてしまうまで消去されません。チップ消去で**ヒューズビット**は変化しません。フラッシュメモリまたはEEPROMの再書き込み前にはチップ消去が実行されなければなりません。

チップ消去の手順を次に示します。

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BS1をLow(0)にします。
- ③ DATAを\$80(1000 0000)にします。これはチップ消去指令です。
- ④ $\overline{\text{WR}}$ に負パルスを与えます。これでチップ消去が始まります。RDY/BSYがLowになります。
- ⑤ 新規指令設定前に、RDY/BSYがHighになるまで待ちます。

フラッシュメモリ書き込み

フラッシュメモリは128バイト毎の128ページで構成されます。フラッシュメモリ書き込み時、プログラムデータはページ緩衝部内にラッチ(一時格納)されます。これはどちらのプログラミング動作でもプログラムデータの1ページが同時に書かれることを許します。次の手順はフラッシュメモリの書き込み方法を示します。(図76タイミングを参照)

A. フラッシュメモリ書き込み指令設定

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BS1をLow(0)にします。
- ③ DATAを\$10(0001 0000)にします。これはフラッシュメモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これでフラッシュメモリ書き込み指令を設定します。

B. 下位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BS1をLow(0)にします。これは下位バイト選択です。
- ③ DATAにアドレス下位バイト(\$00～\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス下位バイトを設定します。

C. データ下位バイト設定

- ① BS1をLow(0)にします。これは下位バイト選択です。
- ② XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ③ DATAにデータ下位バイト(\$00～\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでデータ下位バイトを設定します。

D. データ下位バイト ページ緩衝部格納

- ① PAGES1に正パルスを印加します。これはデータ下位バイトをページ緩衝部へ格納します。

E. データ上位バイト設定

- ① BS1をHigh(1)にします。これは上位バイト選択です。
- ② XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ③ DATAにデータ上位バイト(\$00～\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでデータ上位バイトを設定します。

F. データ上位バイト ページ緩衝部格納

- ① PAGES1に正パルスを印加します。これはデータ上位バイトをページ緩衝部へ格納します。

G. ページ緩衝部を満たすためにB.～F.を64回繰り返します。

次頁へ続く

フラッシュメモリ内のページを指定するには7ビット(128ページ)が必要とされます。以下のH.項で記載されるように上位5ビットは上位アドレスバイトから読み取られます。しかし、ページアドレスの下位2ビットはB.項で記載される最後に設定される下位アドレスバイトの上位2ビット(ビット7と6)です。

H. 上位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BS1をHigh(1)にします。これは上位バイト選択です。
- ③ DATAにアドレス上位バイト(\$00~\$1F)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス上位バイトを設定します。

I. ページ書き込み

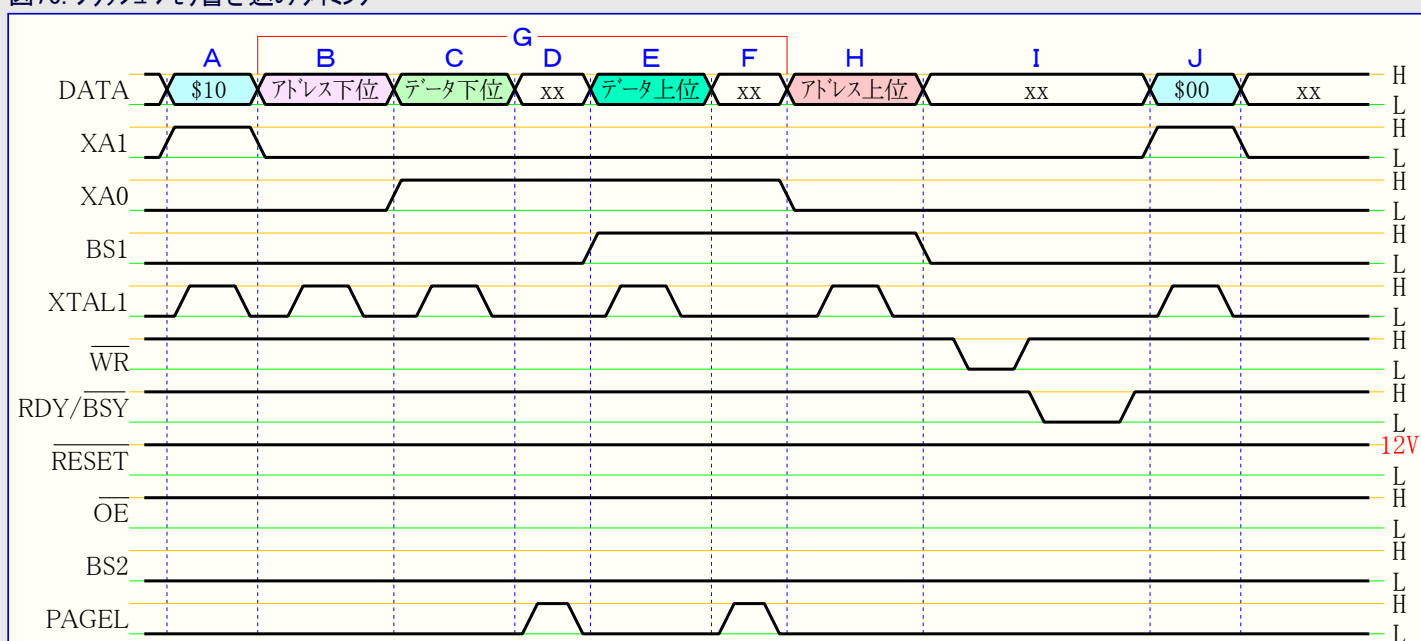
- ① \overline{WR} に負パルスを与えます。これでデータのページ全体の書き込みが始まります。RDY/ \overline{BSY} がLow(0)になります。
- ② RDY/ \overline{BSY} がHigh(1)になるまで待ちます。

J. ページ書き込み終了

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② DATAを\$00(0000 0000)にします。これは無操作指令です。
- ③ XTAL1に正パルスを与えます。これは指令を取得し、内部書き込み信号をリセットします。

K. 128回、または全データが書かれてしまうまでA.~J.を繰り返します。

図76. フラッシュメモリ書き込みタイミング



注: xx値は無関係です。A~Jは前記プログラミングを参照してください。

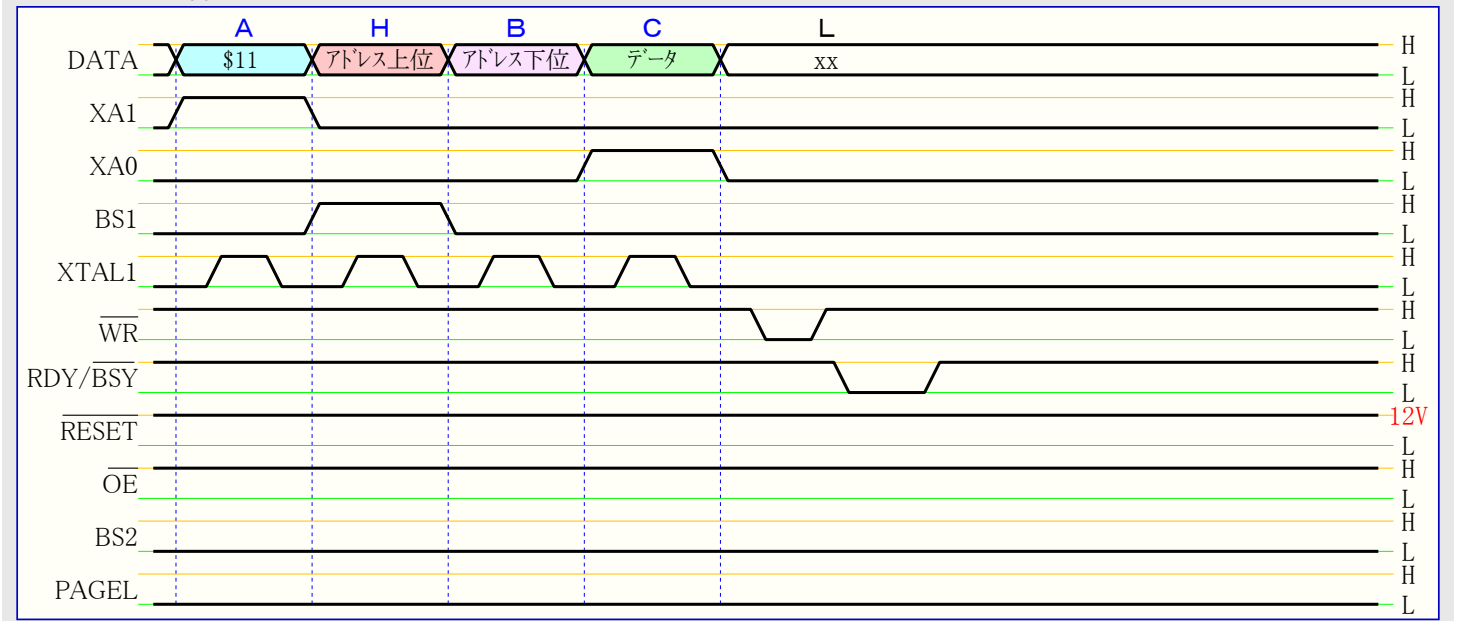
(訳注) 原書での図76と図77は図76.として結合し、文章内容と合致するよう修正しました。

EEPROM書き込み

データ用EEPROMメモリの書き込み方法を次に示します。(指令、アドレス、データ設定の詳細は「フラッシュメモリ書き込み」を参照)

1. EEPROM書き込み指令\$11(0001 0001)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
 2. アドレス上位バイト(\$00~\$01)を設定します。(「フラッシュメモリ書き込み」のH.を参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のB.を参照)
 4. データ下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のC.を参照)
- L. データ下位バイト書き込み
- ① BS1をLow(0)にします。これは下位バイト選択です。
 - ② \overline{WR} に負パルスを与えます。これでバイトデータの書き込みが開始されます。RDY/BSYがLow(0)になります。
 - ③ 次バイト書き込みのため、RDY/BSYがHigh(1)になるまで待ちます。

図78. EEPROM書き込みタイミング



設定された指令とアドレスはプログラム中、保持されます。効率的なプログラミングを行うには次の点が考慮されるべきです。

- 複数のメモリ位置を読み書きする時に指令は一度の設定だけです。
- アドレス上位バイトは、EEPROMの新規256ワード(語)ページのプログラミング前に設定されることだけが必要です。
- チップ消去後のフラッシュメモリとEEPROMの全ての内容は\$FFなので、値\$FFのデータ書き込みは行わないようにします。

これらの考慮はEEPROM書き込みと、フラッシュメモリ、EEPROM、識別バイトの読み出しでも適用されます。

フラッシュメモリ読み出し

フラッシュメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. フラッシュメモリ読み出し指令\$02(0000 0010)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
 2. アドレス上位バイト(\$00~\$1F)を設定します。(「フラッシュメモリ書き込み」のH.を参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のB.を参照)
- ① BS1をLow(0)、 \overline{OE} をLow(0)にします。これでフラッシュメモリの語(ワード)の下位バイトがDATAに読み出されます。
 - ② BS1をHigh(1)にします。これでフラッシュメモリの語(ワード)の上位バイトがDATAに読み出されます。
 - ③ \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

EEPROM読み出し

EEPROMメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. EEPROM読み出し指令\$03(0000 0011)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
 2. アドレス上位バイト(\$00~\$01)を設定します。(「フラッシュメモリ書き込み」のH.を参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のB.を参照)
- ① BS1をLow(0)、 \overline{OE} をLow(0)にします。これでEEPROMメモリのバイトデータがDATAに読み出されます。
 - ② \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

ヒューズビット書き込み

ヒューズビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュメモリ書き込み」のC.を参照)

ビット6	BOOTRST ヒューズビット	ビット2	CKSEL2 ヒューズビット
ビット5	SPIEN ヒューズビット	ビット1	CKSEL1 ヒューズビット
ビット4	SUT ヒューズビット	ビット0	CKSEL0 ヒューズビット
ビット7,3	1 (これらのビットは予約されており、非プログラム(1)のままとすべきです。)		

- ① \overline{WR} に負パルスを与え、RDY/ \overline{BSY} がHighになるのを待ちます。

施錠ビット書き込み

施錠ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=無変化(状態維持)です。(「フラッシュメモリ書き込み」のC.を参照)

ビット5	ブート施錠ビット12 (BLB12)	ビット2	ブート施錠ビット01 (BLB01)
ビット4	ブート施錠ビット11 (BLB11)	ビット1	施錠ビット2 (LB2)
ビット3	ブート施錠ビット02 (BLB02)	ビット0	施錠ビット1 (LB1)
ビット7,6	1 (これらのビットは予約されており、非プログラム(1)のままとすべきです。)		

3. データ下位バイトを書き込みます。(「EEPROM書き込み」のL.を参照)

施錠ビットはチップ消去の実行によってのみ消去(1)できます。

ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法を次に示します。(指令設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュメモリ書き込み」のA.を参照)

- ① BS1を下表で示すように設定し、 \overline{OE} をLow(0)にします。これでヒューズビットと施錠ビットの状態がDATAに読み出されます。(読み出し値0はプログラムの意味です。)

ビット	BS1=Low(0)	BS1=High(1)
7		
6	BOOTRST ヒューズビット	
5	SPIEN ヒューズビット	ブート施錠ビット12 (BLB12)
4	SUT ヒューズビット	ブート施錠ビット11 (BLB11)
3		ブート施錠ビット02 (BLB02)
2	CKSEL2 ヒューズビット	ブート施錠ビット01 (BLB01)
1	CKSEL1 ヒューズビット	施錠ビット2 (LB2)
0	CKSEL0 ヒューズビット	施錠ビット1 (LB1)

- ② \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

識票バイト読み出し

識票バイトの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 識票バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. アドレス下位バイト(\$00~\$02)を設定します。(「フラッシュメモリ書き込み」のB.を参照)

- ① BS1をLow(0)、 \overline{OE} をLow(0)にします。これで識票バイトがDATAに読み出されます。

- ② \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

並列プログラミング特性

図79. 並列プログラミング タイミング

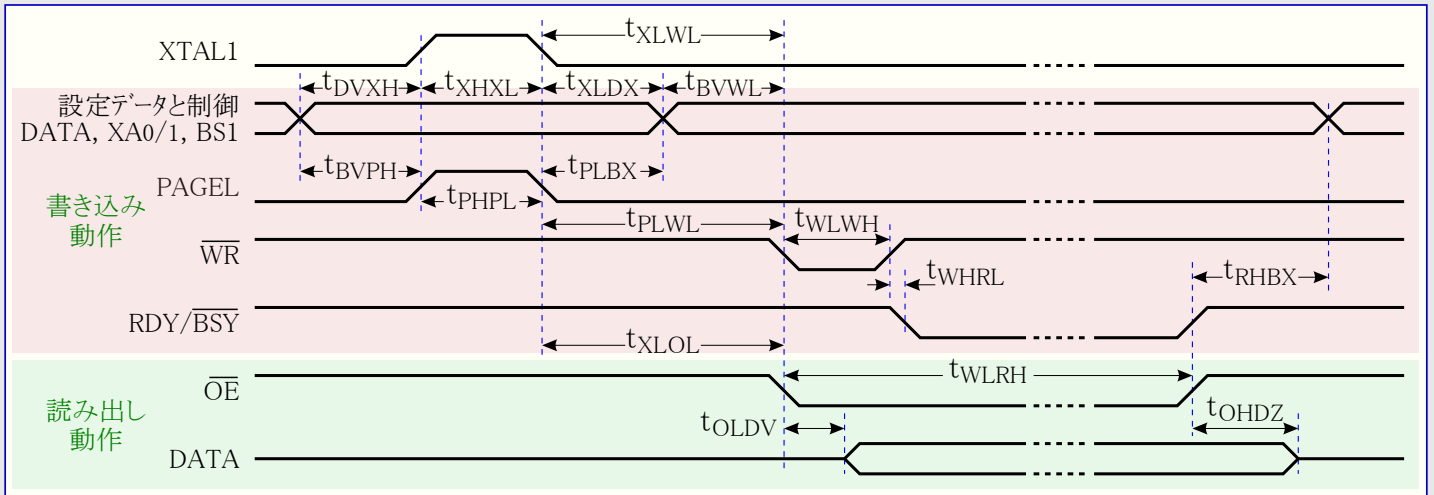


表45. 並列プログラミング特性 (TA=25°C ±10%, VCC=5V ±10%)

シンボル	項目	最小	代表	最大	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
tDVXH	XTAL1に対するデータと制御の準備時間	67			ns
tXHXL	XTAL1パルス幅	67			
tXLDX	XTAL1に対するデータと制御の保持時間	67			
tXLWL	XTAL1パルスの↓に対するWR↓待機時間	67			
tBVPH	PAGESパルス↑に対するBS1準備時間	67			
tPHPL	PAGESパルス幅	67			
tPLBX	PAGES↓後のBS1保持時間	67			
tPLWL	PAGESパルスの↓に対するWR↓待機時間	67			
tBVWL	BS1(有効から)に対するWR↓待機時間	67			
tRHBX	RDY/BSY↑後のBS1保持時間	67			
tWLWH	WRパルス幅	67			
tWHRL	WRパルス↑後のRDY/BSY↓遅延時間	0		2.5	
tWLRH	書き込み時間 (WR↓からRDY/BSY↑) (注1)	1		1.7	ms
tWLRH_CE	チップ消去時間 (WR↓からRDY/BSY↑) (注2)	16		28	
tWLRH_FLASH	フラッシュメモリ書き込み時間 (WR↓からRDY/BSY↑) (注3)	8		14	
tXLCL	XTAL1パルスの↓に対するOE↓待機時間	67			ns
tOLDV	OE↓に対するデータ出力遅延時間		20		
tOHDZ	OE↑に対するHi-Z遅延時間			20	

注1: tWLRHはEEPROM、ヒューズビット、施錠ビット書き込みに対して有効です。

注2: tWLRH_CEはチップ消去指令に対して有効です。

注3: tWLRH_FLASHはフラッシュメモリ書き込み指令に対して有効です。

直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間に直列SPIバスを使ってプログラミングできます。この直列インターフェースはSCK入力、MOSI入力、MISO出力ピンで構成されます。RESETをLowレベルに設定後、プログラムや消去命令が実行される前に**プログラミング許可命令**が最初に実行されなければなりません。

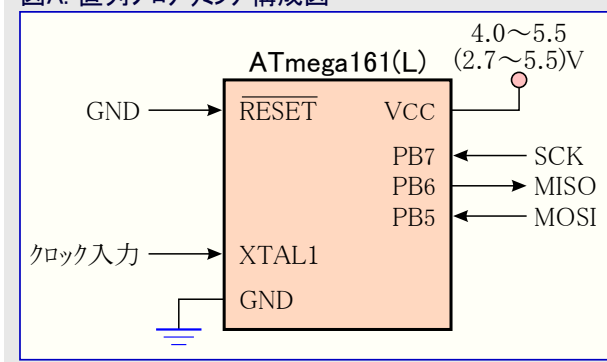
EEPROM書き込み時、自己タイミングによる**書き込み命令**内で先行して自動消去周期が提供される(直列プログラミングのみ)ので、最初に**チップ消去命令**を実行する必要はありません。チップ消去命令はフラッシュメモリとEEPROMの全ての内容を\$FFにします。

フラッシュメモリとEEPROMはプログラム用フラッシュメモリが\$0000～\$1FFF、データ用EEPROMメモリが\$0000～\$01FFの分離されたアドレス空間を持ちます。

XTAL1とXTAL2ピン間にXtalを接続するか、XTAL1ピンに外部クロックを供給するかのどちらかが必要です。直列クロック(SCK)のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 > 2 XTAL1 クロック周期
High区間 > 2 XTAL1 クロック周期

図A. 直列プログラミング構成図



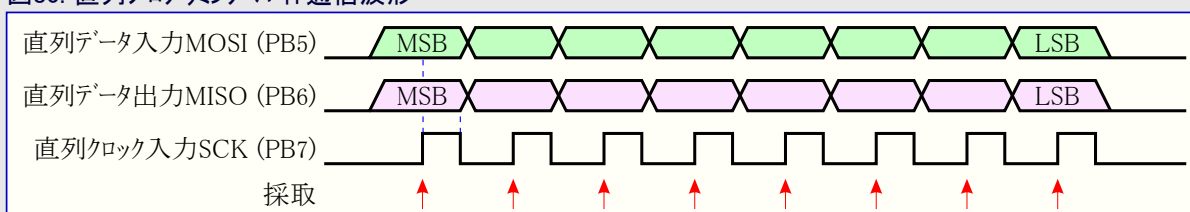
直列プログラミング手順

ATmega161に直列データを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細タイミングについては図80、図81、表49をご覧ください。

直列プログラミング動作でのATmega161のプログラミングと検証は次の手順が推奨されます。(4バイトの命令形式は表48を参照)

- 次の手順で電源を投入します。
RESETとSCKがLow(0)に設定されている間に、VCCとGND間へ電源を供給します。XTAL1とXTAL2ピン間にXtalが接続されていない場合、XTAL1ピンにクロック信号を供給します。いくつかのシステムに於いて、電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETには最低XTAL1周期幅2つ分の正パルスを与えられなければなりません。
- 最低20ms待機し、MOSI(PB5)ピンに**プログラミング許可命令**を送ることによって直列プログラミングを可能にします。
- 通信の同期が外れていると、直列プログラミング命令が動作しません。同期しているとき、プログラム許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが成功か失敗かによらず、命令の4バイト全てが送信されなければなりません。戻りが\$53でなかった場合、SCKに正パルスを与え、新規プログラミング許可命令を行います。
- チップ消去が実行される場合(フラッシュメモリの消去のために実行が必要)、その後RESETに正パルスを与え、手順2.からを行います。
- フラッシュメモリは一度に1ページが書き込まれます。このメモリページは**ページ設定命令**と共にアドレスの下位6+1ビットとデータを供給することによって1バイト単位で設定します。アドレスの上位7ビットを含む**ページ書き込み命令**でページ内容がフラッシュメモリに書き込まれます。ポーリングが使われない場合、次ページを行う前に最低tWD_FLASH(表46.参照)時間待たなければなりません。フラッシュメモリ書き込み動作完了前の直列プログラミングインターフェースのアクセスは不正な書き込み結果になります。
- EEPROMは適切な**書き込み命令**内でアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMメモリ位置は新規(今回)データが書かれる前に最初で自動消去されます。ポーリングが使われない場合、次バイトを行う前に最低tWD_EEPROM(表46.参照)時間待たなければなりません。消去されているデバイスでは\$FFのデータを書く必要がありません。
- 何れのメモリ位置も、選ばれたアドレスの内容を直列出力MISO(PB6)ピンに読み戻す、**読み出し命令**の使用で検証ができます。
- プログラミング終了時、通常動作とするためには、RESETをHigh(1)に設定します。
- 電源OFF手順 (必要な場合)
 - ・ クリスタルが使われない場合は、XTAL1をLow(0)にします。
 - ・ RESETをHigh(1)にします。
 - ・ VCC電源をOFFにします。

図80. 直列プログラミングバイト通信波形



フラッシュメモリのデータポーリング

フラッシュメモリ内にページが書かれつつある時に書かれているページ内のアドレス位置を読むと、値\$FFが得られます。書かれた値が正しく読めると同時に、デバイスは新規ページの準備が整います。これは次ページが書ける時を決めるのに使われます。ページ全体が同時に書かれ、ページ内のどのアドレスもがポーリングに使えることに留意してください。フラッシュメモリのデータポーリングは値\$FFについては行えないので、この値を書く時は次ページ書き込み前に最低tWD_FLASH待たなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。tWD_FLASH値については表46をご覧ください。

EEPROMのデータポーリング

新規バイトが書かれてEEPROM内で書かれつつある時に書かれているアドレス位置を読むと、値\$FFが得られます。書かれた値が正しく読めると同時に、デバイスは新規バイトの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値\$FFについては行えませんが、次のことに留意すべきです。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。これはデバイスをチップ消去しないでEEPROMが再書き込みされる場合、適用されません。この場合、値\$FFについてデータポーリングは使えず、次バイト書き込み前に最低tWD_EEPROM待たなければなりません。tWD_EEPROM値については表46をご覧ください。

表46. フラッシュメモリ、EEPROM書き込み命令後の最小待機時間

シンボル	最小	シンボル	最小
tWD_FLASH	14ms	tWD_EEPROM	3.4ms

表47. チップ消去命令後の最小待機時間

シンボル	最小
tWD_ERASE	28ms

表48. 直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリとEEPROMを消去します。
フラッシュメモリ読み出し	0010 P000	xxxH HHHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
ページ緩衝部設定	0100 P000	xxxx xxxx	xxLL LLLL	WWWW WWWW	緩衝部アドレスLのP(H/L)バイトに書き込みます。
フラッシュページ書き込み	0100 1100	xxxH HHHH	LLxx xxxx	xxxx xxxx	アドレスH:Lのページに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxH	LLLL LLLL	RRRR RRRR	アドレスH:Lのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxH	LLLL LLLL	WWWW WWWW	アドレスH:Lのバイトに書き込みます。
施錠ビット読み出し	0101 1000	xxxx xxxx	xxxx xxxx	xx65 4321	施錠ビットを読み出します。
施錠ビット書き込み	1010 1100	111x xxxx	xxxx xxxx	1165 4321	施錠ビットを書き込みます。
ヒューズビット読み出し	0101 0000	xxxx xxxx	xxxx xxxx	xCBA 1987	ヒューズビットを読み出します。
ヒューズビット書き込み	1010 1100	101x xxxx	xxxx xxxx	xC1A 1987	ヒューズビットに書き込みます。
識票バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。

H = アドレス上位バイトのビット	1 = 施錠ビット1 (LB1)	5 = ブート施錠ビット11 (BLB11)	9 = CKSEL2 ヒューズビット
L = アドレス下位バイトのビット	2 = 施錠ビット2 (LB2)	6 = ブート施錠ビット12 (BLB12)	A = SUT ヒューズビット
P = 0=下位バイト、1=上位バイト	3 = ブート施錠ビット01 (BLB01)	7 = CKSEL0 ヒューズビット	B = SPIEN ヒューズビット
R = 読み出しデータ (MCU出力)	4 = ブート施錠ビット02 (BLB02)	8 = CKSEL1 ヒューズビット	C = BOOTRST ヒューズビット
W = 書き込みデータ (MCU入力)	x = 0または1 (無意味/不定)		

直列プログラミング特性

図81. 直列プログラミング タイミング

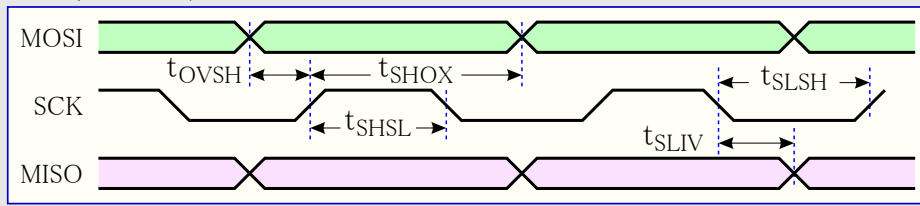


表49. 直列プログラミング特性 (特記条件を除いて、TA=-40°C~85°C, VCC=2.7~5.5V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	2.7~5.5V	0	4	MHz
		4.0~5.5V	0	8	
tCLCL	発振器周期	2.7~5.5V	250		ns
		4.0~5.5V	125		
tSHSL	SCKパルスHレベル幅	2tCLCL			
tSLSH	SCKパルスLレベル幅	2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間	tCLCL			
tSHOX	SCK↑に対するMOSI保持時間	2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間	10	16	32	

電気的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-1.0V ~ VCC+0.5V
RESETピン許容電圧	-1.0V ~ +13.0V
最大動作電圧	6.6V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=2.7V~5.5V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧	XTAL1を除く	-0.5		0.3VCC (注1)	V
V _{IL1}	Lowレベル入力電圧	XTAL1	-0.5		0.2VCC (注1)	
V _{IH}	Highレベル入力電圧	XTAL1, RESETを除く	0.6VCC (注2)		VCC+0.5	
V _{IH1}	Highレベル入力電圧	XTAL1	0.8VCC (注2)		VCC+0.5	
V _{IH2}	Highレベル入力電圧	RESET	0.9VCC (注2)		VCC+0.5	
V _{OL}	Lレベル出力電圧(ポートA,B,C,D)(注3)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	
V _{OH}	Hレベル出力電圧(ポートA,B,C,D)(注4)	IOH=-3mA, VCC=5V	4.2			
		IOH=-1.5mA, VCC=3V	2.3			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V			8.0	
I _{IH}	I/OピンHighレベル入力漏れ電流	(確実なH/L範囲)			980	nA
R _{RST}	RESETピンプルアップ抵抗		100		500	kΩ
R _{I/O}	I/Oピンプルアップ抵抗		35		120	
I _{CC}	活動動作消費電流	VCC=3V, 4MHz			3.0	mA
	アイドル動作消費電流				1.2	
	パワーダウン動作消費電流 (注5)	VCC=3V, WDT有効		9.0	15.0	μA
	VCC=3V, WDT禁止		<1.0	2.0		
V _{ACIO}	アナログ比較器入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2			40	mV
I _{ACLK}	アナログ比較器入力漏れ電流			-50		50
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いては検査条件(VCC=5Vで20mA, VCC=3Vで10mA)より多くの吸い込み電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOLの合計が200mAを超えるべきではありません。
2. ポートB0~B7, D0~D7とXTAL2のIOLの合計が100mAを超えるべきではありません。
3. ポートA0~A7, C0~C7, OC1B, ALEのIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いては検査条件(VCC=5Vで3mA, VCC=3Vで1.5mA)より多くの吐き出し電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOHの合計が200mAを超えるべきではありません。
2. ポートB0~B7, D0~D7とXTAL2のIOHの合計が100mAを超えるべきではありません。
3. ポートA0~A7, C0~C7, OC1B, ALEのIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きな吐き出し電流を流すことは保証されません。

注5: パワーダウン動作時の最小電源電圧(VCC)は2.0Vです。

外部クロック特性

図82. 外部クロック

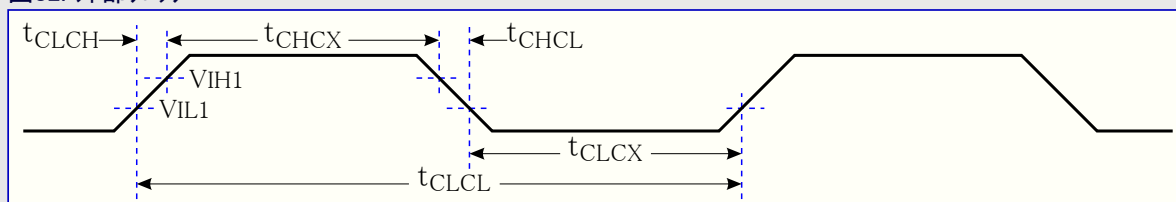


表50. 外部クロック特性

シンボル	項目	VCC=2.7V~5.5V		VCC=4.0V~5.5V		単位
		最小	最大	最小	最大	
$1/t_{CLCL}$	クロック周波数	0	4	0	8	MHz
t_{CLCL}	クロック周期	250		125		ns
t_{CHCX}	Highレベル時間	100		50		
t_{CLCX}	Lowレベル時間	100		50		
t_{CLCH}	上昇時間		1.6		0.5	μ s
t_{CHCL}	下降時間		1.6		0.5	

注: 外部データメモリのタイミングにデューティサイクルがどう影響するかの記述については「外部メモリタイミング」をご覧ください。

外部メモリ タイミング特性

表51. 外部データメモリ特性 (VCC=4.0V~5.5V、待ちなし)

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	8.0		MHz
1	tLHLL	ALE Highパルス幅	95		1.0tCLCL-30			ns
2	tAVLL	ALE↓前 下位アドレス準備時間	22.5		0.5tCLCL-40		1	
3A	tLLAX,ST	ライト時 ALE↓後 下位アドレス保持時間	10		10			
3B	tLLAX,LD	リード時 ALE↓後 下位アドレス保持時間	15		15			
4	tAVLLC	ALE↓前 上位アドレス準備時間	22.5		0.5tCLCL-40		1	
5	tAVRL	リード時 RD↓前 下位アドレス有効時間	95		1.0tCLCL-30			
6	tAVWL	ライト時 WR↓前 下位アドレス有効時間	95		1.0tCLCL-30			
7	tLLWL	ALE↓後 WR↓遅延時間	42.5	145	0.5tCLCL-20	0.5tCLCL+20	2	
8	tLLRL	ALE↓後 RD↓遅延時間	42.5	145	0.5tCLCL-20	0.5tCLCL+20	2	
9	tDVRH	RD↑前 データ準備時間	60		60			
10	tRLDV	RD↓後 データ出力遅延時間		65		65		
11	tRHDX	RD↑後 データ保持時間	0		0			
12	tRLRH	RD Lowパルス幅	105		1.0tCLCL-20			
13	tOVWL	WR↓前 データ準備時間	27.5		0.5tCLCL-35		1	
14	tWHDX	WR↑後 データ保持時間	27.5		0.5tCLCL-35		1	
15	tDVWH	WR↑前 データ有効時間	95		1.0tCLCL-30			
16	tWLWH	WR Lowパルス幅	105		1.0tCLCL-20			

注1: 一般式の定数はデューティサイクル=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティサイクル=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

表52. 外部データメモリ特性 (VCC=4.0V~5.5V、SRWn1=0, SRWn0=1 (1待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	8.0		MHz
10	tRLDV	RD↓後 データ出力遅延時間		185		2.0tCLCL-65		ns
12	tRLRH	RD Lowパルス幅	230		2.0tCLCL-20			
15	tDVWH	WR↑前 データ有効時間	220		2.0tCLCL-30			
16	tWLWH	WR Lowパルス幅	230		2.0tCLCL-20			

表53. 外部データメモリ特性 (VCC=4.0V~5.5V、SRWn1=1, SRWn0=0 (2待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	8.0		MHz
10	tRLDV	RD↓後 データ出力遅延時間		310		3.0tCLCL-65		ns
12	tRLRH	RD Lowパルス幅	355		3.0tCLCL-20			
15	tDVWH	WR↑前 データ有効時間	345		3.0tCLCL-30			
16	tWLWH	WR Lowパルス幅	355		3.0tCLCL-20			

表54. 外部データメモリ特性 (VCC=4.0V~5.5V、SRWn1=1, SRWn0=1 (2&1待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	8.0		MHz
10	tRLDV	RD↓後 データ出力遅延時間		310		3.0tCLCL-65		ns
12	tRLRH	RD Lowパルス幅	355		3.0tCLCL-20			
14	tWHDX	WR↑後 データ保持時間	152.5		1.5tCLCL-35			
15	tDVWH	WR↑前 データ有効時間	345		3.0tCLCL-30			
16	tWLWH	WR Lowパルス幅	355		3.0tCLCL-20			

表55. 外部データメモリ特性 (VCC=2.7V~5.5V、待ちなし)

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	4.0		MHz
1	tLHLL	ALE Highパルス幅	195		1.0tCLCL-55			ns
2	tAVLL	ALE↓前 下位アドレス準備時間	60		0.5tCLCL-65		1	
3A	tLLAX,ST	ライト時 ALE↓後 下位アドレス保持時間	10		10			
3B	tLLAX,LD	リード時 ALE↓後 下位アドレス保持時間	15		15			
4	tAVLLC	ALE↓前 上位アドレス準備時間	60		0.5tCLCL-65		1	
5	tAVRL	リード時RD↓前 下位アドレス有効時間	200		1.0tCLCL-50			
6	tAVWL	ライト時WR↓前 下位アドレス有効時間	200		1.0tCLCL-50			
7	tLLWL	ALE↓後 WR↓遅延時間	105	145	0.5tCLCL-20	0.5tCLCL+20	2	
8	tLLRL	ALE↓後 RD↓遅延時間	105	145	0.5tCLCL-20	0.5tCLCL+20	2	
9	tDVRH	RD↑前 データ準備時間	95		95			
10	tRLDV	RD↓後 データ出力遅延時間		165		165		
11	tRHDX	RD↑後 データ保持時間	0		0			
12	tRLRH	RD Lowパルス幅	230		1.0tCLCL-20			
13	tOVWL	WR↓前 データ準備時間	70		0.5tCLCL-55		1	
14	tWHDX	WR↑後 データ保持時間	125		0.5tCLCL-0		1	
15	tDVWH	WR↑前 データ有効時間	210		1.0tCLCL-40			
16	tWLWH	WR Lowパルス幅	230		1.0tCLCL-20			

注1: 一般式の定数はデューティサイクル=50%(XTAL1の外部クロックのHigh時間は半周期)と仮定した値です。

注2: 一般式の定数はデューティサイクル=50%(XTAL1の外部クロックのLow時間は半周期)と仮定した値です。

表56. 外部データメモリ特性 (VCC=2.7V~5.5V、SRWn1=0, SRWn0=1 (1待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	4.0		MHz
10	tRLDV	RD↓後 データ出力遅延時間		335		2.0tCLCL-165		ns
12	tRLRH	RD Lowパルス幅	480		2.0tCLCL-20			
15	tDVWH	WR↑前 データ有効時間	460		2.0tCLCL-40			
16	tWLWH	WR Lowパルス幅	480		2.0tCLCL-20			

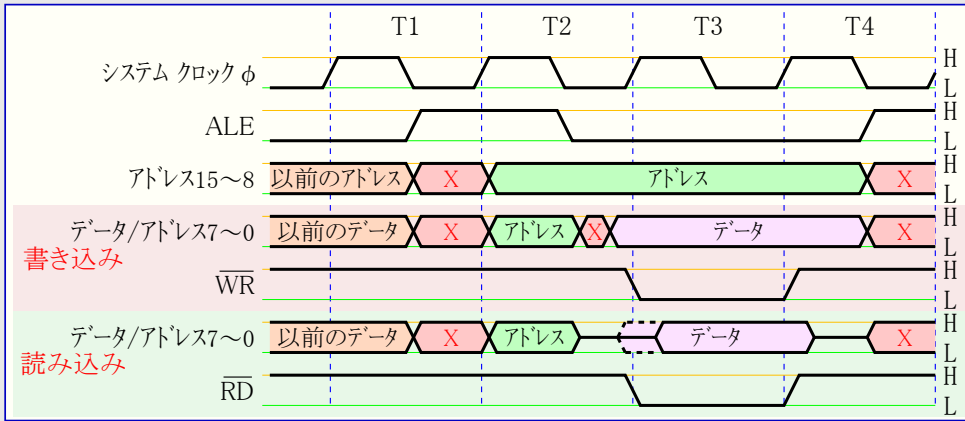
表57. 外部データメモリ特性 (VCC=2.7V~5.5V、SRWn1=1, SRWn0=0 (2待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	4.0		MHz
10	tRLDV	RD↓後 データ出力遅延時間		585		3.0tCLCL-165		ns
12	tRLRH	RD Lowパルス幅	730		3.0tCLCL-20			
15	tDVWH	WR↑前 データ有効時間	710		3.0tCLCL-40			
16	tWLWH	WR Lowパルス幅	730		3.0tCLCL-20			

表58. 外部データメモリ特性 (VCC=2.7V~5.5V、SRWn1=1, SRWn0=1 (2&1待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			最小	最大	最小	最大	注	
0	1/tCLCL	発振器周波数			0.0	4.0		MHz
10	tRLDV	RD↓後 データ出力遅延時間		585		3.0tCLCL-165		ns
12	tRLRH	RD Lowパルス幅	730		3.0tCLCL-20			
14	tWHDX	WR↑後 データ保持時間	375		1.5tCLCL-0			
15	tDVWH	WR↑前 データ有効時間	710		3.0tCLCL-40			
16	tWLWH	WR Lowパルス幅	730		3.0tCLCL-20			

図83. 待ちなし外部データメモリアクセス周期 (SRWn1=0, SRWn0=0) [T1~T3]



共通注意事項

SRWn1とSRWn0はSRW11とSRW10(上位領域)、またはSRW01とSRW00(下位領域)です。

[T1~Tn]は図での命令実行周期範囲です。

Xは値変更区間を示します。

最後の周期のALEは次の命令がRAM(内部または外部)をアクセスする場合のみ存在します。また、最後の周期のアドレスとデータに於ける変更区間の有無も同様です。

図84. 1待ち 外部データメモリアクセス周期 (SRWn1=0, SRWn0=1) [T1~T4]

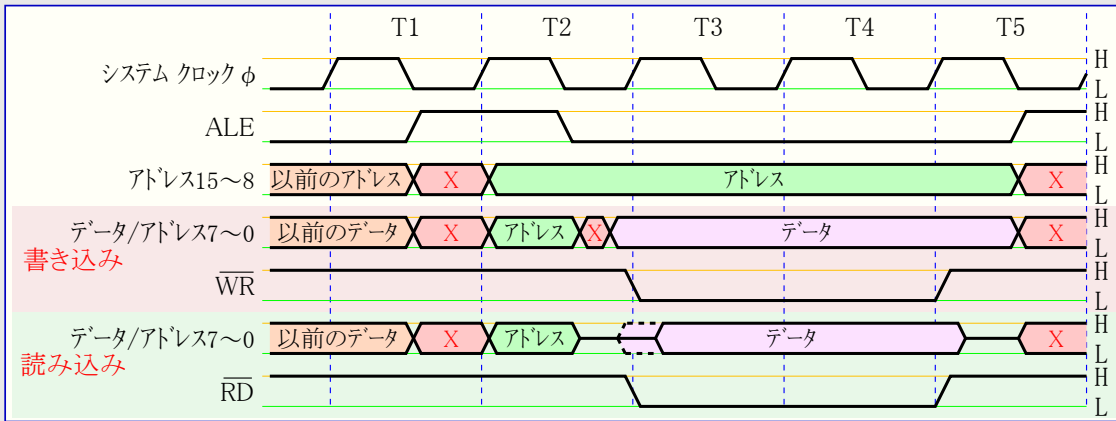


図85. 2待ち 外部データメモリアクセス周期 (SRWn1=1, SRWn0=0) [T1~T5]

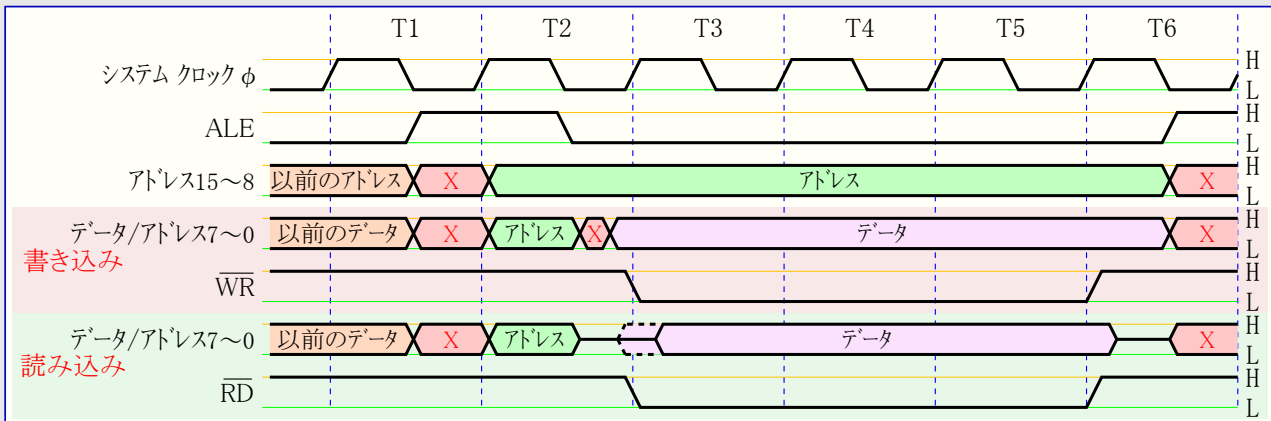
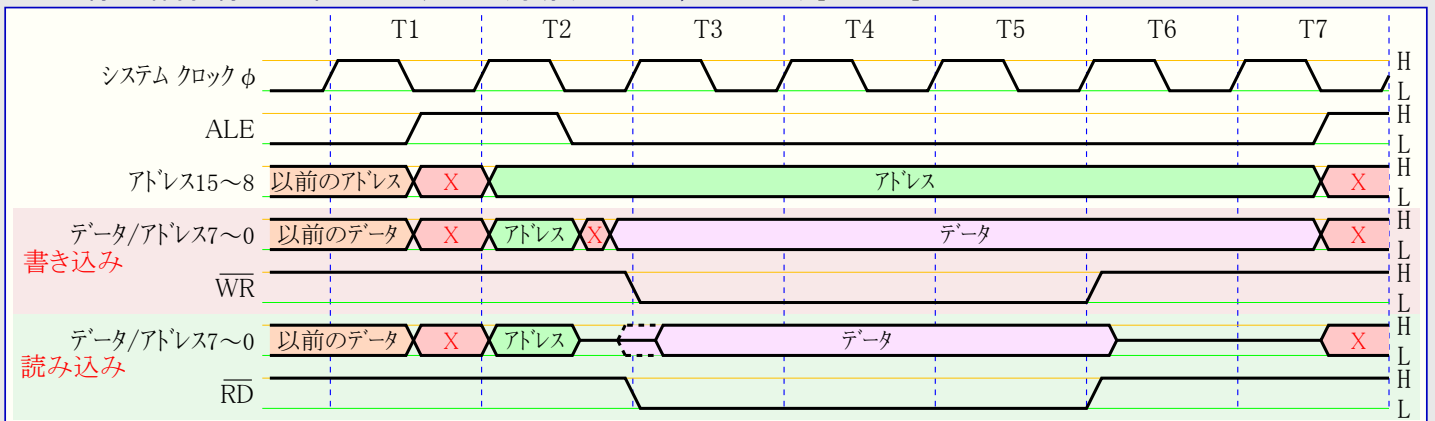
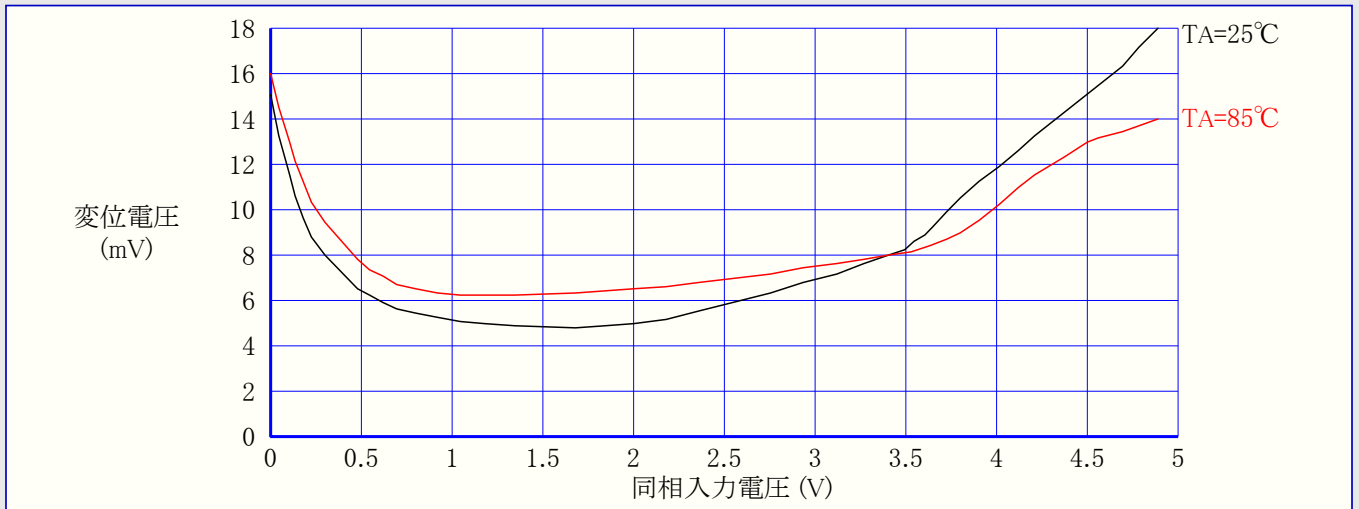


図86. 2待ち+保持1待ち 外部データメモリアクセス周期 (SRWn1=1, SRWn0=1) [T1~T6]



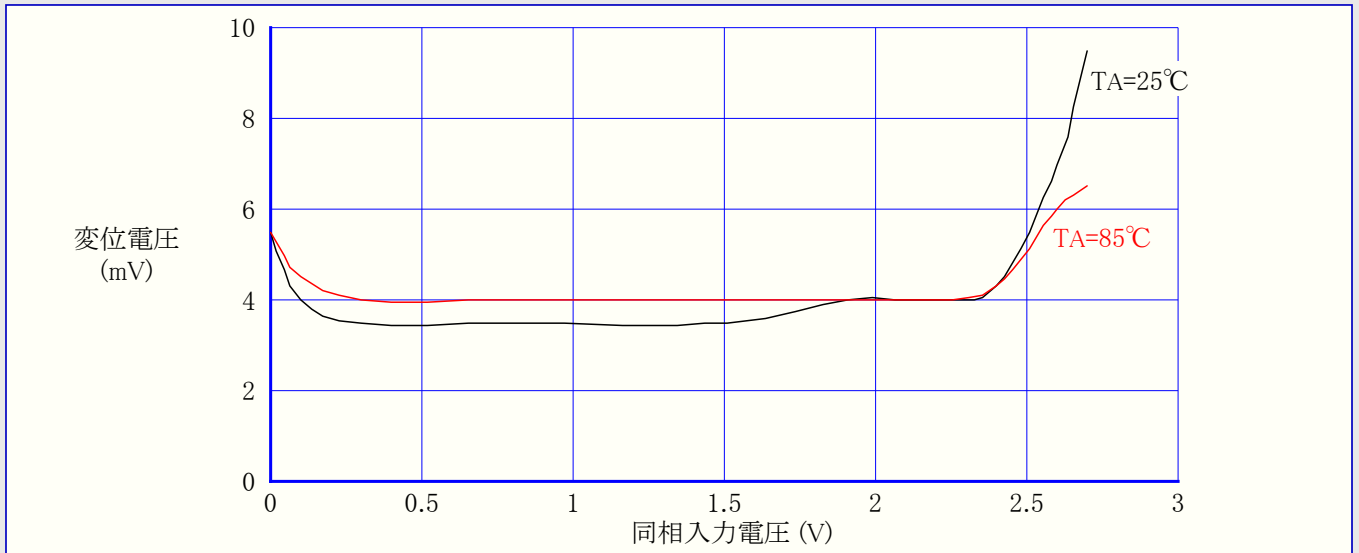
代表特性

図87. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=5V)



注: 変位(オフセット)電圧は絶対値です。

図88. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=2.7V)



注: 変位(オフセット)電圧は絶対値です。

図89. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25°C)

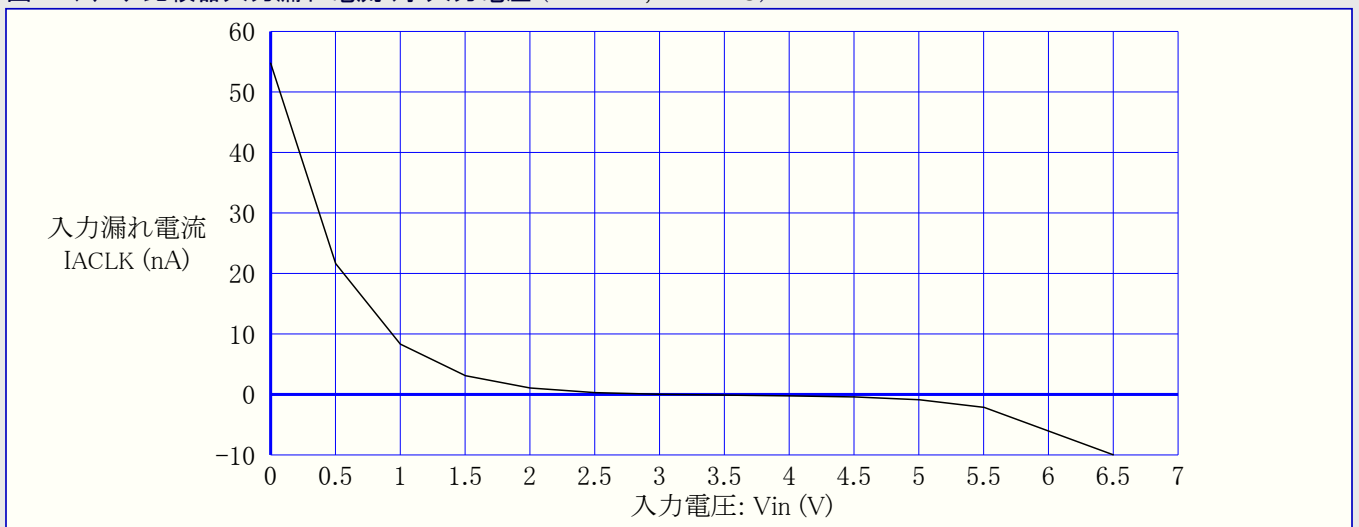


図90. ウォッチドッグ用発振器 発振周波数 対 動作電圧

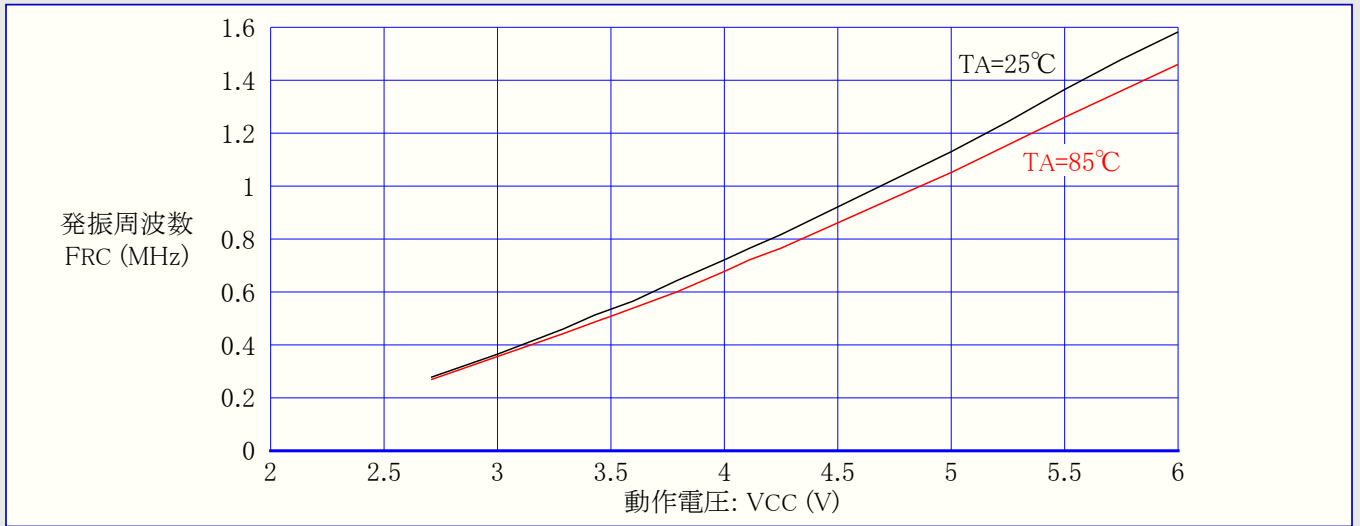
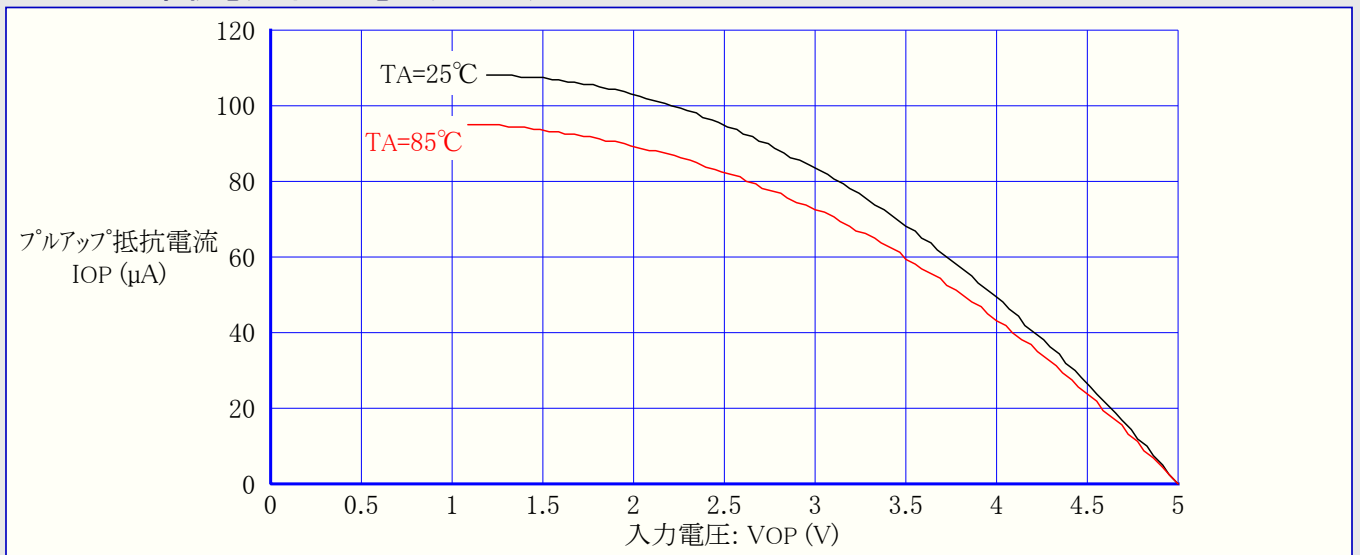
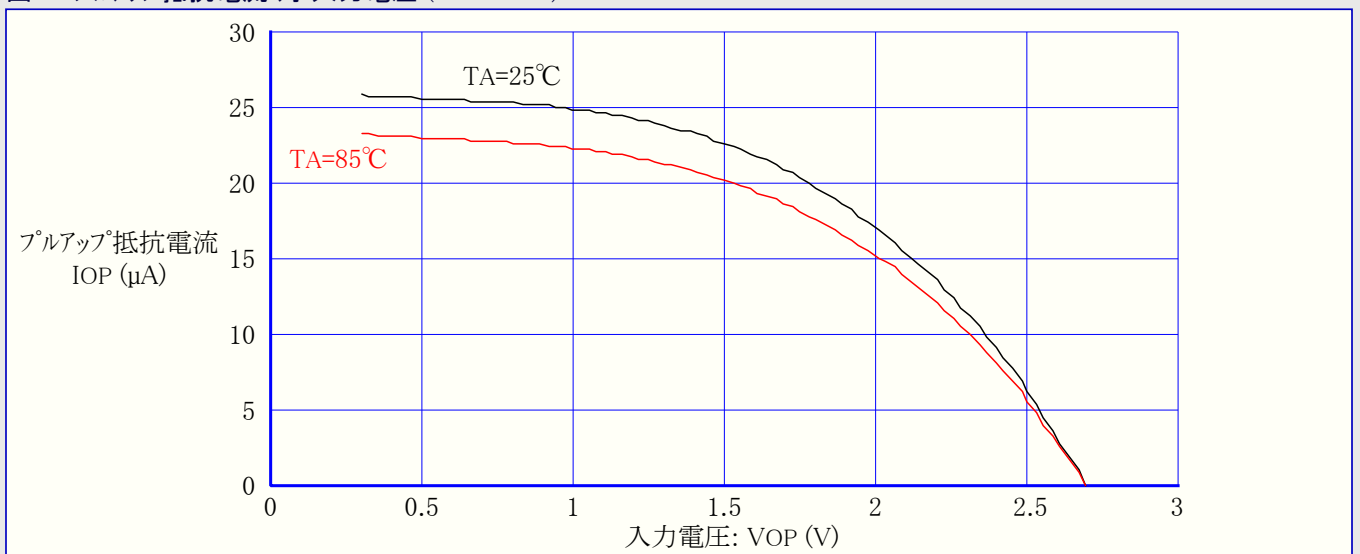


図91. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



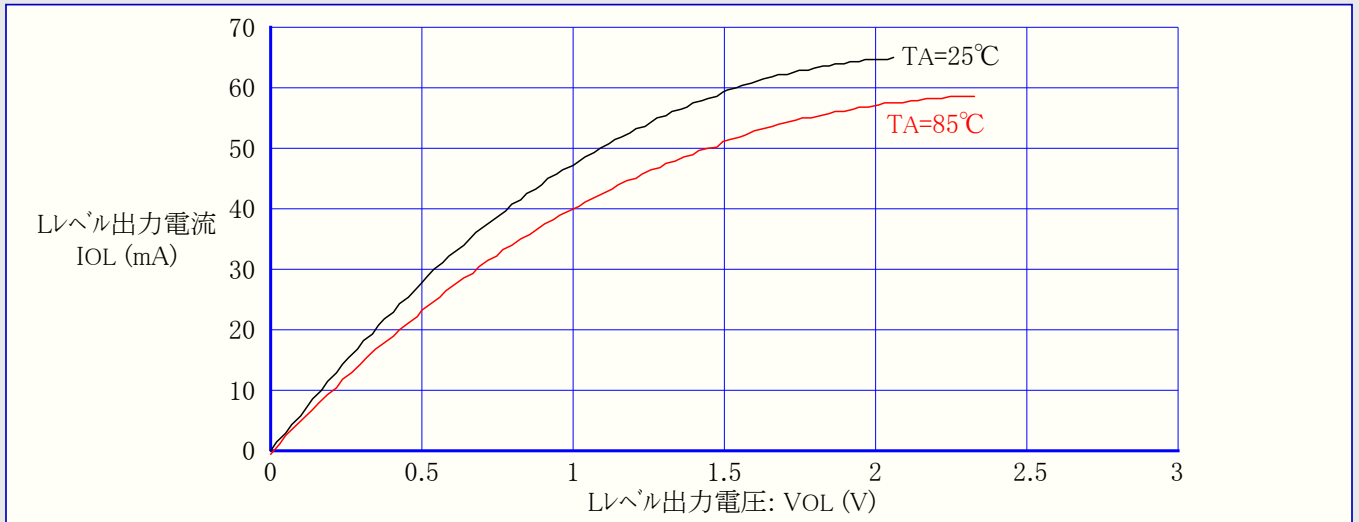
注: 測定は1ピン単位です。

図92. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



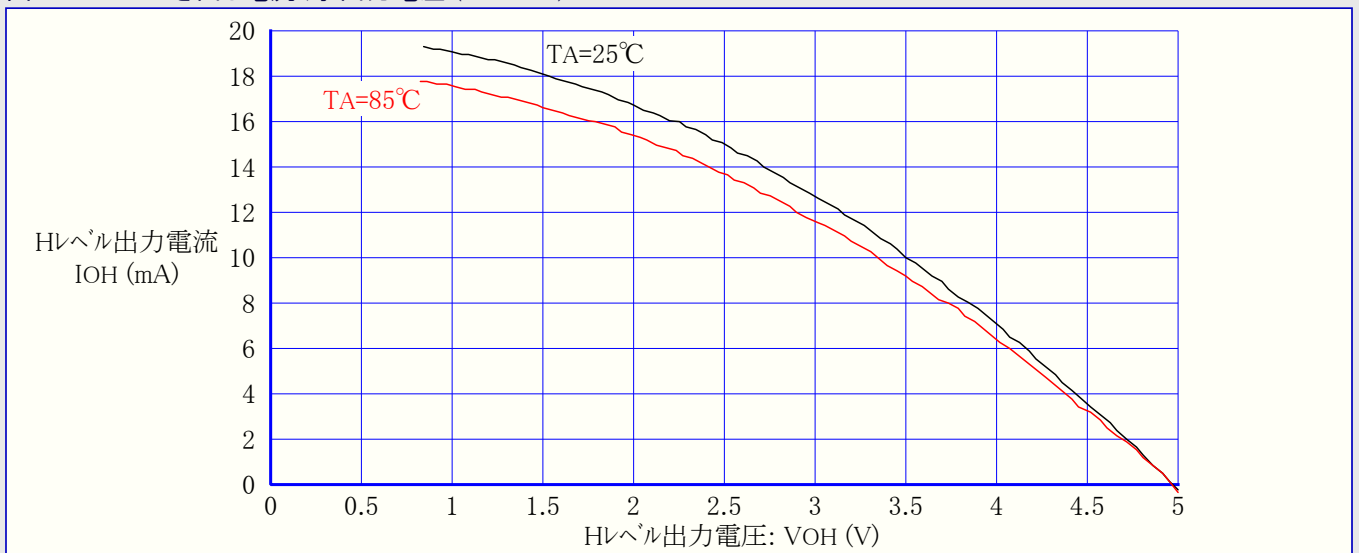
注: 測定は1ピン単位です。

図93. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



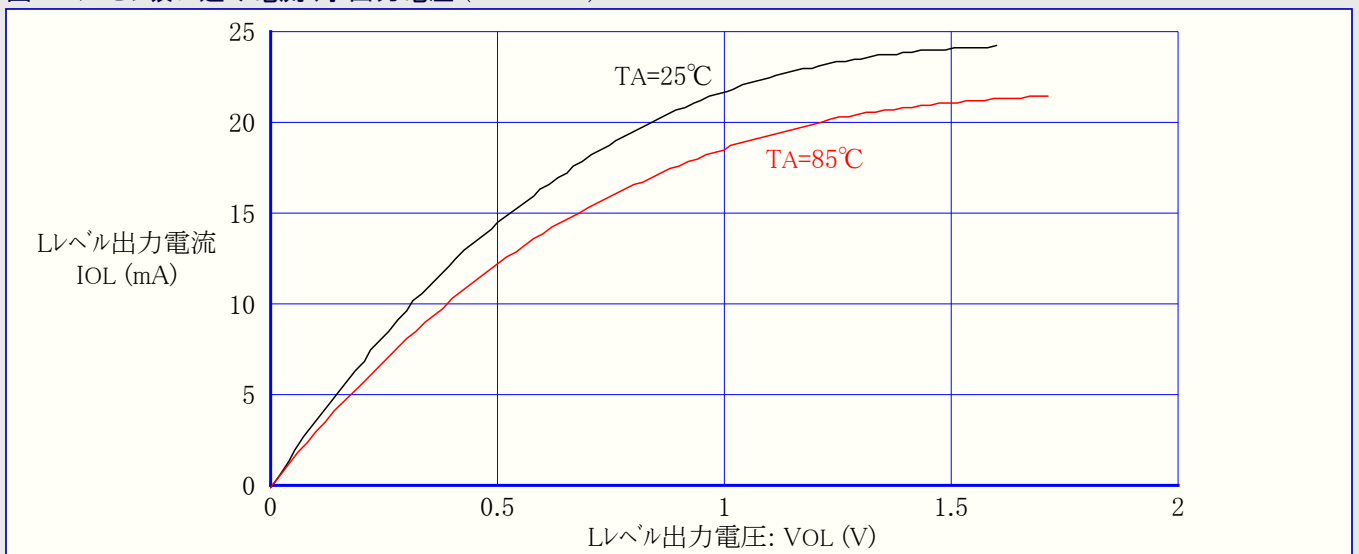
注: 測定は1ピン単位です。

図94. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



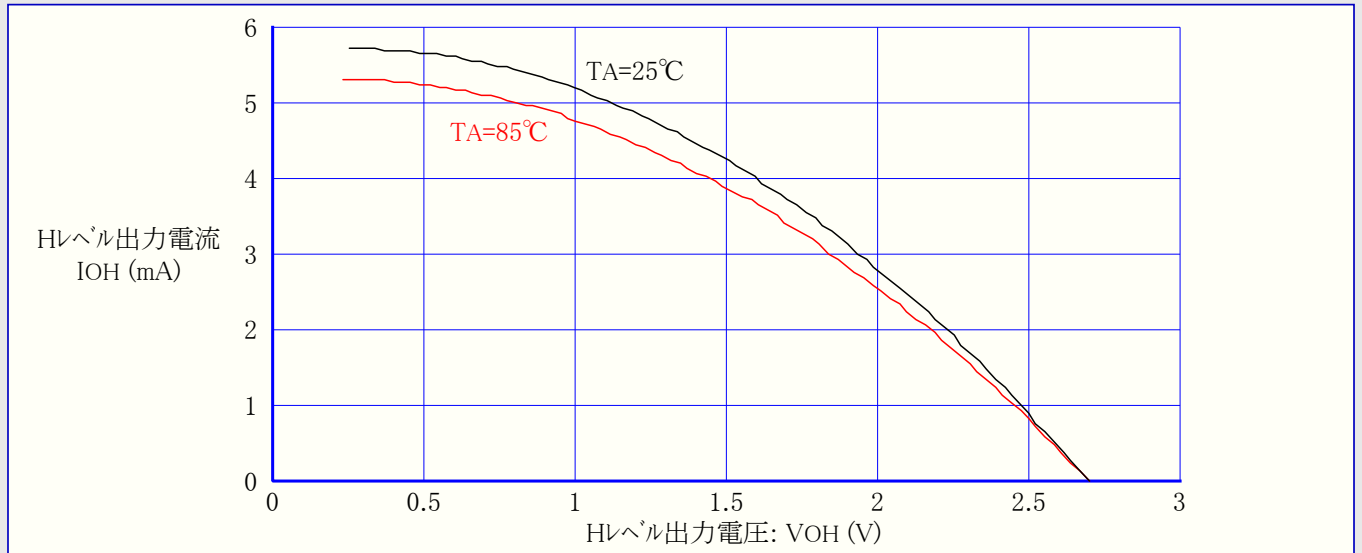
注: 測定は1ピン単位です。

図95. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図96. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図97. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (TA=25°C)

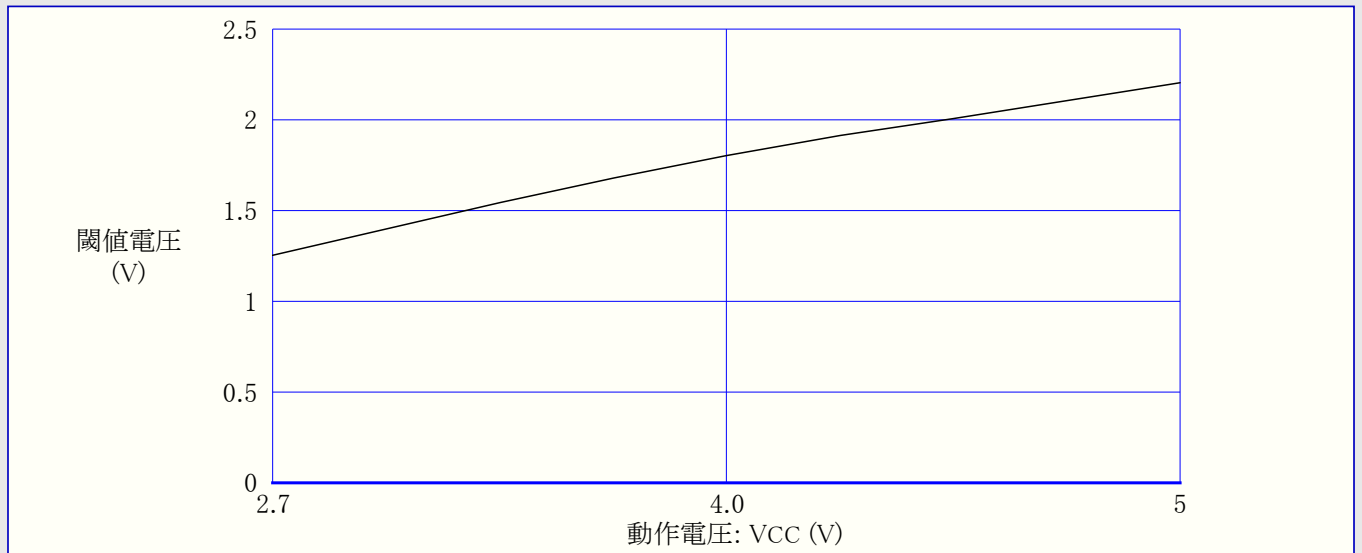
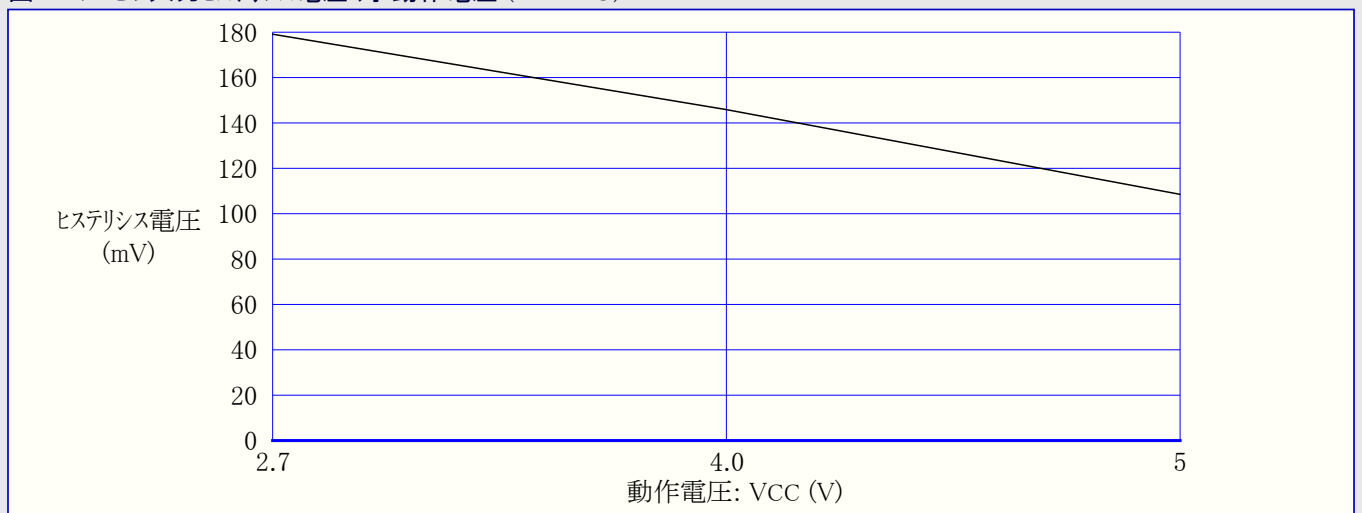


図98. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	12	
\$3E (\$5E)	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	13	
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0		
\$3C (\$5C)	予約										
\$3B (\$5B)	GIMSK	INT1	INT0	INT2	-	-	-	-	-	18	
\$3A (\$5A)	GIFR	INTF1	INTF0	INTF2	-	-	-	-	-	18	
\$39 (\$59)	TIMSK	TOIE1	OCIE1A	OCIE1B	TOIE2	TICIE1	OCIE2	TOIE0	OCIE0	19	
\$38 (\$58)	TIFR	TOV1	OCF1A	OCF1B	TOV2	ICF1	OCF2	TOV0	OCF0	20	
\$37 (\$57)	SPMCR	-	-	-	-	BLBSET	PGWRT	PGERS	SPMEN	78	
\$36 (\$56)	EMUCR	SM0	SRL2	SRL1	SRL0	SRW01	SRW00	SRW11	ISC2	54,22	
\$35 (\$55)	MCUCR	SRE	SRW10	SE	SM1	ISC11	ISC10	ISC01	ISC00	54,21	
\$34 (\$54)	MCUSR	-	-	-	-	WDRF	-	EXTRF	PORF	17	
\$33 (\$53)	TCCR0	FOC0	PWM0	COM01	COM00	CTC0	CS02	CS01	CS00	26	
\$32 (\$52)	TCNT0	タイマ/カウンタ0								27	
\$31 (\$51)	OCR0	タイマ/カウンタ0 比較レジスタ								28	
\$30 (\$50)	SFIOR	-	-	-	-	-	-	PSR2	PSR10	24	
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM11	PWM10	33	
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	34	
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 上位バイト								35	
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 下位バイト									
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1 比較レジスタ上位バイト								36	
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1 比較レジスタ下位バイト									
\$29 (\$49)	OCR1BH	タイマ/カウンタ1 比較レジスタ上位バイト								36	
\$28 (\$48)	OCR1BL	タイマ/カウンタ1 比較レジスタ下位バイト									
\$27 (\$47)	TCCR2	FOC2	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20	26	
\$26 (\$46)	ASSR	-	-	-	-	AS2	TCN2UB	OCR2UB	TCR2UB	30	
\$25 (\$45)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト								36	
\$24 (\$44)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト									
\$23 (\$43)	TCNT2	タイマ/カウンタ2								27	
\$22 (\$42)	OCR2	タイマ/カウンタ2 比較レジスタ								28	
\$21 (\$41)	WDTCR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	38	
\$20 (\$40)	UBRRH	UART1 ボーレートレジスタ上位(11~8)				UART0 ボーレートレジスタ上位(11~8)					49
\$1F (\$3F)	EEARH	-	-	-	-	-	-	-	EEAR8	39	
\$1E (\$3E)	EEARL	EEPROM アドレスレジスタ下位バイト (EEAR7~0)									
\$1D (\$3D)	EEDR	EEPROM データレジスタ								39	
\$1C (\$3C)	EEDR	-	-	-	-	EERIE	EEMWE	EWE	EERE	39	
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	57	
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	57	
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	57	
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	59	
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	59	
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	59	
\$15 (\$35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	65	
\$14 (\$34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	65	
\$13 (\$33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	65	
\$12 (\$32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	67	
\$11 (\$31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	67	
\$10 (\$30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	67	
\$0F (\$2F)	SPDR	SPI データレジスタ								42	
\$0E (\$2E)	SPSR	SPIF	WCOL	-	-	-	-	-	SPI2X	43	
\$0D (\$2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	43	
\$0C (\$2C)	UDR0	UART0 データレジスタ								46	
\$0B (\$2B)	UCSR0A	RXC0	TXC0	UDRE0	FE0	OR0	-	U2X0	MPCM0	47	
\$0A (\$2A)	UCSR0B	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	CHR90	RXB80	TXB80	48	
\$09 (\$29)	UBRR0	UART0 ボーレートレジスタ 下位バイト								49	
\$08 (\$28)	ACSR	ACD	AINBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	53	
\$07 (\$27)	PORTE	-	-	-	-	-	PORTE2	PORTE1	PORTE0	73	
\$06 (\$26)	DDRE	-	-	-	-	-	DDE2	DDE1	DDE0	73	
\$05 (\$25)	PINE	-	-	-	-	-	PINE2	PINE1	PINE0	73	
\$04 (\$24)	予約										
\$03 (\$23)	UDR1	UART1 データレジスタ								46	
\$02 (\$22)	UCSR1A	RXC1	TXC1	UDRE1	FE1	OR1	-	U2X1	MPCM1	47	
\$01 (\$21)	UCSR1B	RXCIE1	TXCIE1	UDRIE1	RXEN1	TXEN1	CHR91	RXB81	TXB81	48	
\$00 (\$20)	UBRR1	UART1 ボーレートレジスタ 下位バイト								49	

注: 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリアドレスへは決して書くべきではありません。いくつかの状態フラグは論理1を書くことにより解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00~\$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×U)	I,T,H,S,V,N,Z,C	2
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
CALL	k	絶対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	4
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	SREG(s)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	SREG(s)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	(N EOR V)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	(N EOR V)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	H=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	H=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
 b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LDD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,I,Z,C	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,I,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,I,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,I,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,I,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,I,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	3
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文番号	外囲器	動作範囲
4	2.7~5.5V	ATmega161L-4AC	44A	一般用 (0°C~70°C)
		ATmega161L-4PC	40P6	
		ATmega161L-4AI	44A	工業用 (-40°C~85°C)
		ATmega161L-4PI	40P6	
8	4.0~5.5V	ATmega161-8AC	44A	一般用 (0°C~70°C)
		ATmega161-8PC	40P6	
		ATmega161-8AI	44A	工業用 (-40°C~85°C)
		ATmega161-8PI	40P6	

注: このデバイスにはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄りのAtmel営業所へご連絡ください。

外囲器形式

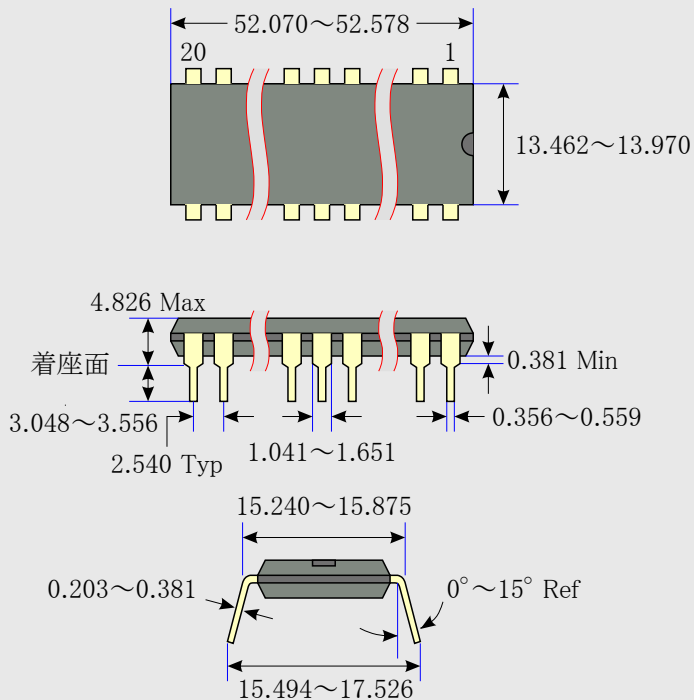
44A	44リード 1.0mm厚 プラスティック4方向平板外囲器 (TQFP)
40P6	40ピン 600mil幅 プラスティック2列直線外囲器 (PDIP)

外囲器情報

40P6

40ピン 600mil幅 プラスティック2列直線外囲器 (PDIP)

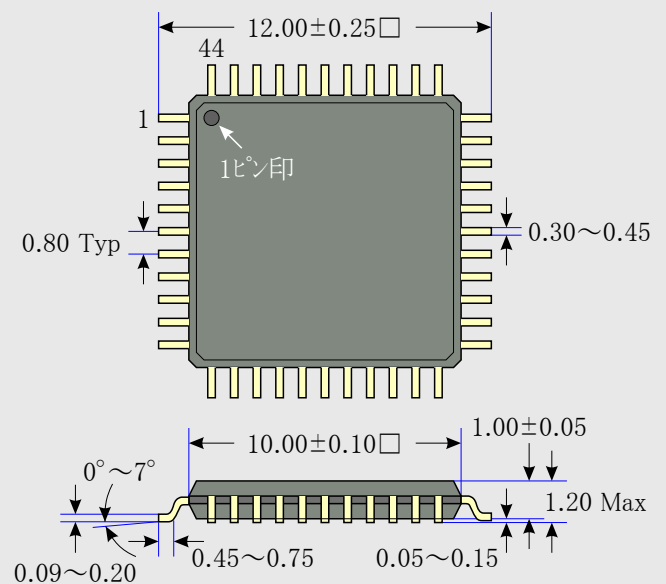
寸法: mm
JEDEC規格 MS-011 AC



44A

44リード 0.8mmピッチ プラスティック4方向平板外囲器 (TQFP)

寸法: mm
JEDEC規格 MS-026 ACB



データシート変更記録

この文書はATmega161についてのデータシート作成の変更記録が含まれます。全ての頁番号は本文書を参照します。

1228B – 2001年9月から1228C – 2002年8月への変更

1. 低電圧検出(BOD)リセットの説明はデータシートから削除されました。

1228C – 2002年8月から1228D – 2007年2月への変更

1. 外圍器図が改訂Aから改訂Bに更新されました。
2. 特徴頁に「新規設計で推奨されない」が書かれました。

障害情報

改訂E

この章の改訂番号はATmega161デバイスの改訂版を参照してください。

- SPM(Store Program Memory)命令の不確実性
- UBRRHI書き込みは、UART0, UART1両方に影響
- スタックポインタが外部メモリを参照する割り込み復帰異常
- 割り込み応答時間の増加
- PWMでの不正な位相
- 低電圧検出(BOD)リセットがリセット状態で停止する原因となる可能性 (参考)

1. SPM(Store Program Memoery)命令の不確実性 (E)

全ての周波数、電圧範囲で、SPM命令が正しく実行されない場合があります。

対策/対処

SPM命令を使わないようにします。

2. UBRRHI書き込みは、UART0, UART1両方に影響 (E)

UBRRHI書き込みはUART0, UART1両方のボーレート発振器を更新します。ボーレート発振器のカウントはUBRRHIまたはどちらかのUBRR書き込み時に更新されます。UBRRHIレジスタがUART0とUART1で共用されているため、一方のUARTボーレート変更は他方のUART動作に影響を与えます。

対策/対処

他方が送受信中はUBRRHI更新を行わないようにします。

3. スタックポインタが外部メモリを参照する割り込み復帰異常 (E)

スタックポインタが外部メモリを示す(SPH:SPL>\$45F)場合の割り込みからの復帰は正しく実行されません。プログラムカウンタが不正な値で更新され、プログラムの流れが不正となります。

対策/対処

スタックポインタが内蔵SRAMを指示するようにするか、スタックポインタが外部メモリを指示している間中は、割り込みを禁止します。

4. 割り込み応答時間の増加 (E)

このデバイスでは、いくつかの命令が割り込み検出を行わないため、割り込み応答が遅れます。現実的な問題としては割り込み待ちの無限繰り返しで、直後が2語命令の場合に発生します。この無限繰り返しが次例のように条件分岐命令、絶対分岐命令、相対分岐命令で自分自身に分岐する場合、割り込みは受け付けられずに固着状態となります。

```
LOOP: RJMP LOOP
      2語命令
```

対策/対処

アセンブリ言語では自分自身への分岐直後にNOP命令を挿入します。通常、この問題は開発中に起こります。C言語では空のforループfor(;;)がこの問題を生成します。この問題を防ぐにはwhile(1)、do{ while(1)を使います。

5. PWMでの不正な位相 (E)

昇降計数器動作(CTC=0)のPWMに於いてOCRx=上限値から上限値未満に変更すると、OCx出力が変化しません。このため、次の周期が不正位相となります。

対策/対処

この問題が応用で実害となるかを確認します。

(訳注) 以下は障害情報(2473B-06/02)で記載され、本章で削除されている項目ですが、低電圧検出(BOD)リセット機能が削除されましたので、本項も無関係になりました。

6. 低電圧検出(BOD)リセットがリセット状態で停止する原因となる可能性 (E)

低電圧検出リセットが許可されていると、VCC電圧と無関係に中断停止する可能性があります。

対策/対処

外部低電圧検出リセットを使うか、内蔵低電圧検出(BOD)リセットを禁止(BODENヒューズを非プログラム(1)のまま)にします。

目次

特徴	1	直列プログラミング	87
ピン配置	1	直列プログラミング特性	89
概要	2	電气的特性	90
構成図	2	絶対最大定格	90
ピン説明	3	DC特性	90
クロック発振器	4	外部クロック特性	91
構造概要	5	外部メモリ インターフェース特性	92
汎用レジスタ ファイル	6	代表特性	95
ALU (Arithmetic Logic Unit)	6	レジスタ要約	99
実装書き換え可能なプログラム用フラッシュメモリ	6	命令要約	100
データ用EEPROMメモリ	6	注文情報	102
内蔵SRAMと外部SRAM	7	外圍器情報	102
プログラム/データ空間に対するアドレス指定種別	8	データシート変更記録	103
メモリアクセスと命令実行タイミング	10	障害情報	104
I/Oレジスタ	11		
リセットと割り込みの扱い	13		
休止形態	23		
内部基準電圧	23		
タイマ/カウンタ	24		
タイマ/カウンタ前置分周器	24		
8ビットタイマ/カウンタ0とタイマ/カウンタ2	25		
16ビットタイマ/カウンタ1	32		
ウォッチドッグ タイマ	38		
EEPROMアクセス	39		
EEPROMデータ化けの防止	40		
SPI (直列周辺インターフェース)	41		
SSピンの機能	42		
データ転送形式	42		
UART0, UART1	44		
データ送信	44		
データ受信	45		
UART制御	46		
ホーレート発生器	49		
倍速転送	51		
アナログ比較器	53		
外部メモリ インターフェース	54		
外部メモリ インターフェースの使用法	56		
入出力ポート	57		
ポートA	57		
ポートB	59		
ポートC	65		
ポートD	67		
ポートE	73		
メモリ自己プログラミング	76		
ブートローダ支援	76		
ブートローダ プログラムへの移行	76		
ブートローダの能力	77		
フラッシュメモリの自己プログラミング	77		
メモリプログラミング	80		
プログラムメモリとデータメモリ用施錠ビット	80		
ヒューズビット	80		
識票バイト	80		
フラッシュメモリとEEPROMのプログラミング	80		
並列プログラミング	81		
並列プログラミング特性	86		



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2007.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。
本書中の製品名などは、一般的に商標です。

© HERO 2022.

本データシートはAtmelのATmega161/161L英語版データシート(改訂1228D-02/07)の翻訳日本語版で、ATmega161/161L改訂E障害情報(改訂2473B-06/02)の内容も参考として含まれています。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。捕獲1などは捕獲などと省略されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。