8ﾋﾞｯﾄ AVR ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ

ATmega164P/V

完全 ﾃﾞｰﾀｼｰﾄ

序説

Atmel® picoPower® ATmega164PはAVR®強化RISC構造に基づく低電力CMOS 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。単一ｸﾛｯｸ周期での強力な命令の実行により、ATmega164PはMHz当たり1 MIPS近くの単位処理量を達成します。これは消費電力対処理速度に対するﾃﾞﾊﾞｲｽの最適化をｼｽﾃﾑ設計者に許します。

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 42742B-08/2016, 42742BJ4-09/2022

特徴

- 高性能、低消費Atmel® AVR® 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ
- 進化したRISC構造
  - 強力な131命令
  - 大多数は1周期実行
  - 32個の1ﾊﾞｲﾄ長汎用ﾚｼﾞｽﾀ
  - 完全なｽﾀﾃｨｯｸ動作
  - 20MHz時、20MIPSに達する高速動作
  - 2周期乗算命令
- 高耐久不揮発性ﾒﾓﾘ部
  - 実装自己書き換え可能な16Kﾊﾞｲﾄ(8K語)ﾌﾗｯｼｭ ﾒﾓﾘ内蔵
  - 512ﾊﾞｲﾄのEEPROM
  - 1Kﾊﾞｲﾄの内蔵SRAM
  - 書き換え回数: 10,000/ﾌﾗｯｼｭ, 100,000/EEPROM
  - ﾃﾞｰﾀ保持力: 20年/85℃, 100年/25℃
  - 個別施錠ﾋﾞｯﾄを持つ任意のﾌﾞｰﾄ ｺｰﾄﾞ領域
    - ﾁｯﾌﾟ内ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑによる実装書き換え
    - 真の書き込み中の読み出し動作
  - ｿﾌﾄｳｪｱ保護用の設定可能な施錠機能
- Atmel® QTouch® ﾗｲﾌﾞﾗﾘ支援
  - 容量性接触釦、滑動部、輪
  - QTouchとQMatrix®での取得
  - 最大64の感知ﾁｬﾈﾙ
- JTAG (IEEE 1149.1準拠) ｲﾝﾀｰﾌｪｰｽ
  - JTAG規格に従った境界走査(Boundary-Scan)能力
  - 広範囲な内蔵ﾃﾞﾊﾞｯｸﾞ支援
  - JTAGｲﾝﾀｰﾌｪｰｽ経由でのﾌﾗｯｼｭ、EEPROM、ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 内蔵周辺機能
  - 独立した前置分周器と比較機能付き2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 独立した前置分周器、比較、捕獲機能付き1つの16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 専用発振器と8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀによる実時間計数器(RTC)
  - 6つのPWM出力
  - 8ﾁｬﾈﾙ10ﾋﾞｯﾄA/D変換器
    - 選択可能な1倍、10倍、200倍の利得を持つ差動動作
  - ﾊﾞｲﾄ対応の1つの2線直列ｲﾝﾀｰﾌｪｰｽ(Philips I²C互換)
  - 設定可能な2つの直列USART
  - 主装置/従装置動作の1つのSPI直列ｲﾝﾀｰﾌｪｰｽ
  - 設定可能な専用発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ
  - ｱﾅﾛｸﾞ比較器
  - ﾋﾟﾝ変化での割り込みと起動復帰
- 特殊ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ機能
  - 電源ONﾘｾｯﾄ回路と設定可能な低電圧検出器(BOD)
  - 校正可能な内蔵RC発振器
  - 外部及び内部の割り込み
  - ｱｲﾄﾞﾙ、A/D変換雑音低減、ﾊﾟﾜｰｾｰﾌﾞ、ﾊﾟﾜｰﾀﾞｳﾝ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲの6つの低消費動作
- I/Oと外囲器
  - 32ﾋﾞｯﾄの設定可能なI/O
  - 40ﾋﾟﾝPDIP、44ﾘｰﾄﾞTQFP、44ﾊﾟｯﾄﾞVQFN/QFN/MLF
- 動作電圧
  - 1.8～5.5V (ATmega164PV)
  - 2.7～5.5V (ATmega164P)
- 動作速度
  - 0～4MHz/1.8～5.5V, 0～10MHz/2.7～5.5V (ATmega164PV)
  - 0～10MHz/2.7～5.5V, 0～20MHz/4.5～5.5V (ATmega164P)
- 代表消費電力 (1MHz,1.8V,25℃)
  - 0.4mA (活動動作)
  - 0.1µA (ﾊﾟﾜｰﾀﾞｳﾝ動作)
  - 0.6µA (ﾊﾟﾜｰｾｰﾌﾞ動作,32kHz RTCを含む)

目次

序説 ・・・

19.6. 比較一致出力部 ・・・・・・・・・・・・・・・・・・・・・・・ 109
19.7. 動作種別 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 110
19.8. ﾀｲﾏ/ｶｳﾝﾀのﾀｲﾐﾝｸﾞ ・・・・・・・・・・・・・・・・・・・・・・・ 113
19.9. ﾀｲﾏ/ｶｳﾝﾀ2の非同期動作 ・・・・・・・・・・・・・・・ 114
19.10. ﾀｲﾏ/ｶｳﾝﾀ2の前置分周器 ・・・・・・・・・・・・・・・ 115
19.11. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・ 116
20. SPI – 直列周辺ｲﾝﾀｰﾌｪｰｽ ・・・・・・・・・・・・・ 123
20.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 123
20.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 123
20.3. SSﾋﾟﾝの機能 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 125
20.4. ﾃﾞｰﾀ転送形式 ・・・・・・・・・・・・・・・・・・・・・・・・・ 126
20.5. SPI用ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 127
21. USART ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 129
21.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 129
21.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 129
21.3. 構成図 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 129
21.4. ｸﾛｯｸ生成 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 130
21.5. ﾌﾚｰﾑ形式 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 131
21.6. USARTの初期化 ・・・・・・・・・・・・・・・・・・・・・・・ 132
21.7. ﾃﾞｰﾀ送信 – USART送信部 ・・・・・・・・・・・・・・・ 133
21.8. ﾃﾞｰﾀ受信 – USART受信部 ・・・・・・・・・・・・・・・ 134
21.9. 非同期受信 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 137
21.10. 複数ﾌﾟﾛｾｯｻ通信動作 ・・・・・・・・・・・・・・・・・・・ 139
21.11. ﾎﾞｰﾚｰﾄ設定例 ・・・・・・・・・・・・・・・・・・・・・・・・・ 140
21.12. USART用ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・・・・・ 142
22. USARTSPI – USARTでのSPI動作 ・・・・・・ 146
22.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 146
22.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 146
22.3. ｸﾛｯｸ生成 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 146
22.4. SPIﾃﾞｰﾀ形態とﾀｲﾐﾝｸﾞ ・・・・・・・・・・・・・・・・・・・ 146
22.5. ﾌﾚｰﾑ形式 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 147
22.6. ﾃﾞｰﾀ転送 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 148
22.7. USARTでのMSPIMとSPIの比較 ・・・・・・・・・・・ 149
22.8. MSPIMでのUSART用ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・ 149
23. TWI – 2線直列ｲﾝﾀｰﾌｪｰｽ ・・・・・・・・・・・・・・ 150
23.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 150
23.2. 2線直列ｲﾝﾀｰﾌｪｰｽ ﾊﾞｽの定義 ・・・・・・・・・・・ 150
23.3. ﾃﾞｰﾀ転送とﾌﾚｰﾑ形式 ・・・・・・・・・・・・・・・・・・・・ 151
23.4. 複数主装置ﾊﾞｽ ｼｽﾃﾑの調停と同期 ・・・・・・ 152
23.5. TWI部の概要 ・・・・・・・・・・・・・・・・・・・・・・・・・ 153
23.6. TWIの使用法 ・・・・・・・・・・・・・・・・・・・・・・・・・ 155
23.7. 転送種別 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 157
23.8. 複数主装置ｼｽﾃﾑでのﾊﾞｽ競合と調停 ・・・・・ 167
23.9. TWI用ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 168
24. AC – ｱﾅﾛｸﾞ比較器 ・・・・・・・・・・・・・・・・・・・・ 171
24.1. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 171
24.2. ｱﾅﾛｸﾞ比較器入力選択 ・・・・・・・・・・・・・・・・・・・ 171
24.3. ｱﾅﾛｸﾞ比較器用ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・ 171
25. ADC – A/D変換器 ・・・・・・・・・・・・・・・・・・・・ 174
25.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 174
25.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 174
25.3. 変換の開始 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 175
25.4. 前置分周と変換ﾀｲﾐﾝｸﾞ ・・・・・・・・・・・・・・・・・・・ 176
25.5. ﾁｬﾈﾙ変更と基準電圧選択 ・・・・・・・・・・・・・・・ 178
25.6. 雑音低減機能 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 179
25.7. A/D変換の結果 ・・・・・・・・・・・・・・・・・・・・・・・・ 180
25.8. A/D変換用ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・・・・・ 181
26. JTAGｲﾝﾀｰﾌｪｰｽと内蔵ﾃﾞﾊﾞｯｸﾞ機能 ・・・・・ 185
26.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 185
26.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 185
26.3. 検査入出力ﾎﾟｰﾄ (TAP:Test Access Port) ・・ 186
26.4. TAP制御器 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 186
26.5. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain)の使用 ・・・・ 187
26.6. 内蔵ﾃﾞﾊﾞｯｸﾞ機能の使用 ・・・・・・・・・・・・・・・・・ 187
26.7. 内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令 ・・・・・・・・・・・・・・・ 187
26.8. JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力の使用 ・・・・・・・・・・・・・・ 187
26.9. 参考文献 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 188
26.10. IEEE1149.1(JTAG)境界走査 ・・・・・・・・・・・・・・ 188
26.11. ﾃﾞｰﾀ ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 188
26.12. 境界走査(Boundary-Scan)用JTAG命令 ・・・・ 189
26.13. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain) ・・・・ 190
26.14. ATmega164Pの境界走査順 ・・・・・・・・・・・・・・ 191
26.15. 境界走査記述言語(BSDL)ﾌｧｲﾙ ・・・・・・・・・・・ 191
26.16. JTAG関連ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・・・・・・ 192
27. BTLDR – ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – RWW自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・ 194
27.1. 特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 194
27.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 194
27.3. ﾌﾗｯｼｭ ﾒﾓﾘの応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域 ・・・ 194
27.4. 書き中に読みが可能な領域と不能な領域 ・・ 194
27.5. ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑへの移行 ・・・・・・・・・・・・・ 196
27.6. ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ ・・・・・・・・・・・・・・・・・・・・・ 196
27.7. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでのﾌﾗｯｼｭ ｱﾄﾞﾚｽ指定 ・・・・・ 197
27.8. ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・・・・・・・ 197
27.9. ﾌﾞｰﾄ ﾛｰﾀﾞ関係ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・・ 203
28. MEMPROG – ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・・・・・ 205
28.1. ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘとﾃﾞｰﾀ ﾒﾓﾘ用施錠ﾋﾞｯﾄ ・・・・・・・ 205
28.2. ﾋｭｰｽﾞ ﾋﾞｯﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 206
28.3. 識票ﾊﾞｲﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 207
28.4. 校正ﾊﾞｲﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 207
28.5. 通番 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 207
28.6. ﾍﾟｰｼﾞ容量 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 207
28.7. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・・・・・・・・・・・・・・・・・ 208
28.8. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順 ・・・・・・・・・・・・・・・・・・・ 209
28.9. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・・・・・・・・・・・・・・・・・ 214
28.10. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順 ・・・・・・・・・・・・・・・・・・・ 214
28.11. JTAGｲﾝﾀｰﾌｪｰｽ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・ 217
29. 電気的特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 224
29.1. 絶対最大定格 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 224
29.2. DC特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 224
29.3. 速度勾配 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 225
29.4. ｸﾛｯｸ特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 226
29.5. ｼｽﾃﾑとﾘｾｯﾄの特性 ・・・・・・・・・・・・・・・・・・・・・ 226
29.6. 外部割り込み特性 ・・・・・・・・・・・・・・・・・・・・・・ 227
29.7. SPI ﾀｲﾐﾝｸﾞ特性 ・・・・・・・・・・・・・・・・・・・・・・・・ 227
29.8. 2線直列ｲﾝﾀｰﾌｪｰｽ特性 ・・・・・・・・・・・・・・・・・・ 228
29.9. A/D変換器特性 ・・・・・・・・・・・・・・・・・・・・・・・・ 229
29.10. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 ・・・・・・・・・・・・・・・・・・・ 230
30. 代表特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 232
30.1. 活動動作消費電流 ・・・・・・・・・・・・・・・・・・・・・・ 232
30.2. ｱｲﾄﾞﾙ動作消費電流 ・・・・・・・・・・・・・・・・・・・・・ 234
30.3. 周辺機能部供給電流 ・・・・・・・・・・・・・・・・・・・・ 236
30.4. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 ・・・・・・・・・・・・・・・・・・ 236
30.5. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 ・・・・・・・・・・・・・・・・・・ 237
30.6. ｽﾀﾝﾊﾞｲ動作消費電流 ・・・・・・・・・・・・・・・・・・・・ 237
30.7. ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 238
30.8. ﾋﾟﾝ駆動能力 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 240
30.9. ﾋﾟﾝ 閾値とﾋｽﾃﾘｼｽ ・・・・・・・・・・・・・・・・・・・・・・ 241
30.10. 低電圧検出器(BOD)閾値 ・・・・・・・・・・・・・・・・・ 243
30.11. 内部発振器周波数 ・・・・・・・・・・・・・・・・・・・・・・ 244

30.12. 周辺機能部消費電流 ・・・・・・・・・・・・・・・・・・ 246
30.13. ﾘｾｯﾄ消費電流とﾘｾｯﾄ ﾊﾟﾙｽ幅 ・・・・・・・・・・・ 248
31. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 249
32. 命令要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 252
33. 外囲器情報 ・・・・・・・・・・・・・・・・・・・・・・・・・ 254
34. 障害情報 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 255
35. ﾃﾞｰﾀｼｰﾄ改訂履歴 ・・・・・・・・・・・・・・・・・・・・・ 256

1. 概要

Atmel® ATmega164PはAVR強化RISC構造に基づく低電力CMOS 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。単一ｸﾛｯｸ周期での強力な命令の実行により、ATmega164PはMHz当たり1 MIPS近くの単位処理量を達成します。これは消費電力対処理速度に対するﾃﾞﾊﾞｲｽの最適化をｼｽﾃﾑ設計者に許します。

Atmel AVR®ｺｱは32個の汎用ﾚｼﾞｽﾀと豊富な命令群を兼ね備えています。32個の全ﾚｼﾞｽﾀはALU(Arithmetic Logic Unit)に直結され、ﾚｼﾞｽﾀ間命令は1ｸﾛｯｸ周期で実行されます。AVR構造は現状のCISC型ﾏｲｸﾛ ｺﾝﾄﾛｰﾗに対し、最大10倍の単位処理量向上効果があります。

ATmega164Pは書き込み中読み出し可能な能力を持つ16Kﾊﾞｲﾄの実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘと512ﾊﾞｲﾄのEEPROM、1Kﾊﾞｲﾄの SRAM、32本の汎用入出力線、32個の汎用ﾚｼﾞｽﾀ、実時間計数器(RTC)、比較動作とPWMを含む柔軟な3つのﾀｲﾏ/ｶｳﾝﾀ、設定変更可能な2つの直列USART、ﾊﾞｲﾄ志向の1つの2線直列ｲﾝﾀｰﾌｪｰｽ(I^2C)、設定可能な増幅器を持つ任意選択差動入力付きの8ﾁｬﾈﾙの10ﾋﾞｯﾄA/D変換器、内部発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、SPI直列ﾎﾟｰﾄ、内蔵ﾃﾞﾊﾞｯｸﾞとﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機能にも使われるIEEE規格1149.1準拠JTAG検査ｲﾝﾀｰﾌｪｰｽ、ｿﾌﾄｳｪｱで選べる6つの低消費動作機能を提供します。ｱｲﾄﾞﾙ動作では動作を停止しますが、SRAM、ﾀｲﾏ/ｶｳﾝﾀ、SPIﾎﾟｰﾄ、割り込み機能は有効で動作を継続します。ﾊﾟﾜｰﾀﾞｳﾝ動作ではﾚｼﾞｽﾀの内容は保護されますが、発振器が停止するため、以降のﾊｰﾄﾞｳｪｱ ﾘｾｯﾄか外部割り込みまで他の全機能を禁止(無効に)します。ﾊﾟﾜｰｾｰﾌﾞ動作では非同期ﾀｲﾏ用発振器が動作を継続し、ﾃﾞﾊﾞｲｽのその他が停止中であっても基準ﾀｲﾏの継続が許されます。A/D変換雑音低減動作ではA/D変換中の切り替え雑音を最小とするために、非同期ﾀｲﾏとA/D変換器を除く周辺機能とCPUが停止します。ｽﾀﾝﾊﾞｲ動作ではｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子用発振器が動作し、一方ﾃﾞﾊﾞｲｽのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。拡張ｽﾀﾝﾊﾞｲ動作では主発振器と非同期ﾀｲﾏの両方が動作を継続します。

AtmelはAVRﾏｲｸﾛ ｺﾝﾄﾛｰﾗに容量性接触釦、滑動器、輪の機能を組み込むためのQTouch®ﾗｲﾌﾞﾗﾘを提供します。特許権を持つ充電転移信号採取は強力な感知を提供し、接触ｷｰの完全な反発運動報告を含み、そしてｷｰ事象の明白な検出のための隣接ｷｰ抑制(AKS®:Adjacent Key Suppression®)技術を含みます。簡単に使えるQTouch Suiteﾂｰﾙﾁｪｰﾝはあなた自身の接触応用に対して調査、開発、そしてﾃﾞﾊﾞｯｸﾞを許します。

本ﾃﾞﾊﾞｲｽはAtmelの高密度不揮発性ﾒﾓﾘ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘは規定の不揮発性ﾒﾓﾘ書き込み器、SPI直列ｲﾝﾀｰﾌｪｰｽ経由、AVRｺｱ上ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑの実行によって再書き込みができます。ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑは応用領域ﾌﾗｯｼｭ ﾒﾓﾘ内の応用ﾌﾟﾛｸﾞﾗﾑの読み込みにどのｲﾝﾀｰﾌｪｰｽでも使えます。ﾌﾞｰﾄ領域ﾌﾗｯｼｭ ﾒﾓﾘ内のｿﾌﾄｳｪｱは真の「書き込み中の読み出し可」動作により、応用領域ﾌﾗｯｼｭ ﾒﾓﾘ更新中も実行を継続します。ﾓﾉﾘｼｯｸ ﾁｯﾌﾟ上の自己実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘと、8ﾋﾞｯﾄRISC型CPUの組み合わせによるAtmel ATmega164Pは多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。

ATmega164PはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾃﾞﾊﾞｯｶﾞ、ｼﾐｭﾚｰﾀ、ｲﾝｻｰｷｯﾄ ｴﾐｭｰﾚｰﾀ、評価ｷｯﾄを含む専用のﾌﾟﾛｸﾞﾗﾑ及びｼｽﾃﾑ開発ﾂｰﾙで支援されます。

2. 製品形態要約

下表は継ぎ目のない移植経路を提供する機能とﾋﾟﾝの互換ﾃﾞﾊﾞｲｽの一連のﾃﾞﾊﾞｲｽを比べます。

表2-1. 製品形態要約とﾃﾞﾊﾞｲｽ比較

機能項目	ATmega164P/V	ATmega324P/V	ATmega644P/V
ﾋﾟﾝ数	40/44	40/44	40/44
ﾌﾗｯｼｭ ﾒﾓﾘ容量 (ﾊﾞｲﾄ)	16K	32K	64K
SRAM容量 (ﾊﾞｲﾄ)	1K	2K	4K
EEPROM容量 (ﾊﾞｲﾄ)	512	1K	2K
入出力ﾋﾟﾝ数	32	32	32
SPI	1	1	1
TWI (I^2C)	1	1	1
USART	2	2	2
A/D変換器 (ADC)	10ﾋﾞｯﾄ 15ksps	10ﾋﾞｯﾄ 15ksps	10ﾋﾞｯﾄ 15ksps
ADCﾁｬﾈﾙ数	8	8	8
ｱﾅﾛｸﾞ比較器 (AC)	1	1	1
8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ	2	2	2
16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ	1	1	1
PWMﾁｬﾈﾙ数	4(8ﾋﾞｯﾄ)+2(16ﾋﾞｯﾄ)	4(8ﾋﾞｯﾄ)+2(16ﾋﾞｯﾄ)	4(8ﾋﾞｯﾄ)+2(16ﾋﾞｯﾄ)
外囲器	PDIP,TQFP,VQFN/QFN	PDIP,TQFP,VQFN/QFN	PDIP,TQFP,VQFN/QFN

3. 注文情報

速度(MHz) (注3)	電源電圧 (V)	注文符号 (注1)	外囲器 (注2)	動作範囲
10	1.8～5.5V	ATmega164PV-10AU	44A	工業用 (-40℃～85℃)
		ATmega164PV-10AUR (注4)		
		ATmega164PV-10PU	40P6	
		ATmega164PV-10MU	44M1	
		ATmega164PV-10MUR (注4)		
20	2.7～5.5V	ATmega164P-20AU	44A	
		ATmega164P-20AUR (注4)		
		ATmega164P-20PU	40P6	
		ATmega164P-20MU	44M1	
		ATmega164P-20MUR (注4)		
10	1.8～5.5V	ATmega164PV-10AN	44A	拡張品 (-40℃～105℃)
		ATmega164PV-10ANR (注4)		
		ATmega164PV-10PN	40P6	
20	2.7～5.5V	ATmega164P-20AN	44A	
		ATmega164P-20ANR (注4)		
		ATmega164P-20PN	40P6	
		ATmega164P-20MN	44M1	
		ATmega164P-20MNR (注4)		

注1: このﾃﾞﾊﾞｲｽはｳｪﾊｰ(ﾁｯﾌﾟ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛ﾌﾘｰ製品。またﾊﾛｹﾞﾝ化合物ﾌﾘｰで完全に安全です。

注3: 速度と電源電圧の関係については「**速度勾配**」をご覧ください。

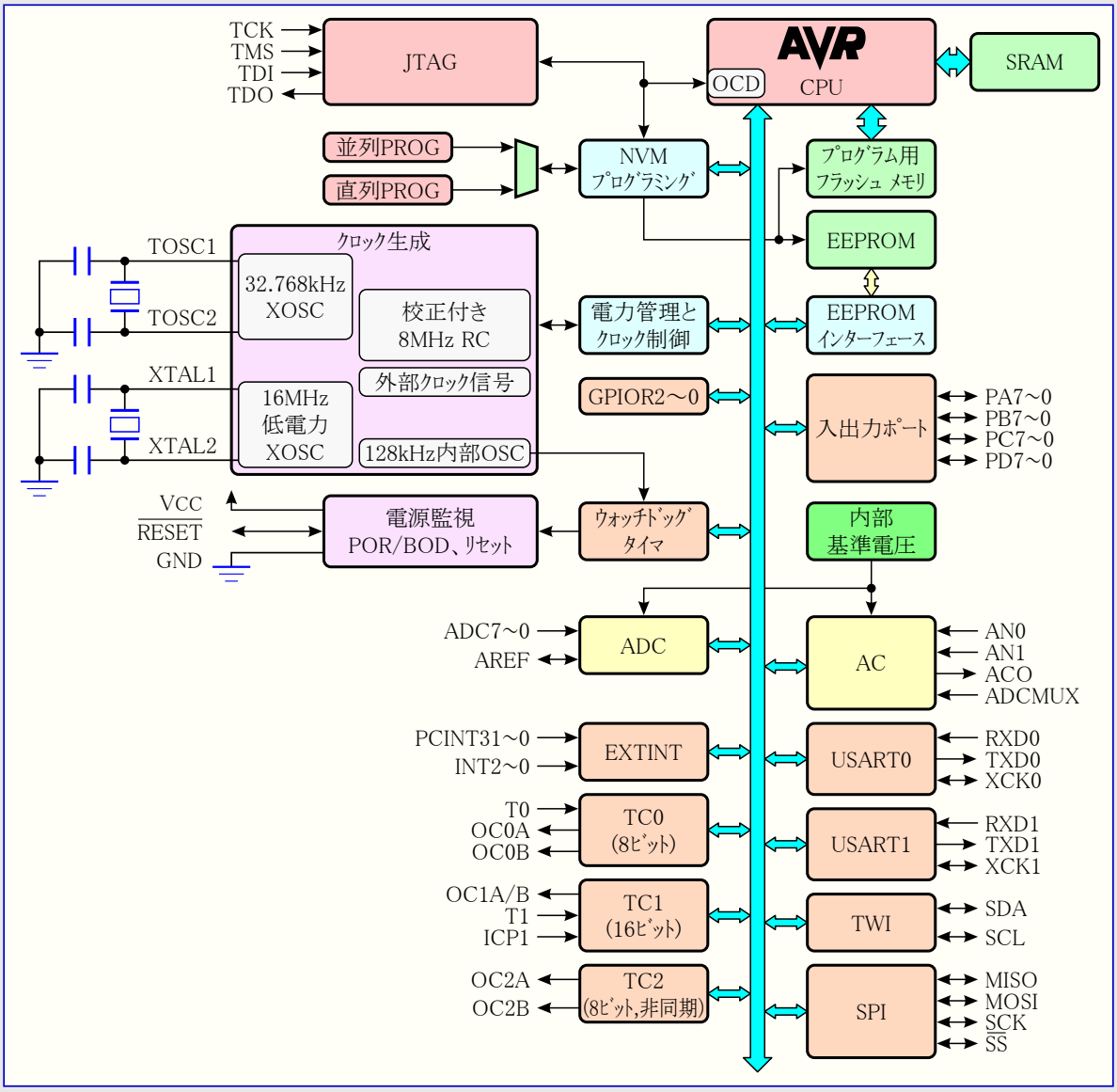
注4: ﾃｰﾌﾟとﾘｰﾙ形態。

外囲器形式	
44A	44ﾘｰﾄﾞ 1.0mm厚 ﾌﾟﾗｽﾃｨｯｸ4方向平板外囲器 (TQFP)
40P6	40ﾋﾟﾝ 600mil幅 ﾌﾟﾗｽﾃｨｯｸ2列直線外囲器 (PDIP)
44M1	44ﾊﾟｯﾄﾞ 7×7×1mm 0.5mmﾋﾟｯﾁ 温度強化ﾌﾟﾗｽﾃｨｯｸ極薄4方向平板ﾘｰﾄﾞなし外囲器 (VQFN)

関連ﾘﾝｸ 225頁の「速度勾配」

4. 構成図

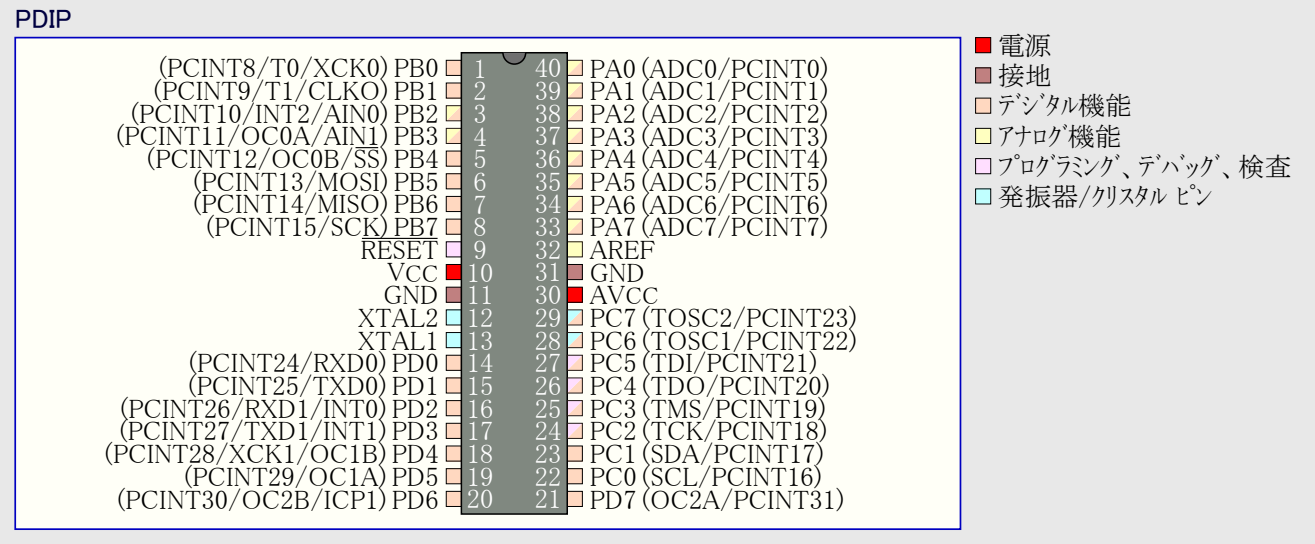
図4-1. 構成図


TCK
TMS
TDI
TDO
JTAG
AVR
OCD
CPU
SRAM
並列PROG
直列PROG
NVM
プログラミング
プログラム用
フラッシュ メモリ
EEPROM
TOSC1
TOSC2
クロック生成
32.768kHz
XOSC
校正付き
8MHz RC
電力管理と
クロック制御
EEPROM
インターフェース
XTAL1
XTAL2
16MHz
低電力
XOSC
外部クロック信号
128kHz内部OSC
GPIOR2～0
入出力ポート
PA7～0
PB7～0
PC7～0
PD7～0
VCC
RESET
GND
電源監視
POR/BOD、リセット
ウォッチドッグ
タイマ
内部
基準電圧
ADC7～0
AREF
ADC
AC
AN0
AN1
ACO
ADCMUX
PCINT31～0
INT2～0
EXTINT
USART0
RXD0
TXD0
XCK0
T0
OC0A
OC0B
TC0
(8ビット)
USART1
RXD1
TXD1
XCK1
OC1A/B
T1
ICP1
TC1
(16ビット)
TWI
SDA
SCL
OC2A
OC2B
TC2
(8ビット,非同期)
SPI
MISO
MOSI
SCK
SS

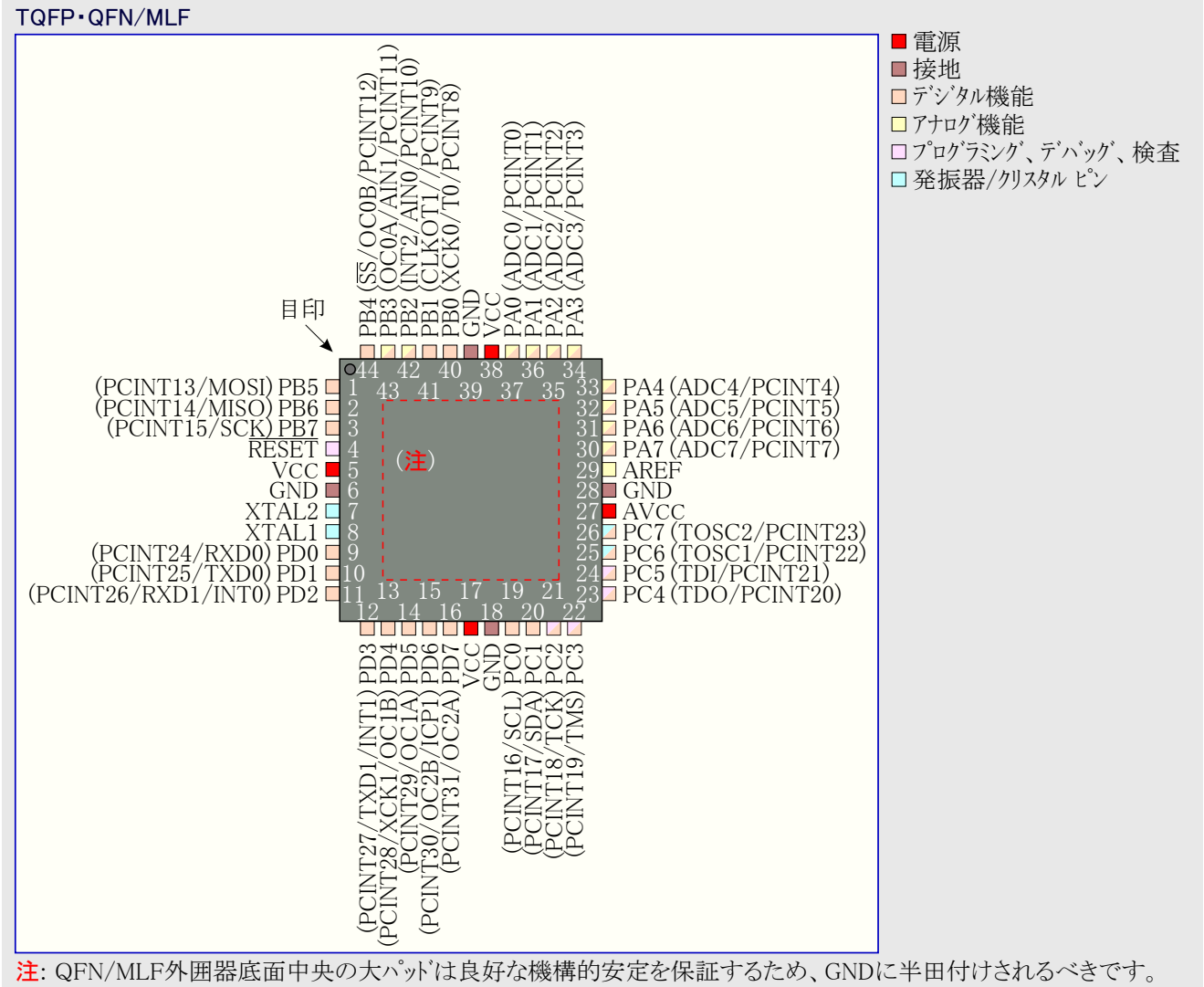
5. ピン配置

5.1. ピン接続図

5.1.1. PDIP



5.1.2. TQFPとQFN



注: QFN/MLF外囲器底面中央の大パッドは良好な機構的安定を保証するため、GNDに半田付けされるべきです。

5.2. ﾋﾟﾝ概要

5.2.1. VCC

ﾃﾞｼﾞﾀﾙ電源ﾋﾟﾝ。

5.2.2. GND

接地ﾋﾟﾝ。

5.2.3. PA7～PA0 (ﾎﾟｰﾄA)

このﾎﾟｰﾄはA/D変換器へのｱﾅﾛｸﾞ入力として扱います。

これはﾋﾞｯﾄ毎に個別に選択可能な内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。出力緩衝部は高い吐き出しと吸い込みの両方の能力の対称駆動特性を持ちます。入力の時にﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引き込まれたﾎﾟｰﾄ ﾋﾟﾝには吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になると、ｸﾛｯｸが動いていなくてもﾎﾟｰﾄ ﾋﾟﾝはHi-Zにされます。

5.2.4. PB7～PB0 (ﾎﾟｰﾄB)

これはﾋﾞｯﾄ毎に個別に選択可能な内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。出力緩衝部は高い吐き出しと吸い込みの両方の能力の対称駆動特性を持ちます。入力の時にﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引き込まれたﾎﾟｰﾄ ﾋﾟﾝには吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になると、ｸﾛｯｸが動いていなくてもﾎﾟｰﾄ ﾋﾟﾝはHi-Zにされます。

このﾎﾟｰﾄは様々な特殊機能も扱います。

5.2.5. PC7～PC0 (ﾎﾟｰﾄC)

これはﾋﾞｯﾄ毎に個別に選択可能な内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。出力緩衝部は高い吐き出しと吸い込みの両方の能力の対称駆動特性を持ちます。入力の時にﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引き込まれたﾎﾟｰﾄ ﾋﾟﾝには吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になると、ｸﾛｯｸが動いていなくてもﾎﾟｰﾄ ﾋﾟﾝはHi-Zにされます。

このﾎﾟｰﾄは様々な特殊機能に加えてJTAGｲﾝﾀｰﾌｪｰｽも扱います。

5.2.6. PD7～PD0 (ﾎﾟｰﾄD)

これはﾋﾞｯﾄ毎に個別に選択可能な内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。出力緩衝部は高い吐き出しと吸い込みの両方の能力の対称駆動特性を持ちます。入力の時にﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引き込まれたﾎﾟｰﾄ ﾋﾟﾝには吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になると、ｸﾛｯｸが動いていなくてもﾎﾟｰﾄ ﾋﾟﾝはHi-Zにされます。

このﾎﾟｰﾄは様々な特殊機能も扱います。

5.2.7. $\overline{\text{RESET}}$

ﾘｾｯﾄ入力。最小ﾊﾟﾙｽ幅よりも長いこのﾋﾟﾝのLowﾚﾍﾞﾙはｸﾛｯｸが動いていなくてもﾘｾｯﾄを生成します。短すぎるﾊﾟﾙｽはﾘｾｯﾄの生成が保証されません。

5.2.8. XTAL1

発振器反転増幅器への入力と内部ｸﾛｯｸ操作回路への入力。

5.2.9. XTAL2

発振器反転増幅器からの出力。

5.2.10. AVCC

AVCCはﾎﾟｰﾄAとA/D変換器用供給電圧(電源)ﾋﾟﾝです。例えA/D変換が使われなくても、外部的にVCCへ接続されるべきです。A/D変換が使われる場合、VCCから低域通過濾波器を通して接続されるべきです。

5.2.11. AREF

AREFはA/D変換器用ｱﾅﾛｸﾞ基準(電圧)ﾋﾟﾝです。

6. 入出力多重化

各ﾋﾟﾝは既定によって汎用入出力としてﾎﾟｰﾄによって制御され、代わりに周辺機能の1つに割り当てることもできます。
下表はﾎﾟｰﾄ入出力ﾋﾟﾝに多重化される周辺機能信号を記述します。

表6-1. ﾎﾟｰﾄ機能多重化

ﾋﾟﾝ番号		ﾎﾟｰﾄ ﾊﾟｯﾄﾞ	EXTINT	PCINT	ADC･AC	OSC	T/C #0	T/C #1	USART	TWI	SPI	JTAG
TQFP･QFN/MLF	PDIP											
1	6	PB5		PCINT13							MOSI	
2	7	PB6		PCINT14							MISO	
3	8	PB7		PCINT15							SCK	
4	9	$\overline{\text{RESET}}$										
5	10	VCC										
6	11	GND										
7	12	XTAL2				XTAL2						
8	13	XTAL1				XTAL1						
9	14	PD0		PCINT24					RXD0			
10	15	PD1		PCINT25					TXD0			
11	16	PD2	INT0	PCINT26					RXD1			
12	17	PD3	INT1	PCINT27					TXD1			
13	18	PD4		PCINT28				OC1B	XCK1			
14	19	PD5		PCINT29				OC1A				
15	20	PD6		PCINT30			OC2B	ICP1				
16	21	PD7		PCINT31			OC2A					
17	-	VCC										
18	-	GND										
19	22	PC0		PCINT16						SCL		
20	23	PC1		PCINT17						SDA		
21	24	PC2		PCINT18								TCK
22	25	PC3		PCINT19								TMS
23	26	PC4		PCINT20								TDO
24	27	PC5		PCINT21								TDI
25	28	PC6		PCINT22		TOSC1						
26	29	PC7		PCINT23		TOSC2						
27	30	AVCC										
28	31	GND										
29	32	AREF			AREF							
30	33	PA7		PCINT7	ADC7							
31	34	PA6		PCINT6	ADC6							
32	35	PA5		PCINT5	ADC5							
33	36	PA4		PCINT4	ADC4							
34	37	PA3		PCINT3	ADC3							
35	38	PA2		PCINT2	ADC2							
36	39	PA1		PCINT1	ADC1							
37	40	PA0		PCINT0	ADC0							
38	-	VCC										
39	-	GND										
40	1	PB0		PCINT8			T0		XCK0			
41	2	PB1		PCINT9		CLKO		T1				
42	3	PB2	INT2	PCINT10	AIN0							
43	4	PB3		PCINT11	AIN1		OC0A					
44	5	PB4		PCINT12			OC0B				$\overline{\text{SS}}$	

7. 全般情報

7.1. 資料

包括的なﾃﾞｰﾀｼｰﾄ、応用記述、開発ﾂｰﾙ群はhttp://www.atmel.com/avrでのﾀﾞｳﾝﾛｰﾄﾞで利用可能です。

7.2. ﾃﾞｰﾀ保持力

信頼性証明結果はﾃﾞｰﾀ保持誤り率の反映を示し、20年以上/85℃または100年以上/25℃で1PPMよりずっと小さな値です。

7.3. ｺｰﾄﾞ例について

この文書はﾃﾞﾊﾞｲｽの様々な部分の使用法を手短に示す簡単なｺｰﾄﾞ例を含みます。これらのｺｰﾄﾞ例はｱｾﾝﾌﾞﾙまたはｺﾝﾊﾟｲﾙに先立ってﾃﾞﾊﾞｲｽ定義ﾍｯﾀﾞ ﾌｧｲﾙがｲﾝｸﾙｰﾄﾞされると仮定します。全てのCｺﾝﾊﾟｲﾗ製造業者がﾍｯﾀﾞﾌｧｲﾙ内にﾋﾞｯﾄ定義を含めるとは限らず、またCでの割り込みの扱いがｺﾝﾊﾟｲﾗに依存することに注意してください。より多くの詳細についてはCｺﾝﾊﾟｲﾗの資料で確認してください。

これらのｺｰﾄﾞ例はｱｾﾝﾌﾞﾙまたはｺﾝﾊﾟｲﾙに先立ってﾃﾞﾊﾞｲｽ定義ﾌｧｲﾙがｲﾝｸﾙｰﾄﾞされることが前提です。拡張I/O領域に配置したI/Oﾚｼﾞｽﾀに対し、IN, OUT, SBIS, SBIC, CBI, SBI命令は拡張I/O領域へのｱｸｾｽを許す命令に置き換えられなければなりません。代表的にはSBRS, SBRC, SBR, CBR命令と組み合わせたLDS, STS命令です。

7.4. 容量性接触感知

7.4.1. QTouchﾗｲﾌﾞﾗﾘ

Atmel® QTouch®ﾗｲﾌﾞﾗﾘは殆どのAtmel AVR®ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ上の接触感知ｲﾝﾀｰﾌｪｰｽを実現するための使い易い解決策を提供します。QTouchﾗｲﾌﾞﾗﾘはQTouchとQMatrix®採取法用の支援を含みます。

接触感知は適切なAVRﾏｲｸﾛ ｺﾝﾄﾛｰﾗ用Atmel QTouchﾗｲﾌﾞﾗﾘをﾘﾝｸすることによってどの応用にも追加することができます。これは接触ﾁｬﾈﾙと感知器を定義するのに簡単なAPIの組を使い、その後にﾁｬﾈﾙ情報を取得して接触感知器の状態を判断するために接触感知APIを呼ぶことによって行われます。

QTouchﾗｲﾌﾞﾗﾘは無料で、次の場所、http://www.atmel.com/technologies/touch/のAtmelｳｪﾌﾞｻｲﾄからﾀﾞｳﾝﾛｰﾄﾞすることができます。実装の詳細と他の情報についてはAtmelｳｪﾌﾞｻｲﾄからも入手可能なAtmel QTouchﾗｲﾌﾞﾗﾘ使用者の手引きを参照してください。

8. AVR CPU ｺｱ

8.1. 概要

ここでは一般的なAVRｺｱ構造について説明します。このCPUｺｱの主な機能は正しいﾌﾟﾛｸﾞﾗﾑ実行を保証することです。従ってCPUはﾒﾓﾘ ｱｸｾｽ、計算実行、周辺制御、割り込み操作ができなければなりません。

最大効率と平行処理のため、AVRはﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀに対してﾒﾓﾘとﾊﾞｽを分離するﾊｰﾊﾞｰﾄﾞ構造を使います。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の命令は単一段のﾊﾟｲﾌﾟﾗｲﾝで実行されます。1命令の実行中に次の命令がﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから事前取得されます。この概念は全部のｸﾛｯｸ周期で命令実行を可能にします。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘです。

高速ﾚｼﾞｽﾀ ﾌｧｲﾙは1ｸﾛｯｸ周期ｱｸｾｽの32個の8ﾋﾞｯﾄ長汎用ﾚｼﾞｽﾀを含みます。これは1ｸﾛｯｸ周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのｵﾍﾟﾗﾝﾄﾞがﾚｼﾞｽﾀ ﾌｧｲﾙからの出力で、1ｸﾛｯｸ周期内でその操作が実行され、その結果がﾚｼﾞｽﾀ ﾌｧｲﾙに書き戻されます。

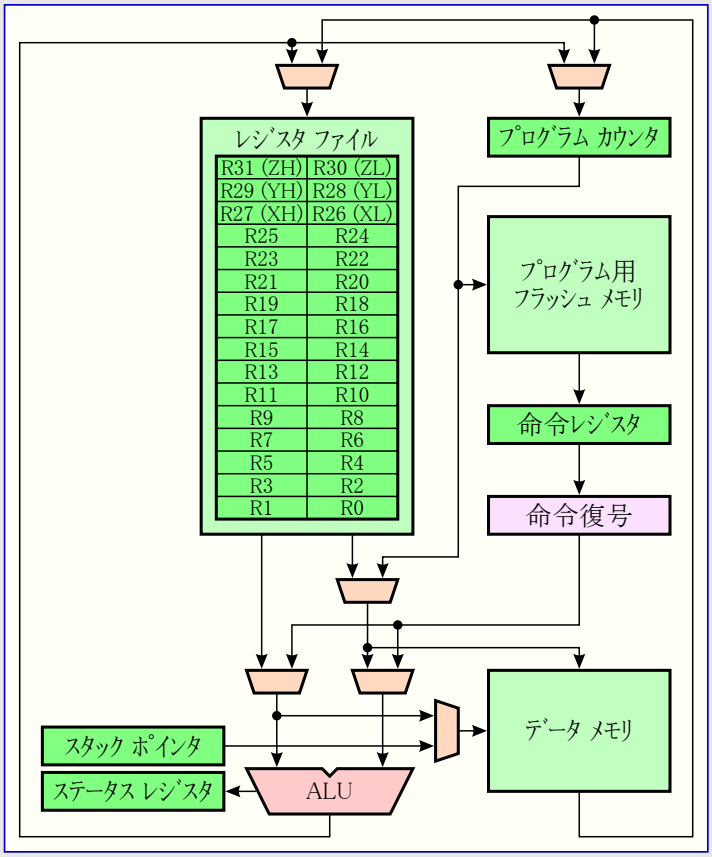
32個中の6つのﾚｼﾞｽﾀは効率的なｱﾄﾞﾚｽ計算ができるﾃﾞｰﾀ空間ｱﾄﾞﾚｽ指定用に3つの16ﾋﾞｯﾄ長間接ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ用ﾚｼﾞｽﾀとして使われます。これらｱﾄﾞﾚｽ ﾎﾟｲﾝﾀの1つはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の定数表参照用ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとしても使えます。これら16ﾋﾞｯﾄ長付加機能ﾚｼﾞｽﾀはX,Y,Zﾚｼﾞｽﾀで、本章内で後述されます。

ALUはﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の算術及び論理操作を支援します。単一ﾚｼﾞｽﾀ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)が更新されます。

ﾌﾟﾛｸﾞﾗﾑの流れは条件/無条件分岐や呼び出し命令によって提供され、全ｱﾄﾞﾚｽ空間を直接ｱﾄﾞﾚｽ指定できます。AVR命令の多くは16ﾋﾞｯﾄ語(ﾜｰﾄﾞ)形式です。全てのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのｱﾄﾞﾚｽは(訳注:定数のみを除き)16または32ﾋﾞｯﾄ長命令を含みます。

ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ空間はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域と応用ﾌﾟﾛｸﾞﾗﾑ領域の2つに分けられます。どちらの領域にも書き込み禁止や読み書き防止用の専用施錠ﾋﾞｯﾄがあります。応用ﾌﾗｯｼｭ ﾒﾓﾘ領域内に書き込むSPM命令はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域内に属さ(存在し)なければなりません。

図8-1. AVR基本構造の構成図



割り込みやｻﾌﾞﾙｰﾁﾝ呼び出し中、戻りｱﾄﾞﾚｽを示すﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)はｽﾀｯｸに保存されます。ｽﾀｯｸは一般的なﾃﾞｰﾀ用SRAM上に実際には割り当てられ、従ってｽﾀｯｸ容量は全SRAM容量とSRAM使用量でのみ制限されます。全ての使用者ﾌﾟﾛｸﾞﾗﾑはﾘｾｯﾄ処理ﾙｰﾁﾝで(ｻﾌﾞﾙｰﾁﾝ呼び出しや割り込みが実行される前に)、ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)を初期化しなければなりません。SPはI/O空間で読み書きｱｸｾｽが可能です。ﾃﾞｰﾀ用SRAMはAVR構造で支援される5つの異なるｱﾄﾞﾚｽ指定種別を通して容易にｱｸｾｽできます。

AVR構造に於けるﾒﾓﾘ空間は全て直線的な普通のﾒﾓﾘ配置です。

柔軟な割り込み部にはI/O空間の各制御ﾚｼﾞｽﾀとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の特別な全割り込み許可(I)ﾋﾞｯﾄがあります。全ての割り込みは割り込みﾍﾞｸﾀ表に個別の割り込みﾍﾞｸﾀを持ちます。割り込みには割り込みﾍﾞｸﾀ表の位置に従う優先順があります。下位側割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが高い優先順位です。

I/Oﾒﾓﾘ空間は制御ﾚｼﾞｽﾀ、SPI、他のI/O機能としてCPU周辺機能用の64ｱﾄﾞﾚｽを含みます。I/Oﾒﾓﾘは直接またはﾚｼﾞｽﾀ ﾌｧｲﾙの次のﾃﾞｰﾀ空間位置$20～$5Fとしてｱｸｾｽできます。加えて、本ﾃﾞﾊﾞｲｽはST/STS/STDとLD/LDS/LDD命令だけが使えるSRAM内の$60～$FFに拡張I/O空間を持ちます。

8.2. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用ﾚｼﾞｽﾀとの直結で動作します。汎用ﾚｼﾞｽﾀ間または汎用ﾚｼﾞｽﾀと即値間の演算操作は単一ｸﾛｯｸ周期内で実行されます。ALU操作は算術演算、論理演算、ﾋﾞｯﾄ操作の3つの主な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「**命令要約**」章をご覧ください。

関連ﾘﾝｸ　252頁の「命令要約」

8.3. ｽﾃｰﾀｽ ﾚｼﾞｽﾀ

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのﾌﾟﾛｸﾞﾗﾑの流れ変更に使えます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀは「**命令一式手引書**」で詳述したように、全てのALU操作後、更新されます。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないｺｰﾄﾞに帰着します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは割り込み処理ﾙｰﾁﾝ移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはｿﾌﾄｳｪｱによって扱われなければなりません。

8.3.1. SREG – ｽﾃｰﾀｽ ﾚｼﾞｽﾀ (Status Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：SREG
変位 ：$5F ($3F)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$3Fです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	I	T	H	S	V	N	Z	C
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – I : 全割り込み許可** (Global Interrupt Enable)

全割り込み許可ﾋﾞｯﾄは割り込みが許可されるために設定(1)されなければなりません。その時に個別割り込み許可制御は独立した制御ﾚｼﾞｽﾀで行われます。全割り込み許可ﾋﾞｯﾄが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iﾋﾞｯﾄは割り込みが起こった後にﾊｰﾄﾞｳｪｱによって解除(0)され、後続の割り込みを許可するために、RETI命令によって設定(1)されます。Iﾋﾞｯﾄは「**命令一式手引書**」で記述されるようにSEIやCLI命令で応用(ﾌﾟﾛｸﾞﾗﾑ)によって設定(1)や解除(0)もできます。

● **ﾋﾞｯﾄ6 – T : ﾋﾞｯﾄ変数** (Bit Copy Storage)

ﾋﾞｯﾄ複写命令、BLD(Bit LoaD)とBST(Bit STore)は操作したﾋﾞｯﾄの転送元または転送先として、このTﾋﾞｯﾄを使います。ﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀからのﾋﾞｯﾄはBST命令によってTに複写でき、TのﾋﾞｯﾄはBLD命令によってﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀ内のﾋﾞｯﾄに複写できます。

● **ﾋﾞｯﾄ5 – H : ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞ** (Half Carry Flag)

ﾊｰﾌｷｬﾘｰ(H)ﾌﾗｸﾞはいくつかの算術操作でのﾊｰﾌｷｬﾘｰを示します。ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞはBCD演算に有用です。詳細情報については「命令要約」記述をご覧ください。

● **ﾋﾞｯﾄ4 – S : 符号** (Sign Bit, S= N Ex-OR V)

Sﾌﾗｸﾞは常に負(N)ﾌﾗｸﾞと2の補数溢れ(V)ﾌﾗｸﾞの排他的論理和です。詳細情報については「**命令要約**」記述をご覧ください。

● **ﾋﾞｯﾄ3 – V : 2の補数溢れﾌﾗｸﾞ** (2's Complement Overflow Flag)

2の補数溢れ(V)ﾌﾗｸﾞは2の補数算術演算を支援します。詳細情報については「**命令要約**」記述をご覧ください。

● **ﾋﾞｯﾄ2 – N : 負ﾌﾗｸﾞ** (Negative Flag)

負(N)ﾌﾗｸﾞは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「**命令要約**」記述をご覧ください。

● **ﾋﾞｯﾄ1 – Z : ｾﾞﾛ ﾌﾗｸﾞ** (Zero Flag)

ｾﾞﾛ(Z)ﾌﾗｸﾞは算術及び論理操作でのｾﾞﾛ(0)の結果を示します。詳細情報については「**命令要約**」記述をご覧ください。

● **ﾋﾞｯﾄ0 – C : ｷｬﾘｰ ﾌﾗｸﾞ** (Carry Flag)

ｷｬﾘｰ(C)ﾌﾗｸﾞは算術及び論理操作でのｷｬﾘｰ(またはﾎﾞﾛｰ)を示します。詳細情報については「**命令要約**」記述をご覧ください。

8.4. 汎用ﾚｼﾞｽﾀ ﾌｧｲﾙ

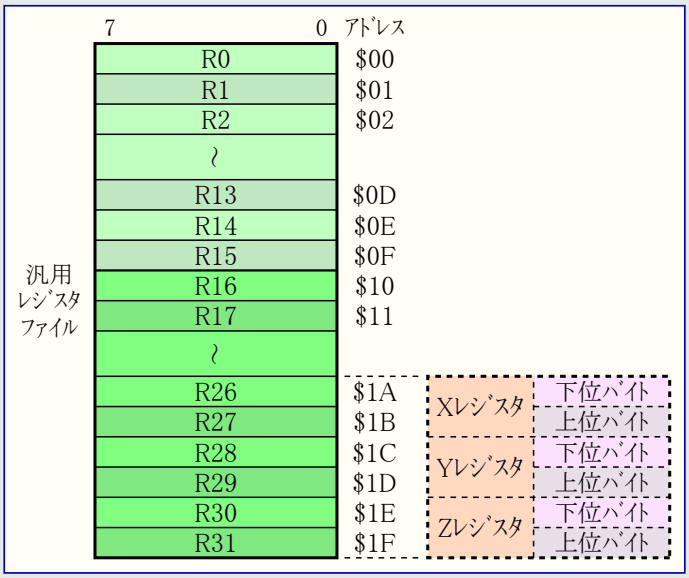
このﾚｼﾞｽﾀ ﾌｧｲﾙはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がﾚｼﾞｽﾀ ﾌｧｲﾙによって支援されます。

- 1つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力
- 1つの16ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力

ﾚｼﾞｽﾀ ﾌｧｲﾙを操作する殆どの命令は全てのﾚｼﾞｽﾀに直接ｱｸｾｽし、それらの殆どは単一周期命令です。

図で示されるように各ﾚｼﾞｽﾀは使用者ﾃﾞｰﾀ空間の最初の32位置へ直接配置することで、それらはﾃﾞｰﾀ ﾒﾓﾘ ｱﾄﾞﾚｽも割り当てられます。例え物理的にSRAM位置として実装されていなくても、X,Y,Zﾚｼﾞｽﾀ(ﾎﾟｲﾝﾀ)がﾚｼﾞｽﾀ ﾌｧｲﾙ内のどのﾚｼﾞｽﾀの指示にも設定できるように、このﾒﾓﾘ構成は非常に柔軟なﾚｼﾞｽﾀのｱｸｾｽを提供します。

図8-2. AVR CPU 汎用ﾚｼﾞｽﾀ構成図



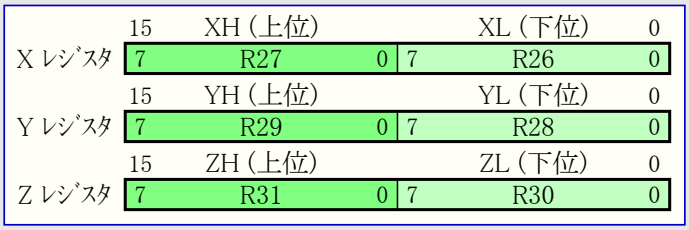
8.4.1. Xﾚｼﾞｽﾀ, Yﾚｼﾞｽﾀ, Zﾚｼﾞｽﾀ

R26～R31ﾚｼﾞｽﾀには通常用途の使用にいくつかの追加機能があります。これらのﾚｼﾞｽﾀはﾃﾞｰﾀ空間の間接ｱﾄﾞﾚｽ指定用の16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀです。3つのX,Y,Z間接ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは図で記載したように定義されます。

種々のｱﾄﾞﾚｽ指定種別で、これらのｱﾄﾞﾚｽ ﾚｼﾞｽﾀは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「**命令一式手引書**」をご覧ください)。

関連ﾘﾝｸ 252頁の「命令要約」

図8-3. X,Y,Zﾚｼﾞｽﾀ構成図



8.5. ｽﾀｯｸ ﾎﾟｲﾝﾀ

ｽﾀｯｸは主に一時ﾃﾞｰﾀの保存、局所変数の保存、割り込みとｻﾌﾞﾙｰﾁﾝ呼び出し後の戻りｱﾄﾞﾚｽの保存に使われます。ｽﾀｯｸは高位ﾒﾓﾘから低位ﾒﾓﾘへ伸長するように実行されます。ｽﾀｯｸ ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀは常にこのｽﾀｯｸの先頭(**訳注**:次に使われるべき位置)を指し示します。ｽﾀｯｸ ﾎﾟｲﾝﾀはｻﾌﾞﾙｰﾁﾝや割り込みのｽﾀｯｸが配置されるﾃﾞｰﾀSRAMのｽﾀｯｸ領域を指し示します。ｽﾀｯｸPUSH命令はｽﾀｯｸ ﾎﾟｲﾝﾀを減らします。

ﾃﾞｰﾀSRAM内のｽﾀｯｸ空間はｻﾌﾞﾙｰﾁﾝ呼び出しの実行や割り込みの許可の何れにも先立ってﾌﾟﾛｸﾞﾗﾑによって定義されなければなりません。初期ｽﾀｯｸ ﾎﾟｲﾝﾀ値は内部SRAMの最終ｱﾄﾞﾚｽに等しく、ｽﾀｯｸ ﾎﾟｲﾝﾀはSRAMの先頭以上に設定されなければなりません。ｽﾀｯｸ ﾎﾟｲﾝﾀの詳細については表をご覧ください。

表8-1. ｽﾀｯｸ ﾎﾟｲﾝﾀ命令

命令	ｽﾀｯｸ ﾎﾟｲﾝﾀ	内容
PUSH	-1	ﾃﾞｰﾀがｽﾀｯｸ上に押し込まれます。
CALL,ICALL,RCALL	-2	ｻﾌﾞﾙｰﾁﾝ呼び出しまたは割り込みでの戻りｱﾄﾞﾚｽがｽﾀｯｸ上に押し込まれます。
POP	+1	ﾃﾞｰﾀがｽﾀｯｸから引き出されます。
RET,RETI	+2	ｻﾌﾞﾙｰﾁﾝまたは割り込みからの復帰での戻りｱﾄﾞﾚｽがｽﾀｯｸから引き出されます。

AVRのｽﾀｯｸ ﾎﾟｲﾝﾀはI/O空間内の2つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀとして実装されます。実際に使われるﾋﾞｯﾄ数は(そのﾃﾞﾊﾞｲｽ)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(ﾃﾞﾊﾞｲｽ)のﾃﾞｰﾀ空間もあることに注意してください。その場合、SPHﾚｼﾞｽﾀは存在しません。

8.5.1. SPH,SPL – スタック ポインタ レジスタ上位/下位バイト (Stack Pointer Register Low and High byte)

SPHとSPLのレジスタ対は16ビット値のSPを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。16ビット レジスタの読み書きのより多くの詳細については「16ビット レジスタのアクセス」をご覧ください。

LD系とST系の命令を使い、データ空間としてI/Oレジスタをアクセスする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oアドレスの変位は$00～$3F内になります。

このデバイスはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：SPHとSPL (SP)
変位 ：$5D ($3D)
リセット ：$04FF
特質 ：I/O特定命令でI/Oレジスタとしてアクセスする時の変位アドレスは$3Dです。

ビット	15	14	13	12	11	10	9	8
	–	–	–	–	–	SP10~8		
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	1	0	0

ビット	7	6	5	4	3	2	1	0
	SP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● **ビット10～0 – SP10~0 : スタック ポインタ値** (Stack Pointer value)

SPHとSPLはSPに組み合わされます。

8.6. 16ビット レジスタのアクセス

AVRのデータ バスは8ビット幅で、故に16ビット レジスタのアクセスは非分断操作が必要です。これらのレジスタは2つの読みまたは書きの操作を用いてバイト アクセスされなければなりません。16ビット レジスタは16ビット バスを用いて8ビット バスと1つの一時レジスタに接続されます。

書き込み操作については、16ビット レジスタの上位バイトが下位バイトに先立って書かれなければなりません。そしてその上位バイトは一時レジスタに書かれます。16ビット レジスタの下位バイトが書かれる時に、同じクロック周期で一時レジスタが16ビット レジスタの上位バイトに複写されます。

読み込み操作については、16ビット レジスタの下位バイトが上位バイトに先立って読まれなければなりません。CPUによって下位バイトが読まれる時に、下位バイトが読まれるのと同じクロック周期で16ビット レジスタの上位バイトが一時レジスタに複写されます。その後に上位バイトが読まれる時は、この一時レジスタから読みます。

これはレジスタの読み書き時に16ビット レジスタの上位と下位のバイトが常に同時にアクセスされることを保証します。

非分断16ビット レジスタ読み書き操作中に割り込みが起動されて同じレジスタをアクセスする場合、この時間制限手順を不正にし得ます。これを防ぐために、16ビット レジスタの読み書き時に割り込みを禁止することができます。

(訳注) 原書の本項の記述はXMEGA用の記述をそのまま複写したものと思われます。そのため、書き込み操作の上位と下位のバイトの書き順が他のAVRと逆になっています。これによって、書き込み操作に関する他の殆どの部分での記述と矛盾が生じています。本書ではこの書き込み操作に関する書き順を矛盾が生じないように、本項と関連する他の一部の記述を修正しています。

8.7. 命令実行ﾀｲﾐﾝｸﾞ

本項は命令実行の一般的なｱｸｾｽ ﾀｲﾐﾝｸﾞの概念を記述します。AVR CPUはﾁｯﾌﾟ(ﾃﾞﾊﾞｲｽ)用に選んだｸﾛｯｸ元から直接的に生成したCPUｸﾛｯｸ(clkCPU)によって駆動されます。内部ｸﾛｯｸ分周は使われません。

右図はﾊｰﾊﾞｰﾄﾞ構造と高速ｱｸｾｽ ﾚｼﾞｽﾀ ﾌｧｲﾙの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対ｸﾛｯｸ、機能対電源部に関する好結果と対応するMHzあたり1 MIPSを達成するための基本的なﾊﾟｲﾌﾟﾗｲﾝの概念です。

右図はﾚｼﾞｽﾀ ﾌｧｲﾙに対する内部ﾀｲﾐﾝｸﾞの概念を示します。単一ｸﾛｯｸ周期で2つのﾚｼﾞｽﾀ ｵﾍﾟﾗﾝﾄﾞを使うALU操作が実行され、その結果が転送先ﾚｼﾞｽﾀへ書き戻されます。

図8-5. 命令の取得と実行の並列動作

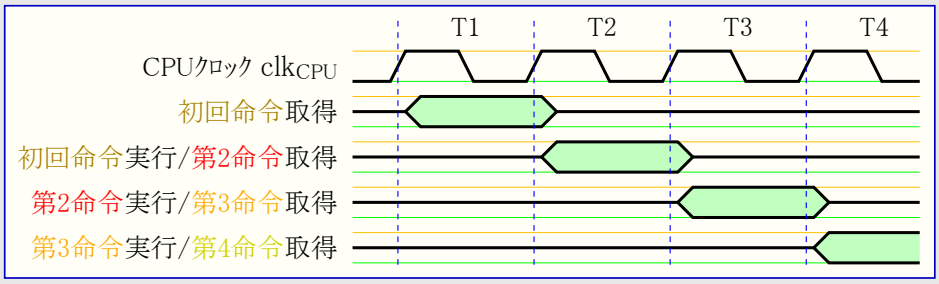
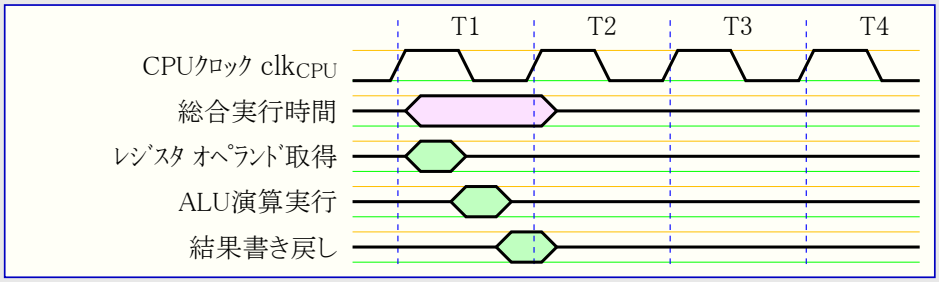


図8-6. 1周期ALU命令



8.8. ﾘｾｯﾄと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したﾘｾｯﾄ ﾍﾞｸﾀ各々はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間内に独立したﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀを持ちます。全ての割り込みは割り込みを許可するために、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと共に論理1が書かれなければならない個別の許可ﾋﾞｯﾄを割り当てられます。BLB02またはBLB12 ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ値によっては割り込みが自動的に禁止されるかもしれません。この特質はｿﾌﾄｳｪｱ保護を改善します。

既定でのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間の最下位ｱﾄﾞﾚｽはﾘｾｯﾄと割り込みﾍﾞｸﾀとして定義されます。下位側ｱﾄﾞﾚｽがより高い優先順位です。ﾘｾｯﾄが最高優先順位で次が外部割り込み要求0(INT0)です。割り込みﾍﾞｸﾀはMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄの設定(1)によってﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭へ移動できます。ﾘｾｯﾄ ﾍﾞｸﾀもBOOTRSTﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)によってﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭へ移動できます。

割り込みが起こると全割り込み許可(I)ﾋﾞｯﾄが解除(0)され、全ての割り込みは禁止されます。使用者ｿﾌﾄｳｪｱは多重割り込みを許可するため、全割り込み許可(I)ﾋﾞｯﾄへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みﾙｰﾁﾝで割り込めます。全割り込み許可(I)ﾋﾞｯﾄは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。

1つ目の形式は割り込み要求ﾌﾗｸﾞを設定(I)する事象によって起動されます。これらの割り込みでは割り込み処理ﾙｰﾁﾝを実行するために、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは対応する現実の割り込みﾍﾞｸﾀを指示し、ﾊｰﾄﾞｳｪｱが対応する割り込み要求ﾌﾗｸﾞを解除(0)します。割り込み要求ﾌﾗｸﾞは解除(0)されるべきﾌﾗｸﾞのﾋﾞｯﾄ位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ﾋﾞｯﾄが解除(0)されている間に割り込み条件が起こると、割り込み要求ﾌﾗｸﾞが設定(1)され、割り込みが許可されるか、またはこのﾌﾗｸﾞがｿﾌﾄｳｪｱによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ﾋﾞｯﾄが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求ﾌﾗｸﾞが設定(1)されて全割り込み許可(I)ﾋﾞｯﾄが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求ﾌﾗｸﾞを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主ﾌﾟﾛｸﾞﾗﾑへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は割り込みﾙｰﾁﾝへ移行時の保存も、復帰時の再設定も自動的に行われません。これはｿﾌﾄｳｪｱによって扱われなければなりません。

割り込みを禁止するためにCLI命令を使うと、割り込みは直ちに禁止されます。CLI命令と同時に割り込みが起こっても、CLI命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使用できるかを示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
IN      R16, SREG          ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存
CLI                        ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE        ;EEPROM主書き込み許可
SBI     EECR, EEPE         ;EEPROM書き込み開始
OUT     SREG, R16          ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
char cSREG;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ保存変数定義 */
cSREG = SREG;              /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存 */
__disable_interrupt();     /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);        /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);         /* EEPROM書き込み開始 */
SREG = cSREG:              /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰 */
```

注:「**ｺｰﾄﾞ例について**」を参照してください。

割り込みを許可するためにSEI命令を使うと、次例で示されるようにどの保留割り込みにも先立ってSEI命令の次の命令が実行されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SEI                        ;全割り込み許可
SLEEP                      ;休止形態移行 (割り込み待ち)
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
__enable_interrupt();      /* 全割り込み許可 */
__sleep();                 /* 休止形態移行 (割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

注:「**ｺｰﾄﾞ例について**」を参照してください。

関連ﾘﾝｸ　205頁の「MEMPROG – ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」
194頁の「BTLDR – ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」

8.8.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4ｸﾛｯｸ周期です。4ｸﾛｯｸ周期後、実際の割り込み処理ﾙｰﾁﾝに対するﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀ ｱﾄﾞﾚｽが実行されます。この4ｸﾛｯｸ周期時間中にﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)がｽﾀｯｸ上に保存(ﾌﾟｯｼｭ)されます。このﾍﾞｸﾀは標準的に割り込み処理ﾙｰﾁﾝへの無条件分岐で、この分岐は3(**訳補**:これはJMP命令=3を想定、RJMP命令の場合は2)ｸﾛｯｸ周期要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4ｸﾛｯｸ周期増やされます。この増加は選んだ休止形態からの起動時間に加えてです。

割り込み処理ﾙｰﾁﾝからの復帰は4ｸﾛｯｸ周期要します。これらの4ｸﾛｯｸ周期中、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC:2ﾊﾞｲﾄ)がｽﾀｯｸから取り戻され(ﾎﾟｯﾌﾟ)、ｽﾀｯｸ ﾎﾟｲﾝﾀは増加され(+2)、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されます。

9. AVRのメモリ

9.1. 概要

本章は本デバイスの各種メモリを記述します。AVR構造にはプログラム メモリ空間とデータ メモリ空間の2つの主なメモリ空間を持ちます。加えて本デバイスはデータ保存用EEPROMメモリが特徴です。全てのメモリ空間は一般的な直線的アドレスです。

9.2. 実装書き換え可能なプログラム用フラッシュ メモリ

ATmega164Pはプログラム保存用に実装書き換え可能な16Kバイトのフラッシュ メモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、フラッシュ メモリは8K×16ビットとして構成されます。

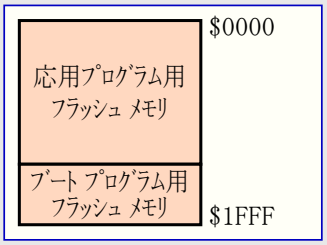
フラッシュ メモリは最低10,000回の消去/書き込み回数の耐久性があります。ATmega164Pのプログラム カウンタ(PC)は13ビット幅、故に8Kプログラム メモリ位置のアドレス指定です。ブート プログラム領域の操作と関係するソフトウェア保護用ブート施錠ビットは「**BTLDR – ブート ローダ支援 – 書き込み中読み出し可能な自己プログラミング**」で詳細に記述されます。SPIまたはJTAGインターフェースを使うフラッシュ データ直列書き込みの記述については「**MEMPROG – メモリ プログラミング**」を参照してください。

定数表はプログラム用メモリ取得(LPM)命令を使って全てのプログラム メモリ アドレス空間に配置することができます。

命令の取得と実行のタイミング図は「**命令実行タイミング**」で示されます。

関連リンク
194頁の「BTLDR – ブート ローダ支援 – 書き込み中読み出し可能な自己プログラミング」
205頁の「MEMPROG – メモリ プログラミング」
18頁の「命令実行タイミング」

図9-1. プログラム メモリ配置図



9.3. データ用SRAMメモリ

下図は本デバイスのSRAMメモリ構成方法を示します。

本デバイスはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O空間に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

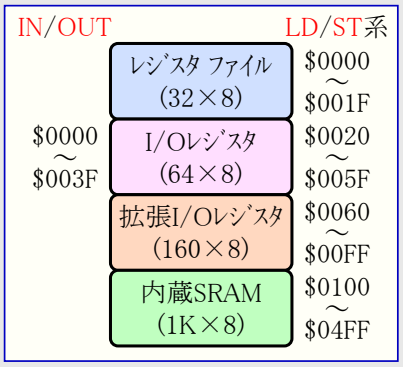
下位1280データ メモリ位置はレジスタ ファイル、I/Oメモリ、拡張I/Oメモリ、データ用内蔵SRAMに充てます。先頭の32位置はレジスタ ファイル、次の64位置は標準I/Oメモリ、その次の160位置は拡張I/Oメモリ、そして次の1024位置はデータ用内蔵SRAMに充てます。

5つの異なるアドレス指定種別でデータ メモリ(空間)を網羅します。

- 直接
  - 直接アドレス指定はデータ空間全体に届きます。
- 変位付き間接
  - 変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。
- 間接
  - レジスタ ファイル内のR26～R31レジスタは間接アドレス指定ポインタ用レジスタが特徴です。
- 事前減少付き間接
  - (使われる)X,Y,Zアドレス レジスタが減少(-1)されます。
- 事後増加付き間接
  - (使われる)X,Y,Zアドレス レジスタが増加(+1)されます。

本デバイスの32個の汎用レジスタ、64個のI/Oレジスタ、160個の拡張I/Oレジスタ、1Kバイトのデータ用内蔵SRAMはこれら全てのアドレス指定種別を通して全部アクセスできます。

図9-2. データ メモリ配置図

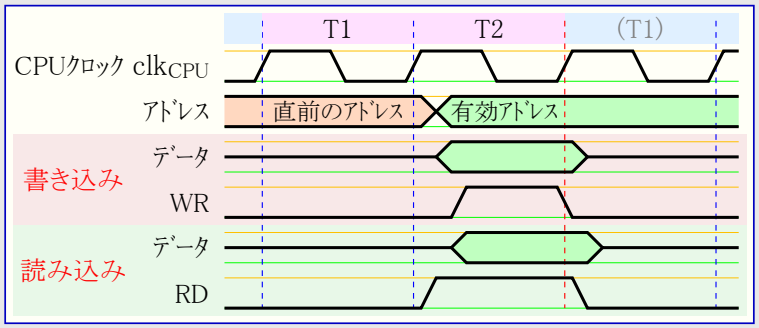


9.3.1. データ メモリ アクセス タイミング

データ用内蔵SRAMアクセスは右図で記載されるように2 clk_{CPU}周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図9-3. データ用内蔵SRAMアクセス周期



9.4. データ用EEPROMメモリ

ATmega164Pは512バイトのデータ用EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降のEEPROMアドレス レジスタ、EEPROMデータ レジスタ、EEPROM制御レジスタで詳細に記述されます。

SPIまたは並列プログラミングでのEEPROMプログラミングの詳細な記述は関連リンクをご覧ください。

関連リンク 205頁の「MEMPROG – メモリ プログラミング」

9.4.1. EEPROMアクセス

EEPROMアクセス レジスタはI/O空間でアクセス可能です。

EEPROM書き込み(**訳注**:原文はアクセス)時間は**表9-2**.で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは次バイトが書ける時を検知してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られねばなりません。厳重に濾波した電源では電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については以下の「**EEPROMデータ化けの防止**」を参照してください。

予期せぬEEPROM書き込みを防止するため特別な書き込み手順に従わなければなりません。この詳細についてはEEPROM制御レジスタの説明と「**非分離バイト書き込み**」と「**分離バイト書き込み**」を参照してください(**訳注**:本行内容追加)。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

9.4.2. EEPROMデータ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデータ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

EEPROMデータ化けは次の推奨設計によって容易に避けられます。

不充分な供給電源電圧の期間中、AVRの$\overline{\text{RESET}}$を活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリセット保護回路が使えます。書き込み動作実行中にリセットが起こると、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

9.5. I/Oメモリ (レジスタ)

本デバイスのI/O空間定義は「**レジスタ要約**」で示されます。

デバイスの全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲$00～$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビット アクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。I/O指定命令INとOUTを使う時はI/Oアドレス$00～$3Fが使われなければなりません。LD命令とST命令を使い、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに$20が加算されなければなりません。本デバイスはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/ STD命令だけが使えます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリ アドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ'1'を書くことによって解除(0)され、これはフラグ説明で記述されます。CBIとSBI命令は他の多くのAVRと異なり、指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに注意してください。CBIとSBI命令は(I/Oアドレス)$00～$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

関連リンク 205頁の「MEMPROG – メモリ プログラミング」
249頁の「レジスタ要約」
252頁の「命令要約」

9.5.1. 汎用I/Oレジスタ

本デバイスは3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使え、特に全体変数や状態フラグの格納に有用です。(I/O)アドレス範囲$00～$1Fの汎用I/OレジスタはSBI,CBI,SBIS,SBIC命令の使用で直接ビット アクセスが可能です。

(訳注) 参考のため、以下のEEPROMｱｸｾｽ方法を追加しました。

9.a.1. 非分離ﾊﾞｲﾄ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

非分離ﾊﾞｲﾄ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの使用は最も簡単な動作です。EEPROMにﾊﾞｲﾄを書くとき、使用者はEEARにｱﾄﾞﾚｽ、EEDRにﾃﾞｰﾀを書かなければなりません。EEPMnﾋﾞｯﾄが'00'ならば、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは消去/書き込み動作を起動します。消去と書き込みの両周期は1操作で行われ、総ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間は表9-1.で与えられます。EEPEﾋﾞｯﾄは消去と書き込み動作が完了されるまで設定(1)に留まります。ﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作中、他のどのEEPROM操作の実行も不可能です。

9.a.2. 分離ﾊﾞｲﾄ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

2つの異なる操作として消去と書き込み周期を分離することが可能です。これは或る時間制限(代表的には電源電圧不足)に対してｼｽﾃﾑが短いｱｸｾｽ時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み操作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をｼｽﾃﾑが許す時(代表的には電源投入後)に消去操作を行うことが可能です。

9.a.3. 消去

ﾊﾞｲﾄを消去するにはｱﾄﾞﾚｽがEEARに書かれなければなりません。EEPMnﾋﾞｯﾄが'01'なら、(EEMPEが1を書かれた後の4周期内の)EEPEの1書き込みは消去動作だけを起動します(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間は表9-1.で与えられます)。EEPEﾋﾞｯﾄは消去動作が完了されるまで設定(1)に留まります。ﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作中、他のどのEEPROM操作の実行も不可能です。

9.a.4. 書き込み

(特定)位置を書くため、使用者はEEARにｱﾄﾞﾚｽ、EEDRにﾃﾞｰﾀを書かなければなりません。EEPMnﾋﾞｯﾄが'10'なら、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは書き込み動作だけを起動します(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間は表9-1.で与えられます)。EEPEﾋﾞｯﾄは書き込み動作が完了されるまで設定(1)に留まります。書かれるべき位置が書き込み前に消去されてしまっていなければ、元の保存したﾃﾞｰﾀは失ったとみなされなければなりません。ﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作中、他のどのEEPROM操作の実行も不可能です。

9.6. メモリ関係レジスタ

9.6.1. EEARH,EEARL – EEPROMアドレス レジスタ上位/下位バイト (EEPROM Address Register Low and High byte)

EEARHとEEARLのレジスタ対は16ビット値のEEARを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。16ビット レジスタの読み書きのより多くの詳細については「16ビット レジスタのアクセス」をご覧ください。

LD系とST系の命令を使い、データ空間としてI/Oレジスタをアクセスする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oアドレスの変位は$00～$3F内になります。

このデバイスはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：EEARHとEERAL (EEAR)
変位 ：$41 ($21)
リセット ：'0000000x xxxxxxxx'
特質 ：I/O特定命令でI/Oレジスタとしてアクセスする時の変位アドレスは$21です。

ビット	15	14	13	12	11	10	9	8
	–	–	–	–	–	–	–	EEAR8
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	不定
ビット	7	6	5	4	3	2	1	0
	EEAR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	不定	不定	不定	不定	不定	不定	不定	不定

● **ビット8～0 – EEAR8~0 : EEPROMアドレス** (EEPROM Address)

EEPROMアドレス レジスタ(EEARHとEEARL)は512バイトのEEPROM空間内のEEPROMアドレスを指定します。EEPROMデータ バイトは0～511間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされ得る前に適切な値が書かれなければなりません。

9.6.2. EEDR – EEPROMデータ レジスタ (EEPROM Data Register)

LD系とST系の命令を使い、データ空間としてI/Oレジスタをアクセスする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oアドレスの変位は$00～$3F内になります。

このデバイスはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：EEDR
変位 ：$40 ($20)
リセット ：$00
特質 ：I/O特定命令でI/Oレジスタとしてアクセスする時の変位アドレスは$20です。

ビット	7	6	5	4	3	2	1	0
	EEDR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7～0 – EEDR7~0 : EEPROMデータ** (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレス レジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

9.6.3. EECR – EEPROM制御ﾚｼﾞｽﾀ (EEPROM Control Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：EECR
変位 ：$3F ($1F)
ﾘｾｯﾄ ：'00xx00x0'
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$1Fです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	EEPM1,0		EERIE	EEMPE	EEPE	EERE
ｱｸｾｽ種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	不定	不定	0	0	不定	0

● **ﾋﾞｯﾄ5,4 – EEPM1,0 : EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別** (EEPROM Programing Mode Bits)

EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別ﾋﾞｯﾄ設定はEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可(EEPE)書き込み時にどのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作が起動されるかを定義します。1つの非分離操作(旧値消去と新値書き込み)、または2つの異なる操作として消去と書き込み操作を分離してﾃﾞｰﾀをﾌﾟﾛｸﾞﾗﾑする(書く)ことが可能です。各動作に対するﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間は右表で示されます。EEPEが設定(1)されている間はEEPMnへのどの書き込みも無視されます。ﾘｾｯﾄ中、EEPMnﾋﾞｯﾄはEEPROMがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ作業中を除いて'00'にﾘｾｯﾄされます。

表9-1. EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別

EEPM1	EEPM0	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	動作
0	0	3.4ms	1操作での消去と書き込み(非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	–	将来使用に予約

● **ﾋﾞｯﾄ3 – EERIE : EEPROM操作可割り込み許可** (EEPROM Ready Interrupt Enable)

EERIEの1書き込みはｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性ﾒﾓﾘ(ﾌﾗｯｼｭ ﾒﾓﾘとEEPROM)がﾌﾟﾛｸﾞﾗﾐﾝｸﾞの準備可ならば継続する割り込みを発生します。EEPROM書き込みとSPM命令の間、本割り込みは生成されません。

● **ﾋﾞｯﾄ2 – EEMPE : EEPROM主ﾌﾟﾛｸﾞﾗﾑ許可** (EEPROM Master Program Enable)

EEMPEﾋﾞｯﾄはEEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄの'1'書き込みが有効か無効かどちらかを決めます。EEMPEが設定(1)されると、4ｸﾛｯｸ周期内のEEPE設定(1)は選んだｱﾄﾞﾚｽのEEPROMをﾌﾟﾛｸﾞﾗﾑします。

EEMPEが0なら、EEPE設定(1)は無効です。EEMPEがｿﾌﾄｳｪｱによって'1'が書かれてしまうと、4ｸﾛｯｸ周期後にﾊｰﾄﾞｳｪｱがこのﾋﾞｯﾄを0に解除します。EEPROM書き込み手順については次のEEPE記述をご覧ください。

● **ﾋﾞｯﾄ1 – EEPE : EEPROMﾌﾟﾛｸﾞﾗﾑ許可** (EEPROM Program Enable)

EEPROMﾌﾟﾛｸﾞﾗﾑ許可信号(EEPE)はEEPROMへの書き込み許可信号です。EEPEが(1を)書かれると、EEPROMはEEPMnﾋﾞｯﾄ設定に従ってﾌﾟﾛｸﾞﾗﾑされます。EEPEへ'1'が書かれる前にEEPROM主ﾌﾟﾛｸﾞﾗﾑ許可(EEMPE)ﾋﾞｯﾄは'1'を書かれなければならず、さもなければEEPROM書き込み(消去)は行われません。EEPROMを書くとき、次の手順に従うべきです(手順3.と4.の順番は重要ではありません)。

1. EEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄが0になるまで待ちます。
2. SPM制御/状態ﾚｼﾞｽﾀ(SPMCSR)のSPM操作許可(SPMEN)ﾋﾞｯﾄが0になるまで待ちます。
3. 今回のEEPROMｱﾄﾞﾚｽをEEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)に書きます。(任意、省略可)
4. 今回のEEPROMﾃﾞｰﾀをEEPROMﾃﾞｰﾀ ﾚｼﾞｽﾀ(EEDR)に書きます。(任意、省略可)
5. EEPROM制御ﾚｼﾞｽﾀ(EECR)のEEMPEﾋﾞｯﾄに'1'、EEPEﾋﾞｯﾄに'0'を同時に書きます。
6. EEMPEﾋﾞｯﾄ設定後4ｸﾛｯｸ周期内にEEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄへ'1'を書きます。

CPUがﾌﾗｯｼｭ ﾒﾓﾘ書き込み中、EEPROMはﾌﾟﾛｸﾞﾗﾑ(書き込みが)できません。ｿﾌﾄｳｪｱは新規EEPROM書き込みを始める前にﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了されていることを検査しなければなりません。2.はｿﾌﾄｳｪｱがﾌﾗｯｼｭ ﾒﾓﾘをﾌﾟﾛｸﾞﾗﾑ(書き込みを)することをCPUに許すﾌﾞｰﾄ ﾛｰﾀﾞを含む場合だけ関係します。ﾌﾗｯｼｭ ﾒﾓﾘが決してCPUによって更新されないなら、2.は省略できます。

警告:

手順5.と6.間の割り込みはEEPROM主ﾌﾟﾛｸﾞﾗﾑ許可が時間超過するため、書き込み周期失敗になります。EEPROMをｱｸｾｽする割り込みﾙｰﾁﾝが他のEEPROMｱｸｾｽを中断し、EEARかEEDRが変更されると、中断したEEPROMｱｸｾｽを失敗させます。これらの問題を避けるため、全ての手順中、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄは解除(0)されていることが推奨されます。

書き込み(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ)ｱｸｾｽ時間が経過されると、EEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。EEPEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

● ﾋﾞｯﾄ0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みｽﾄﾛｰﾌﾞです。EEARに正しいｱﾄﾞﾚｽが設定されると、EEPROM読み出しを起動するためにEEREﾋﾞｯﾄは'1'を書かれなければなりません。EEPROM読み出しｱｸｾｽは(その)1命令で行われ、要求したﾃﾞｰﾀは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。

使用者は読み込み操作を始める前にEEPEﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞすべきです。書き込み(ﾌﾟﾛｸﾞﾗﾑ)操作実行中の場合、EEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)の変更もEEPROM読み込みもできません。

EEPROMｱｸｾｽの時間には校正済み内蔵RC発振器が使われます。CPUからのEEPROMｱｸｾｽに対する代表的な書き込み時間については右表をご覧ください。

表9-2. EEPROM書き込み時間

項目	校正付き内蔵RC発振器周期数	代表
EEPROM書き込み(CPU)	26,368	3.3ms

次のｺｰﾄﾞ例はｱｾﾝﾌﾞﾘ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はｿﾌﾄｳｪｱ内にﾌﾗｯｼｭ ﾌﾞｰﾄ ﾛｰﾀﾞが無い前提でもあります。そのようなｺｰﾄﾞが存在する場合、EEPROM書き込み関数は何れかが実行するSPM命令の完了も待たねばなりません。(訳注:共通性から次例は補足修正しています。)

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
EEPROM_WR:  SBIC    EECR, EEPE          ;EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了ならばｽｷｯﾌﾟ
            RJMP    EEPROM_WR           ;以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機
;
            LDI     R19, (0<<EEPM1)|(0<<EEPM0)  ;ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別値取得(本例は非分離)
            OUT     EECR, R19           ;対応ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別設定
            OUT     EEARH, R18          ;EEPROMｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定
            OUT     EEARL, R17          ;EEPROMｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定
            OUT     EEDR, R16           ;EEPROM書き込み値を設定
            SBI     EECR, EEMPE         ;EEPROM主ﾌﾟﾛｸﾞﾗﾑ許可ﾋﾞｯﾄ設定
            SBI     EECR, EEPE          ;EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始(ﾌﾟﾛｸﾞﾗﾑ許可ﾋﾞｯﾄ設定)
            RET                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEPE));            /* 以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機 */
    EECR = (0<<EEPM1)|(0<<EEPM0);       /* 対応ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別設定 */
    EEAR = uiAddress;                   /* EEPROMｱﾄﾞﾚｽ設定 */
    EEDR = ucData;                      /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                 /* EEPROM主ﾌﾟﾛｸﾞﾗﾑ許可 */
    EECR |= (1<<EEPE);                  /* EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始 */
}
```

注:「ｺｰﾄﾞ例について」を参照してください。

次のｺｰﾄﾞ例はｱｾﾝﾌﾞﾘ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
EEPROM_RD:  SBIC    EECR, EEPE          ;EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了ならばｽｷｯﾌﾟ
            RJMP    EEPROM_RD           ;以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機
;
            OUT     EEARH, R18          ;EEPROMｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定
            OUT     EEARL, R17          ;EEPROMｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定
            SBI     EECR, EERE          ;EEPROM読み出し開始(読み込み許可ﾋﾞｯﾄ設定)
            IN      R16, EEDR           ;EEPROM読み出し値を取得
            RET                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEPE));            /* 以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機 */
    EEAR = uiAddress;                   /* EEPROMｱﾄﾞﾚｽ設定 */
    EECR |= (1<<EERE);                  /* EEPROM読み出し開始 */
    return EEDR;                        /* EEPROM読み出し値を取得,復帰 */
}
```

注:「ｺｰﾄﾞ例について」を参照してください。

9.6.4. GPIOR2 – 汎用I/Oﾚｼﾞｽﾀ2 (General Purpose I/O Register 2)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：GPIOR2
変位 ：$4B ($2B)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2Bです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	GPIOR27~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – GPIOR27~0 : 汎用I/Oﾚｼﾞｽﾀ2** (General Purpose I/O)

9.6.5. GPIOR1 – 汎用I/Oﾚｼﾞｽﾀ1 (General Purpose I/O Register 1)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：GPIOR1
変位 ：$4A ($2A)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2Aです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	GPIOR17~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – GPIOR17~0 : 汎用I/Oﾚｼﾞｽﾀ1** (General Purpose I/O)

9.6.6. GPIOR0 – 汎用I/Oﾚｼﾞｽﾀ0 (General Purpose I/O Register 0)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：GPIOR0
変位 ：$3E ($1E)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$1Eです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	GPIOR07~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – GPIOR07~0 : 汎用I/Oﾚｼﾞｽﾀ0** (General Purpose I/O)

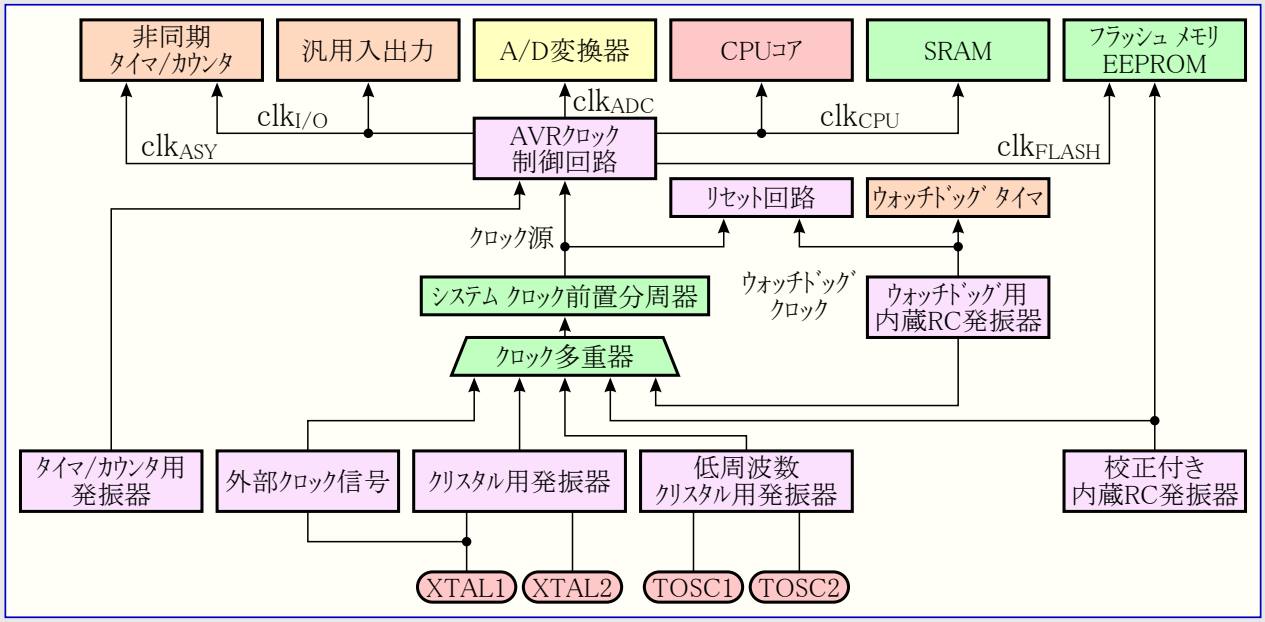
10. システム クロックとクロック選択

10.1. クロック系統とその配給

下図はデバイス内の主要なクロック系統ととそれらの配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、各種休止形態を用いることによって、使われない部分のクロックを停止することができます。クロック系統は以降の項で記述されます。

システム クロック周波数はシステム クロック前置分周器から生成された周波数を参照します。AVRクロック制御部からの全てのクロック出力は同じ周波数で動きます。

図10-1. クロックの配給



10.1.1. CPUクロック – clk_{CPU}

CPUクロックはAVRコアの動作と関係する系統の部分に配給されます。このような部分の例は汎用レジスタ ファイル、ステータス レジスタ、スタック ポインタを保持するデータ メモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

10.1.2. I/Oクロック – $clk_{I/O}$

I/Oクロックはタイマ/カウンタ、SPI、USARTのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、2線直列インターフェース(TWI)単位部の開始条件検出は$clk_{I/O}$が停止される時に非同期で実行されます。

注: パワーダウン動作から起き上がるのにレベル起動割り込みが使われる場合、そのレベル割り込みを起動するような完全な起動のために必要とされた割り込みはMCUに対して充分な長さを保持しなければなりません。始動時間の終了前にそのレベルが消滅すると、MCUは未だ起き上がりますが、割り込みが生成されません。始動時間はSUTとCKSELのヒューズによって定義されます。

10.1.3. フラッシュ クロック – clk_{FLASH}

フラッシュ クロックはフラッシュ メモリ インターフェースの動作を制御します。このフラッシュ クロックは常にCPUクロックと同時に活動します。

10.1.4. 非同期タイマ クロック – clk_{ASY}

非同期タイマ クロックは外部32kHzクロック用クリスタルから直接的にクロック駆動されることを非同期タイマ/カウンタに許します。この専用クロック範囲はデバイスが休止形態の時でも、このタイマ/カウンタの実時間計数器としての使用を許します。

10.1.5. A/D変換クロック – clk_{ADC}

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成された雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

10.2. クロック元

このデバイスには右で示されるようにフラッシュ ヒューズ ビットによって選択可能な後続のクロック元選択があります。選んだクロック元からのクロックはAVRクロック発生器への入力で、適切な単位部へ配給されます。

表10-1. クロック元選択

クロック元	CKSEL3～0
外部クリスタル低電力発振器	1111～1000
外部クリスタル全振幅発振器	0111～0110
外部低周波数クリスタル発振器	0101～0100
128kHz内部(WDT)発振器	0011
校正付き内蔵RC発振器	0010
外部クロック信号	0000
(予約)	0001

注: 1=非プログラム、0=プログラム

10.2.1. 既定のクロック元

このデバイスは8.0MHzの校正付き内蔵RC発振器でCKDIV8ヒューズがプログラム(0)され、結果として1.0MHzのシステム クロックで出荷されます。起動時間は計時完了周期が許可され、最大に設定されます(CKSEL=0010, SUT=10, CKDIV8=プログラム(0))。この既定設定は全ての使用者が実装または並列書き込み器を使って、それらを希望したクロック元設定にできることを保証します。

10.2.2. クロック起動手順

何れのクロック元も発振を開始するための充分なVCCと、それが安定であると考えられるのに先立って最低発振周期数が必要です。

充分なVCCを保証するために、その他全てのリセット元によってデバイス リセットが開放された後、デバイスは起動遅延時間(t_{TOUT})の内部リセットを発生します。内部リセットに対する起動条件の記述については関連リンクをご覧ください。この遅延(t_{TOUT})はウォッチドッグ発振器で計時され、遅延周期数はSUTとCKSELのヒューズにより設定されます。選択可能な遅延は右表で示されます。ウォッチドッグ発振器の周波数は電圧に依存します。

表10-2. WDT発振器の代表計時完了値、周期数

VCC=3.0V	VCC=5.0V	周期数
0ms	0ms	0
4.3ms	4.1ms	512
69ms	65ms	8K (8192)

遅延の主な目的は最小VCCを供給されるまでデバイスをリセットに保つことです。この遅延は実電圧を監視しませんので、VCC上昇時間より長い遅延を選ぶことが必要とされます。これが不可能な場合、内部または外部の低電圧検出回路(BOD)が使われるべきです。BOD回路がリセットを開放する前に充分なVCCを保証するでしょうから、起動遅延時間は禁止され得ます。低電圧検出回路(BOD)なしでの起動遅延時間の禁止は推奨されません。

この発振器はクロックが安定と見做されるのに先立つ最低クロック数の発振を必要とされます。内部リプル カウンタは発振器の出力クロックを監視し、与えられたクロック周期数間、内部リセットを活性に保ちます。このリセットはその後に開放され、デバイスが実行を開始します。推奨発振器起動時間はクロック種別に依存し、外部的に印加されたクロック用の6周期から、低周波数クリスタル用の32K周期まで変化します。

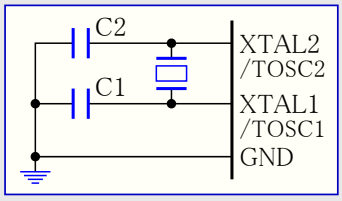
クロックについての起動手順は計時完了遅延とデバイスがリセットから起動するときの起動時間の両方を含みます。パワーダウンまたはパワーセーブから起動するとき、VCCは充分な電圧であると認識され、起動時間だけが含められます。

10.2.3. 発振子/振動子接続

XTAL1とXTAL2のピンは右図で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使うことができます。

C1とC2はクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使うクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁雑音に依存します。クリスタル発振子使用に対するコンデンサ選択について初期の指針のいくつかは以降の表で与えられます。セラミック振動子については製造業者によって与えられたコンデンサ値が使われるべきです。

図10-2. クリスタル発振子接続図



関連リンク　29頁の「クリスタル用低電力発振器」
29頁の「クリスタル用全振幅発振器」
30頁の「低周波数クリスタル用発振器」

10.3. クリスタル用低電力発振器

この発振器はXTAL2出力上の電圧振幅を減少した低電力発振器です。これは最低消費電力を与えますが、他のクロック入力を駆動する能力はなく、雑音が多い環境で、より雑音の影響を受け易くなります。これらの場合には「**クリスタル用全振幅発振器**」を参照してください。

クリスタル発振子使用に対するコンデンサ選択について、初期の指針のいくつかは下表で与えられます。クリスタル発振子は「**発振子/振動子接続**」で記載されるように接続されるべきです。

低電力発振器は示された周波数範囲で各々最適化された3つの異なる種別で動作できます。この動作種別は下表で示されるようにCKSEL3～1ヒューズによって選ばれます。

表10-3. 低電力クリスタル用発振器動作種別

CKSEL3～1	周波数範囲	推奨C1,2容量
100 (注1)	0.4～0.9MHz	–
101	0.9～3.0MHz	12～22pF
110	3.0～8.0MHz	12～22pF
111	8.0～16MHz	12～22pF

注: これは各周波数範囲に対する推奨CKSEL設定です。

注: 周波数が仕様(VCC依存)超の場合、CKDIV8=0が可能ですが、分周後クロックが仕様内であることを保証しなければなりません。

注1: 本選択はクリスタル発振子ではなく、セラミック振動子でのみ使われるべきです。

CKSEL0ヒューズはSUT1,0ヒューズと共に下表で示されるように起動時間を選びます。

表10-4. クリスタル発振子/セラミック振動子用低電力発振器起動遅延時間選択表

CKSEL0	SUT1,0	パワーダウン, パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	0 0	258×CK (注1)	14×CK+4.1ms	外部セラミック振動子、高速上昇電源
	0 1	258×CK (注1)	14×CK+65ms	外部セラミック振動子、低速上昇電源
	1 0	1K×CK (注2)	14×CK	外部セラミック振動子、低電圧検出(BOD)リセット許可
	1 1	1K×CK (注2)	14×CK+4.1ms	外部セラミック振動子、高速上昇電源
1	0 0	1K×CK (注2)	14×CK+65ms	外部セラミック振動子、低速上昇電源
	0 1	16K×CK	14×CK	外部クリスタル発振子、低電圧検出(BOD)リセット許可
	1 0	16K×CK	14×CK+4.1ms	外部クリスタル発振子、高速上昇電源
	1 1	16K×CK	14×CK+65ms	外部クリスタル発振子、低速上昇電源

注1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。これらの選択はクリスタル発振子用ではありません。

注2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性を保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使えます。

関連リンク 29頁の「クリスタル用全振幅発振器」

10.4. クリスタル用全振幅発振器

この発振器はXTAL2出力上で供給電圧端振幅にする全振幅発振器です。これは雑音が多い環境や他のクロック入力を駆動するのに適します。消費電流は「**クリスタル用低電力発振器**」より多くなります。全振幅クリスタル発振器がVCC=2.7～5.5Vに対してのみ動作することに注意してください。

クリスタル発振子使用に対するコンデンサ選択について、初期の指針のいくつかは**表10-5.**で与えられます。クリスタル発振子は「**発振子/振動子接続**」で記載されるように接続されるべきです。

このこの動作種別は下表で示されるようにCKSEL3～1ヒューズによって選ばれます。

表10-5. 全振幅クリスタル用発振器動作種別

CKSEL3～1	周波数範囲	推奨C1,2容量
011	0.4～20MHz	12～22pF

注: 周波数が仕様(VCC依存)超の場合、CKDIV8=0が可能ですが、分周後クロックが仕様内であることを保証しなければなりません。

CKSEL0ﾋｭｰｽﾞはSUT1,0ﾋｭｰｽﾞと共に下表で示されるように起動時間を選びます。

表10-6. ｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子用全振幅発振器起動遅延時間選択表

CKSEL0	SUT1,0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	0 0	258×CK (注1)	14×CK+4.1ms	外部ｾﾗﾐｯｸ振動子、高速上昇電源
	0 1	258×CK (注1)	14×CK+65ms	外部ｾﾗﾐｯｸ振動子、低速上昇電源
	1 0	1K×CK (注2)	14×CK	外部ｾﾗﾐｯｸ振動子、低電圧検出(BOD)ﾘｾｯﾄ許可
	1 1	1K×CK (注2)	14×CK+4.1ms	外部ｾﾗﾐｯｸ振動子、高速上昇電源
1	0 0	1K×CK (注2)	14×CK+65ms	外部ｾﾗﾐｯｸ振動子、低速上昇電源
	0 1	16K×CK	14×CK	外部ｸﾘｽﾀﾙ発振子、低電圧検出(BOD)ﾘｾｯﾄ許可
	1 0	16K×CK	14×CK+4.1ms	外部ｸﾘｽﾀﾙ発振子、高速上昇電源
	1 1	16K×CK	14×CK+65ms	外部ｸﾘｽﾀﾙ発振子、低速上昇電源

注1: これらの選択はﾃﾞﾊﾞｲｽの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。これらの選択はｸﾘｽﾀﾙ発振子用ではありません。

注2: これらの選択はｾﾗﾐｯｸ振動子での使用を意図され、起動での周波数安定性の保証します。ﾃﾞﾊﾞｲｽの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はｸﾘｽﾀﾙ発振子も使えます。

関連ﾘﾝｸ　29頁の「ｸﾘｽﾀﾙ用低電力発振器」

10.5. 低周波数ｸﾘｽﾀﾙ用発振器

低周波数ｸﾘｽﾀﾙ用発振器は時計用32.768kHzｸﾘｽﾀﾙでの使用に最適化されています。ｸﾘｽﾀﾙ選択時、負荷容量とｸﾘｽﾀﾙの等価直列抵抗(ESR)が考慮されなければなりません。両値はｸﾘｽﾀﾙ販売業者によって指定されます。この発振器は非常に低い電力消費用に最適化されており、故にｸﾘｽﾀﾙ選択時、推奨最大ESRを考慮してください。

低周波数ｸﾘｽﾀﾙ用発振器は各TOSCﾋﾟﾝで内部負荷容量を提供します。

表10-7. 時計用32.768kHzｸﾘｽﾀﾙ用推奨最大ESR

ｸﾘｽﾀﾙ負荷容量 (CL:pF)	最大ESR (kΩ) (注1)
9.0	65
12.5	30

注1: 最大ESRは特性を基にした代表値です。

表10-8. 低周波数ｸﾘｽﾀﾙ用発振器内部容量

32kHz発振器形式	容量 (pF)	
	TOSC1	TOSC2
ｼｽﾃﾑ ｸﾛｯｸ用発振器	18	8
ﾀｲﾏ/ｶｳﾝﾀ用発振器	6	6

各TOSCﾋﾟﾝで必要とする外部容量(C)は右式を使って計算することができます。

$$Ce + Ci = 2 \times CL - Cs$$

Ce ：図10-2.で記述されるように追加外部容量です。
Ci ：上表でのﾋﾟﾝ容量です。
CL ：ｸﾘｽﾀﾙ製造業者によって指定された32.768kHzｸﾘｽﾀﾙ用の負荷容量です。
Cs ：1つのTOSCﾋﾟﾝに対する総浮遊容量です。

表10-8.で与えられたものより高い指定負荷容量(CL)のｸﾘｽﾀﾙは図10-2.で記述するように付加外部容量(ｺﾝﾃﾞﾝｻ)が必要です。

この発振器が選ばれると、起動時間は次表で示されるようにSUTﾋｭｰｽﾞとCKSEL0ﾋｭｰｽﾞによって決定されます。

表10-9. 低周波数ｸﾘｽﾀﾙ発振器起動遅延時間選択表

CKSEL0	SUT1,0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	0 0	1K×CK (注1)	14×CK	低電圧検出(BOD)ﾘｾｯﾄ許可
	0 1	1K×CK (注1)	14×CK+4.1ms	高速上昇電源
	1 0	1K×CK (注1)	14×CK+65ms	低速上昇電源
	1 1	(予約)		
1	0 0	32K×CK	14×CK	低電圧検出(BOD)ﾘｾｯﾄ許可
	0 1	32K×CK	14×CK+4.1ms	高速上昇電源
	1 0	32K×CK	14×CK+65ms	低速上昇電源
	1 1	(予約)		

注1: これらの選択は応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。

関連ﾘﾝｸ　28頁の「発振子/振動子接続」
32頁の「ﾀｲﾏ/ｶｳﾝﾀ用発振器」

10.6. 校正付き内蔵RC発振器

既定による校正された内蔵RC発振器は8.0MHzのクロックを供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。

このクロックは下表で示されるようにCKSELヒューズのプログラミングによってシステム クロックとして選べます。選んだなら、外部部品なしで動作します。リセット中、ハードウェアが発振校正(OSCCAL)レジスタに予めプログラムされた校正バイトを設定し、これによってRC発振器を自動的に校正します。

ソフトウェアからOSCCALレジスタを変更することによって、工場校正を使うよりも高い精度を得ることができます。

この発振器がチップ(システム)クロックとして使われる時に、ウォッチドッグ発振器は未だウォッチドッグ タイマとリセット付加遅延計時器に使われます。

表10-10. 校正付き内蔵RC発振器動作種別

CKSEL3～0	周波数範囲 (MHz)
0 0 1 0	7.3～8.1

注: デバイスはこの選択で出荷されます。

注: この8MHz周波数がデバイス仕様(VCCに依存)を越える場合、内部周波数を8分周するためにCKDIV8ヒューズをプログラム(0)にできます。

この発振器が選ばれると、起動時間はSUTヒューズによって決定されます。

表10-11. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウン, パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK (注2)	低電圧検出リセット(BOD)許可
0 1	6×CK	14×CK+4.1ms	高速上昇電源
1 0 (注1)	6×CK	14×CK+65ms	低速上昇電源
1 1	(予約)		

注1: デバイスはこの選択で出荷されます。

関連リンク
226頁の「クロック特性」
32頁の「システム クロック前置分周器」
207頁の「校正バイト」
33頁の「OSCCAL - 発振校正レジスタ」
206頁の「ヒューズ ビット」

10.7. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを供給する低電力発振器です。この周波数は3V,25℃での公称値です。本クロックはCKSELヒューズを'0011'にプログラミング(設定)することによってシステム クロックとして選べます。

表10-12. 128kHz内部発振器動作種別

CKSEL3～0	公称周波数
0 0 1 1	128kHz

注: 128kHz発振器は非常に低い電力のクロック元で、高精度用に設計されていないことに注意してください。

このクロック元が選ばれると、起動時間はSUTヒューズによって決定されます。

表10-13. 128kHz内部発振器用起動遅延時間選択表

SUT1,0	パワーダウン, パワーセーブからの起動遅延時間	リセットからの付加遅延時間	推奨使用法
0 0	6×CK	14×CK (注1)	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4ms	高速上昇電源
1 0	6×CK	14×CK+64ms	低速上昇電源
1 1	(予約)		

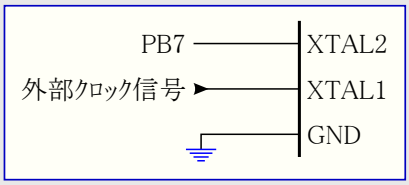
10.8. 外部クロック信号

外部クロック元からデバイスを駆動するには、図で示されるようにXTAL1が駆動されるべきです。外部クロックでデバイスを走行するためにはCKSELヒューズが'0000'にプログラム(設定)されなければなりません。

表10-14. 外部クロック信号動作種別

CKSEL3～0	周波数範囲
0 0 0 0	0～20MHz

図10-3. 外部クロック信号駆動接続図



このクロック元が選ばれると、起動時間はSUTヒューズによって決定されます。

表10-15. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウン, パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4.1ms	高速上昇電源
1 0	6×CK	14×CK+65ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システム クロック前置分周器は安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使うことができます。

関連リンク 32頁の「システム クロック前置分周器」

10.9. タイマ/カウンタ用発振器

本デバイスは低周波数クリスタル用発振器とタイマ/カウンタ用発振器に対して同じクリスタル用発振器を使用します。この発振器とクリスタルの必要条件については「**低周波数クリスタル用発振器**」をご覧ください。

このデバイスは時計用32.768kHzクリスタルまたは外部クロック元でタイマ/カウンタ2を駆動できます。詳細については「**低周波数クリスタル用発振器**」をご覧ください。タイマ/カウンタ用発振器使用時、システム クロックはこの発振器周波数の4倍を必要とします。

TOSC1への外部クロック元印加は非同期状態レジスタの外部クロック許可(ASSR.EXCLK)ビットが'1'を書かれる場合に行うことができます。時計用32.768kHzクリスタルに代わる入力として外部クロックを選ぶ更なる記述については「**タイマ/カウンタ2の非同期動作**」の記述をご覧ください。

関連リンク 30頁の「低周波数クリスタル用発振器」
121頁の「ASSR – 非同期状態レジスタ」

10.10. クロック出力緩衝部 (外部クロック出力)

このデバイスはシステム クロックをCLKOピンに出力できます。本出力を許可するにはCKOUTヒューズがプログラム(0)されなければなりません。この動作はチップのクロックがシステム上の他の回路を駆動する時用です。このヒューズがプログラム(0)されると、I/Oピンの標準動作は無視され、このクロックはリセット中も出力されます。CLKOがクロック出力を扱うとき、校正付き内蔵RC発振器を含む何れのクロック元も選べます。システム クロック前置分周器が使用されると、CKOUTヒューズがプログラム(0)された時の出力は分周したシステム クロックです。

10.11. システム クロック前置分周器

本デバイスはシステム クロック前置分周器を持ち、システム クロックはクロック前置分周レジスタ(CLKPR)を構成設定することによって分周できます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使えます。これは全クロック種別で使え、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clk_{CPU}、clk_{FLASH}、$clk_{I/O}$、clk_{ADC}はCLKPR記述で示された値によって分周されます。

前置分周器設定間を切り替えるとき、システム クロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロック系で不具合が起きないことを保証します。前置分周器として実行するリプル カウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。クロック分周値選択(CLKPS3～0)ビット値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2～T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

1. クロック分周値変更許可(CLKPCE)ビットに'1'、CLKPR内の他の全ビットに'0'を書いてください。CLKPR=$80
2. (次からの)4周期以内にCLKPCEへ'0'を書くと同時にCLKPS3～0へ望む値を書いてください。CLKPR=$0n

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

関連リンク 31頁の「校正付き内蔵RC発振器」
32頁の「外部クロック信号」
33頁の「CLKPR – クロック前置分周レジスタ」

10.12. クロック関係レジスタ

10.12.1. OSCCAL – 発振校正レジスタ (Oscillator Calibration Register)

名称 ：OSCCAL
変位 ：$66
リセット ：デバイス固有の校正値
特質 ：–

ビット	7	6	5	4	3	2	1	0
	CAL7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	デバイス固有の校正値							

● **ビット7~0 – CAL7~0 : 発振校正値** (Oscillator Calibration Value)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使われます。チップのリセット中、「**電気的特性**」章の「**クロック特性**」項で指定されるように、工場校正周波数を与える予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は「**電気的特性**」章の「**クロック特性**」項で指定されるような周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュ メモリとEEPROMの書き込みアクセス時間に使われ、これらの書き込み時間はそれに応じて影響されることに注意してください。フラッシュ メモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュ メモリまたはEEPROM書き込みは失敗するかもしれません。

CAL7ビットは発振器に関する操作範囲を決めます。このビットの(0)設定は低周波数範囲になり、(1)設定は高周波数範囲になります。この2つの周波数範囲は重複し、別の言葉では、OSCCAL=$7F設定はOSCCAL=$80設定より高い周波数になります。

CAL6～0ビットは選んだ範囲内の周波数調整に使われます。$00設定はその範囲の最低周波数になり、$7F設定はその範囲の最高周波数になります。

10.12.2. CLKPR – クロック前置分周レジスタ (Clock Prescale Register)

名称 ：CLKPR
変位 ：$61
リセット ：ビット記述を参照
特質 ：–

ビット	7	6	5	4	3	2	1	0
	CLKPCE	–	–	–	CLKPS3~0			
アクセス種別	R/W	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	1/0	1/0

● **ビット7 – CLKPCE : クロック分周値変更許可** (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するためにCLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれる時だけ更新されます。CLKPCEは書き込み後4クロック周期またはCLKPSビット書き込み時、ハードウェアによって解除(0)されます。この制限時間(4クロック周期)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(0)も行いません。

● **ビット3~0 – CLKPS3~0 : クロック分周値選択** (Clock Prescaler Select Bits 3～0)

これらのビットは選んだクロック元と内部システム クロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使われると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は下表で与えられます。

CKDIV8ヒューズがCLKPSビットの初期値を決めます。CKDIV8が非プログラム(1)にされると、CLKPSビットは'0000'にリセットされます。CKDIV8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、この機能が使われるべきです。CKDIV8ヒューズ設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、充分な分周値が選ばれることを保証しなければなりません。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。

表10-16. クロック前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1	2	4	8	16	32	64	128	256	(予約)						

11. PM – 電力管理と休止形態 (Power Management and Sleep Modes)

11.1. 概要

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。本ﾃﾞﾊﾞｲｽは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

許可したなら、低電圧検出器(BOD)は休止期間中、電源電圧を積極的に監視します。

11.2. 休止形態種別

下表は各種休止形態、それらの起動元とBOD禁止の可能性を示します。

表11-1. 各休止形態に於ける動作ｸﾛｯｸ範囲と復帰起動要因

休止種別	動作ｸﾛｯｸ範囲					動作発振器		復帰起動要因 (割り込み)							ｿﾌﾄｳｪｱ BOD 禁止
	clk_{CPU}	clk_{FLASH}	clk_{IO}	clk_{ADC}	clk_{ASY}	主ｸﾛｯｸ供給元	ﾀｲﾏ用発振器	INTと PCINT	TWI ｱﾄﾞﾚｽ一致	ﾀｲﾏ/ｶｳﾝﾀ2	SPM EEPROM 操作可	A/D 変換完了	ｳｫｯﾁﾄﾞｯｸﾞ	その他 I/O	
ｱｲﾄﾞﾙ			○	○	○	○	②	○	○	○	○	○	○	○	
A/D変換雑音低減				○	○	○	②	③	○	②	○	○	○		
ﾊﾟﾜｰﾀﾞｳﾝ								③	○				○		○
ﾊﾟﾜｰｾｰﾌﾞ					○		②	③	○	○			○		○
ｽﾀﾝﾊﾞｲ(注1)						○		③	○				○		○
拡張ｽﾀﾝﾊﾞｲ(注1)					②	○	②	③	○	○			○		○

注1: ｸﾛｯｸ元として外部ｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子が選択された場合のみ推奨されます。

② ﾀｲﾏ/ｶｳﾝﾀ2非同期状態ﾚｼﾞｽﾀ(ASSR)の非同期ｸﾛｯｸ(AS2)ﾋﾞｯﾄが設定(1)された場合です。

③ INT1とINT0についてはﾚﾍﾞﾙ割り込みだけです。

6つの休止形態の何れかへ移行するには休止形態制御ﾚｼﾞｽﾀ(SMCR)の休止許可(SE)ﾋﾞｯﾄが1を書かれ、SLEEP命令が実行されなければなりません。SMCRの休止種別選択(SM2～0)ﾋﾞｯﾄはSLEEP命令によって活性(有効)にされる休止形態(ｱｲﾄﾞﾙ、A/D変換雑音低減、ﾊﾟﾜｰﾀﾞｳﾝ、ﾊﾟﾜｰｾｰﾌﾞ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲ)のどれかを選びます。

注:「ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択」章の構成図は本ﾃﾞﾊﾞｲｽの各種ｸﾛｯｸ系統とそれらの配給に関する概要を提供します。この図は適切な休止形態の選択する助けになります。

MCUが休止形態中に許可した割り込みが起こると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みﾙｰﾁﾝを実行し、そしてSLEEP命令の次の命令から実行を再開します。ﾃﾞﾊﾞｲｽが休止から起動するとき、ﾚｼﾞｽﾀ ﾌｧｲﾙとSRAMの内容は変えられません。休止形態中にﾘｾｯﾄが起こると、MCUは起動し、ﾘｾｯﾄ ﾍﾞｸﾀから実行します。

関連ﾘﾝｸ 27頁の「ｸﾛｯｸ系統とその配給」

11.3. 低電圧検出器(BOD)禁止

低電圧検出器(BOD)がBODLEVELﾋｭｰｽﾞ(「ﾋｭｰｽﾞ ﾋﾞｯﾄ」項もご覧ください)によって許可されると、BODは休止期間中に電源電圧を活発に監視します。節電のため、休止形態のいくつかに対してｿﾌﾄｳｪｱによってBODを禁止することが可能です。その休止形態電力消費はBODがﾋｭｰｽﾞによって全面的に禁止される時と同じ水準になるでしょう。BODがｿﾌﾄｳｪｱで禁止される場合、BOD機能は休止形態移行直後にOFFされます。休止からの起動復帰で、BODは再び自動的に許可されます。これは休止期間中にVCCﾚﾍﾞﾙが落ちた場合の安全な動作を保証します。

BODが禁止されてしまうと、MCUがｺｰﾄﾞの実行を継続する前にBODが正しく動作することを保証するために、休止形態からの起動時間は概ね60µsになります。

BOD禁止はMCU制御ﾚｼﾞｽﾀのBOD休止(MCUCR.BODS)ﾋﾞｯﾄによって制御されます。このﾋﾞｯﾄへの1書き込みは関連する休止形態でBODをOFFにし、一方このﾋﾞｯﾄの0はBOD活動(有効)を保ちます。既定設定のBODS=0はBOD活動を保ちます。

注: BODSﾋﾞｯﾄへの書き込みは許可ﾋﾞｯﾄと時間制限手順によって制御されます。

関連ﾘﾝｸ 38頁の「MCUCR – MCU制御ﾚｼﾞｽﾀ」
206頁の「ﾋｭｰｽﾞ ﾋﾞｯﾄ」

11.4. アイドル動作

休止種別選択(SM2～0)ビットが'000'を書かれた時のSLEEP命令はMCUをアイドル動作へ移行させてCPUを停止しますが、SPI、USART、アナログ比較器、A/D変換器、2線直列インターフェース、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れやUSARTの送信完了などの内部割り込みだけでなく、外部で起動された割り込みからの起動も許します。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。

関連リンク 172頁の「ACSR – アナログ比較器制御/状態レジスタ」

11.5. A/D変換雑音低減動作

SM2～0ビットが'001'を書かれた時のSLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、2線直列インターフェースのアドレス監視、タイマ/カウンタ2(注)、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的にclkI/O, clkCPU, clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、本動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、以下のこれらの事象だけが、A/D変換雑音低減動作からMCUを起動することができます。

- 外部リセット
- ウォッチドッグ システム リセット
- ウォッチドッグ割り込み
- 低電圧検出(BOD)リセット
- 2線直列インターフェースのアドレス一致割り込み
- タイマ/カウンタ2の割り込み
- SPM/EEPROM操作可割り込み
- INTnの外部レベル割り込み
- ピン変化割り込み

注: タイマ/カウンタ2は非同期動作でだけ走行を維持します。

関連リンク 106頁の「TC2 – 8ビット タイマ/カウンタ2 (PWM, 非同期動作付き)」

11.6. パワーダウン動作

SM2～0ビットが'010'を書かれるとき、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では外部発振器が停止される一方、外部割り込み、2線直列インターフェースのアドレス監視、ウォッチドッグ機能は(許可されていれば)継続して動作します。

以下のこれらの事象の1つだけがMCUを起動することができます。

- 外部リセット
- ウォッチドッグ システム リセット
- ウォッチドッグ割り込み
- 低電圧検出(BOD)リセット
- 2線直列インターフェースのアドレス一致割り込み
- INTnの外部レベル割り込み
- ピン変化割り込み

この休止形態は基本的に生成した全てのクロックを停止し、非同期部の動作だけを許します。

注: レベル起動割り込みがパワーダウン動作からの起動に使われる場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このレベルが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間はSUTとCKSELのヒューズで定義されます。

パワーダウン動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをクロックに許します。この起動(遅延)時間はリセット付加遅延時間を定義するのと同じCKSELヒューズによって定義されます。

関連リンク 28頁の「クロック元」
50頁の「EXTINT – 外部割り込み」

11.7. ﾊﾟﾜｰｾｰﾌﾞ動作

SM2～0ﾋﾞｯﾄが'011'を書かれると、SLEEP命令はMCUをﾊﾟﾜｰｾｰﾌﾞ動作へ移行させます。この動作は(次の)1つの例外を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。

ﾀｲﾏ/ｶｳﾝﾀ2が許可される場合、それらは休止中も走行(動作)を維持します。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可(TOIE2)ﾋﾞｯﾄまたは比較x割り込み許可(OCIE2x)ﾋﾞｯﾄが設定(1)されるなら、ﾃﾞﾊﾞｲｽは対応するどの割り込みからでも起動できます。

ﾀｲﾏ/ｶｳﾝﾀ2が走行(動作)しないなら、ﾊﾟﾜｰﾀﾞｳﾝ動作をﾊﾟﾜｰｾｰﾌﾞ動作の代わりにすることが推奨されます。

ﾀｲﾏ/ｶｳﾝﾀ2はﾊﾟﾜｰｾｰﾌﾞ動作で同期と非同期両方でｸﾛｯｸ駆動できます。ﾀｲﾏ/ｶｳﾝﾀ2が非同期ｸﾛｯｸを使わない場合、休止中、ﾀｲﾏ/ｶｳﾝﾀ用発振器は停止されます。ﾀｲﾏ/ｶｳﾝﾀ2が同期ｸﾛｯｸを使わない場合、休止中、そのｸﾛｯｸ元は停止されます。例えﾊﾟﾜｰｾｰﾌﾞ動作で同期ｸﾛｯｸが走行しても、このｸﾛｯｸはﾀｲﾏ/ｶｳﾝﾀ2に対してだけ利用可能です。

11.8. ｽﾀﾝﾊﾞｲ動作

外部ｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子系ｸﾛｯｸ種別が選ばれ、SM2～0ﾋﾞｯﾄが'110'のとき、SLEEP命令はMCUをｽﾀﾝﾊﾞｲ動作へ移行させます。この動作は(外部用)発振部が走行(動作)を保たれる例外を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。ﾃﾞﾊﾞｲｽはｽﾀﾝﾊﾞｲ動作から6ｸﾛｯｸ周期で起動します。

11.9. 拡張ｽﾀﾝﾊﾞｲ動作

外部ｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子系ｸﾛｯｸ種別が選ばれ、休止種別選択(SM2～0)ﾋﾞｯﾄが'111'のとき、SLEEP命令はMCUを拡張ｽﾀﾝﾊﾞｲ動作へ移行させます。この動作は(外部用)発振部が走行(動作)を保たれる例外を除いてﾊﾟﾜｰｾｰﾌﾞ動作と同じです。ﾃﾞﾊﾞｲｽは拡張ｽﾀﾝﾊﾞｲ動作から6ｸﾛｯｸ周期で起動します。

11.10. 電力削減ﾚｼﾞｽﾀ

電力削減ﾚｼﾞｽﾀ0(PRR0)は消費電力を削減するために個別周辺機能へのｸﾛｯｸを停止する方法を提供します。周辺機能は現状で固定化され、I/Oﾚｼﾞｽﾀは読み込みも書き込みもできません。ｸﾛｯｸを停止している時に周辺機能によって使われていた資源は占有されたままですので、その周辺機能は殆どの場合、ｸﾛｯｸを停止する前に禁止されるべきです。周辺機能部の起動は電力削減ﾚｼﾞｽﾀ(PRR)で対応するﾋﾞｯﾄを解除(0)することによって行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力の削減のために活動動作とｱｲﾄﾞﾙ動作で使えます。その他の休止形態ではｸﾛｯｸが予め停止されます。

関連ﾘﾝｸ 39頁の「PRR0 – 電力削減ﾚｼﾞｽﾀ0」

11.11. 消費電力の最小化

これらはAVRが制御するｼｽﾃﾑで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するﾃﾞﾊﾞｲｽの機能が可能な限り少なくなるように選ばれるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

11.11.1. A/D変換器 (ADC)

許可なら、A/D変換器は全休止形態で許可されます。電力を節約するため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。

関連ﾘﾝｸ 174頁の「ADC – A/D変換器」

11.11.2. ｱﾅﾛｸﾞ比較器

ｱｲﾄﾞﾙ動作へ移行するとき、ｱﾅﾛｸﾞ比較器は使われないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、ｱﾅﾛｸﾞ比較器は禁止されるべきです。その他の休止形態でのｱﾅﾛｸﾞ比較器は自動的に禁止されます。しかしｱﾅﾛｸﾞ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でｱﾅﾛｸﾞ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。

関連ﾘﾝｸ 171頁の「AC – ｱﾅﾛｸﾞ比較器」

11.11.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。BODLEVELﾋｭｰｽﾞによってBODが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。

関連ﾘﾝｸ 41頁の「低電圧検出(BOD)ﾘｾｯﾄ」

11.11.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、ｱﾅﾛｸﾞ比較器、A/D変換器によって必要とされる時に許可されます。これら単位部が上の項で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。

関連ﾘﾝｸ 42頁の「内部基準電圧」

11.11.5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが応用で必要とされないなら、この単位部はOFFにされるべきです。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。

関連ﾘﾝｸ 42頁の「ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ」

11.11.6. ﾎﾟｰﾄ ﾋﾟﾝ

休止動作へ移行するとき、全てのﾎﾟｰﾄ ﾋﾟﾝは最小電力使用に設定されるべきです。最も重要なことはその時にﾋﾟﾝが抵抗性負荷を駆動しないのを保証することです。I/Oｸﾛｯｸ($clk_{I/O}$)とA/D変換ｸﾛｯｸ(clk_{ADC})の両方が停止される休止形態ではﾃﾞﾊﾞｲｽの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのﾋﾟﾝが許可されるかの詳細については「**ﾃﾞｼﾞﾀﾙ入力許可と休止形態**」項を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはｱﾅﾛｸﾞ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

ｱﾅﾛｸﾞ入力ﾋﾟﾝに対するﾃﾞｼﾞﾀﾙ入力緩衝部は常に禁止されるべきです。入力ﾋﾟﾝでのVCC/2付近のｱﾅﾛｸﾞ信号入力は活動動作でも重要な電流を引き起こし得ます。ﾃﾞｼﾞﾀﾙ入力緩衝部はﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ(A/D変換器用のDIDR0とｱﾅﾛｸﾞ比較器用のDIDR1)の書き込みによって禁止することができます。

関連ﾘﾝｸ 58頁の「ﾃﾞｼﾞﾀﾙ入力許可と休止形態」
184頁の「DIDR0 – ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ0」
173頁の「DIDR1 – ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ1」

11.11.7. JTAGｲﾝﾀｰﾌｪｰｽと内蔵ﾃﾞﾊﾞｯｸﾞ機能 (OCD)

内蔵ﾃﾞﾊﾞｯｸﾞ機能がOCDENﾋｭｰｽﾞによって許可され、ﾁｯﾌﾟがﾊﾟﾜｰﾀﾞｳﾝまたはﾊﾟﾜｰｾｰﾌﾞの休止形態へ移行すると、主ｸﾛｯｸ元は許可に留まります。これらの休止形態ではこれが総消費電流にとって重要な一因になります。

これを避けるには3通りの方法があります。

- OCDENﾋｭｰｽﾞを禁止 (非ﾌﾟﾛｸﾞﾗﾑ(1)設定)
- JTAGENﾋｭｰｽﾞを禁止 (非ﾌﾟﾛｸﾞﾗﾑ(1)設定)
- MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAG禁止(JTD)ﾋﾞｯﾄへの1書き込み

11.12. 電力管理用ﾚｼﾞｽﾀ

11.12.1. SMCR – 休止形態制御ﾚｼﾞｽﾀ (Sleep Mode Control Register)

この休止形態制御ﾚｼﾞｽﾀは電力管理用の制御ﾋﾞｯﾄを含みます。

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：SMCR
変位 ：$53 ($33)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$33です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	SM2~0			SE
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ3～1 – SM2~0 : 休止種別選択** (Sleep Mode Select Bit 2, 1 and 0)

SM2～0ﾋﾞｯﾄは利用可能な6つの休止形態の1つを選びます。

表11-2. 休止形態種別選択

SM2~0	休止形態種別
0 0 0	ｱｲﾄﾞﾙ動作
0 0 1	A/D変換雑音低減動作
0 1 0	ﾊﾟﾜｰﾀﾞｳﾝ動作
0 1 1	ﾊﾟﾜｰｾｰﾌﾞ動作
1 0 0	(予約)
1 0 1	(予約)
1 1 0	ｽﾀﾝﾊﾞｲ動作 (注)
1 1 1	拡張ｽﾀﾝﾊﾞｲ動作 (注)

注: (拡張)ｽﾀﾝﾊﾞｲ動作は外部ｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子での使用にだけ推奨されます。

● **ﾋﾞｯﾄ0 – SE : 休止許可** (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ﾋﾞｯﾄが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ﾋﾞｯﾄを設定(1)し、起動後直ちに解除(0)することが推奨されます。

11.12.2. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：MCUCR
変位 ：$55 ($35)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$35です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	JTD	BODS	BODSE	PUD	–	–	IVSEL	IVCE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6 – BODS : BOD休止** (BOD Sleep)

休止間にBODをOFFにするにはBODSﾋﾞｯﾄが'1'を書かれなければなりません。BODSﾋﾞｯﾄの書き込みはMCUCRのBOD休止許可(BODSE)ﾋﾞｯﾄの許可と時間制限手順によって制御されます。関連する休止形態でBODを禁止するには最初にBODSとBODSEの両方が'1'を書かれなければなりません。その後4ｸﾛｯｸ周期内にBODSが'1'を、BODSEが'0'を書かれなければなりません。

BODSﾋﾞｯﾄはそれが設定された後の3ｸﾛｯｸ周期間活性(有効)です。SLEEP命令は実際の休止形態に対してBODをOFFにするために、BODSが活性(有効)の間に実行されなければなりません。BODSﾋﾞｯﾄは3ｸﾛｯｸ周期後、自動的に解除(0)されます。

● **ﾋﾞｯﾄ5 – BODSE : BOD休止許可** (BOD Sleep Enable)

BODSEはBOD休止(BODS)ﾋﾞｯﾄ記述で説明されるように、BODS制御ﾋﾞｯﾄの設定を許可します。このBOD禁止は時間制限手順によって制御されます。

11.12.3. PRR0 – 電力削減ﾚｼﾞｽﾀ0 (Power Reduction Register 0)

名称 : PRR0
変位 : $64
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PRTWI	PRTIM2	PRTIM0	PRUSART1	PRTIM1	PRSPI	PRUSART0	PRADC
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – PRTWI : 2線直列ｲﾝﾀｰﾌｪｰｽ電力削減** (Power Reduction TWI)

このﾋﾞｯﾄへの論理1書き込みはその単位部へのｸﾛｯｸ停止によって2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を停止します。TWIの再起動時、TWIは正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ6 – PRTIM2 : ﾀｲﾏ/ｶｳﾝﾀ2電力削減** (Power Reduction Timer/Counter2)

このﾋﾞｯﾄへの論理1書き込みは同期動作(非同期動作許可(AS2)=0)でのﾀｲﾏ/ｶｳﾝﾀ2部を停止します。ﾀｲﾏ/ｶｳﾝﾀ2が許可されると、停止前と同様に動作は継続します。

● **ﾋﾞｯﾄ5 – PRTIM0 : ﾀｲﾏ/ｶｳﾝﾀ0電力削減** (Power Reduction Timer/Counter0)

このﾋﾞｯﾄへの論理1書き込みはﾀｲﾏ/ｶｳﾝﾀ0部を停止します。ﾀｲﾏ/ｶｳﾝﾀ0が許可されると、停止前と同様に動作は継続します。

● **ﾋﾞｯﾄ4 – PRUSART1 : USART1電力削減** (Power Reduction USART1)

このﾋﾞｯﾄへの論理1書き込みはその単位部へのｸﾛｯｸ停止によってUSART1を停止します。USART1の再起動時、USART1は正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ3 – PRTIM1 : ﾀｲﾏ/ｶｳﾝﾀ1電力削減** (Power Reduction Timer/Counter1)

このﾋﾞｯﾄへの論理1書き込みはﾀｲﾏ/ｶｳﾝﾀ1部を停止します。ﾀｲﾏ/ｶｳﾝﾀ1が許可されると、停止前と同様に動作は継続します。

● **ﾋﾞｯﾄ2 – PRSPI : 直列周辺ｲﾝﾀｰﾌｪｰｽ電力削減** (Power Reduction Serial Peripheral Interface)

このﾋﾞｯﾄへの論理1書き込みはその単位部へのｸﾛｯｸ停止によって直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)を停止します。SPIの再起動時、SPIは正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ1 – PRUSART0 : USART0電力削減** (Power Reduction USART0)

このﾋﾞｯﾄへの論理1書き込みはその単位部へのｸﾛｯｸ停止によってUSART0を停止します。USART0の再起動時、USART0は正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ0 – PRADC : A/D変換器電力削減** (Power Reduction ADC)

このﾋﾞｯﾄへの論理1書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、ｱﾅﾛｸﾞ比較器はADC入力切替器を使えません。

12. SCRST – システム制御とリセット (System Control and Reset)

12.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセット ベクタから実行を開始します。リセット ベクタに配置される命令は、きっとリセット処理ルーチンへのJMP(絶対分岐)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラム コードが配置できます。これはリセット ベクタが応用領域の一方、割り込みベクタがブート領域の場合やその逆も同様です。次項の回路構成図はリセット論理回路を示します。

AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。

全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延計時器の遅延時間はCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は「**システム クロックとクロック選択**」で示されます。

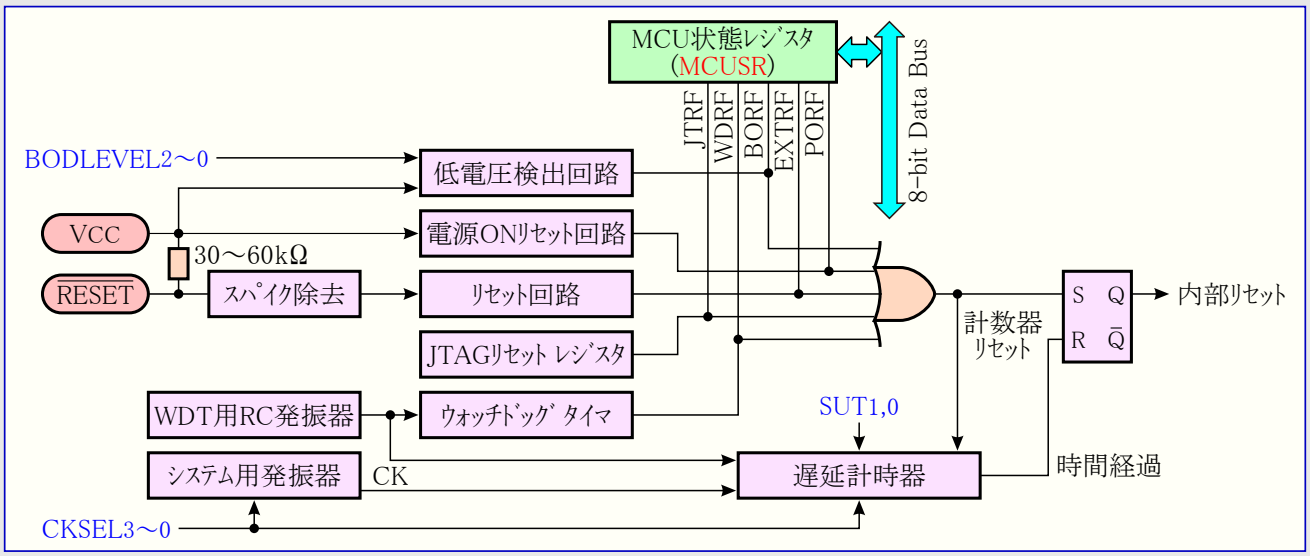
関連リンク 27頁の「システム クロックとクロック選択」

12.2. リセット元

本デバイスには以下のリセット元があります。

- **電源ONリセット** ・・・・・・・・・・・ 供給電圧が電源ONリセット閾値電圧(V_{POT})未満でMCUがリセットされます。
- **外部リセット** ・・・・・・・・・・・・・ $\overline{\text{RESET}}$ピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- **ウォッチドッグ システム リセット** ・・・ ウォッチドッグ システム リセット動作が許可され、ウォッチドッグ タイマが終了すると、MCUがリセットされます。
- **低電圧リセット** ・・・・・・・・・・・・ 低電圧検出が許可され、供給電圧(VCC)が低電圧検出電圧(V_{BOT})未満でMCUがリセットされます。
- **JTAG AVR リセット** ・・・・・・・・ JTAGシステムの走査チェーンの1つとしてリセット レジスタ内に論理1がある間中、MCUがリセットされます。詳細については「**IEEE 1149.1 (JTAG) 境界走査**」項を参照してください。

図12-1. リセット回路構成



関連リンク 188頁の「IEEE 1149.1 (JTAG) 境界走査」

12.3. 電源ONﾘｾｯﾄ

電源ONﾘｾｯﾄ(POR)ﾊﾟﾙｽはﾁｯﾌﾟ上の検出回路によって生成されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動ﾘｾｯﾄの起動にも使えます。

電源ONﾘｾｯﾄ回路はﾃﾞﾊﾞｲｽが電源投入でﾘｾｯﾄされることを保証します。電源ONﾘｾｯﾄ閾値電圧(V_{POT})への到達はVCCの上昇後にﾃﾞﾊﾞｲｽがどのくらいﾘｾｯﾄを保つかを決める遅延計数器(ﾀｲﾏ)を起動します。VCCがこの検出電圧以下に低下すると、ﾘｾｯﾄ信号はどんな遅延もなく再び有効にされます。

図12-2. 内蔵電源ONﾘｾｯﾄ ($\overline{RESET}$はVCCに接続)

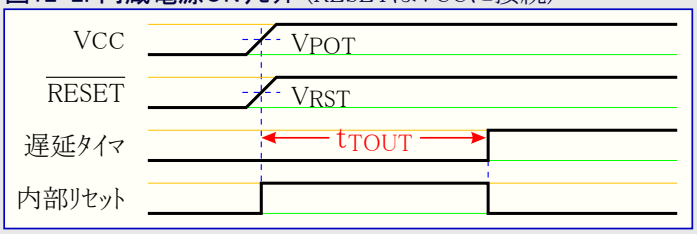
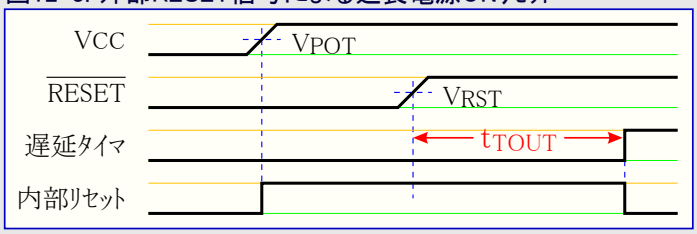


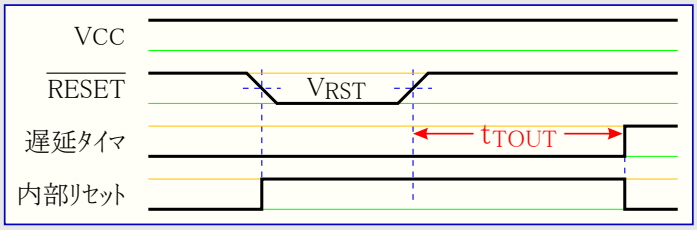
図12-3. 外部$\overline{RESET}$信号による延長電源ONﾘｾｯﾄ



12.4. 外部ﾘｾｯﾄ

外部ﾘｾｯﾄは$\overline{RESET}$ﾋﾟﾝのLowﾚﾍﾞﾙによって生成されます。ｸﾛｯｸが動いていなくても、最小ﾊﾟﾙｽ幅以上のﾘｾｯﾄ ﾊﾟﾙｽはﾘｾｯﾄを生成します。短すぎるﾊﾟﾙｽはﾘｾｯﾄ生成が保証されません。印加された信号の上昇がﾘｾｯﾄ閾値電圧(V_{RST})に達すると(遅延ﾀｲﾏを起動し)、遅延ﾀｲﾏは遅延時間(t_{TOUT})経過後にMCUを始動します。

図12-4. 動作中の外部ﾘｾｯﾄ

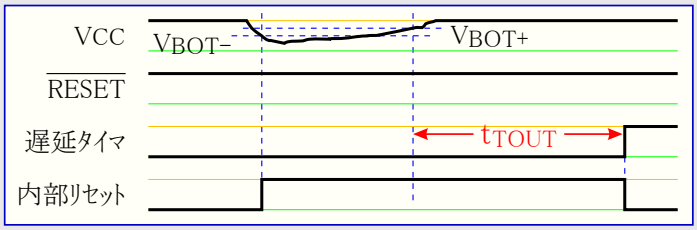


12.5. 低電圧(ﾌﾞﾗｳﾝｱｳﾄ)検出ﾘｾｯﾄ

本ﾃﾞﾊﾞｲｽには固定化された起動(検出)電圧と比較することで動作中のVCCを監視するﾁｯﾌﾟ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELﾋｭｰｽﾞによって選べます。この起動電圧はｽﾊﾟｲｸ対策BODを保証するためにﾋｽﾃﾘｼｽを持ちます。検出電圧のﾋｽﾃﾘｼｽは$V_{BOT+} = V_{BOT} + V_{HYST}/2$、$V_{BOT-} = V_{BOT} - V_{HYST}/2$と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると(右図のV_{BOT-})、低電圧ﾘｾｯﾄが直ちに有効とされます。VCCが起動電圧以上に上昇すると(右図のV_{BOT+})、(遅延ﾀｲﾏが起動され)遅延ﾀｲﾏは遅延時間(t_{TOUT})経過後にMCUを始動します。

図12-5. 動作中の低電圧検出ﾘｾｯﾄ

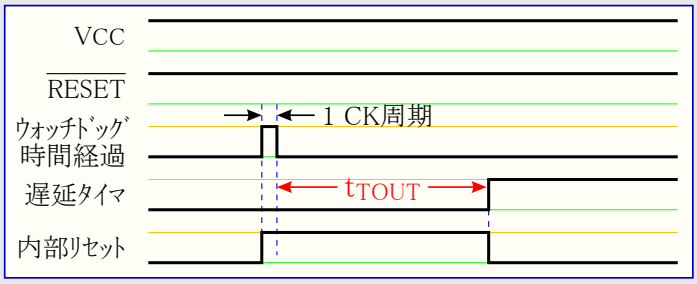


BOD回路は電圧がt_{BOD}時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

12.6. ｳｫｯﾁﾄﾞｯｸﾞ ｼｽﾃﾑ ﾘｾｯﾄ

ｳｫｯﾁﾄﾞｯｸﾞ時間経過時、(内部的に)1 CK周期幅の短いﾘｾｯﾄ ﾊﾟﾙｽを生成します。本ﾊﾟﾙｽの下降端で遅延ﾀｲﾏは遅延時間(t_{TOUT})の計時を始めます。

図12-6. 動作中のｳｫｯﾁﾄﾞｯｸﾞ ｼｽﾃﾑ ﾘｾｯﾄ



12.7. 内部基準電圧

本ﾃﾞﾊﾞｲｽは内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やｱﾅﾛｸﾞ比較器の入力としても使えます。

12.7.1. 基準電圧許可信号と起動時間

基準電圧には使われるべき方法に影響するかもしれない起動時間があります。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出ﾘｾｯﾄ許可時 (BODLEVELﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)により)
2. ｱﾅﾛｸﾞ比較器基準電圧接続時 (ｱﾅﾛｸﾞ比較器 制御/状態ﾚｼﾞｽﾀ(ACSR)の基準電圧入力選択(ACBG)=1)
3. A/D変換部動作許可時 (A/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はｱﾅﾛｸﾞ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。ﾊﾟﾜｰﾀﾞｳﾝ動作での消費電力を減らすため、使用者はﾊﾟﾜｰﾀﾞｳﾝ動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

12.8. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

応用でｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが必要とされない場合は、この単位部をOFFにすべきです。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可されたなら、全ての休止動作形態で許可され、故に常に電力を消費します。より深い休止動作形態で、これは総電流消費の重要な一因になるでしょう。

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの構成設定方法の詳細については「**ｳｫｯﾁﾄﾞｯｸﾞ ｼｽﾃﾑ ﾘｾｯﾄ**」を参照してください。

12.8.1. 特徴

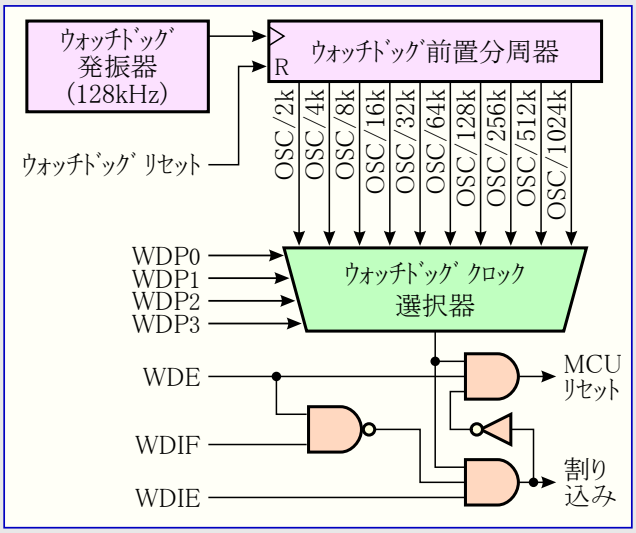
- 独立した内蔵発振器からのｸﾛｯｸ駆動
- 3つの動作種別
  - 割り込み
  - ｼｽﾃﾑ ﾘｾｯﾄ
  - 割り込みとｼｽﾃﾑ ﾘｾｯﾄ
- 選択可能な16ms～8sの計時完了時間
- 安全動作用のｳｫｯﾁﾄﾞｯｸﾞ常時ONﾊｰﾄﾞｳｪｱ ﾋｭｰｽﾞ

12.8.2. 概要

本ﾃﾞﾊﾞｲｽは強化されたｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)を持ちます。このｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)はﾁｯﾌﾟ上の独立した128kHz発振器の間隔で計時するﾀｲﾏです。WDTは計数器が与えられた計時完了値に達した時に割り込みまたはｼｽﾃﾑ ﾘｾｯﾄを生じます。通常動作では計時完了値へ達する前に計数器を再始動するためにｼｽﾃﾑはｳｫｯﾁ ﾄﾞｯｸﾞ ﾘｾｯﾄ(WDR)命令を使う必要があります。ｼｽﾃﾑが計数器を再始動しなければ、割り込みまたはｼｽﾃﾑ ﾘｾｯﾄが起こるでしょう。

割り込み動作種別では、ﾀｲﾏ計時完了時にWDTが割り込みを生じます。この割り込みは休止形態からﾃﾞﾊﾞｲｽを起動するためや、一般的なｼｽﾃﾑ ﾀｲﾏとしても使えます。1つの例は或る動作に対して許された最大時間を制限することで、その動作が予測されたより長く走行する時に割り込みを生じます。ｼｽﾃﾑ ﾘｾｯﾄ動作種別ではﾀｲﾏ計時完了時にWDTがﾘｾｯﾄを生じます。これは一般的にｺｰﾄﾞ外走行の場合の中断を防止するのに使われます。3つ目の動作種別は先に割り込みを生じ、その後にｼｽﾃﾑ ﾘｾｯﾄ動作種別に切り替えることで、他の2つの動作種別の組み合わせとなる、割り込み及びｼｽﾃﾑ ﾘｾｯﾄ動作種別です。この動作種別は例えばｼｽﾃﾑ ﾘｾｯﾄに先立って重要なﾊﾟﾗﾒｰﾀを保存することによって安全な停止を許します。

図12-7. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ構成図



ｳｫｯﾁﾄﾞｯｸﾞ常時ON(WDTON)ﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏをｼｽﾃﾑ ﾘｾｯﾄ動作種別に強制します。このﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)でｼｽﾃﾑ ﾘｾｯﾄ動作(WDE)ﾋﾞｯﾄと割り込み動作(WDIE)ﾋﾞｯﾄは各々、'1'と'0'に固定されます。

更にﾌﾟﾛｸﾞﾗﾑ保護を保証するためにｳｫｯﾁﾄﾞｯｸﾞ設定の変更は時間制限手順に従わなければなりません。ｼｽﾃﾑ ﾘｾｯﾄ許可(WDE)の解除と計時完了時間設定の変更についての手順は次のとおりです。

1. 同じ操作(命令)でｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ(WDTCSR)のｳｫｯﾁﾄﾞｯｸﾞ変更許可(WDCE)とWDEに論理1を書きます。WDEﾋﾞｯﾄの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4ｸﾛｯｸ周期内に同じ操作(命令)で望むWDEとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択(WDP3～0)ﾋﾞｯﾄ群を書きますが、WDCEﾋﾞｯﾄは解除(0)されてです。これは1操作(命令)で行わなければなりません。

次のｺｰﾄﾞ例はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏをOFFに切り替える関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WDT_OFF:    CLI                                     ;全割り込み禁止
            WDR                                     ;ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ
            IN      R16, MCUSR                      ;MCUSR値を取得
            ANDI    R16, ~(1<<WDRF)                 ;WDRF論理0値を取得
            OUT     MCUSR, R16                      ;ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ(WDRF)解除
            LDS     R16, WDTCSR                     ;現WDTCSR値を取得(他ﾋﾞｯﾄ保護用)
            ORI     R16, (1<<WDCE)|(1<<WDE)         ;WDCEとWDE論理1値を設定
            STS     WDTCSR, R16                     ;WDCEとWDEに論理1書き込み
            LDI     R16, (0<<WDE)                   ;WDE論理0値を取得
            STS     WDTCSR, R16                     ;ｳｫｯﾁﾄﾞｯｸﾞ禁止
            SEI                                     ;全割り込み許可
            RET                                     ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void WDT_off(void)
{
    __disable_interrupt();                          /* 全割り込み禁止 */
    __watchdog_reset();                             /* ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ */
    MCUSR &= ~(1<<WDRF);                            /* ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ(WDRF)解除 */
    WDTCSR |= (1<<WDCE)|(1<<WDE);                   /* WDCEとWDEに論理1書き込み */
    WDTCSR = 0x00;                                  /* ｳｫｯﾁﾄﾞｯｸﾞ禁止 */
    __enable_interrupt();                           /* 全割り込み許可 */
}
```

注: ｳｫｯﾁﾄﾞｯｸﾞが偶然に許可されると(例えばﾎﾟｲﾝﾀの逸脱や低電圧(ﾌﾞﾗｳﾝｱｳﾄ)状態)、ﾃﾞﾊﾞｲｽはﾘｾｯﾄし、ｳｫｯﾁﾄﾞｯｸﾞは許可に留まります。ｺｰﾄﾞがｳｫｯﾁﾄﾞｯｸﾞ操作の初期設定をしなければ、これは計時完了の無限繰り返しを引き起こすかもしれません。この状態を避けるため、応用ｿﾌﾄｳｪｱは例えｳｫｯﾁﾄﾞｯｸﾞが使われなくても、初期化ﾙｰﾁﾝでWDRFﾌﾗｸﾞとWDE制御ﾋﾞｯﾄを常に解除(0)すべきです。

次のｺｰﾄﾞ例はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの計時完了値を変更する方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WDT_PRS:    CLI                                     ;全割り込み禁止
            WDR                                     ;ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ
            LDS     R16, WDTCSR                     ;現WDTCSR値を取得(他ﾋﾞｯﾄ保護用)
            ORI     R16, (1<<WDCE)|(1<<WDE)         ;WDCEとWDE論理1値を設定
            STS     WDTCSR, R16                     ;WDCEとWDEに論理1書き込み
            LDI     R16, (1<<WDE)|(1<<WDP2)|(1<<WDP0)  ;WDE=1,計時間隔=0.5s値を取得
            STS     WDTCSR, R16                     ;0.5s監視間隔ﾘｾｯﾄ動作開始
            SEI                                     ;全割り込み許可
            RET                                     ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void WDT_off(void)
{
    __disable_interrupt();                          /* 全割り込み禁止 */
    __watchdog_reset();                             /* ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ */
    WDTCSR |= (1<<WDCE)|(1<<WDE);                   /* WDCEとWDEに論理1書き込み */
    WDTCSR = (1<<WDE)|(1<<WDP2)|(1<<WDP0);          /* 0.5s監視間隔ﾘｾｯﾄ動作開始 */
    __enable_interrupt();                           /* 全割り込み許可 */
}
```

注: ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ(WDTCSR)のｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択(WDP3～0)ﾋﾞｯﾄの変更がより短い計時完了周期に変わってしまう結果になり得るため、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏはWDPﾋﾞｯﾄのどんな変更にも先立ってﾘｾｯﾄ(WDR命令)されるべきです。

12.9. リセット関係レジスタ

12.9.1. MCUSR – MCU状態レジスタ (MCU Status Register)

リセット条件の確認にリセット フラグを使うため、使用者はプログラム内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセット フラグを調べることによって得られます。

LD系とST系の命令を使い、データ空間としてI/Oレジスタをアクセスする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oアドレスの変位は$00～$3F内になります。

このデバイスはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：MCUSR
変位 ：$54 ($34)
リセット ：$000xxxxx (以下の説明を参照)
特質 ：I/O特定命令でI/Oレジスタとしてアクセスする時の変位アドレスは$34です。

ビット	7	6	5	4	3	2	1	0
	–	–	–	JTRF	WDRF	BORF	EXTRF	PORF
アクセス種別	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照

● **ビット4 – JTRF : JTAG リセット フラグ** (JTAG Reset Flag)

このビットはリセットがJTAG命令AVR_RESETで選ばれたJTAG リセット レジスタ内の論理1によって引き起こされると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

● **ビット3 – WDRF : ウォッチドッグ システム リセット フラグ** (Watchdog System Reset Flag)

このビットはウォッチドッグ システム リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、それへの0書き込みによってリセット(0)されます。

● **ビット2 – BORF : 低電圧リセット フラグ** (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、それへの0書き込みによってリセット(0)されます。

● **ビット1 – EXTRF : 外部リセット フラグ** (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、それへの0書き込みによってリセット(0)されます。

● **ビット0 – PORF : 電源ONリセット フラグ** (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはそれへの0書き込みによってのみリセット(0)されます。

12.9.2. WDTCSR – ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register)

名称 ：WDTCSR
変位 ：$60
リセット ：'0000x000'
特質 ：–

ビット	7	6	5	4	3	2	1	0
	WDIF	WDIE	WDP3	WDCE	WDE	WDP2~0		
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	不定	0	0	0

● **ビット7 – WDIF : ウォッチドッグ割り込み要求フラグ** (Watchdog Interrupt Flag)

ウォッチドッグ タイマが割り込みに設定され、ウォッチドッグ タイマで計時完了が起こると、本ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDIFはハードウェアによって解除(0)されます。代わりにWDIFはそれへの1書き込みによっても解除(0)されます。ステータス レジスタ(SREG)の全割り込み許可(I)ビットとウォッチドッグ割り込み許可(WDIE)が設定(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

● **ビット6 – WDIE : ウォッチドッグ割り込み許可** (Watchdog Interrupt Enable)

このビットが1を書かれ、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、ウォッチドッグ割り込みが許可されます。この設定(=1)との組み合わせでウォッチドッグ リセット許可(WDE)ビットが解除(0)されると、割り込み動作種別になり、ウォッチドッグ タイマで計時完了が起こると、対応する割り込みが実行されます。

WDEが設定(1)されると、ウォッチドッグ タイマは割り込み及びシステム リセット動作種別になります。ウォッチドッグ タイマでの最初の計時完了がウォッチドッグ割り込み要求(WDIF)フラグを設定(1)します。対応する割り込みベクタの実行はハードウェアによってWDIEとWDIFを自動的に解除(0)します。これは割り込みを使う間のウォッチドッグ リセット保護を維持するのに有用です。割り込み及びシステム リセット動作種別に留まるには、各割り込み後にWDIEが設定(1)されなければなりません。然しながら、ウォッチドッグ システム リセット動作種別の安全機能に危険を及ぼすかもしれないため、これは割り込み処理ルーチン自身内で行われるべきではありません。次の計時完了に先立って割り込みが実行されない場合、システム リセットが適用(実行)されます。

表12-1. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定

WDTON	WDE	WDIE	動作種別	計時完了での動作
1	0	0	停止	なし
1	0	1	割り込み	割り込み
1	1	0	システム リセット	リセット
1	1	1	割り込み及びシステム リセット	割り込み、その後システム リセット動作種別
0	x	x	システム リセット	リセット

注: WDTONﾋｭｰｽﾞは0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑに設定です。

- **ﾋﾞｯﾄ5 – WDP3 : ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択ﾋﾞｯﾄ3** (Watchdog Timer Prescaler 3)

- **ﾋﾞｯﾄ4 – WDCE : ｳｫｯﾁﾄﾞｯｸﾞ変更許可** (Watchdog Change Enable)

このﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ リセット許可(WDE)と前置分周器ﾋﾞｯﾄの変更用の時間制限手順で使われます。WDEﾋﾞｯﾄの解除(0)や前置分周器ﾋﾞｯﾄ変更のため、WDCEは設定(1)されなければなりません。
一旦1を書かれると、4ｸﾛｯｸ周期後にﾊｰﾄﾞｳｪｱがWDCEを解除(0)します。

- **ﾋﾞｯﾄ3 – WDE : ｳｫｯﾁﾄﾞｯｸﾞ リセット許可** (Watchdog System Reset Enable)

WDEはMCU状態ﾚｼﾞｽﾀ(MCUSR)のｳｫｯﾁﾄﾞｯｸﾞ リセット フラｸﾞ(WDRF)によって無効にされます。これはWDRFが設定(1)されると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するにはWDRFが先に解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

- **ﾋﾞｯﾄ2～0 – WDP2～0 : ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択ﾋﾞｯﾄ2～0** (Watchdog Timer Prescaler 2,1 and 0)

このWDP3～0ﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが走行する時のｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの前置分周を決めます。各種前置分周値と対応する計時完了周期は下表で示されます。

表12-2. ｳｫｯﾁﾄﾞｯｸﾞ前置分周選択

WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

13. INT – 割り込み (Interrupts)

13.1. 概要

この章は本ﾃﾞﾊﾞｲｽの割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については「**ﾘｾｯﾄと割り込みの扱い**」を参照してください。

一般的に、

- 各割り込みﾍﾞｸﾀは2命令語を占有します。
- ﾘｾｯﾄ ﾍﾞｸﾀはBOOTRSTﾋｭｰｽﾞによって、割り込みﾍﾞｸﾀ開始ｱﾄﾞﾚｽはMCU制御ﾚｼﾞｽﾀの割り込みﾍﾞｸﾀ選択(MCUCR.IVSEL)ﾋﾞｯﾄによって影響を及ぼされます。

関連ﾘﾝｸ 18頁の「ﾘｾｯﾄと割り込みの扱い」

13.2. ATmega164Pの割り込みﾍﾞｸﾀ

表13-1. ATmega164Pでのﾘｾｯﾄと割り込みのﾍﾞｸﾀ

ﾍﾞｸﾀ番号	ﾌﾟﾛｸﾞﾗﾑ ｱﾄﾞﾚｽ (注2)	発生元	備考
1	$0000 (注1)	RESET	電源ON, WDT, BOD等の各種ﾘｾｯﾄ
2	$0002	INT0	外部割り込み要求0
3	$0004	INT1	外部割り込み要求1
4	$0006	INT2	外部割り込み要求2
5	$0008	PCINT0 (PCI0)	ﾋﾟﾝ変化0群割り込み要求
6	$000A	PCINT1 (PCI1)	ﾋﾟﾝ変化1群割り込み要求
7	$000C	PCINT2 (PCI2)	ﾋﾟﾝ変化2群割り込み要求
8	$000E	PCINT3 (PCI3)	ﾋﾟﾝ変化3群割り込み要求
9	$0010	WDT	ﾀｲﾏ/ｶｳﾝﾀ2 比較B一致
10	$0012	TIMER2_COMPA	ﾀｲﾏ/ｶｳﾝﾀ2 比較A一致
11	$0014	TIMER2_COMPB	ﾀｲﾏ/ｶｳﾝﾀ2 比較B一致
12	$0016	TIMER2_OVF	ﾀｲﾏ/ｶｳﾝﾀ2 溢れ
13	$0018	TIMER1_CAPT	ﾀｲﾏ/ｶｳﾝﾀ1 捕獲発生
14	$001A	TIMER1_COMPA	ﾀｲﾏ/ｶｳﾝﾀ1 比較A一致
15	$001C	TIMER1_COMPB	ﾀｲﾏ/ｶｳﾝﾀ1 比較B一致
16	$001E	TIMER1_OVF	ﾀｲﾏ/ｶｳﾝﾀ1 溢れ
17	$0020	TIMER0_COMPA	ﾀｲﾏ/ｶｳﾝﾀ0 比較A一致
18	$0022	TIMER0_COMPB	ﾀｲﾏ/ｶｳﾝﾀ0 比較B一致
19	$0024	TIMER0_OVF	ﾀｲﾏ/ｶｳﾝﾀ0 溢れ
20	$0026	SPI_STC	SPI 転送完了
21	$0028	USART0_RX	USART0 受信完了
22	$002A	USART0_UDRE	USART0 送信緩衝部空き
23	$002C	USART0_TX	USART0 送信完了
24	$002E	ANALOG_COMP	ｱﾅﾛｸﾞ比較器 出力遷移
25	$0030	ADC	A/D変換器 変換完了
26	$0032	EE_RDY	EEPROM 操作可
27	$0034	TWI	TWI 状態変化
28	$0036	SPM_READY	SPM命令 操作可
29	$0038	USART1_RX	USART1 受信完了
30	$003A	USART1_UDRE	USART1 送信緩衝部空き
31	$003C	USART1_TX	USART1 送信完了

注1: BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾃﾞﾊﾞｲｽはﾘｾｯﾄでﾌﾞｰﾄ ﾛｰﾀﾞ ｱﾄﾞﾚｽへ飛びます。「**BTLDR – ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」をご覧ください。

注2: MCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭(部)へ移動されます。そして各割り込みﾍﾞｸﾀのｱﾄﾞﾚｽは、この表のｱﾄﾞﾚｽがﾌﾞｰﾄ ﾌﾗｯｼｭ領域の先頭ｱﾄﾞﾚｽに加算されます。

右表はBOOTRST(ﾋｭｰｽﾞ)とMCUCR.IVSEL(割り込みﾍﾞｸﾀ選択ﾋﾞｯﾄ)の様々な組み合わせに対するﾘｾｯﾄと割り込みﾍﾞｸﾀの配置を示します。ﾌﾟﾛｸﾞﾗﾑが決して割り込み元を許可しないなら、割り込みﾍﾞｸﾀは使われず、これらの位置に通常のﾌﾟﾛｸﾞﾗﾑｺｰﾄﾞを置けます。これはﾘｾｯﾄ ﾍﾞｸﾀが応用領域の一方、割り込みﾍﾞｸﾀがﾌﾞｰﾄ領域、またはその逆の場合でも同様です。

表13-2. ﾘｾｯﾄと割り込みﾍﾞｸﾀの配置

BOOTRST	IVSEL	ﾘｾｯﾄ ﾍﾞｸﾀ ｱﾄﾞﾚｽ	割り込みﾍﾞｸﾀ先頭ｱﾄﾞﾚｽ
非ﾌﾟﾛｸﾞﾗﾑ(1)	0	$0000	$0002
	1	$0000	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ＋$0002
ﾌﾟﾛｸﾞﾗﾑ(0)	0	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ	$0002
	1	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ＋$0002

注: ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽは表27-7.で示されます。

```
ｱﾄﾞﾚｽ   ﾗﾍﾞﾙ     命令                        注釈
$0000             JMP   RESET               ;各種ﾘｾｯﾄ
$0002             JMP   EXT_INT0            ;外部割り込み要求0
$0004             JMP   EXT_INT1            ;外部割り込み要求1
$0006             JMP   EXT_INT2            ;外部割り込み要求2
$0008             JMP   PCINT0              ;ﾋﾟﾝ変化0群割り込み要求
$000A             JMP   PCINT1              ;ﾋﾟﾝ変化1群割り込み要求
$000C             JMP   PCINT2              ;ﾋﾟﾝ変化2群割り込み要求
$000E             JMP   PCINT3              ;ﾋﾟﾝ変化3群割り込み要求
$0010             JMP   WDT_OVF             ;ｳｫｯﾁﾄﾞｯｸﾞ計時完了
$0012             JMP   TIM2_COMPA          ;ﾀｲﾏ/ｶｳﾝﾀ2比較A一致
$0014             JMP   TIM2_COMPB          ;ﾀｲﾏ/ｶｳﾝﾀ2比較B一致
$0016             JMP   TIM2_OVF            ;ﾀｲﾏ/ｶｳﾝﾀ2溢れ
$0018             JMP   TIM1_CAPT           ;ﾀｲﾏ/ｶｳﾝﾀ1捕獲発生
$001A             JMP   TIM1_COMPA          ;ﾀｲﾏ/ｶｳﾝﾀ1比較A一致
$001C             JMP   TIM1_COMPB          ;ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
$001E             JMP   TIM1_OVF            ;ﾀｲﾏ/ｶｳﾝﾀ1溢れ
$0020             JMP   TIM0_COMPA          ;ﾀｲﾏ/ｶｳﾝﾀ0比較A一致
$0022             JMP   TIM0_COMPB          ;ﾀｲﾏ/ｶｳﾝﾀ0比較B一致
$0024             JMP   TIM0_OVF            ;ﾀｲﾏ/ｶｳﾝﾀ0溢れ
$0026             JMP   SPI_STC             ;SPI転送完了
$0028             JMP   USART0_RXC          ;USART0 受信完了
$002A             JMP   USART0_DRE          ;USART0 送信緩衝部空
$002C             JMP   USART0_TXC          ;USART0 送信完了
$002E             JMP   ANA_COMP            ;ｱﾅﾛｸﾞ比較器出力遷移
$0030             JMP   ADC                 ;A/D変換完了
$0032             JMP   EE_RDY              ;EEPROM操作可
$0034             JMP   TWI                 ;2線直列ｲﾝﾀｰﾌｪｰｽ状態変化
$0036             JMP   SPM_RDY             ;SPM命令操作可
$0038             JMP   USART1_RXC          ;USART1 受信完了
$003A             JMP   USART1_DRE          ;USART1 送信緩衝部空
$003C             JMP   USART1_TXC          ;USART1 送信完了
;
$003E   RESET:    LDI   R16,HIGH(RAMEND)    ;RAM最終ｱﾄﾞﾚｽ上位を取得
$003F             OUT   SPH,R16             ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$0040             LDI   R16,LOW(RAMEND)     ;RAM最終ｱﾄﾞﾚｽ下位を取得
$0041             OUT   SPL,R16             ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                   ～                       ;以下、I/O初期化など
```

BOOTRSTﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)、ﾌﾞｰﾄ領域容量が2Kﾊﾞｲﾄに設定され、どの割り込みが許可されるのにも先立ってMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ      ﾗﾍﾞﾙ     命令                          注釈
$0000      RESET:   LDI    R16,HIGH(RAMEND)      ;RAM最終ｱﾄﾞﾚｽ上位を取得 (応用ﾌﾟﾛｸﾞﾗﾑ開始)
$0001               OUT    SPH,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$0002               LDI    R16,LOW(RAMEND)       ;RAM最終ｱﾄﾞﾚｽ下位を取得
$0003               OUT    SPL,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                       ≀                         ;以下、I/O初期化など

                    .ORG   $1C02                 ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が2Kﾊﾞｲﾄの場合

$1C02               JMP    EXT_INT0              ;外部割り込み要求0
$1C04               JMP    EXT_INT1              ;外部割り込み要求1
                       ≀
$1C3C               JMP    USART1_TXC            ;USART1 送信完了
```

BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)、ﾌﾞｰﾄ領域容量が2Kﾊﾞｲﾄに設定される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ      ﾗﾍﾞﾙ     命令                          注釈
                    .ORG   $0002                 ;割り込みﾍﾞｸﾀ先頭

$0002               JMP    EXT_INT0              ;外部割り込み要求0
$0004               JMP    EXT_INT1              ;外部割り込み要求1
                       ≀
$003C               JMP    USART1_TXC            ;USART1 送信完了
                       ≀                         ;以下、ﾌﾟﾛｸﾞﾗﾑなど

                    .ORG   $1C00                 ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が2Kﾊﾞｲﾄの場合

$1C00      RESET:   LDI    R16,HIGH(RAMEND)      ;RAM最終ｱﾄﾞﾚｽ上位を取得 (ﾌﾟﾛｸﾞﾗﾑ開始)
$1C01               OUT    SPH,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$1C02               LDI    R16,LOW(RAMEND)       ;RAM最終ｱﾄﾞﾚｽ下位を取得
$1C03               OUT    SPL,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                       ≀                         ;以下、I/O初期化など
```

BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)、ﾌﾞｰﾄ領域容量が2Kﾊﾞｲﾄに設定され、どの割り込みが許可されるのにも先立ってMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ      ﾗﾍﾞﾙ     命令                          注釈
                    .ORG   $1C00                 ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が2Kﾊﾞｲﾄの場合

$1C00               JMP    RESET                 ;各種ﾘｾｯﾄ (BOOTRSTﾋｭｰｽﾞ=0)
$1C02               JMP    EXT_INT0              ;外部割り込み要求0
$1C04               JMP    EXT_INT1              ;外部割り込み要求1
                       ≀
$1C3C               JMP    USART1_TXC            ;USART1 送信完了
;
$1C3E      RESET:   LDI    R16,HIGH(RAMEND)      ;RAM最終ｱﾄﾞﾚｽ上位を取得 (ﾌﾟﾛｸﾞﾗﾑ開始)
$1C3F               OUT    SPH,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$1C40               LDI    R16,LOW(RAMEND)       ;RAM最終ｱﾄﾞﾚｽ下位を取得
$1C41               OUT    SPL,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                       ≀                         ;以下、I/O初期化など
```

13.3. 割り込みﾍﾞｸﾀ移動関係ﾚｼﾞｽﾀ

13.3.1. 応用領域とﾌﾞｰﾄ領域間の割り込みﾍﾞｸﾀ移動

MCU制御ﾚｼﾞｽﾀ(MCUCR)は割り込みﾍﾞｸﾀ表の配置を制御します。

13.3.2. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：MCUCR
変位 ：$55 ($35)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$35です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	JTD	BODS	BODSE	PUD	–	–	IVSEL	IVCE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – IVSEL : 割り込みﾍﾞｸﾀ選択** (Interrupt Vector Select)

IVSELﾋﾞｯﾄが解除(0)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭ ﾒﾓﾘの先頭に配置されます。このﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄ ﾛｰﾀﾞ領域の始まりへ移されます。ﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭の実際のｱﾄﾞﾚｽはBOOTSZﾋｭｰｽﾞによって決定されます。割り込みﾍﾞｸﾀ表の予期せぬ変更を防ぐため、IVSELﾋﾞｯﾄの変更は特別な書き込み手順に従わなければなりません。

1. 割り込みﾍﾞｸﾀ変更許可(IVCE)ﾋﾞｯﾄに1を書いてください。
2. 4周期内に、望む値をIVSELに書き、同時にIVCEへ0を書いてください。

この手順が実行される間、割り込みは自動的に禁止されます。割り込みはIVCEが設定(1)される周期で禁止され、後続のIVSELに書く命令の後まで禁止されたままです。IVSELが書かれなければ、割り込みは4周期間、禁止されたままです。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄはこの自動禁止によって影響されません。

注: 割り込みﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域に配置され、BLB02ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、応用領域から実行する間中、割り込みが禁止されます。割り込みﾍﾞｸﾀが応用領域に配置され、BLB12ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾌﾞｰﾄ ﾛｰﾀﾞ領域から実行する間中、割り込みが禁止されます。

● **ﾋﾞｯﾄ0 – IVCE : 割り込みﾍﾞｸﾀ変更許可** (Interrupt Vector Change Enable)

IVCEﾋﾞｯﾄは割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄの変更を許可するために論理1を書かれなければなりません。IVCEはIVSELが書かれる時、またはIVCEが書かれた後の4周期後、ﾊｰﾄﾞｳｪｱによって解除(0)されます。上記IVSEL記述で説明されるようにIVCEﾋﾞｯﾄの設定(1)は割り込みを(一時的に)禁止します。以下のｺｰﾄﾞ例をご覧ください。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
MOVE_IVT:   IN      R16, MCUCR          ;現MCUCR値取得
            MOV     R17, R16            ;現MCUCR値複写
            ORI     R16, (1<<IVCE)      ;IVCE論理1値を取得
            OUT     MCUCR, R16          ;IVCEに論理1書き込み
            ORI     R17, (1<<IVSEL)     ;IVSEL論理1値を取得
            OUT     MCUCR, R17          ;ﾌﾞｰﾄ領域へ割り込みﾍﾞｸﾀを移動
            RET                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void Move_interrupts(void)
{
    uchr temp;                          /* 一時定数定義 */
    temp = MCUCR;                       /* 現MCUCR値取得 */
    MCUCR = temp|(1<<IVCE);             /* IVCEに論理1書き込み */
    MCUCR = temp|(1<<IVSEL);            /* ﾌﾞｰﾄ領域へ割り込みﾍﾞｸﾀを移動 */
}
```

14. EXTINT – 外部割り込み (External Interrupts)

外部割り込みはINTﾋﾟﾝまたはPCINTﾋﾟﾝの何れかによって起動されます。許可したなら、例えINTﾋﾟﾝまたはPCINTﾋﾟﾝが出力として設定されても、割り込みが起動することに注目してください。この特徴はｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。

PCI3ﾋﾟﾝ変化割り込みは許可したPCINT24～31の何れかが切り替わると起動します。PCI2ﾋﾟﾝ変化割り込みは許可したPCINT16～23の何れかが切り替わると起動します。PCI1ﾋﾟﾝ変化割り込みは許可したPCINT8～15の何れかが切り替わると起動します。PCI0ﾋﾟﾝ変化割り込みは許可したPCINT0～7の何れかが切り替わると起動します。ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀn(PCMSK0,PCMSK1,PCMSK2,PCMSK3)は、どのﾋﾟﾝがﾋﾟﾝ変化割り込み要因となるかを制御します。PCINTnでのﾋﾟﾝ変化割り込みは非同期に検知されます。これはそれらの割り込みがｱｲﾄﾞﾙ動作以外の休止形態からもﾃﾞﾊﾞｲｽを起動するのに使えることを意味します。

INT割り込みは上昇端または下降端(含む両端)、またはLowﾚﾍﾞﾙによって起動できます。これは外部割り込み制御ﾚｼﾞｽﾀA(EICRA)の詳述で示されるように構成設定されます。INT割り込みがﾚﾍﾞﾙ起動として設定、且つ許可されると、そのﾋﾟﾝがLowに保持される限り、割り込みは(継続的に)起動します。INTの上昇端や下降端割り込みの認知はI/Oｸﾛｯｸの存在を必要とすることに注意してください。INTのLowﾚﾍﾞﾙ割り込みは非同期に検知されます。これはこの割り込みがｱｲﾄﾞﾙ動作以外の休止形態からもﾃﾞﾊﾞｲｽを起動するのに使えることを意味します。I/Oｸﾛｯｸはｱｲﾄﾞﾙ動作を除く全休止形態で停止されます。

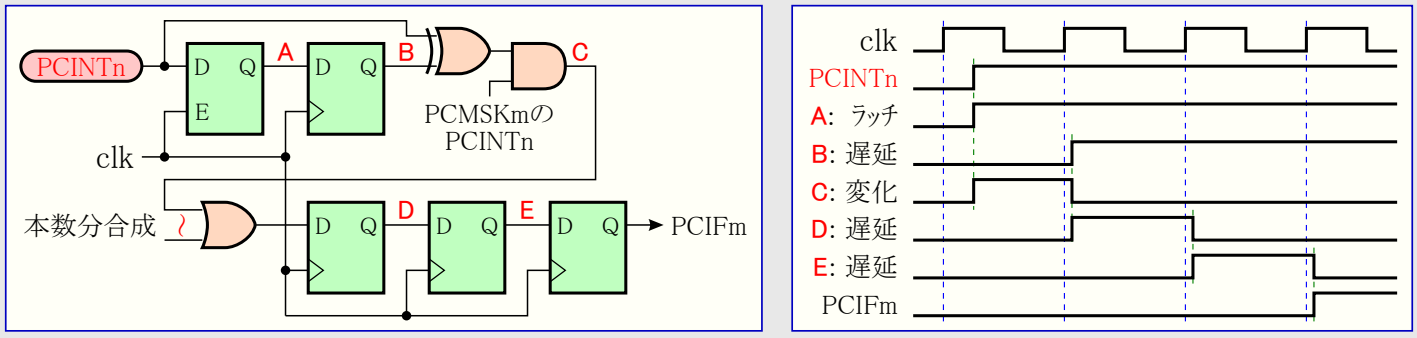
注: ﾚﾍﾞﾙ起動割り込みがﾊﾟﾜｰﾀﾞｳﾝ動作からの起動に使われる場合、この必要としたﾚﾍﾞﾙはﾚﾍﾞﾙ割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このﾚﾍﾞﾙが起動時間の最後に先立って消滅すると、MCUは今まで通り起動しますが、割り込みが生成されません。起動時間はSUTとCKSELのﾋｭｰｽﾞで定義されます。

関連ﾘﾝｸ 27頁の「ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択」

14.1. ﾋﾟﾝ変化割り込みﾀｲﾐﾝｸﾞ

ﾋﾟﾝ変化割り込みの例は下図で示されます。

図14-1. ﾋﾟﾝ変化割り込みﾀｲﾐﾝｸﾞ



14.2. 外部割り込み用ﾚｼﾞｽﾀ

14.2.1. EICRA – 外部割り込み制御ﾚｼﾞｽﾀA (External Interrupt Control Register A)

外部割り込み制御ﾚｼﾞｽﾀAは割り込み条件制御ﾋﾞｯﾄを含みます。

名称 ：EICRA
変位 ：$69
ﾘｾｯﾄ ：$00
特質 ：–

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	ISC21,0		ISC11,0		ISC01,0	
ｱｸｾｽ種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ5,4 – ISC21,0 : 外部割り込み2条件制御** (Interrupt Sense Control 2)

外部割り込み2はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の外部割り込み2許可(INT2)ﾋﾞｯﾄが設定(1)される場合のINT2外部ﾋﾟﾝによって活性(有効)にされます。割り込みを活性にする外部INT2ﾋﾟﾝの端(ｴｯｼﾞ)とﾚﾍﾞﾙは右表で定義されます。INT2ﾋﾟﾝの値は端検出に先立って採取されています。端または論理変化割り込みが選ばれる場合、1ｸﾛｯｸ周期よりも長く留まるﾊﾟﾙｽは割り込みを生成します。より短いﾊﾟﾙｽは割り込みの発生が保証されません。Lowﾚﾍﾞﾙ割り込みが選ばれる場合、そのLowﾚﾍﾞﾙは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。

表14-1. 外部割り込み2(INT2)割り込み条件

ISC21	ISC20	割り込み発生条件
0	0	INT2ﾋﾟﾝがLowﾚﾍﾞﾙで発生。
0	1	INT2ﾋﾟﾝの論理変化(両端)。
1	0	INT2ﾋﾟﾝの下降端で発生。
1	1	INT2ﾋﾟﾝの上昇端で発生。

● **ﾋﾞｯﾄ3,2 – ISC11,0 : 外部割り込み1条件制御** (Interrupt Sense Control 1)

外部割り込み1はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の外部割り込み1許可(INT1)ﾋﾞｯﾄが設定(1)される場合のINT1外部ﾋﾟﾝによって活性(有効)にされます。割り込みを活性にする外部INT1ﾋﾟﾝの端(ｴｯｼﾞ)とﾚﾍﾞﾙは右表で定義されます。INT1ﾋﾟﾝの値は端検出に先立って採取されています。端または論理変化割り込みが選ばれる場合、1ｸﾛｯｸ周期よりも長く留まるﾊﾟﾙｽは割り込みを生成します。より短いﾊﾟﾙｽは割り込みの発生が保証されません。Lowﾚﾍﾞﾙ割り込みが選ばれる場合、そのLowﾚﾍﾞﾙは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。

表14-2. 外部割り込み1(INT1)割り込み条件

ISC11	ISC10	割り込み発生条件
0	0	INT1ﾋﾟﾝがLowﾚﾍﾞﾙで発生。
0	1	INT1ﾋﾟﾝの論理変化(両端)。
1	0	INT1ﾋﾟﾝの下降端で発生。
1	1	INT1ﾋﾟﾝの上昇端で発生。

● **ﾋﾞｯﾄ1,0 – ISC01,0 : 外部割り込み0条件制御** (Interrupt Sense Control 0)

外部割り込み0はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の外部割り込み0許可(INT0)ﾋﾞｯﾄが設定(1)される場合のINT0外部ﾋﾟﾝによって活性(有効)にされます。割り込みを活性にする外部INT0ﾋﾟﾝの端(ｴｯｼﾞ)とﾚﾍﾞﾙは右表で定義されます。INT0ﾋﾟﾝの値は端検出に先立って採取されています。端または論理変化割り込みが選ばれる場合、1ｸﾛｯｸ周期よりも長く留まるﾊﾟﾙｽは割り込みを生成します。より短いﾊﾟﾙｽは割り込みの発生が保証されません。Lowﾚﾍﾞﾙ割り込みが選ばれる場合、そのLowﾚﾍﾞﾙは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。

表14-3. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ﾋﾟﾝがLowﾚﾍﾞﾙで発生。
0	1	INT0ﾋﾟﾝの論理変化(両端)。
1	0	INT0ﾋﾟﾝの下降端で発生。
1	1	INT0ﾋﾟﾝの上昇端で発生。

14.2.2. EIMSK – 外部割り込み許可ﾚｼﾞｽﾀ (External Interrupt Mask Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：EIMSK
変位 ：$3D ($1D)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$1Dです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	–	INT2	INT1	INT0
ｱｸｾｽ種別	R	R	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2 – INT2 : 外部割り込み2許可** (External Interrupt Request 2 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、INT2ﾋﾞｯﾄが設定(1)されると、INT2外部ﾋﾟﾝ割り込みが許可されます。外部割り込み制御ﾚｼﾞｽﾀA(EICRA)の割り込み条件制御2のﾋﾞｯﾄ1と0(ISC21,0)は、この外部割り込みがINT2ﾋﾟﾝの上昇端、下降端、両端、またはLowﾚﾍﾞﾙのどれで活性(有効)にされるかを定義します。例えINT2ﾋﾟﾝが出力として設定されても、このﾋﾟﾝの動きは割り込み要求を引き起こします。外部割り込み要求2に対応する割り込みはINT2割り込みﾍﾞｸﾀから実行されます。

● **ﾋﾞｯﾄ1 – INT1 : 外部割り込み1許可** (External Interrupt Request 1 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、INT1ﾋﾞｯﾄが設定(1)されると、INT1外部ﾋﾟﾝ割り込みが許可されます。外部割り込み制御ﾚｼﾞｽﾀA(EICRA)の割り込み条件制御1のﾋﾞｯﾄ1と0(ISC11,0)は、この外部割り込みがINT1ﾋﾟﾝの上昇端、下降端、両端、またはLowﾚﾍﾞﾙのどれで活性(有効)にされるかを定義します。例えINT1ﾋﾟﾝが出力として設定されても、このﾋﾟﾝの動きは割り込み要求を引き起こします。外部割り込み要求1に対応する割り込みはINT1割り込みﾍﾞｸﾀから実行されます。

● **ﾋﾞｯﾄ0 – INT0 : 外部割り込み0許可** (External Interrupt Request 0 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、INT0ﾋﾞｯﾄが設定(1)されると、INT0外部ﾋﾟﾝ割り込みが許可されます。外部割り込み制御ﾚｼﾞｽﾀA(EICRA)の割り込み条件制御0のﾋﾞｯﾄ1と0(ISC01,0)は、この外部割り込みがINT0ﾋﾟﾝの上昇端、下降端、両端、またはLowﾚﾍﾞﾙのどれで活性(有効)にされるかを定義します。例えINT0ﾋﾟﾝが出力として設定されても、このﾋﾟﾝの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはINT0割り込みﾍﾞｸﾀから実行されます。

14.2.3. EIFR – 外部割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (External Interrupt Flag Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：EIFR
変位 ：$3C ($1C)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$1Cです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	–	INTF2	INTF1	INTF0
ｱｸｾｽ種別	R	R	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2 – INTF2 : 外部割り込み2要求ﾌﾗｸﾞ** (External Interrupt Flag 2)

INT2ﾋﾟﾝ上の端(ｴｯｼﾞ)または論理変化が割り込み要求を起動すると、INTF2が設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の外部割り込み2許可(INT2)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込みﾙｰﾁﾝが実行されると解除(0)されます。代わりにこのﾌﾗｸﾞは1を書くことによっても解除(0)できます。INT2がﾚﾍﾞﾙ割り込みとして設定されると、このﾌﾗｸﾞは常に解除(0)されます。

● **ﾋﾞｯﾄ1 – INTF1 : 外部割り込み1要求ﾌﾗｸﾞ** (External Interrupt Flag 1)

INT1ﾋﾟﾝ上の端(ｴｯｼﾞ)または論理変化が割り込み要求を起動すると、INTF1が設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の外部割り込み1許可(INT1)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込みﾙｰﾁﾝが実行されると解除(0)されます。代わりにこのﾌﾗｸﾞは1を書くことによっても解除(0)できます。INT1がﾚﾍﾞﾙ割り込みとして設定されると、このﾌﾗｸﾞは常に解除(0)されます。

● **ﾋﾞｯﾄ0 – INTF0 : 外部割り込み0要求ﾌﾗｸﾞ** (External Interrupt Flag 0)

INT0ﾋﾟﾝ上の端(ｴｯｼﾞ)または論理変化が割り込み要求を起動すると、INTF0が設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の外部割り込み0許可(INT0)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込みﾙｰﾁﾝが実行されると解除(0)されます。代わりにこのﾌﾗｸﾞは1を書くことによっても解除(0)できます。INT0がﾚﾍﾞﾙ割り込みとして設定されると、このﾌﾗｸﾞは常に解除(0)されます。

14.2.4. PCICR – ﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ (Pin Change Interrupt Control Register)

名称 : PCICR
変位 : $68
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	PCIE3	PCIE2	PCIE1	PCIE0
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ3 – PCIE3 : ﾋﾟﾝ変化3群割り込み許可** (Pin Change Interrupt Enable 3)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、PCIE3ﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝ変化3群割り込みが許可されます。許可したPCINT24～31ﾋﾟﾝの何れかの変化が割り込みを起こします。このﾋﾟﾝ変化割り込み要求に対応する割り込みはPCI3割り込みﾍﾞｸﾀから実行されます。PCINT24～31ﾋﾟﾝはﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ3(PCMSK3)によって個別に許可されます。

● **ﾋﾞｯﾄ2 – PCIE2 : ﾋﾟﾝ変化2群割り込み許可** (Pin Change Interrupt Enable 2)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、PCIE2ﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝ変化2群割り込みが許可されます。許可したPCINT16～23ﾋﾟﾝの何れかの変化が割り込みを起こします。このﾋﾟﾝ変化割り込み要求に対応する割り込みはPCI2割り込みﾍﾞｸﾀから実行されます。PCINT16～23ﾋﾟﾝはﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ2(PCMSK2)によって個別に許可されます。

● **ﾋﾞｯﾄ1 – PCIE1 : ﾋﾟﾝ変化1群割り込み許可** (Pin Change Interrupt Enable 1)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、PCIE1ﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝ変化1群割り込みが許可されます。許可したPCINT8～15ﾋﾟﾝの何れかの変化が割り込みを起こします。このﾋﾟﾝ変化割り込み要求に対応する割り込みはPCI1割り込みﾍﾞｸﾀから実行されます。PCINT8～15ﾋﾟﾝはﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ1(PCMSK1)によって個別に許可されます。

● **ﾋﾞｯﾄ0 – PCIE0 : ﾋﾟﾝ変化0群割り込み許可** (Pin Change Interrupt Enable 0)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、PCIE0ﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝ変化0群割り込みが許可されます。許可したPCINT0～7ﾋﾟﾝの何れかの変化が割り込みを起こします。このﾋﾟﾝ変化割り込み要求に対応する割り込みはPCI0割り込みﾍﾞｸﾀから実行されます。PCINT0～7ﾋﾟﾝはﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ0(PCMSK0)によって個別に許可されます。

14.2.5. PCIFR – ﾋﾟﾝ変化割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Pin Change Interrupt Flag Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 : PCIFR
変位 : $3B ($1B)
ﾘｾｯﾄ : $00
特質 : I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$1Bです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	PCIF3	PCIF2	PCIF1	PCIF0
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ3 – PCIF3 : ﾋﾟﾝ変化3群割り込み要求ﾌﾗｸﾞ** (Pin Change Interrupt Flag 3)

PCINT24～31ﾋﾟﾝの何れかの論理変化が割り込み要求を起動すると、PCIF3が設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のﾋﾟﾝ変化3群割り込み許可(PCIE3)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが開始されると解除(0)されます。代わりにこのﾌﾗｸﾞは1を書くことによっても解除(0)できます。

● ﾋﾞｯﾄ2 – PCIF2 : ﾋﾟﾝ変化2群割り込み要求ﾌﾗｸﾞ (Pin Change Interrupt Flag 2)

PCINT16～23ﾋﾟﾝの何れかの論理変化が割り込み要求を起動すると、PCIF2が設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のﾋﾟﾝ変化2群割り込み許可(PCIE2)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが開始されると解除(0)されます。代わりにこのﾌﾗｸﾞは1を書くことによっても解除(0)できます。

● ﾋﾞｯﾄ1 – PCIF1 : ﾋﾟﾝ変化1群割り込み要求ﾌﾗｸﾞ (Pin Change Interrupt Flag 1)

PCINT8～15ﾋﾟﾝの何れかの論理変化が割り込み要求を起動すると、PCIF1が設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のﾋﾟﾝ変化1群割り込み許可(PCIE1)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが開始されると解除(0)されます。代わりにこのﾌﾗｸﾞは1を書くことによっても解除(0)できます。

● ﾋﾞｯﾄ0 – PCIF0 : ﾋﾟﾝ変化0群割り込み要求ﾌﾗｸﾞ (Pin Change Interrupt Flag 0)

PCINT0～7ﾋﾟﾝの何れかの論理変化が割り込み要求を起動すると、PCIF0が設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のﾋﾟﾝ変化0群割り込み許可(PCIE0)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが開始されると解除(0)されます。代わりにこのﾌﾗｸﾞは1を書くことによっても解除(0)できます。

14.2.6. PCMSK0 – ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ0 (Pin Change Mask Register 0)

名称 : PCMSK0
変位 : $6B
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ7~0 – PCINT7~PCINT0 : ﾋﾟﾝ変化割り込み7~0許可 (Pin Change Enable Mask 7～0)

各PCINT0～7ﾋﾞｯﾄは対応するI/Oﾋﾟﾝでﾋﾟﾝ変化割り込みが許可されるかどうかを選びます。PCINT0～7とﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のPCIE0が設定(1)なら、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みが許可されます。PCINT0～7が解除(0)されると、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みは禁止されます。

14.2.7. PCMSK1 – ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ1 (Pin Change Mask Register 1)

名称 : PCMSK1
変位 : $6C
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ7~0 – PCINT15~PCINT8 : ﾋﾟﾝ変化割り込み15~8許可 (Pin Change Enable Mask 15～8)

各PCINT8～15ﾋﾞｯﾄは対応するI/Oﾋﾟﾝでﾋﾟﾝ変化割り込みが許可されるかどうかを選びます。PCINT8～15とﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のPCIE1が設定(1)なら、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みが許可されます。PCINT8～15が解除(0)されると、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みは禁止されます。

14.2.8. PCMSK2 – ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ2 (Pin Change Mask Register 2)

名称 : PCMSK2
変位 : $6D
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PCINT23	PCINT22	PCINT21	PCINT20	PCINT19	PCINT18	PCINT17	PCINT16
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – PCINT23~PCINT16 : ﾋﾟﾝ変化割り込み23~16許可** (Pin Change Enable Mask 23～16)

各PCINT16～23ﾋﾞｯﾄは対応するI/Oﾋﾟﾝでﾋﾟﾝ変化割り込みが許可されるかどうかを選びます。PCINT16～23とﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のPCIE2が設定(1)なら、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みが許可されます。PCINT16～23が解除(0)されると、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みは禁止されます。

14.2.9. PCMSK3 – ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ3 (Pin Change Mask Register 3)

名称 : PCMSK3
変位 : $73
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PCINT31	PCINT30	PCINT29	PCINT28	PCINT27	PCINT26	PCINT25	PCINT24
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – PCINT31~PCINT24 : ﾋﾟﾝ変化割り込み31~24許可** (Pin Change Enable Mask 31～24)

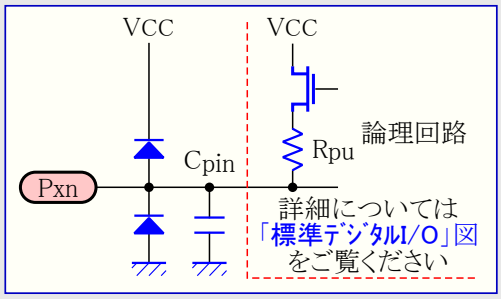
各PCINT24～31ﾋﾞｯﾄは対応するI/Oﾋﾟﾝでﾋﾟﾝ変化割り込みが許可されるかどうかを選びます。PCINT24～31とﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のPCIE3が設定(1)なら、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みが許可されます。PCINT24～31が解除(0)されると、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みは禁止されます。

15. 入出力ﾎﾟｰﾄ

15.1. 概要

全てのAVRのﾎﾟｰﾄは標準ﾃﾞｼﾞﾀﾙI/Oﾎﾟｰﾄとして使われる時に真の読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞｨﾌｧｲ ﾗｲﾄ)を機能的に持ちます。これはSBIとCBI命令で他のどのﾋﾟﾝの方向をも無意識に変更することなく、1つのﾎﾟｰﾄ ﾋﾟﾝの方向を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)ﾌﾟﾙｱｯﾌﾟ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ｿｰｽ)と吸い込み(ｼﾝｸ)の両能力で対称的な駆動特性を持ちます。このﾋﾟﾝ駆動部はLED(表示器)を直接駆動するのに充分な強さです。全てのﾎﾟｰﾄ ﾋﾟﾝには個別に選択可能な、供給電圧で抵抗値が変化しないﾌﾟﾙｱｯﾌﾟ抵抗があります。全てのI/Oﾋﾟﾝは右図で示されるようにVCCとGNDの両方に保護ﾀﾞｲｵｰﾄﾞを持ちます。

図15-1. 入出力ﾋﾟﾝ等価回路



本章内の全てのﾚｼﾞｽﾀとﾋﾞｯﾄの参照は一般形で記されます。小文字の'x'はﾎﾟｰﾄ番号文字、小文字の'n'はﾋﾞｯﾄ番号を表します。けれどもﾌﾟﾛｸﾞﾗﾑ内でﾚｼﾞｽﾀやﾋﾞｯﾄ定義に使う時は正確な形式(例えば、ここで一般に記されたPORTxnがﾎﾟｰﾄBのﾋﾞｯﾄ3に対してはPORTB3)が使われなければなりません。

各々1つの出力ﾚｼﾞｽﾀ(PORTx)、方向ﾚｼﾞｽﾀ(DDRx)、入力ﾚｼﾞｽﾀ(PINx)の各ﾎﾟｰﾄに対して、3つのI/Oﾒﾓﾘ ｱﾄﾞﾚｽ位置が割り当てられます。入力ﾚｼﾞｽﾀのI/O位置は読むだけで、一方出力ﾚｼﾞｽﾀと方向ﾚｼﾞｽﾀは読み書き(両方)です。けれどもPINxﾚｼﾞｽﾀのﾋﾞｯﾄへの1書き込みは、出力ﾚｼﾞｽﾀの対応ﾋﾞｯﾄ値を(1/0)反転する結果になります。加えてMCU制御ﾚｼﾞｽﾀ(MCUCR)のﾌﾟﾙｱｯﾌﾟ禁止(PUD)ﾋﾞｯﾄが設定(1)されると、全ﾎﾟｰﾄで全ﾋﾞｯﾄに対してﾌﾟﾙｱｯﾌﾟ機能を禁止します。

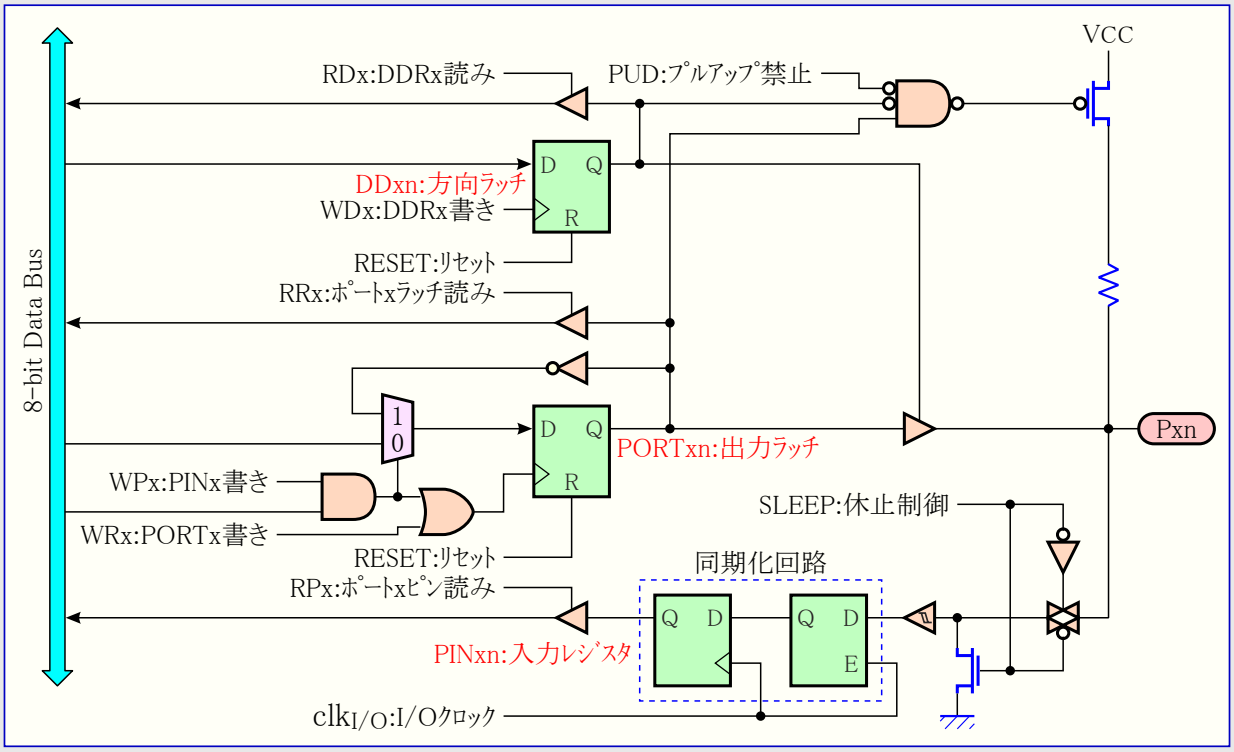
標準ﾃﾞｼﾞﾀﾙI/OとしてのI/Oﾎﾟｰﾄの使用は次項で記述されます。多くのﾎﾟｰﾄ ﾋﾟﾝはﾃﾞﾊﾞｲｽの周辺機能用の交換機能と多重化されます。ﾎﾟｰﾄ ﾋﾟﾝとの各交換機能のｲﾝﾀｰﾌｪｰｽ法は本章内の「**交換ﾎﾟｰﾄ機能**」で記述されます。交換機能の完全な記述については個別機能部項を参照してください。

ﾎﾟｰﾄ ﾋﾟﾝのいくつかの交換機能の許可は、そのﾎﾟｰﾄ内の他のﾋﾟﾝの標準ﾃﾞｼﾞﾀﾙ入出力としての使用に影響を及ぼされません。

15.2. 標準ﾃﾞｼﾞﾀﾙ入出力としてのﾎﾟｰﾄ

このﾎﾟｰﾄは任意の内部ﾌﾟﾙｱｯﾌﾟ付き双方向I/Oﾎﾟｰﾄです。下図はここで属にPxnと呼ばれるI/Oﾎﾟｰﾄ ﾋﾟﾝの1つの機能説明を示します。

図15-2. 標準ﾃﾞｼﾞﾀﾙ入出力回路構成



注: WRx, WPx WDx, RRx, RPx, RDxは同一ﾎﾟｰﾄ内の全ﾋﾟﾝで共通です。
clkI/O,SLEEP, PUDは全ﾎﾟｰﾄで共通です。

15.2.1. ピンの設定

各ポート ピンは3つのレジスタ ビット、DDxn、PORTxn、PINxnから成ります。「I/Oポート用レジスタ」で示されるようにDDxnビットはDDRx I/Oアドレス、PORTxnビットはPORTx I/Oアドレス、PINxビットはPINx I/Oアドレスでアクセスされます。

DDRxレジスタ内のDDxnビットはそのピンの方向を選びます。DDxnが1を書かれるとPxnは出力ピンとして設定されます。DDxnが0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポート ピンは例えクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが1を書かれると、そのポート ピンはHighに駆動されます。そのピンが出力ピンとして設定される時にPORTxnが0を書かれると、そのポート ピンはLowに駆動されます。

15.2.2. ピンの出力交互切り替え

PINxnへの1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えします。SBI命令はポート内の1ビットの反転切り替えに使うことができます。

15.2.3. 入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高インピーダンス環境は強力なHigh(吐き出し)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するために、MCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

下表はピン値に対する制御信号の一覧を示します。

表15-1. ポート ピンの設定

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高インピーダンス (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

15.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポート ピンはPINxnレジスタ ビットを通して読めます。「標準デジタル入出力としてのポート」で示されるようにPINxnレジスタ ビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックの端(エッジ)付近で値を変える場合の未定義状態(メタ ステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。右図は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々$t_{pd,min}$と$t_{pd,max}$で示されます。

(右図で)システム クロックの最初の下降端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステム クロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印$t_{pd,min}$と$t_{pd,max}$によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5～1.5システム クロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、右図で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステム クロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システム クロック周期です。

図15-3. 外部供給ピン値読み込み時の同期化

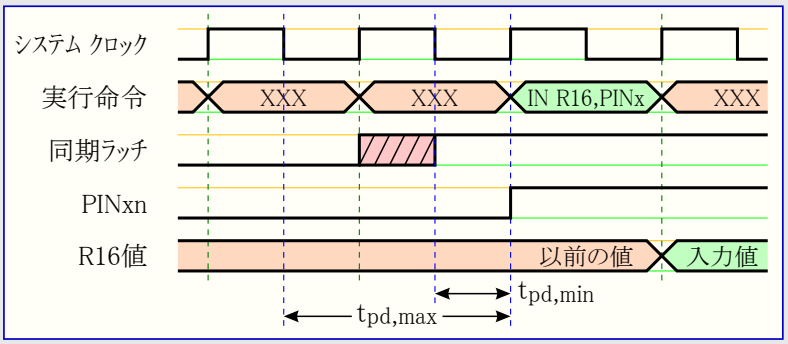
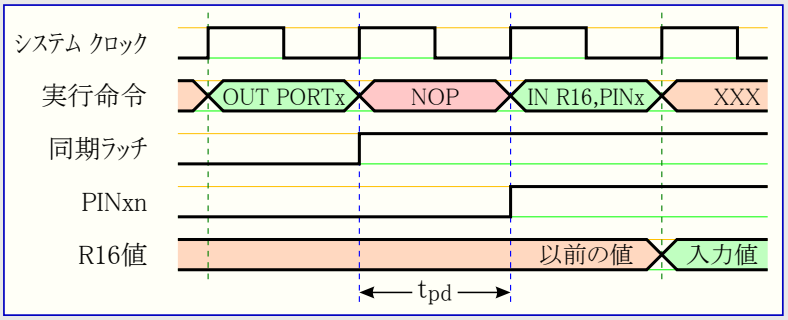


図15-4. プログラムで設定したピン値読み戻し時の同期化



次のｺｰﾄﾞ例はﾎﾟｰﾄBﾋﾟﾝの0と1をHigh出力、2と3をLow出力、6と7をﾌﾟﾙｱｯﾌﾟ指定として4～7を入力に設定する方法を示します。結果のﾋﾟﾝ値が再び読み戻されますが、前記で検討されたように、いくつかのﾋﾟﾝへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
        ～                                                  ;
        LDI     R16, (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0)    ;ﾌﾟﾙｱｯﾌﾟとHigh値を取得
        LDI     R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0) ;出力ﾋﾞｯﾄ値を取得
        OUT     PORTB, R16                                  ;ﾌﾟﾙｱｯﾌﾟとHigh値を設定
        OUT     DDRB, R17                                   ;入出力方向を設定
        NOP                                                 ;同期化遅延対処
        IN      R16, PINB                                   ;ﾋﾟﾝ値読み戻し
        ～                                                  ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char i;
    ～                                                      /* */
    PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0);            /* ﾌﾟﾙｱｯﾌﾟとHigh値を設定 */
    DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0);         /* 入出力方向を設定 */
    __no_operation();                                       /* 同期化遅延対処 */
    i = PINB;                                               /* ﾋﾟﾝ値読み戻し */
    ～                                                      /* */
```

注: ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑについてはﾌﾟﾙｱｯﾌﾟがﾋﾟﾝ0,1,6,7に設定されてから、ﾋﾞｯﾄ0と1の強力なHigh駆動部としての再定義、ﾋﾞｯﾄ2と3のLow駆動部としての定義、方向ﾋﾞｯﾄが正しく設定されるまでの時間を最小とするために2つの一時ﾚｼﾞｽﾀが使われます。

15.2.5. ﾃﾞｼﾞﾀﾙ入力許可と休止形態

図15-2.で示されるようにﾃﾞｼﾞﾀﾙ入力信号はｼｭﾐｯﾄ ﾄﾘｶﾞの入力をGNDにｸﾗﾝﾌﾟできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のｱﾅﾛｸﾞ信号電圧を持つ場合の高消費電力を避けるため、ﾊﾟﾜｰﾀﾞｳﾝ動作、ﾊﾟﾜｰｾｰﾌﾞ動作、ｽﾀﾝﾊﾞｲ動作、拡張ｽﾀﾝﾊﾞｲ動作でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みﾋﾟﾝとして許可されたﾎﾟｰﾄ ﾋﾟﾝに対しては無視されます。外部割り込み要求が許可されないなら、SLEEPは他のﾋﾟﾝについてと同様に有効です。SLEEPは本章内の「**交換ﾎﾟｰﾄ機能**」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない"上昇端、下降端または論理変化(両端)割り込み"として設定された非同期外部割り込みﾋﾟﾝに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるｸﾗﾝﾌﾟが要求された論理変化を生ずるので、対応する外部割り込み要求ﾌﾗｸﾞが設定(1)されます。

15.2.6. 未接続ﾋﾟﾝ

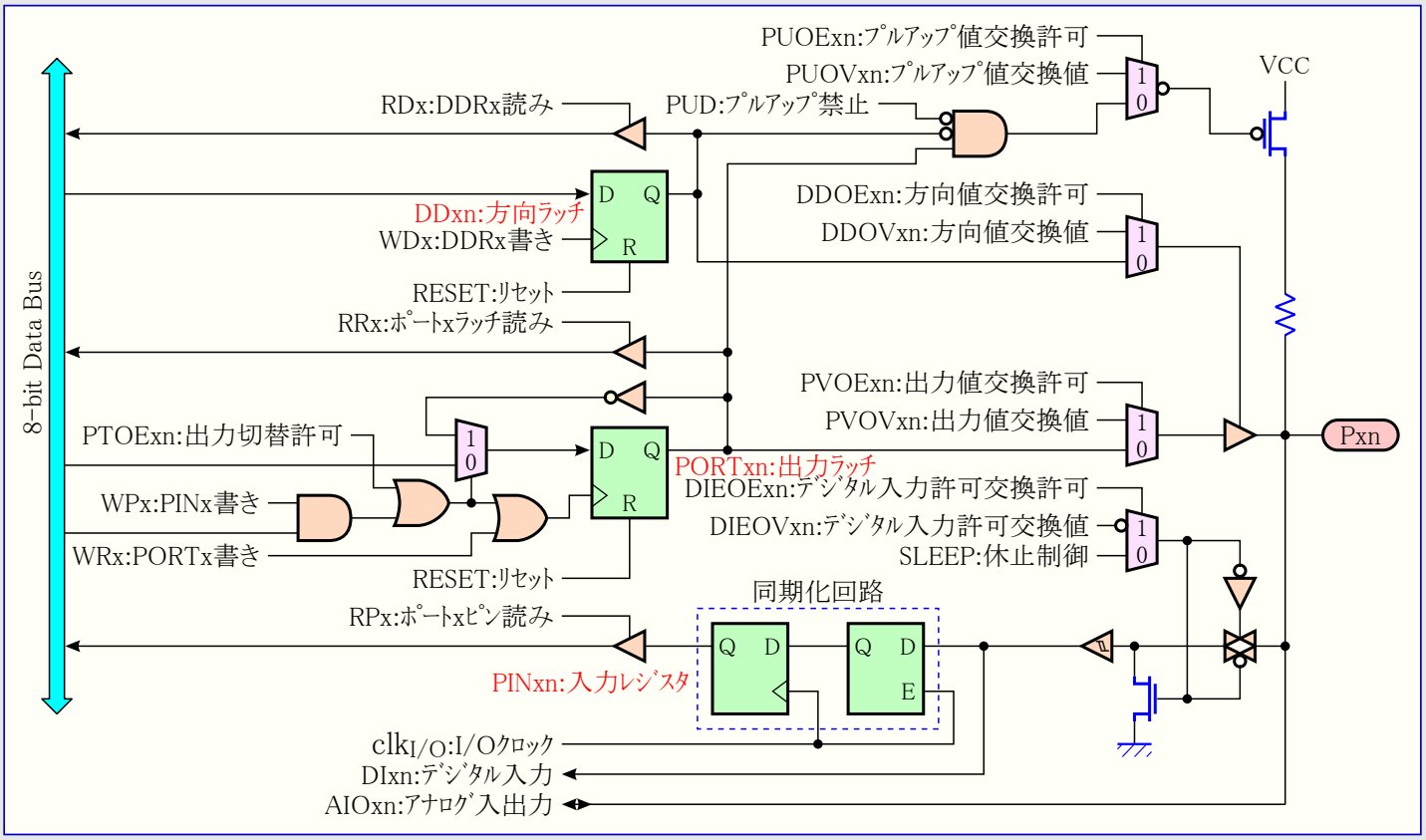
いくつかのﾋﾟﾝが未使用にされる場合、それらのﾋﾟﾝが定義されたﾚﾍﾞﾙを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのﾃﾞｼﾞﾀﾙ入力が禁止されるとしても、ﾃﾞｼﾞﾀﾙ入力が許可される他の全ての動作(ﾘｾｯﾄ、活動動作、ｱｲﾄﾞﾙ動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ﾋﾟﾝの定義されたﾚﾍﾞﾙを保証する最も簡単な方法は内部ﾌﾟﾙｱｯﾌﾟを許可することです。この場合、ﾘｾｯﾄ中のﾌﾟﾙｱｯﾌﾟは禁止されます。ﾘｾｯﾄ中の低消費電力が重要なら、外部ﾌﾟﾙｱｯﾌﾟまたはﾌﾟﾙﾀﾞｳﾝを使うことが推奨されます。未使用ﾋﾟﾝを直接GNDまたはVCCに接続することは、ﾋﾟﾝが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

15.3. 交換ﾎﾟｰﾄ機能

多くのﾎﾟｰﾄ ﾋﾟﾝには標準ﾃﾞｼﾞﾀﾙ入出力に加え交換機能があります。下図は単純化された図15-2.でのﾎﾟｰﾄ ﾋﾟﾝ制御信号が交換機能によってどう重複できるかを示します。この重複信号は全てのﾎﾟｰﾄ ﾋﾟﾝに存在する訳ではありませんが、この図はAVR ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系統の全ﾎﾟｰﾄ ﾋﾟﾝに適用できる一般的な記述として取り扱います。

図15-5. 交換ﾎﾟｰﾄ機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ﾎﾟｰﾄ内の全ﾋﾟﾝで共通です。
$clk_{I/O}$,SLEEP, PUDは全ﾎﾟｰﾄで共通です。他の信号は各ﾋﾟﾝ固有です。

下表は重複(交換)信号の機能一覧を示します。前の図で示すﾋﾟﾝとﾎﾟｰﾄは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表15-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	ﾌﾟﾙｱｯﾌﾟ値交換許可	1で、ﾌﾟﾙｱｯﾌﾟ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でﾌﾟﾙｱｯﾌﾟが許可されます。
PUOV	ﾌﾟﾙｱｯﾌﾟ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、ﾌﾟﾙｱｯﾌﾟの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnﾚｼﾞｽﾀ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnﾚｼﾞｽﾀ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ﾎﾟｰﾄ値はPVOV信号で制御されます。出力駆動部がONで0の場合、ﾎﾟｰﾄ値はPORTxnﾚｼﾞｽﾀ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnﾚｼﾞｽﾀ値に関係なく、ﾎﾟｰﾄ値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnﾚｼﾞｽﾀ値が反転します。
DIEOE	ﾃﾞｼﾞﾀﾙ入力許可交換許可	1で、ﾃﾞｼﾞﾀﾙ入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止動作)によって決定されます。
OIEOV	ﾃﾞｼﾞﾀﾙ入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止動作)に関係なく、ﾃﾞｼﾞﾀﾙ入力を許可(1)/禁止(0)します。
DI	ﾃﾞｼﾞﾀﾙ入力	交換機能用ﾃﾞｼﾞﾀﾙ入力です。この信号は図上でｼｭﾐｯﾄ ﾄﾘｶﾞ出力に接続されていますが、これは同期化前となります。この信号はｸﾛｯｸとしての使用を除き、各交換機能自身が同期化します。
AIO	ｱﾅﾛｸﾞ入出力	交換機能用ｱﾅﾛｸﾞ入出力です。この信号はﾋﾟﾝに直接接続され、双方向使用ができます。

以降の項は交換機能に関連する重複(交換)信号と各ﾎﾟｰﾄの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

15.3.1. ﾎﾟｰﾄAの交換機能

ﾎﾟｰﾄAﾋﾟﾝの交換機能は下表で示されます。

表15-3. ﾎﾟｰﾄAﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PA7	ADC7 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ7) PCINT7 (ﾋﾟﾝ変化割り込み7入力)	PA3	ADC3 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ3) PCINT3 (ﾋﾟﾝ変化割り込み3入力)
PA6	ADC6 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ6) PCINT6 (ﾋﾟﾝ変化割り込み6入力)	PA2	ADC2 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ2) PCINT2 (ﾋﾟﾝ変化割り込み2入力)
PA5	ADC5 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ5) PCINT5 (ﾋﾟﾝ変化割り込み5入力)	PA1	ADC1 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ1) PCINT1 (ﾋﾟﾝ変化割り込み1入力)
PA4	ADC4 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ4) PCINT4 (ﾋﾟﾝ変化割り込み4入力)	PA0	ADC0 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ0) PCINT0 (ﾋﾟﾝ変化割り込み0入力)

交換ﾋﾟﾝの設定は次のとおりです。

- ADC7～0/PCINT7～0 – ﾎﾟｰﾄA ﾋﾞｯﾄ7～0 : PA7～0
  - ADC7～0 : A/D変換ﾁｬﾈﾙ7～0入力。
  - PCINT7～0 : ﾋﾟﾝ変化割り込み7～0入力。PA7～0ﾋﾟﾝは外部割り込み元として扱えます。

下表はﾎﾟｰﾄAの交換機能を図15-5.で示される交換信号に関連付けます。

表15-4. ﾎﾟｰﾄA7～4の交換機能用交換信号

信号名	PA7/ADC7/PCINT7	PA6/ADC6/PCINT6	PA5/ADC5/PCINT5	PA4/ADC4/PCINT4
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	–	–	–	–
DIEOE	(PCIE0・PCINT7)+ADC7D	(PCIE0・PCINT6)+ADC6D	(PCIE0・PCINT5)+ADC5D	(PCIE0・PCINT4)+ADC4D
DIEOV	PCIE0・PCINT7	PCIE0・PCINT6	PCIE0・PCINT5	PCIE0・PCINT4
DI	PCINT7入力	PCINT6入力	PCINT5入力	PCINT4入力
AIO	ADC7入力	ADC6入力	ADC5入力	ADC4入力

表15-5. ﾎﾟｰﾄA3～0の交換機能用交換信号

信号名	PA3/ADC3/PCINT3	PA2/ADC2/PCINT2	PA1/ADC1/PCINT1	PA0/ADC0/PCINT0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	–	–	–	–
DIEOE	(PCIE0・PCINT3)+ADC3D	(PCIE0・PCINT2)+ADC2D	(PCIE0・PCINT1)+ADC1D	(PCIE0・PCINT0)+ADC0D
DIEOV	PCIE0・PCINT3	PCIE0・PCINT2	PCIE0・PCINT1	PCIE0・PCINT0
DI	PCINT3入力	PCINT2入力	PCINT1入力	PCINT0入力
AIO	ADC3入力	ADC2入力	ADC1入力	ADC0入力

15.3.2. ﾎﾟｰﾄBの交換機能

ﾎﾟｰﾄBﾋﾟﾝの交換機能は下表で示されます。

表15-6. ﾎﾟｰﾄBﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PB7	SCK (SPI 直列ｸﾛｯｸ 主側出力/従側入力) PCINT15 (ﾋﾟﾝ変化割り込み15入力)	PB3	AIN1 (ｱﾅﾛｸﾞ比較器反転入力) OC0A (ﾀｲﾏ/ｶｳﾝﾀ0 比較A一致出力) PCINT11 (ﾋﾟﾝ変化割り込み11入力)
PB6	MISO (SPI 主側ﾃﾞｰﾀ入力/従側ﾃﾞｰﾀ出力) PCINT14 (ﾋﾟﾝ変化割り込み14入力)	PB2	AIN0 (ｱﾅﾛｸﾞ比較器非反転入力) INT2 (外部割り込み2 入力) PCINT10 (ﾋﾟﾝ変化割り込み10入力)
PB5	MOSI (SPI 主側ﾃﾞｰﾀ出力/従側ﾃﾞｰﾀ入力) PCINT13 (ﾋﾟﾝ変化割り込み13入力)	PB1	T1 (ﾀｲﾏ/ｶｳﾝﾀ1 外部ｸﾛｯｸ入力) CLKO (ｼｽﾃﾑ ｸﾛｯｸ出力) PCINT9 (ﾋﾟﾝ変化割り込み9入力)
PB4	$\overline{SS}$ (SPI 従装置選択入力) OC0B (ﾀｲﾏ/ｶｳﾝﾀ0 比較B一致出力) PCINT12 (ﾋﾟﾝ変化割り込み12入力)	PB0	T0 (ﾀｲﾏ/ｶｳﾝﾀ0 外部ｸﾛｯｸ入力) XCK0 (USART0 外部ｸﾛｯｸ入出力) PCINT8 (ﾋﾟﾝ変化割り込み8入力)

交換ﾋﾟﾝの設定は次のとおりです。

- SCK/PCINT15 – ﾎﾟｰﾄB ﾋﾞｯﾄ7 : PB7
  - SCK : SPI用の主装置ｸﾛｯｸ出力、従装置ｸﾛｯｸ入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB7設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB7で制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB7で制御できます。
  - PCINT15 : ﾋﾟﾝ変化割り込み15入力。PB7ﾋﾟﾝは外部割り込み元として扱えます。
- MISO/PCINT14 – ﾎﾟｰﾄB ﾋﾞｯﾄ6 : PB6
  - MISO : SPI用の主装置ﾃﾞｰﾀ入力、従装置ﾃﾞｰﾀ出力。SPIが主装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB6の設定に拘らず入力として設定されます。SPIが従装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB6で制御されます。このﾋﾟﾝがSPIによって入力を強制される時にﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB6で制御できます。
  - PCINT14 : ﾋﾟﾝ変化割り込み14入力。PB6ﾋﾟﾝは外部割り込み元として扱えます。
- MOSI/PCINT13 – ﾎﾟｰﾄB ﾋﾞｯﾄ5 : PB5
  - MOSI : SPI用の主装置ﾃﾞｰﾀ出力、従装置ﾃﾞｰﾀ入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB5設定に拘らず入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB5で制御されます。このﾋﾟﾝがSPIによって入力を強制される時にﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB5で制御できます。
  - PCINT13 : ﾋﾟﾝ変化割り込み13入力。PB5ﾋﾟﾝは外部割り込み元として扱えます。
- $\overline{SS}$/OC0B/PCINT12 – ﾎﾟｰﾄB ﾋﾞｯﾄ4 : PB4
  - $\overline{SS}$: SPI従装置選択入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB4の設定に拘らず、入力として設定されます。従装置としてこのﾋﾟﾝがLowに駆動されると、SPI(機能)が活性化(有効に)されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB4で制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB4で制御できます。
  - OC0B : ﾀｲﾏ/ｶｳﾝﾀ0の比較B一致出力。PB4ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ0の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB4=1)されなければなりません。このOC0Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。
  - PCINT12 : ﾋﾟﾝ変化割り込み12入力。PB4ﾋﾟﾝは外部割り込み元として扱えます。
- AIN1/OC0A/PCINT11 – ﾎﾟｰﾄB ﾋﾞｯﾄ3 : PB3
  - AIN1 : ｱﾅﾛｸﾞ比較器反転入力。ｱﾅﾛｸﾞ比較器機能を邪魔するﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ機能を無効とするために、内部ﾌﾟﾙｱｯﾌﾟがOFFにされた入力としてﾎﾟｰﾄ ﾋﾟﾝを設定してください。
  - OC0A : ﾀｲﾏ/ｶｳﾝﾀ0の比較A一致出力。PB3ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ0の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB3=1)されなければなりません。このOC0Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。
  - PCINT11 : ﾋﾟﾝ変化割り込み11入力。PB3ﾋﾟﾝは外部割り込み元として扱えます。

- AIN0/INT2/PCINT10 – ﾎﾟｰﾄB ﾋﾞｯﾄ2 : PB2
  - AIN0 : ｱﾅﾛｸﾞ比較器非反転入力。ｱﾅﾛｸﾞ比較器機能を邪魔するﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ機能を無効とするために、内部ﾌﾟﾙｱｯﾌﾟがOFFにされた入力としてﾎﾟｰﾄ ﾋﾟﾝを設定してください。
  - INT2 : 外部割り込み2入力。PB2ﾋﾟﾝはMCUへの外部割り込み元として扱えます。
  - PCINT10 : ﾋﾟﾝ変化割り込み10入力。PB2ﾋﾟﾝは外部割り込み元として扱えます。
- T1/CLKO/PCINT9 – ﾎﾟｰﾄB ﾋﾞｯﾄ1 : PB1
  - T1 : ﾀｲﾏ/ｶｳﾝﾀ1の外部ｸﾛｯｸ入力ﾋﾟﾝです。
  - CLKO : ｼｽﾃﾑ ｸﾛｯｸ出力。分周したｼｽﾃﾑ ｸﾛｯｸはPB1ﾋﾟﾝに出力できます。分周したｼｽﾃﾑ ｸﾛｯｸはCKOUTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、PORTB1とDDB1設定に拘らず、出力されます。これはﾘｾｯﾄ中にも出力されます。
  - PCINT9 : ﾋﾟﾝ変化割り込み9入力。PB1ﾋﾟﾝは外部割り込み元として扱えます。
- T0/XCK0/PCINT8 – ﾎﾟｰﾄB ﾋﾞｯﾄ0 : PB0
  - T0 : ﾀｲﾏ/ｶｳﾝﾀ0の外部ｸﾛｯｸ入力ﾋﾟﾝです。
  - XCK0 : USART0の外部ｸﾛｯｸ入出力。ﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB0は、このｸﾛｯｸが入力(DDB0=0)または出力(DDB0=1)のどちらかを制御します。XCK0ﾋﾟﾝはUSART0が同期種別で動作する時だけ活動します(有効です)。
  - PCINT8 : ﾋﾟﾝ変化割り込み8入力。PB0ﾋﾟﾝは外部割り込み元として扱えます。

表15-7.と表15-8.はﾎﾟｰﾄBの交換機能を図15-5.で示される交換信号に関連付けます。SPI主装置入力とSPI従装置出力がMISOを構成し、一方MOSIはSPI主装置出力とSPI従装置入力に分けられます。

表15-7. ﾎﾟｰﾄB7～4の交換機能用交換信号

信号名	PB7/SCK/PCINT15	PB6/MISO/PCINT14	PB5/MOSI/PCINT13	PB4/$\overline{SS}$/OC0B/PCINT12
PUOE	SPE・$\overline{MSTR}$	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$
PUOV	PORTB7・$\overline{PUD}$	PORTB6・$\overline{PUD}$	PORTB5・$\overline{PUD}$	PORTB4・$\overline{PUD}$
DDOE	SPE・$\overline{MSTR}$	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$
DDOV	0	0	0	0
PVOE	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・MSTR	OC0B許可
PVOV	SCK出力	SPI従装置出力	SPI主装置出力	OC0B
PTOE	–	–	–	–
DIEOE	PCIE1・PCINT15	PCIE1・PCINT14	PCIE1・PCINT13	PCIE1・PCINT12
DIEOV	1	1	1	1
DI	SCK/PCINT15入力	SPI主装置/PCINT14入力	SPI従装置/PCINT13入力	SPI $\overline{SS}$/PCINT12入力
AIO	–	–	–	–

表15-8. ﾎﾟｰﾄB3～0の交換機能用交換信号

信号名	PB3/OC0A/AIN1/PCINT11	PB2/INT2/AIN0/PCINT10	PB1/T1/PCINT9	PB0/T0/XCK0/PCINT8
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	CKOUT	0
DDOV	0	0	CKOUT	0
PVOE	OC0A許可	0	CKOUT	XCK0出力許可
PVOV	OC0A	0	ｼｽﾃﾑ ｸﾛｯｸ	XCK0出力
PTOE	–	–	–	–
DIEOE	PCIE1・PCINT11	PCIE1・PCINT10+INT2許可	PCIE1・PCINT9	PCIE1・PCINT8
DIEOV	1	1	1	1
DI	PCINT11入力	INT2/PCINT10入力	T1/PCINT9入力	T0/XCK0/PCINT8入力
AIO	AIN1入力	AIN0入力	–	–

15.3.3. ﾎﾟｰﾄCの交換機能

ﾎﾟｰﾄCﾋﾟﾝの交換機能は下表で示されます。

表15-9. ﾎﾟｰﾄCﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PC7	TOSC2 (ﾀｲﾏ用発振増幅器出力) PCINT23 (ﾋﾟﾝ変化割り込み23入力)	PC3	TMS (JTAG 検査種別選択入力) PCINT19 (ﾋﾟﾝ変化割り込み19入力)
PC6	TOSC1 (ﾀｲﾏ用発振増幅器入力) PCINT22 (ﾋﾟﾝ変化割り込み22入力)	PC2	TCK (JTAG ｸﾛｯｸ入力) PCINT18 (ﾋﾟﾝ変化割り込み18入力)
PC5	TDI (JTAG 検査ﾃﾞｰﾀ入力) PCINT21 (ﾋﾟﾝ変化割り込み21入力)	PC1	SDA (2線直列ﾊﾞｽ ﾃﾞｰﾀ入出力) PCINT17 (ﾋﾟﾝ変化割り込み17入力)
PC4	TDO (JTAG 検査ﾃﾞｰﾀ出力) PCINT20 (ﾋﾟﾝ変化割り込み20入力)	PC0	SCL (2線直列ﾊﾞｽ ｸﾛｯｸ入出力) PCINT16 (ﾋﾟﾝ変化割り込み16入力)

交換ﾋﾟﾝの設定は次のとおりです。

- TOSC2/PCINT23 – ﾎﾟｰﾄC ﾋﾞｯﾄ7 : PC7
  - TOSC2 : ﾀｲﾏ発振器ﾋﾟﾝ2。ﾀｲﾏ/ｶｳﾝﾀ2の非同期ｸﾛｯｸ動作を許可するためにASSRの非同期許可(AS2)ﾋﾞｯﾄが設定(1)されると、PC7ﾋﾟﾝはﾎﾟｰﾄから切り離され、発振用反転増幅器の出力になります。この動作では、このﾋﾟﾝにｸﾘｽﾀﾙ発振器が接続され、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。
  - PCINT23 : ﾋﾟﾝ変化割り込み23入力。PC7ﾋﾟﾝは外部割り込み元として扱えます。
- TOSC1/PCINT22 – ﾎﾟｰﾄC ﾋﾞｯﾄ6 : PC6
  - TOSC1 : ﾀｲﾏ発振器ﾋﾟﾝ1。ﾀｲﾏ/ｶｳﾝﾀ2の非同期ｸﾛｯｸ動作を許可するためにASSRの非同期許可(AS2)ﾋﾞｯﾄが設定(1)されると、PC6ﾋﾟﾝはﾎﾟｰﾄから切り離され、発振用反転増幅器の入力になります。この動作では、このﾋﾟﾝにｸﾘｽﾀﾙ発振器が接続され、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。
  - PCINT22 : ﾋﾟﾝ変化割り込み22入力。PC6ﾋﾟﾝは外部割り込み元として扱えます。
- TDI/PCINT21 – ﾎﾟｰﾄC ﾋﾞｯﾄ5 : PC5
  - TDI : JTAG検査ﾃﾞｰﾀ入力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀ(走査ﾁｪｰﾝ)に移動入力される直列入力ﾃﾞｰﾀです。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。
  - PCINT21 : ﾋﾟﾝ変化割り込み21入力。PC5ﾋﾟﾝは外部割り込み元として扱えます。
- TDO/PCINT20 – ﾎﾟｰﾄC ﾋﾞｯﾄ4 : PC4
  - TDO : JTAG検査ﾃﾞｰﾀ出力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀから移動出力される直列出力ﾃﾞｰﾀです。JTAGｲﾝﾀｰﾌｪｰｽが許可されたなら、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。
    TDOﾋﾟﾝはﾃﾞｰﾀが移動出力されるTAP状態への移行を除いてHi-Zにされます。
  - PCINT20 : ﾋﾟﾝ変化割り込み20入力。PC4ﾋﾟﾝは外部割り込み元として扱えます。
- TMS/PCINT19 – ﾎﾟｰﾄC ﾋﾞｯﾄ3 : PC3
  - TMS : JTAG検査種別選択。このﾋﾟﾝはTAP(検査入出力ﾎﾟｰﾄ)制御器状態機構を通しての操作に使われます。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。
  - PCINT19 : ﾋﾟﾝ変化割り込み19入力。PC3ﾋﾟﾝは外部割り込み元として扱えます。
- TCK/PCINT18 – ﾎﾟｰﾄC ﾋﾞｯﾄ2 : PC2
  - TCK : JTAGｸﾛｯｸ。JTAG操作はTCKに同期します。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。
  - PCINT18 : ﾋﾟﾝ変化割り込み18入力。PC2ﾋﾟﾝは外部割り込み元として扱えます。
- SDA/PCINT17 – ﾎﾟｰﾄC ﾋﾞｯﾄ1 : PC1
  - SDA : 2線直列ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ。2線直列ｲﾝﾀｰﾌｪｰｽを許可するために2線直列ｲﾝﾀｰﾌｪｰｽ制御ﾚｼﾞｽﾀ(TWCR)の2線直列ｲﾝﾀｰﾌｪｰｽ動作許可(TWEN)ﾋﾞｯﾄが設定(1)されると、PC1は(通常の)ﾎﾟｰﾄから切り離されて、2線直列ｲﾝﾀｰﾌｪｰｽ用直列ﾃﾞｰﾀ入出力ﾋﾟﾝになります。この動作では入力信号上の50nsより短いｽﾊﾟｲｸ(瞬間雑音)を消去するためのｽﾊﾟｲｸ除去器があり、ｽﾘｭｰﾚｰﾄ(上昇/下降速度)制限付きｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ駆動部によって駆動されます。このﾋﾟﾝが2線直列ｲﾝﾀｰﾌｪｰｽによって使われるとき、ﾌﾟﾙｱｯﾌﾟは未だPORTC1によって制御できます。
  - PCINT17 : ﾋﾟﾝ変化割り込み17入力。PC1ﾋﾟﾝは外部割り込み元として扱えます。

- SCL/PCINT16 – ﾎﾟｰﾄC ﾋﾞｯﾄ0 : PC0
  - SCL : 2線直列ｲﾝﾀｰﾌｪｰｽ ｸﾛｯｸ。2線直列ｲﾝﾀｰﾌｪｰｽを許可するために2線直列ｲﾝﾀｰﾌｪｰｽ制御ﾚｼﾞｽﾀ(TWCR)の2線直列ｲﾝﾀｰﾌｪｰｽ動作許可(TWEN)ﾋﾞｯﾄが設定(1)されると、PC0は(通常の)ﾎﾟｰﾄから切り離されて、2線直列ｲﾝﾀｰﾌｪｰｽ用直列ｸﾛｯｸ入出力ﾋﾟﾝになります。この動作では入力信号上の50nsより短いｽﾊﾟｲｸ(瞬間雑音)を消去するためのｽﾊﾟｲｸ除去器があり、ｽﾘｭｰﾚｰﾄ(上昇/下降速度)制限付きｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ駆動部によって駆動されます。このﾋﾟﾝが2線直列ｲﾝﾀｰﾌｪｰｽによって使われるとき、ﾌﾟﾙｱｯﾌﾟは未だPORTC0ﾋﾞｯﾄによって制御できます。
  - PCINT16 : ﾋﾟﾝ変化割り込み16入力。PC0ﾋﾟﾝは外部割り込み元として扱えます。

表15-10.と表15-11.はﾎﾟｰﾄCの交換機能を図15-5.で示される交換信号に関連付けます。

表15-10. ﾎﾟｰﾄC7～4の交換機能用交換信号

信号名	PC7/TOSC2/PCINT23	PC6/TOSC1/PCINT22	PC5/TDI/PCINT21	PC4/TDO/PCINT20
PUOE	AS2・$\overline{\text{EXCLK}}$	AS2	JTAGEN	JTAGEN
PUOV	0	0	1	1
DDOE	AS2・$\overline{\text{EXCLK}}$	AS2	JTAGEN	JTAGEN
DDOV	0	0	0	IR移動+DR移動
PVOE	0	0	0	JTAGEN
PVOV	0	0	0	TDO出力
PTOE	–	–	–	–
DIEOE	AS2・$\overline{\text{EXCLK}}$)+ (PCIE2・PCINT23)	AS2+(PCIE2・PCINT22)	JTAGEN+ (PCIE2・PCINT21)	JTAGEN+ (PCIE2・PCINT20)
DIEOV	AS2	EXCLK+AS2	$\overline{\text{JTAGEN}}$	$\overline{\text{JTAGEN}}$
DI	PCINT23入力	PCINT22入力	PCINT21入力	PCINT20入力
AIO	ﾀｲﾏ/ｶｳﾝﾀ2用 発振増幅器出力	ﾀｲﾏ/ｶｳﾝﾀ2用 発振増幅器入力	TDI入力	–

表15-11. ﾎﾟｰﾄC3～0の交換機能用交換信号

信号名	PC3/TMS/PCINT19	PC2/TCK/PCINT18	PC1/SDA/PCINT17	PC0/SCL/PCINT16
PUOE	JTAGEN	JTAGEN	TWEN	TWEN
PUOV	1	1	PORTC1・$\overline{\text{PUD}}$	PORTC0・$\overline{\text{PUD}}$
DDOE	JTAGEN	JTAGEN	TWEN	TWEN
DDOV	0	0	0	0
PVOE	0	0	TWEN	TWEN
PVOV	0	0	SDA_出力	SCL_出力
PTOE	–	–	–	–
DIEOE	JTAGEN+ (PCIE2・PCINT19)	JTAGEN+ (PCIE2・PCINT18)	PCIE2・PCINT17	PCIE2・PCINT16
DIEOV	$\overline{\text{JTAGEN}}$	$\overline{\text{JTAGEN}}$	1	1
DI	PCINT19入力	PCINT18入力	PCINT17入力	PCINT16入力
AIO	TMS入力	TCK入力	SDA入力	SCL入力

注: 許可されると、2線直列ｲﾝﾀｰﾌｪｰｽはPC0とPC1ﾋﾟﾝ出力のｽﾘｭｰﾚｰﾄ制御を許可します。これは図で示されていません。
加えて、ﾎﾟｰﾄ図で示されるAIO出力と2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)部間にｽﾊﾟｲｸ除去器が接続されます。

15.3.4. ﾎﾟｰﾄDの交換機能

ﾎﾟｰﾄDﾋﾟﾝの交換機能は下表で示されます。

表15-12. ﾎﾟｰﾄDﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PD7	OC2A (ﾀｲﾏ/ｶｳﾝﾀ2 比較A一致出力) PCINT31 (ﾋﾟﾝ変化割り込み31入力)	PD3	INT1 (外部割り込み1 入力) TXD1 (USART1 送信ﾃﾞｰﾀ出力) PCINT27 (ﾋﾟﾝ変化割り込み27入力)
PD6	ICP1 (ﾀｲﾏ/ｶｳﾝﾀ1 捕獲起動入力) OC2B (ﾀｲﾏ/ｶｳﾝﾀ2 比較B一致出力) PCINT30 (ﾋﾟﾝ変化割り込み30入力)	PD2	INT0 (外部割り込み0 入力) RXD1 (USART1 受信ﾃﾞｰﾀ入力) PCINT26 (ﾋﾟﾝ変化割り込み26入力)
PD5	OC1A (ﾀｲﾏ/ｶｳﾝﾀ1 比較A一致出力) PCINT29 (ﾋﾟﾝ変化割り込み29入力)	PD1	TXD0 (USART0 送信ﾃﾞｰﾀ出力) PCINT25 (ﾋﾟﾝ変化割り込み25入力)
PD4	OC1B (ﾀｲﾏ/ｶｳﾝﾀ1 比較B一致出力) XCK1 (USART1 外部ｸﾛｯｸ入出力) PCINT28 (ﾋﾟﾝ変化割り込み28入力)	PD0	RXD0 (USART0 受信ﾃﾞｰﾀ入力) PCINT24 (ﾋﾟﾝ変化割り込み24入力)

交換ﾋﾟﾝの設定は次のとおりです。

- OC2A/PCINT31 – ﾎﾟｰﾄD ﾋﾞｯﾄ7 : PD7
  - OC2A : ﾀｲﾏ/ｶｳﾝﾀ2の比較A一致出力。PD7ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ2の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDD7=1)されなければなりません。このOC2Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。
  - PCINT31 : ﾋﾟﾝ変化割り込み31入力。PD7ﾋﾟﾝは外部割り込み元として扱えます。
- ICP1/OC2B/PCINT30 – ﾎﾟｰﾄD ﾋﾞｯﾄ6 : PD6
  - ICP1 : ﾀｲﾏ/ｶｳﾝﾀ1の捕獲起動入力。PD6ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1用捕獲起動入力ﾋﾟﾝとして動作できます。
  - OC2B : ﾀｲﾏ/ｶｳﾝﾀ2の比較B一致出力。PD6ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ2の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDD6=1)されなければなりません。このOC2Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。
  - PCINT30 : ﾋﾟﾝ変化割り込み30入力。PD6ﾋﾟﾝは外部割り込み元として扱えます。
- OC1A/PCINT29 – ﾎﾟｰﾄD ﾋﾞｯﾄ5 : PD5
  - OC1A : ﾀｲﾏ/ｶｳﾝﾀ1の比較A一致出力。PD5ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDD5=1)されなければなりません。このOC1Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。
  - PCINT29 : ﾋﾟﾝ変化割り込み29入力。PD5ﾋﾟﾝは外部割り込み元として扱えます。
- OC1B/XCK1/PCINT28 – ﾎﾟｰﾄD ﾋﾞｯﾄ4 : PD4
  - OC1B : ﾀｲﾏ/ｶｳﾝﾀ1の比較B一致出力。PD4ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDD4=1)されなければなりません。このOC1Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。
  - XCK1 : USART1の外部ｸﾛｯｸ入出力。ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDD4は、このｸﾛｯｸが入力(DDD4=0)または出力(DDD4=1)のどちらかを制御します。XCK1ﾋﾟﾝはUSART1が同期種別で動作する時だけ活動します(有効です)。
  - PCINT28 : ﾋﾟﾝ変化割り込み28入力。PD4ﾋﾟﾝは外部割り込み元として扱えます。
- INT1/TXD1/PCINT27 – ﾎﾟｰﾄD ﾋﾞｯﾄ3 : PD3
  - INT1 : 外部割り込み1入力。PD3ﾋﾟﾝは外部割り込み元として扱えます。
  - TXD1 : 送信ﾃﾞｰﾀ(USART1用ﾃﾞｰﾀ出力ﾋﾟﾝ)。USART1送信部が許可されると、このﾋﾟﾝはﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDD3の値に拘らず、出力として設定されます。
  - PCINT27 : ﾋﾟﾝ変化割り込み27入力。PD3ﾋﾟﾝは外部割り込み元として扱えます。
- INT0/RXD1/PCINT26 – ﾎﾟｰﾄD ﾋﾞｯﾄ2 : PD2
  - INT0 : 外部割り込み0入力。PD2ﾋﾟﾝは外部割り込み元として扱えます。
  - RXD1 : 受信ﾃﾞｰﾀ(USART1用ﾃﾞｰﾀ入力ﾋﾟﾝ)。USART1受信部が許可されると、このﾋﾟﾝはDDRDのDDD2の値に拘らず、入力として設定されます。USART1がこのﾋﾟﾝを入力に強制するとき、ﾌﾟﾙｱｯﾌﾟは未だPORTD2ﾋﾞｯﾄによって制御できます。
  - PCINT26 : ﾋﾟﾝ変化割り込み26入力。PD2ﾋﾟﾝは外部割り込み元として扱えます。

- TXD0/PCINT25 – ﾎﾟｰﾄD ﾋﾞｯﾄ1 : PD1
  - TXD0 : 送信ﾃﾞｰﾀ(USART0用ﾃﾞｰﾀ出力ﾋﾟﾝ)。USART0送信部が許可されると、このﾋﾟﾝはﾎﾟｰﾄD方向ﾚｼﾞｽﾀ(DDRD)のDDD1の値に拘らず、出力として設定されます。
  - PCINT25 : ﾋﾟﾝ変化割り込み25入力。PD1ﾋﾟﾝは外部割り込み元として扱えます。
- RXD0/PCINT24 – ﾎﾟｰﾄD ﾋﾞｯﾄ0 : PD0
  - RXD0 : 受信ﾃﾞｰﾀ(USART0用ﾃﾞｰﾀ入力ﾋﾟﾝ)。USART0受信部が許可されると、このﾋﾟﾝはDDRDのDDD0の値に拘らず、入力として設定されます。USART0がこのﾋﾟﾝを入力に強制するとき、ﾌﾟﾙｱｯﾌﾟは未だPORTD0ﾋﾞｯﾄによって制御できます。
  - PCINT24 : ﾋﾟﾝ変化割り込み24入力。PD0ﾋﾟﾝは外部割り込み元として扱えます。

表15-13.と表15-14.はﾎﾟｰﾄDの交換機能を図15-5.で示される交換信号に関連付けます。

表15-13. ﾎﾟｰﾄD7～4の交換機能用交換信号

信号名	PD7/OC2A/PCINT31	PD6/ICP1/OC2B/PCINT30	PD5/OC1A/PCINT29	PD4/OC1B/XCK1/PCINT28
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	OC2A許可	OC2B許可	OC1A許可	OC1B許可+XCK1出力許可
PVOV	OC2A	OC2B	OC1A	OC1B+XCK1出力
PTOE	–	–	–	–
DIEOE	PCIE3・PCINT31	PCIE3・PCINT30	PCIE3・PCINT29	PCIE3・PCINT28
DIEOV	1	1	1	1
DI	PCINT31入力	ICP1/PCINT30入力	PCINT29入力	XCK1/PCINT28入力
AIO	–	–	–	–

表15-14. ﾎﾟｰﾄD3～0の交換機能用交換信号

信号名	PD3/INT1/TXD1/PCINT27	PD2/INT0/RXD1/PCINT26	PD1/TXD0/PCINT25	PD0/RXD0/PCINT24
PUOE	TXEN1	RXEN1	TXEN0	RXEN0
PUOV	0	PORTD2・$\overline{\text{PUD}}$	0	PORTD0・$\overline{\text{PUD}}$
DDOE	TXEN1	RXEN1	TXEN0	RXEN0
DDOV	1	0	1	0
PVOE	TXEN1	0	TXEN0	0
PVOV	TXD1	0	TXD0	0
PTOE	–	–	–	–
DIEOE	INT1許可+(PCIE3・PCINT27)	INT0許可+(PCIE3・PCINT26)	PCIE3・PCINT25	PCIE3・PCINT24
DIEOV	1	1	1	1
DI	INT1/PCINT27入力	INT0/RXD1/PCINT26入力	PCINT25入力	RXD0/PCINT24入力
AIO	–	–	–	–

15.4. I/Oﾎﾟｰﾄ用ﾚｼﾞｽﾀ

15.4.1. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：MCUCR
変位 ：$55 ($35)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$35です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	JTD	BODS	BODSE	PUD	–	–	IVSEL	IVCE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ4 – PUD : ﾌﾟﾙｱｯﾌﾟ禁止** (Pull-up Disable)

このﾋﾞｯﾄが1を書かれると、例えDDxnとPORTxnﾚｼﾞｽﾀがﾌﾟﾙｱｯﾌﾟを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oﾎﾟｰﾄのﾌﾟﾙｱｯﾌﾟは禁止されます。

15.4.2. PORTA – ﾎﾟｰﾄA出力ﾚｼﾞｽﾀ (Port A Data Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：PORTA
変位 ：$22 ($02)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$02です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – PORTA7~0 : ﾎﾟｰﾄA出力** (Port A Data)

15.4.3. DDRA – ﾎﾟｰﾄA方向ﾚｼﾞｽﾀ (Port A Data Direction Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：DDRA
変位 ：$21 ($01)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$01です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DDA7~0 : ﾎﾟｰﾄAﾃﾞｰﾀ方向** (Port A Data Direction)

15.4.4. PINA – ﾎﾟｰﾄA入力ﾚｼﾞｽﾀ (Port A Input Pins Address)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：PINA
変位 ：$20 ($00)
ﾘｾｯﾄ ：不定
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$00です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7~0 – PINA7~0 : ﾎﾟｰﾄA入力** (Port A Input Pins)

PINxﾚｼﾞｽﾀへの書き込みはI/Oに対する交互切り替え機能を提供します。「ﾋﾟﾝの出力交互切り替え」をご覧ください。

15.4.5. PORTB – ﾎﾟｰﾄB出力ﾚｼﾞｽﾀ (Port B Data Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：PORTB
変位 ：$25 ($05)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$05です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – PORTB7~0 : ﾎﾟｰﾄB出力** (Port B Data)

15.4.6. DDRB – ﾎﾟｰﾄB方向ﾚｼﾞｽﾀ (Port B Data Direction Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：DDRB
変位 ：$24 ($04)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$04です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DDB7~0 : ﾎﾟｰﾄBﾃﾞｰﾀ方向** (Port B Data Directon)

15.4.7. PINB – ﾎﾟｰﾄB入力ﾚｼﾞｽﾀ (Port B Input Pins Address)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：PINB
変位 ：$23 ($03)
ﾘｾｯﾄ ：不定
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$03です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7~0 – PINB7~0 : ﾎﾟｰﾄB入力** (Port B Input Pins)

PINxﾚｼﾞｽﾀへの書き込みはI/Oに対する交互切り替え機能を提供します。「ﾋﾟﾝの出力交互切り替え」をご覧ください。

15.4.8. PORTC – ﾎﾟｰﾄC出力ﾚｼﾞｽﾀ (Port C Data Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：PORTC
変位 ：$28 ($08)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$08です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – PORTC6~0 : ﾎﾟｰﾄC出力** (Port C Data)

15.4.9. DDRC – ﾎﾟｰﾄC方向ﾚｼﾞｽﾀ (Port C Data Direction Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：DDRC
変位 ：$27 ($07)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$07です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DDC6~0 : ﾎﾟｰﾄCﾃﾞｰﾀ方向** (Port C Data Direction)

15.4.10. PINC – ﾎﾟｰﾄC入力ﾚｼﾞｽﾀ (Port C Input Pins Address)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：PINC
変位 ：$26 ($06)
ﾘｾｯﾄ ：不定
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$06です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7~0 – PINC6~0 : ﾎﾟｰﾄC入力** (Port C Input Pins)

PINxﾚｼﾞｽﾀへの書き込みはI/Oに対する交互切り替え機能を提供します。「ﾋﾟﾝの出力交互切り替え」をご覧ください。

15.4.11. PORTD – ﾎﾟｰﾄD出力ﾚｼﾞｽﾀ (Port D Data Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：PORTD
変位 ：$2B ($0B)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$0Bです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – PORTD7~0 : ﾎﾟｰﾄD出力** (Port D Data)

15.4.12. DDRD – ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ (Port D Data Direction Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：DDRD
変位 ：$2A ($0A)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$0Aです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DDD7~0 : ﾎﾟｰﾄDﾃﾞｰﾀ方向** (Port D Data Direction)

15.4.13. PIND – ﾎﾟｰﾄD入力ﾚｼﾞｽﾀ (Port D Input Pins Address)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：PIND
変位 ：$29 ($09)
ﾘｾｯﾄ ：不定
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$09です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7～0 – PIND7～0：ﾎﾟｰﾄD入力** (Port D Input Pins)

PINxﾚｼﾞｽﾀへの書き込みはI/Oに対する交互切り替え機能を提供します。「ﾋﾟﾝの出力交互切り替え」をご覧ください。

16. TC0 – 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0 (PWM付き)

関連ﾘﾝｸ　104頁の「ﾀｲﾏ/ｶｳﾝﾀ0と1の前置分周器」

16.1. 特徴

- 2つの独立した比較出力部
- 2重緩衝の比較ﾚｼﾞｽﾀ
- 比較一致でのﾀｲﾏ/ｶｳﾝﾀ解除 (自動再設定)
- 不具合なしで正しい位相のﾊﾟﾙｽ幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 3つの独立した割り込み (TOV,OCFA,OCFB)

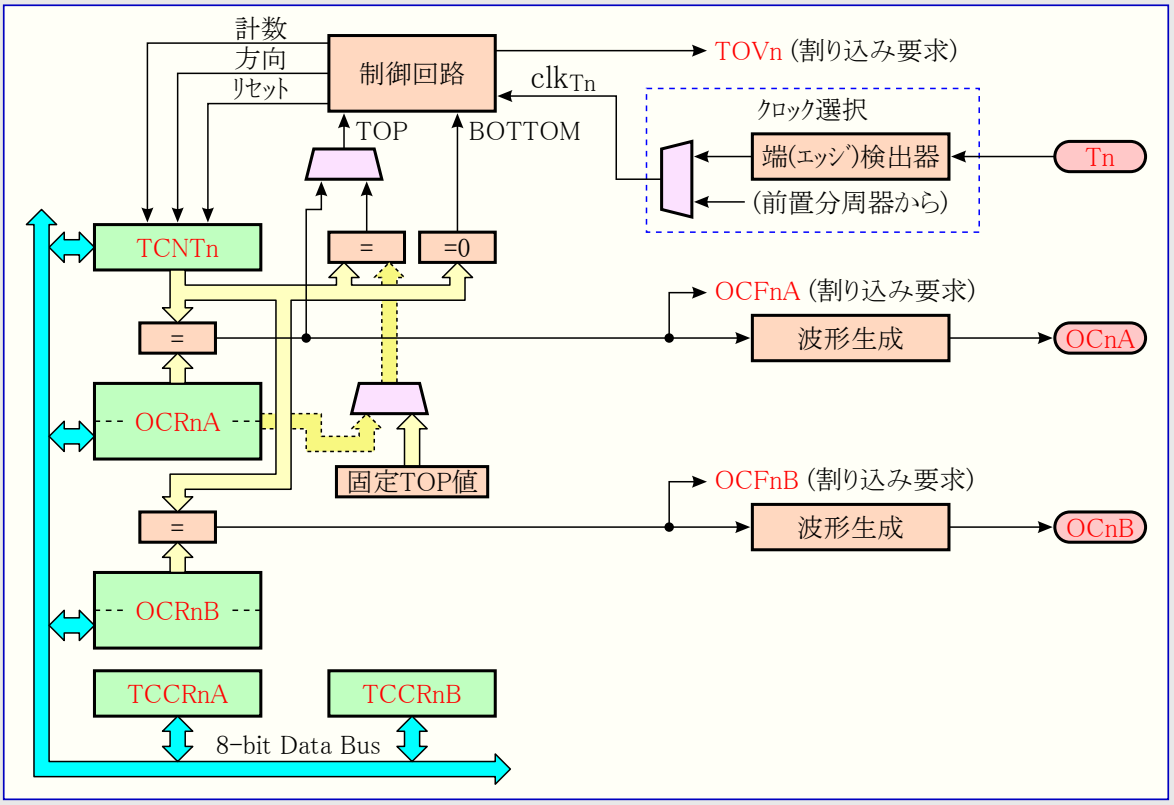
16.2. 概要

ﾀｲﾏ/ｶｳﾝﾀ0(TC0)は2つの独立した比較出力部とPWM支援付きの汎用8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ部です。それは正確なﾌﾟﾛｸﾞﾗﾑ実行ﾀｲﾐﾝｸﾞ(事象管理)、波形生成を許します。

この8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの簡単化した構成図は下で示されます。CPUがｱｸｾｽ可能な(I/OﾋﾞｯﾄとI/Oﾋﾟﾝを含む)I/Oﾚｼﾞｽﾀは赤文字(**訳注**:原文は太字)で示されます。ﾃﾞﾊﾞｲｽ仕様のI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0用ﾚｼﾞｽﾀ**」で一覧されます。I/Oﾋﾟﾝの実際の配置については「**ﾋﾟﾝ配置**」を参照してください。

TC0は電力削減ﾚｼﾞｽﾀ0のPRTIM0(PRR0.PRTIM0)ﾋﾞｯﾄが0を書かれる時に許可されます。

図16-1. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ構成図



16.2.1. 定義

本章でのﾚｼﾞｽﾀとﾋﾞｯﾄ参照の多くは以下のように一般形で書かれます。

- n=0はﾀｲﾏ/ｶｳﾝﾀ番号を表します。
- x=A,Bは比較出力部AまたはBを表します。

けれども、ﾌﾟﾛｸﾞﾗﾑでﾚｼﾞｽﾀまたはﾋﾞｯﾄ定義に使う時は正確な形式、即ち、ﾀｲﾏ/ｶｳﾝﾀ0のｶｳﾝﾀ値ｱｸｾｽに対してTCNT0が使われなければなりません。

右の定義は本章全体に渡って使われます。

表16-1. 用語定義

用語	意味
BOTTOM	ﾀｲﾏ/ｶｳﾝﾀが$00に到達した時。
MAX	ﾀｲﾏ/ｶｳﾝﾀが$FF(255)に到達した時。
TOP	ﾀｲﾏ/ｶｳﾝﾀが指定された固定値($FF)またはOCR0A値に到達した時。この指定(TOP)値は動作種別に依存します。

16.2.2. 関係ﾚｼﾞｽﾀ

ﾀｲﾏ/ｶｳﾝﾀ0(TCNT0)ﾚｼﾞｽﾀと比較ﾚｼﾞｽﾀ(OCR0x)は8ﾋﾞｯﾄ ﾚｼﾞｽﾀです。割り込み要求信号はﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾚｼﾞｽﾀ(TIFR0)で全て見えます。全ての割り込みはﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ(TIMSK0)で個別に遮蔽(禁止)されます。TIFR0とTIMSK0はこの図で示されません。

このTCは内部的、前置分周器経由、またはT0ﾋﾟﾝの外部ｸﾛｯｸ元によってｸﾛｯｸ駆動されます。ｸﾛｯｸ選択論理部は値を増加(または減少)するためにﾀｲﾏ/ｶｳﾝﾀによってどのｸﾛｯｸ元と端(ｴｯｼﾞ)が使われるかを制御します。ｸﾛｯｸ元が選ばれないと、TCは動きません。ｸﾛｯｸ選択論理部からの出力はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ(clk_{T0})として参照されます。

2重緩衝化した比較ﾚｼﾞｽﾀ(OCR0AとOCR0B)はﾀｲﾏ/ｶｳﾝﾀ値と常に比較されます。この比較結果は比較出力(OC0AとOC0B)ﾋﾟﾝでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。詳細については「**比較出力部**」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求ﾌﾗｸﾞ(OCFAとOCFB)も設定(1)します。

16.3. ﾀｲﾏ/ｶｳﾝﾀのｸﾛｯｸ

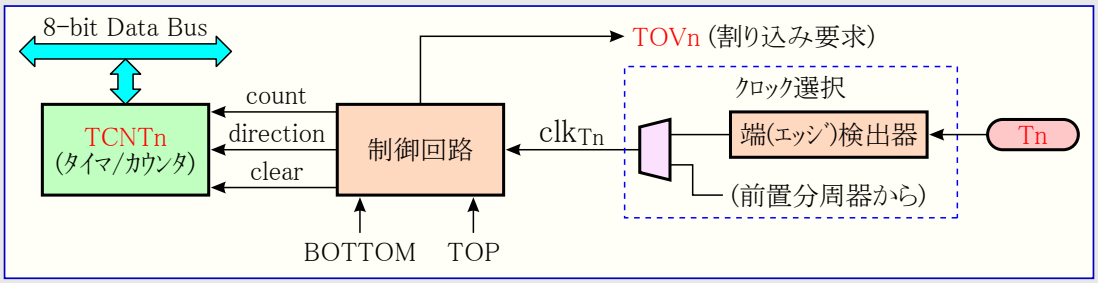
このTCは内部または外部のｸﾛｯｸ元によってｸﾛｯｸ駆動できます。このｸﾛｯｸ元はﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCR0B)のｸﾛｯｸ選択(CS02～0)ﾋﾞｯﾄ書き込みによって選択されます。

関連ﾘﾝｸ　104頁の「ﾀｲﾏ/ｶｳﾝﾀ0と1の前置分周器」

16.4. 計数器部

8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの主な部分は設定可能な双方向計数器部です。下はこの計数器部とその周辺環境の構成図を示します。

図16-2. 計数器部構成図



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ0に対してはn=0)を表します。

信号説明 (内部信号)	count	TCNT0を1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNT0のﾘｾｯﾄ($00設定)信号。
	clk_{Tn}	以降でclk_{T0}として参照されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ信号。
	TOP	TCNT0が最大値に到達したことを示す信号。
	BOTTOM	TCNT0が最小値($00)に到達したことを示す信号。

使った動作種別に依存して、ｶｳﾝﾀは各ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ(clk_{T0})で解除($00)、増加(+1)、または減少(-1)されます。clk_{T0}はｸﾛｯｸ選択(CS02～0)ﾋﾞｯﾄによって選ばれた内部または外部のｸﾛｯｸ元から生成できます。ｸﾛｯｸ元が選ばれない(CS02～0=000)と、ﾀｲﾏ/ｶｳﾝﾀは停止されます。けれどもTCNT0値はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ(clk_{T0})が存在するしないに拘らず、CPUによってｱｸｾｽできます。CPU書き込みは全てのｶｳﾝﾀ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀA(TCCR0A)に配置された波形生成種別(WGM01,0)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀB(TCCR0B)に配置された波形生成種別(WGM02)ﾋﾞｯﾄの設定によって決定されます。これらはｶｳﾝﾀ動作(計数)方法とOC0A/OC0B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては「**動作種別**」をご覧ください。

ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはWGM02～0ﾋﾞｯﾄによって選ばれた動作種別に従って設定(=1)されます。TOVはCPU割り込み発生に使えます。

16.5. 比較出力部

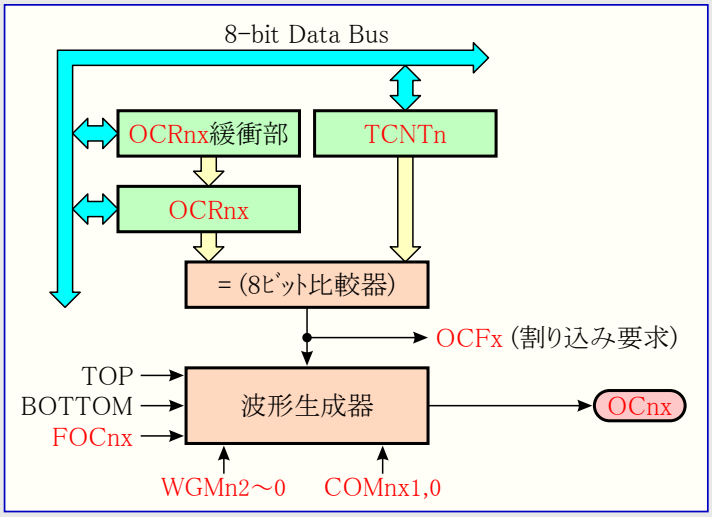
この8ﾋﾞｯﾄ比較器はTCNT0と比較ﾚｼﾞｽﾀ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCFAまたはOCFB)を設定(1)します。対応する割り込みが許可(I=1, OCIEAまたはOCIEB=1)されているならば、その比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。比較割り込み要求ﾌﾗｸﾞは割り込みが実行されると自動的に解除(0)されます。代わりにこのﾌﾗｸﾞはこのI/Oﾋﾞｯﾄ位置に1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM02～0)ﾋﾞｯﾄと比較出力選択(COM0x1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

OCR0xはﾊﾟﾙｽ幅変調(PWM)のどれかを使う時に2重緩衝されます。2重緩衝動作が許可されると、CPUはOCR0x緩衝部をｱｸｾｽします。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0xﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止され、OCR0xﾚｼﾞｽﾀを直接ｱｸｾｽします。

(訳注) ここでは比較nxﾚｼﾞｽﾀ全体をOCR0x、OCR0xを構成する緩衝部部分をOCR0x緩衝部、実際の比較に使われるﾚｼﾞｽﾀ本体部分をOCR0xﾚｼﾞｽﾀとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

図16-3. 比較出力部構成図



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ0に対してはn=0)、'x'は比較出力部(AまたはB)を表します。

16.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(TCCR0B.FOC0x)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCFx)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC0xﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(TCCR0A.COM0x1,0ﾋﾞｯﾄがOC0xﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

16.5.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

16.5.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にﾀｲﾏ/ｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

OC0xの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で強制変更(FOC0x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成動作種別間を変更する時でも、OC0x(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(TCCR0A.COM0x1,0)ﾋﾞｯﾄが比較値(OCR0x)と共に2重緩衝されないことに気付いてください。TCCR0A.COM0x1,0ﾋﾞｯﾄの変更は直ちに有効となります。

16.6. 比較一致出力部

タイマ/カウンタ0制御レジスタAの比較出力選択(TCCR0A.COM0x1,0)ビットは以下の2つの機能を持ちます。

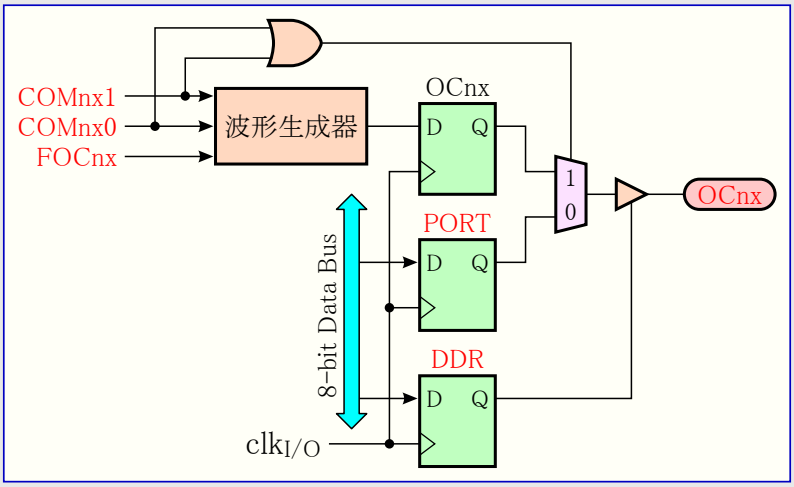
- 波形生成器は次の比較一致での比較出力(OC0x)状態の定義にCOM0xビットを使います。
- COM0xビットはOC0xピン出力元を制御します。

下図はCOM0xビットによって影響を及ぼされる論理回路の簡単化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。COM0xビットによって影響を及ぼされる標準I/Oポート制御レジスタの部分、即ちPORTとDDRだけが示されます。

システム リセットでOC0xレジスタは'0'にリセットされます。

注: 'OC0xの状態'はOC0xピンでなく、常に内部OC0xレジスタを参照します。

図16-4. 比較一致出力回路図



注: レジスタとビットの名前での'n'はタイマ/カウンタ番号(タイマ/カウンタ0に対してはn=0)、'x'は比較出力部(AまたはB)を表します。

COM0x1,0ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力(OC0x)によって無効にされます。けれどもOC0xピンの方向(入出力)はポート ピンに対するポート方向レジスタ(DDR)によって未だ制御されます。ポート方向レジスタでOC0xピンに対するのビット(DDR_OC0x)は、OC0x値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC0x状態の初期化を許します。いくつかのTCCR0A.COM0x1,0ビット設定は或る種の動作種別に対して予約されています。

16.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でTCCR0A.COM0x1,0ビットを違うふうに使います。全ての動作種別に対してTCCR0A.COM0x1,0=00設定は次の比較一致で実行すべきOC0xレジスタの動きがないことを波形生成器へ告げます。比較出力選択の記述も参照してください。

TCCR0A.COM0x1,0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(TCCR0B.FOC0x)ストローブ ビットを使うことによって直ちに効果を得ることを強制できます。

16.7. 動作種別

動作種別はﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動きを決めます。これはﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀA(TCCR0A)とﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCR0B)の波形生成種別(TCCR0B.WGM02とTCCR0A.WGM01,0)ﾋﾞｯﾄとTCCR0Aの比較出力選択(COM0x1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COM0x1,0ﾋﾞｯﾄは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM0x1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(前の「**比較一致出力部**」項をご覧ください)。

ﾀｲﾐﾝｸﾞ情報の詳細については以降の「**ﾀｲﾏ/ｶｳﾝﾀ0のﾀｲﾐﾝｸﾞ**」項を参照してください。

関連ﾘﾝｸ　75頁の「比較一致出力部」
79頁の「ﾀｲﾏ/ｶｳﾝﾀ0のﾀｲﾐﾝｸﾞ」

16.7.1. 標準動作

最も単純な動作種別が標準動作(WGM02～0=000)です。この動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀ解除は実行されません。ｶｳﾝﾀは8ﾋﾞｯﾄ最大値(TOP=$FF)を通過すると単に範囲を超え、そして$00(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはTCNT0が$00になるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合、TOVﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第9ﾋﾞｯﾄのように動きます。けれどもTOVﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

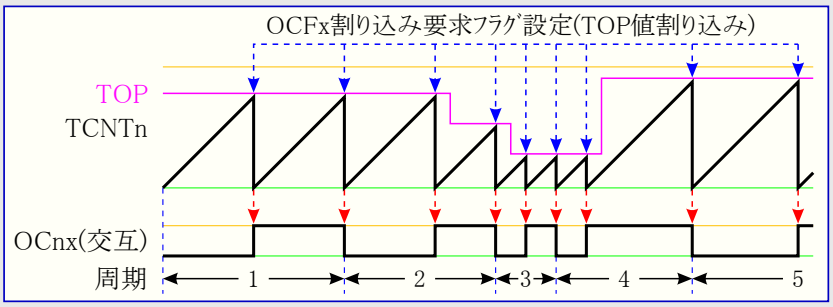
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

16.7.2. 比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGM02～0=010)ではOCR0Aがｶｳﾝﾀの分解能を操作するのに使われます。ｶｳﾝﾀ(TCNT0)値がOCR0Aと一致する時にｶｳﾝﾀは$00に解除されます。OCR0Aはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は下で示されます。ｶｳﾝﾀ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNT0)は解除($00)されます。

図16-5. CTC動作ﾀｲﾐﾝｸﾞ



注: COMnx1,0=01

注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ0に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

OCFAﾌﾗｸﾞの設定(1)により、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に達する時毎に割り込みを生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。

注: 前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している間にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝を提供しないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後、ｶｳﾝﾀは比較一致が起こるのに先立って、最大値($FF)へ計数して$00で循環を始めます。

CTC動作で波形出力を生成するため、OC0A出力はﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀAの比較出力選択(TCCR0A.COM0A1,0)ﾋﾞｯﾄを交互動作(=01)へ書くことによって各比較一致での論理ﾚﾍﾞﾙ交互切り替えに設定できます。OC0A値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力に設定される場合にだけﾎﾟｰﾄ ﾋﾟﾝで見えます。生成された波形はOCR0Aが$00に設定される時に$f_{OC0A}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnx)}$$

Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$00へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

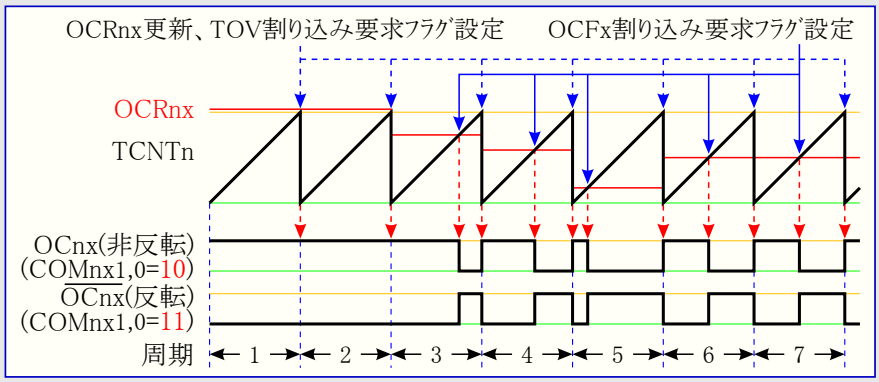
16.7.3. 高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGM02～0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。TOPはWGM02～0=011時に$FFとして定義されます。TOPはWGM02～0=111時にOCR0Aとして定義されます。

非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)はTCNT0とOCR0x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM0x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

高速PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がTOP値と一致するまで増加されます。そしてﾀｲﾏ/ｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀｸﾛｯｸ周期で解除($00)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は下で示されます。TCNT0値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。赤細線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFx)はOCR0x=TOPを除いて比較一致が起こると設定(1)されます(**訳注**:共通性のため本行追加)。

図16-6. 高速PWM動作ﾀｲﾐﾝｸﾞ



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ0に対してはn=0)、'x'は比較出力部(AまたはB)を表します。

ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ﾙｰﾁﾝは比較値を更新するのに使えます。

高速PWM動作での比較部はOC0xﾋﾟﾝでのPWM波形の生成を許します。ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀAのTCCR0A.COM0x1,0ﾋﾞｯﾄの'10'書き込みは非反転PWM出力を生成、TCCR0A.COM0A1,0ﾋﾞｯﾄの'11'書き込みは反転PWM出力を生成します。ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀB(TCCR0B)のWGM02ﾋﾞｯﾄが設定(1)なら、TCCR0AのCOM0A1,0ﾋﾞｯﾄの'01'書き込みは比較一致での交互反転をOC0Aﾋﾟﾝに許します。この任意選択はOC0Bﾋﾟﾝに対して利用できません。実際のOC0x値はﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力として設定される場合にだけ見えます。PWM波形はTCNT0とOCR0x間の比較一致で、OC0x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($00,TOPからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でOC0xﾚｼﾞｽﾀを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times (1+TOP)}$$

Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は高速PWM動作のPWM波形出力に対する特別な場合を表します。OCR0xがBOTTOM($00)と等しく書かれると、出力はTOP+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。OCR0x=TOP書き込みは(COM0x1,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

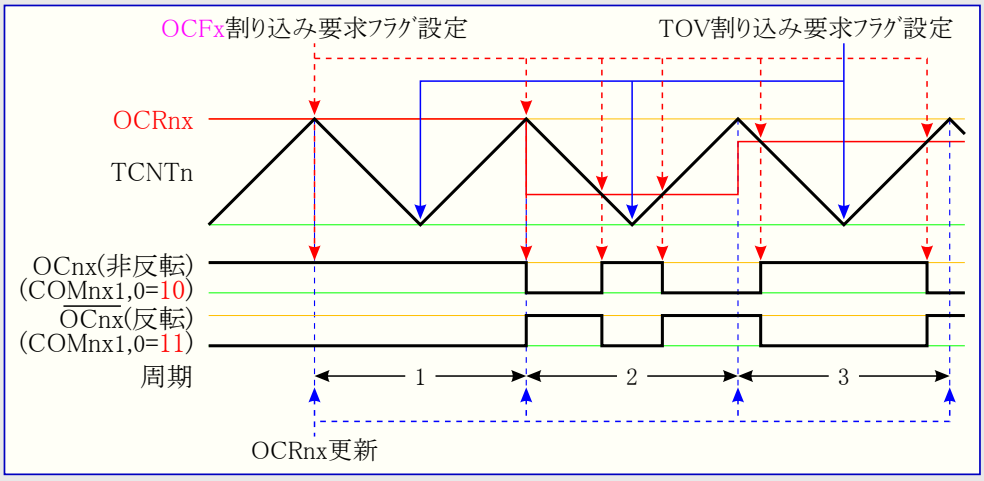
(**訳補**:WGM02～0=111の場合については、)ﾃﾞｭｰﾃｨ比50%での周波数の波形出力は高速PWM動作で比較一致毎に論理反転するOC0A(COM0A1,0=01)選択によって達成できます。生成された波形はOCR0Aが$00に設定される時に$f_{OC0x}=f_{clk_I/O}/2$の最大周波数です。この特性は高速PWM動作で比較出力部の2重緩衝が許可されることを除き、CTC動作でのOC0A交互出力(COM0A1,0=01)と同じです。

16.7.4. 位相基準PWM動作

位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM02～0=001または101)は高分解能で正しい位相のPWM波形生成を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。ｶｳﾝﾀはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM02～0=001時に$FFとして定義されます。WGM02～0=101時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0xの比較一致で解除(0)され、OC0xは下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)では動作が逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数です。両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値がTOPと一致するまで増加されます。ｶｳﾝﾀはTOPに達すると計数方向を変更します。このTCNT0値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間TOPと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は下で示されます。TCNT0値は両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。

図16-7. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ0に対してはn=0)、'x'は比較出力部(AまたはB)を表します。

ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがBOTTOM値に到達する毎に割り込みを発生するために使えます。

位相基準PWM動作での比較部はOC0xﾋﾟﾝでのPWM波形の生成を許します。COM0x1,0ﾋﾞｯﾄの'10'書き込みは非反転PWM出力を生成します。反転PWM出力はCOM0x1,0ﾋﾞｯﾄの'11'書き込みによって生成できます。ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀB(TCCR0B)のWGM02ﾋﾞｯﾄが設定(1)なら、ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀA(TCCR0A)のCOM0A1,0ﾋﾞｯﾄの'01'設定は比較一致での交互反転をOC0Aﾋﾟﾝに許します。この任意選択はOC0Bﾋﾟﾝに対して利用できません。実際のOC0x値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力として設定される場合にだけ見えます。PWM波形はｶｳﾝﾀが増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT0とOCR0x間の比較一致でOC0xﾚｼﾞｽﾀを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は以下によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合を表します。非反転PWM動作ではOCR0xﾚｼﾞｽﾀにBOTTOM($00)が書かれると出力は定常的なLowです。OCR0xにTOPが書かれると定常的なHighです。反転PWMに対する出力は逆の論理値になります。

上のﾀｲﾐﾝｸﾞ図の第2周期のその出発点に於いて、例え比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移はBOTTOMを挟む対称の保証の要求を満たします。比較一致なしに遷移を生ずるのは2つの場合です。

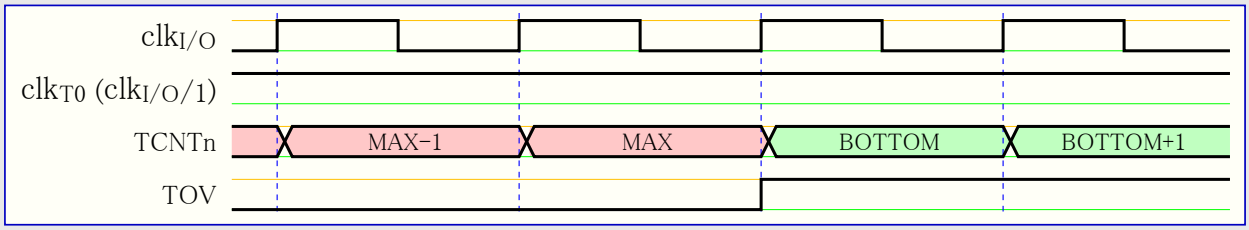
- ﾀｲﾐﾝｸﾞ図のようにOCR0xはTOPからその値を変更します。OCR0x値がTOPのとき、OCnxﾋﾟﾝ値は下降計数での比較一致の結果と同じです(**訳補**: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- ﾀｲﾏ/ｶｳﾝﾀがOCR0x値よりも高い値から数え始め、そしてその理屈のために比較一致、従ってOCnxは上昇途中で起こされるであろう変更を起こしません。(**訳補**: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

16.8. タイマ/カウンタのタイミング

タイマ/カウンタは同期設計で、従って以降の図でタイマ/カウンタ クロック(clkT0)がクロック許可信号として示されます。与えられたTCnの実体が非同期動作を支援する場合、clkI/OはTC発振部クロックによって置換されるべきです。

この図は割り込みフラグが設定(1)される時の情報を含みます。下の最初の図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の基本的なタイマ/カウンタ動作に関するタイミング データを図解します。

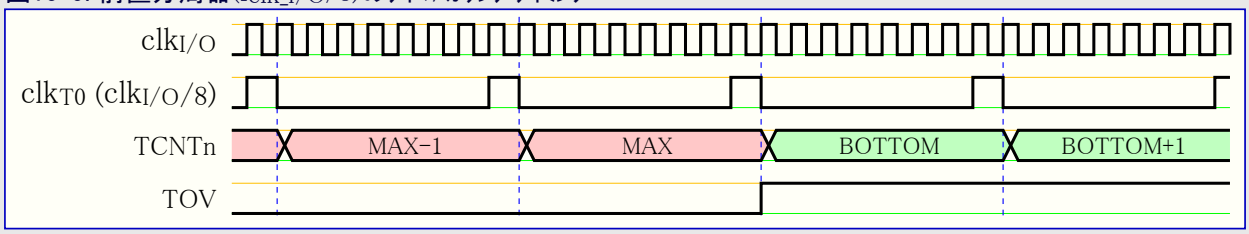
図16-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング



注: レジスタとビットの名前での'n'はタイマ/カウンタ番号(タイマ/カウンタ0に対してはn=0)を表します。

次図は同じタイミング データを示しますが、前置分周器が許可されています。

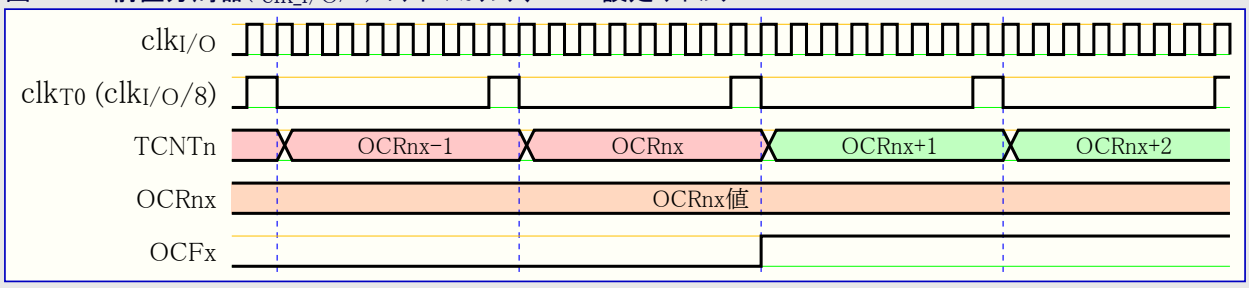
図16-9. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ タイミング



注: レジスタとビットの名前での'n'はタイマ/カウンタ番号(タイマ/カウンタ0に対してはn=0)を表します。

次図はCTC動作とOCR0AがTOPのPWM動作を除く全動作種別でのOCFAと全動作種別でのOCFBの設定を示します。

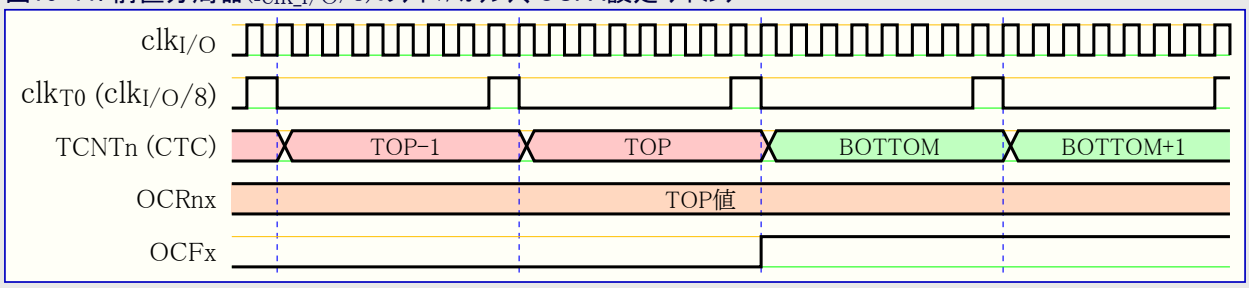
図16-10. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCFx設定 タイミング



注: レジスタとビットの名前での'n'はタイマ/カウンタ番号(タイマ/カウンタ0に対してはn=0)、'x'は比較出力部(AまたはB)を表します。

次図はOCR0AがTOPの高速PWM動作と、CTC動作でのTCNT0の解除とOCFAの設定を示します。

図16-11. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCFA設定 タイミング



注: レジスタとビットの名前での'n'はタイマ/カウンタ番号(タイマ/カウンタ0に対してはn=0)、'x'は比較出力部(AまたはB)を表します。

16.9. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0用ﾚｼﾞｽﾀ

16.9.1. TCCR0A – ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀA (Timer/Counter 0 Control Register A)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：TCCR0A
変位 ：$44 ($24)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$24です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	COM0A1,0		COM0B1,0		–	–	WGM01,0	
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – COM0A1,0 : 比較A出力選択** (Compare Output Mode for Channel A)

これらのﾋﾞｯﾄはOC0A比較出力ﾋﾟﾝの動作を制御します。COM0A1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC0A出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC0Aﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC0Aがﾋﾟﾝに接続されるとき、COM0A1,0ﾋﾞｯﾄの機能はWGM02～0ﾋﾞｯﾄ設定に依存します。

下表はWGM02～0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0A1,0ﾋﾞｯﾄ機能を示します。

表16-2. 非PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0A切断)
0	1	比較一致でOC0Aﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC0Aﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC0Aﾋﾟﾝ Highﾚﾍﾞﾙ出力

下表はWGM02～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM0A1,0ﾋﾞｯﾄの機能を示します。

表16-3. 高速PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0A切断)
0	1	WGM02=0 : 標準ﾎﾟｰﾄ動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC0Aﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Aﾋﾟﾝへ出力 (反転動作)

注: COM0A1が設定(1)され、OCR0AがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、設定(1)または解除(0)はBOTTOMで行われます。詳細については「**高速PWM動作**」を参照してください。

下表はWGM02～0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM0A1,0ﾋﾞｯﾄの機能を示します。

表16-4. 位相基準PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0A切断)
0	1	WGM02=0 : 標準ﾎﾟｰﾄ動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Aﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Aﾋﾟﾝへ出力

注: COM0A1が設定(1)され、OCR0AがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、設定(1)または解除(0)はTOPで行われます。詳細については「**位相基準PWM動作**」を参照してください。

● **ﾋﾞｯﾄ5,4 – COM0B1,0 : 比較B出力選択** (Compare Output Mode for Channel B)

これらのﾋﾞｯﾄはOC0B比較出力ﾋﾟﾝの動作を制御します。COM0B1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC0B出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC0Bﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC0Bがﾋﾟﾝに接続されるとき、COM0B1,0ﾋﾞｯﾄの機能はWGM02～0ﾋﾞｯﾄ設定に依存します。

下表はWGM02～0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0B1,0ﾋﾞｯﾄ機能を示します。

表16-5. 非PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0B切断)
0	1	比較一致でOC0Bﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC0Bﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC0Bﾋﾟﾝ Highﾚﾍﾞﾙ出力

下表はWGM02～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM0B1,0ﾋﾞｯﾄの機能を示します。

表16-6. 高速PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0B切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC0Bﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Bﾋﾟﾝへ出力 (反転動作)

注: COM0B1が設定(1)され、OCR0BがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、設定(1)または解除(0)はBOTTOMで行われます。詳細については「**高速PWM動作**」を参照してください。

下表はWGM02～0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM0B1,0ﾋﾞｯﾄの機能を示します。

表16-7. 位相基準PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0B切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Bﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Bﾋﾟﾝへ出力

注: COM0B1が設定(1)され、OCR0BがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、設定(1)または解除(0)はTOPで行われます。詳細については「**位相基準PWM動作**」を参照してください。

● **ﾋﾞｯﾄ1,0 – WGM01,0 : 波形生成種別** (Waveform Generation Mode)

ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCR0B)で得られるWGM02ﾋﾞｯﾄと組み合わせたこれらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大ｶｳﾝﾀ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作(計数器)、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と2形式のﾊﾟﾙｽ幅変調(PWM)動作です。「**動作種別**」をご覧ください。

表16-8. 波形生成種別選択

番号	WGM02	WGM01	WGM00	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR0x更新時	TOV設定時
0	0	0	0	標準動作	$FF	即時	MAX
1	0	0	1	8ﾋﾞｯﾄ位相基準PWM動作	$FF	TOP	BOTTOM
2	0	1	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR0A	即時	MAX
3	0	1	1	8ﾋﾞｯﾄ高速PWM動作	$FF	BOTTOM	MAX
4	1	0	0	(予約)	–	–	–
5	1	0	1	位相基準PWM動作	OCR0A	TOP	BOTTOM
6	1	1	0	(予約)	–	–	–
7	1	1	1	高速PWM動作	OCR0A	BOTTOM	TOP

注: MAX=$FF、BOTTOM=$00です。

16.9.2. TCCR0B – タイマ/カウンタ0制御レジスタB (Timer/Counter0 Control Register B)

LD系とST系の命令を使い、データ空間としてI/Oレジスタをアクセスする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oアドレスの変位は$00～$3F内になります。

このデバイスはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：TCCR0B
変位 ：$45 ($25)
リセット ：$00
特質 ：I/O特定命令でI/Oレジスタとしてアクセスする時の変位アドレスは$25です。

ビット	7	6	5	4	3	2	1	0
	FOC0A	FOC0B	–	–	WGM02	CS02~0		
アクセス種別	R/W	R/W	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – FOC0A : OC0A強制変更** (Force Output Compare A)

FOC0AビットはWGM02～0ビットが非PWM動作を指示する時だけ有効です。

将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Aビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1,0ビット設定に従って変更されます。FOC0Aビットはストローブとして実行されます。従って強制した比較の効果を決めるのはCOM0A1,0ビットに存在する値です。

FOC0Aストローブは何れの割り込みの生成もTOPとしてOCR0Aを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除($00)も行いません。

FOC0Aビットは常に0として読みます。

● **ビット6 – FOC0B : OC0B強制変更** (Force Output Compare B)

FOC0BビットはWGM02～0ビットが非PWM動作を指示する時だけ有効です。

将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Bビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0B出力はCOM0B1,0ビット設定に従って変更されます。FOC0Bビットはストローブとして実行されます。従って強制した比較の効果を決めるのはCOM0B1,0ビットに存在する値です。

FOC0Bストローブは何れの割り込みの生成も行いません。

FOC0Bビットは常に0として読みます。

● **ビット3 – WGM02 : 波形生成種別** (Waveform Generation Mode bit 2)

タイマ/カウンタ0制御レジスタA(TCCR0A)を参照してください。

● **ビット2～0 – CS02~0 : クロック選択** (Clock Select)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)によって使われるクロック元を選びます。

表16-9. クロック選択ビット説明

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0動作停止)
0	0	1	$clk_{I/O}$ (前置分周なし)
0	1	0	$clk_{I/O}/8$ (8分周)
0	1	1	$clk_{I/O}/64$ (64分周)
1	0	0	$clk_{I/O}/256$ (256分周)
1	0	1	$clk_{I/O}/1024$ (1024分周)
1	1	0	T0ピンの下降端 (外部クロック)
1	1	1	T0ピンの上昇端 (外部クロック)

外部ピン(クロック)動作がタイマ/カウンタ0に対して使われる場合、例えT0ピンが出力として設定されても、T0ピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

16.9.3. TCNT0 – ﾀｲﾏ/ｶｳﾝﾀ0計数値ﾚｼﾞｽﾀ (TC0 Counter Value Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：TCNT0
変位 ：$46 ($26)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$26です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TCNT07~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TCNT07~0 : ﾀｲﾏ/ｶｳﾝﾀ0計数値** (TC0 Counter Value)

このﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀは読み書き両方の操作について、ﾀｲﾏ/ｶｳﾝﾀ部の8ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。TCNT0への書き込みは次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT0)を変更することはTCNT0とOCR0x間の比較一致消失の危険を誘発します。

16.9.4. OCR0A – ﾀｲﾏ/ｶｳﾝﾀ0比較Aﾚｼﾞｽﾀ (TC0 Output Compare Register 0 A)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：OCR0A
変位 ：$47 ($27)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$27です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCR0A7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCR0A7~0 : ﾀｲﾏ/ｶｳﾝﾀ0比較A値** (Output Compare 0 A)

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT0)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC0Aﾋﾟﾝでの波形出力を生成するのに使えます。

16.9.5. OCR0B – ﾀｲﾏ/ｶｳﾝﾀ0比較Bﾚｼﾞｽﾀ (TC0 Output Compare Register 0 B)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：OCR0B
変位 ：$48 ($28)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$28です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCR0B7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCR0B7~0 : ﾀｲﾏ/ｶｳﾝﾀ0比較B値** (Output Compare 0 B)

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT0)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC0Bﾋﾟﾝでの波形出力を生成するのに使えます。

16.9.6. TIMSK0 – ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ (Timer/Counter 0 Interrupt Mask Register)

名称 : TIMSK0
変位 : $6E
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	–	OCIEB	OCIEA	TOIE
ｱｸｾｽ種別	R	R	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2 – OCIEB : ﾀｲﾏ/ｶｳﾝﾀ0比較B割り込み許可** (Timer/Counter0 Output Compare B Match Interrupt Enable)

OCIEBﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0で比較B一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR0)で比較B割り込み要求ﾌﾗｸﾞ(OCFB)が設定(1)されると、対応する割り込みが実行されます。

● **ﾋﾞｯﾄ1 – OCIEA : ﾀｲﾏ/ｶｳﾝﾀ0比較A割り込み許可** (Timer/Counter0 Output Compare A Match Interrupt Enable)

OCIEAﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0で比較A一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR0)で比較A割り込み要求ﾌﾗｸﾞ(OCFA)が設定(1)されると、対応する割り込みが実行されます。

● **ﾋﾞｯﾄ0 – TOIE : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可** (Timer/Counter0 Overflow Interrupt Enable)

TOIEﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR0)でﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求(TOV)ﾌﾗｸﾞが設定(1)されると、対応する割り込みが実行されます。

16.9.7. TIFR0 – ﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter 0 Interrupt Flag Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 : TIFR0
変位 : $35 ($15)
ﾘｾｯﾄ : $00
特質 : I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$15です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	–	OCFB	OCFA	TOV
ｱｸｾｽ種別	R	R	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2 – OCFB : ﾀｲﾏ/ｶｳﾝﾀ0比較B割り込み要求ﾌﾗｸﾞ** (Timer/Conter0, Output Compare B Match Flag)

OCFBﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT0)と比較ﾚｼﾞｽﾀ(OCR0B)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCFBはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCFBは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ(TIMSK0)のﾀｲﾏ/ｶｳﾝﾀ0比較B一致割り込み許可(OCIEB)ﾋﾞｯﾄ、OCFBが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較B一致割り込みが実行されます。

● **ﾋﾞｯﾄ1 – OCFA : ﾀｲﾏ/ｶｳﾝﾀ0比較A割り込み要求ﾌﾗｸﾞ** (Timer/Conter0, Output Compare A Match Flag)

OCFAﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT0)と比較ﾚｼﾞｽﾀ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCFAはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCFAは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ(TIMSK0)のﾀｲﾏ/ｶｳﾝﾀ0比較A一致割り込み許可(OCIEA)ﾋﾞｯﾄ、OCFAが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較A一致割り込みが実行されます。

● **ﾋﾞｯﾄ0 – TOV : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter0 Overflow Flag)

TOVﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、TOVはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもTOVは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ(TIMSK0)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE)ﾋﾞｯﾄ、TOVが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが実行されます。位相基準PWM動作ではﾀｲﾏ/ｶｳﾝﾀ0が$00で計数方向を変える時にこのﾋﾞｯﾄが設定(1)されます。

これらﾌﾗｸﾞの設定はWGM02～0ﾋﾞｯﾄ設定に依存します。波形生成種別ﾋﾞｯﾄ記述の**表16-8.**を参照してください。

17. TC1 – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1 (PWM付き)

関連ﾘﾝｸ 104頁の「ﾀｲﾏ/ｶｳﾝﾀ0と1の前置分周器」

17.1. 概要

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ部は正確なﾌﾟﾛｸﾞﾗﾑ実行ﾀｲﾐﾝｸﾞ(事象管理)、波形生成、信号ﾀｲﾐﾝｸﾞ計測を許します。

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの構成図は下で示されます。CPUがｱｸｾｽ可能な(I/OﾋﾞｯﾄとI/Oﾋﾟﾝを含む)I/Oﾚｼﾞｽﾀは赤文字(**訳注**: 原文太字)で示されます。ﾃﾞﾊﾞｲｽ仕様のI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1用ﾚｼﾞｽﾀ**」で示されます。実際のI/Oﾋﾟﾝの配置については「**ﾋﾟﾝ配置**」記述を参照してください。

関連ﾘﾝｸ 56頁の「入出力ﾎﾟｰﾄ」
10頁の「ﾋﾟﾝ配置」

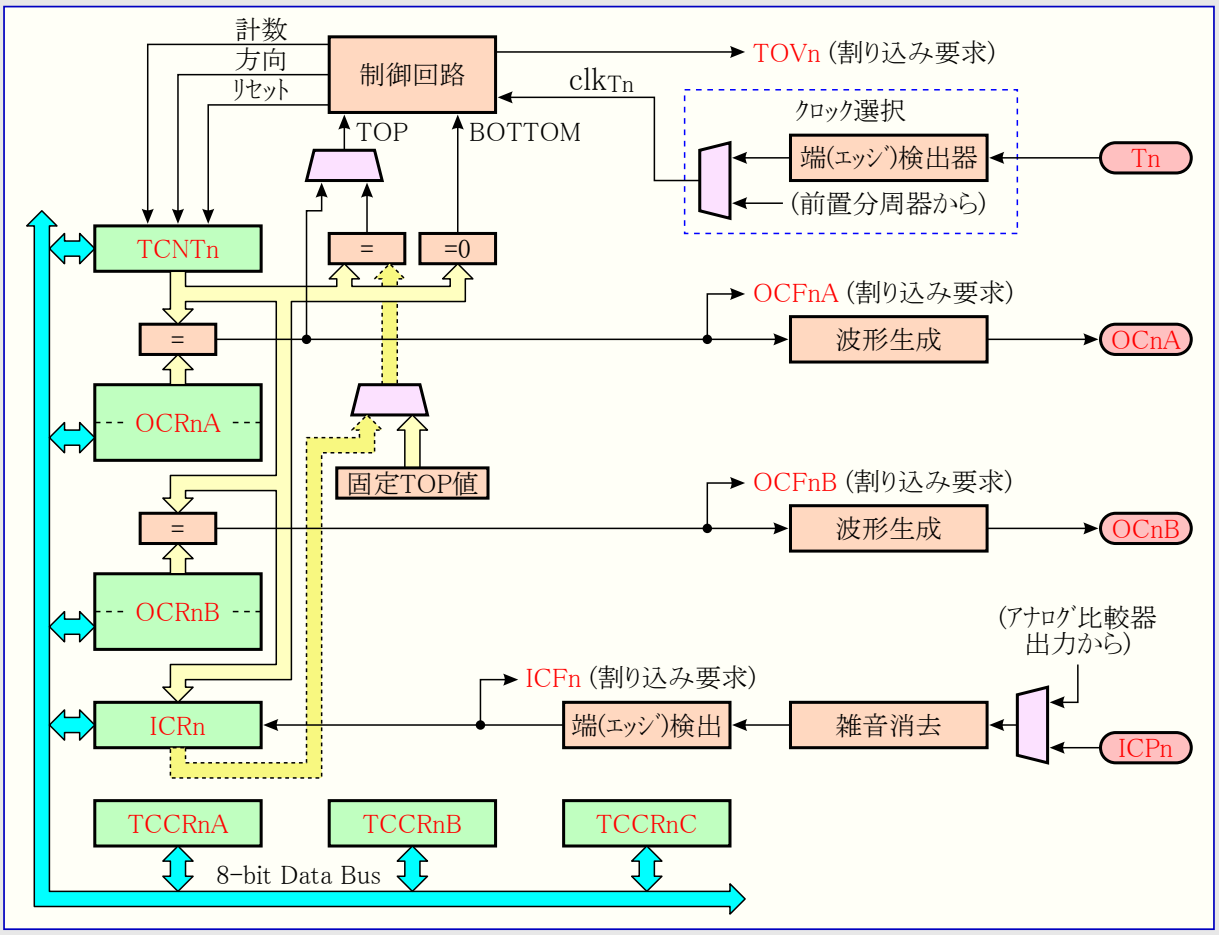
17.2. 特徴

- 真の16ﾋﾞｯﾄ設計 (換言すれば16ﾋﾞｯﾄPWMの許容)
- 2つの独立した比較出力部
- 2重緩衝の比較ﾚｼﾞｽﾀ
- 1つの捕獲入力部
- 捕獲入力雑音消去器
- 比較一致でのﾀｲﾏ/ｶｳﾝﾀ解除 (自動再設定)
- 不具合なしで正しい位相のﾊﾟﾙｽ幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 外部事象計数器
- 独立した割り込み (TOV,OCFA,OCFB,ICF)

17.3. 構成図

電力削減ﾚｼﾞｽﾀのTC1電力削減(PRR0.PRTIM1)ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ1部を許可するために0を書かれなければなりません。

図17-1. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ構成図



実際のﾋﾟﾝ配置については関連ﾘﾝｸをご覧ください。

17.4. 定義

本章でのﾚｼﾞｽﾀとﾋﾞｯﾄ参照の多くは以下のように一般形で書かれます。

- n=1はﾀｲﾏ/ｶｳﾝﾀ番号を表します。
- x=A,Bは比較出力部AまたはBを表します。

けれども、ﾌﾟﾛｸﾞﾗﾑでﾚｼﾞｽﾀまたはﾋﾞｯﾄ定義に使う時は正確な形式、即ち、ﾀｲﾏ/ｶｳﾝﾀ1のｶｳﾝﾀ値ｱｸｾｽに対してTCNT1が使われなければなりません。

以下の定義は本章全体に渡って広範囲に使われます。

表17-1. 用語定義

用語	意味
BOTTOM	ｶｳﾝﾀが$0000に到達した時。
MAX	ｶｳﾝﾀが$FFFF(65535)に到達した時。
TOP	ｶｳﾝﾀがTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値($00FF,$01FF,$03FF)、OCR1A値、ICR1値の何れか1つを指定できます。この指定は動作種別に依存します。

17.5. 関係ﾚｼﾞｽﾀ

ﾀｲﾏ/ｶｳﾝﾀ(TCNT1)、比較ﾚｼﾞｽﾀ(OCR1A,OCR1B)、捕獲ﾚｼﾞｽﾀ(ICR1)は全て16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽするとき、特別な手順に従わなければなりません。これらの手順は「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ**」項で記述されます。ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀ(TCCR1A,TCCR1B,TCCR1C)は8ﾋﾞｯﾄ ﾚｼﾞｽﾀで、CPUｱｸｾｽの制限はありません。割り込み要求信号はﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾚｼﾞｽﾀ(TIFR1)で全て見えます。全ての割り込みはﾀｲﾏ/ｶｳﾝﾀ1割り込み許可ﾚｼﾞｽﾀ(TIMSK1)で個別に遮蔽(禁止)されます。TIFR1とTIMSK1はこの図で示されません。

このﾀｲﾏ/ｶｳﾝﾀは内部的、前置分周器経由、またはT1ﾋﾟﾝの外部ｸﾛｯｸ元によってｸﾛｯｸ駆動されます。ｸﾛｯｸ選択論理部はﾀｲﾏ/ｶｳﾝﾀが値を増加(または減少)するのに使うｸﾛｯｸ元と端(ｴｯｼﾞ)を制御します。ｸﾛｯｸ元が選ばれないと、ﾀｲﾏ/ｶｳﾝﾀは動きません。ｸﾛｯｸ選択論理部からの出力はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ(clk_{T1})として参照されます。

2重緩衝化した比較ﾚｼﾞｽﾀ(OCR1A,OCR1B)はﾀｲﾏ/ｶｳﾝﾀ値と常に比較されます。この比較結果は比較出力(OC1A,OC1B)ﾋﾟﾝでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。「**比較出力部**」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求ﾌﾗｸﾞ(OCFA,OCFB)も設定(1)します。

捕獲ﾚｼﾞｽﾀ(ICR1)は捕獲起動(ICP1)ﾋﾟﾝまたはｱﾅﾛｸﾞ比較器出力のどちらかの外部(端で起動された)事象でﾀｲﾏ/ｶｳﾝﾀ値を捕獲(複写)できます。捕獲入力部は尖頭雑音を捕らえる機会を軽減するためにﾃﾞｼﾞﾀﾙ濾波器(雑音消去器)を含みます。

TOP値または最大ﾀｲﾏ/ｶｳﾝﾀ値は、いくつかの動作種別で、OCR1A、ICR1、または一群の固定値のどれかによって定義できます。PWM動作でTOP値としてOCR1Aを使うと、OCR1AはPWM出力生成用に使えません。けれどもこの場合、TOP値は動作中に変更されるのをTOP値に許す2重緩衝化します。固定的なTOP値が必要とされる場合、ICR1が代わりに使え、PWM出力として使われるべきOCR1Aを開放します。

17.6. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ

TCNT1,OCR1A,OCR1B,ICR1は8ﾋﾞｯﾄ ﾊﾞｽ経由でAVR CPUによってｱｸｾｽできる16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。この16ﾋﾞｯﾄ ﾚｼﾞｽﾀは2回の読みまたは書き操作を使ってﾊﾞｲﾄ的にｱｸｾｽされなければなりません。16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは16ﾋﾞｯﾄ ｱｸｾｽの上位ﾊﾞｲﾄの一時保存用に1つの8ﾋﾞｯﾄTEMPﾚｼﾞｽﾀを持ちます。16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ内の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀ間で、この同じ一時ﾚｼﾞｽﾀが共用されます。下位ﾊﾞｲﾄｱｸｾｽが16ﾋﾞｯﾄ読み書き動作を起動します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって書かれると、現在TEMPに保存された上位ﾊﾞｲﾄと書かれつつある下位ﾊﾞｲﾄは同じｸﾛｯｸ周期で両方が16ﾋﾞｯﾄ ﾚｼﾞｽﾀに複写されます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって読まれると、16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄは下位ﾊﾞｲﾄが読まれるのと同じｸﾛｯｸ周期でTEMPﾚｼﾞｽﾀに複写され、その後に(上位ﾊﾞｲﾄが)読まれなければなりません。

注: 16ﾋﾞｯﾄ書き込みを実行するには下位ﾊﾞｲﾄに先立って上位ﾊﾞｲﾄが書かれなければなりません。16ﾋﾞｯﾄ読み込みについては上位ﾊﾞｲﾄの前に下位ﾊﾞｲﾄが読まれなければなりません。

全ての16ﾋﾞｯﾄ ｱｸｾｽが上位ﾊﾞｲﾄに対して一時ﾚｼﾞｽﾀを使う訳ではありません。OCR1AとOCR1Bの16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込みは一時ﾚｼﾞｽﾀの使用に関係しません。

16ﾋﾞｯﾄ ｱｸｾｽ

次のｺｰﾄﾞ例は割り込みが一時ﾚｼﾞｽﾀを更新しないことが前提の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ法を示します。OCR1A, OCR1B, ICR1ﾚｼﾞｽﾀのｱｸｾｽに対して同じ原理が直接的に使えます。C言語を使う時はｺﾝﾊﾟｲﾗが16ﾋﾞｯﾄ ｱｸｾｽを扱うことに注意してください。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
            ～                                  ;
                                                ;[16ﾋﾞｯﾄ($01FF)書き込み]
            LDI     R17, $01                    ;$01FFの上位ﾊﾞｲﾄ値取得
            LDI     R16, $FF                    ;$01FFの下位ﾊﾞｲﾄ値取得
            OUT     TCNT1H, R17                 ;上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
            OUT     TCNT1L, R16                 ;下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
                                                ;[16ﾋﾞｯﾄ読み込み]
            IN      R16, TCNT1L                 ;下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
            IN      R17, TCNT1H                 ;上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
            ～                                  ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int i;
    ～                                          /**/
    TCNT1 = 0x1FF;                              /* 16ﾋﾞｯﾄ($01FF)書き込み */
    i = TCNT1;                                  /* 16ﾋﾞｯﾄ読み込み */
    ～                                          /**/
```

注:「ｺｰﾄﾞ例について」を参照してください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNT1値を戻します。

非分断読み込み

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽが非分断操作であることに注意することが重要です。16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽする2命令間で割り込みが起き、割り込みｺｰﾄﾞがその16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀの同じ若しくは他の何れかをｱｸｾｽすることによって一時ﾚｼﾞｽﾀを更新する場合、割り込み外のその後のｱｸｾｽ結果は不正にされます。従って主ｺｰﾄﾞと割り込みｺｰﾄﾞの両方が一時ﾚｼﾞｽﾀを更新するとき、主ｺｰﾄﾞは16ﾋﾞｯﾄ ｱｸｾｽ中の割り込みを禁止しなければなりません。

次のｺｰﾄﾞ例はTCNT1ﾚｼﾞｽﾀ内容の非分断読み込み実行法を示します。OCR1A,OCR1B,ICR1ﾚｼﾞｽﾀは同じ原理を使うことによって読むことができます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
RD_TCNT1:   IN      R18, SREG          ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                        ;全割り込み禁止
            IN      R16, TCNT1L        ;TCNT1下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
            IN      R17, TCNT1H        ;TCNT1上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
            OUT     SREG, R18          ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int TIM16_Read_TCNT1(void)
{
    unsigned char sreg;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                    /* TCNT1読み出し変数定義 */
    sreg = SREG;                       /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    __disable_interrupt();             /* 全割り込み禁止 */
    i = TCNT1;                         /* TCNT1値を取得 */
    SREG = sreg;                       /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
    return i;                          /* TCNT1値で呼び出し元へ復帰 */
}
```

注:「**ｺｰﾄﾞ例について**」を参照してください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNT1値を戻します。

非分断読み込み

次のｺｰﾄﾞ例はTCNT1ﾚｼﾞｽﾀ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCR1A,OCR1B,ICR1のどの書き込みも行えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WR_TCNT1:   IN      R18, SREG          ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                        ;全割り込み禁止
            OUT     TCNT1H, R17        ;TCNT1上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
            OUT     TCNT1L, R16        ;TCNT1下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
            OUT     SREG, R18          ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void TIM16_Write_TCNT1(unsigned int i)
{
    unsigned char sreg;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                    /* TCNT1書き込み変数定義 */
    sreg = SREG;                       /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    __disable_interrupt();             /* 全割り込み禁止 */
    TCNT1 = i;                         /* TCNT1値を設定 */
    SREG = sreg;                       /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
}
```

注:「**ｺｰﾄﾞ例について**」を参照してください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対がTCNT1へ書かれるべき値を含むことが必要です。

関連ﾘﾝｸ 13頁の「ｺｰﾄﾞ例について」

17.6.1. 上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀの再使用

書かれる全ﾚｼﾞｽﾀに関して上位ﾊﾞｲﾄが同じ、複数16ﾋﾞｯﾄ ﾚｼﾞｽﾀ書き込みなら、上位ﾊﾞｲﾄは1度書かれることだけが必要です。けれども、直前で記述した非分断操作の同じ規則が、この場合にも適用されます。

17.7. タイマ/カウンタのクロック

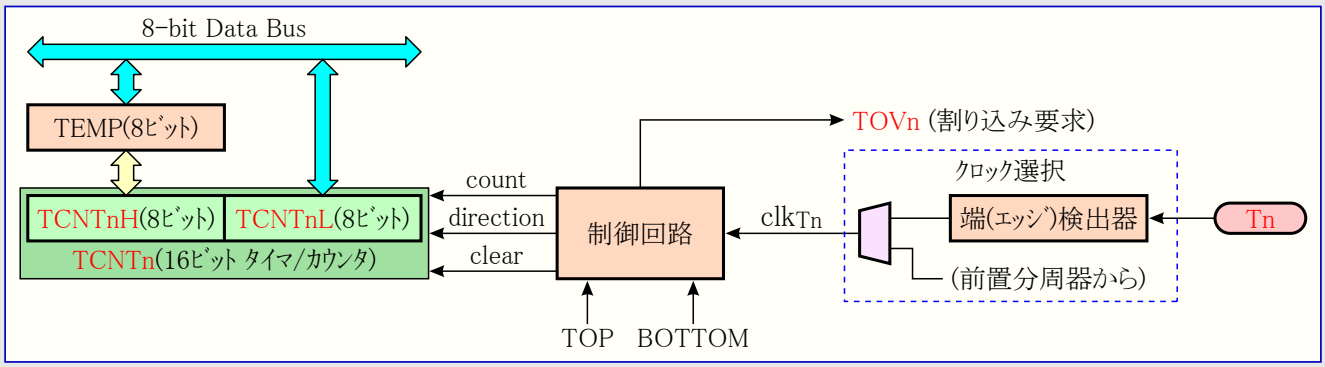
このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR1B)のクロック選択(CS12～0)ビットによって制御されるクロック選択論理回路で選ばれます。

関連リンク　104頁の「タイマ/カウンタ0と1の前置分周器」

17.8. 計数器部

16ビット タイマ/カウンタの主な部分は構成図で示されるように、設定可能な16ビット双方向カウンタ部です。

図17-2. 計数器部構成図



注: レジスタとビットの名前での'n'は装置番号(タイマ/カウンタ1についてはn=1)を表します。

信号説明 (内部信号)	count	TCNTnを1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNTnのリセット($0000設定)信号。
	clk_{Tn}	以降でclk_{Tn}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNTnが最大値に到達したことを示す信号。
	BOTTOM	TCNTnが最小値($0000)に到達したことを示す信号。
	TEMP	一時レジスタ。

この16ビット カウンタはカウンタの上位8ビットを含むカウンタ上位(TCNT1H)と下位8ビットを含むカウンタ下位(TCNT1L)の2つの8ビット I/Oメモリ位置に配置されます。TCNT1HレジスタはCPUによる間接的なアクセスのみできます。CPUがTCNT1H I/O位置をアクセスするとき、CPUは上位バイト一時レジスタ(TEMP)をアクセスします。この一時レジスタはTCNT1Lが読まれる時にTCNT1H値で更新され、TCNT1Lが書かれる時にTCNT1Hは一時レジスタ値で更新されます。これは8ビット データ バス経由で1クロック周期内での16ビット カウンタ値全体の読み書きをCPUに許します。

注: カウンタが計数中の間にTCNT1レジスタを書く時が予測不能な結果を生じる特別な場合があります。これらの特別な場合はそれらが重要となる項で記述されます。

選んだ動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{T1})でリセット($0000)、増加(+1)、または減少(-1)されます。clk_{T1}クロックはタイマ/カウンタ制御レジスタB(TCCR1B)のクロック選択(CS12～0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS12～0=000)時にカウンタは停止されます。けれども、TCNT1値はタイマ/カウンタ クロック(clk_{T1})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(即ち、上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCR1A)とTCCR1Bの波形生成種別(TCCR1B.WGM13,2とTCCR1A.WGM11,0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法と波形がOC1x比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては「**動作種別**」をご覧ください。

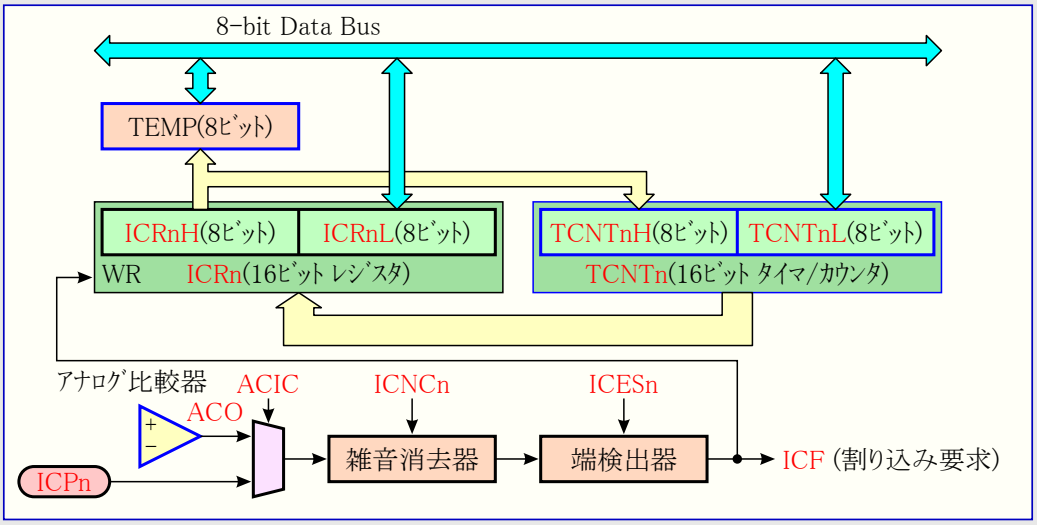
TC1のタイマ/カウンタ溢れ(TOV)フラグはWGM13～0ビットによって選ばれた動作種別に従って設定(1)されます。TOVはCPU割り込み発生に使えます。

17.9. 捕獲入力部

ﾀｲﾏ/ｶｳﾝﾀ1は外部の出来事を捕獲でき、発生時間を示す時間印(ﾀｲﾏ/ｶｳﾝﾀ値)を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号はICP1ﾋﾟﾝまたは代わりにｱﾅﾛｸﾞ比較器部経由で印加できます。時間印はその後、周波数、ﾃﾞｭｰﾃｨ比、印加された信号の他の特性の計算に使えます。代わりに時間印は出来事の記録作成にも使えます。

捕獲入力部は下の構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(訳注:原文は灰色背景)で示されます。ﾚｼﾞｽﾀとﾋﾞｯﾄ名での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号を示します。

図17-3. 捕獲入力部構成図



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'は装置番号(ﾀｲﾏ/ｶｳﾝﾀ1についてはn=1)を表します。

注: ACO,ACICはｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)内のﾋﾞｯﾄです。

捕獲起動入力(ICP1)ﾋﾟﾝ若しくは代わりにｱﾅﾛｸﾞ比較器出力(ACO)で論理ﾚﾍﾞﾙの変化(出来事)が起き、その変化が端(ｴｯｼﾞ)検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、ｶｳﾝﾀ(TCNT1)の16ﾋﾞｯﾄ値が捕獲ﾚｼﾞｽﾀ(ICR1)に書かれます。捕獲割り込み要求ﾌﾗｸﾞ(ICF)はTCNT1値がICR1に複写されるのと同じｼｽﾃﾑ ｸﾛｯｸ周期で設定(1)されます。許可(I=1,ICIE=1)ならば捕獲割り込み要求ﾌﾗｸﾞは捕獲割り込みを発生します。ICFは割り込みが実行されると自動的に解除(0)されます。代わりにこのI/Oﾋﾞｯﾄ位置に1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。

捕獲ﾚｼﾞｽﾀ(ICR1)の16ﾋﾞｯﾄ値読み込みは、初めに下位ﾊﾞｲﾄ(ICR1L)、その後に上位ﾊﾞｲﾄ(ICR1H)を読むことによって行われます。ICR1Lから下位ﾊﾞｲﾄが読まれる時に上位ﾊﾞｲﾄが上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)に複写されます。CPUがICR1H I/O位置を読むと、この一時ﾚｼﾞｽﾀをｱｸｾｽします。

ICR1はｶｳﾝﾀのTOP値定義にICR1を利用する波形生成種別を使う時にだけ書けます。これらの場合、TOP値がICR1に書かれ得る前に波形生成種別(WGM13～0)ﾋﾞｯﾄが設定されなければなりません。ICR1に書く時は下位ﾊﾞｲﾄがICR1Lに書かれる前に、上位ﾊﾞｲﾄがICR1H I/O位置に書かれなければなりません。

「16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ」もご覧ください。

17.9.1. 捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力(ICP1)ﾋﾟﾝです。ﾀｲﾏ/ｶｳﾝﾀ1は捕獲入力部用起動元としてｱﾅﾛｸﾞ比較器出力を代わりに使えます。ｱﾅﾛｸﾞ比較器はｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)のｱﾅﾛｸﾞ比較器捕獲起動許可(ACIC)ﾋﾞｯﾄの設定(=1)によって起動元として選ばれます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求ﾌﾗｸﾞ(ICF)は、その変更後に解除(0)されなければなりません。

捕獲起動入力(ICP1)ﾋﾟﾝとｱﾅﾛｸﾞ比較器出力(ACO)の両入力は、T1ﾋﾟﾝについてと同じ技法を使って採取されます。端検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路が端検出器の前に挿入され、そして遅延を4ｼｽﾃﾑ ｸﾛｯｸ周期増やします。ﾀｲﾏ/ｶｳﾝﾀがTOP値定義にICR1を使う波形生成種別に設定されない限り、雑音消去器と端検出器の入力が常に許可されます。

捕獲入力はICP1ﾋﾟﾝのﾎﾟｰﾄを制御することによってｿﾌﾄｳｪｱで起動できます。

関連ﾘﾝｸ　103頁の「ﾀｲﾏ/ｶｳﾝﾀ0と1の前置分周器」

17.9.2. 雑音消去器

雑音消去器は簡単なﾃﾞｼﾞﾀﾙ濾波器機構を使うことによって雑音耐性を改善します。雑音消去器の入力は4採取に渡って監視され、端検出器によって使われる方向転換となる出力を変更するためには4回全てが同じでなければなりません。

雑音消去器はﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀBの捕獲入力雑音消去許可(TCCR1B.ICNC1)ﾋﾞｯﾄの設定(1)によって許可されます。許可した時に雑音消去器は入力に印加した変更とICR1の更新間に4ｼｽﾃﾑ ｸﾛｯｸ周期の追加遅延をもたらします。雑音消去器はｼｽﾃﾑ ｸﾛｯｸを使い、従って前置分周器によって影響されません。

17.9.3. 捕獲入力の使用

捕獲入力機能を使う主な要求(目的)は入って来る出来事に対して充分なﾌﾟﾛｾｯｻ能力を当てがうことです。2つの出来事間の時間が際どいとします。次の出来事が起こる前に捕獲した捕獲ﾚｼﾞｽﾀ(ICR1)の値をﾌﾟﾛｾｯｻが読めなかった場合、ICR1は新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICR1は割り込み処理ﾙｰﾁﾝで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求のどれかを扱うのに必要とされる最大ｸﾛｯｸ周期数に依存します。

動作中にTOP値(分解能)が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のﾃﾞｭｰﾃｨ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更はICR1が読まれてしまった後に可能な限り早く行われなければなりません。端(ｴｯｼﾞ)の変更後、捕獲割り込み要求ﾌﾗｸﾞ(ICF)はｿﾌﾄｳｪｱ(I/Oﾋﾞｯﾄ位置への論理1書き込み)によって解除(0)されなければなりません(**訳補**:端変更によってICFが設定(1)されることを想定)。周波数のみの測定について(割り込み処理が使われる場合)、ICFの解除(0)は必要とされません。

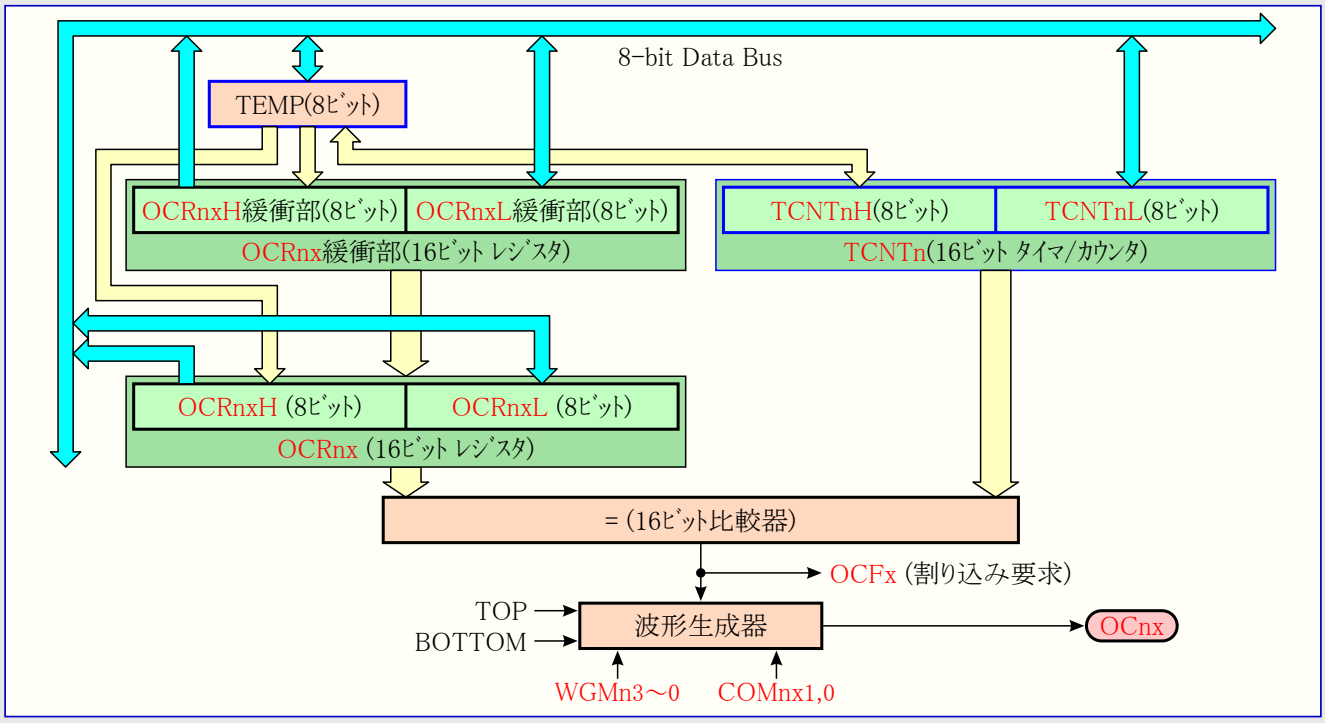
17.10. 比較出力部

この16ﾋﾞｯﾄ比較器はTCNT1と比較ﾚｼﾞｽﾀ(OCR1x)を継続的に比較します。TCNT1とOCR1xが等しければ、比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(TIFR1.OCFx)を設定(1)します。許可(I=1,TIMSK1.OCIEx=1)なら、この比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。OCFxは割り込みが実行されると自動的に解除(0)されます。代わりにOCFxはこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM13～0)ﾋﾞｯﾄと比較出力選択(COM1x1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。TOPとBOTTOMの信号は動作種別のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。「**動作種別**」をご覧ください。

比較A出力部の特殊な特性はﾀｲﾏ/ｶｳﾝﾀのTOP値(換言するとｶｳﾝﾀの分解能)定義を許します。ｶｳﾝﾀの分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

下は比較出力部の構成図を示します。構成図で比較出力部の直接的部分でない要素は青枠(**訳注**:原文灰色背景)で示されます。

図17-4. 比較出力部構成図



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

OCR1xは12種類のﾊﾟﾙｽ幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR1xﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

2重緩衝動作が許可されるとCPUはOCR1x緩衝部をｱｸｾｽします。2重緩衝動作が禁止されると直接OCR1xﾚｼﾞｽﾀをｱｸｾｽします。

OCR1x(緩衝部またはﾚｼﾞｽﾀ)の内容は書き込み操作によってのみ変更されます(ﾀｲﾏ/ｶｳﾝﾀはTCNT1やICR1のようにOCR1xを自動的に更新しません)。従ってOCR1xは上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)経由で読まれません。けれども他の16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽする時のように下位ﾊﾞｲﾄを先に読むのは良い習慣です。OCR1x書き込みは16ﾋﾞｯﾄ全ての比較が継続的に行われるため、一時ﾚｼﾞｽﾀ経由で行われなければなりません。上位ﾊﾞｲﾄ(OCR1xH)が先に書かれなければなりません。上位ﾊﾞｲﾄI/O位置がCPUによって書かれると、一時ﾚｼﾞｽﾀは書かれた値で更新されます。その後に下位ﾊﾞｲﾄ(OCR1xL)が下位8ﾋﾞｯﾄを書かれると、(一時ﾚｼﾞｽﾀ内の)上位ﾊﾞｲﾄは(下位ﾊﾞｲﾄ書き込みと)同じｼｽﾃﾑ ｸﾛｯｸ周期でOCR1x緩衝部またはOCR1xﾚｼﾞｽﾀのどちらかに複写されます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ法のより多くの情報については「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ**」を参照してください。

(訳注) ここでは比較1xﾚｼﾞｽﾀ全体をOCR1x、OCR1xを構成する緩衝部部分をOCR1x緩衝部、実際の比較に使われるﾚｼﾞｽﾀ本体部分をOCR1xﾚｼﾞｽﾀとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

17.10.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC1x)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCFx)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC1xﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COM1x1,0ﾋﾞｯﾄ設定がOC1xﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

17.10.2. TCNT1書き込みによる比較一致妨害

TCNT1への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に、割り込みを起動することなく、TCNT1と同じ値に初期化されることをOCR1xに許します。

17.10.3. 比較一致部の使用

どの動作種別でのTCNT1書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、何れかの比較出力部を使う場合、TCNT1を変更する時に危険を伴います。TCNT1に書かれた値がOCR1x値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNT1を書いてはいけません。(行った場合)TOPに対する比較一致は無視され、ｶｳﾝﾀは$FFFFへ(計数を)続けます。同様にｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT1値を書いてはいけません。

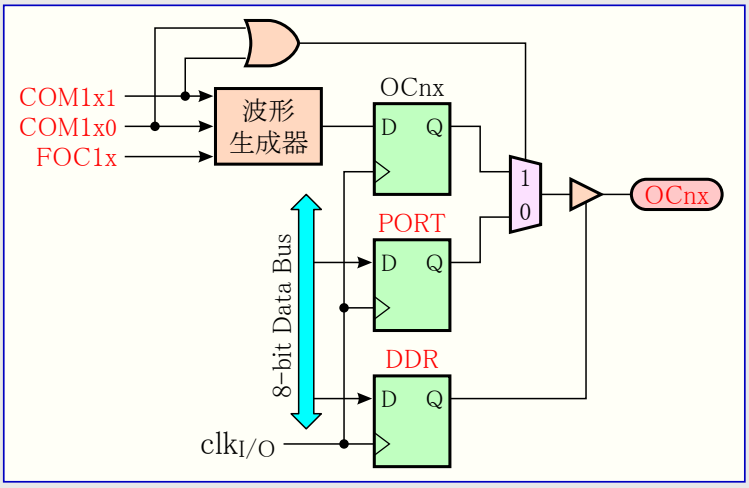
OC1xの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC1x値を設定する一番簡単な方法は標準動作で強制変更(FOC1x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成種別間を変更する時であっても、OC1x(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COM1x1,0)ﾋﾞｯﾄが比較値(OCR1x)と共に2重緩衝されないことに気付いてください。COM1x1,0ﾋﾞｯﾄの変更は直ちに有効となります。

17.11. 比較一致出力部

比較出力選択(COM1x1,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC1x)状態の定義にCOM1x1,0ﾋﾞｯﾄを使います。次にCOM1x1,0ﾋﾞｯﾄはOC1xﾋﾟﾝ出力元を制御します。右図はCOM1x1,0ﾋﾞｯﾄ設定によって影響される論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(訳注:原文は太字)で示されます。COM1x1,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OC1xの状態を参照するとき、その参照はOC1xﾋﾟﾝでなく内部OC1xﾚｼﾞｽﾀに対してです。ｼｽﾃﾑ ﾘｾｯﾄが起こると、OC1xﾚｼﾞｽﾀは0にﾘｾｯﾄされます。

図17-5. 比較一致出力回路図



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

COM1x1,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OC1x)によって無効にされます。けれどもOC1xﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OC1xﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OC1x)はOC1x値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOC1x状態の初期化を許します。いくつかのCOM1x1,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。

COM1x1,0ﾋﾞｯﾄは捕獲入力部での何の効果もありません。

17.11.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM1x1,0ﾋﾞｯﾄを違うふうに使います。全ての動作種別に対してCOM1x1,0=00設定は次の比較一致で実行すべきOC1xﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。比較出力選択の記述も参照してください。

COM1x1,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC1x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

17.12. 動作種別

動作種別、換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作は波形生成種別(WGM13～0)ﾋﾞｯﾄと比較出力選択(TCCR1A.COM1x1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。TCCR1A.COM1x1,0ﾋﾞｯﾄは生成されたPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)のどちらかを制御します。非PWM動作に対するTCCR1A.COM1x1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します。

関連ﾘﾝｸ 92頁の「比較一致出力部」
97頁の「ﾀｲﾏ/ｶｳﾝﾀのﾀｲﾐﾝｸﾞ」

17.12.1. 標準動作

最も単純な動作種別が標準動作(WGM13～0=0000)です。この動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀの解除は実行されません。ｶｳﾝﾀは16ﾋﾞｯﾄ最大値(MAX=$FFFF)を通過すると単に範囲を超え、そしてBOTTOM=$0000から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TIFR1.TOV)ﾌﾗｸﾞはTCNT1が$0000になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合、TOVﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第17ﾋﾞｯﾄのようになります。けれどもTOVﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

捕獲入力部は標準動作での使用が容易です。けれども外部の事象間の最大間隔がﾀｲﾏ/ｶｳﾝﾀの分解能(16ﾋﾞｯﾄ長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込みまたは前置分周器が使われなければなりません。

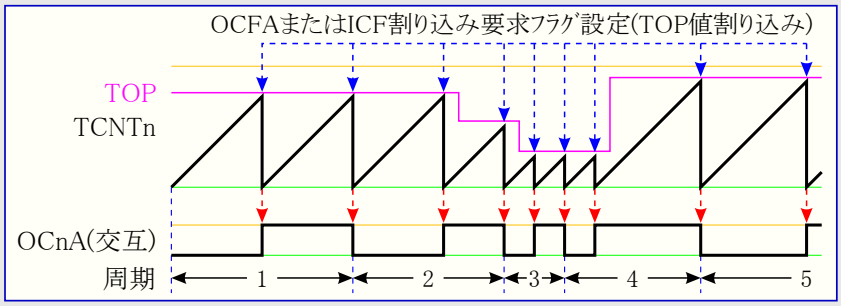
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

17.12.2. 比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(動作形態4, 12、WGM13～0=0100または1100)ではOCR1AまたはICR1がｶｳﾝﾀの分解能を操作するのに使われ、ｶｳﾝﾀ(TCNT1)値がOCR1A(WGM13～0=4)またはICR1(WGM13～0=12)のどちらかと一致する時にｶｳﾝﾀが$0000に解除されます。OCR1AまたはICR1はｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図が右で示されます。ｶｳﾝﾀ(TCNT1)値はOCR1AまたはICR1のどちらかで比較一致が起こるまで増加し、その後にTCNT1は解除($0000)されます。

図17-6. CTC動作ﾀｲﾐﾝｸﾞ



注: COM1A1,0=01

注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)を表します。

実際のCTC動作形態に依存して、OCFAまたはICFのどちらかを使うことにより、ｶｳﾝﾀ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。

注: 前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している間にBOTTOMと近い値にTOPを変更するのは、CTC動作が2重緩衝を提供しないために注意して行わなければなりません。OCR1AまたはICR1に書かれた新しい値がTCNT1の現在値よりも低い(小さい)場合、ｶｳﾝﾀは(その回の)比較一致を失います。その後、ｶｳﾝﾀは比較一致が起こるのに先立って、最大値($FFFF)へ計数して$0000から循環を始めます。

多くの場合でこの特性は好ましくありません。OCR1Aが2重緩衝されるので、代替はTOPを定義するのにOCR1Aを用いる高速PWM動作(WGM13～0=1111)を使うことでしょう。

CTC動作で波形出力を生成するため、OC1A出力は比較出力選択(COM1A1,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切替に設定できます。OC1A値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC1A=1)に設定されない限り、ﾎﾟｰﾄ ﾋﾟﾝで見えないでしょう。生成された波形はOCR1Aが0($0000)に設定される時に$f_{OC1A}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnA)}$$

注: ・ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)を表します。
・Nは前置分周数(1,8,64,256,1024)を表します

標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み要求(TOV)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$0000へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

17.12.3. 高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(動作形態5,6,7,14,15、WGM13～0=0101,0110,0111,1110,1111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)はTCNT1とOCR1x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM1x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準や位相/周波数基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

高速PWMのPWM分解能は8,9,10ﾋﾞｯﾄに固定、若しくはOCR1AかICR1のどちらかによって定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCR1AまたはICR1ﾚｼﾞｽﾀが$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCR1AまたはICR1ﾚｼﾞｽﾀがMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

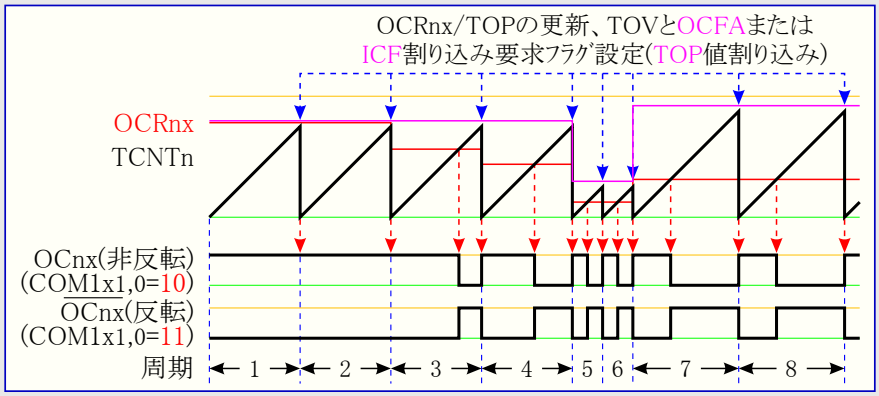
$$R_{FPWM} = \frac{\log(TOP+1)}{\log 2}$$

高速PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値が固定値$00FF,$01FF,$03FF(WGM13～0=0101,0110,0111)、ICR1値(WGM13～0=1110)またはOCR1A値(WGM13～0=1111)のどれかと一致するまで増加されます。そしてｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で解除($0000)されます。TOPを定義するのにOCR1AかICR1を使う高速PWM動作のﾀｲﾐﾝｸﾞ図は下で示されます。TCNT1値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFx)は比較一致が起こると設定(1)されます。

ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込み要求(TOV)ﾌﾗｸﾞはｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。加えて、OCR1AかICR1のどちらかがTOP値を定義するのに使われると、OCFAまたはICF割り込み要求ﾌﾗｸﾞはTOVが設定(1)されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。これらの割り込みの1つが許可されるなら、その割り込み処理ﾙｰﾁﾝはTOPと比較値を更新するのに使えます。

TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR1xが書かれる時も、未使用ﾋﾞｯﾄが0で隠(に置換)されることに注意してください。

図17-7. 高速PWM動作ﾀｲﾐﾝｸﾞ



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

ICR1がTOP値を定義するのに使われるとき、ICR1を更新する手順はOCR1Aの更新と異なります。ICR1は2重緩衝されません。これは前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にICR1が小さな値に変更される場合、書かれた新しいICR1値がTCNT1の現在値よりも小さくなる危険を意味します。結果として、ｶｳﾝﾀは(その回の)TOP値での比較一致を失います。その後のｶｳﾝﾀは比較一致を起こせるのに先立って、MAX値($FFFF)へそして次に$0000から始める計数をしなければならないでしょう。しかし、OCR1Aは2重緩衝されます。この特徴は何時でも書かれることをOCR1AのI/O位置に許します。OCR1A I/O位置が書かれる時に書かれた値はOCR1A緩衝部に置かれます。OCR1A(比較)ﾚｼﾞｽﾀはその後にTCNT1がTOPと一致した次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期にOCR1A緩衝部の値で更新されます。この更新はTCNT1の解除($0000)やTOVの設定(1)と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で行われます。

TOPを定義するのにICR1を使うことは決まったTOP値を使う時に上手くいきます。ICR1を使うことにより、OC1AでのPWM出力を生成するためにOCR1Aが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR1Aが2重緩衝機能のため、TOPとしてOCR1Aを使うことは明らかに良い選択です。

高速PWM動作での比較部はOC1xﾋﾟﾝでのPWM波形の生成を許します。COM1x1,0ﾋﾞｯﾄの'10'書き込みは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0の'11'書き込みによって生成できます。実際のOC1x値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はTCNT1とOCR1x間の比較一致でOC1x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($0000、TOPからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でのOC1xﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times (1+TOP)}$$

注:
- ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。
- Nは前置分周数(1,8,64,256,1024)を表します

OCR1xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR1xがBOTTOM($0000)に等しく設定されると、出力はTOP+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。TOPに等しいOCR1x設定は(COM1x1,0ﾋﾞｯﾄによって制御される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

ﾃﾞｭｰﾃｨ比50%の周波数の波形出力は高速PWM動作で比較一致毎に論理反転するOC1A選択(COM1A1,0=01)によって達成できます。これはTOP値を定義するのにOCR1Aが使われる(WGM13～0=1111)の場合にだけ適用されます。生成された波形はOCR1Aが0($0000)に設定される時に$f_{OC1A}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC1A交互出力(COM1A1,0=01)と同じです。

17.12.4. 位相基準PWM動作

位相基準ﾊﾟﾙｽ幅変調(PWM)動作(動作形態1,2,3,10,11、WGM13～0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とした位相/周波数基準PWMと似ています。ｶｳﾝﾀはBOTTOM($0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM1x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

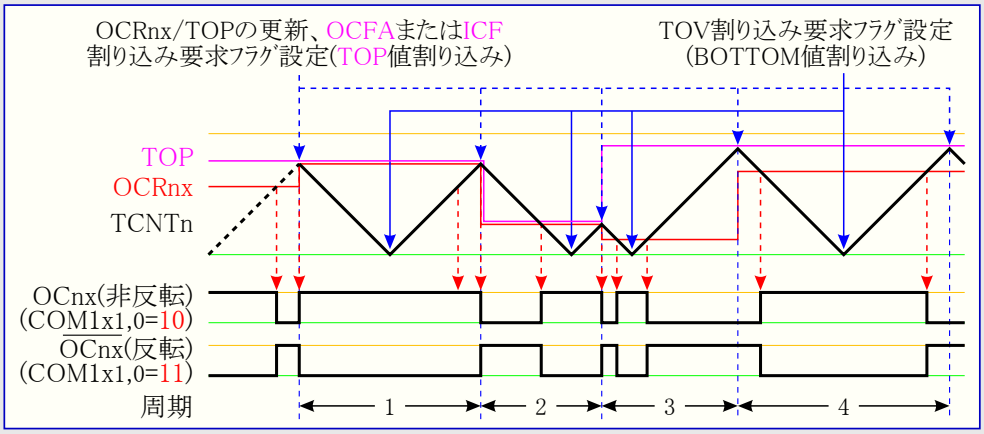
位相基準PWM動作のPWM分解能は8,9,10ﾋﾞｯﾄ固定、またはOCR1AかICR1のどちらかによって定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCR1AまたはICR1が$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCR1AまたはICR1がMAX設定)です。ﾋﾞｯﾄでのPWM分解能は右式を使うことによって計算できます。

$$R_{PCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値が固定値$00FF,$01FF,$03FF(WGM13～0=0001,0010,0011)、ICR1値(WGM13～0=1010)またはOCR1A値(WGM13～0=1011)のどれかと一致するまで増加されます。ｶｳﾝﾀはTOPに到達したその時に計数方向を変更します。このTCNT1値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間TOPと等しくなります。TOPを定義するのにOCR1AかICR1を使う位相基準PWM動作のﾀｲﾐﾝｸﾞ図は下で示されます。TCNT1値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFx)は比較一致が起こると設定(1)されます。

ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。OCR1AかICR1のどちらかがTOP値を定義するのに使われる時にOCFAまたはICF割り込み要求ﾌﾗｸﾞはOCR1xﾚｼﾞｽﾀが(TOPに於いて)2重緩衝値で更新されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期によって設定(1)されます。これらの割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

図17-8. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR1xが書かれる時も、未使用ﾋﾞｯﾄが0で隠(に置換)されることに注意してください。ﾀｲﾐﾝｸﾞ図の第3周期によって図示されるように、ﾀｲﾏ/ｶｳﾝﾀが位相基準PWM動作で走行中にTOPを積極的に変更するのは、非対称出力で終わることが有り得ます。これに対する理由はOCR1xﾚｼﾞｽﾀの更新時に見出せます。OCR1x更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値によって決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違うとき、その周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

ﾀｲﾏ/ｶｳﾝﾀが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使うことが推奨されます。一定のTOP値を使う時に2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOC1xﾋﾟﾝでのPWM波形の生成を許します。COM1x1,0ﾋﾞｯﾄの'10'書き込みは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0の'11'書き込みで生成できます。実際のOC1x値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT1とOCR1x間の比較一致でOC1x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT1とOCR1x間の比較一致でOC1xﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

注:
- ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。
- Nは前置分周数(1,8,64,256,1024)を表します

OCR1xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使われ(WGM13～0=1011)、COM1A1,0=01なら、OC1A出力はﾃﾞｭｰﾃｨ比50%で交互に変化します。

17.12.5. 位相/周波数基準PWM動作

位相/周波数基準ﾊﾟﾙｽ幅変調(PWM)動作(動作形態8,9、WGM13～0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相/周波数基準PWM動作は両傾斜(三角波)動作を基準とした位相基準PWMと似ています。ｶｳﾝﾀはBOTTOM($0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM1x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準と位相/周波数基準PWM動作間の主な違いはOCR1xﾚｼﾞｽﾀがOCR1x緩衝部によって更新される時(**訳補**:TOPとBOTTOM)です(図17-8.と下のﾀｲﾐﾝｸﾞ図をご覧ください)。

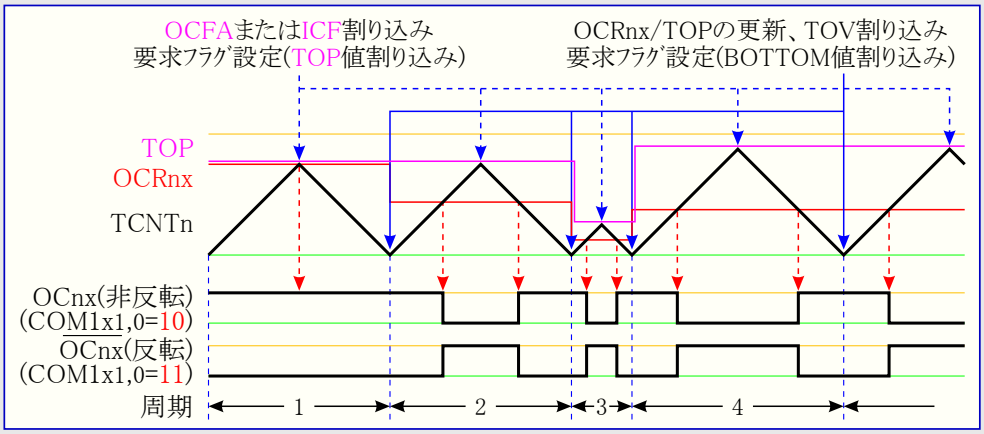
位相/周波数基準PWM動作のPWM分解能はOCR1AかICR1のどちらかで定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCR1AまたはICR1が$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCR1AまたはICR1がMAX設定)です。ﾋﾞｯﾄでのPWM分解能は右式を使うことによって計算できます。

$$R_{PFCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相/周波数基準PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がICR1値(WGM13～0=1000)かOCR1A値(WGM13～0=1001)のどちらかと一致するまで増加されます。ｶｳﾝﾀはTOPに到達したその時に計数方向を変更します。このTCNT1値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、TOPと等価です。位相/周波数基準PWM動作のﾀｲﾐﾝｸﾞ図は下で示されます。この図はOCR1AかICR1がTOPを定義するのに使われる時の位相/周波数基準PWM動作を示します。TCNT1値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します (**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFx)は比較一致が起こると設定(1)されます。

ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはOCR1xﾚｼﾞｽﾀが(BOTTOMに於いて)2重緩衝値で更新されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。OCR1AかICR1のどちらかがTOP値を定義するのに使われると、OCFAまたはICF割り込み要求ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。これらの割り込み要求ﾌﾗｸﾞは、ｶｳﾝﾀがTOP値またはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

図17-9. 位相/周波数基準PWM動作ﾀｲﾐﾝｸﾞ



注: ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。

上のﾀｲﾐﾝｸﾞ図で示されるように、生成される出力は位相基準PWM動作と異なり、全ての周期で対称です。OCR1xﾚｼﾞｽﾀがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力ﾊﾟﾙｽ、従って正しい周波数を与えます。

TOPを定義するのにICR1を使うことは決まったTOP値を使う時に上手くいきます。ICR1を使うことにより、OC1AでのPWM出力を生成するためにOCR1Aが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR1Aが2重緩衝機能のため、TOPとしてOCR1Aを使うことは明らかに良い選択です。

位相/周波数基準PWM動作での比較部はOC1xﾋﾟﾝでのPWM波形の生成を許します。COM1x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます(TCCR1A.COM1x1,0の記述をご覧ください)。実際のOC1x値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT1とOCR1x間の比較一致でOC1x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT1とOCR1x間の比較一致でOC1xﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。位相/周波数基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPFCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

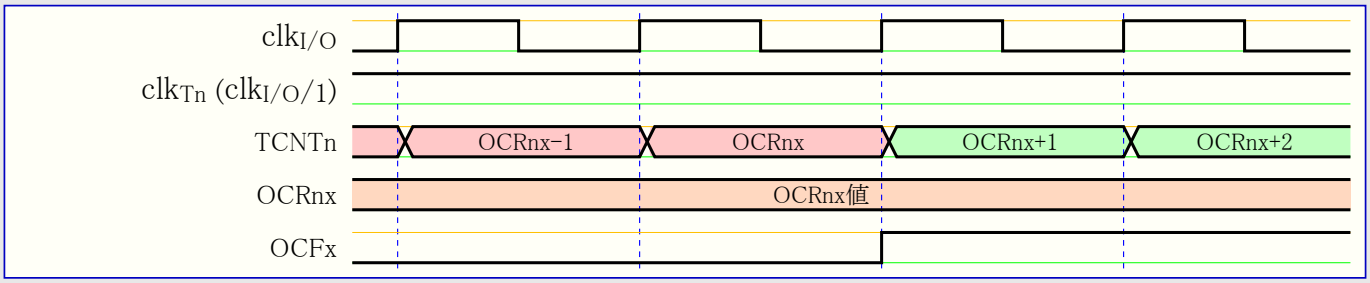
注:
- ﾚｼﾞｽﾀとﾋﾞｯﾄの名前での'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。
- Nは前置分周数(1,8,64,256,1024)を表します

OCR1xの両端値は位相/周波数基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使われ(WGM13～0 =1001)、COM1A1,0=01なら、OC1A出力はﾃﾞｭｰﾃｨ比50%で交互に変化します。

17.13. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタ クロック(clkT1)が下図のクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時、そしてOCR1xレジスタがOCR1x緩衝部値で更新される時(2重緩衝を使う動作種別のみ)の情報を含みます。最初の図はOCFxの設定についてのタイミング図を示します。

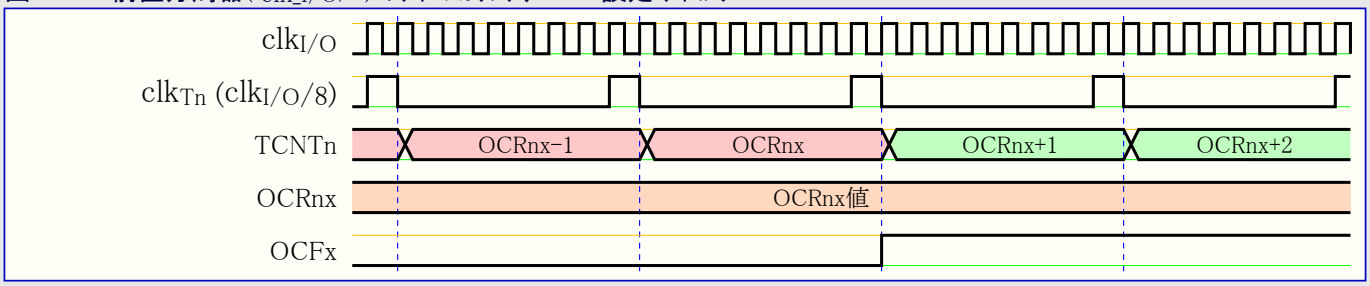
図17-10. 前置分周なし(1/1)のタイマ/カウンタ、OCFx設定 タイミング



注: レジスタとビットの名前での'n'はタイマ/カウンタ番号(タイマ/カウンタ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

次図は同じタイミング データを示しますが、前置分周器が許可されています。

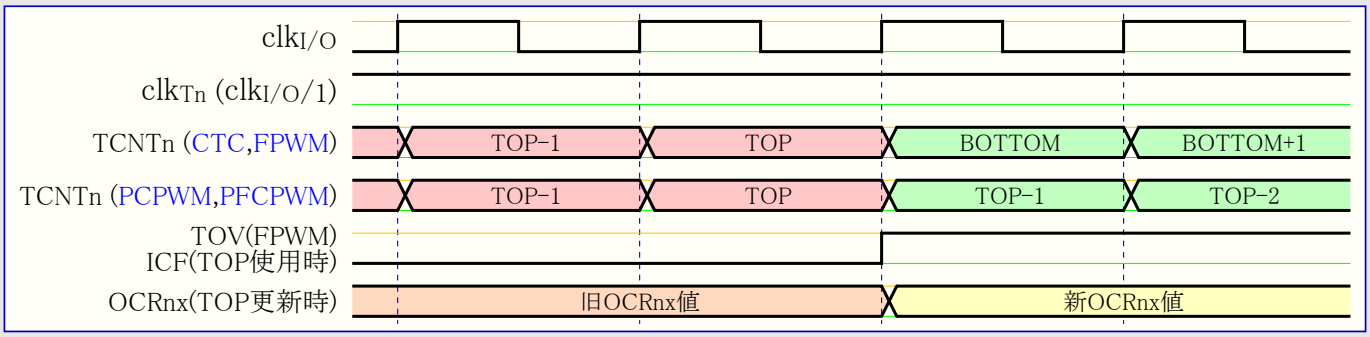
図17-11. 前置分周器(fclk_I/O/8)のタイマ/カウンタ、OCFx設定 タイミング



注: レジスタとビットの名前での'n'はタイマ/カウンタ番号(タイマ/カウンタ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

次図は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時のOCR1xレジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でなどのように置き換えられます。BOTTOMでTOVを設定(1)する動作種別についても、同様な名称変更が適用されます。

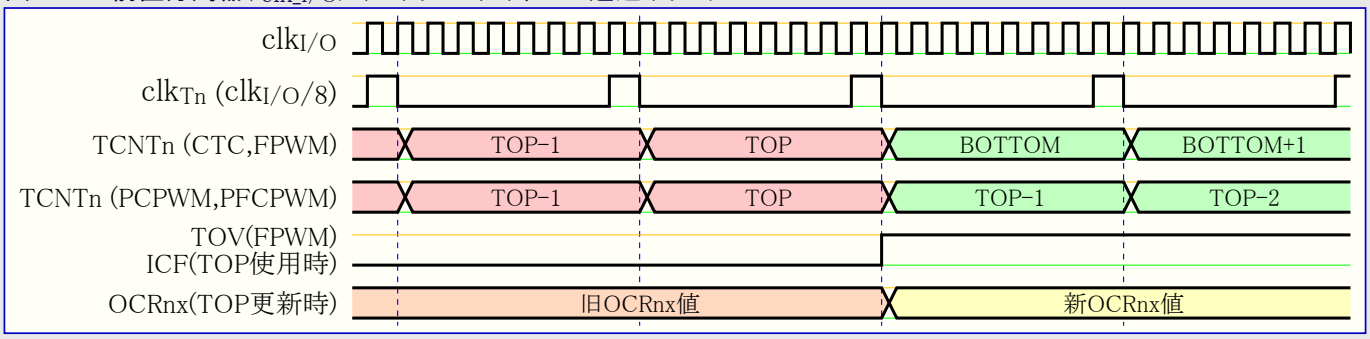
図17-12. 前置分周なし(1/1)のタイマ/カウンタ、TOP近辺 タイミング



注: レジスタとビットの名前での'n'はタイマ/カウンタ番号(タイマ/カウンタ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

次図は同じタイミング データを示しますが、前置分周器が許可されています。

図17-13. 前置分周器(fclk_I/O/8)のタイマ/カウンタ、TOP近辺 タイミング



注: レジスタとビットの名前での'n'はタイマ/カウンタ番号(タイマ/カウンタ1に対してはn=1)、'x'は比較出力部(AまたはB)を表します。

17.14. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1用ﾚｼﾞｽﾀ

17.14.1. TCCR1A – ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀA (Timer/Counter 1 Control Register A)

名称 ：TCCR1A
変位 ：$80
ﾘｾｯﾄ ：$00
特質 ：–

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	COM1A1,0		COM1B1,0		–	–	WGM11,0	
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

- **ﾋﾞｯﾄ7,6 – COM1A1,0：比較A出力選択** (Compare Output Mode for Channel A)
- **ﾋﾞｯﾄ5,4 – COM1B1,0：比較B出力選択** (Compare Output Mode for Channel B)

COM1A1,0とCOM1B1,0は各々OC1AとOC1B比較出力ﾋﾟﾝの動作を制御します。COM1A1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC1A出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。COM1B1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC1B出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC1AまたはOC1Bﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC1AまたはOC1Bがﾋﾟﾝに接続されるとき、COM1x1,0ﾋﾞｯﾄの機能はWGM13～0ﾋﾞｯﾄ設定に依存します。下表はWGM13～0ﾋﾞｯﾄが標準動作またはCTC動作(つまり非PWM)に設定される時のCOM1x1,0ﾋﾞｯﾄ機能を示します。

表17-2. 非PWM動作での比較出力選択 (注: xはAまたはB)

COM1x1	COM1x0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC1x切断)
0	1	比較一致でOC1xﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC1xﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC1xﾋﾟﾝ Highﾚﾍﾞﾙ出力

下表はWGM13～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM1x1,0ﾋﾞｯﾄ機能を示します。

表17-3. 高速PWM動作での比較出力選択 (注: xはAまたはB、Xは0または1)

COM1x1	COM1x0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC1x切断)
0	1	WGM13～0=111X　：比較一致でOC1Aﾋﾟﾝﾄｸﾞﾙ(交互)出力、OC1Bは標準ﾎﾟｰﾄ動作(OC1B切断) WGM13～0上記以外：標準ﾎﾟｰﾄ動作 (OC1x切断)
1	0	比較一致でLow、BOTTOMでHighをOC1xﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC1xﾋﾟﾝへ出力 (反転動作)

注: COM1x1が設定(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)または解除(0)は実行されます。詳細については「**高速PWM動作**」を参照してください。

下表はWGM13～0ﾋﾞｯﾄが位相基準または位相/周波数基準PWM動作に設定される時のCOM1x1,0ﾋﾞｯﾄ機能を示します。

表17-4. 位相基準または位相/周波数基準PWM動作での比較出力選択 (注: xはAまたはB、Xは0または1)

COM1x1	COM1x0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC1x切断)
0	1	WGM13～0=10X1　：比較一致でOC1Aﾋﾟﾝﾄｸﾞﾙ(交互)出力、OC1Bは標準ﾎﾟｰﾄ動作(OC1B切断) WGM13～0上記以外：標準ﾎﾟｰﾄ動作 (OC1x切断)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC1xﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC1xﾋﾟﾝへ出力

注: COM1x1が設定(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。詳細については「**位相基準PWM動作**」を参照してください。

● ﾋﾞｯﾄ1,0 – WGM11,0 : 波形生成種別 (Waveform Generation Mode)

ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCR1B)で得られるWGM13,2ﾋﾞｯﾄと組み合わせたこれらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大計数(TOP)値供給元、使われるべき波形生成のどの形式かを制御します。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作(ｶｳﾝﾀ)、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と3形式のﾊﾟﾙｽ幅変調(PWM)動作です。「**動作種別**」をご覧ください。

表17-5. 波形生成種別選択

番号	WGM13	WGM12 (CTC1)	WGM11 (PWM11)	WGM10 (PWM10)	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR1x 更新時	TOV 設定時
0	0	0	0	0	標準動作	$FFFF	即値	MAX
1	0	0	0	1	8ﾋﾞｯﾄ位相基準PWM動作	$00FF	TOP	BOTTOM
2	0	0	1	0	9ﾋﾞｯﾄ位相基準PWM動作	$01FF	TOP	BOTTOM
3	0	0	1	1	10ﾋﾞｯﾄ位相基準PWM動作	$03FF	TOP	BOTTOM
4	0	1	0	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR1A	即値	MAX
5	0	1	0	1	8ﾋﾞｯﾄ高速PWM動作	$00FF	BOTTOM	TOP
6	0	1	1	0	9ﾋﾞｯﾄ高速PWM動作	$01FF	BOTTOM	TOP
7	0	1	1	1	10ﾋﾞｯﾄ高速PWM動作	$03FF	BOTTOM	TOP
8	1	0	0	0	位相/周波数基準PWM動作	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	位相/周波数基準PWM動作	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	位相基準PWM動作	ICR1	TOP	BOTTOM
11	1	0	1	1	位相基準PWM動作	OCR1A	TOP	BOTTOM
12	1	1	0	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	ICR1	即値	MAX
13	1	1	0	1	(予約)	–	–	–
14	1	1	1	0	高速PWM動作	ICR1	BOTTOM	TOP
15	1	1	1	1	高速PWM動作	OCR1A	BOTTOM	TOP

注: CTC1とPWM11,0ﾋﾞｯﾄ定義名は旧名です。WGM12～0定義を使ってください。しかし、これらのﾋﾞｯﾄの機能と位置は旧版のﾀｲﾏ/ｶｳﾝﾀと一致します。

17.14.2. TCCR1B – ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀB (Timer/Counter 1 Control Register B)

名称 : TCCR1B
変位 : $81
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ICNC1	ICES1	–	WGM13,2			CS12～0	
ｱｸｾｽ種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ7 – ICNC1 : 捕獲起動入力1雑音消去許可 (Input Capture1 Noise Canceler)

このﾋﾞｯﾄを(1に)設定することが捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動入力(ICP1)ﾋﾟﾝからの入力が濾波されます。この濾波器機能はそれが出力を更新するのに、連続4回等しく評価されたICP1ﾋﾟﾝの採取を必要とします。雑音消去器が許可されると、捕獲入力はそれによって4発振器(ｼｽﾃﾑ ｸﾛｯｸ)周期遅らされます。

● ﾋﾞｯﾄ6 – ICES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

このﾋﾞｯﾄは出来事での捕獲を起動するのに使われる捕獲起動入力(ICP1)ﾋﾟﾝのどちらかの端(ｴｯｼﾞ)を選びます。ICES1ﾋﾞｯﾄが0を書かれると起動動作として下降(負)端が使われ、ICES1ﾋﾞｯﾄが1を書かれると上昇(正)端が捕獲を起動します。

捕獲がICES1設定に従って起動されると、ｶｳﾝﾀ値が捕獲ﾚｼﾞｽﾀ(ICR1)に複写されます。この出来事は捕獲入力割り込み要求ﾌﾗｸﾞ(ICF)も設定(1)し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

ICR1がTOP値として使われると(TCCR1AとTCCR1Bに配置されたWGM13～0ﾋﾞｯﾄの記述をご覧ください)、ICP1が切り離され、従って捕獲入力機能は禁止されます。

● ﾋﾞｯﾄ4,3 – WGM13,2 : 波形生成種別 (Waveform Generation Mode)

ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀA(TCCR1A)を参照してください。

● **ﾋﾞｯﾄ2～0 – CS12～0 : ｸﾛｯｸ選択** (Clock Select)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT1)によって使われるべきｸﾛｯｸ元を選びます。図17-10.と図17-11.を参照してください。

表17-6. ﾀｲﾏ/ｶｳﾝﾀn入力ｸﾛｯｸ選択

CS12	CS11	CS10	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀ1動作停止)
0	0	1	$clk_{I/O}$ (前置分周なし)
0	1	0	$clk_{I/O}/8$ (8分周)
0	1	1	$clk_{I/O}/64$ (64分周)
1	0	0	$clk_{I/O}/256$ (256分周)
1	0	1	$clk_{I/O}/1024$ (1024分周)
1	1	0	T1ﾋﾟﾝの下降端 (外部ｸﾛｯｸ)
1	1	1	T1ﾋﾟﾝの上昇端 (外部ｸﾛｯｸ)

17.14.3. TCCR1C – ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀC (Timer/Counter 1 Control Register C)

名称 : TCCR1C
変位 : $82
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	FOC1A	FOC1B	–	–	–	–	–	–
ｱｸｾｽ種別	R/W	R/W	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – FOC1A : OC1A強制変更** (Force Output Compare for Channel A)

● **ﾋﾞｯﾄ6 – FOC1B : OC1B強制変更** (Force Output Compare for Channel B)

FOC1A/FOC1BﾋﾞｯﾄはWGM13～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。FOC1A/FOC1Bﾋﾞｯﾄに論理1を書くと波形生成部で直ちに比較一致が強制されます。OC1x出力はCOM1x1,0ﾋﾞｯﾄ設定に従って変更されます。FOC1A/FOC1Bﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOM1x1,0ﾋﾞｯﾄに存在する値です。

FOC1A/FOC1Bｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCR1Aを使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($0000)も行いません。FOC1A/FOC1Bﾋﾞｯﾄは常に0として読みます。

17.14.4. TCNT1H,TCNT1L – ﾀｲﾏ/ｶｳﾝﾀ1計数値上位/下位ﾊﾞｲﾄ (TC1 Counter Value Low and High byte)

TCNT1HとTCNT1Lのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のTCNT1を表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書きのより多くの詳細については「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」をご覧ください。

名称 : TCNT1HとTCNT1L (TCNT1)
変位 : $84
ﾘｾｯﾄ : $0000
特質 : –

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	TCNT115~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TCNT17~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ15～0 – TCNT115~0 : ﾀｲﾏ/ｶｳﾝﾀ1計数値** (Timer/Counter Counter Value)

2つのﾀｲﾏ/ｶｳﾝﾀI/O位置(TCNT1HとTCNT1Lを合わせたTCNT1)は、読み書き両方についてﾀｲﾏ/ｶｳﾝﾀ部の16ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。CPUがこれらのﾚｼﾞｽﾀをｱｸｾｽする時に上位と下位の両ﾊﾞｲﾄが同時に読み書きされるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。詳細については「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ**」を参照してください。

ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT1)を変更することはOCR1xの1つとTCNT1間の比較一致消失の危険を誘発します。

TCNT1への書き込みは全ての比較部に対して次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。

17.14.5. OCR1AH,OCR1AL – ﾀｲﾏ/ｶｳﾝﾀ1比較Aﾚｼﾞｽﾀ上位/下位ﾊﾞｲﾄ (Output Compare Register 1 A Low and High byte)

OCR1AHとOCR1ALのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のOCR1Aを表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書きのより多くの詳細については「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」をご覧ください。

名称 ：OCR1AHとOCR1AL (OCR1A)
変位 ：$88
ﾘｾｯﾄ ：$0000
特質 ：–

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	OCR1A15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCR1A7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ15~0 – OCR1A15~0 : ﾀｲﾏ/ｶｳﾝﾀ1比較A値** (Output Compare A Value)

比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT1)値と比較される16ﾋﾞｯﾄ値を含みます。一致は比較一致割り込みやOC1Aﾋﾟﾝでの波形出力を生成するのに使えます。

比較ﾚｼﾞｽﾀは容量が16ﾋﾞｯﾄです。CPUがこれらのﾚｼﾞｽﾀへ書く時に上位と下位の両ﾊﾞｲﾄが同時に書かれるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。詳細については「16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

17.14.6. OCR1BH,OCR1BL – ﾀｲﾏ/ｶｳﾝﾀ1比較Bﾚｼﾞｽﾀ上位/下位ﾊﾞｲﾄ (Output Compare Register 1 B Low and High byte)

OCR1BHとOCR1BLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のOCR1Bを表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書きのより多くの詳細については「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」をご覧ください。

名称 ：OCR1BHとOCR1BL (OCR1B)
変位 ：$8A
ﾘｾｯﾄ ：$0000
特質 ：–

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	OCR1B15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCR1B7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ15~0 – OCR1B15~0 : ﾀｲﾏ/ｶｳﾝﾀ1比較B値** (Output Compare B Value)

比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT1)値と比較される16ﾋﾞｯﾄ値を含みます。一致は比較一致割り込みやOC1Bﾋﾟﾝでの波形出力を生成するのに使えます。

比較ﾚｼﾞｽﾀは容量が16ﾋﾞｯﾄです。CPUがこれらのﾚｼﾞｽﾀへ書く時に上位と下位の両ﾊﾞｲﾄが同時に書かれるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。詳細については「16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

17.14.7. ICR1H,ICR1L – ﾀｲﾏ/ｶｳﾝﾀ1捕獲ﾚｼﾞｽﾀ上位/下位ﾊﾞｲﾄ (Input Capture Register 1 Low and High byte)

ICR1HとICR1Lのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のICR1を表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書きのより多くの詳細については「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」をご覧ください。

名称 ：ICR1HとICR1L (ICR1)
変位 ：$86
ﾘｾｯﾄ ：$0000
特質 ：–

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	ICR115~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ICR17~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ15~0 – ICR115~0 : ﾀｲﾏ/ｶｳﾝﾀ1捕獲値** (Input Capture Value)

捕獲ﾚｼﾞｽﾀはICP1ﾋﾟﾝ(またはﾀｲﾏ/ｶｳﾝﾀ1については任意のｱﾅﾛｸﾞ比較器出力)で出来事が起こる毎にｶｳﾝﾀ(TCNT1)値で更新されます。この捕獲ﾚｼﾞｽﾀはﾀｲﾏ/ｶｳﾝﾀのTOP値を定義するのに使えます。

捕獲ﾚｼﾞｽﾀは容量が16ﾋﾞｯﾄです。CPUがこれらのﾚｼﾞｽﾀをｱｸｾｽする時に上位と下位の両ﾊﾞｲﾄが同時に読まれるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。詳細については「16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

17.14.8. TIMSK1 – ﾀｲﾏ/ｶｳﾝﾀ1割り込み許可ﾚｼﾞｽﾀ (Timer/Counter 1 Interrupt Mask Register)

名称 ：TIMSK1
変位 ：$6F
ﾘｾｯﾄ ：$00
特質 ：–

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	ICIE	–	–	OCIEB	OCIEA	TOIE
ｱｸｾｽ種別	R	R	R/W	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ5 – ICIE : ﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込み許可** (Timer/Counter Input Capture Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR1)に配置された捕獲割り込み要求ﾌﾗｸﾞ(ICF)が設定(1)されると、対応する割り込みﾍﾞｸﾀが実行されます。

● **ﾋﾞｯﾄ2 – OCIEB : ﾀｲﾏ/ｶｳﾝﾀ1比較B割り込み許可** (Timer/Counter Output Compare B Match Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR1)に配置された比較B割り込み要求ﾌﾗｸﾞ(OCFB)が設定(1)されると、対応する割り込みﾍﾞｸﾀが実行されます。

● **ﾋﾞｯﾄ1 – OCIEA : ﾀｲﾏ/ｶｳﾝﾀ1比較A割り込み許可** (Timer/Counter Output Compare A Match Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR1)に配置された比較A割り込み要求ﾌﾗｸﾞ(OCFA)が設定(1)されると、対応する割り込みﾍﾞｸﾀが実行されます。

● **ﾋﾞｯﾄ0 – TOIE : ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み許可** (Timer/Counter Overflow Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR1)に配置されたﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み要求ﾌﾗｸﾞ(TOV)が設定(1)されると、対応する割り込みﾍﾞｸﾀが実行されます。

17.14.9. TIFR1 – ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter 1 Interrupt Flag Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：TIFR1
変位 ：$36 ($16)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$16です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	ICF	–	–	OCFB	OCFA	TOV
ｱｸｾｽ種別	R	R	R/W	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ5 – ICF : ﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込み要求ﾌﾗｸﾞ** (Timer/Conter, Input Capture Flag)

ICP1ﾋﾟﾝに捕獲の事象が起こると、このﾌﾗｸﾞが設定(1)されます。捕獲ﾚｼﾞｽﾀ(ICR1)がWGM13～0によってTOP値として設定されると、ICFﾌﾗｸﾞはｶｳﾝﾀがTOP値に到達する時に設定(1)されます。

捕獲割り込みﾍﾞｸﾀが実行されると、ICFは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもICFは解除(0)できます。

● **ﾋﾞｯﾄ2 – OCFB : ﾀｲﾏ/ｶｳﾝﾀ1比較B割り込み要求ﾌﾗｸﾞ** (Timer/Conter, Output Compare B Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNT1)値が比較Bﾚｼﾞｽﾀ(OCR1B)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOC1B)ｽﾄﾛｰﾌﾞがOCFBﾌﾗｸﾞを設定(1)しないことに注意してください。

比較B一致割り込みﾍﾞｸﾀが実行されると、OCFBは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCFBは解除(0)できます。

● **ﾋﾞｯﾄ1 – OCFA : ﾀｲﾏ/ｶｳﾝﾀ1比較A割り込み要求ﾌﾗｸﾞ** (Timer/Conter, Output Compare A Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNT1)値が比較Aﾚｼﾞｽﾀ(OCR1A)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOC1A)ｽﾄﾛｰﾌﾞがOCFAﾌﾗｸﾞを設定(1)しないことに注意してください。

比較A一致割り込みﾍﾞｸﾀが実行されると、OCFAは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCFAは解除(0)できます。

● **ﾋﾞｯﾄ0 – TOV : ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter Overflow Flag)

このﾌﾗｸﾞの(1)設定はWGM13～0ﾋﾞｯﾄ設定に依存します。標準またはCTC動作でのTOVﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀ1溢れ時に設定(1)されます。他のWGM13～0ﾋﾞｯﾄ設定を使う時のTOVﾌﾗｸﾞ動作については波形生成種別ﾋﾞｯﾄ記述を参照してください。

ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みﾍﾞｸﾀが実行されると、TOVは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもTOVは解除(0)できます。

18. タイマ/カウンタ0と1の前置分周器

8ビット タイマ/カウンタ0(TC0)と16ビット タイマ/カウンタ1(TC1)は同じ前置分周器部を共用しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述はTC0とTC1に適用されます。

関連リンク 72頁の「TC0 – 8ビット タイマ/カウンタ0 (PWM付き)」
85頁の「TC1 – 16ビット タイマ/カウンタ1 (PWM付き)」

18.1. 内部クロック元

タイマ/カウンタはシステム クロック(CSn2～0=001設定)によって直接的にクロック駆動できます。これはシステム クロック周波数($f_{clk\_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。この前置分周したクロックは$f_{clk_I/O}/8$, $f_{clk\_I/O}/64$, $f_{clk\_I/O}/256$, $f_{clk_I/O}/1024$の何れかの周波数です。

18.2. 前置分周器リセット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)、タイマ/カウンタ0とタイマ/カウンタ1によって共用されます。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2～0=5～2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数は、Nが前置分周値(8, 64, 256, 1024)とすると、1～N+1 システム クロック周期になり得ます。

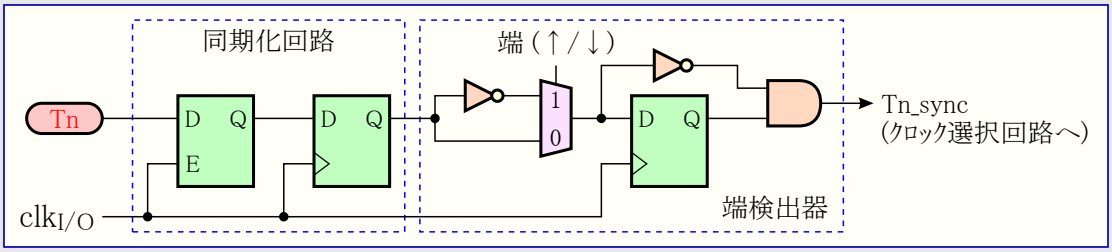
プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使うことが可能です。しかし、同じ前置分周器を共用する他のタイマ/カウンタも前置分周を使う場合、注意が必要とされなければなりません。前置分周器リセットはそれが接続される全タイマ/カウンタに関する前置分周器周期に影響を及ぼします。

18.3. 外部クロック元

Tnピンに印加された外部クロック元はタイマ/カウンタ クロック(f_{clk_Tn})として使えます。このTnピンはピン同期化論理回路によって全てのシステム クロック周期に一度採取されます。この同期化(採取)された信号はその後に端(エッジ)検出器を通して通過されます。下のTn同期化と端検出器論理回路の構成図もご覧ください。レジスタは内部システム クロック($f_{clk\_I/O}$)の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

端検出器は上昇端(CSn2～0=111)または下降端(CSn2～0=110)の検出毎に1つのclk_{Tn}パルスを生成します。

図18-1. Tnピンの採取等価構成図



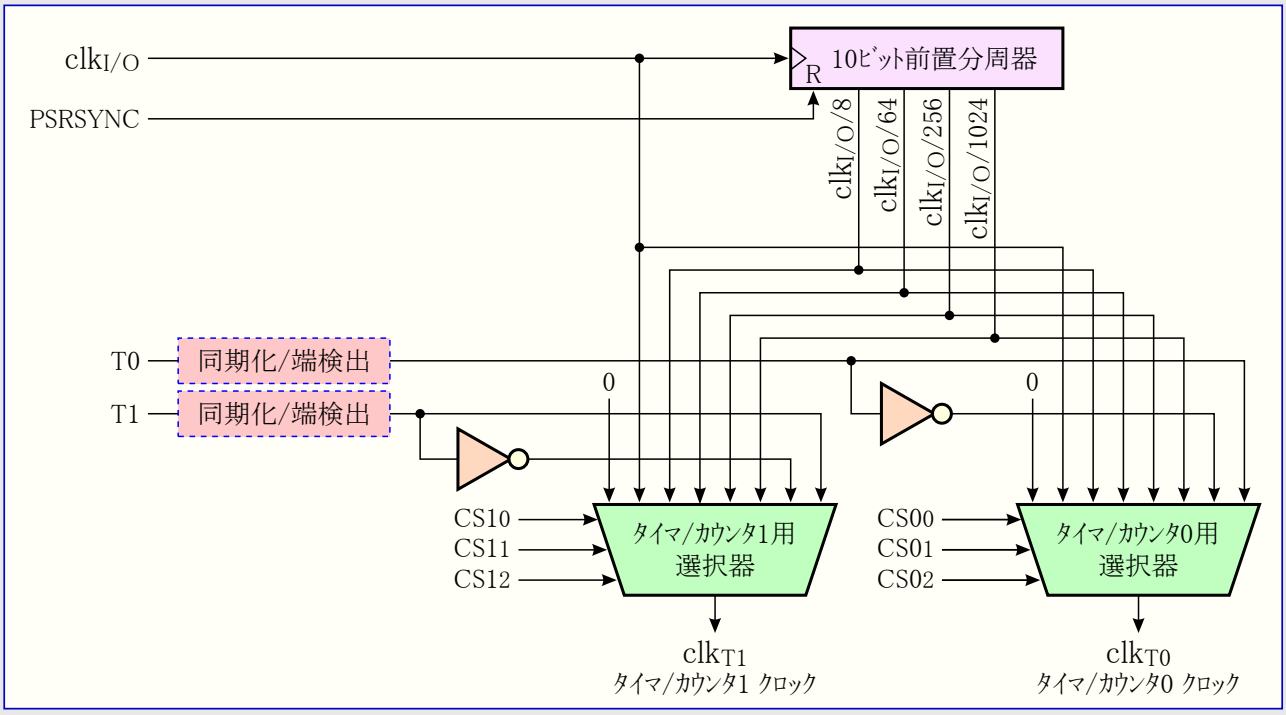
同期化と端検出器論理回路はTnピンへ印加された端から計数器が更新されるまでに2.5～3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はTnが最低1システム クロック周期に対して安定してしまっている時に行われなければならず、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システム クロック周波数の半分未満($f_{Tn}<f_{clk\_I/O}/2$)であることが保証されなければなりません。端検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイキストの標本化定理)。然しながら、発振元(クリスタル発振子、セラミック振動子、コンデンサ)の公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は$f_{clk_I/O}/2.5$未満が推奨されます。

外部クロック元は前置分周できません。

図18-2. ﾀｲﾏ/ｶｳﾝﾀ0と1の前置分周器部構成図



注: 入力ﾋﾟﾝ(T0/T1)の同期化/端(ｴｯｼﾞ)検出論理回路は前の構成図で示されます。

18.4. 同期系ﾀｲﾏ/ｶｳﾝﾀ前置分周器制御関係ﾚｼﾞｽﾀ

18.4.1. GTCCR – 一般ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀ (General Timer/Counter Control Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 : GTCCR
変位 : $43 ($23)
ﾘｾｯﾄ : $00
特質 : I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$23です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TSM	–	–	–	–	–	PSRASY	PSRSYNC
ｱｸｾｽ種別	R/W	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – TSM : ﾀｲﾏ/ｶｳﾝﾀ同時動作** (Timer/Counter Synchronization Mode)

TSMﾋﾞｯﾄへの1書き込みはﾀｲﾏ/ｶｳﾝﾀ同期化動作を活性(有効)にします。この動作でPSRASYとPSRSYNCへ書かれる値は保持され、従って対応する前置分周器ﾘｾｯﾄ信号の有効を保持します。これは対応するﾀｲﾏ/ｶｳﾝﾀを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できることを保証します。TSMﾋﾞｯﾄが0を書かれると、PSRASYとPSRSYNCのﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)され、同時にﾀｲﾏ/ｶｳﾝﾀが計数を始めます。

● **ﾋﾞｯﾄ1 – PSRASY : 非同期系ﾀｲﾏ/ｶｳﾝﾀ前置分周器ﾘｾｯﾄ** (Prescaler Reset Timer/Counter2)

このﾋﾞｯﾄが1の時にﾀｲﾏ/ｶｳﾝﾀ2の前置分周器はﾘｾｯﾄします。通常、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって直ちに解除(0)されます。ﾀｲﾏ/ｶｳﾝﾀ2が非同期動作の時にこのﾋﾞｯﾄが(1を)書かれると、このﾋﾞｯﾄは前置分周器がﾘｾｯﾄされてしまうまで1に留まります。TSMﾋﾞｯﾄが設定(1)される場合、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されません。

● **ﾋﾞｯﾄ0 – PSRSYNC : 同期系ﾀｲﾏ/ｶｳﾝﾀ前置分周器ﾘｾｯﾄ** (Prescaler Reset Timer/Counter 1,0)

このﾋﾞｯﾄが1の時にﾀｲﾏ/ｶｳﾝﾀ0とﾀｲﾏ/ｶｳﾝﾀ1の前置分周器はﾘｾｯﾄします。TSMﾋﾞｯﾄが設定(1)されている場合を除き、通常、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって直ちに解除(0)されます。ﾀｲﾏ/ｶｳﾝﾀ0とﾀｲﾏ/ｶｳﾝﾀ1は同じ前置分周器を共用し、この前置分周器のﾘｾｯﾄがこれらのﾀｲﾏ/ｶｳﾝﾀに影響を及ぼすことに注意してください。

19. TC2 – 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2 (PWM, 非同期動作付き)

19.1. 特徴

- 2つの比較部付き計数器
- 比較一致でのﾀｲﾏ/ｶｳﾝﾀ解除 (自動再設定)
- 不具合なしで正しい位相のﾊﾟﾙｽ幅変調器 (PWM)
- 周波数発生器
- ｸﾛｯｸ用10ﾋﾞｯﾄ前置分周器
- 溢れと比較一致割り込み (TOV,OCFA,OCFB)
- I/O(ｼｽﾃﾑ)ｸﾛｯｸに依存しない時計用外部32kHzｸﾘｽﾀﾙからのｸﾛｯｸ駆動可能

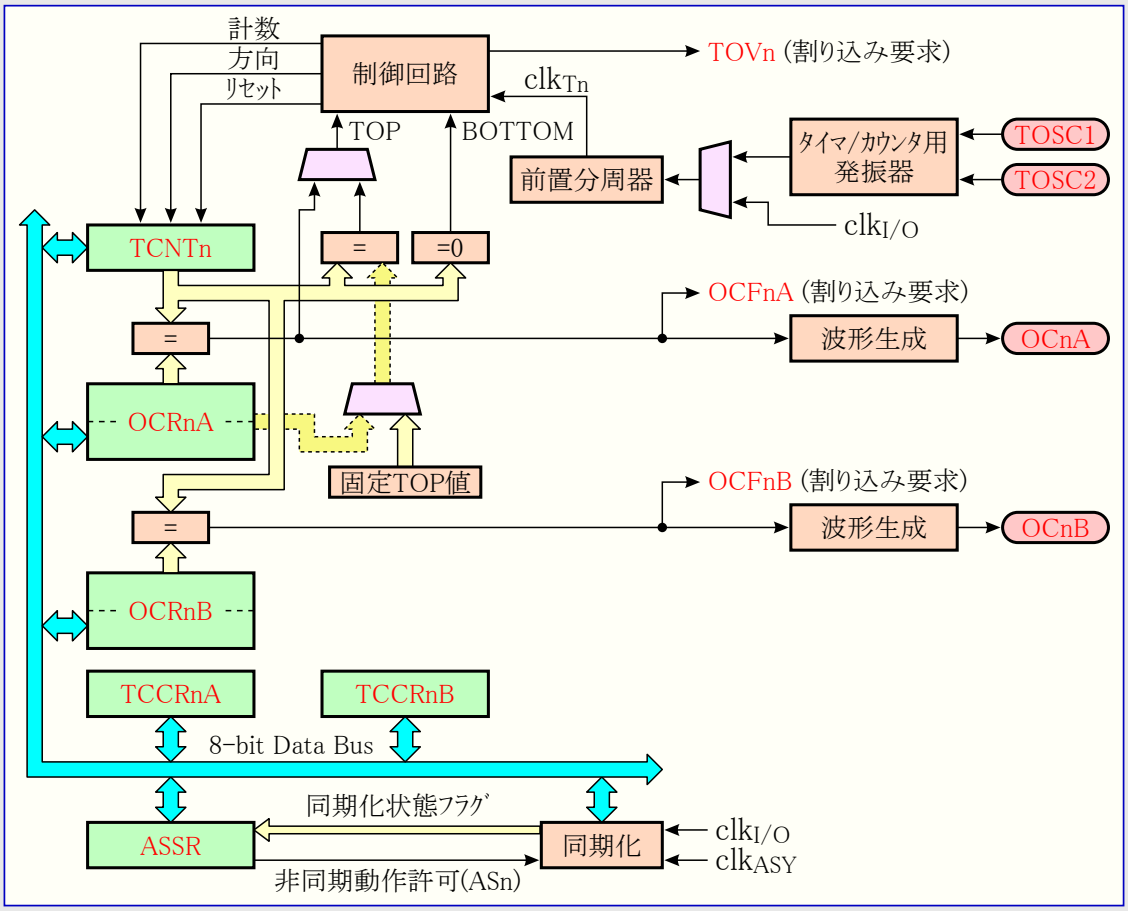
19.2. 概要

ﾀｲﾏ/ｶｳﾝﾀ2は2つの独立した比較出力部とPWM支援付きの汎用8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ部です。

この8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの簡単化した構成図は下で示されます。CPUがｱｸｾｽ可能な(I/OﾋﾞｯﾄとI/Oﾋﾟﾝを含む)I/Oﾚｼﾞｽﾀは赤文字(**訳注**:原文は太字)で示されます。ﾃﾞﾊﾞｲｽ仕様のI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は以降の「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ**」で一覧されます。I/Oﾋﾟﾝの実際の配置については「**ﾋﾟﾝ配置**」を参照してください。

TC2は電力削減ﾚｼﾞｽﾀ0(PRR0)のPRTIM2ﾋﾞｯﾄが0を書かれる時に許可されます。

図19-1. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ構成図



関連ﾘﾝｸ 10頁の「ﾋﾟﾝ配置」

19.2.1. 定義

本章でのﾚｼﾞｽﾀとﾋﾞｯﾄ参照の多くは以下のように一般形で書かれます。

- n=2はﾀｲﾏ/ｶｳﾝﾀ番号を表します。
- x=A,Bは比較出力部AまたはBを表します。

けれども、ﾌﾟﾛｸﾞﾗﾑでﾚｼﾞｽﾀまたはﾋﾞｯﾄ定義に使う時は正確な形式、即ち、ﾀｲﾏ/ｶｳﾝﾀ2のｶｳﾝﾀ値ｱｸｾｽに対してTCNT2が使われなければなりません。

右の定義は本章全体に渡って使われます。

表19-1. 用語定義

用語	意味
BOTTOM	ﾀｲﾏ/ｶｳﾝﾀが$00に到達した時。
MAX	ﾀｲﾏ/ｶｳﾝﾀが$FF(255)に到達した時。
TOP	ﾀｲﾏ/ｶｳﾝﾀが指定された固定値($FF)またはOCR2A値に到達した時。この指定(TOP)値は動作種別に依存します。

19.2.2. 関係レジスタ

タイマ/カウンタ(TCNT2)と比較レジスタ(OCR2AとOCR2B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ2割り込み要求レジスタ(TIFR2)で全て見えます。全ての割り込みはタイマ/カウンタ2割り込み許可レジスタ(TIMSK2)で個別に遮蔽(禁止)されます。TIFR2とTIMSK2はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、または本章内後ろで詳述されるようにTOSC1/2ピンから非同期にクロック駆動されます。非同期動作は非同期状態レジスタ(ASSR)によって制御されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選ばれないと、このタイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタ クロック(clk_{T2})として参照されます。

2重緩衝化した比較レジスタ(OCR2AとOCR2B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC2AとOC2B)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。詳細については「**比較出力部**」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求フラグ(OCFAとOCFB)も設定(1)します。

19.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部同期または外部非同期クロック元によってクロック駆動できます。既定のクロック元(clk_{T2})はMCUクロック($clk_{I/O}$)と同じです。

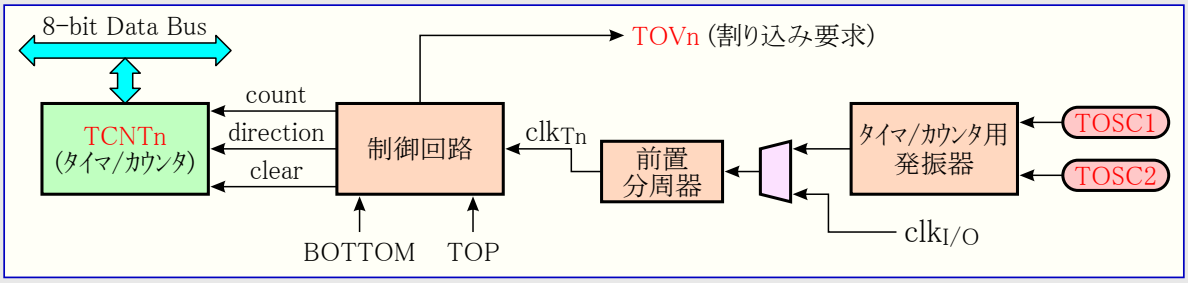
非同期状態レジスタ(ASSR)の非同期動作許可(AS2)ビットが1を書かれると、クロック元はTOSC1とTOSC2に繋がったタイマ/カウンタ用発振器から取得されます。

非同期動作の詳細については「**ASSR – 非同期状態レジスタ**」の記述をご覧ください。クロック元と前置分周器の詳細については「**タイマ/カウンタ2の前置分周器**」をご覧ください。

19.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向計数器部です。下は、この計数器とその周辺の構成図を示します。

図19-2. 計数器部構成図



信号説明 (内部信号)	count	TCNT2を1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNT2のリセット($00設定)信号。
	clk_{Tn}	以降でclk_{T2}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT2が最大値に到達したことを示す信号。
	BOTTOM	TCNT2が最小値($00)に到達したことを示す信号。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{T2})で解除($00)、増加(+1)、または減少(−1)されます。clk_{T2}はクロック選択(CS22～0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS22～0=000)時にタイマ/カウンタは停止されます。けれどもTCNT2値はタイマ/カウンタ クロック(clk_{T2})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ2制御レジスタA(TCCR2A)に配置された波形生成種別(WGM21,0)ビットとタイマ/カウンタ2制御レジスタB(TCCR2B)に配置された波形生成種別(WGM22)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC2A/OC2B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては「**動作種別**」をご覧ください。

タイマ/カウンタ溢れ(TOV)フラグはWGM22～0ビットによって選ばれた動作種別に従って設定(1)されます。TOVはCPU割り込み発生に使えます。

19.5. 比較出力部

この8ﾋﾞｯﾄ比較器はTCNT2と比較ﾚｼﾞｽﾀ(OCR2AとOCR2B)を継続的に比較します。TCNT2がOCR2AまたはOCR2Bと等しければ比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCFAまたはOCFB)を設定(1)します。対応する割り込みが許可(I=1,OCIEAまたはOCIEB=1)されているなら、その比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。比較割り込み要求ﾌﾗｸﾞは割り込みが実行されると自動的に解除(0)されます。代わりにこのﾌﾗｸﾞはこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM22～0)ﾋﾞｯﾄと比較出力選択(COM2x1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのに、この一致信号を使います。MAXとBOTTOMの信号は動作種別(「**動作種別**」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

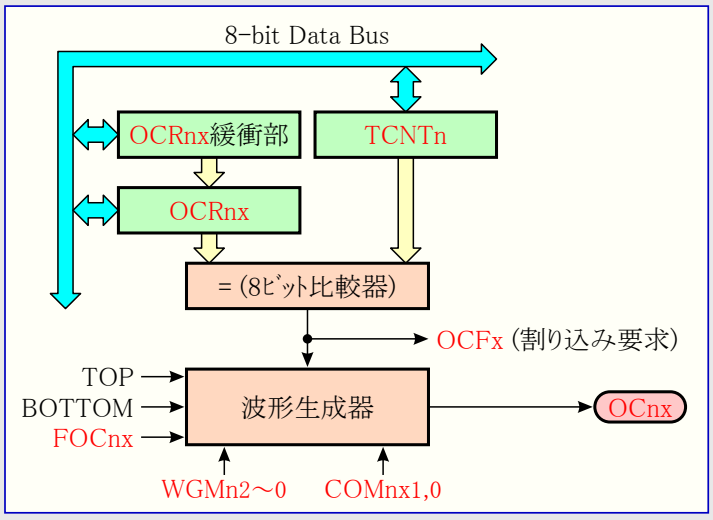
右図は比較出力部の構成図を示します。

OCR2xはﾊﾟﾙｽ幅変調(PWM)の何れかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR2xﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR2xのｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR2x緩衝部をｱｸｾｽし、禁止されるとOCR2xﾚｼﾞｽﾀを直接ｱｸｾｽします。

関連ﾘﾝｸ　110頁の「動作種別」

図19-3. 比較出力部構成図



(**訳注**) ここでは比較nxﾚｼﾞｽﾀ全体をOCR2x、OCR2xを構成する緩衝部部分をOCR2x緩衝部、実際の比較に使われるﾚｼﾞｽﾀ本体部分をOCR2xﾚｼﾞｽﾀとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

19.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC2x)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCFx)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC2xﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COM2x1,0ﾋﾞｯﾄ設定がOC2xﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

19.5.2. TCNT2書き込みによる比較一致妨害

TCNT2への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に割り込みを起動することなく、TCNT2と同じ値に初期化されることをOCR2xに許します。

19.5.3. 比較一致部の使用

どの動作種別でのTCNT2書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、比較出力部を使う場合、TCNT2を変更する時に危険を伴います。TCNT2に書かれた値がOCR2x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にﾀｲﾏ/ｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT2値を書いてはいけません。

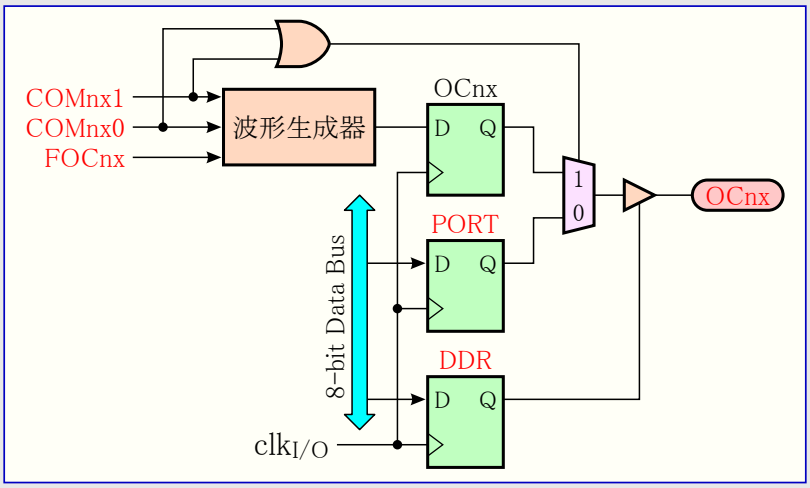
OC2xの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC2x値を設定する一番簡単な方法は標準動作で強制変更(FOC2x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成動作種別間を変更する時でも、OC2x(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COM2x1,0)ﾋﾞｯﾄが比較値(OCR2x)と共に2重緩衝部されないことに気付いてください。COM2x1,0ﾋﾞｯﾄの変更は直ちに有効となります。

19.6. 比較一致出力部

比較出力選択(COM2x1,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC2x)状態の定義にCOM2x1,0ﾋﾞｯﾄを使います。またCOM2x1,0ﾋﾞｯﾄはOC2xﾋﾟﾝ出力元を制御します。下図はCOM2x1,0ﾋﾞｯﾄ設定によって影響を及ぼされる論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COM2x1,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OC2xの状態を参照するとき、その参照はOC2xﾋﾟﾝでなく内部OC2xﾚｼﾞｽﾀに対してです。

図19-4. 比較一致出力回路図



COM2x1,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OC2x)によって無効にされます。けれどもOC2xﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OC2xﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OC2x)はOC2x値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は波形生成種別と無関係です。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOC2x状態の初期化を許します。いくつかのCOM2x1,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ**」をご覧ください。

関連ﾘﾝｸ 110頁の「動作種別」

19.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM2x1,0ﾋﾞｯﾄを違うふうに使います。全ての動作種別に対してCOM2x1,0=00設定は次の比較一致で実行すべきOC2xﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。比較出力選択の記述も参照してください。

COM2x1,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC2x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

19.7. 動作種別

動作種別、換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作は波形生成種別(WGM22～0)ﾋﾞｯﾄと比較出力選択(COM2x1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COM2x1,0ﾋﾞｯﾄは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM2x1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(「**比較一致出力部**」をご覧ください)。

ﾀｲﾐﾝｸﾞ情報の詳細については「**ﾀｲﾏ/ｶｳﾝﾀ2のﾀｲﾐﾝｸﾞ**」を参照してください。

19.7.1. 標準動作

最も単純な動作種別が標準動作(WGM22～0=000)です。この動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀ解除は実行されません。ｶｳﾝﾀは8ﾋﾞｯﾄ最大値(TOP=$FF)を通過すると単に範囲を超え、そして$00(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはTCNT2が$00になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOVﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第9ﾋﾞｯﾄのようになります。けれどもTOVﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

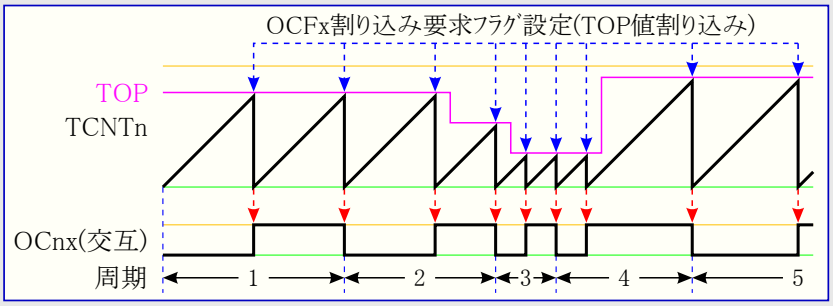
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

19.7.2. 比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGM22～0=010)ではOCR2Aがｶｳﾝﾀの分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNT2)値がOCR2Aと一致すると、ｶｳﾝﾀは$00に解除されます。OCR2Aはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は下で示されます。ｶｳﾝﾀ(TCNT2)値はTCNT2とOCR2A間で比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNT2)は解除($00)されます。

図19-5. CTC動作ﾀｲﾐﾝｸﾞ



注: COMnx1,0=01

OCFAﾌﾗｸﾞを使うことにより、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR2Aに書かれた新しい値がTCNT2の現在値よりも低い(小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後のｶｳﾝﾀは比較一致が起こるのに先立って、最大値($FF)へそして次に$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC2A出力は比較出力選択(COM2A1,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切り替えに設定できます。OC2A値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC2A=1)に設定されない限りﾎﾟｰﾄ ﾋﾟﾝで見えないでしょう。生成された波形はOCR2Aが0($00)に設定される時に$f_{OC2A}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

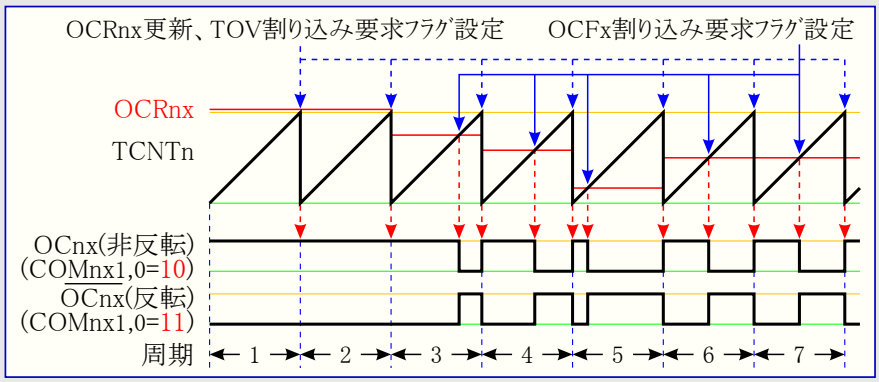
標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$00へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

19.7.3. 高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGM22～0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからTOPまで計数し、その後にBOTTOMから再び始めます。TOPはWGM22～0=011時に$FF、WGM22～0=111時にOCR2Aとして定義されます。非反転比較出力動作(COM2x1,0=10)での比較出力(OC2x)はTCNT2とOCR2x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM2x1,0 =11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

高速PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がTOP値と一致するまで増加されます。そしてﾀｲﾏ/ｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀｸﾛｯｸ周期で解除($00)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は下図で描かれます。TCNT2値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。赤細線はOCR2x値を示し、TCNT2値との交点(接点)がTCNT2とOCR2x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCFx)はOCR2x=TOPを除いて比較一致が起こると設定(1)されます(**訳注**:共通性のため本行追加)。

図19-6. 高速PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ﾙｰﾁﾝは比較値を更新するために使えます。

高速PWM動作での比較部はOC2xﾋﾟﾝでのPWM波形の生成を許します。COM2x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM2x1,0を'11'に設定することで生成できます。WGM22ﾋﾞｯﾄが設定(1)なら、COM2A1,0ﾋﾞｯﾄの'01'設定は比較一致での交互反転をOC2Aﾋﾟﾝに許します。この任意選択はOC2Bﾋﾟﾝに対して利用できません(**訳注**:前2行修正追加)。実際のOC2x値はﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力として設定される場合にだけ見えるでしょう。PWM波形はTCNT2とOCR2x間の比較一致でOC2x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($00、TOPからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でOC2xﾚｼﾞｽﾀを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times (1+TOP)}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

OCR2xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR2xがBOTTOM($00)と等しく設定されると、出力はTOP+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭い尖頭(ﾊﾟﾙｽ)になるでしょう。OCR2xがTOPに等しく設定されると、(COM2x1,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

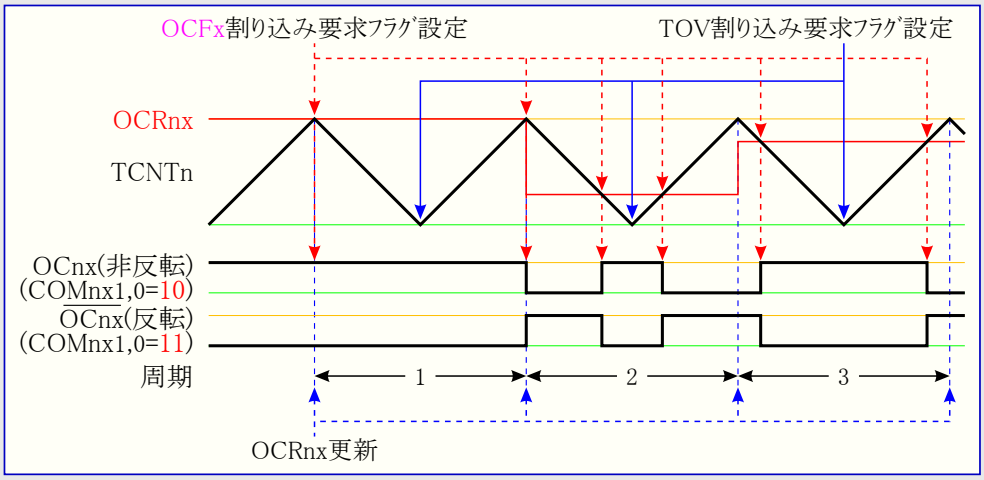
(**訳補**:WGM22～0=111の場合については、)高速PWM動作での(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOC2A設定(COM2A1,0=01)によって達成できます。生成された波形はOCR2Aが0($00)に設定される時に$f_{OC2x}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC2A交互出力(COM2A1,0=01)と同じです。

19.7.4. 位相基準PWM動作

位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM22～0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作に基きます。ｶｳﾝﾀはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM22～0=001時に$FF、WGM22～0=101時にOCR2Aとして定義されます。非反転比較出力動作(COM2x1,0=10)での比較出力(OC2x)は上昇計数中のTCNT2とOCR2xの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM2x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数です。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値がTOPと一致するまで増加されます。ｶｳﾝﾀはTOPに達すると計数方向を替えます。このTCNT2値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間TOPと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は**図19-7.**で示されます。TCNT2値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR2x値を示し、TCNT2値との交点(接点)がTCNT2とOCR2x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。

図19-7. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV)ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがBOTTOM値に到達する毎に割り込みを発生するのに使えます。

位相基準PWM動作での比較部はOC2xﾋﾟﾝでのPWM波形の生成を許します。COM2x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM2x1,0ﾋﾞｯﾄを'11'に設定することで生成できます。WGM02ﾋﾞｯﾄが設定(1)なら、COM0A1,0ﾋﾞｯﾄの'01'設定は比較一致での交互反転をOC0Aﾋﾟﾝに許します。この任意選択はOC0Bﾋﾟﾝに対して利用できません(**訳注**:前2行修正追加)。実際のOC2x値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC2x)が出力として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT2とOCR2x間の比較一致でOC2x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT2とOCR2x間の比較一致でOC2xﾚｼﾞｽﾀを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{\mathrm{OCnxPCPWM}} = \frac{f_{\mathrm{clk\_I/O}}}{2 \times \mathrm{N} \times \mathrm{TOP}}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

OCR2xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR2xがBOTTOM($00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

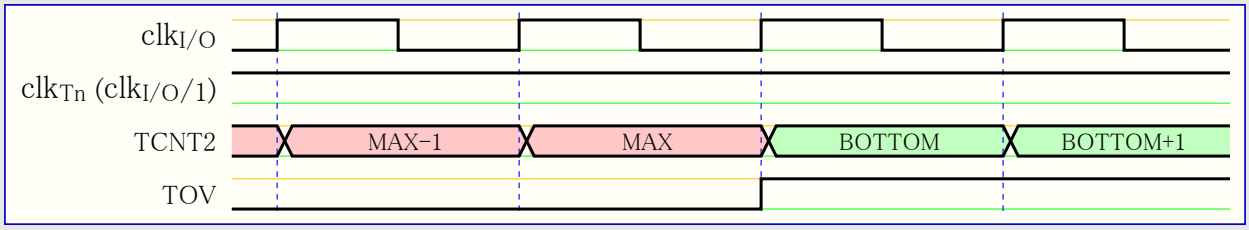
上図の第2周期のその出発点に於いて、例え比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 前図で示されるようにOCR2xはTOPからその値を変更します。OCR2x値がTOPのとき、OCnxﾋﾟﾝ値は下降計数での比較一致の結果と同じです(**訳補**: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- ﾀｲﾏ/ｶｳﾝﾀがOCR2x値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(**訳補**: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

19.8. タイマ/カウンタのタイミング

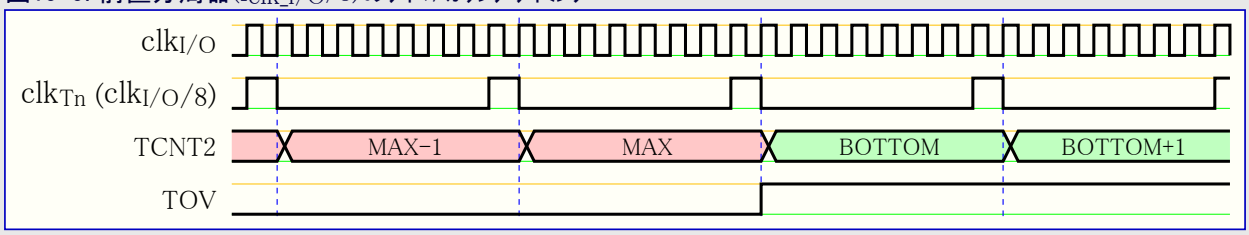
以下の図は同期動作でのタイマ/カウンタを示し、従ってタイマ/カウンタ クロック(clkT2)が計数許可信号として示されます。非同期動作ではclkI/Oがタイマ/カウンタ用発振器(TOSC)クロックによって置換されるべきです。この図は割り込みフラグが設定(1)される時の情報を含みます。下図は基本的なタイマ/カウンタ動作についてのタイミング データを示します。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図19-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング



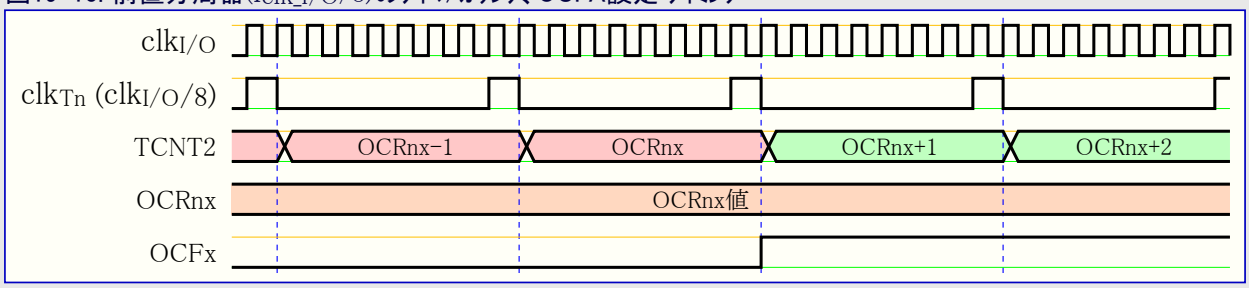
下図は同じタイミング データを示しますが、前置分周器が許可されています。

図19-9. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ タイミング



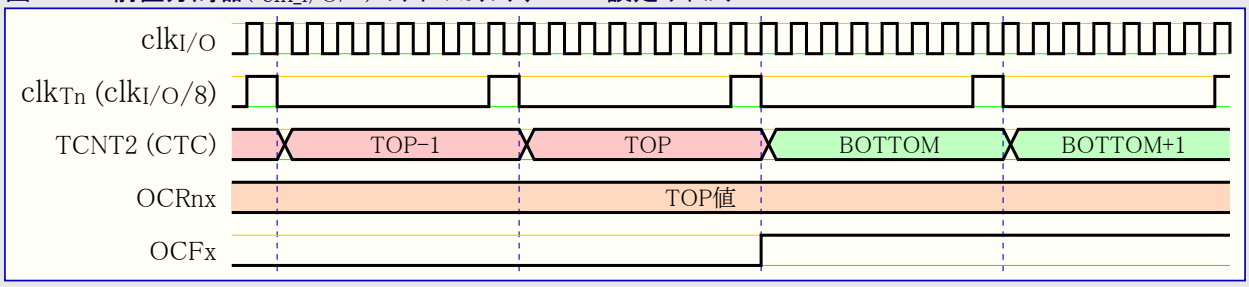
下図はCTC動作を除く全ての動作種別でのOCFAの設定を示します。

図19-10. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCFA設定 タイミング



下図はCTC動作でのTCNT2の解除とOCFAの設定を示します。

図19-11. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCFA設定 タイミング



19.9. タイマ/カウンタ2の非同期動作

TC2が非同期で動くとき、いくつかの考慮が成されなければなりません。

- タイマ/カウンタ2の同期/非同期クロック駆動間を切り替えると、タイマ/カウンタ2(TCNT2)、タイマ/カウンタ2比較レジスタ(OCR2x)、タイマ/カウンタ2制御レジスタ(TCCR2x)が不正となるかもしれません。クロック元を切り替える安全な手順を次に示します。
  1. タイマ/カウンタ2割り込み許可レジスタ(TIMSK2)のOCIExとTOIEの解除(0)により、TC2割り込みを禁止してください。
  2. 非同期状態レジスタ(ASSR)の非同期動作許可(AS2)設定によってクロック元を適切に選んでください。
  3. TCNT2,OCR2x,TCCR2xに新しい値を書いてください。
  4. 非同期動作へ切り替えるには、TCN2UB, OCR2xUB, TCR2xUBについて(=0まで)待機してください。
  5. タイマ/カウンタ2割り込み要求フラグ レジスタ(TIFR2)のOCFxとTOVのフラグを解除(0)してください。
  6. 必要とされるなら、割り込みを許可してください。
- CPU主クロック周波数はタイマ発振器周波数の4倍よりも高くなければなりません。
- TCNT2,OCR2x,TCCR2xレジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSC1で2つの上昇端後、(実レジスタ)に設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に新しい値を書くべきではありません。記載された3つのレジスタの各々がそれの個別の一時レジスタを持ちます。それは、例えばTCNT2書き込みがOCR2x書き込みの実行を妨げないことを意味します。非同期状態レジスタ(ASSR)は転送先レジスタへの転送が起きたことを示します。
- TCNT2,OCR2x,TCCR2xに書いた後でパワーセーブまたはA/D変換雑音低減動作へ移行するとき、デバイスを起動するのにTC2が使われる場合、使用者は書かれたレジスタが更新されてしまうまで待たなければなりません。さもなければMCUは変更が有効になる前に休止形態へ移行するでしょう。タイマ/カウンタ2比較一致割り込みがデバイスを起動するのに使われると、TCNT2またはOCR2x書き込み中の比較機能が禁止されるため、これは非常に重要です。書き込み周期が完了されず、OCR2xUBが0に戻る前にMCUが休止形態へ移行すると、デバイスは決して比較一致割り込みを受け取らず、そしてMCUは起動しないでしょう。
- パワーセーブまたはA/D変換雑音低減動作からデバイスを起動するのにTC2が使われる場合、使用者がこれら動作へ(復帰後)再移行することを欲するなら、予防処置を講じなければなりません。1 TOSC1周期以内に休止形態へ再移行する場合、割り込みが直ちに起こり、デバイスは再び起動復帰するでしょう。その結果は複数の割り込みと最初の割り込みから1 TOSC1周期以内の起動復帰です。パワーセーブまたはA/D変換雑音動作再移行前の時間が充分であるかどうか迷うなら、1 TOSC1周期が経過されることを保証するのに次の手順が使えます。
  1. TCNT2,OCR2x,TCCR2xに値を書いてください。
  2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが0に戻るまで待ってください。
  3. パワーセーブまたはA/D変換雑音低減動作へ移行してください。
- 非同期動作が選ばれると、TC2用32.768kHz発振器はパワーダウンとスタンバイ動作を除いて常に動作します。電源投入リセット、パワーダウンまたはスタンバイ動作から起動後、この発振器が安定するのに1秒程度かかるかもしれないことを使用者は承知すべきです。電源投入、パワーダウンまたはスタンバイ動作から起動後、TC2を使う前に少なくとも1秒待つことが推奨されます。この発振器の使用またはクロック信号がTOSCピンに印加されるかのどちらかに拘らず、起動時の不安的なクロック信号のため、パワーダウンまたはスタンバイ動作からの起動復帰後、TC2の全レジスタの内容が失われたと見做されなければなりません。
- TC2が非同期でクロック駆動される時のパワーセーブまたはA/D変換雑音低減動作から起動の説明。割り込み条件が合致すると、タイマ/カウンタ クロックの次周期で起動処理が開始され、プロセッサがカウンタ値を読めるのに先立ってタイマ/カウンタは常に最低1、進行されます。起動後にMCUは4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。
- パワーセーブ動作から起動直後のTCNT2の読み込みは不正な結果を得るかもしれません。TCNT2が非同期TOSCクロックでクロック駆動されるため、TCNT2読み込みは内部I/Oクロック領域に同期したレジスタを通して行われなければなりません。同期化はTOSCクロックの全上昇端で行われます。パワーセーブ動作から起動し、I/Oクロック($clk_{I/O}$)が再び活性(有効)になるとき、TCNT2はTOSCクロックの次の上昇端まで以前(休止形態移行前)の値を読むでしょう。パワーセーブ動作から起動後のTOSCクロックの位相は起動時間に依存するため本質的に特定できません。従ってTCNT2読み込みに対する推奨手順は次のとおりです。
  1. OCR2xまたはTCCR2xのどれかに何か値を書きます。
  2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが解除(0)されるまで待ちます。
  3. TCNT2を読みます。
- 非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は3プロセッサ周期+1タイマ周期かかります。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読めるのに先立って、このタイマは最低1、進行されます。比較出力ピンはタイマ クロックで変更され、プロセッサ クロックに同期されません。

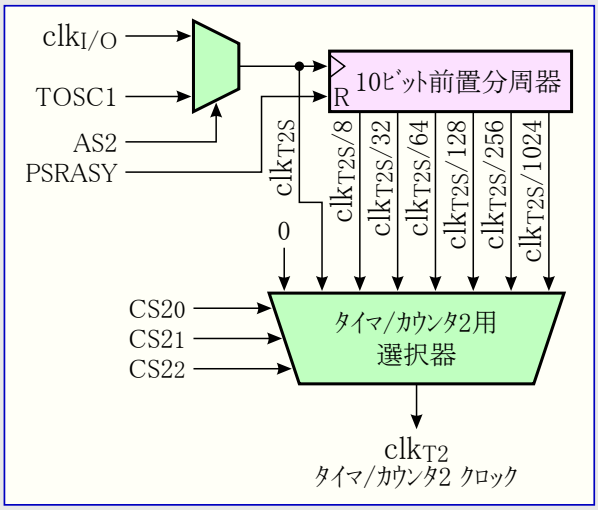
19.10. タイマ/カウンタ2の前置分周器

TC2用クロック元の名前はclk_{T2S}です。既定でのclk_{T2S}は主システムI/Oクロック($clk_{I/O}$)に接続されます。タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期クロック許可(AS2)ビットの1書き込みにより、TC2はTOSC1ピンから非同期にクロック駆動されます。これは実時間計数器(RTC)としてのTC2の使用を可能にします。AS2が設定(1)されると、TOSC1とTOSC2のピンは主クロック発振器や標準ポートから切り離されます。クリスタル発振子はTC2用の独立したクロック元として扱うTOSC1とTOSC2ピン間に接続できます。この発振器は32.768kHzクリスタル発振子で使うために最適化されています。TOSC1に外部クロック信号を印加する場合、ASSRの外部クロック許可(EXCLK)ビットが設定(1)されなければなりません(**訳注**:矛盾回避のため本行置換)。

TC2に対して可能な前置分周済み選択は$clk_{T2S}/8$, $clk_{T2S}/32$, $clk_{T2S}/64$, $clk_{T2S}/128$, $clk_{T2S}/256$, $clk_{T2S}/1024$です。更に0(停止)は勿論clk_{T2S}も選択可能です。

この前置分周器は一般タイマ/カウンタ制御レジスタ(GTCCR)の非同期系タイマ/カウンタ前置分周器リセット(PSRASY)ビットへの1書き込みによってリセットします。これは明確にした前置分周器での操作を使用者に許します。

図19-12. タイマ/カウンタ2前置分周器部構成



19.11. 8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ

19.11.1. TCCR2A – ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀA (Timer/Counter2 Control Register A)

名称 ：TCCR2A
変位 ：$B0
ﾘｾｯﾄ ：$00
特質 ：–

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	COM2A1,0		COM2B1,0		–	–	WGM21,0	
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – COM2A1,0 : 比較A出力選択** (Compare Output Mode for Channel A)

これらのﾋﾞｯﾄはOC2A比較出力ﾋﾟﾝの動作を制御します。COM2A1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC2A出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC2Aﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC2Aがﾋﾟﾝに接続されるとき、COM2A1,0ﾋﾞｯﾄの機能はWGM22～0ﾋﾞｯﾄ設定に依存します。

下表はWGM22～0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM2A1,0ﾋﾞｯﾄの機能を示します。

表19-2. 非PWM動作比較A出力選択

COM2A1	COM2A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2A切断)
0	1	比較一致でOC2Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC2Aﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC2Aﾋﾟﾝ Highﾚﾍﾞﾙ出力

下表はWGM22～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM2A1,0ﾋﾞｯﾄの機能を示します。

表19-3. 高速PWM動作比較A出力選択

COM2A1	COM2A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2A切断)
0	1	WGM22=0 : 標準ﾎﾟｰﾄ動作 (OC2A切断) WGM22=1 : 比較一致でOC2Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC2Aﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC2Aﾋﾟﾝへ出力 (反転動作)

注: COM2A1が設定(1)され、OCR2AがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、設定(1)または解除(0)はBOTTOMで行われます。詳細については「**高速PWM動作**」をご覧ください。

下表はWGM02～0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM0A1,0ﾋﾞｯﾄの機能を示します。

表19-4. 位相基準PWM動作比較A出力選択

COM2A1	COM2A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2A切断)
0	1	WGM22=0 : 標準ﾎﾟｰﾄ動作 (OC2A切断) WGM22=1 : 比較一致でOC2Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC2Aﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC2Aﾋﾟﾝへ出力

注: COM2A1が設定(1)され、OCR2AがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、設定(1)または解除(0)はTOPで行われます。詳細については「**位相基準PWM動作**」をご覧ください。

● **ﾋﾞｯﾄ5,4 – COM2B1,0 : 比較B出力選択** (Compare Output Mode for Channel B)

これらのﾋﾞｯﾄはOC2B比較出力ﾋﾟﾝの動作を制御します。COM2B1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC2B出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC2Bﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC2Bがﾋﾟﾝに接続されるとき、COM2B1,0ﾋﾞｯﾄの機能はWGM22～0ﾋﾞｯﾄ設定に依存します。

下表はWGM22～0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM2B1,0ﾋﾞｯﾄ機能を示します。

表19-5. 非PWM動作比較B出力選択

COM2B1	COM2B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2B切断)
0	1	比較一致でOC2Bﾋﾟﾝﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC2Bﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC2Bﾋﾟﾝ Highﾚﾍﾞﾙ出力

下表はWGM22～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM2B1,0ﾋﾞｯﾄの機能を示します。

表19-6. 高速PWM動作比較B出力選択

COM2B1	COM2B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2B切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC2Bﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC2Bﾋﾟﾝへ出力 (反転動作)

注: COM2B1が設定(1)され、OCR2BがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、設定(1)または解除(0)はBOTTOMで行われます。詳細については「**高速PWM動作**」を参照してください。

下表はWGM22～0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM2B1,0ﾋﾞｯﾄの機能を示します。

表19-7. 位相基準PWM動作比較B出力選択

COM2B1	COM2B0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2B切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC2Bﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC2Bﾋﾟﾝへ出力

注: COM2B1が設定(1)され、OCR2BがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、設定(1)または解除(0)はTOPで行われます。詳細については「**位相基準PWM動作**」を参照してください。

● **ﾋﾞｯﾄ1,0 – WGM21,0 : 波形生成種別** (Waveform Generation Mode)

ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCR2B)で得られるWGM22ﾋﾞｯﾄと組み合わせたこれらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大ｶｳﾝﾀ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作(ｶｳﾝﾀ)、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と2形式のﾊﾟﾙｽ幅変調(PWM)動作です。「**動作種別**」をご覧ください。

表19-8. 波形生成種別選択

番号	WGM22	WGM21	WGM20	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR2x更新時	TOV設定時
0	0	0	0	標準動作	$FF	即時	MAX
1	0	0	1	8ﾋﾞｯﾄ位相基準PWM動作	$FF	TOP	BOTTOM
2	0	1	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR2A	即時	MAX
3	0	1	1	8ﾋﾞｯﾄ高速PWM動作	$FF	BOTTOM	MAX
4	1	0	0	(予約)	–	–	–
5	1	0	1	位相基準PWM動作	OCR2A	TOP	BOTTOM
6	1	1	0	(予約)	–	–	–
7	1	1	1	高速PWM動作	OCR2A	BOTTOM	TOP

注: MAX=$FF、BOTTOM=$00です。

19.11.2. TCCR2B – ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀB (Timer/Counter2 Control Register B)

名称 : TCCR2B
変位 : $B1
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	FOC2A	FOC2B	–	–	WGM22	CS22～0		
ｱｸｾｽ種別	R/W	R/W	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – FOC2A : OC2A強制変更** (Force Output Compare A)

FOC2AﾋﾞｯﾄはWGM22～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。

将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR2Bが書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC2Aﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC2A出力はCOM2A1,0ﾋﾞｯﾄ設定に従って変更されます。FOC2Aﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM2A1,0ﾋﾞｯﾄに存在する値です。

FOC2Aｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCR2Aを使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($00)も行いません。

FOC2Aﾋﾞｯﾄは常に0として読みます。

● **ﾋﾞｯﾄ6 – FOC2B : OC2B強制変更** (Force Output Compare B)

FOC2BﾋﾞｯﾄはWGM22～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。

将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR2Bが書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC2Bﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC2B出力はCOM2B1,0ﾋﾞｯﾄ設定に従って変更されます。FOC2Bﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM2B1,0ﾋﾞｯﾄに存在する値です。

FOC2Bｽﾄﾛｰﾌﾞは何れの割り込みの生成も行いません。

FOC2Bﾋﾞｯﾄは常に0として読みます。

● **ﾋﾞｯﾄ3 – WGM22 : 波形生成種別** (Waveform Generation Mode bit 2)

ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀA(TCCR2A)を参照してください。

● **ﾋﾞｯﾄ2～0 – CS22~0 : ｸﾛｯｸ選択** (Clock Select)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT2)によって使われるｸﾛｯｸ元を選びます。

表19-9. ﾀｲﾏ/ｶｳﾝﾀ2入力ｸﾛｯｸ選択

CS22	CS21	CS20	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀ2動作停止)
0	0	1	clk_{T2S} (前置分周なし)
0	1	0	$clk_{T2S}/8$ (8分周)
0	1	1	$clk_{T2S}/32$ (32分周)
1	0	0	$clk_{T2S}/64$ (64分周)
1	0	1	$clk_{T2S}/128$ (128分周)
1	1	0	$clk_{T2S}/256$ (256分周)
1	1	1	$clk_{T2S}/1024$ (1024分周)

19.11.3. TCNT2 – ﾀｲﾏ/ｶｳﾝﾀ2計数値ﾚｼﾞｽﾀ (TC2 Counter Value Register)

名称 : TCNT2
変位 : $B2
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TCNT27~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TCNT27~0 : ﾀｲﾏ/ｶｳﾝﾀ2計数値** (TC2 Counter Value)

このﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀは読み書き両方の操作について、ﾀｲﾏ/ｶｳﾝﾀ部の8ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。TCNT2への書き込みは次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT2)を変更することは、TCNT2とOCR2x間の比較一致消失の危険を誘発します。

19.11.4. OCR2A – ﾀｲﾏ/ｶｳﾝﾀ2比較Aﾚｼﾞｽﾀ (Output Compare Register 2 A)

名称 : OCR2A
変位 : $B3
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCR2A7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCR2A7~0 : ﾀｲﾏ/ｶｳﾝﾀ2比較A値** (Output Compare 2 A)

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT2)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC2Aﾋﾟﾝでの波形出力を生成するのに使えます。

19.11.5. OCR2B – ﾀｲﾏ/ｶｳﾝﾀ2比較Bﾚｼﾞｽﾀ (Output Compare Register 2 B)

名称 : OCR2B
変位 : $B4
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OCR2B7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OCR2B7~0 : ﾀｲﾏ/ｶｳﾝﾀ2比較B値** (Output Compare 2 B)

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT2)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC2Bﾋﾟﾝでの波形出力を生成するのに使えます。

19.11.6. TIMSK2 – ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ (Timer/Counter 2 Interrupt Mask Register)

名称 : TIMSK2
変位 : $70
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	–	OCIEB	OCIEA	TOIE
ｱｸｾｽ種別	R	R	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2 – OCIEB : ﾀｲﾏ/ｶｳﾝﾀ2比較B割り込み許可** (Timer/Counter2 Output Compare Match B Interrupt Enable)

OCIEBﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2で比較B一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR2)で比較B割り込み要求ﾌﾗｸﾞ(OCFB)が設定(1)されると、対応する割り込みが実行されます。

● **ﾋﾞｯﾄ1 – OCIEA : ﾀｲﾏ/ｶｳﾝﾀ2比較A割り込み許可** (Timer/Counter2 Output Compare Match A Interrupt Enable)

OCIEAﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2で比較A一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR2)で比較A割り込み要求ﾌﾗｸﾞ(OCFA)が設定(1)されると、対応する割り込みが実行されます。

● **ﾋﾞｯﾄ0 – TOIE : ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可** (Timer/Counter2 Overflow Interrupt Enable)

TOIEﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2溢れが起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR2)でﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み要求(TOV)ﾌﾗｸﾞが設定(1)されると、対応する割り込みが実行されます。

19.11.7. TIFR2 – ﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter 2 Interrupt Flag Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 : TIFR2
変位 : $37 ($17)
ﾘｾｯﾄ : $00
特質 : I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$17です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	–	OCFB	OCFA	TOV
ｱｸｾｽ種別	R	R	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2 – OCFB : ﾀｲﾏ/ｶｳﾝﾀ2比較B割り込み要求ﾌﾗｸﾞ** (Timer/Conter2, Output Compare B Match Flag)

OCFBﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT2)と比較ﾚｼﾞｽﾀ(OCR2B)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCFBはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCFBは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2比較B一致割り込み許可(OCIEB)ﾋﾞｯﾄ、OCFBが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較B一致割り込みが実行されます。

● **ﾋﾞｯﾄ1 – OCFA : ﾀｲﾏ/ｶｳﾝﾀ2比較A割り込み要求ﾌﾗｸﾞ** (Timer/Conter2, Output Compare A Match Flag)

OCFAﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT2)と比較ﾚｼﾞｽﾀ(OCR2A)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCFAはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCFAは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2比較A一致割り込み許可(OCIEA)ﾋﾞｯﾄ、OCFAが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較A一致割り込みが実行されます。

● **ﾋﾞｯﾄ0 – TOV : ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter2 Overflow Flag)

TOVﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT2)溢れが起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、TOVはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもTOVは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可(TOIE)ﾋﾞｯﾄ、TOVが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みが実行されます。位相基準PWM動作ではﾀｲﾏ/ｶｳﾝﾀ2が$00で計数方向を変える時にこのﾋﾞｯﾄが設定(1)されます。

これらﾌﾗｸﾞの設定はWGM22～0ﾋﾞｯﾄ設定に依存します。波形生成種別ﾋﾞｯﾄ記述の**表19-8.**を参照してください。

19.11.8. ASSR – ﾀｲﾏ/ｶｳﾝﾀ2非同期状態ﾚｼﾞｽﾀ (Timer/Counter2 Asynchronous Status Register)

名称 : ASSR
変位 : $B6
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB
ｱｸｾｽ種別	R	R/W	R/W	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6 – EXCLK : 外部ｸﾛｯｸ信号許可** (Enable External Clock Input)

EXCLKが1を書かれ、非同期ｸﾛｯｸが選ばれると、外部ｸﾛｯｸ入力緩衝部が許可され、32kHzｸﾘｽﾀﾙの代わりに外部ｸﾛｯｸがﾀｲﾏ発振器1(TOSC1)ﾋﾟﾝへ入力できます。EXCLKへの書き込みは非同期動作が選ばれる前に行うべきです。ｸﾘｽﾀﾙ発振器はこのﾋﾞｯﾄが0の時にだけ走行(動作)することに注意してください。

● **ﾋﾞｯﾄ5 – AS2 : ﾀｲﾏ/ｶｳﾝﾀ2非同期動作許可** (Asynchronous Timer/Counter2)

AS2が0を書かれると、ﾀｲﾏ/ｶｳﾝﾀ2はI/Oｸﾛｯｸ($clk_{I/O}$)からｸﾛｯｸ駆動されます。AS2が1を書かれると、ﾀｲﾏ/ｶｳﾝﾀ2はﾀｲﾏ発振器(TOSC1,TOSC2)ﾋﾟﾝに接続されたｸﾘｽﾀﾙ発振器からｸﾛｯｸ駆動されます。AS2の値が変更されると、ﾀｲﾏ/ｶｳﾝﾀ2(TCNT2)、比較ﾚｼﾞｽﾀ(OCR2A,OCR2B)、ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀ(TCCR2A,TCCR2B)の内容は不正にされるかもしれません。

● **ﾋﾞｯﾄ4 – TCN2UB : ﾀｲﾏ/ｶｳﾝﾀ2更新中ﾌﾗｸﾞ** (Timer/Counter2 Update Busy)

ﾀｲﾏ/ｶｳﾝﾀ2が非同期に動き、ﾀｲﾏ/ｶｳﾝﾀ2(TCNT2)が書かれると、このﾋﾞｯﾄが設定(1)になります。TCNT2が一時保存ﾚｼﾞｽﾀから更新されてしまうと、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄの論理0はTCNT2が新しい値で更新される用意ができたことを示します。

● **ﾋﾞｯﾄ3 – OCR2AUB : ﾀｲﾏ/ｶｳﾝﾀ2比較Aﾚｼﾞｽﾀ更新中ﾌﾗｸﾞ** (Output Compare A Register2 Update Busy)

ﾀｲﾏ/ｶｳﾝﾀ2が非同期に動き、比較Aﾚｼﾞｽﾀ(OCR2A)が書かれると、このﾋﾞｯﾄが設定(1)になります。OCR2Aが一時保存ﾚｼﾞｽﾀから更新されてしまうと、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄの論理0はOCR2Aが新しい値で更新される用意ができたことを示します。

● **ﾋﾞｯﾄ2 – OCR2BUB : ﾀｲﾏ/ｶｳﾝﾀ2比較Bﾚｼﾞｽﾀ更新中ﾌﾗｸﾞ** (Output Compare B Register2 Update Busy)

ﾀｲﾏ/ｶｳﾝﾀ2が非同期に動き、比較Bﾚｼﾞｽﾀ(OCR2B)が書かれると、このﾋﾞｯﾄが設定(1)になります。OCR2Bが一時保存ﾚｼﾞｽﾀから更新されてしまうと、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄの論理0はOCR2Bが新しい値で更新される用意ができたことを示します。

● **ﾋﾞｯﾄ1 – TCR2AUB : ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀA更新中ﾌﾗｸﾞ** (Timer/Counter2 Control Register A Update Busy)

ﾀｲﾏ/ｶｳﾝﾀ2が非同期に動き、ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀA(TCCR2A)が書かれると、このﾋﾞｯﾄが設定(1)になります。TCCR2Aが一時保存ﾚｼﾞｽﾀから更新されてしまうと、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄの論理0はTCCR2Aが新しい値で更新される用意ができたことを示します。

● **ﾋﾞｯﾄ0 – TCR2BUB : ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀB更新中ﾌﾗｸﾞ** (Timer/Counter2 Control Register B Update Busy)

ﾀｲﾏ/ｶｳﾝﾀ2が非同期に動き、ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀB(TCCR2B)が書かれると、このﾋﾞｯﾄが設定(1)になります。TCCR2Bが一時保存ﾚｼﾞｽﾀから更新されてしまうと、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄの論理0はTCCR2Bが新しい値で更新される用意ができたことを示します。

更新中ﾌﾗｸﾞが設定(1)中に3つのﾀｲﾏ/ｶｳﾝﾀ2 ﾚｼﾞｽﾀのどれかに書き込みが実行されると、更新された値は不正にされ、予期せぬ割り込みを起こす原因になるかもしれません。

19.11.9. GTCCR – 一般ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀ (General Timer/Counter Control Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：GTCCR
変位 ：$43 ($23)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$23です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TSM	–	–	–	–	–	PSRASY	PSRSYNC
ｱｸｾｽ種別	R/W	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – TSM : ﾀｲﾏ/ｶｳﾝﾀ同時動作** (Timer/Counter Synchronization Mode)

TSMﾋﾞｯﾄへの1書き込みはﾀｲﾏ/ｶｳﾝﾀ同期化動作を活性(有効)にします。この動作でPSRASYとPSRSYNCへ書かれる値は保持され、従って対応する前置分周器ﾘｾｯﾄ信号の有効を保持します。これは対応するﾀｲﾏ/ｶｳﾝﾀを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できることを保証します。TSMﾋﾞｯﾄが0を書かれると、PSRASYとPSRSYNCﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)され、同時にﾀｲﾏ/ｶｳﾝﾀが計数を始めます。

● **ﾋﾞｯﾄ1 – PSRASY : 非同期系ﾀｲﾏ/ｶｳﾝﾀ前置分周器ﾘｾｯﾄ** (Prescaler Reset Timer/Counter2)

このﾋﾞｯﾄが1の時にﾀｲﾏ/ｶｳﾝﾀ2の前置分周器はﾘｾｯﾄします。通常、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって直ちに解除(0)されます。ﾀｲﾏ/ｶｳﾝﾀ2が非同期動作の時にこのﾋﾞｯﾄが(1を)書かれると、このﾋﾞｯﾄは前置分周器がﾘｾｯﾄされてしまうまで1に留まります。TSMﾋﾞｯﾄが設定(1)される場合、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されません。

● **ﾋﾞｯﾄ0 – PSRSYNC : 同期系ﾀｲﾏ/ｶｳﾝﾀ前置分周器ﾘｾｯﾄ** (Prescaler Reset Timer/Counter 1,0)

このﾋﾞｯﾄが1の時にﾀｲﾏ/ｶｳﾝﾀ0とﾀｲﾏ/ｶｳﾝﾀ1の前置分周器はﾘｾｯﾄします。TSMﾋﾞｯﾄが設定(1)されている場合を除き、通常、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって直ちに解除(0)されます。ﾀｲﾏ/ｶｳﾝﾀ0とﾀｲﾏ/ｶｳﾝﾀ1は同じ前置分周器を共用し、この前置分周器のﾘｾｯﾄがこれらのﾀｲﾏ/ｶｳﾝﾀに影響を及ぼすことに注意してください。

20. SPI – 直列周辺インターフェース (Serial Peripheral Interface)

20.1. 特徴

- 全二重3線同期データ転送
- 主装置/従装置動作
- LSB/MSB先行データ転送
- 設定変更可能な7つのビット速度
- 送信完了割り込み要求フラグ
- 送信上書きフラグ保護
- アイドル動作からの起動
- 倍速(CK/2)主装置SPI動作

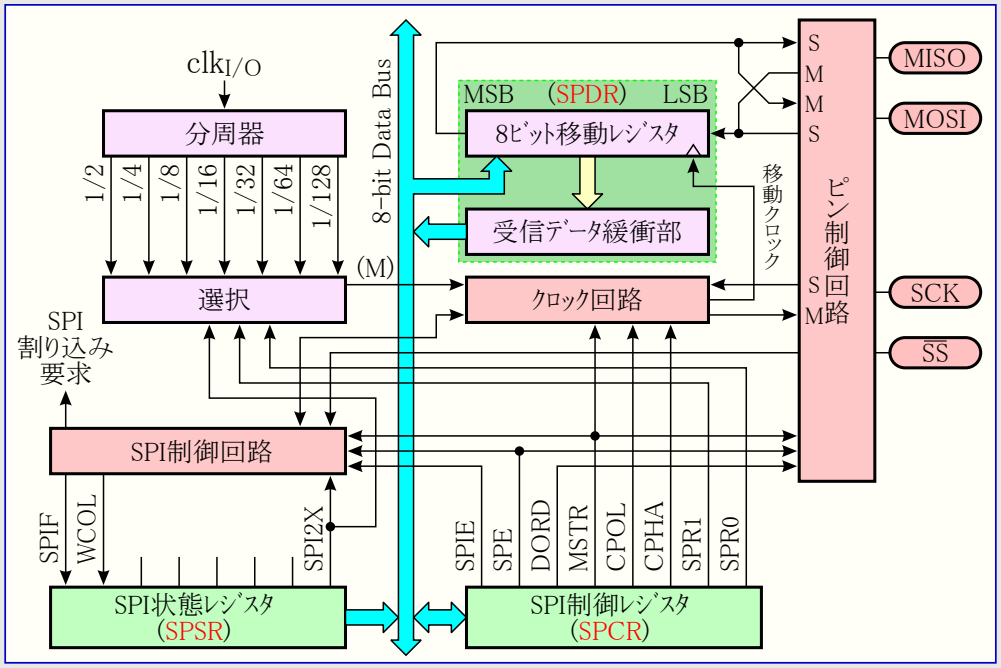
20.2. 概要

直列周辺インターフェースはデバイスと種変機能部間や様々なAVRデバイス間の高速同期データ転送を許します。

USARTはSPI主装置動作でも使えます。「USARTでのSPI動作」章を参照してください。

SPI部を許可するために電力削減レジスタの直列周辺インターフェース電力削減(PRR0.PRSPI)ビットは0を書かれなければなりません。

図20-1. SPI構成図



注: SPIピン配置については「ピン配置」記述と「入出力ポート」記述を参照してください。

SPIでの主装置と従装置のCPU間相互連結は下図で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は希望した従装置の$\overline{SS}$(従装置選択)ピンをLowへ引き込む時に一群の通信を開始します。主装置と従装置は各々の移動レジスタに送出すべきデータを用意し、主装置はデータを交換するのに必要なクロック パルスをSCK信号線に生成します。データは常にMOSI(Master Out Slave In)信号線を主装置から従装置へ、MISO(Master In Slave Out)信号線を従装置から主装置へ移動されます。各データ パケット後、主装置は$\overline{SS}$(従装置選択)ピンをHighへ引き上げることによって従装置と同期を取ります。

主装置として設定されると、SPIインターフェースには$\overline{SS}$信号線の自動制御がありません。これは通信が開始できるのに先立って使用者ソフトウェアによって操作されなければなりません。これが行われると、SPIデータ レジスタ(SPDR)へのバイト書き込みがSPIクロック発生器を始動し、ハードウェアが従装置内へ8ビットを移動します。1バイトの移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の転送完了フラグ(SPIF)を設定(1)します。SPI制御レジスタ(SPCR)でSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。主装置はSPDR内へ次バイトを書くことによって次バイトの移動を継続、または$\overline{SS}$(従装置選択)信号線をHighへ引き上げることによってパケットの終了を指示することができます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

従装置として設定されると、SPIインターフェースは$\overline{SS}$ピンがHighに駆動される限り、MISOをHi-Zにした休止状態に留まります。この状態でプログラムはSPIデータ レジスタ(SPDR)の内容を更新できますが、そのデータは$\overline{SS}$ピンがLowに駆動されるまでSCKピンでの到着クロック パルスによって移動出力されません。1バイトが完全に移動されてしまうと転送完了フラグ(SPIF)が設定(1)されます。SPCRでSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置は受信データを読む前にSPDR内へ送られるべき次のデータの配置を続けられます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

このシステムは送信側で単一緩衝、受信側で2重緩衝です。これは一連の移動全体が完了される前に送信されるべきバイトがSPIデータ レジスタ(SPDR)へ書けないことを意味します。けれども、データを受信するとき、次のデータが完全に移動入力される前に受信したデータがSPIデータ レジスタ(SPDR)から読まれなければなりません。さもなければ始めのバイトは失われます。

SPI従装置動作では制御論理回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するために、High/Lowの最小時間は各々2 CPUクロック周期よりも長くあるべきです。

SPIが許可されると、MOSI,MISO,SCK,$\overline{SS}$ピンのデータ方向は右表に従って無視されます。自動的なポート無視のより多くの詳細については「入出力ポート」記述を参照してください。

図20-2. SPI 主装置/従装置の連結

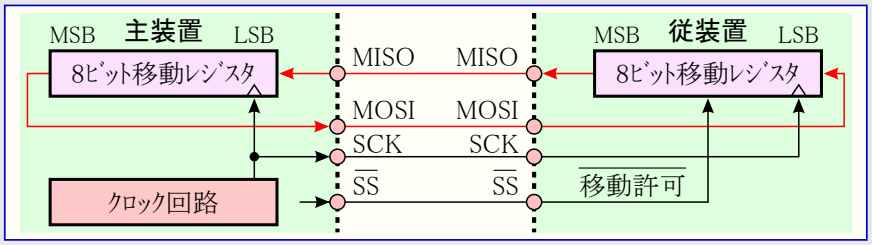


表20-1. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポート方向レジスタ(DDRB)指定	入力
MISO	入力	ポート方向レジスタ(DDRB)指定
MOSI	ポート方向レジスタ(DDRB)指定	入力
$\overline{SS}$	ポート方向レジスタ(DDRB)指定	入力

注: SPIピンの方向定義方法については「入出力ポート」記述をご覧ください。

次のｺｰﾄﾞ例は主装置としてSPIを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR_SPIはSPIﾋﾟﾝを制御する実際のﾎﾟｰﾄ方向ﾚｼﾞｽﾀに置き換えられなければなりません。DD_MOSI, DD_MISO, DD_SCKはこれらのﾋﾟﾝに対する実際のﾎﾟｰﾄ方向ﾋﾞｯﾄに置き換えられなければなりません。例えばMOSIがPB3ﾋﾟﾝに配置されるなら、DD_MOSIはDDB3、DDR_SPIはDDRBに置き換えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_M_Init:  LDI     R17,(1<<DD_MOSI)|(1<<DD_SCK)        ;MOSI, SCK=出力、他は入力値を取得
             OUT     DDR_SPI,R17                         ;MOSI, SCK=出力、他は入力に設定
             LDI     R17,(1<<SPE)|(1<<MSTR)|(1<<SPR0)    ;SPI許可、主装置、16分周値を取得
             OUT     SPCR,R17                            ;SPI許可、主装置、16分周に設定
             RET                                         ;呼び出し元へ復帰

SPI_M_Tx:    OUT     SPDR,R16                            ;ﾃﾞｰﾀ(R16)送信開始
SPI_M_Tx_W:  IN      R17,SPSR                            ;SPI状態ﾚｼﾞｽﾀ値取得
             SBRS    R17,SPIF                            ;転送完了ならばｽｷｯﾌﾟ
             RJMP    SPI_M_Tx_W                          ;転送完了まで待機
;
             RET                                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI)|(1<<DD_SCK);                  /* MOSI, SCK=出力、他は入力に設定 */
    SPCR = (1<<SPE)|(1<<MSTR)|(1<<SPR0);                 /* SPI許可、主装置、16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                        /* ﾃﾞｰﾀ送信開始 */
    while(!(SPSR & (1<<SPIF)));                          /* 転送完了まで待機 */
}
```

次のｺｰﾄﾞ例は従装置としてSPIを初期化する方法と簡単な受信を実行する方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_S_Init:  LDI     R17,(1<<DD_MISO)                    ;MISO出力、他は入力値を取得
             OUT     DDR_SPI,R17                         ;MISO出力、他は入力に設定
             LDI     R17,(1<<SPE)                        ;SPI許可値を取得
             OUT     SPCR,R17                            ;SPI許可設定
             RET                                         ;呼び出し元へ復帰

SPI_S_Rx:    IN      R16,SPSR                            ;SPI状態ﾚｼﾞｽﾀ値取得
             SBRS    R16,SPIF                            ;受信(転送)完了ならばｽｷｯﾌﾟ
             RJMP    SPI_S_Rx                            ;受信(転送)完了まで待機
;
             IN      R16,SPDR                            ;受信ﾃﾞｰﾀを取得
             RET                                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                              /* MISO出力、他は入力に設定 */
    SPCR = (1<<SPE);                                     /* SPI許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                          /* 受信(転送)完了まで待機 */
    return SPDR;                                         /* 受信ﾃﾞｰﾀと共に復帰 */
}
```

関連ﾘﾝｸ 13頁の「ｺｰﾄﾞ例について」

20.3. $\overline{SS}$ﾋﾟﾝの機能

20.3.1. 従装置動作

SPIが従装置として設定されると、従装置選択($\overline{SS}$)ﾋﾟﾝは常に入力です。$\overline{SS}$がLowに保たれるとSPIは活性に(作動)され、使用者によってそのように設定されていればMISOは出力になります。他の全てのﾋﾟﾝは入力です。$\overline{SS}$がHighに駆動されると、出力として使用者設定され得るMISOを除く全てのﾋﾟﾝは入力、SPIは非活動で、それは到着ﾃﾞｰﾀを受信しないことを意味します。一旦$\overline{SS}$ﾋﾟﾝがHighに駆動されると、SPI論理回路はﾘｾｯﾄします。

この$\overline{SS}$ﾋﾟﾝはﾊﾟｹｯﾄ/ﾊﾞｲﾄ同期に対して、従装置ﾋﾞｯﾄ計数器が主装置ｸﾛｯｸ発生器との同期を保つのに有用です。$\overline{SS}$ﾋﾟﾝがHighに駆動されると、SPI従装置は直ちに送受信論理回路をﾘｾｯﾄし、それは移動ﾚｼﾞｽﾀ内で部分的に受信したどのﾃﾞｰﾀも取り落とします。

20.3.2. 主装置動作

SPIが主装置(SPI制御ﾚｼﾞｽﾀ(SPCR)の主装置許可(MSTR)ﾋﾞｯﾄ=1)として設定されると、$\overline{SS}$ﾋﾟﾝの方向は使用者が決められます。

$\overline{SS}$が出力として設定されると、このﾋﾟﾝはSPIｼｽﾃﾑに影響を及ぼされない標準出力ﾋﾟﾝです。代表的にはこのﾋﾟﾝがSPI従装置の$\overline{SS}$ﾋﾟﾝを駆動するでしょう。

$\overline{SS}$が入力として設定されると、SPI主装置動作を保証するため、それはHighに保持されなければなりません。$\overline{SS}$ﾋﾟﾝが入力として定義されたSPI主装置として設定される時に周辺回路によって$\overline{SS}$ﾋﾟﾝがLowに駆動されると、SPIｼｽﾃﾑは他の主装置が従装置として選んでﾃﾞｰﾀ送信を始めると解釈します。ﾊﾞｽの衝突を避けるためにSPIｼｽﾃﾑは次の動作を行います。

1. SPCRで主/従選択(MSTR)ﾋﾞｯﾄが解除(0)され、SPIｼｽﾃﾑは従装置になります。SPIｼｽﾃﾑが従装置になる結果としてMOSIとSCKのﾋﾟﾝが入力になります。
2. SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)され、そしてSPI割り込みが許可(SPCRのSPIE=1)され、且つｽﾃｰﾀｽﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)なら、割り込みﾙｰﾁﾝが実行されます。

従って割り込み駆動SPI送信が主装置動作で使われ、$\overline{SS}$がLowに駆動される可能性があるとき、その割り込み(処理)はMSTRﾋﾞｯﾄが未だ設定(1)されていることを常に検査すべきです。MSTRﾋﾞｯﾄが従装置選択によって解除(0)されてしまっていると、それはSPI主装置動作を再び許可するため、使用者によって設定(1)されなければなりません。

20.4. データ転送形式

直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットによって決定されるSCK位相と極性で4つの組み合わせがあります。データ ビットは安定のためデータ信号に対して充分な時間を保証するSCK信号の反対端で移動出力と(入力)ラッチが行われます。下表はCPOLとCPHAの設定を要約します。

表20-2. CPOL,CPHA機能動作

SPI動作種別番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

SPIデータ転送形式は以下の図で示されます。

図20-3. SPIデータ転送形式 (CPHA=0)

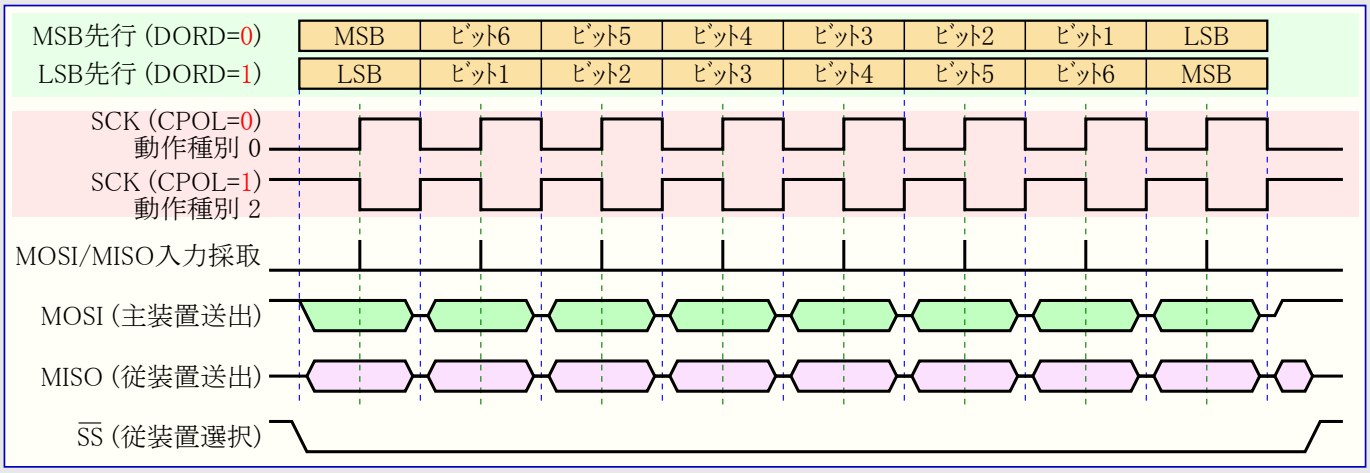
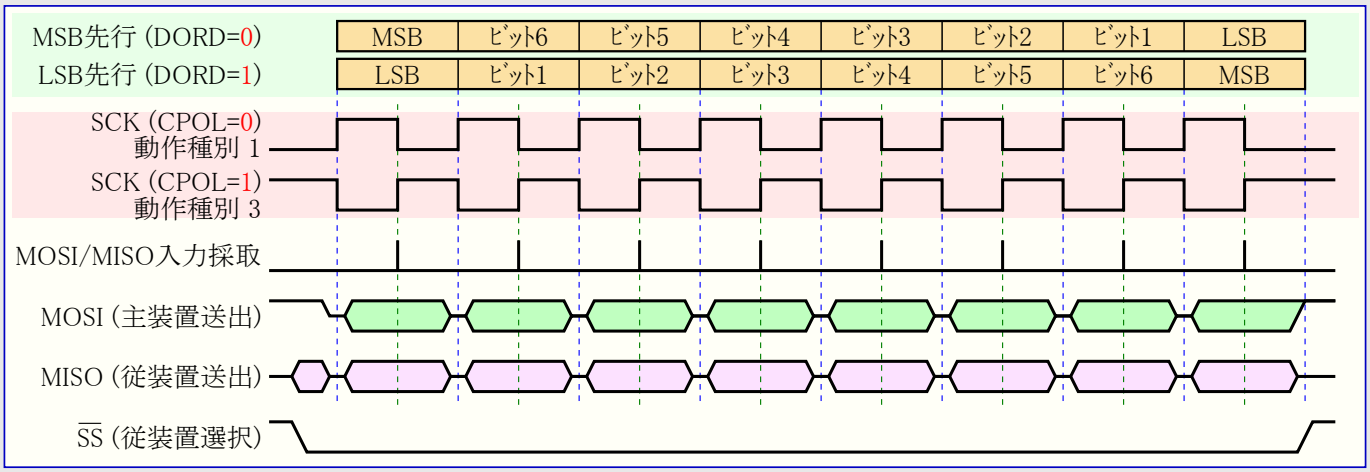


図20-4. SPIデータ転送形式 (CPHA=1)



20.5. SPI用ﾚｼﾞｽﾀ

20.5.1. SPCR – SPI制御ﾚｼﾞｽﾀ (SPI Control Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：SPCR
変位 ：$4C ($2C)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2Cです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1,0	
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – SPIE : SPI割り込み許可** (SPI Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されて、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)されると、このﾋﾞｯﾄがSPI割り込みを実行させます。

● **ﾋﾞｯﾄ6 – SPE : SPI許可** (SPI Enable)

SPEﾋﾞｯﾄが1を書かれるとSPIが許可されます。どのSPI操作を許可するにも、このﾋﾞｯﾄが設定(1)されなければなりません。

● **ﾋﾞｯﾄ5 – DORD : ﾃﾞｰﾀ順選択** (Data Order)

DORDﾋﾞｯﾄが1を書かれるとﾃﾞｰﾀ語のLSBが最初に転送されます。DORDﾋﾞｯﾄが0を書かれるとMSBが最初に転送されます。

● **ﾋﾞｯﾄ4 – MSTR : 主装置/従装置選択** (Master/Slave Select)

このﾋﾞｯﾄは1を書かれると主装置動作、論理0を書かれると従装置動作を選びます。$\overline{SS}$が入力として設定され、MSTRが設定(1)の間にLowへ駆動されると、MSTRが解除(0)され、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)になります。その後に使用者はSPI主装置動作を再び許可するためにMSTRを設定(1)しなければなりません。

● **ﾋﾞｯﾄ3 – CPOL : SCK極性選択** (Clock Polarity)

このﾋﾞｯﾄが1を書かれると、ｱｲﾄﾞﾙ時にSCKはHighです。CPOLが0を書かれると、ｱｲﾄﾞﾙ時にSCKはLowです。例については図20-3.と図20-4.を参照してください。CPOL機能は右で要約されます。

表20-3. CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

● **ﾋﾞｯﾄ2 – CPHA : SCK位相選択** (Clock Phase)

このSCK位相選択(CPHA)ﾋﾞｯﾄの設定はﾃﾞｰﾀがSCKnの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。例については図20-3.と図20-4.を参照してください。CPHA機能は右で要約されます。

表20-4. CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

● **ﾋﾞｯﾄ1,0 – SPR1,0 : SPIｸﾛｯｸ選択** (SPI Clock Rate Select 1 and 0)

これら2ﾋﾞｯﾄは主装置として設定されたﾃﾞﾊﾞｲｽのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKと(ｼｽﾃﾑ)発振器ｸﾛｯｸ周波数fOSC間の関連は下表で示されます。

表20-5. SCKn速度選択 (fOSC=CPUｸﾛｯｸ周波数)

SPR1	0		0		1		1	
SPR0	0		1		0		1	
SPI2X	1	0	1	0	1	0	1	0
SCK周波数	fOSC/2	fOSC/4	fOSC/8	fOSC/16	fOSC/32	fOSC/64		fOSC/128

20.5.2. SPSR – SPI状態ﾚｼﾞｽﾀ (SPI Status Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：SPSR
変位 ：$4D ($2D)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2Dです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SPIF	WCOL	–	–	–	–	–	SPI2X
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – SPIF : SPI割り込み要求ﾌﾗｸﾞ** (SPI Interrupt Flag)

直列転送が完了すると、このSPIFﾌﾗｸﾞが設定(1)されます。全割り込みが許可(ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ=1)されて、SPI制御ﾚｼﾞｽﾀ(SPCR)でSPI割り込み許可(SPIE)ﾋﾞｯﾄが設定(1)されるなら、割り込みが生成されます。SPIが主装置動作の時に$\overline{SS}$ﾋﾟﾝが入力でLowに駆動されるなら、これもこのSPIFﾌﾗｸﾞを同様に設定(1)します。対応する割り込み処理ﾍﾞｸﾀを実行する時にSPIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにSPIFが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによってもSPIFﾌﾗｸﾞは解除(0)されます。

● **ﾋﾞｯﾄ6 – WCOL : 上書き発生ﾌﾗｸﾞ** (Write Collision Flag)

ﾃﾞｰﾀ転送中にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)が書かれると、このWCOLﾋﾞｯﾄが設定(1)されます。WCOLﾋﾞｯﾄ(とSPIFﾋﾞｯﾄ)はWCOLが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによって解除(0)されます。

● **ﾋﾞｯﾄ0 – SPI2X : SPIn倍速許可** (Double SPI Speed Bit)

このﾋﾞｯﾄが論理1を書かれると、SPIが主装置動作の時にSCK速度(SCK周波数)が倍にされます(**表20-5.**参照)。これは最小SCK周期が2 CPUｸﾛｯｸ周期であることを意味します。SPIが従装置として設定される時にSPIはf_{OSC}(CPUｸﾛｯｸ周波数)/4またはそれ以下での動作のみ保証されます。

SPIｲﾝﾀｰﾌｪｰｽはﾌﾗｯｼｭ ﾒﾓﾘやEEPROMの書き換え(読み書き)にも使われます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合については直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞをご覧ください。

20.5.3. SPDR – SPIﾃﾞｰﾀ ﾚｼﾞｽﾀ (SPI Data Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：SPDR
変位 ：$4E ($2E)
ﾘｾｯﾄ ：$xx
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀをｱｸｾｽする時の変位ｱﾄﾞﾚｽは$2Eです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SPID7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	不定	不定	不定	不定	不定	不定	不定	不定

● **ﾋﾞｯﾄ7~0 – SPID7~0 : SPIﾃﾞｰﾀ** (SPI Data)

SPIﾃﾞｰﾀ ﾚｼﾞｽﾀはSPI移動ﾚｼﾞｽﾀとﾚｼﾞｽﾀ ﾌｧｲﾙ(汎用ﾚｼﾞｽﾀ)間のﾃﾞｰﾀ転送に使われる読み書き可能なﾚｼﾞｽﾀです。このﾚｼﾞｽﾀへの書き込みがﾃﾞｰﾀ送信を開始します。このﾚｼﾞｽﾀの読み込みは移動ﾚｼﾞｽﾀの受信緩衝部読み出しを引き起こします。

21. USART (Universal Synchronous Asynchronous Receiver Transceiver)

21.1. 特徴

- USART0とUSRAT1の2つのUSART
- 全二重動作 (独立した送受信ﾚｼﾞｽﾀ)
- 同期または非同期動作
- 同期ｸﾛｯｸ駆動された主装置/従装置動作
- 高分解能ﾎﾞｰﾚｰﾄ発振器
- 5, 6, 7, 8または9ﾋﾞｯﾄ ﾃﾞｰﾀと1または2停止ﾋﾞｯﾄの直列ﾌﾚｰﾑの支援
- ﾊｰﾄﾞｳｪｱによって支援された奇数または偶数ﾊﾟﾘﾃｨの生成と検査
- ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ検出
- ﾌﾚｰﾐﾝｸﾞ異常検出
- 不正開始ﾋﾞｯﾄ検出とﾃﾞｼﾞﾀﾙ低域通過濾波器を含む雑音濾波器
- 受信完了、送信完了、送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きの3つの分離した割り込み
- 複数ﾌﾟﾛｾｯｻ通信機能
- 倍速非同期通信動作

21.2. 概要

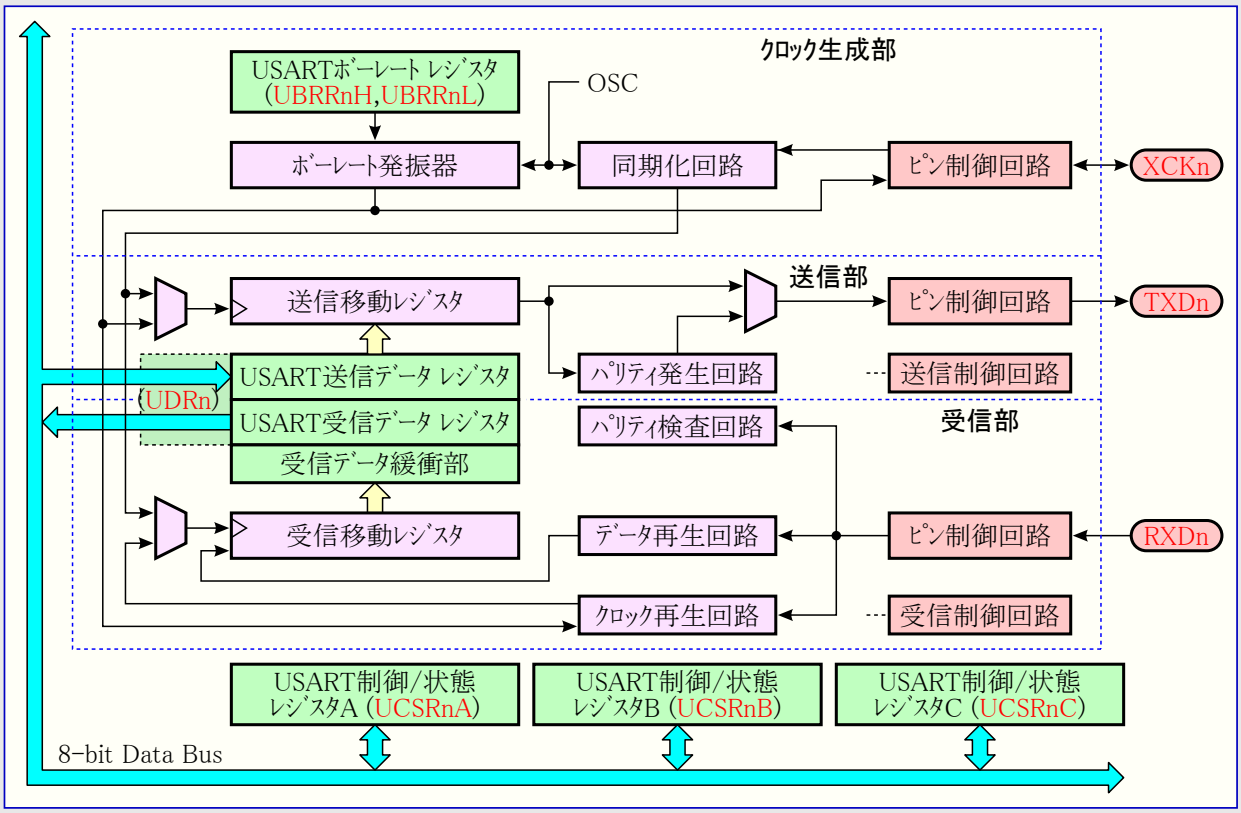
USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は高い柔軟性をもつ直列通信機能です。

USARTは主装置SPI動作での使用もできます。電力削減ﾚｼﾞｽﾀ(PRR0)のUSART電力削減(PRUSART0/1)ﾋﾞｯﾄはUSARTnを許可するために0を書かれなければなりません。PRUSART0とPRUSART1はPRR0に在ります。

21.3. 構成図

構成図に於いて、CPUがｱｸｾｽ可能なﾚｼﾞｽﾀとI/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。構成図内の破線はUSARTの3つの主要部分、(上から)ｸﾛｯｸ生成部、送信部、受信部を分けます。制御ﾚｼﾞｽﾀは全部によって共用されます。ｸﾛｯｸ生成論理部はﾎﾞｰﾚｰﾄ発振器と同期従装置動作によって使われる外部ｸﾛｯｸ入力に対する同期化論理回路から成ります。転送ｸﾛｯｸ(XCKn)ﾋﾟﾝは同期転送動作だけで使われます。送信部は単一書き込み緩衝部(UDRn)、直列移動ﾚｼﾞｽﾀ、ﾊﾟﾘﾃｨ発生器、異なる直列ﾌﾚｰﾑ形式を扱うための制御論理回路から成ります。書き込み緩衝部はどんなﾌﾚｰﾑ間の遅れもなしにﾃﾞｰﾀの継続転送を許します。受信部はｸﾛｯｸとﾃﾞｰﾀの再生部のため、USART部の最も複雑な部分です。再生部は非同期ﾃﾞｰﾀ受信で使われます。再生部に加えて、受信部は2重の受信緩衝部(UDRn)、移動ﾚｼﾞｽﾀ、ﾊﾟﾘﾃｨ検査器、制御論理回路を含みます。受信部は送信部と同じﾌﾚｰﾑ形式を支援し、ﾌﾚｰﾐﾝｸﾞ異常、ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生、ﾊﾟﾘﾃｨ誤りを検知できます。

図21-1. USART構成図



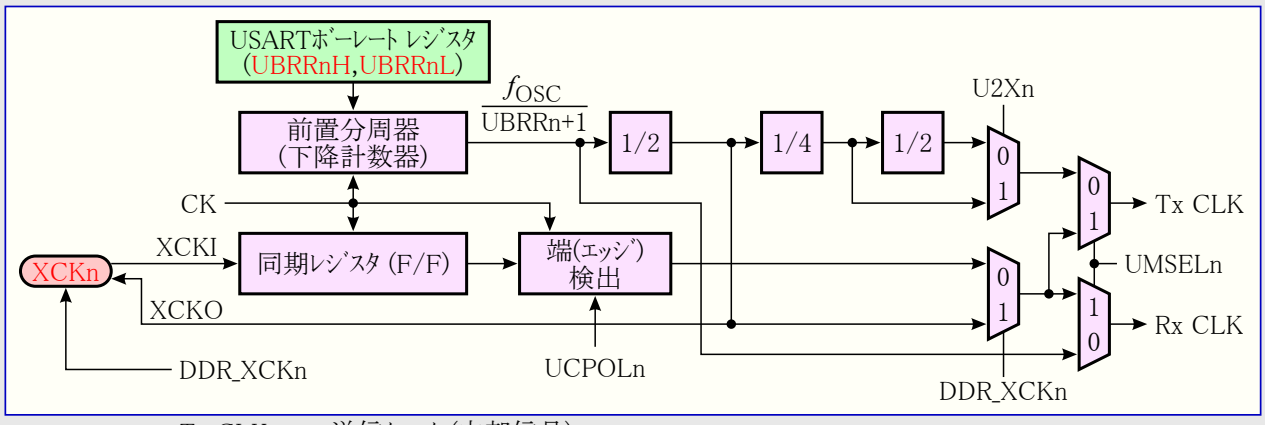
注: USARTﾋﾟﾝ配置については「**ﾋﾟﾝ配置**」記述と「**入出力ﾎﾟｰﾄ**」記述を参照してください。

21.4. クロック生成

クロック生成論理回路は送受信部用基準クロックを生成します。USARTは標準非同期、倍速非同期、同期主装置、同期従装置の4つのクロック動作種別を支援します。USART制御/状態レジスタC(UCSRnC)のUSART動作種別選択(UMSEL0)ビットは同期動作と非同期動作のどちらかを選びます。倍速動作(非同期動作のみ)はUSART制御/状態レジスタA(UCSRnA)にある倍速許可(U2X)ビットによって制御されます。同期動作(UMSEL0=1)を使うとき、XCKnピンに対する方向制御ビット(DDR_XCKn)はクロック元が内部(主装置動作)または外部(従装置動作)のどちらかを制御します。このXCKnピンは同期動作を使う時だけ活性(有効)です。

下はクロック生成論理回路の構成図を示します。

図21-2. クロック生成部構成図



信号説明

Tx CLK	: 送信クロック (内部信号)
Rx CLK	: 受信クロック (内部信号)
XCKI	: XCKnピンからの内部入力信号 (同期従装置時)
XCKO	: XCKnピンへの内部出力信号 (同期主装置時)
DDR_XCKn	: 対応するポート方向レジスタの方向ビット
f_{OSC}	: システム クロック周波数

21.4.1. ボーレート発振器での内部クロック発生

内部クロック生成は非同期と同期主装置動作種別に対して使われます。本項の記述は前項のクロック生成部構成図を参照してください。

USARTボーレート レジスタ(UBRRn(UBRRnH:UBRRnL))と下降計数器は設定可能な前置分周器またはボーレート発振器として機能するように接続されます。システム クロック(f_{OSC})で走行する下降計数器は0への下降計数時毎またはUBRRnLレジスタが書かれる時にUBRRn値で設定されます。1クロックはカウンタが0に達する毎に生成されます。このクロックがボーレート発振器出力(=f_{OSC}/(UBRRn+1))です。送信部は動作種別に依存してボーレート発振器出力を2,8,16分周します。ボーレート発振器出力は受信部クロックとデータ再生部によって直接使われます。しかし、再生部はUSART動作種別選択(UMSEL0)、倍速許可(U2X)、DDR_XCKnビットの状態によって設定される動作種別に依存して2,8,16段を使う順次処理回路を使います。

下表は内部的に生成したクロック元を使う各動作種別に於けるボーレート(bps)とUBRRn値の計算式を含みます。

表21-1. ボーレート レジスタ(UBRRn)値計算式

動作種別	ボーレート計算式	UBRRn値計算式
標準速非同期動作 (U2X=0)	$BAUD=\frac{f_{OSC}}{16\times(UBRRn+1)}$	$UBRRn=\frac{f_{OSC}}{16\times BAUD}-1$
倍速非同期動作 (U2X=1)	$BAUD=\frac{f_{OSC}}{8\times(UBRRn+1)}$	$UBRRn=\frac{f_{OSC}}{8\times BAUD}-1$
同期主装置動作	$BAUD=\frac{f_{OSC}}{2\times(UBRRn+1)}$	$UBRRn=\frac{f_{OSC}}{2\times BAUD}-1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BAUD : ボーレート (bps)
UBRRn : UBRRnHとUBRRnLレジスタ値 (0～4095)
f_{OSC} : システム発振器クロック周波数

いくつかのシステム クロック周波数に対するいくつかのUBRRn値の例は「ボーレート設定例」で得られます。

21.4.2. 倍速動作 (U2X)

転送速度はUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)で倍速許可(U2X)ﾋﾞｯﾄを設定(1)することによって倍にできます。このﾋﾞｯﾄの設定は非同期動作に対してだけ有効です。同期動作を使うとき、このﾋﾞｯﾄは0に設定してください。

このﾋﾞｯﾄの設定(1)は事実上非同期通信に対する転送速度を倍にするﾎﾞｰﾚｰﾄ分周器の分周数を16から8に減らします。けれども、この場合、受信部がﾃﾞｰﾀ採取とｸﾛｯｸ再生に対して半分の(16から8に減じた)採取数しか使わず、従ってこの動作種別が使われる時にｼｽﾃﾑ ｸﾛｯｸとﾎﾞｰﾚｰﾄ設定の精度がより必要とされます。

送信部についての低下要因はありません。

21.4.3. 外部ｸﾛｯｸ

外部ｸﾛｯｸは同期従装置動作種別によって使われます。本項の記述は前項のｸﾛｯｸ生成部構成図を参照します。

XCKnﾋﾟﾝからの外部ｸﾛｯｸ入力は不確定ﾚﾍﾞﾙ状態(ﾒﾀｽﾃｰﾌﾞﾙ)の機会を最少とするために同期化ﾚｼﾞｽﾀによって採取されます。同期化ﾚｼﾞｽﾀからの出力は送受信部で使い得るのに先立って端(ｴｯｼﾞ)検出器を通過しなければなりません。この処理手順が2 CPUｸﾛｯｸ周期の遅延を持ち込み、このため最大外部XCKnｸﾛｯｸ周波数は次式によって制限されます。

$$f_{XCKn} < \frac{f_{OSC}}{4}$$

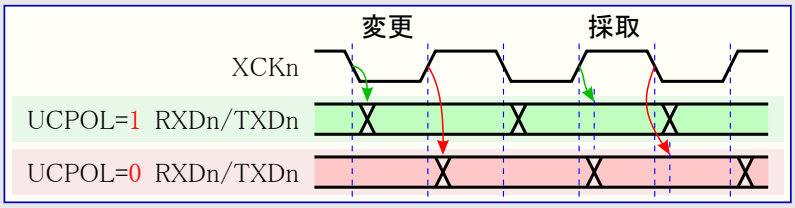
f_{OSC}の値がｼｽﾃﾑ ｸﾛｯｸ元の安定度に依存します。従って周波数変動によるﾃﾞｰﾀ消失の可能性を避けるため、いくらかの余裕分を追加することが推奨されます。

21.4.4. 同期ｸﾛｯｸ動作

同期動作が使われる(UMSEL=1)とき、XCKnﾋﾟﾝはｸﾛｯｸ入力(従装置)またはｸﾛｯｸ出力(主装置)のどちらかとして使われます。ﾃﾞｰﾀ採取またはﾃﾞｰﾀ変更とｸﾛｯｸ端間の依存性は同じです。基本原則はﾃﾞｰﾀ出力(TXDn)が変更される端と反対のXCKnｸﾛｯｸ端でﾃﾞｰﾀ入力(RXDn)が採取されることです。

USART制御/状態ﾚｼﾞｽﾀC(UCSRnC)のXCKn極性(UCPOL)ﾋﾞｯﾄはﾃﾞｰﾀ採取とﾃﾞｰﾀ変更に対してどちらのｸﾛｯｸ端が使われるのかを選びます。右のﾀｲﾐﾝｸﾞ構成図で示されるようにUCPOLが0の時にﾃﾞｰﾀはXCKnの上昇端で変更され、下降端で採取されます。UCPOLが設定(1)の場合、ﾃﾞｰﾀはXCKnの下降端で変更され、上昇端で採取されます。

図21-3. 同期動作XCKnﾀｲﾐﾝｸﾞ



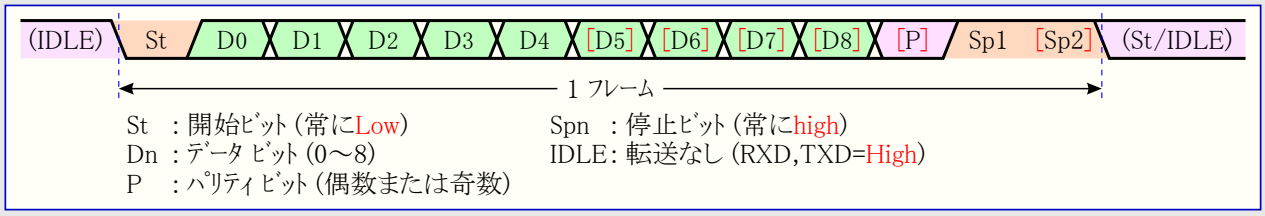
21.5. フレーム形式

1つの直列ﾌﾚｰﾑは複数のﾃﾞｰﾀ ﾋﾞｯﾄと同期ﾋﾞｯﾄ(開始ﾋﾞｯﾄ、停止ﾋﾞｯﾄ)、任意の異常検査用ﾊﾟﾘﾃｨ ﾋﾞｯﾄで定義されます。USARTは有効なﾌﾚｰﾑ形式として以下の組み合わせ30種全てを受け入れます。

- 1 開始ﾋﾞｯﾄ
- 5, 6, 7, 8, 9 ﾋﾞｯﾄ ﾃﾞｰﾀ
- 奇数または偶数ﾊﾟﾘﾃｨ ﾋﾞｯﾄ、またはなし
- 1 または 2 停止ﾋﾞｯﾄ

ﾌﾚｰﾑは最初に最下位ﾃﾞｰﾀ ﾋﾞｯﾄ(LSB)、その後に最上位ﾃﾞｰﾀ ﾋﾞｯﾄ(MSB)で終わる次ﾃﾞｰﾀ ﾋﾞｯﾄの、(合計で5～9ﾋﾞｯﾄの)ﾃﾞｰﾀ ﾋﾞｯﾄが後続する開始ﾋﾞｯﾄで始まります。許可したなら、ﾊﾟﾘﾃｨ ﾋﾞｯﾄがﾃﾞｰﾀ ﾋﾞｯﾄの後、1つまたは2つの停止ﾋﾞｯﾄの前に挿入されます。完全なﾌﾚｰﾑが送信されると、新規ﾌﾚｰﾑによって直ちに後続されるか、または通信線をｱｲﾄﾞﾙ状態(high)に設定できます。下図は組み合わせ可能なﾌﾚｰﾑ形式を図解します。[ ]付きﾋﾞｯﾄは任意選択です。

図21-4. 1ﾌﾚｰﾑの構成



USARTによって使われるﾌﾚｰﾑ形式は以下によって設定されます。

- ﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄ数を選ぶUSART制御/状態ﾚｼﾞｽﾀBとC(UCSRnB,UCSRnC)のﾃﾞｰﾀ長選択(UCSZ2,UCSZ1,0)ﾋﾞｯﾄ
- ﾊﾟﾘﾃｨを許可とﾊﾟﾘﾃｨ ﾋﾞｯﾄの種別(奇/偶)を設定するﾊﾟﾘﾃｨ選択(UPM1,0)ﾋﾞｯﾄ
- 停止ﾋﾞｯﾄ数(1または2)を選ぶ停止ﾋﾞｯﾄ選択(USBS)ﾋﾞｯﾄ (受信部は第2停止ﾋﾞｯﾄを無視します。)

受信部と送信部は同じ設定を使います。これらのどのﾋﾞｯﾄの設定変更も、送受信部両方に対して進行中の通信を不正とすることに注意してください。ﾌﾚｰﾐﾝｸﾞ異常(FE)は最初の停止ﾋﾞｯﾄが0(Low)の場合にだけ検出されます。

21.5.1. パリティビットの計算

パリティビットは全データビットの排他的論理和(Ex-OR)を行うことによって計算されます。奇数パリティが使われる場合は排他的論理和の結果が反転されます。パリティビットとデータビットの関係は次のとおりです。

偶数パリティビット = D0 Ex-OR D1 Ex-OR D2 Ex-OR ～ Ex-OR Dn-1
奇数パリティビット = D0 Ex-OR D1 Ex-OR D2 Ex-OR ～ Ex-OR Dn-1 Ex-OR 1　　n：データビット長

使った場合、パリティビットは直列フレームの最後のデータビットと最初の停止ビット間に配置されます。

21.6. USARTの初期化

何れかの通信が行えるのに先立ってUSARTは初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、フレーム形式設定、送受信部許可から成ります。割り込み駆動USART操作に関して初期化を行うとき、ステータスレジスタの全割り込み許可(I)ビットは解除(0)される(そして全割り込みが禁止される)べきです。

ボーレートまたはフレーム形式の変更を伴う再初期化を行う前には、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。USART制御/状態レジスタA(UCSRnA)の送信完了(TXC)フラグは送信部の全転送完了検査に使え、受信完了(RXC)フラグは受信緩衝部内の未読データ有無検査に使えます。この目的(次送信タイミング)にTXCフラグが使われる場合、各々の送信(USARTデータレジスタ(UDRn)が書かれる)前にTXCフラグが解除(0)されなければなりません。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例は固定フレーム形式でポーリングを使う(割り込み不許可)非同期動作と仮定します。ボーレート(UBRRn)値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Init:  OUT    UBRRnH, R17                    ;ボーレート設定(上位バイト)
             OUT    UBRRnL, R16                    ;ボーレート設定(下位バイト)
             LDI    R16, (1<<USBS)|(3<<UCSZ0)      ;フレーム形式値を取得
             OUT    UCSRnC, R16                    ;フレーム形式設定(8ビット,2停止ビット)
             LDI    R16, (1<<RXEN)|(1<<TXEN)       ;送受信許可値を取得
             OUT    UCSRnB, R16                    ;送受信許可
             RET                                   ;呼び出し元へ復帰
```

C言語プログラム例

```
#define FOSC 1843200                               /* MCUクロック周波数 */
#define BAUD 9600                                  /* 目的USARTボーレート速度 */
#define MYUBRR FOSC/16/BAUD-1                      /* 目的UBRRn値 */

void main(void)
{
    ～
USART_Init(MYUBRR);                                /* USART初期化 */
    ～
}

void USART_Init(unsigned int baud)
{
    UBRRnH = (unsigned char)(baud>>8);             /* ボーレート設定(上位バイト) */
    UBRRnL = (unsigned char)baud;                  /* ボーレート設定(下位バイト) */
    UCSRnC = (1<<USBS)|(3<<UCSZ0):                 /* フレーム形式設定(8ビット,2停止ビット) */
    UCSRnB = (1<<RXEN)|(1<<TXEN);                  /* 送受信許可 */
}
```

割り込みの禁止や引数としてフレーム形式を含めるなどで、より進化した初期化ルーチンが作成できます。けれども多くの応用はボーレートや制御レジスタの固定した設定が使われ、これらの応用形式での初期化コードは主ルーチンに直接置けるか、または他のI/Oの初期化コードと併せられます。

関連リンク　13頁の「コード例について」

21.7. データ送信 – USART送信部

USART送信部はUSART制御/状態レジスタB(UCSRnB)で送信許可(TXEN)ビットを設定(1)することによって許可されます。送信部が許可されると、TXDnピンの標準ピン動作はUSARTによって無視され、送信部の直列出力としての機能を与えられます。何かの送信を行う前に一度はボーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKnピンの(受信)クロックは無視され、送信クロックとして使われます。

21.7.1. 5～8ビット データ フレーム送信

データ送信は送信されるべきデータを送信緩衝部に設定することによって開始されます。CPUはUSARTデータ レジスタ(UDRn)I/O位置へ書くことによって送信緩衝部に設定できます。送信緩衝部内のデータは移動レジスタが新規フレームを送る準備が整った時に移動レジスタへ移されます。移動レジスタはアイドル状態(送信進行中以外)、または直前のフレームの最後の停止ビット送信後、直ちに新規データが設定されます。移動レジスタが新規データを設定されると、ボーレート レジスタ(UBRRnH:UBRRnL)と倍速許可(U2X)ビット、また動作種別によってはXCKnピンによって与えられる速度で1つの完全なフレームを転送します。8ビット未満のフレームを使うとき、UDRnに書かれた上位ビットは無視されます。

次のコード例はUSART制御/状態レジスタA(UCSRnA)の送信データ レジスタ空き(UDRE)フラグのポーリングを基準とした簡単なUSART送信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Tx:   SBIS    UCSRnA, UDRE        ;送信緩衝部空きでスキップ
            RJMP    USART_Tx            ;送信緩衝部空き待機
;
            OUT     UDRn, R16           ;データ送信(送信開始)
            RET                         ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned char data)
{
            while ( !(UCSRnA & (1<<UDRE)) );    /* 送信緩衝部空き待機 */
            UDRn = data;                        /* データ送信(送信開始) */
}
```

この関数は送信されるべき新規データを設定する前に、UDREの検査によって送信緩衝部が空になるのを単純に待ちます。送信緩衝部空き割り込みが使われる場合、その割り込み処理ルーチンがデータを緩衝部内に書きます。

関連リンク 13頁の「コード例について」

21.7.2. 9ビット データ フレーム送信

9ビット データが使われる場合(UCSZ2～0=111)、データの下位バイトがUSARTデータ レジスタ(UDRn)に書かれるのに先立って第9ビットがUSART制御/状態レジスタB(UCSRnB)の送信データ ビット8(TXB8)ビットに書かれなければなりません。

第9ビットは複数プロセッサ通信使用時のアドレス フレーム識別、また例えば同期として扱う他の規約で使うことができます。

次のコード例は9ビット データを扱う送信関数を示します。アセンブリ言語での送るべきデータはR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Tx:   SBIS    UCSRnA, UDRE        ;送信緩衝部空きでスキップ
            RJMP    USART_Tx            ;送信緩衝部空き待機
;
            CBI     UCSRnB, TXB8        ;第9ビットを0に仮設定
            SBRC    R17, 0              ;送信すべき第9ビットが0でスキップ
            SBI     UCSRnB, TXB8        ;第9ビットを1に設定
            OUT     UDRn, R16           ;データ送信(送信開始)
            RET                         ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned int data)
{
            while ( !(UCSRnA & (1<<UDRE)) );    /* 送信緩衝部空き待機 */
            UCSRnB &= ~(1<<TXB8);               /* TXB8を0に仮設定 */
            if (data & 0x0100) UCSRnB |= (1<<TXB8);  /* 第9ビットをR17からTXB8へ複写 */
            UDRn = data;                        /* データ送信(送信開始) */
}
```

注: これらの送信関数は一般的な機能で書かれています。UCSRBnの内容が静的(換言すると、UCSRnBのTXB8ビットが初期化後に使われるだけ)ならば最適化できます。

関連リンク 13頁の「コード例について」

21.7.3. 送信ﾌﾗｸﾞと割り込み

USART送信部には状態を示す2つのﾌﾗｸﾞ、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)と送信完了(TXC)があります。両ﾌﾗｸﾞは割り込みを発生するのに使えます。

USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)ﾌﾗｸﾞは送信緩衝部が新規ﾃﾞｰﾀを受け取る準備ができているかどうかを示します。このﾋﾞｯﾄは送信緩衝部が空の時に設定(1)され、送信緩衝部が移動ﾚｼﾞｽﾀに未だ移動されてしまっていない送信されるべきﾃﾞｰﾀを含む時に解除(0)されます。将来のﾃﾞﾊﾞｲｽとの共通性のため、USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)に書くとき、常にこのﾋﾞｯﾄに0を書いてください。

USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)でﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可(UDRIE)ﾋﾞｯﾄが1を書かれると、(全割り込みが許可されていれば)UDREﾌﾗｸﾞが設定(1)されている限り、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みが実行されます。UDREはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)書き込みによって解除(0)されます。割り込み駆動ﾃﾞｰﾀ送信が使われるとき、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みﾙｰﾁﾝはUDREを解除(0)するために新規ﾃﾞｰﾀをUDRnに書くか、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みを禁止するかのどちらかを行わなければならず、さもなければ一旦割り込みﾙｰﾁﾝを終了しても新しい割り込みが(継続的に)起こります。

送信完了(TXC)ﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀ内の完全なﾌﾚｰﾑが移動出力されてしまい、送信緩衝部に新規ﾃﾞｰﾀが現在存在しない時に設定(1)されます。TXCﾌﾗｸﾞは送信完了割り込みが実行される時に自動的に解除(0)されるか、またはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)できます。TXCﾌﾗｸﾞは送信応用ﾌﾟﾛｸﾞﾗﾑが送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない(RS485規格のような)半二重(ﾊｰﾌﾃﾞｭｰﾌﾟﾚｯｸｽ)通信ｲﾝﾀｰﾌｪｰｽで有用です。

UCSRnBで送信完了割り込み許可(TXCIE)ﾋﾞｯﾄが1を書かれ、(全割り込みが許可されていれば)TXCﾌﾗｸﾞが設定(1)になる時にUSART送信完了割り込みが実行されます。送信完了割り込みが使われるとき、割り込み処理ﾙｰﾁﾝはTXCﾌﾗｸﾞを解除(0)しなくてもよく、これは割り込みが実行されるとき、自動的に行われます。

21.7.4. ﾊﾟﾘﾃｨ発生器

ﾊﾟﾘﾃｨ発生器は直列ﾌﾚｰﾑ ﾃﾞｰﾀに対するﾊﾟﾘﾃｨ ﾋﾞｯﾄを計算します。ﾊﾟﾘﾃｨ ﾋﾞｯﾄが許可されると(UPM1=1)、送信部制御論理回路は送られているﾌﾚｰﾑの最終ﾃﾞｰﾀ ﾋﾞｯﾄと最初の停止ﾋﾞｯﾄ間にﾊﾟﾘﾃｨ ﾋﾞｯﾄを挿入します。

21.7.5. 送信の禁止

USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)のUSART送信許可(TXEN)ﾋﾞｯﾄへの0書き込み時、送信部の禁止は進行中と保留中の送信が完了される(換言すると、送信移動ﾚｼﾞｽﾀと送信緩衝部ﾚｼﾞｽﾀが送信されるべきﾃﾞｰﾀを含まない時)まで有効になりません。禁止されると、送信部はもはやTXDnﾋﾟﾝ(の標準ﾋﾟﾝ機能)を無効にしません。

21.8. ﾃﾞｰﾀ受信 – USART受信部

USART受信部はUSART制御/状態ﾚｼﾞｽﾀB(UCSRnB)で受信許可(RXEN)ﾋﾞｯﾄに1を書くことにって許可されます。受信部が許可されると、RXDnﾋﾟﾝの標準ﾋﾟﾝ動作はUSARTによって無視され、受信部の直列入力としての機能を与えられます。何か直列受信が行われ得る前に一度はﾎﾞｰﾚｰﾄ、ﾌﾚｰﾑ形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKnﾋﾟﾝのｸﾛｯｸは転送ｸﾛｯｸとして使われます。

21.8.1. 5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ受信

受信部は有効な開始ﾋﾞｯﾄを検出する時にﾃﾞｰﾀ受信を開始します。開始ﾋﾞｯﾄに続く各ﾋﾞｯﾄはﾎﾞｰﾚｰﾄまたはXCKnｸﾛｯｸで採取され、ﾌﾚｰﾑの最初の停止ﾋﾞｯﾄが受信されるまで受信移動ﾚｼﾞｽﾀ内へ移動されます。第2停止ﾋﾞｯﾄは受信部によって無視されます。最初の停止ﾋﾞｯﾄが受信されると(換言すると、受信移動ﾚｼﾞｽﾀに完全なﾌﾚｰﾑが存在すると)、この移動ﾚｼﾞｽﾀの内容は受信緩衝部内へ移されます。受信緩衝部はUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)I/O位置を読むことによって読めます。8ﾋﾞｯﾄ未満のﾌﾚｰﾑを使うとき、UDRnから読むﾃﾞｰﾀの上位ﾋﾞｯﾄは0で覆われます。

次のｺｰﾄﾞ例はUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の受信完了(RXC)ﾌﾗｸﾞのﾎﾟｰﾘﾝｸﾞを基準とした簡単なUSART受信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Rx:   SBIS    UCSRnA, RXC        ;受信完了でｽｷｯﾌﾟ
            RJMP    USART_Rx           ;受信完了待機
;
            IN      R16, UDRn          ;受信ﾃﾞｰﾀ取得
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char USART_Receive(void)
{
    while ( !(UCSRnA & (1<<RXC)) );    /* 受信完了待機 */
    return UDRn;                       /* 受信ﾃﾞｰﾀ取得 */
}
```

この関数は緩衝部を読んで値を戻す前に、RXCﾌﾗｸﾞの検査によって受信緩衝部にﾃﾞｰﾀが存在するのを単純に待ちます。

関連ﾘﾝｸ 13頁の「ｺｰﾄﾞ例について」

21.8.2. 9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ受信

9ﾋﾞｯﾄ ﾃﾞｰﾀが使われる場合(UCSZ2～0=111)、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)から下位ﾊﾞｲﾄを読むのに先立って第9ﾋﾞｯﾄがUSART制御/状態ﾚｼﾞｽﾀB(UCSRnB)の受信ﾃﾞｰﾀ ﾋﾞｯﾄ8(RXB8)ﾋﾞｯﾄから読まれなければなりません。この規則はﾌﾚｰﾐﾝｸﾞ異常(FE)、ｵｰﾊﾞｰﾗﾝ発生(DOR)、ﾊﾟﾘﾃｨ誤り(UPE)状態ﾌﾗｸﾞにも適用されます。USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)から状態情報を読み、その後にUDRnからﾃﾞｰﾀを読んでください。UDRn I/O位置を読むことが受信FIFO緩衝部の状態を切り替え、その結果、FIFO内に保管されるRXB8,FE,DOR,UPEﾋﾞｯﾄ全てが切り替わります。

次のｺｰﾄﾞ例は9ﾋﾞｯﾄ ﾃﾞｰﾀと状態ﾋﾞｯﾄ両方を扱う簡単なUSART受信関数を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Rx:   SBIS    UCSRnA, RXC                          ;受信完了でｽｷｯﾌﾟ
            RJMP    USART_Rx                             ;受信完了待機
;
            IN      R18, UCSRnA                          ;状態ﾌﾗｸﾞ取得
            IN      R17, UCSRnB                          ;受信第9ﾋﾞｯﾄ取得
            IN      R16, UDRn                            ;受信ﾃﾞｰﾀ取得
            ANDI    R18, (1<<FE)|(1<<DOR)|(1<<UPE)       ;受信異常検査
            BREQ    USART_Rx_V                           ;異常なしで分岐
;
            LDI     R17, -1                              ;異常で-1値設定
            LDI     R16, -1                              ;
USART_Rx_V: LSR     R17                                  ;RXB8ﾋﾞｯﾄをﾋﾞｯﾄ0位置へ移動
            ANDI    R17, $01                             ;RXB8ﾋﾞｯﾄのみ有効
            RET                                          ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int USART_Receive(void)
{
    unsigned char status, resh, resl;                    /* 一時変数定義 */
    while ( !(UCSRnA & (1<<RXC)) );                      /* 受信完了待機 */
    status = UCSRnA;                                     /* 状態ﾌﾗｸﾞ取得 */
    resh = UCSRnB;                                       /* 受信第9ﾋﾞｯﾄ取得 */
    resl = UDRn;                                         /* 受信ﾃﾞｰﾀ取得 */
    if ( status & ((1<<FE)|(1<<DOR)|(1<<UPE)) ) return -1;  /* 受信異常で-1値設定/復帰 */
    resh = (resh>>1) & 0x01;                             /* RXB8ﾋﾞｯﾄのみ有効最下位へ */
    return ((resh<<8) | resl);                           /* 結果9ﾋﾞｯﾄ ﾃﾞｰﾀ取得/復帰 */
}
```

この受信関数例は何か評価を行う前に、全てのI/Oﾚｼﾞｽﾀをﾚｼﾞｽﾀ ﾌｧｲﾙに読みます。これは読まれた緩衝部位置が可能な限り早く新規ﾃﾞｰﾀを自由に受け入れできるため、最適な受信緩衝部利用になります。

関連ﾘﾝｸ 13頁の「ｺｰﾄﾞ例について」

21.8.3. 受信完了ﾌﾗｸﾞと割り込み

USART受信部には受信部の状態を示す1つのﾌﾗｸﾞがあります。

USART受信完了(RXC)ﾌﾗｸﾞは未読ﾃﾞｰﾀが受信緩衝部に存在するかを示します。このﾌﾗｸﾞは受信緩衝部に未読ﾃﾞｰﾀが存在する時に1で、受信緩衝部が空の(換言すると、何も未読ﾃﾞｰﾀを含まない)時に0です。受信部が禁止される場合(RXEN=0)、受信緩衝部が破棄され、その結果としてRXCﾌﾗｸﾞは0になります。

USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)でUSART受信完了割り込み許可(RXCIE)ﾋﾞｯﾄが設定(1)されると、(全割り込みが許可されていれば)RXCﾌﾗｸﾞが設定(1)されている限り、USART受信完了割り込みが実行されます。割り込み駆動ﾃﾞｰﾀ受信が使われるとき、受信完了割り込みﾙｰﾁﾝはRXCﾌﾗｸﾞを解除(0)するためにUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)から受信したﾃﾞｰﾀを読まなければならず、さもなければ一旦割り込みﾙｰﾁﾝを終了しても新しい割り込みが(継続的に)起きます。

21.8.4. 受信異常ﾌﾗｸﾞ

USART受信にはﾌﾚｰﾐﾝｸﾞ異常(FE)、ﾃﾞｰﾀ オｰﾊﾞｰﾗﾝ発生(DOR)、ﾊﾟﾘﾃｨ誤り(UPE)の3つの異常ﾌﾗｸﾞがあります。これら全てはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)を読むことでｱｸｾｽできます。異常ﾌﾗｸﾞに対する共通点は異常状態を示しているﾌﾚｰﾑと共に受信緩衝部に配置されることです。異常ﾌﾗｸﾞが緩衝されるため、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)I/O位置を読むことが緩衝部読み出し位置を切り替えるので、UCSRnAは受信緩衝部(UDRn)の前に読まれなければなりません。異常ﾌﾗｸﾞに対するその他の共通点はｿﾌﾄｳｪｱがこのﾌﾗｸﾞ位置へ書き込みを行うことによって変更できないことです。しかし、将来のUSART(機能)実装の上位互換性のため、UCSRnAが書かれるとき、全てのﾌﾗｸﾞは0に設定されなければなりません。異常ﾌﾗｸﾞはどれも割り込みを生成できません。

ﾌﾚｰﾐﾝｸﾞ異常(FE)ﾌﾗｸﾞは受信緩衝部に格納された、次に読み込み可能なﾌﾚｰﾑの第1停止ﾋﾞｯﾄの状態を示します。FEﾌﾗｸﾞは停止ﾋﾞｯﾄが正しく(Highとして)読まれた時に0で、停止ﾋﾞｯﾄが不正(Low)だった時にFEﾌﾗｸﾞは1です。このﾋﾞｯﾄは同期外れ状態の検出、中断状態検出、規約での操作に使えます。受信部が最初(第1)以外の全停止ﾋﾞｯﾄを無視するため、FEﾌﾗｸﾞはUSART制御/状態ﾚｼﾞｽﾀC(UCSRnC)の停止ﾋﾞｯﾄ選択(USBS)ﾋﾞｯﾄ設定によって影響を及ぼされません。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

ﾃﾞｰﾀ オｰﾊﾞｰﾗﾝ発生(DOR)ﾌﾗｸﾞは受信緩衝部が一杯状態のためのﾃﾞｰﾀ消失を示します。ﾃﾞｰﾀ オｰﾊﾞｰﾗﾝは受信緩衝部(2ﾌﾚｰﾑ)が一杯で、(次の)新規ﾌﾚｰﾑ ﾃﾞｰﾀが受信移動ﾚｼﾞｽﾀで待っており、(更に次の)新規開始ﾋﾞｯﾄが検出される時に起きます。DORﾌﾗｸﾞが設定(1)なら、最後にUDRnから読んだﾌﾚｰﾑと次にUDRnから読むﾌﾚｰﾑ間で1つ以上の直列ﾌﾚｰﾑが失われます。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRnAに書く時は常にこのﾋﾞｯﾄに0を書いてください。DORﾌﾗｸﾞは受信されたﾃﾞｰﾀが移動ﾚｼﾞｽﾀから受信緩衝部へ正常に移動された時に解除(0)されます。

ﾊﾟﾘﾃｨ誤り(UPE)ﾌﾗｸﾞは受信緩衝部内の次のﾌﾚｰﾑで受信時にﾊﾟﾘﾃｨ異常があったことを示します。ﾊﾟﾘﾃｨ検査が許可されていない場合、UPEﾌﾗｸﾞは常に0が読めます。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。より多くの詳細については「**ﾊﾟﾘﾃｨ ﾋﾞｯﾄの計算**」と下の「**ﾊﾟﾘﾃｨ検査器**」をご覧ください。

21.8.5. ﾊﾟﾘﾃｨ検査器

ﾊﾟﾘﾃｨ検査器はUSART制御/状態ﾚｼﾞｽﾀC(UCSRnC)のﾊﾟﾘﾃｨ種別上位ﾋﾞｯﾄ(UPM1)が1を書かれる時に活性(有効)です。実行されるべきﾊﾟﾘﾃｨ検査の形式(偶数または奇数)はUCSRnC.UPM0ﾋﾞｯﾄによって選ばれます。許可されると、ﾊﾟﾘﾃｨ検査器は到着ﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを計算し、その結果と(受信)直列ﾌﾚｰﾑ内のﾊﾟﾘﾃｨ ﾋﾞｯﾄを比較します。検査の結果は受信ﾃﾞｰﾀ、停止ﾋﾞｯﾄと共に受信緩衝部に格納されます。その後USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)のﾊﾟﾘﾃｨ誤り(UPE)ﾌﾗｸﾞはﾌﾚｰﾑにﾊﾟﾘﾃｨ異常があるかを検査するため、ｿﾌﾄｳｪｱによって読むことができます。

UPEﾌﾗｸﾞは受信緩衝部から読まれ得る次ﾌﾚｰﾑで受信時にﾊﾟﾘﾃｨ異常があり、その時点でﾊﾟﾘﾃｨ検査が許可されていた(UPM1=1)場合に設定(1)されます。このﾋﾞｯﾄはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)が読まれるまで有効です。

21.8.6. 受信の禁止

送信部と対照的に受信部の禁止は即時です。従って受信進行中のﾃﾞｰﾀは失われます。禁止される(即ち、USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)のUSART受信許可(RXEN)ﾋﾞｯﾄが0を書かれる)と、受信部はもはやRXDnﾎﾟｰﾄ ﾋﾟﾝの標準機能を無効にしません。受信FIFO緩衝部は受信部が禁止されると破棄されます。緩衝部内の残ﾃﾞｰﾀは失われます。

21.8.7. 受信緩衝部の破棄

受信FIFO緩衝部は受信が禁止されると破棄(換言すると、緩衝部は内容を空に)されます。未読ﾃﾞｰﾀは失われます。例えば異常状態のため、通常動作中に緩衝部が破棄されなければならない場合、USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の受信完了(RXC)ﾌﾗｸﾞが解除(0)されるまでUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)I/O位置を読んでください。

次のｺｰﾄﾞ例は受信緩衝部の破棄方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Flush:  SBIS    UCSRnA, RXC          ;未読ﾃﾞｰﾀありでｽｷｯﾌﾟ
              RET                          ;未読ﾃﾞｰﾀなしで復帰
;
              IN      R16, UDRn            ;ﾃﾞｰﾀ受信
              RJMP    USART_Flush          ;未読ﾃﾞｰﾀなしまで継続
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void USART_Flush(void)
{
    unsigned char dummy;                   /* 一時変数定義 */
    while ( UCSRnA & (1<<RXC) ) dummy=UDRn;  /* 未読ﾃﾞｰﾀ読み捨て */
}
```

関連ﾘﾝｸ 13頁の「ｺｰﾄﾞ例について」

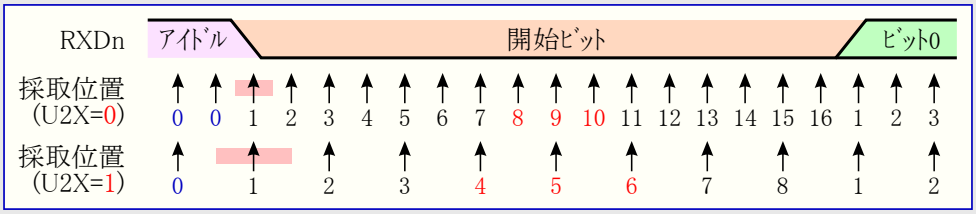
21.9. 非同期受信

USARTは非同期データ受信を扱うためのクロック再生とデータ再生部を含みます。クロック再生論理回路は内部的に生成したボーレート クロックをRXDnピンに到着する非同期直列フレームに同期化するのに使われます。データ再生論理回路は到着ビット毎に低域通過の濾波と採取をし、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は内部ボーレート クロック精度、到着フレーム速度、フレーム長のビット数に依存します。

21.9.1. 非同期クロック再生

クロック再生論理回路は内部クロックを到着直列フレームに同期化します。下図は到着フレームの開始ビットの採取手順を図解します。採取速度は標準速動作でボーレートの16倍、倍速動作で8倍です。赤帯(**訳注**:原文は水平矢印)は採取処理のための同期変量を図示します。倍速動作(UCSRnA.U2X=1)を使う時の広い変量時間に注意してください。採取番号0はRXDn信号がアイドル(即ち、通信の動きなし)の間に行われる採取です。

図21-5. 開始ビットの採取

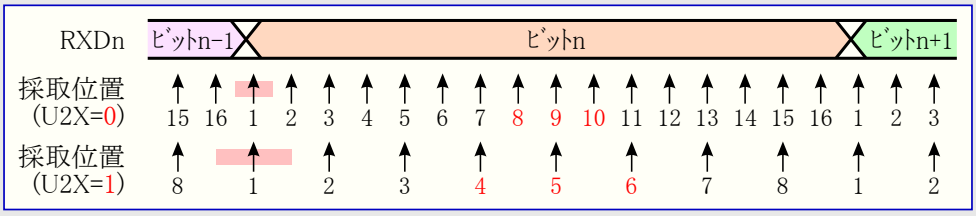


クロック再生論理回路がRXDn信号線でHigh(アイドル)からLow(開始)の遷移を検出すると、開始ビット検出手順が開始されます。図で示されるように採取1は最初のLow採取を意味します。その後にクロック再生回路は有効な開始ビットが受信されるかを決めるために、標準速動作に対して採取8,9,10、倍速動作に対して採取4,5,6(図の赤数字(**訳注**:原文は箱枠内)で示された採取番号)を使います。これら3回で2回以上の採取が論理Highレベルの場合(多数決)、この開始ビットは尖頭雑音として捨てられ、受信部はRXDn上で次のHighからLowの遷移を探し始めます。けれども、有効な開始ビットが検出された場合、クロック再生論理回路は同期化され、データ再生が開始されます。この同期化手順は各開始ビット毎に繰り返されます。

21.9.2. 非同期データ再生

受信部クロックが開始ビットに同期化されるとデータ再生が始められます。データ再生部は標準速動作で16段、倍速動作で8段の順列回路を使います。下図はデータ ビットとパリティ ビットの採取を示します。各採取は再生部の各段に等しい番号を与えられます。

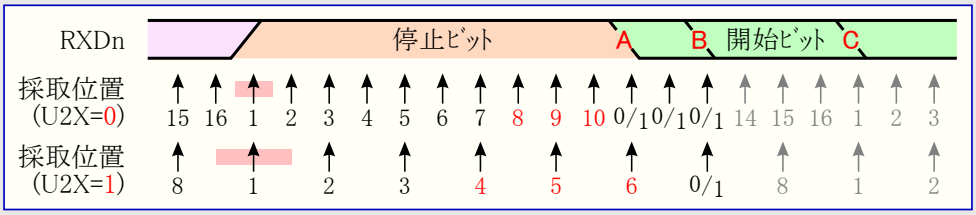
図21-6. データ ビットとパリティ ビットの採取



受信したビットの論理値の決定は受信したビット中央の3採取で論理値の多数決を取ることによって行われます。2つまたは全3つの中央採取(赤文字(**訳注**:原文は箱枠内)のそれらの採取番号によって記されるそれら)がHighレベルならば受信したビットは論理1が記録されます。2つまたは全3つの採取がLowレベルならば受信したビットは論理0が記録されます。この多数決手順はRXDnピンの到着信号に対して低域通過濾波器(ローパス フィルタ)のように働きます。この再生手順はその後に完全なフレームが受信されるまで繰り返されます。これには最初の(第1)停止ビットを含みます。受信部はフレームの最初の停止ビットだけを使います。

下図は停止ビットの採取と次フレームの最も早い開始ビット開始の可能性を示します。

図21-7. 停止ビットの採取と次の開始ビットの採取



フレーム内の他のビットに対して行われるのと同じ多数決が停止ビットにも行われます。停止ビットが論理0値と記録されると、フレーミング異常(UCSRnA.FE)フラグが設定(1)されます。

新規フレームの開始ビットを示すHighからLowへの遷移は多数決に使った最後のビット後に実現できます。標準速動作での最初のLowレベル採取は上図のA点で獲得され得ます。倍速動作での最初のLowレベルはB点に遅れます。C点は完全な長さの停止ビット(の終点)を示します。この早い開始ビット検出は受信部の動作範囲に影響します。

21.9.3. 非同期での動作範囲

受信部の動作範囲は受信したﾋﾞｯﾄ速度と内部的に生成したﾎﾞｰﾚｰﾄ間の不一致に依存します。送信部が速すぎるまたは遅すぎるﾋﾞｯﾄ速度でﾌﾚｰﾑを送出したり、内部的に発生した受信部のﾎﾞｰﾚｰﾄが類似した基準周波数を持たない場合、受信部は開始ﾋﾞｯﾄでﾌﾚｰﾑを同期できません(下の推奨をご覧ください)。

次式は到着ﾃﾞｰﾀ速度と内部受信部ﾎﾞｰﾚｰﾄ間の比率計算に使えます。

$$R_{slow} = \frac{(D+1)\times S}{S-1+D\times S+S_F} \qquad R_{fast} = \frac{(D+2)\times S}{(D+1)\times S+S_M}$$

D　：ﾃﾞｰﾀとﾊﾟﾘﾃｨのﾋﾞｯﾄ数 (5～10)
S　：ﾋﾞｯﾄあたりの採取数 (標準速=16、倍速=8)
S_F　：多数決に使う最初の採取番号 (標準速=8、倍速=4)
S_M　：多数決に使う中心の採取番号 (標準速=9、倍速=5)
R_{slow}：は受信側ﾎﾞｰﾚｰﾄに対して許容できる最低受信ﾋﾞｯﾄ速度の比率です。
R_{fast}：は受信側ﾎﾞｰﾚｰﾄに対して許容できる最高受信ﾋﾞｯﾄ速度の比率です。

下表は許容できる最大受信部ﾎﾞｰﾚｰﾄ誤差一覧です。標準速動作には、より高いﾎﾞｰﾚｰﾄ変動許容力があることに注目してください。

表21-2. 標準速と倍速での受信部ﾎﾞｰﾚｰﾄ推奨最大許容誤差

D	標準速動作 (U2X=0)				倍速動作 (U2X=1)			
	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80～+6.67	±3.0	94.12	105.66	-5.88～+5.66	±2.5
6	94.12	105.79	-5.88～+5.79	±2.5	94.92	104.92	-5.08～+4.92	±2.0
7	94.81	105.11	-5.19～+5.11	±2.0	95.52	104.35	-4.48～+4.35	±1.5
8	95.36	104.58	-4.54～+4.58	±2.0	96.00	103.90	-4.00～+3.90	±1.5
9	95.81	104.14	-4.19～+4.14	±1.5	96.39	103.53	-3.61～+3.53	±1.5
10	96.17	103.78	-3.83～+3.78	±1.5	96.70	103.23	-3.30～+3.23	±1.0

注: Dはﾃﾞｰﾀ ﾋﾞｯﾄ数とﾊﾟﾘﾃｨ ﾋﾞｯﾄの合計ﾋﾞｯﾄ数です。
(訳注) 原書は表21-2.に標準速、表21-3.に倍速を記載していますが、比較が容易なように表21-2.として纏めました。

受信部ﾎﾞｰﾚｰﾄの推奨最大許容誤差は最大総合許容誤差を送信部と受信部で等分割するという仮定の元で作られました。

受信部ﾎﾞｰﾚｰﾄ誤差に対して2つの起こり得る原因があります。受信部のｼｽﾃﾑ ｸﾛｯｸ(OSC)は供給電圧範囲と温度範囲に関して常に若干の不安定性があります。ｼｽﾃﾑ ｸﾛｯｸを生成するのにｸﾘｽﾀﾙ発振子を使う時は殆ど問題ありませんが、(ｾﾗﾐｯｸ)振動子でのｼｽﾃﾑ ｸﾛｯｸは振動子偏差に依存して2%を越えて異なるかもしれません。2つ目の誤り原因はより制御可能です。ﾎﾞｰﾚｰﾄ発振器は欲したﾎﾞｰﾚｰﾄを得るためにｼｽﾃﾑ周波数の正確な分周を常に行うことはできません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRRn値が使えます。

21.10. 複数ﾌﾟﾛｾｯｻ通信動作

USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)での複数ﾌﾟﾛｾｯｻ通信動作(MPCM)ﾋﾞｯﾄの設定(1)はUSART受信部によって受信された到着ﾌﾚｰﾑの選別機能を許可します。ｱﾄﾞﾚｽ情報を含まないﾌﾚｰﾑは無視され、受信緩衝部に格納されません。これは同一直列ﾊﾞｽ経由で通信する複数MCUのｼｽﾃﾑで、CPUによって扱われなければならない到着ﾌﾚｰﾑ数を効果的に減らします。送信部はMPCMﾋﾞｯﾄ設定によって影響されませんが、複数ﾌﾟﾛｾｯｻ通信動作を利用するｼｽﾃﾑの一部の時は違うふうに使われなければなりません。

受信部が5～8ﾃﾞｰﾀ ﾋﾞｯﾄを含むﾌﾚｰﾑを受信するように設定されるなら、最初の停止ﾋﾞｯﾄはﾃﾞｰﾀまたはｱﾄﾞﾚｽ情報を含むﾌﾚｰﾑかどうかを示します。受信部が9ﾃﾞｰﾀ ﾋﾞｯﾄのﾌﾚｰﾑに設定されるなら、USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)の受信第9(RXB8)ﾋﾞｯﾄがｱﾄﾞﾚｽとﾃﾞｰﾀのﾌﾚｰﾑを識別するのに使われます。ﾌﾚｰﾑ種別(最初の停止または第9)ﾋﾞｯﾄが1の時にﾌﾚｰﾑはｱﾄﾞﾚｽを含みます。ﾌﾚｰﾑ種別ﾋﾞｯﾄが0の時にそのﾌﾚｰﾑはﾃﾞｰﾀ ﾌﾚｰﾑです。

複数ﾌﾟﾛｾｯｻ通信動作は主MCUからのﾃﾞｰﾀを多くの従MCUで受信することを可能にします。これはどのMCUがｱﾄﾞﾚｽ指定されるかを検出するため、最初にｱﾄﾞﾚｽ ﾌﾚｰﾑを調べることによって行われます。特定の従MCUがｱﾄﾞﾚｽ指定されたなら、そのMCUは後続するﾃﾞｰﾀ ﾌﾚｰﾑを通常のように受信し、一方その他の従MCUは他のｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまで受信したﾌﾚｰﾑを無視します。

21.10.1. MPCMnの使用法

主MCUとして動作するMCUは9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式(UCSZ=7)を使えます。UCSRnBの送信第9(TXB8)ﾋﾞｯﾄはｱﾄﾞﾚｽ ﾌﾚｰﾑ時に設定(1)、またはﾃﾞｰﾀ ﾌﾚｰﾑ時に解除(0)されて送信されなければなりません。この場合、従MCUは9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式の使用に設定されなければなりません。

複数ﾌﾟﾛｾｯｻ通信動作でﾃﾞｰﾀを交換するのに次の手順が使われるべきです。

1. 全ての従MCUは複数ﾌﾟﾛｾｯｻ通信動作です(UCSRnAの複数ﾌﾟﾛｾｯｻ通信動作(MPCM)ﾋﾞｯﾄが設定(1))。
2. 主MCUはｱﾄﾞﾚｽ ﾌﾚｰﾑを送り、全ての従装置がこのﾌﾚｰﾑを受信し、これを読みます。従CPUでは通常のようにUCSRnAで受信完了(RXC)ﾌﾗｸﾞが設定(1)されます。
3. 各従MCUはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDRn)を読み、選ばれたかを判定します。選ばれた場合はUCSRnAのMPCMﾋﾞｯﾄを解除(0)し、そうでなければ(非選択の場合は)MPCMﾋﾞｯﾄ設定を保ち、次のｱﾄﾞﾚｽ ﾌﾚｰﾑを待ちます。
4. ｱﾄﾞﾚｽ指定されたMCUは新規ｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまで全ﾃﾞｰﾀ ﾌﾚｰﾑを受信します。MPCMﾋﾞｯﾄが未だ設定(1)されている他の従CPUはこのﾃﾞｰﾀ ﾌﾚｰﾑを無視します。
5. 最後のﾃﾞｰﾀ ﾌﾚｰﾑがｱﾄﾞﾚｽ指定されたMCUによって受信されると、ｱﾄﾞﾚｽ指定されたMCUはMPCMﾋﾞｯﾄを設定(1)し、主装置からの新規ｱﾄﾞﾚｽ ﾌﾚｰﾑを待ちます。以降、処理は手順2.からを繰り返します。

5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式のどの使用も可能ですが、受信側が使うnとn+1ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式間を切り替えなければならないため非実用的です。これは送信部と受信部が同じﾃﾞｰﾀ ﾋﾞｯﾄ長設定を使うため、全二重(ﾌﾙﾃﾞｭｰﾌﾟﾚｯｸｽ)動作を困難にします。5～8ﾋﾞｯﾄﾃﾞｰﾀ ﾌﾚｰﾑが使われる場合、最初の停止ﾋﾞｯﾄがﾌﾚｰﾑ種別を示すのに使われるので、送信部は2停止ﾋﾞｯﾄ使用(USBS=1)に設定されなければなりません。

MPCMﾋﾞｯﾄを設定(1)または解除(0)するのに読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)命令(SBIとCBI)を使ってはいけません。MPCMﾋﾞｯﾄは送信完了(TXC)ﾌﾗｸﾞと同じI/O位置を共用しており、SBIまたはCBI命令を使うと偶然に解除(0)されるかもしれません。

(訳注) 本ﾃﾞﾊﾞｲｽではUCSRnAのI/OｱﾄﾞﾚｽがSBI,CBI命令適用範囲外なので上記記述は不適切です。但し、命令の組み合わせによる同様処理の場合に対して、上記注意の本意は適切(有効)です。

21.11. ボーレート設定例

標準的なクリスタル発振子やセラミック振動子の周波数に対して最も一般的に使われる非同期動作のボーレートは、下表で一覧されるようにUBRRn設定を使うことによって生成できます。目的のボーレートに対して設定誤差1.5%(標準速:U2X=0)、1.0%(倍速:U2X=1)以上を赤字で示します(**訳注**:原書の本文は0.5%未満を太字)。より高い誤差率でも受け入れ可能ですが、特に長い直列フレームで誤差率が高いと、受信部は雑音耐性が低下します(「**非同期での動作範囲**」項もご覧ください)。誤差率は次式を使って計算されます。

$$\text{誤差率(\%)} = \left(\frac{\text{UBRRn設定ボーレート(最近似値)}}{\text{目的のボーレート}} - 1 \right) \times 100(\%)$$

表21-4. Xtal、ボーレート対UBRRnH,UBRRnL設定 (UBRR=UBRRnH:UBRRnL)

ボーレート (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ボーレート (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注: 最高速はUBRR=0、誤差=0.0%です。　以降の周波数は次頁へ続く。

(**訳注**) 原書では頁割された表毎に表番号**21-4.**～**7.**となっていますが、共通性から纏めて**表21-4.**としました。
原書に対して数種の発振周波数を追加しました。

表21-4 (続き). Xtal、ボーレート対UBRRnH,UBRRnL設定 (UBRR=UBRRnH:UBRRnL)

ボーレート (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ボーレート (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

ボーレート (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注: 最高速はUBRR=0、誤差=0.0%です。

21.12. USART用ﾚｼﾞｽﾀ

21.12.1. UDRn – USARTnﾃﾞｰﾀ ﾚｼﾞｽﾀ (USART I/O Data Register n)

同じI/Oｱﾄﾞﾚｽを共用するUSART受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀとUSART送信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀまたはUDRnとして引用しました。送信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀ(TXB)はUDRnﾚｼﾞｽﾀ位置に書かれるﾃﾞｰﾀの転送先です。UDRnﾚｼﾞｽﾀ位置読み込みは受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀ(RXB)の内容を返します。

5～7ﾋﾞｯﾄ ﾃﾞｰﾀでの上位未使用ﾋﾞｯﾄは送信部によって無視され、受信部によって0に設定されます。

送信緩衝部はUCSRnAで送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)ﾌﾗｸﾞが設定(1)される時にだけ書けます。UDREﾌﾗｸﾞが設定(1)されない時にUDRnへ書かれたﾃﾞｰﾀはUSART送信部によって無視されます。送信部が許可されて送信緩衝部にﾃﾞｰﾀが書かれると、送信部は送信移動ﾚｼﾞｽﾀが空きの時にそのﾃﾞｰﾀを送信移動ﾚｼﾞｽﾀへ設定(移動)します。その後にﾃﾞｰﾀはTXDnﾋﾟﾝで直列送信されます。

受信緩衝部は2段のFIFOから成ります。このFIFOは受信緩衝部がｱｸｾｽされる毎にその状態を切り替えます。この受信緩衝部の動きのため、この位置に読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)命令(SBIとCBI)を使えません。ﾋﾞｯﾄ検査(SBICとSBIS)命令もFIFOの状態を換えるので、これらの命令を使う時は注意してください。(**訳注**:適用範囲外命令のため、この注意は不適切です。)

名称 : UDR0 : UDR1
変位 : $C6 : $CE
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TXB/RXB7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TXB7~0/RXB7~0 : USART送受信ﾃﾞｰﾀ** (USART Transmit / Receive Data Buffer)

21.12.2. UCSRnA – USARTn制御/状態ﾚｼﾞｽﾀA (USART Control and Status Register n A)

名称 : UCSR0A : UCSR1A
変位 : $C0 : $C8
ﾘｾｯﾄ : $20
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RXC	TXC	UDRE	FE	DOR	UPE	U2X	MPCM
ｱｸｾｽ種別	R	R/W	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	1	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RXC : USART受信完了ﾌﾗｸﾞ** (USART Receive Complete)

このﾌﾗｸﾞは受信緩衝部に未読ﾃﾞｰﾀがある時に設定(1)され、受信緩衝部が空の(換言すると、どんな未読ﾃﾞｰﾀも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部が破棄され、その結果RXCﾌﾗｸﾞは0になります。RXCﾌﾗｸﾞは受信完了割り込みを発生するのに使えます(USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)の受信完了割り込み許可(RXCIE)ﾋﾞｯﾄをご覧ください)。

● **ﾋﾞｯﾄ6 – TXC : USART送信完了ﾌﾗｸﾞ** (USART Transmit Complete)

このﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀ内の完全なﾌﾚｰﾑが移動出力されてしまい、送信緩衝部(UDRn)に新規ﾃﾞｰﾀが現存しない時に設定(1)されます。TXCﾌﾗｸﾞは送信完了割り込みが実行されるとき、自動的に解除(0)されるか、またはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)できます。TXCﾌﾗｸﾞは送信完了割り込みを発生できます(UCSRnBの送信完了割り込み許可(TXCIE)ﾋﾞｯﾄをご覧ください)。

● **ﾋﾞｯﾄ5 – UDRE : USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きﾌﾗｸﾞ** (USART Data Register Empty)

UDREﾌﾗｸﾞは送信緩衝部(UDRn)が新規ﾃﾞｰﾀを受け取る準備ができているかどうかを示します。UDREが1ならば緩衝部は空で、従って書かれる準備ができています。UDREﾌﾗｸﾞは送信緩衝部空き割り込みを発生できます(UCSRnBの送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可(UDRIE)ﾋﾞｯﾄをご覧ください)。 送信部が準備できているのを示すため、ﾘｾｯﾄ後のUDREは設定(1)です。

● **ﾋﾞｯﾄ4 – FE : ﾌﾚｰﾐﾝｸﾞ異常ﾌﾗｸﾞ** (Framing Error)

受信緩衝部の次ﾃﾞｰﾀが受信した時にﾌﾚｰﾐﾝｸﾞ異常(換言すると、受信緩衝部で次ﾃﾞｰﾀの最初の(第1)停止ﾋﾞｯﾄがLow)だった場合、このﾋﾞｯﾄが設定(1)されます。このﾌﾗｸﾞは受信緩衝部(UDRn)が読まれるまで有効です。受信したﾃﾞｰﾀの停止ﾋﾞｯﾄがHighの時にFEﾌﾗｸﾞは0です。UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

このﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

● **ﾋﾞｯﾄ3 – DOR : ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生ﾌﾗｸﾞ** (Data OverRun)

このﾋﾞｯﾄはｵｰﾊﾞｰﾗﾝ状態が検出されると設定(1)されます。受信緩衝部(2ﾌﾚｰﾑ分)が一杯で、新規ﾌﾚｰﾑが受信移動ﾚｼﾞｽﾀ内で待機中に新規開始ﾋﾞｯﾄが検出されるとﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝが起こります。UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

このﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

● **ﾋﾞｯﾄ2 – UPE : ﾊﾟﾘﾃｨ誤りﾌﾗｸﾞ** (USART Parity Error)

受信緩衝部の次ﾃﾞｰﾀが受信した時にﾊﾟﾘﾃｨ異常があり、その時点でﾊﾟﾘﾃｨ検査が許可されていれば(UPM1=1)、このﾋﾞｯﾄが設定(1)されます。このﾌﾗｸﾞは受信緩衝部(UDRn)が読まれるまで有効です。UCSRnAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

このﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

● **ﾋﾞｯﾄ1 – U2X : 倍速許可** (Double the USART Transmission Speed)

このﾋﾞｯﾄは非同期動作でだけ有効です。同期動作を使うとき、このﾋﾞｯﾄに0を書いてください。

このﾋﾞｯﾄに1を書くことはﾎﾞｰﾚｰﾄ分周器の分周値を16から8に減らして事実上、非同期通信の転送速度を倍にします。

このﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

● **ﾋﾞｯﾄ0 – MPCM : 複数ﾌﾟﾛｾｯｻ通信動作** (Multi-Processor Communication Mode)

このﾋﾞｯﾄは複数ﾌﾟﾛｾｯｻ通信動作を許可します。MPCMﾋﾞｯﾄが1を書かれると、USART受信部によって受信したｱﾄﾞﾚｽ情報を含まない全到着ﾌﾚｰﾑは無視されます。送信部はMPCM設定に影響されません。詳細については「**複数ﾌﾟﾛｾｯｻ通信動作**」を参照してください。

このﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

21.12.3. UCSRnB – USARTn制御/状態ﾚｼﾞｽﾀB (USART Control and Status Register n B)

名称 : UCSR0B : UCSR1B
変位 : $C1 : $C9
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RXCIE : 受信完了割り込み許可** (Receive Complete Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の受信完了(RXC)ﾌﾗｸﾞでの割り込みを許可します。USART受信完了割り込みはRXCIEﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)で全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでRXCﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

● **ﾋﾞｯﾄ6 – TXCIE : 送信完了割り込み許可** (Transmit Complete Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の送信完了(TXC)ﾌﾗｸﾞでの割り込みを許可します。USART送信完了割り込みはTXCIEﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでTXCﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

● **ﾋﾞｯﾄ5 – UDRIE : 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可** (Transmit Data Register Empty Interrupt Enable)

このﾋﾞｯﾄへの1書き込みはUSART制御/状態ﾚｼﾞｽﾀA(UCSRnA)の送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)ﾌﾗｸﾞでの割り込みを許可します。USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みはUDRIEﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRnAでUDREﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

● **ﾋﾞｯﾄ4 – RXEN : 受信許可** (Receiver Enable)

このﾋﾞｯﾄへの1書き込みはUSART受信(部)を許可します。受信部は許可されるとRXDnﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。受信の禁止は受信緩衝部を破棄し、ﾌﾚｰﾐﾝｸﾞ異常(FE)、ｵｰﾊﾞｰﾗﾝ(DOR)、ﾊﾟﾘﾃｨ誤り(UPE)のﾌﾗｸﾞを無効にします。

● **ﾋﾞｯﾄ3 – TXEN : 送信許可** (Transmitter Enable)

このﾋﾞｯﾄへの1書き込みはUSART送信(部)を許可します。送信部は許可されるとTXDnﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。送信の禁止(TXEN=0書き込み)は進行中と保留中の送信が完了される(換言すると、送信移動ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信されるべきﾃﾞｰﾀを含まない)まで有効になりません。禁止したとき、送信部はもはやTXDnﾎﾟｰﾄ(の標準I/O機能)を無効にしません。

● **ﾋﾞｯﾄ2 – UCSZ2 : ﾃﾞｰﾀ ﾋﾞｯﾄ長選択2** (Character Size)

USART制御/状態ﾚｼﾞｽﾀC(UCSRnC)のUCSZ1,0ﾋﾞｯﾄと組み合わせたUCSZ2ﾋﾞｯﾄは送受信部で使えﾌﾚｰﾑのﾃﾞｰﾀ ﾋﾞｯﾄ数(Character size)を設定します。

このﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

● **ﾋﾞｯﾄ1 – RXB8 : 受信ﾃﾞｰﾀ ﾋﾞｯﾄ8** (Receive Data Bit 8)

RXB8は9ﾋﾞｯﾄ ﾃﾞｰﾀでの直列ﾌﾚｰﾑ操作時に受信したﾌﾚｰﾑの第9ﾃﾞｰﾀ ﾋﾞｯﾄ(ﾋﾞｯﾄ8)です。UDRnから下位ﾋﾞｯﾄを読む前に読んでください。

このﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

● ﾋﾞｯﾄ0 – TXB8 : 送信ﾃﾞｰﾀ ﾋﾞｯﾄ8 (Transmit Data Bit 8)

TXB8は9ﾋﾞｯﾄ ﾃﾞｰﾀでの直列ﾌﾚｰﾑ操作時に送信されるべきﾃﾞｰﾀの第9ﾃﾞｰﾀ ﾋﾞｯﾄ(ﾋﾞｯﾄ8)です。UDRnへ下位ﾋﾞｯﾄを書く前に書いてください。

このﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

21.12.4. UCSRnC – USARTn制御/状態ﾚｼﾞｽﾀC (USART Control and Status Register n C)

名称 : UCSR0C : UCSR1C
変位 : $C2 : $CA
ﾘｾｯﾄ : $06
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	UMSEL1,0		UPM1,0		USBS	UCSZ1 UDORD	UCSZ0 UCPHA	UCPOL
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	1	1	0

● ﾋﾞｯﾄ7,6 – UMSEL1,0 : USART動作選択 (USART Mode Select)

このﾋﾞｯﾄはUSART動作種別を選びます。

表21-8. USART動作選択

UMSEL1,0	動作種別
0 0	非同期動作
0 1	同期動作
1 0	(予約)
1 1	主装置SPI (MSPIM) (注)

注: UDORD、UCPHA、UCPOLは主装置SPI動作(MSPIM)許可での同じ書き込み操作で設定することができます。

● ﾋﾞｯﾄ5,4 – UPM1,0 : ﾊﾟﾘﾃｨ選択 (Parity Mode)

これらのﾋﾞｯﾄはﾊﾟﾘﾃｨの発生と検査の許可と種別を設定します。許可した場合、送信部は各ﾌﾚｰﾑ内での送信したﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを自動的に生成して送出します。受信部は到着ﾃﾞｰﾀからﾊﾟﾘﾃｨ値を生成し、UPM0設定と比較します。不一致が検出されると、USART制御/状態ﾚｼﾞｽﾀA(UCSRnA)でﾊﾟﾘﾃｨ誤り(UPE)ﾌﾗｸﾞが設定(1)されます。

これらのﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

表21-9. ﾊﾟﾘﾃｨ選択

UPM1,0	ﾊﾟﾘﾃｨ動作
0 0	禁止
0 0	(予約)
1 0	偶数ﾊﾟﾘﾃｨ許可
1 1	奇数ﾊﾟﾘﾃｨ許可

● ﾋﾞｯﾄ3 – USBS : 停止ﾋﾞｯﾄ選択 (Stop Bit Select)

このﾋﾞｯﾄは送信部によって挿入される停止ﾋﾞｯﾄ数を選びます。受信部はこの設定を無視します(訳補:常に第1停止ﾋﾞｯﾄだけが有効)。

このﾋﾞｯﾄは主装置SPI動作(MSPIM)で保留されています。

表21-10. 停止ﾋﾞｯﾄ選択

USBS	停止ﾋﾞｯﾄ数
0	1ﾋﾞｯﾄ
1	2ﾋﾞｯﾄ

● ﾋﾞｯﾄ2 – UCSZ1/UDORD : ﾃﾞｰﾀ ﾋﾞｯﾄ長選択 (Character Size) / ﾃﾞｰﾀ順選択 (Data Order)

UCSZ1:USART動作 : USART制御/状態ﾚｼﾞｽﾀB(UCSRnB)のUCSZ2ﾋﾞｯﾄと組み合わせたUCSZ1,0ﾋﾞｯﾄは送受信部で使うﾌﾚｰﾑのﾃﾞｰﾀ ﾋﾞｯﾄ数(Character size)を設定します。

表21-11. ﾃﾞｰﾀ ﾋﾞｯﾄ長選択

UCSZ2～0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
ﾃﾞｰﾀ ﾋﾞｯﾄ数	5ﾋﾞｯﾄ	6ﾋﾞｯﾄ	7ﾋﾞｯﾄ	8ﾋﾞｯﾄ	(予約)	(予約)	(予約)	9ﾋﾞｯﾄ

UDORD:主装置SPI動作 : 1に設定されるとﾃﾞｰﾀ語のLSBが最初に転送されます。0に設定されるとﾃﾞｰﾀ語のMSBが最初に転送されます。詳細については「USARTでのSPI動作」の「ﾌﾚｰﾑ形式」を参照してください。

● ﾋﾞｯﾄ1 – UCSZ0/UCPHA : ﾃﾞｰﾀ ﾋﾞｯﾄ長選択 (Character Size) / ｸﾛｯｸ位相選択 (Clock Phase)

UCSZ0:USART動作 : UCSZ1を参照してください。

UDORD:主装置SPI動作 : ｸﾛｯｸ位相選択(UCPHA)ﾋﾞｯﾄの設定はﾃﾞｰﾀがXCKnの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。詳細については「USARTでのSPI動作」の「SPIﾃﾞｰﾀ形態とﾀｲﾐﾝｸﾞ」を参照してください。

● ﾋﾞｯﾄ0 – UCPOL : ｸﾛｯｸ極性選択 (Clock Polarity)

USART動作 : このﾋﾞｯﾄは同期動作に対してだけ使われます。非同期動作が使われるとき、このﾋﾞｯﾄに0を書いてください。UCPOLﾋﾞｯﾄは同期ｸﾛｯｸ(XCKn)、ﾃﾞｰﾀ出力変更、ﾃﾞｰﾀ入力採取間の関係を設定します。

表21-12. XCKｸﾛｯｸ極性選択

UCPOL	送信ﾃﾞｰﾀ変更 (TXDnﾋﾟﾝ出力)	受信ﾃﾞｰﾀ採取 (RXDnﾋﾟﾝ入力)
0	XCKnの上昇端	XCKnの下降端
1	XCKnの下降端	XCKnの上昇端

主装置SPI動作 : UCPOLﾋﾞｯﾄはXCKnｸﾛｯｸの極性を設定します。UCPOLとｸﾛｯｸ位相選択(UCPHA)ﾋﾞｯﾄの組み合わせ設定がﾃﾞｰﾀ転送のﾀｲﾐﾝｸﾞを決めます。詳細については「USARTでのSPI動作」の「SPIﾃﾞｰﾀ形態とﾀｲﾐﾝｸﾞ」を参照してください。

21.12.5. UBRRnH,UBRRnL – USARTnﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ上位/下位ﾊﾞｲﾄ (USART Baud Rate Register n Low and High byte)

UBRRnHとUBRRnLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のUBRRnを表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書きのより多くの詳細については「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」をご覧ください。

名称 : UBRR0HとUBRR0L : UBRR1HとUBRR1L (UBRRn)
変位 : $C4 : $CC
ﾘｾｯﾄ : $0000
特質 : –

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	–	–	–	–	UBRR11~8			
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	UBRR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ11～0 – UBRR11~0 : ﾎﾞｰﾚｰﾄ分周値 (USART Baud Rate value)

UBRRnHとUBRRnLを合わせたUBRRnはUSARTのﾎﾞｰﾚｰﾄを含む12ﾋﾞｯﾄ ﾚｼﾞｽﾀです。UBRRnHがUSARTﾎﾞｰﾚｰﾄの上位4ﾋﾞｯﾄを含み、UBRRnLが下位8ﾋﾞｯﾄを含みます。ﾎﾞｰﾚｰﾄが変更されると、送受信部で進行中の転送は不正にされます。UBRRnL書き込みはﾎﾞｰﾚｰﾄ前置分周器の更新を直ちに始めます。

22. USARTSPI – USARTでのSPI動作 (USART in SPI Mode)

22.1. 特徴

- 全二重動作、3線同期データ転送
- 主装置動作
- 4つ全てのSPI転送形式(動作種別0,1,2,3)支援
- LSBまたはMSB先行データ転送(データ順設定)
- 順列動作(2重緩衝)
- 高分解能ボーレート発振器
- 高速動作($f_{XCKmax}=f_{CK}/2$)
- 柔軟な割り込み生成

22.2. 概要

USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は主装置SPI互換動作に設定できます。USART動作選択(UMSEL1,0)ビットの11設定は主装置SPI(MSPIM)論理回路でのUSARTを許可します。この動作種別でのSPI主装置制御論理回路はUSART資源を直接制御します。これらの資源には送受信の移動レジスタと緩衝部、ボーレート発生器を含みます。パリティ発生/検査論理回路、データ/クロック再生論理回路、送受信制御論理回路は禁止されます。USART送受信論理回路は普通のSPI転送制御論理回路に置き換えられます。けれどもピン制御論理回路と割り込み生成論理回路は両動作種別で全く同じです。

I/Oレジスタ位置は両動作種別で同じです。けれどもMSPIM使用時、制御レジスタの一部の機能が変わります。

22.3. クロック生成

クロック生成論理回路は送受信部に対する基準クロックを生成します。USARTのMSPIM動作種別については内部クロック生成(即ち主装置動作)だけが支援されます。従って、USARTでMSPIMを正しく動作するにはXCKnピンに対するデータ方向レジスタ(DDR_XCKn)が1(即ち出力)に設定されなければなりません。なるべくならDDR_XCKnはUSARTでのMSPIMが許可(換言するとTXENとRXENが1に設定)される前に設定されるべきです。

MSPIM動作で使われる内部クロック生成はUSART同期主装置動作と同一です。右表は同期主装置動作用のボーレートやUBRRn設定を計算する式を含みます。

表22-1. ボーレート レジスタ(UBRRn)値計算式

動作種別	ボーレート計算式	UBRRn値計算式
同期主装置動作	$BAUD=\frac{f_{OSC}}{2\times(UBRRn+1)}$	$UBRRn=\frac{f_{OSC}}{2\times BAUD}-1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BAUD : ボーレート (bps)
UBRRn : UBRRnHとUBRRnLレジスタ値 (0～4095)
f_{OSC} : システム発振器クロック周波数

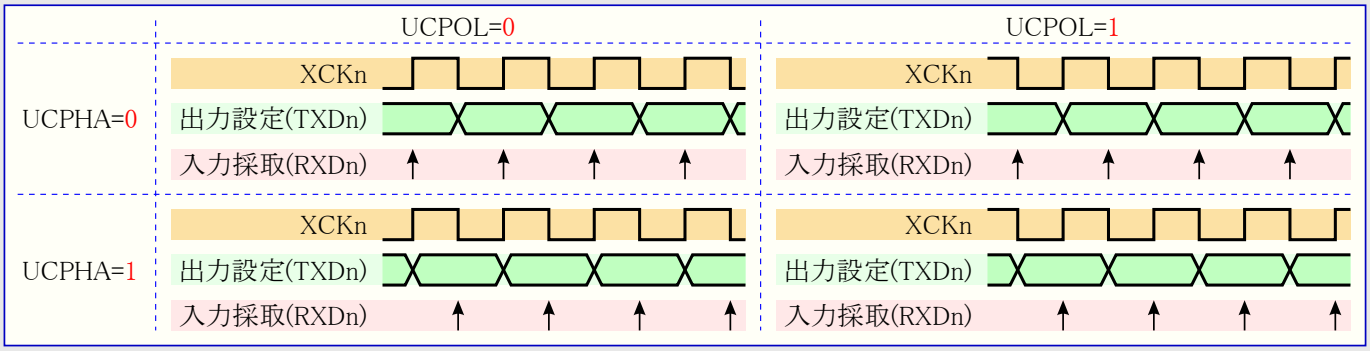
22.4. SPIデータ形態とタイミング

直列データに関してはクロック位相(UCPHA)とクロック極性(UCPOL)制御ビットによって決定されるXCKn(SCK)位相と極性で4つの組み合わせがあります。このデータ転送タイミング図は下図で示されます。データ ビットは安定のためにデータ信号に対して充分な時間を保証するXCKn信号の反対端で移動出力と(入力)ラッチが行われます。UCPOLとUCPHAの機能は下表で要約されます。これらビットのどの変更も送受信両方に対して実行中の通信を不正とすることに注意してください。

表22-2. UCPOL,UCPHA機能動作

SPI動作種別番号	UCPOL	UCPHA	XCKn(SCK)先行端	XCKn(SCK)後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

図22-1. UCPHAとUCPOLによるデータ転送タイミング



22.5. フレーム形式

MSPIMの直列フレームは8データ ビット/1フレームに固定されます。USARTでのMSPIM動作は2つの有効なフレーム形式を持ちます。

- MSB先行 8ビット データ
- LSB先行 8ビット データ

フレームは最下位(LSB)または最上位(MSB)のデータ ビットで始まります。その後次のデータ ビットが最後の最上位(MSB)または最下位(LSB)データ ビットまで合計8ビット続きます。完全なフレームが送信されると、新規フレームが直ちに後続するか、または通信線がアイドル状態(high)に設定されるでしょう。

USART制御/状態レジスタC(UCSRnC)のデータ順選択(UDORD)ビットはUSARTでのMSPIMによって使われるフレーム形式を設定します。送受信部は同じ設定を使います。これらビットのどれかの設定変更が送受信部両方に対して実行中の通信を不正にすることに注意してください。

16ビット データ通信はUDRnに2バイト データを書くことによって達せられます。その後のUSART送信完了割り込み(TXC)はこの16ビット値が移動出力されてしまったことを示します。

22.5.1. USART MSPIM初期化

USARTでのMSPIM動作はどれかの通信が行われ得るのに先立って初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、主装置動作操作(DDR_XCKnの1)設定、フレーム形式設定、送受信部許可から成ります。送信部だけが独立して操作できます。割り込み駆動USART操作に関して初期化を行う時にステータス レジスタの全割り込み許可(I)ビットが解除(0)される(そして全割り込みが禁止される)べきです。

注: XCKn出力の初期化を直ちに保証するため、ボーレート レジスタ(UBRRn)は送信部が許可される時に0でなければなりません。標準動作のUSART操作と逆に、UBRRnは送信部が許可されて最初の送信が開始される前に、希望する値を書かれなければなりません。この初期化がリセット後直ちに行なわれるなら、UBRRnが0にリセットされているので、送信部許可前にUBRRnを0に設定することは必要ありません。

ボーレート、データ転送形式またはフレーム形式の変更を伴う再初期化を行う前に、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。USART制御/状態レジスタA(UCSRnA)の送信完了(TXC)フラグは送信部の全転送完了検査に使え、受信完了(RXC)フラグは受信緩衝部内の未読データ有無検査に使えます。この目的(次送信タイミング)にTXCフラグが使われる場合、各々の送信(USARTデータ レジスタ(UDRn)が書かれる)前にTXCフラグが解除(0)されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例はポーリングを使う(割り込み不許可)と仮定します。ボーレート(UBRRn)値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Init: CLR     R18                                     ;0値取得
            OUT     UBRRnH, R18                             ;ボーレート設定(上位バイト)=0
            OUT     UBRRnL, R18                             ;ボーレート設定(下位バイト)=0 (クロック停止)
            SBI     XCKn_DDR, XCKn                          ;XCKnポート ピン出力設定
            LDI     R18, (1<<UMSEL1)|(1<<UMSEL0)|(0<<UCPHA)|(0<<UCPOL)
                                                            ;動作種別値を取得
            OUT     UCSRnC, R18                             ;MSPI,データ種別0設定
            LDI     R18, (1<<RXEN)|(1<<TXEN)                ;送受信許可値を取得
            OUT     UCSRnB, R18                             ;送受信許可
            OUT     UBRRnH, R17                             ;ボーレート設定(上位バイト)
            OUT     UBRRnL, R16                             ;ボーレート設定(下位バイト)
            RET                                             ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Init(unsigned int baud)
{
    UBRRn = 0;                                              /* ボーレート設定(クロック停止) */
    XCKn_DDR |= (1<<XCKn;                                   /* XCKnポート ピン出力設定 */
    UCSRnC = (1<<UMSEL1)|(1<<UMSEL0)|(0<<UCPHA)|(0<<UCPOL):
                                                            /* MSPI,データ種別0設定 */
    UCSRnB = (1<<RXEN)|(1<<TXEN);                           /* 送受信許可 */
    UBRRn = baud;                                           /* ボーレート設定 */
}
```

関連リンク 13頁の「コード例について」

22.6. データ転送

USARTでのMSPI動作の使用は送信部が許可されること、換言するとUSART制御/状態レジスタB(UCSRnB)で送信許可(TXEN)ビットが1に設定される必要があります。送信部が許可されると、TXDnピンの標準ピン動作は無視され、送信部の直列出力としての機能を与えられます。受信部の許可は任意選択で、UCSRnBの受信許可(RXEN)ビットの設定(=1)によって行なわれます。受信部が許可されると、RXDnピンの標準ピン動作は無視され、受信部の直列入力としての機能を与えられます。XCKnは両方の場合で転送クロックとして使われます。

初期化後、USARTはデータ転送を行なう準備が整います。データ転送はUSARTデータ レジスタ(UDRn)I/O位置に書くことによって開始されます。送信部が転送クロックを制御するため、これは送受信データ両方の状態についてです。UDRnに書かれたデータは移動レジスタが新規フレームを送る準備が整った時に送信緩衝部から移動レジスタへ移されます。

注: 入力緩衝部に於いて送信されたデータ バイト数との同期を保つために、送信された各バイトに対して一度、UDRnが読まれなければなりません。入力緩衝操作は通常のUSART動作と同じで、換言すると、オーバーランが起きると、緩衝部内の先頭ではなく最後に受信したデータが失われます。これは第1バイト、第2、第3、第4バイトの順で4バイトのデータが送信され、全ての転送が完了される前にDDRnが読まれない場合、第1バイトではなく、受信されるべき第3バイトが失われます。

次のコード例はUSART制御/状態レジスタA(UCSRnA)の送信データ レジスタ空き(UDRE)フラグのポーリングに基いた、簡単なUSARTでのMSPIM転送関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定され、受信したデータは関数復帰後、同じR16レジスタで利用できます。

この関数は送信されるべき新規データを設定する前に、UDREの検査によって送信緩衝部が空になるのを単純に待ちます。その後、緩衝部を読んで値を戻す前に、RXCフラグの検査によって受信緩衝部にデータが存在するのを待ちます。

アセンブリ言語プログラム例

```
USART_MSPI:  SBIS    UCSRnA,UDRE        ;送信緩衝部空きでスキップ
             RJMP    USART_MSPI         ;送信緩衝部空き待機
;
             OUT     UDRn,R16           ;データ送信(送信開始)
USART_SPIR:  SBIS    UCSRnA,RXC         ;受信完了でスキップ
             RJMP    USART_SPIR         ;受信完了待機
;
             IN      R16,UDRn           ;受信データ取得
             RET                        ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_MSPIM_Transfer(unsigned int data)
{
             while ( !(UCSRnA & (1<<UDRE)) );   /* 送信緩衝部空き待機 */
             UDRn = data;                       /* データ送信(送信開始) */
             while ( !(UCSRnA & (1<<RXC)) );    /* 受信完了待機 */
             return UDRn;                       /* 受信データ取得 */
}
```

関連リンク 13頁の「コード例について」

22.6.1. 送受信フラグと割り込み

USARTのMSPI動作での受信完了(RXC)、送信完了(TXC)、送信データ レジスタ空き(UDRE)フラグと対応する割り込みは通常のUSART操作と機能的に同一です。けれども受信異常状態フラグ(FE,DOR,UPE)は使えず、常に0として読みます。

22.6.2. 送受信の禁止

USARTのMSPI動作での送受信部の禁止は通常のUSART操作と機能的に同一です。

22.7. USARTでのMSPIMとSPIの比較

USARTでのMSPI動作は次に関してSPIと完全な互換性があります。

- 主装置動作ﾀｲﾐﾝｸﾞ図
- ｸﾛｯｸ極性選択(UCPOL)ﾋﾞｯﾄはSPIのSCK極性選択(CPOL)ﾋﾞｯﾄと機能的に同じです。
- ｸﾛｯｸ位相選択(UCPHA)ﾋﾞｯﾄはSPIのSCK位相選択(CPHA)ﾋﾞｯﾄと機能的に同じです。
- ﾃﾞｰﾀ順選択(UDORD)ﾋﾞｯﾄはSPIのﾃﾞｰﾀ順選択(DORD)ﾋﾞｯﾄと機能的に同じです。

けれどもUSARTでのMSPI動作がUSART資源を再使用するため、USARTでのMSPI動作はSPIと比較して多少異なります。加えて制御ﾚｼﾞｽﾀ ﾋﾞｯﾄの差異、主装置動作だけがUSARTでのMSPI動作によって支援されること、2つの部間で異なる次の特質があります。

- USARTでのMSPI動作は送信部の(2重)緩衝部を含みます。SPIは緩衝部を持ちません。
- USARTのMSPI動作での受信部は追加の緩衝段を含みます。
- SPIの上書き(WCOL)ﾋﾞｯﾄはUSARTでのMSPI動作に含まれません。
- SPIの倍速許可(SPI2X)ﾋﾞｯﾄは含まれません。しかし、対応するﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ(UBRRn)設定によって同じ効果が達せられます。
- 割り込みﾀｲﾐﾝｸﾞに互換性はありません。
- USARTでのMSPI動作が主装置動作だけのため、ﾋﾟﾝ制御が異なります。

USARTのMSPI動作とSPIでのﾋﾟﾝは右表で示されます。

表22-3. USARTでのMSPIMとSPIのﾋﾟﾝ比較

USART MSPIM	SPI	備考
TXDn	MOSI	主装置出力のみ
RXDn	MISO	主装置入力のみ
XCKn	SCK	(機能的に同一)
該当なし	$\overline{SS}$	USARTでのMSPIMで未支援

22.8. MSPIMでのUSART用ﾚｼﾞｽﾀ

USART用ﾚｼﾞｽﾀ記述を参照してください。

関連ﾘﾝｸ 142頁の「USART用ﾚｼﾞｽﾀ」

23. TWI – 2線直列インターフェース (2-wire Serial Interface)

23.1. 特徴

- 2本のバス信号線のみ必要な、単純ながら強力で柔軟な通信インターフェース
- 主装置動作と従装置動作の両方を支援
- 送信装置または受信装置として動作可能
- 7ビットのアドレス空間が128までの異なる従装置アドレスを許容
- 複数主装置の調停支援
- 400kHzまでのデータ転送速度
- 上昇/下降(スリューレート)制限された出力駆動回路
- バス信号線のスパイクを排除する雑音消去回路
- 一斉呼び出しを含む完全に設定変更可能な従装置アドレスの支援
- AVRが休止形態の時のアドレス認証(一致)起動
- Philips I²C規約互換

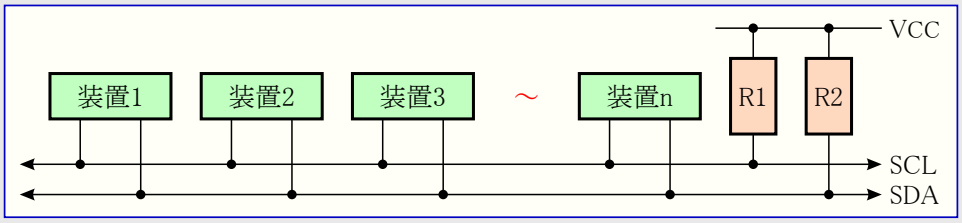
電力削減レジスタのTWI電力削減(PRR0.PRTWI)ビットは2線直列インターフェースを許可するために0を書かれなければなりません。

関連リンク　34頁の「PM – 電力管理と休止形態」

23.2. 2線直列インターフェース バスの定義

2線直列インターフェース(TWI)は代表的なマイクロ コントローラ応用に対して理想的に適応されています。TWI通信規約は2本の双方向バス信号線、データ用1本(SDA)とクロック用1本(SCL)だけを使って128個までの異なる装置の相互接続をシステム設計者に許します。バスを実現するのに必要とされる外部ハードウェアはTWIバス信号線各々に1本づつのプルアップ抵抗だけです。バスに接続した全ての装置は個別のアドレスを持ち、バス衝突を解決する機構は本質的にTWI通信規約で行います。

図23-1. 2線直列(TWI)バス構成



23.2.1. TWI用語定義

次の定義は本章で度々使われます。

表23-1. TWI用語定義

用語	意味
主装置	送信の開始と終了を行う装置。主装置はSCLクロックも生成します。
従装置	主装置によって指定された装置。
送信装置	バス上にデータを送り出す装置。
受信装置	バスからデータを読み込む装置。

23.2.2. 電気的な相互接続

TWIバス定義で描かれるように両方のバス信号線はプルアップ抵抗を通して正供給電圧に接続されます。全てのTWI準拠装置のバス駆動部はオープン ドレインかオープン コレクタです。これはインターフェースの動作のために重要なワイアードAND機能を実現します。TWIバス信号線のLowレベルは1つまたはより多くのTWI装置の0出力時に生成されます。Highレベルは全TWI装置がHi-Z出力時の出力で、プルアップ抵抗に信号線をHighへ引き上げさせます。どんなバス動作を許すのにも、TWIバスに接続した全てのAVRデバイスが電力供給されなければならないことに注意してください。

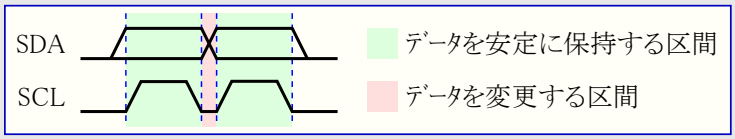
このバスに接続できる装置数は7ビットの従装置アドレス空間と400pFのバス容量制限によってのみ制限されます。TWIの電気的特性の詳細仕様は「**2線直列インターフェース特性**」で与えられます。そこで与えられる2組の異なる仕様は、1つがバス速度100kHz以下に関するもので、もう1つはバス速度400kHzまでに関して有効です。

23.3. ﾃﾞｰﾀ転送とﾌﾚｰﾑ形式

23.3.1. ﾋﾞｯﾄ転送

TWIﾊﾞｽに転送される各ﾃﾞｰﾀ ﾋﾞｯﾄはｸﾛｯｸ信号線のﾊﾟﾙｽを伴います。ﾃﾞｰﾀ信号線のﾚﾍﾞﾙはｸﾛｯｸ信号線がHighの時に安定していなければなりません。この規則の例外は開始条件と停止条件の生成だけです。

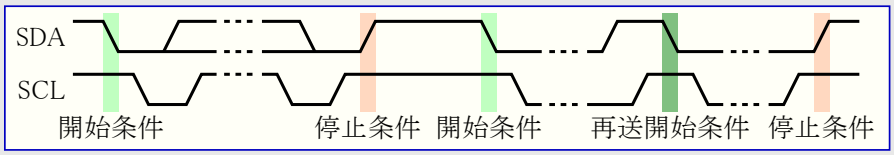
図23-2. ﾃﾞｰﾀの有効性



23.3.2. 開始条件と停止条件

主装置がﾃﾞｰﾀ転送の開始と終了を行います。転送は主装置がﾊﾞｽに開始条件を起こすと開始され、主装置が停止条件を起こすと終了されます。開始条件と停止条件間はﾊﾞｽが使用中と考えられ、他の主装置はﾊﾞｽの制御獲得を試みるべきではありません。開始条件と停止条件間で新規開始条件が起こされると特別な状態が起きます。これは再送開始条件として引用され、主装置がﾊﾞｽの制御を手放さずに新規転送を始めたい時に使われます。再送開始条件後、ﾊﾞｽは次の停止条件まで使用中と考えられます。これは開始動作についてと全く同じで、従って特記事項を除いて本ﾃﾞｰﾀｼｰﾄの残りに対して開始条件と再送開始条件の両方の記述に開始条件が使われます。下で描かれるように、開始条件と停止条件はSCL信号線がHighの時のSDA信号線のﾚﾍﾞﾙ変更によって指示されます。

図23-3. 開始条件、再送開始条件、停止条件 ﾊﾞｽ ﾀｲﾐﾝｸﾞ



23.3.3. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ形式

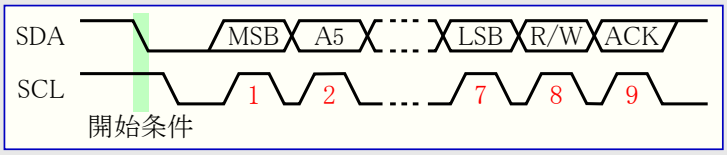
TWIﾊﾞｽに送信した全てのｱﾄﾞﾚｽ ﾊﾟｹｯﾄは7ﾋﾞｯﾄのｱﾄﾞﾚｽ ﾋﾞｯﾄ、1ﾋﾞｯﾄの方向(Read/Write)制御ﾋﾞｯﾄ、1ﾋﾞｯﾄの応答ﾋﾞｯﾄから成る9ﾋﾞｯﾄです。方向(R/W)ﾋﾞｯﾄが設定(1)されると読み出し操作が実行され、さもなければ書き込み操作が実行されるべきです。従装置がｱﾄﾞﾚｽ指定されたことを認証すると、9番目のSCL(ACK)周期でSDAをLowへ引くことによって確認応答すべきです。ｱﾄﾞﾚｽ指定された従装置が忙しいまたはその他の理由で主装置の要求を扱えない場合、確認応答(ACK)ｸﾛｯｸ周期でSDA信号線をHighのままにすべきです。主装置はその後に停止条件または新規転送を始めるために再送開始条件を送出できます。従装置ｱﾄﾞﾚｽと方向(R/W)ﾋﾞｯﾄから成るｱﾄﾞﾚｽ ﾊﾟｹｯﾄは各々、SLA+RまたはSLA+Wと呼ばれます。

ｱﾄﾞﾚｽ ﾋﾞｯﾄの最上位ﾋﾞｯﾄ(MSB)が最初に送信されます。従装置ｱﾄﾞﾚｽは設計者によって自由に割り当てられますが、'0000 000'のｱﾄﾞﾚｽは一斉呼び出し用に予約されています。

一斉呼び出しが起こされると、全従装置は確認応答(ACK)周期でSDA信号線をLowにすることによって応答すべきです。一斉呼び出しは主装置がｼｽﾃﾑ内のそれぞれの従装置に同じ通信内容を送信したい時に使われます。一斉呼び出しｱﾄﾞﾚｽに続きW(方向が書き込み)ﾋﾞｯﾄがﾊﾞｽに送信されると、一斉呼び出しに応答する設定の全ての従装置は、ACK周期でSDA信号線をLowに引き込みます。そして後続のﾃﾞｰﾀ ﾊﾟｹｯﾄは一斉呼び出しに確認応答した全従装置によって受信されます。一斉呼び出しｱﾄﾞﾚｽに続くR(方向が読み出し)ﾋﾞｯﾄの送信は、従装置それぞれが異なるﾃﾞｰﾀの送信を始めた場合の衝突の原因となるので意味がないことに注意してください。

'1111 xxx'形式の全ｱﾄﾞﾚｽは将来の目的のために予約されるべきです(**訳補**: I²C規格のｱﾄﾞﾚｽ拡張他)。

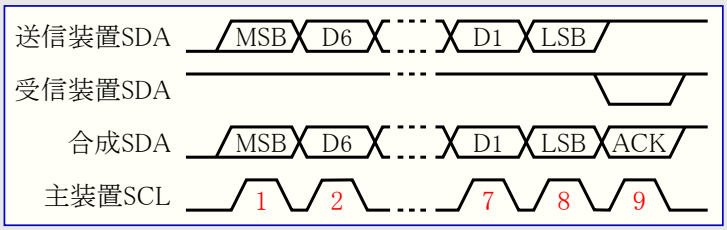
図23-4. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ形式



23.3.4. ﾃﾞｰﾀ ﾊﾟｹｯﾄ形式

TWIﾊﾞｽに送信した全てのﾃﾞｰﾀ ﾊﾟｹｯﾄは1ﾊﾞｲﾄのﾃﾞｰﾀと1ﾋﾞｯﾄの応答ﾋﾞｯﾄから成る9ﾋﾞｯﾄです。ﾃﾞｰﾀ転送中、主装置はｸﾛｯｸと開始条件、停止条件を生成し、一方受信装置は受信に応答する責任があります。確認応答(ACK)は受信装置が9番目のSCL周期中にSDA信号線をLowに引き込むことによって示されます。受信装置がSDA信号線をHighのままにするとNACKを示します。受信装置が最終ﾊﾞｲﾄを受信したとき、または何らかの理由でこれ以上のﾊﾞｲﾄを受信ができないとき、最終ﾊﾞｲﾄ後にNACKを送ることによって送信装置へ通知すべきです。ﾃﾞｰﾀﾊﾞｲﾄの最上位(MSB)ﾋﾞｯﾄが最初に送信されます。

図23-5. ﾃﾞｰﾀ ﾊﾟｹｯﾄ形式

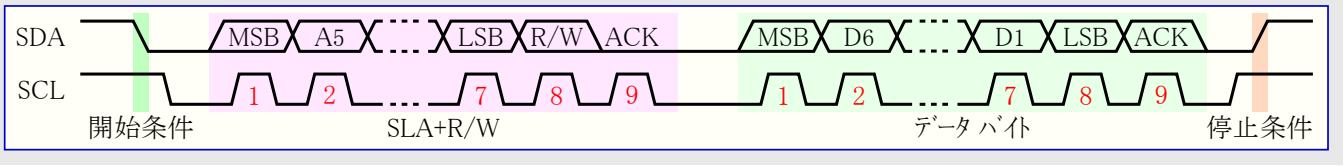


23.3.5. 転送内でのｱﾄﾞﾚｽ ﾊﾟｹｯﾄとﾃﾞｰﾀ ﾊﾟｹｯﾄの組み合わせ

転送は基本的に開始条件、SLA+R/W、1つ以上のﾃﾞｰﾀ ﾊﾟｹｯﾄ、停止条件から成ります。開始条件に続く停止条件から成る空の通信内容は規則違反です。SCL信号線のﾜｲｱｰﾄﾞANDが主装置と従装置間のﾊﾝﾄﾞｼｪｰｸに使えることに注目してください。従装置はSCL信号線をLowに引き込むことによってSCLのLow期間を引き伸ばせます。これは主装置が従装置に対して速すぎるｸﾛｯｸ速度設定、または従装置がﾃﾞｰﾀ送信間の処理に追加時間を必要とする場合に有用です。従装置がSCLのLow期間を延長することは、主装置によって決められるSCLのHigh期間に影響しません。同様に従装置はSCLのﾃﾞｭｰﾃｨ比(Low期間)を延長することによってTWIﾃﾞｰﾀ転送速度を落とせます。

下図は下図代表的なﾃﾞｰﾀ転送を示します。応用ｿﾌﾄｳｪｱによって実装されたｿﾌﾄｳｪｱ規約に依存して、様々なﾃﾞｰﾀがSLA+R/Wと停止条件間に送信できることに注意してください。

図23-6. 代表的なﾃﾞｰﾀ転送



23.4. 複数主装置ﾊﾞｽ ｼｽﾃﾑの調停と同期

TWI規約は多数主装置のﾊﾞｽ ｼｽﾃﾑを許します。例え2つ以上の主装置が同時に送信を始めても、送信が通常のように続行することを保証するために特別な手段が講じられます。複数主装置のｼｽﾃﾑでは2つの問題が起こります。

- 送信を完了するために1つの主装置だけを許す方法が実現されなければなりません。他の全ての主装置は(自身が行っている従装置)選択手順を失った(失敗した)ことに気付く時に送信を止めるべきです。この選択手順は調停(ｱﾋﾞﾄﾚｰｼｮﾝ)と呼ばれます。競合する主装置は調停(従装置選択)手順を失ったことに気付くと、勝ち残った主装置によってｱﾄﾞﾚｽ指定されるかどうかを調べるため、直ちに従装置動作へ切り替えるべきです。複数の主装置が同時に送信を始めた事実は従装置で検知できるべきではありません。換言すると、ﾊﾞｽに転送されているﾃﾞｰﾀが不正にされてはなりません。
- 違う主装置が異なるSCL周波数を使うかもしれません。同期確定手順で送信が続行するために、全主装置からの直列ｸﾛｯｸを同期化する方法が考案されなければなりません。これは調停手順を容易にします。

ﾊﾞｽ信号線のﾜｲｱｰﾄﾞANDはこれらの問題の両方の解決に使われます。全ての主装置からの直列ｸﾛｯｸはﾜｲｱｰﾄﾞANDされ、最短High期間の主装置の1つからに等しいHigh期間の合成ｸﾛｯｸを生成します。合成ｸﾛｯｸのLow期間は最長Low期間の主装置のLow期間に等しくなります。全ての主装置がSCL信号線を監視する、実際には合成SCL信号線がHighまたはLowになる時に各々SCLのHighとLow経過時間の計時を始めることに注意してください。

調停は全ての主装置がﾃﾞｰﾀ出力後にSDA信号線を継続的に監視することによって実行されます。SDA信号線から読んだ値がその主装置の出力した値と一致しない場合、調停に敗れます。主装置がSDAにHigh値を出力し、同時に他の主装置がLow値を出力する時のみ調停に敗れるかもしれないことに注意してください。敗れた主装置は直ちに従装置動作へ移行し、勝ち残った主装置によってｱﾄﾞﾚｽ指定されるかを検査すべきです。SDA信号線はHighのままにすべきですが、敗れた主装置は現在のﾃﾞｰﾀ若しくはｱﾄﾞﾚｽ ﾊﾟｹｯﾄの最後までｸﾛｯｸ信号を生成することを許されます。調停は唯一の主装置が残るまで継続され、多くのﾋﾞｯﾄを必要とするかもしれません。多くの主装置が同じ従装置をｱﾄﾞﾚｽ指定しようとすると、調停はﾃﾞｰﾀ ﾊﾟｹｯﾄに続くでしょう。

図23-7. 複数主装置間でのSCL同期化

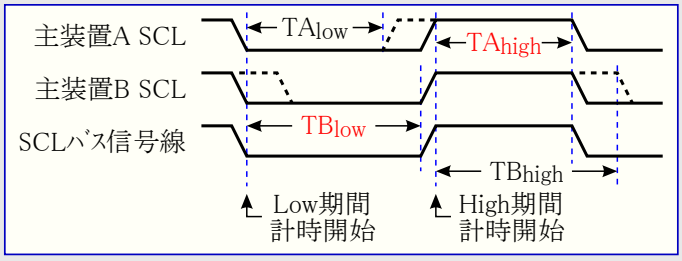
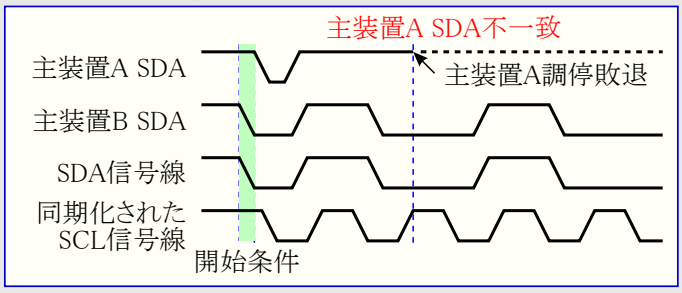


図23-8. 2つの主装置間での調停



調停が次の状態間で許されないことに注意してください。

- 再送開始条件とﾃﾞｰﾀ ﾋﾞｯﾄ間
- 停止条件とﾃﾞｰﾀ ﾋﾞｯﾄ間
- 再送開始条件と停止条件間

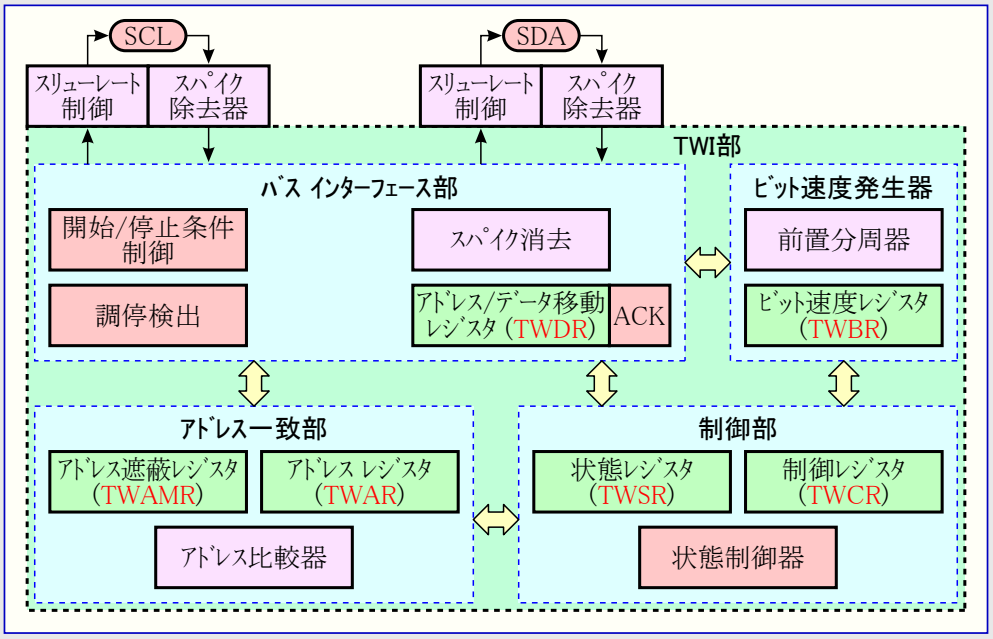
これらの違法な調停状態を決して起こさないように保証するのは使用者ｿﾌﾄｳｪｱの責任です。これは複数主装置ｼｽﾃﾑでの全てのﾃﾞｰﾀ転送は同じ構成、SLA+R/Wとﾃﾞｰﾀ ﾊﾟｹｯﾄを使わなければならないことを意味します。言葉を変えると、全ての送信は同じﾃﾞｰﾀ ﾊﾟｹｯﾄ数を含まなければならず、さもなければ調停の結果は不定にされます。

(訳補) 同じﾃﾞｰﾀ ﾊﾟｹｯﾄ数とは、或る主装置が最後まで調停を継続し、他の主装置がﾊﾟｹｯﾄを残している場合を想定しています。

23.5. TWI部の概要

下図で示されるようにTWI部は様々な部分から成ります。赤文字で示された(**訳注**:原文は太線で描かれた)全てのﾚｼﾞｽﾀはAVRﾃﾞｰﾀﾊﾞｽを通してｱｸｾｽ可能です。

図23-9. 2線直列ｲﾝﾀｰﾌｪｰｽ構成



23.5.1. SCLとSDAﾋﾟﾝ

これらのﾋﾟﾝはAVR TWIをMCUｼｽﾃﾑのその他とｲﾝﾀｰﾌｪｰｽします。出力駆動部はTWI仕様に適合させるためのｽﾘｭｰﾚｰﾄ(上昇/下降)制限器を含みます。入力段は50nsよりも短いｽﾊﾟｲｸを除去するｽﾊﾟｲｸ消去部を含みます。「**入出力ﾎﾟｰﾄ**」章で説明したようにAVRﾊﾟｯﾄﾞの内部ﾌﾟﾙｱｯﾌﾟはSCLとSDAのﾋﾟﾝに対応するﾎﾟｰﾄのﾋﾞｯﾄを設定(=1)することによって許可できることに注目してください。内部ﾌﾟﾙｱｯﾌﾟはいくつかのｼｽﾃﾑで外部抵抗の必要をなくせます。

23.5.2. ﾋﾞｯﾄ速度発生器

この部分は主装置動作で動く時のSCL周期を制御します。SCL周期はTWIﾋﾞｯﾄ速度ﾚｼﾞｽﾀ(TWBR)とTWI状態ﾚｼﾞｽﾀ(TWSR)の前置分周器ﾋﾞｯﾄの設定によって制御されます。従装置動作はﾋﾞｯﾄ速度や前置分周器設定と関係ありませんが、従装置でのCPUｸﾛｯｸ周波数はSCL周波数よりも最低16倍高くなければなりません。従装置がSCLのLow期間を延長するかもしれず、これによって平均TWIﾊﾞｽ ｸﾛｯｸ周波数が減少することに注意してください。SCL周波数は次式に従って生成されます。

$$\text{SCL周波数} = \frac{\text{CPUｸﾛｯｸ周波数}}{16+2\times(\text{TWBR})\times\text{前置分周値}}$$

TWBR　：TWI ﾋﾞｯﾄ速度ﾚｼﾞｽﾀ値
前置分周値　：TWI状態ﾚｼﾞｽﾀの前置分周器選択(TWPS)をご覧ください。

注: ﾌﾟﾙｱｯﾌﾟ抵抗値はSCL周波数とﾊﾞｽ信号線の容量性負荷に応じて選ばれるべきです。適切なﾌﾟﾙｱｯﾌﾟ抵抗の値については「**2線直列ｲﾝﾀｰﾌｪｰｽ特性**」をご覧ください。

関連ﾘﾝｸ　228頁の「2線直列ｲﾝﾀｰﾌｪｰｽ特性」

23.5.3. ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ部

この部分はﾃﾞｰﾀとｱﾄﾞﾚｽの移動ﾚｼﾞｽﾀ(TWDR)、開始条件/停止条件制御器、調停検出回路を含みます。TWDRは送信されるべきｱﾄﾞﾚｽまたはﾃﾞｰﾀ ﾊﾞｲﾄ、若しくは受信したｱﾄﾞﾚｽまたはﾃﾞｰﾀ ﾊﾞｲﾄを含みます。8ﾋﾞｯﾄのTWDRに加えてﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ部は送信されるべきまたは受信した(N)ACKﾋﾞｯﾄを含むﾚｼﾞｽﾀも含みます。この(N)ACKﾚｼﾞｽﾀは応用ｿﾌﾄｳｪｱによって直接的にｱｸｾｽできません。けれどもTWI制御ﾚｼﾞｽﾀ(TWCR)を操作することにより、受信時に設定(1)または解除(0)できます。送信装置動作時、受信した(N)ACKﾋﾞｯﾄの値はTWSRの値によって判定できます。

開始条件/停止条件制御器は開始条件、再送開始条件、停止条件の生成と検出に対して責任があります。開始条件/停止条件制御器はAVR MCUが主装置によってｱﾄﾞﾚｽ指定された場合にMCUを起動できる休止形態の1つの時でも、開始条件または停止条件を検出できます。

TWIが主装置として送信を始めると、調停検出ﾊｰﾄﾞｳｪｱは調停が進行中かを決めるために送信の試行を継続的に監視します。TWIが調停に敗れた場合、制御部に通知されます。その後に正しい処置が行われ、適切な状態符号が生成されます。

23.5.4. ｱﾄﾞﾚｽ一致部

ｱﾄﾞﾚｽ一致部は受信したｱﾄﾞﾚｽ ﾊﾞｲﾄがTWI ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)の7ﾋﾞｯﾄ ｱﾄﾞﾚｽと一致するかを検査します。TWARで一斉呼び出し検出許可(TWGCE)ﾋﾞｯﾄが1を書かれると、全ての到着ｱﾄﾞﾚｽ ﾋﾞｯﾄは一斉呼び出しｱﾄﾞﾚｽに対しても比較されます。ｱﾄﾞﾚｽ一致で制御部は通知され、正しい処置を行うことを許します。TWIはTWI制御ﾚｼﾞｽﾀ(TWCR)の設定に依存し、そのｱﾄﾞﾚｽへの応答をするかもしれないし、しないかもしれません。ｱﾄﾞﾚｽ一致部はAVR MCUが主装置によってｱﾄﾞﾚｽ指定された場合にMCUを起動できる休止形態の1つの時でも、ｱﾄﾞﾚｽを比較できます。

23.5.5. 制御部

制御部はTWIﾊﾞｽを監視し、TWI制御ﾚｼﾞｽﾀ(TWCR)の設定に従った応答を生成します。応用に注意を要求する事象がTWIﾊﾞｽで起こると、TWI割り込み要求ﾌﾗｸﾞ(TWINT)が有効にされます。次のｸﾛｯｸ周期で、TWI状態ﾚｼﾞｽﾀ(TWSR)は事象を示す状態符号で更新されます。TWI割り込み要求ﾌﾗｸﾞが有効にされる時にだけ、TWSRは適切な状態情報を含みます。他の全てのとき、TWSRは適切な状態情報が利用できないことを示す特別な状態符号を含みます。TWINTﾌﾗｸﾞが設定(1)されている限り、SCL信号線はLowに保たれます。これは続くTWI送信を許す前の(現状)処理完了を応用ｿﾌﾄｳｪｱに許します。

TWI割り込み要求ﾌﾗｸﾞ(TWINT)は次の場合に設定(1)されます。

- 開始条件または再送開始条件送信後
- SLA+R/W送信後
- ｱﾄﾞﾚｽ ﾊﾞｲﾄ送信後
- 調停に敗れた後
- 自身の従装置ｱﾄﾞﾚｽまたは一斉呼び出しによってｱﾄﾞﾚｽ指定された後
- ﾃﾞｰﾀ ﾊﾞｲﾄ受信後
- 従装置として未だｱﾄﾞﾚｽ指定されている間の停止条件または再送開始条件受信後
- 不正な開始条件または停止条件のためﾊﾞｽ異常が起きた時

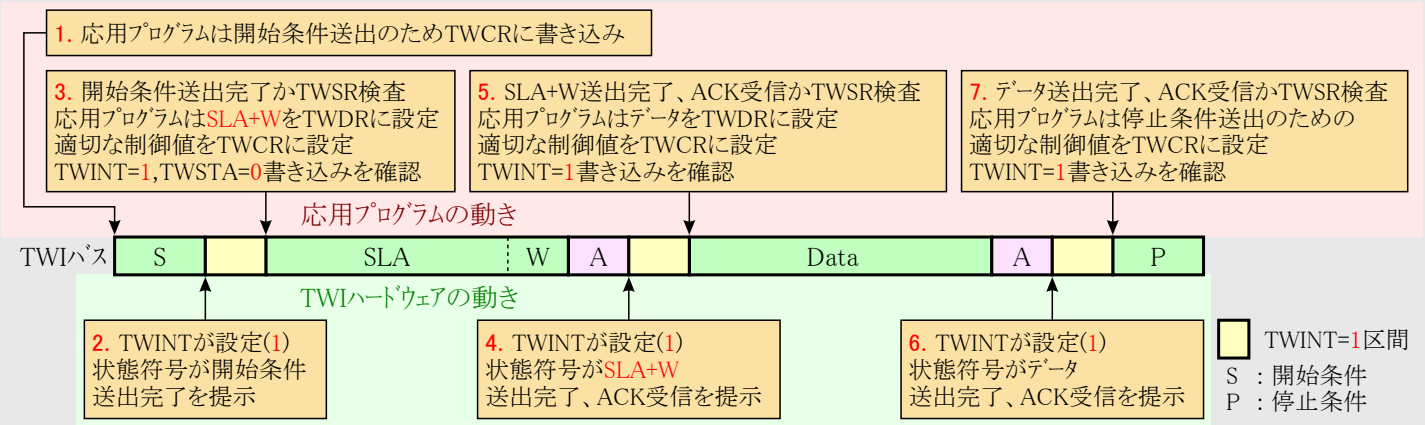
23.6. TWIの使用法

AVR TWIはﾊﾞｲﾄ志向で割り込みが基本です。割り込みはﾊﾞｲﾄの受信や開始条件の送出のような全てのﾊﾞｽの事象後に起こります。TWIは割り込みが基本のため、応用ｿﾌﾄｳｪｱはTWIﾊﾞｲﾄ転送中に他の操作を続行するために開放されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと共にTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み許可(TWIE)ﾋﾞｯﾄは、TWCRのTWI割り込み要求ﾌﾗｸﾞ(TWINT)の設定(1)が割り込み要求を発生すべきかどうか決めることを応用(ｿﾌﾄｳｪｱ)に許します。TWIEﾋﾞｯﾄが解除(0)されると、応用(ｿﾌﾄｳｪｱ)はTWIﾊﾞｽの動きを検知するためにTWINTﾌﾗｸﾞをﾎﾟｰﾘﾝｸﾞしなければなりません。

TWINTﾌﾗｸﾞが設定(1)されると、TWIは動作を終え、応用(ｿﾌﾄｳｪｱ)の応答を待ちます。この場合、TWI状態ﾚｼﾞｽﾀ(TWSR)はTWIﾊﾞｽの現在の状態を示す値を含みます。そして応用ｿﾌﾄｳｪｱはTWCRとTWDRの操作により、TWIが次のTWIﾊﾞｽ周期で何を行うべきかを決定できます。

下図は応用(ｿﾌﾄｳｪｱ)がTWIﾊｰﾄﾞｳｪｱにどうｲﾝﾀｰﾌｪｰｽできるかの簡単な例を図解します。この例では主装置が単一ﾃﾞｰﾀ ﾊﾞｲﾄを従装置に送信しようとします。より詳細な説明は本項の後に続きます。簡単なｺｰﾄﾞ例が以降の表で示されます。

図23-10. 代表的な送信での応用ﾌﾟﾛｸﾞﾗﾑとTWIのｲﾝﾀｰﾌｪｰｽ



1. TWI送信の最初の段階は開始条件を送出することです。これはTWIﾊｰﾄﾞｳｪｱに開始条件送出を命じる特別な値をTWCR内に書くことによって行います。どんな値を書くかは後で記述されます。けれども、書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みは、このﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちに開始条件の送出を始めます。
2. 開始条件が送出されてしまうと、TWCRでTWINTﾌﾗｸﾞが設定(1)され、TWSRは開始条件が正常に送出されてしまったことを示す状態符号に更新されます。
3. 応用ｿﾌﾄｳｪｱは開始条件が正常に送信されたのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRがその他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)はTWDRにSLA+Wを設定しなければなりません。TWDRがｱﾄﾞﾚｽとﾃﾞｰﾀの両方に使われることを思い出してください。TWDRが望むSLA+Wに設定されてしまった後、TWDRにあるSLA+Wの送信をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちにｱﾄﾞﾚｽ ﾊﾟｹｯﾄの送信を始めます。
4. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄが送信されてしまうと、TWCRでTWINTﾌﾗｸﾞが設定(1)され、TWSRはｱﾄﾞﾚｽ ﾊﾟｹｯﾄが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がﾊﾟｹｯﾄに応答したかどうかも反映します。
5. 応用ｿﾌﾄｳｪｱはｱﾄﾞﾚｽ ﾊﾟｹｯﾄが正常に送信され、期待されたACKﾋﾞｯﾄ値であるのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)はTWDRにﾃﾞｰﾀを設定しなければなりません。その後、TWDRにあるﾃﾞｰﾀ ﾊﾟｹｯﾄの送信をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちにﾃﾞｰﾀ ﾊﾟｹｯﾄの送信を始めます。
6. ﾃﾞｰﾀ ﾊﾟｹｯﾄが送信されてしまうと、TWCR内のTWINTﾌﾗｸﾞが設定(1)され、TWSRはﾃﾞｰﾀ ﾊﾟｹｯﾄが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がﾊﾟｹｯﾄに応答したかどうかも反映します。
7. 応用ｿﾌﾄｳｪｱはﾃﾞｰﾀ ﾊﾟｹｯﾄが正常に送信され、期待されたACKﾋﾞｯﾄの値であるのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)は停止条件の送出をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値をTWCRに書かなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちに停止条件の送出を始めます。停止条件が送出されてしまった後にTWINTが設定(1)されないことに注意してください。

この例は簡単とはいえ、全てのTWI送信に関係した原理を示しています。これらは次のように要約できます。

- TWIが動作を終了して応用(ソフトウェア)の反応を予想する時にTWINTフラグが設定(1)されます。SCL信号線はTWINTが解除(0)されるまでLowに引き込まれます。
- TWINTフラグが設定(1)されたなら、使用者は次のTWIバス周期に関連した値で(必要な)全てのTWIレジスタを更新しなければなりません。例で示されるようにTWDRは次のTWIバス周期で送信されるべき値を設定されなければなりません。
- (必要な)全てのTWIレジスタを更新し、その他保留中の応用ソフトウェアの処理が完了されてしまった後にTWCRが書かれます。TWCR書き込み時、TWINTビットが設定(1)されるべきです。TWINTへの1書き込みはこのフラグを解除(0)します。TWCR設定によってどの動作が指定されても、TWIはその(TWINT=0)後に実行を始めます。

下表はアセンブリ言語とC言語の実装例を一覧にします。以下のコードは例えばインクルード ファイルの使用により、様々な定義が作成されてしまっている前提であることに注意してください。

	アセンブリ言語プログラム例	C言語プログラム例	注釈
1.	LDI R16, (1<<TWINT)|(1<<TWSTA) |(1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)|(1<<TWSTA) |(1<<TWEN);	;開始条件送出
2.	WAIT1: IN R16, TWCR SBRS R16, TWINT RJMP WAIT1	while (!(TWCR & (1<<TWINT)));	;TWINT=1まで待機 ;(開始条件送出完了待機)
3.	IN R16, TWSR ANDI R16, $F8 CPI R16, START BRNE ERROR	if ((TWSR & 0xF8) != START) ERROR();	;TWI状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;STARTと異なる状態符号で ;異常処理へ

	LDI R16, SLA_W
	OUT TWDR, R16
	LDI R16, (1<<TWINT)|(1<<TWEN)
	OUT TWCR, R16
		TWDR = SLA_W;
		
		TWCR = (1<<TWINT)|(1<<TWEN);
			;TWDRにSLA+W設定
			;アドレス送信開始のため
			;TWCRのTWINTを解除(0)

4.	WAIT2: IN R16, TWCR SBRS R16, TWINT RJMP WAIT2	while (!(TWCR & (1<<TWINT)));	;TWINT=1まで待機 ;(SLA+W送出完了と ;ACK/NACK受信完了待機)
5.	IN R16, TWSR ANDI R16, $F8 CPI R16, MT_SLA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_SLA_ACK) ERROR();	;TWI状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;MT_SLA_ACKと違う状態符号で ;異常処理へ

	LDI R16, DATA
	OUT TWDR, R16
	LDI R16, (1<<TWINT)|(1<<TWEN)
	OUT TWCR, R16
		TWDR = DATA;
		
		TWCR = (1<<TWINT)|(1<<TWEN);
			;TWDRにデータ設定
			;データ送信開始のため
			;TWCRのTWINTを解除(0)

6.	WAIT3: IN R16, TWCR SBRS R16, TWINT RJMP WAIT3	while (!(TWCR & (1<<TWINT)));	;TWINT=1まで待機 ;(データ送出完了と ;ACK/NACK受信完了待機)
7.	IN R16, TWSR ANDI R16, $F8 CPI R16, MT_DATA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_DATA_ACK) ERROR();	;TWI状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;MT_DATA_ACKと違う状態符号で ;異常処理へ
	LDI R16, (1<<TWINT)|(1<<TWSTO) |(1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)|(1<<TWSTO) |(1<<TWEN);	;停止条件送出

23.7. 転送種別

TWIは以下の4つの主な動作種別の1つで動けます。

- 送信主装置(MT)
- 受信主装置(MR)
- 送信従装置(ST)
- 受信従装置(SR)

これら種別の多くは同じ応用に使えます。例えば、TWI方式のEEPROM内にデータを書くのにTWIはMT動作を、EEPROMからデータを読み戻すのにMR動作を使えます。システム内に他の主装置が存在する場合、それらのいくつかがTWIにデータを送信するかもしれず、するとSR動作が使使われるでしょう。どの動作種別が適正かを決めるのは応用ソフトウェアです。

次項はこれら動作種別の各々を記述します。起こり得る状態符号は各動作種別のデータ伝送詳細図に沿って示されます。これらの図は次の略号を使います。

S	開始(START)条件
Rs	再送開始(REPEATED START)条件
R	読み出し指定ビット (SDA=High)
W	書き込み指定ビット (SDA=Low)
A	確認応答(ACK)ビット (SDA=Low)
$\overline{A}$	非確認応答(NACK)ビット (SDA=High)
Data	8ビット データ バイト
P	停止(STOP)条件
SLA	従装置アドレス

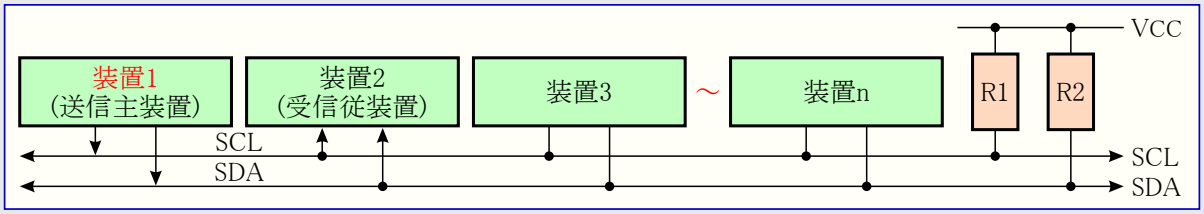
各図に於いて、楕円(**訳注**:原文は円)はTWI制御レジスタ(TWCR)のTWI割り込み要求フラグ(TWINT)が設定(1)されたことを示すのに使われます。この楕円内の番号は前置分周選択ビットが0で遮蔽されたTWI状態レジスタ(TWSR)に保持した状態符号を表します。これら位置での動きはTWI転送の継続または完了が応用(ソフトウェア)によって行われなければなりません。TWI転送はソフトウェアによってTWINTフラグが解除(0)されるまで一時停止されます。

TWI割り込み要求フラグ(TWINT)が設定(1)される時のTWI状態レジスタ(TWSR)の状態符号は適切なソフトウェア動作を決めるのに使われます。各状態符号に対する必要なソフトウェア動作や後続の直列転送の詳細は各動作の状態表の下で与えられます。これらの表に於いて前置分周選択ビットが0で遮蔽されていることに注意してください。

23.7.1. 送信主装置動作

送信主装置(MT)動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが受信従装置へ送信されます(下図をご覧ください)。主装置動作へ移行するには開始条件が送出されなければなりません。それに続くｱﾄﾞﾚｽ ﾊﾟｹｯﾄの形式がMTまたは受信主装置(MR)のどちらへ移行すべきかを決めます。SLA+Wが送信されるとMT動作へ移行し、SLA+Rが送信されるとMR動作へ移行します。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図23-11. 送信主装置動作でのﾃﾞｰﾀ転送



開始条件はTWCR=1x10x10x形式の値をTWI制御ﾚｼﾞｽﾀ(TWCR)に書くことによって送出されます。

- TWI許可(TWCR.TWEN)ﾋﾞｯﾄは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために1を書かれなければなりません。
- 開始条件生成許可(TWCR.TWSTA)ﾋﾞｯﾄは開始条件を送出するために1を書かれなければなりません。
- TWI割り込み要求(TWCR.TWINT)ﾌﾗｸﾞはこのﾌﾗｸﾞを解除(0)するために1を書かれなければなりません。

その後にTWIは2線直列ﾊﾞｽを検査し、ﾊﾞｽが開放になると直ぐに開始条件を生成します。開始条件が送出されてしまった後、TWINTﾌﾗｸﾞがﾊｰﾄﾞｳｪｱによって設定(1)され、TWI状態ﾚｼﾞｽﾀ(TWSR)の状態符号が$08になります(以降の状態符号表をご覧ください)。送信主装置へ移行するにはSLA+Wが送信されなければなりません。これはTWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)にSLA+Wを書くことによって行います。その後、転送を継続するためにTWCR.TWINTﾋﾞｯﾄは(そこへ1を書くことによって)解除(0)されるべきです。これはTWCR=1x00x10x形式の値をTWCRに書くことによって達成されます。

SLA+Wが送信されて応答ﾋﾞｯﾄが受信されてしまうと、TWINTが再び設定(1)され、TWSRの状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は$18,$20,$38です。これら状態符号の各々に対する適切な動作は以降の状態符号表で詳述されます。

SLA+Wが正常に送信されてしまうと、ﾃﾞｰﾀ ﾊﾟｹｯﾄが送信されるべきです。これはTWDRにﾃﾞｰﾀ ﾊﾞｲﾄを書くことによって行われます。TWDRはTWINTが1の時にだけ書かれなければなりません。さもなければ、そのｱｸｾｽは破棄され、TWCRで上書き発生(TWWC)ﾌﾗｸﾞが設定(1)されます。TWDR更新後、転送を継続するためにTWINTﾋﾞｯﾄは(そこへ1を書くことによって)解除(0)されるべきです。これはTWCR=1x00x10x形式の値をTWCRに書くことによって達成されます。

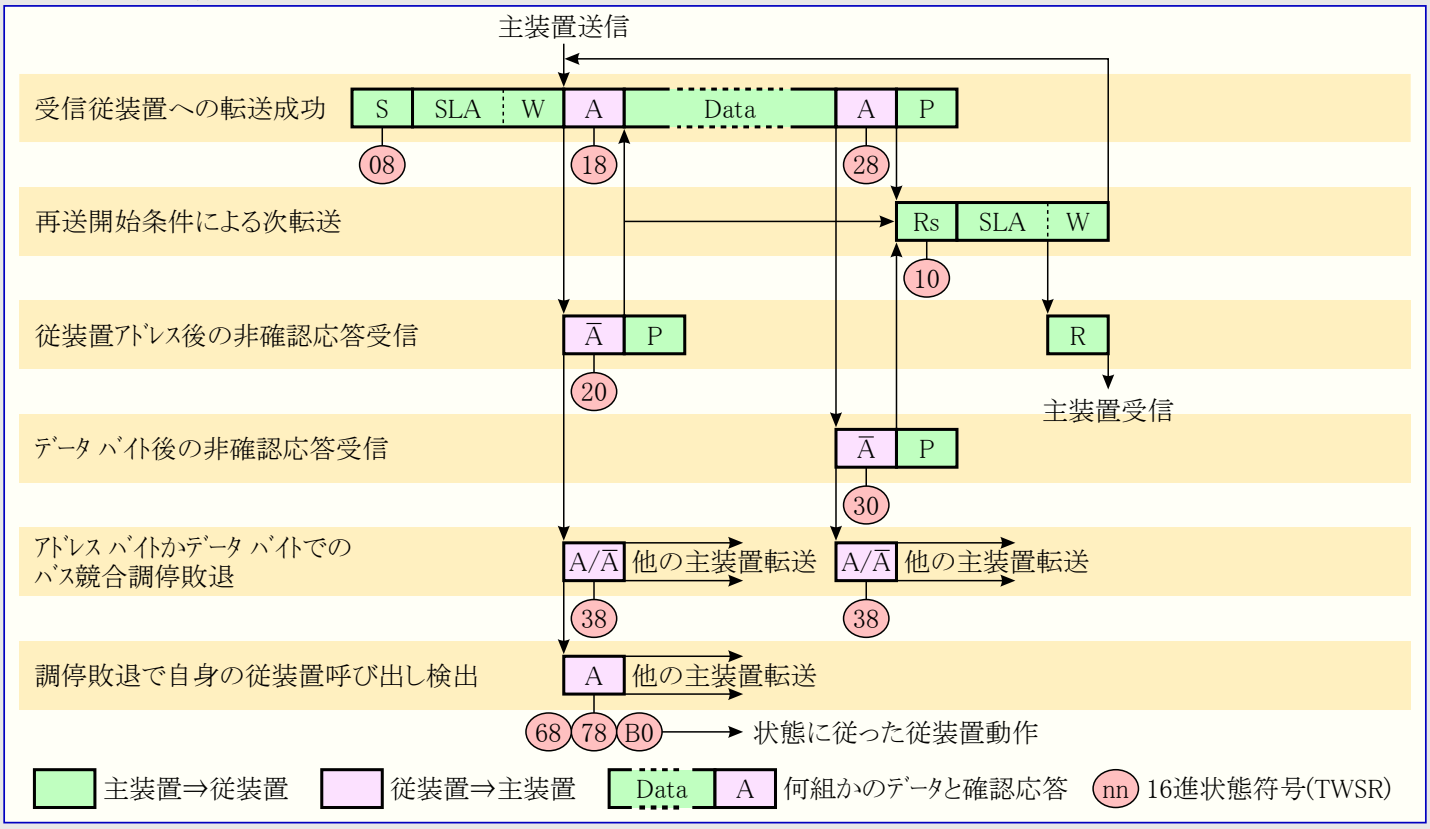
最後のﾊﾞｲﾄが送られてしまうまでこの手順が繰り返され、この転送は停止条件または再送開始条件のどちらかを生成することによって終了されます。再送開始条件は通常の開始条件値(TWCR=1x10x10x)を書くことによって達成されます。停止条件はTWCR=1x01x10x形式の値を書くことによって生成されます。

再送開始条件(状態符号$10)後、2線直列ｲﾝﾀｰﾌｪｰｽは停止条件を送出せずに再び同じ従装置または新しい従装置にｱｸｾｽできます。再送開始条件は主装置がﾊﾞｽの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします(**訳注**:原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表23-2. 送信主装置動作の状態符号（注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提）

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの対応					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$08	開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
$10	再送開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
		SLA+R設定	0	0	1	X	SLA+R送信、受信主装置動作へ移行
$18	SLA+W送信 ACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$20	SLA+W送信 NACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$28	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 ACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$30	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 NACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$38	SLA+W, ﾃﾞｰﾀ ﾊﾞｲﾄでﾊﾞｽ競合調停敗退	なし	0	0	1	X	ﾊﾞｽ開放、未指定従装置動作へ移行
			1	0	1	X	ﾊﾞｽ開放時に開始条件送信

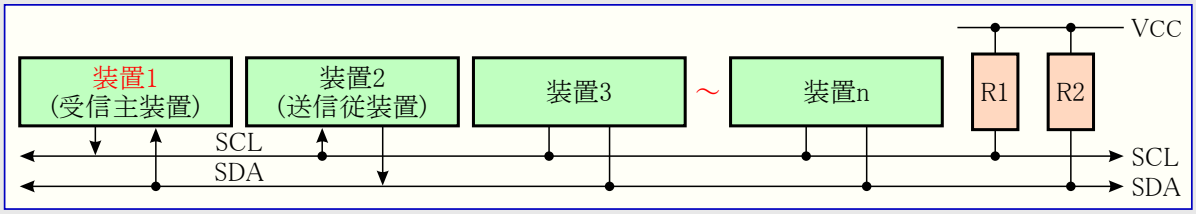
図23-12. 送信主装置動作の形式と状態



23.7.2. 受信主装置動作

受信主装置(MR)動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが送信従装置から受信されます(次図をご覧ください)。主装置動作へ移行するには開始条件が送出されなければなりません。それに続くｱﾄﾞﾚｽ ﾊﾟｹｯﾄの形式が送信主装置(MT)またはMRのどちらへ移行すべきかを決めます。SLA+Wが送信されるとMT動作へ移行し、SLA+Rが送信されるとMR動作へ移行します。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図23-13. 受信主装置動作でのﾃﾞｰﾀ転送



開始条件はTWCR=1x10x10x形式の値をTWI制御ﾚｼﾞｽﾀ(TWCR)に書くことによって送出されます。

- TWI許可(TWCR.TWEN)ﾋﾞｯﾄは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために1を書かれなければなりません。
- 開始条件生成許可(TWCR.TWSTA)ﾋﾞｯﾄは開始条件を送出するために1を書かれなければなりません。
- TWI割り込み要求(TWCR.TWINT)ﾌﾗｸﾞはそこへ1を書くことによって解除(0)されなければなりません。

その後にTWIは2線直列ﾊﾞｽを検査し、ﾊﾞｽが開放になると直ぐに開始条件を生成します。開始条件が送出されてしまった後、TWINTﾌﾗｸﾞがﾊｰﾄﾞｳｪｱによって設定(1)され、TWSRの状態符号が$08になります(以降の状態符号表をご覧ください)。MR動作へ移行するにはSLA+Rが送信されなければなりません。これはTWDRにSLA+Rを書くことによって行います。その後、転送を継続するためにTWINTﾌﾗｸﾞは(そこへ1を書くことによって)解除(0)されるべきです。これはTWCR=1x00x10x形式の値をTWCRに書くことによって達成されます。

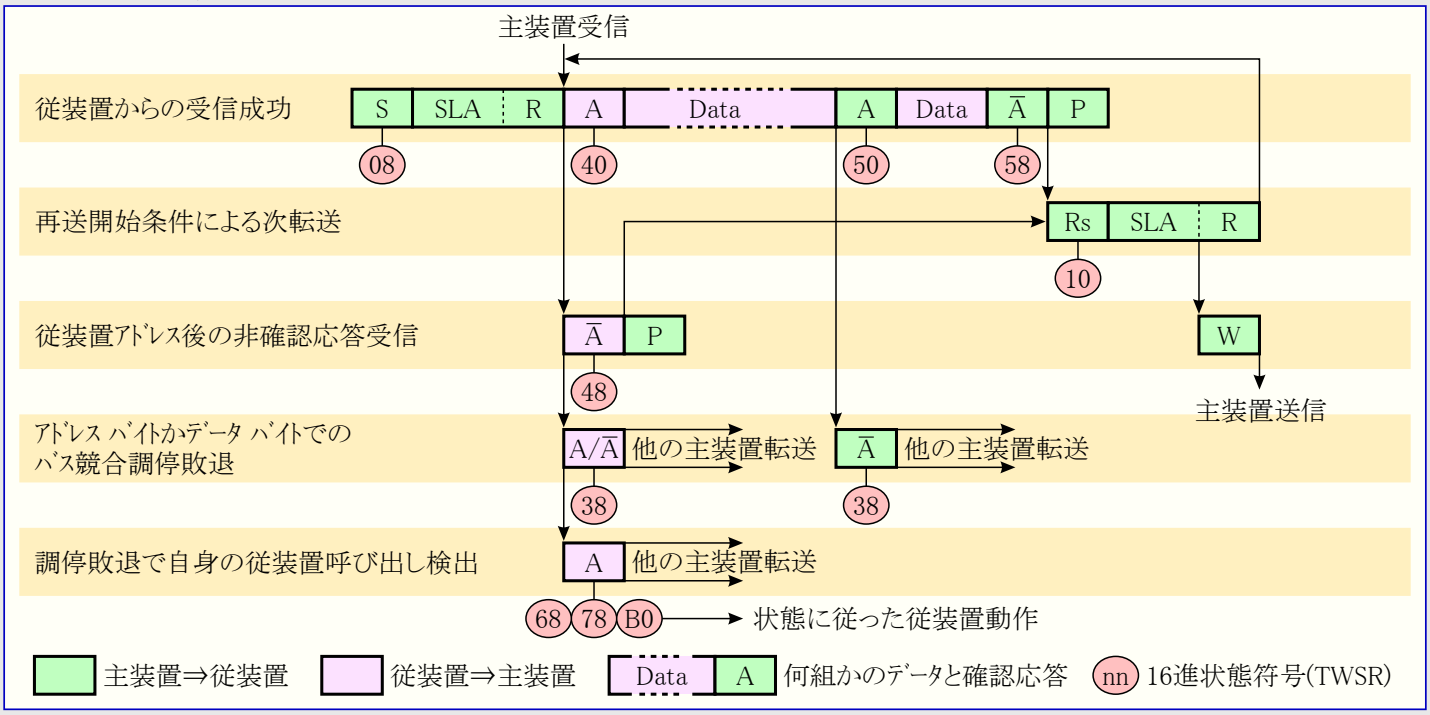
SLA+Rが送信されて応答ﾋﾞｯﾄが受信されてしまうと、TWINTが再び設定(1)され、TWSRの状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は$38,$40,$48です。これら状態符号の各々に対する適切な動作は以降の状態符号表で詳述されます。ﾊｰﾄﾞｳｪｱによってTWINTﾌﾗｸﾞが設定(1)されると、受信したﾃﾞｰﾀがTWDRから読めます。この手順は最後のﾊﾞｲﾄが受信されてしまうまで繰り返されます。最後のﾊﾞｲﾄが受信されてしまった後、受信主装置は最後に受信したﾃﾞｰﾀ ﾊﾞｲﾄ後のNACK送信によって送信従装置へ通知すべきです。この転送は停止条件または再送開始条件を生成することによって終了されます。再送開始条件はTWCR=1x10x10x形式の値を再びTWCRに書くことによって送出されます。停止条件はTWCR=1x01x10xを書くことによって生成されます。

再送開始条件(状態符号$10)後、2線直列ｲﾝﾀｰﾌｪｰｽは停止条件を送出せずに再び同じ従装置または新しい従装置にｱｸｾｽできます。再送開始条件は主装置がﾊﾞｽの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします(**訳注**:原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表23-3. 受信主装置動作の状態符号（注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提）

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの対応					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$08	開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
$10	再送開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
		SLA+W設定	0	0	1	X	SLA+W送信、送信主装置動作へ移行
$38	SLA+Rで調停敗退またはNACK受信	なし	0	0	1	X	ﾊﾞｽ開放、未指定従装置動作へ移行
			1	0	1	X	ﾊﾞｽ開放時に開始条件送信
$40	SLA+R送信 ACK受信	なし	0	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			0	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$48	SLA+R送信 NACK受信	なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$50	ﾃﾞｰﾀ ﾊﾞｲﾄ受信 ACK応答	ﾃﾞｰﾀ取得	0	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			0	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$58	ﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0

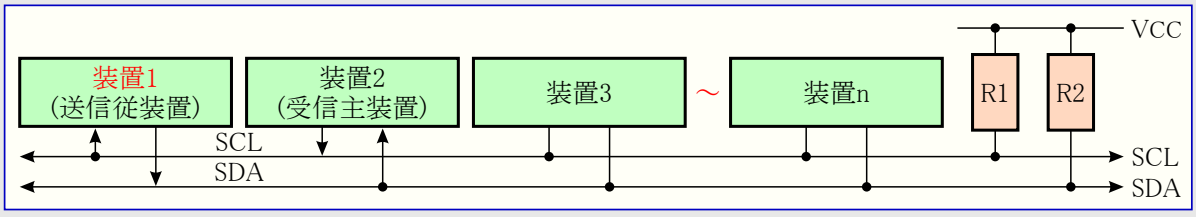
図23-14. 受信主装置動作の形式と状態



23.7.3. 送信従装置動作

送信従装置(ST)動作では下図で示されるように、何ﾊﾞｲﾄかのﾃﾞｰﾀが送信主装置へ送信されます。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図23-15. 送信従装置動作でのﾃﾞｰﾀ転送



ST動作を始めるにはTWI(従装置)ｱﾄﾞﾚｽﾚｼﾞｽﾀ(TWAR)とTWI制御ﾚｼﾞｽﾀ(TWCR)が次のように初期化されなければなりません。

TWARの上位7ﾋﾞｯﾄ(TWAR.TWA6～0)は主装置によってｱﾄﾞﾚｽ指定される時に2線直列ｲﾝﾀｰﾌｪｰｽが応答するｱﾄﾞﾚｽです。TWARの最下位(TWAR.TWGCE)ﾋﾞｯﾄが1を書かれた場合、TWIは一斉呼び出し($00)に応答し、さもなければ一斉呼び出しｱﾄﾞﾚｽを無視します。

TWCRはTWCR=0100010x形式の値を保持しなければなりません。TWENは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために1を書かれなければなりません。TWCR.TWEAは装置自身の従装置ｱﾄﾞﾚｽまたは一斉呼び出しｱﾄﾞﾚｽの確認応答(ACK)を許可するために1を書かれなければなりません。TWCR.TWSTAとTWCR.TWSTOは0を書かれなければなりません。

TWARとTWCRが初期化されてしまうと、TWIは自身の従装置ｱﾄﾞﾚｽ(または許可ならば一斉呼び出しｱﾄﾞﾚｽ)とそれに続くﾃﾞｰﾀ方向ﾋﾞｯﾄによってｱﾄﾞﾚｽ指定されるまで待機します。方向ﾋﾞｯﾄが1(R)ならばTWIは送信従装置で動作し、さもなくば(0(W)ならば)受信従装置へ移行されます。自身の従装置ｱﾄﾞﾚｽとRﾋﾞｯﾄが受信されてしまった後、TWINTﾌﾗｸﾞが設定(1)され、TWSRから有効な状態符号が読めます。この状態符号は適切なｿﾌﾄｳｪｱ動作を決めるのに使われます。各状態符号に対して行うべき適切な動作は以降の状態符号表で詳述されます。ST動作はTWIが主装置動作の間で調停に敗れた場合にも移行されるかもしれません(状態符号$B0をご覧ください)。

転送中にTWCR.TWEAﾋﾞｯﾄが0を書かれると、TWIは転送の最後のﾊﾞｲﾄを送信します。受信主装置が最終ﾊﾞｲﾄ後にACKまたはNACKのどちらを送信するかによって状態$C0か$C8へ移行します。TWIはｱﾄﾞﾚｽ指定されていない従装置動作に切り替えられ、主装置が転送を続ける場合、その主装置を無視します。従って受信主装置は直列ﾃﾞｰﾀとして全て1を受信します。従装置が最後のﾊﾞｲﾄを送信(TWEAが0で主装置からのNACKを予測)したとしても、主装置が(ACK送信によって)追加ﾃﾞｰﾀ ﾊﾞｲﾄを要求すると状態$C8へ移行します。

TWCR.TWEAが0の間中、TWIは自身の従装置ｱﾄﾞﾚｽに応答しませんが、2線直列ﾊﾞｽは未だ監視され、ｱﾄﾞﾚｽ認証はTWEAの設定(1)によって何時でも再開できます。これはTWEAﾋﾞｯﾄがTWIを2線直列ﾊﾞｽから一時的に隔離するのに使えることを意味します。

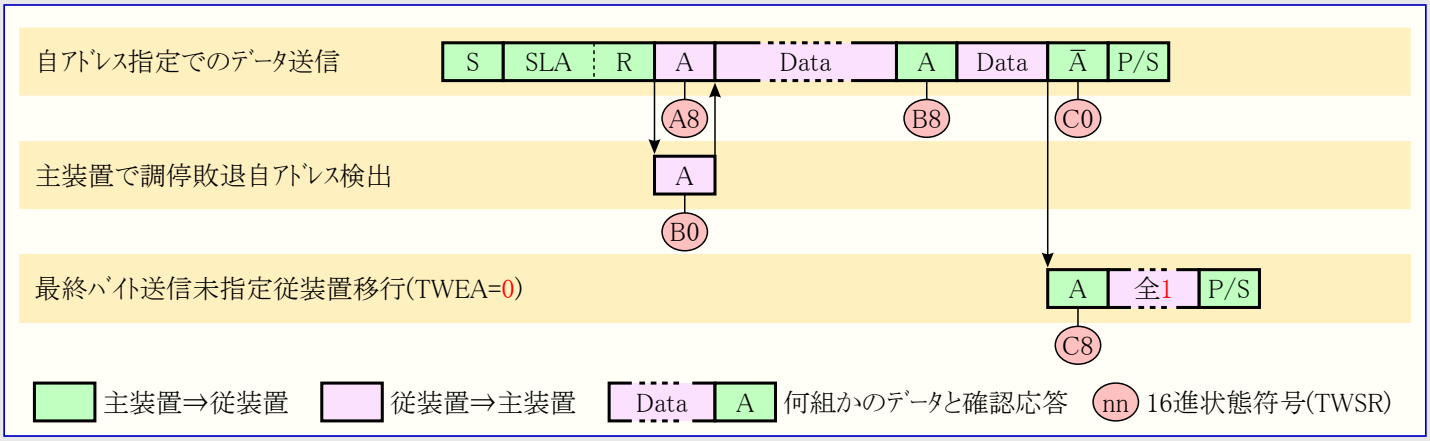
ｱｲﾄﾞﾙ動作を除く休止形態ではTWIへのｸﾛｯｸ系がOFFにされます。TWEAﾋﾞｯﾄが設定(1)されていると、このｲﾝﾀｰﾌｪｰｽはｸﾛｯｸ元として2線直列ﾊﾞｽ ｸﾛｯｸ(SCL)を使うことにより、自身の従装置ｱﾄﾞﾚｽと一斉呼び出しに未だ確認応答できます。その後ﾃﾞﾊﾞｲｽが休止形態から起動し、TWIは起動中からTWINTﾌﾗｸﾞが(それへ1を書くことによって)解除(0)されるまでSCLｸﾛｯｸをLowに保ちます。その後のﾃﾞｰﾀ受信はAVRｸﾛｯｸが通常通り走行することで通常通りに行われます。AVRが長い起動時間に設定されていると、SCL信号線が長時間Lowに保持され、他のﾃﾞｰﾀ送信を阻止するかもしれないことに気付いてください。

注: (ｱｲﾄﾞﾙ動作を除く)これらの休止形態から起動すると、2線直列ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)はﾊﾞｽで渡す最後のﾊﾞｲﾄを反映しません。

表23-4. 送信従装置動作の状態符号（注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提）

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$A8	自宛SLA+R受信 ACK応答	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$B0	主装置のSLA+R/Wで調停敗退/自宛SLA+R受信/ACK応答	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$B8	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 ACK受信	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$C0	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 NACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$C8	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信 (TWEA=0) ACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信

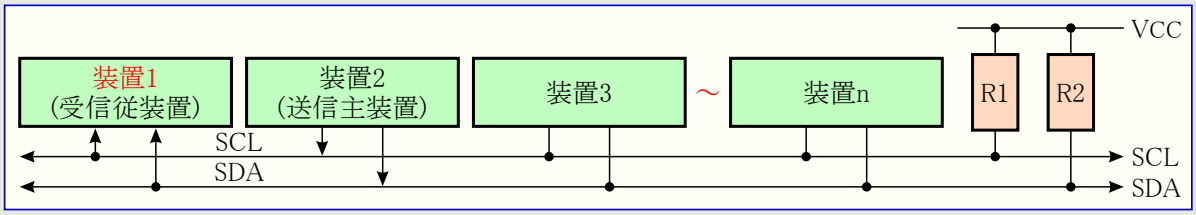
図23-16. 送信従装置動作の形式と状態



23.7.4. 受信従装置動作

受信従装置(SR)動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが送信主装置から受信されます(下図をご覧ください)。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図23-17. 受信従装置動作でのﾃﾞｰﾀ転送



SR動作を始めるにはTWI(従装置)ｱﾄﾞﾚｽﾚｼﾞｽﾀ(TWAR)とTWI制御ﾚｼﾞｽﾀ(TWCR)が次のように初期化されなければなりません。

TWARの上位7ﾋﾞｯﾄ(TWAR.TWA6～0)は主装置によってｱﾄﾞﾚｽ指定される時に2線直列ｲﾝﾀｰﾌｪｰｽが応答するｱﾄﾞﾚｽです。TWARの最下位(TWAR.TWGCE)ﾋﾞｯﾄが設定(1)されるなら、TWIは一斉呼び出し($00)に応答し、さもなければ一斉呼び出しｱﾄﾞﾚｽを無視します。

TWCRはTWCR=0100010x形式の値を保持しなければなりません。TWENは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために1を書かれなければなりません。TWCR.TWEAは装置自身の従装置ｱﾄﾞﾚｽまたは一斉呼び出しｱﾄﾞﾚｽの確認応答(ACK)を許可するために1を書かれなければなりません。TWCR.TWSTAとTWCR.TWSTOは0を書かれなければなりません。

TWARとTWCRが初期化されてしまうと、TWIは自身の従装置ｱﾄﾞﾚｽ(または許可なら、一斉呼び出しｱﾄﾞﾚｽ)とそれに続くﾃﾞｰﾀ方向ﾋﾞｯﾄによってｱﾄﾞﾚｽ指定されるまで待機します。方向ﾋﾞｯﾄが0(W)ならばTWIは受信従装置で動作し、さもなく(1(R)なら)ば送信従装置へ移行されます。自身の従装置ｱﾄﾞﾚｽとWﾋﾞｯﾄが受信されてしまった後にTWINTﾌﾗｸﾞが設定(1)され、TWSRから有効な状態符号が読めます。以降の状態符号表で詳述されるように、この状態符号は適切なｿﾌﾄｳｪｱ動作を決めるのに使われます。SR動作はTWIが主装置動作の間で調停に敗れた場合にも移行されるかもしれません。(状態符号$68,$78参照)

転送中にTWCR.TWEAﾋﾞｯﾄがﾘｾｯﾄ(0)されると、TWIは次に受信したﾃﾞｰﾀ ﾊﾞｲﾄ後のSDAに非確認応答(NACK)(SDA=High)を返します。これは従装置がこれ以上受信できないことを示すのに使えます。TWEAが0の間中、TWIは自身の従装置ｱﾄﾞﾚｽに応答しませんが、2線直列ﾊﾞｽは未だ監視され、ｱﾄﾞﾚｽ認証はTWEAの設定(1)によって何時でも再開できます。これはTWEAﾋﾞｯﾄがTWIを2線直列ﾊﾞｽから一時的に隔離するのに使えることを意味します。

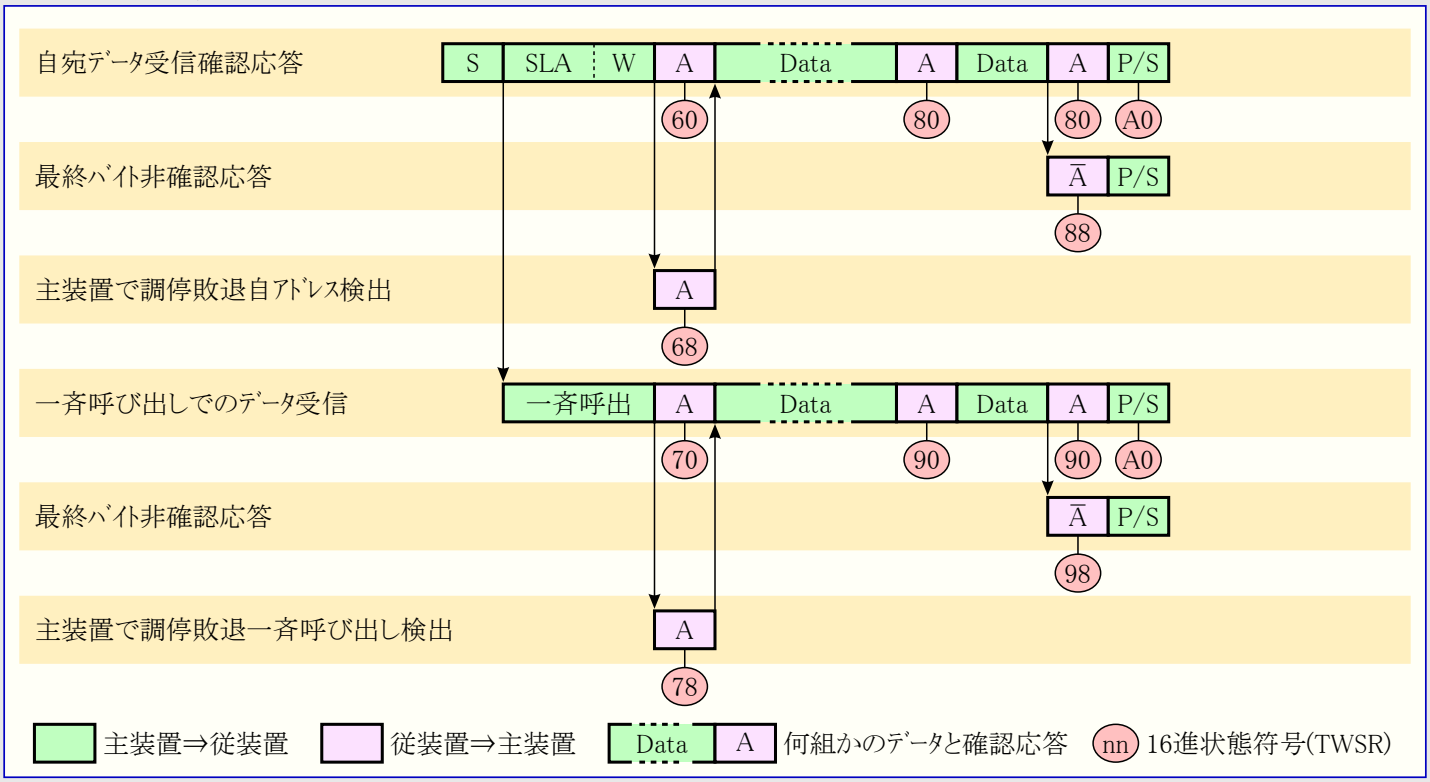
ｱｲﾄﾞﾙ動作を除く休止形態ではTWIへのｸﾛｯｸ系がOFFにされます。TWEAﾋﾞｯﾄが設定(1)されていると、このｲﾝﾀｰﾌｪｰｽはｸﾛｯｸ元として2線直列ﾊﾞｽ ｸﾛｯｸ(SCL)を使うことにより、自身の従装置ｱﾄﾞﾚｽと一斉呼び出しに未だ確認応答できます。その後ﾃﾞﾊﾞｲｽが休止形態から起動し、TWIは起動中からTWINTﾌﾗｸﾞが(それへ1を書くことによって)解除(0)されるまでSCLｸﾛｯｸをLowに保ちます。その後のﾃﾞｰﾀ受信はAVRｸﾛｯｸが通常通り走行することで通常通りに行われます。AVRが長い起動時間に設定されていると、SCL信号線が長時間Lowに保持され、他のﾃﾞｰﾀ送信を阻止するかもしれないことに気付いてください。

注: これらの(ｱｲﾄﾞﾙ動作を除く)休止形態から起動すると、2線直列ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)はﾊﾞｽで渡す最後のﾊﾞｲﾄを反映しません。

表23-5. 受信従装置動作の状態符号（注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提）

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$60	自宛SLA+W受信 ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$68	主装置のSLA+R/Wで調停敗退/自宛SLA+W受信/ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$70	一斉呼び出し受信 ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$78	主装置のSLA+R/Wで調停敗退/一斉呼び出し受信/ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$80	自宛ﾃﾞｰﾀ ﾊﾞｲﾄ受信 ACK応答	ﾃﾞｰﾀ取得	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$88	自宛ﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$90	一斉呼び出しのﾃﾞｰﾀ ﾊﾞｲﾄ受信/ACK応答	ﾃﾞｰﾀ取得	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$98	一斉呼び出しのﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$A0	自指定中の停止条件または再送開始条件検出	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信

図23-18. 受信従装置動作の形式と状態



23.7.5. その他の状態

定義したTWI状態に従わない2つの状態符号があります。本項内の表をご覧ください。

状態$F8はTWI割り込み要求ﾌﾗｸﾞ(TWINT)が設定(1)されないので適切な情報が利用できないことを示します。これは他の状態間でTWIが直列転送に関係しない時に起きます。

状態$00は2線直列ﾊﾞｽ転送中にﾊﾞｽ異常が起きたことを示します。ﾊﾞｽ異常はﾌﾚｰﾑ形式の不正な位置で開始(START)条件または停止(STOP)条件が起きる時に発生します。このような不正位置の例はｱﾄﾞﾚｽ ﾊﾞｲﾄ、ﾃﾞｰﾀ ﾊﾞｲﾄ、確認応答(ACK)ﾋﾞｯﾄの直列転送中です。ﾊﾞｽ異常が起きるとTWINTが設定(1)されます。ﾊﾞｽ異常から回復するには停止(STOP)条件生成許可(TWSTO)ﾋﾞｯﾄが設定(1)されて、TWINTが論理1書き込みによって解除(0)されなければなりません。これはTWIをｱﾄﾞﾚｽ指定されていない従装置動作にさせ、TWSTOﾋﾞｯﾄを解除(0)させます(TWCRの他のﾋﾞｯﾄは影響されません)。SDAとSCL信号進は開放され、停止条件は送出されません。

表23-6. その他の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$F8	適切な状態情報なし TWINT=0	なし	–	–	–	–	待機または現在の転送続行
$00	不正な開始条件/停止条件でのﾊﾞｽ異常	なし	0	1	1	X	停止条件を送出せずにﾊﾞｽを開放 TWSTO=0

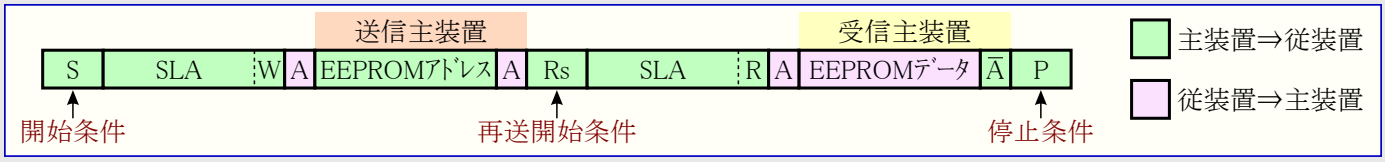
23.7.6. 各種TWI動作種別の組み合わせ

いくつかの場合で望んだ動作を満たすために各々のTWI動作種別は組み合わされなければなりません。例えば直列EEPROMからのﾃﾞｰﾀ読み出しを考えてください。一般的にこのような転送は次の段階を含みます。

1. 転送が開始されなければなりません。
2. EEPROMは読み出すべき場所を指示されなければなりません。
3. 読み出しが実行されなければなりません。
4. 転送が終了されなければなりません。

ﾃﾞｰﾀが主装置から従装置へとその逆の両方向へ転送されることに注意してください。主装置はどの場所を読みたいかを従装置に指示しなければならず、送信主装置動作の使用を必要とします。その後にﾃﾞｰﾀを従装置から読まねばならず、受信主装置動作の使用を意味します。従って転送方向が切り替えられなければなりません。主装置はこれら全ての段階中にﾊﾞｽの制御を保持しなければならず、この手順は排他的(非分断)操作として行われるべきです。複数主装置ｼｽﾃﾑでこの原則に違反すると、他の主装置が2と3の段階間でEEPROM内のﾃﾞｰﾀ ﾎﾟｲﾝﾀを変更するかもしれず、(元の)主装置は不正なﾃﾞｰﾀ位置を読むでしょう。このような転送方向の切り替えはｱﾄﾞﾚｽ ﾊﾞｲﾄの送信とﾃﾞｰﾀの受信間で再送開始条件を送出することによって成し遂げられます。再送開始条件後も主装置はﾊﾞｽの占有権を保持します。この転送の流れが下図で描かれます。

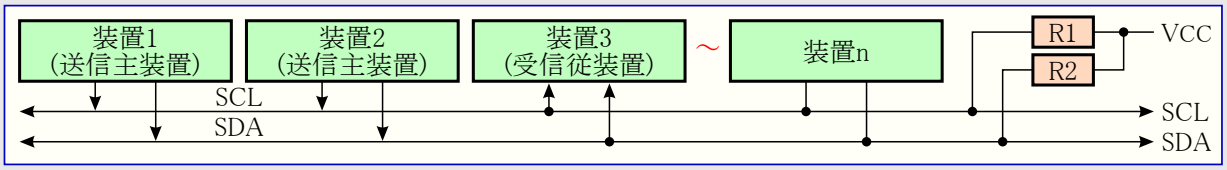
図23-19. 直列EEPROMｱｸｾｽでの各種TWI動作種別の組み合わせ



23.8. 複数主装置システムでのバス競合と調停

複数の主装置が同じバスに接続されると、それらの1つまたはそれ以上によって同時に送信が開始されるかもしれません。TWIは主装置の1つが転送を続けることを許され、手順内でデータが失われないような方法でこのような状態が扱われることを標準で保証します。2つの主装置が受信従装置へデータを送信することを試みる場合の調停状況の例は以下で図示されます。

図23-20. バスの競合調停例

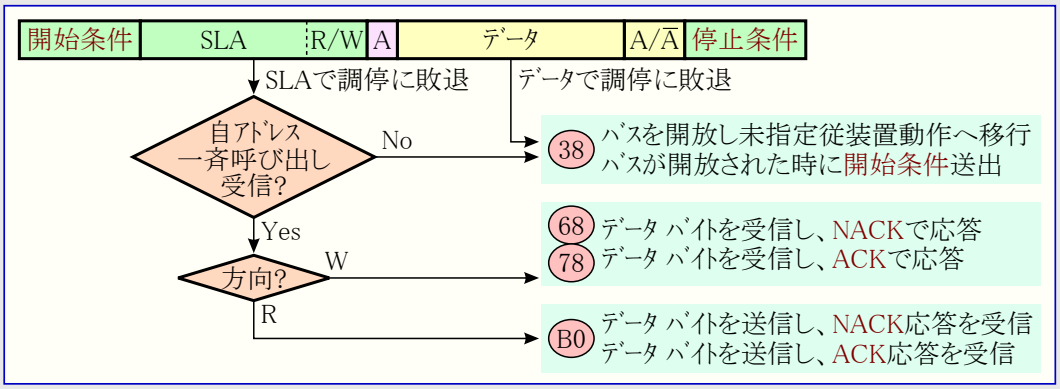


以下で示されるように様々な異なる状況が調停中に起こるかもしれません。

- 複数の主装置が同じ従装置に全く同じ通信を実行する場合。この場合、主/従装置のどれもがバスの衝突について知りません。
- 複数の主装置が異なるデータまたは方向ビット(R/W)で同じ従装置をアクセスする場合。この場合、R/Wビットまたはデータ ビットのどちらかで調停が起きます。他の主装置がSDAに0を出力する間に1を出力しようとする主装置が調停に敗れます。敗れた主装置は応用ソフトウェアの処置によって未指定従装置動作に切り替えるか、またはバスが開放になるまで待って新規開始条件を送出します。
- 複数の主装置が異なる従装置をアクセスする場合。この場合、SLAビット内で調停が起きます。他の主装置がSDAに0を出力する間に1を出力しようとする主装置が調停に敗れます。SLA内で調停に敗れた主装置は勝った主装置によってアドレス指定されるかを検査するために従装置動作へ切り替えます。アドレス指定されると、R/Wビットの値によって受信従装置(SR)動作または送信従装置(ST)動作へ切り替えます。アドレス指定されないなら、応用ソフトウェアの処置によって未指定従装置動作に切り替えるか、またはバスが開放になるまで待って新規開始条件を送出します。

これは次図で要約されます。利用可能な状態符号は楕円(**訳注**:原文は円)で与えられます。

図23-21. バスの競合調停によって発生する利用可能な状態符号



23.9. TWI用ﾚｼﾞｽﾀ

23.9.1. TWBR – TWIﾋﾞｯﾄ速度ﾚｼﾞｽﾀ (TWI Bit Rate Register)

名称 : TWBR
変位 : $B8
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWBR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TWBR7~0 : TWIﾋﾞｯﾄ速度選択** (TWI Bit Rate Register)

TWBRはﾋﾞｯﾄ速度発生器用の分周値を選びます。ﾋﾞｯﾄ速度発生器は主装置動作でのSCLｸﾛｯｸ周波数を生成する周波数分周器です。

23.9.2. TWCR – TWI制御ﾚｼﾞｽﾀ (TWI Control Register)

TWCRはTWI動作の制御に使われます。TWIの許可、ﾊﾞｽ上に開始条件を印加することによる主装置のｱｸｾｽ開始、受信装置の応答生成、停止条件の生成、ﾊﾞｽにﾃﾞｰﾀを送出するためのTWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)への書き込み中のﾊﾞｽの一時停止制御に使われます。TWDRがｱｸｾｽ不能の間にTWDRへ書き込もうとする場合の上書き発生も示します。

名称 : TWCR
変位 : $BC
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R/W	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – TWINT : TWI割り込み要求ﾌﾗｸﾞ** (TWI Interrupt Flag)

このﾋﾞｯﾄはTWIが現在の作業を終了し、応用ｿﾌﾄｳｪｱの応答が予測されるとき、ﾊｰﾄﾞｳｪｱによって設定(1)されます。TWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み許可(TWIE)ﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、MCUはTWI割り込みﾍﾞｸﾀへ飛びます。TWINTﾌﾗｸﾞが設定(1)の間中、SCLのLow期間は引き伸ばされます。TWINTﾌﾗｸﾞは論理1書き込みによってｿﾌﾄｳｪｱで解除(0)されなければなりません。このﾌﾗｸﾞが割り込みﾙｰﾁﾝを実行するとき、自動的に解除(0)されないことに注意してください。このﾌﾗｸﾞの解除(0)がTWI動作を始めるので、このﾌﾗｸﾞを解除(0)する前にTWIｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)、TWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)、TWI状態ﾚｼﾞｽﾀ(TWSR)への全てのｱｸｾｽが完了していなければならないことにも注意してください。

● **ﾋﾞｯﾄ6 – TWEA : 確認応答(ACK)許可** (TWI Enable Acknowledge Bit)

TWEAﾋﾞｯﾄは確認応答(ACKﾊﾟﾙｽ)の生成を制御します。TWEAﾋﾞｯﾄが1を書かれ、次の条件に合致すると、TWIﾊﾞｽにACKﾊﾟﾙｽが生成されます。

- 装置が自分用の従装置ｱﾄﾞﾚｽを受信した場合。
- TWIｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)の一斉呼び出し検出許可(TWGCE)ﾋﾞｯﾄが設定(1)されている時に一斉呼び出しを受信した場合。
- 主受信装置または従受信装置動作でﾃﾞｰﾀ ﾊﾞｲﾄを受信した場合。

TWEAﾋﾞｯﾄに0を書くことによって一時的かつ仮想的に装置を2線直列ﾊﾞｽから切り離すことができます。ｱﾄﾞﾚｽ認証はその後に再びTWEAﾋﾞｯﾄへ1を書くことによって再開できます。

● **ﾋﾞｯﾄ5 – TWSTA : 開始(START)条件生成許可** (TWI START Condition Bit)

2線直列ﾊﾞｽの主装置になることを欲する時に応用はTWSTAﾋﾞｯﾄに1を書きます。TWIﾊｰﾄﾞｳｪｱはﾊﾞｽが利用可能かを検査し、開放ならばﾊﾞｽに開始条件を生成します。しかし、ﾊﾞｽが未開放の場合、TWIは停止条件が検出されるまで待ち、その後にﾊﾞｽ主権を要求する新規開始条件を生成します。TWSTAは開始条件が送出されてしまった時にｿﾌﾄｳｪｱで解除(0)されなければなりません。

● **ﾋﾞｯﾄ4 – TWSTO : 停止(STOP)条件生成許可** (TWI STOP Condition Bit)

主装置動作でTWSTOﾋﾞｯﾄに1を書くことが2線直列ﾊﾞｽに停止条件を生成します。停止条件がﾊﾞｽで実行されると、TWSTOﾋﾞｯﾄは自動的に解除(0)されます。従装置動作でのTWSTOﾋﾞｯﾄの設定(1)は異常状態からの回復に使えます。これは停止条件を生成しませんが、TWIは明確に指定されていない従装置動作に戻り、SCL、SDA信号線をHi-Z状態に開放します。

● **ﾋﾞｯﾄ3 – TWWC : TWI上書き発生ﾌﾗｸﾞ** (TWI Write Collision Flag)

TWI割り込み要求ﾌﾗｸﾞ(TWINT)が0の時にTWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)への書き込みを試みると、このTWWCﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞはTWINTが1の時のTWDR書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ2 – TWEN : TWI動作許可** (TWI Enable Bit)

TWENﾋﾞｯﾄはTWI動作を許可し、TWIｲﾝﾀｰﾌｪｰｽを活性(有効)にします。TWENが1を書かれると、TWIはSCLとSDAのﾋﾟﾝに接続したI/Oﾋﾟﾝを制御できるようになり、ｽﾊﾟｲｸ濾波器とｽﾘｭｰﾚｰﾄ制限器を許可します。このﾋﾞｯﾄが0を書かれると、TWIがOFFにされ、どんな進行中の動作にも関係なく、全てのTWI送信が終了されます。

● **ﾋﾞｯﾄ0 – TWIE : TWI割り込み許可** (TWI Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、TWI割り込み要求ﾌﾗｸﾞ(TWINT)が1である限り、TWI割り込み要求が活性に(発生)されます。

23.9.3. TWSR – TWI状態ﾚｼﾞｽﾀ (TWI Status Register)

名称 : TWSR
変位 : $B9
ﾘｾｯﾄ : $F8
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWS7~3					–	TWPS1,0	
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	1	1	1	1	1	0	0	0

● **ﾋﾞｯﾄ7~3 – TWS7~3 : TWI状態** (TWI Status)

TWS7～3はTWI論理回路と2線直列ﾊﾞｽの状態を反映します。各種状態符号は「**転送種別**」で記述されます。TWSRから読む値が5ﾋﾞｯﾄの状態符号と2ﾋﾞｯﾄの前置分周値の両方を含むことに注意してください。応用設計者は状態ﾋﾞｯﾄを検査する時に前置分周器ﾋﾞｯﾄを0で隠すべきです。これは前置分周器設定に関係なく状態検査を行います。この手法は特記事項を除いてこのﾃﾞｰﾀｼｰﾄ内で使われます。

● **ﾋﾞｯﾄ1,0 – TWPS1,0 : TWI前置分周器選択** (TWI Prescaler Bits)

これらのﾋﾞｯﾄは読み書きでき、ﾋﾞｯﾄ速度の前置分周器を制御します。

ﾋﾞｯﾄ速度を計算するには「**ﾋﾞｯﾄ速度発生器**」を参照してください。TWPS1,0の値はこの式で使われます。

表23-7. TWIﾋﾞｯﾄ速度前置分周器選択

TWPS1	0	0	1	1
TWPS0	0	1	0	1
分周値	1	4	16	64

23.9.4. TWDR – TWIﾃﾞｰﾀ ﾚｼﾞｽﾀ (TWI Data Register)

送信動作でのTWDRは送信されるべき次ﾊﾞｲﾄを含みます。受信動作でのTWDRは最後に受信したﾊﾞｲﾄを含みます。TWDRはTWIがﾊﾞｲﾄを移動する手順でない間に書き込み可能です。これはTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み要求ﾌﾗｸﾞ(TWINT)がﾊｰﾄﾞｳｪｱによって設定(1)されると起きます。最初のTWI割り込みが起こる前にﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)は使用者によって初期化できないことに注意してください。TWDRのﾃﾞｰﾀはTWINTが安定して設定(1)されている限り存続します。ﾃﾞｰﾀが移動出力される間、ﾊﾞｽのﾃﾞｰﾀが同時に移動入力されます。TWI割り込みによる休止形態からの起動後を除いて、TWDRは常にﾊﾞｽに現れる最後のﾊﾞｲﾄを含みます。この例外の場合のTWDRの内容は不定です。ﾊﾞｽ調停に敗れた場合の主装置から従装置への移行でもﾃﾞｰﾀは失われません。確認応答(ACK)ﾋﾞｯﾄの扱いはTWI論理回路によって自動的に制御され、CPUはACKﾋﾞｯﾄを直接的にｱｸｾｽできません。

名称 : TWDR
変位 : $BB
ﾘｾｯﾄ : $FF
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWD7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	1	1	1	1	1	1	1	1

● **ﾋﾞｯﾄ7~0 – TWD7~0 : TWIﾃﾞｰﾀ** (TWI Data)

これら8ﾋﾞｯﾄは送信されるべき次のﾃﾞｰﾀ ﾊﾞｲﾄ、または2線直列ﾊﾞｽで最後に受信したﾃﾞｰﾀ ﾊﾞｲﾄを構成します。

23.9.5. TWAR – TWI(従装置)ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (TWI (Slave) Address Register)

TWARは従装置の送受信装置として設定した時にTWIが応答する7ﾋﾞｯﾄ従装置ｱﾄﾞﾚｽを(TWAR上位7ﾋﾞｯﾄに)設定されるべきで、主装置動作では必要とされません。複数主装置のｼｽﾃﾑでは、他の主装置によって従装置としてｱﾄﾞﾚｽ指定され得る主装置に於いて、TWARは設定されなければなりません。

TWARの最下位ﾋﾞｯﾄ(TWGCE)は一斉呼び出しｱﾄﾞﾚｽ($00)認証の許可に使われます。これらは受信した直列ｱﾄﾞﾚｽで従装置ｱﾄﾞﾚｽ(と許可ならば一斉呼び出しｱﾄﾞﾚｽ)を捜す関連ｱﾄﾞﾚｽ比較器です。一致が見つかると割り込み要求が生成されます。

名称 : TWAR
変位 : $BA
ﾘｾｯﾄ : $FE
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWA6~0							TWGCE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	1	1	1	1	1	1	1	0

● **ﾋﾞｯﾄ7~1 – TWA6~0 : TWI従装置ｱﾄﾞﾚｽ** (TWI (Slave) Address)

これら7ﾋﾞｯﾄはTWI部の従装置ｱﾄﾞﾚｽを構成します。

● **ﾋﾞｯﾄ0 – TWGCE : 一斉呼び出し検出許可** (TWI General Call Recognition Enable Bit)

設定(1)なら、このﾋﾞｯﾄは2線直列ﾊﾞｽを伝って与えられる一斉呼び出しの認証(検出)を許可します。

23.9.6. TWAMR – TWI(従装置)ｱﾄﾞﾚｽ遮蔽ﾚｼﾞｽﾀ (TWI (Slave) Address Mask Register)

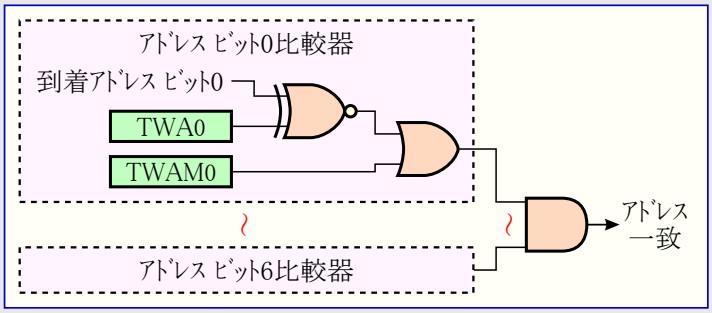
名称 : TWAMR
変位 : $BD
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TWAM6~0							–
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~1 – TWAM6~0 : TWI従装置ｱﾄﾞﾚｽ遮蔽** (TWI (Slave) Address Mask)

TWAMRは7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽ遮蔽値を格納できます。TWAMR内の各ﾋﾞｯﾄはTWI(従装置)ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)内の対応するｱﾄﾞﾚｽ ﾋﾞｯﾄを遮蔽(禁止)します。遮蔽ﾋﾞｯﾄが1に設定されると、その後のｱﾄﾞﾚｽ一致論理回路は到着ｱﾄﾞﾚｽ ﾋﾞｯﾄとTWAR内の対応ﾋﾞｯﾄ間の比較を無視します。

図23-22. TWIｱﾄﾞﾚｽ一致論理 構成図



24. AC – アナログ比較器 (Analog Comparator)

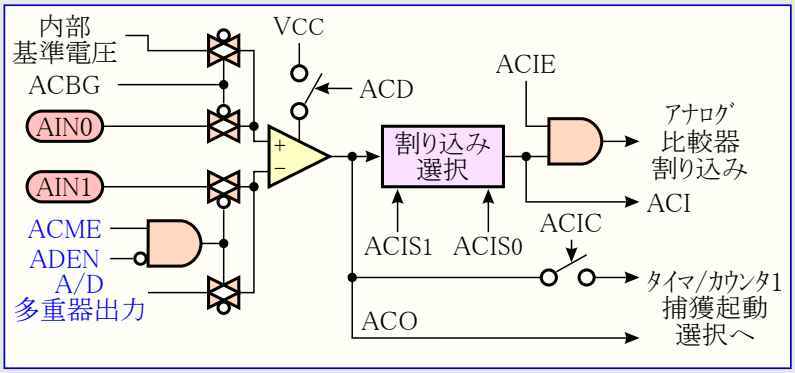
24.1. 概要

アナログ比較器は非反転入力AIN0ピンと反転入力AIN1ピンの入力値を比較します。非反転AIN0ピンの電圧が反転AIN1ピンの電圧よりも高い時にACSRのアナログ比較器出力(ACO)ビット(任意でポートCのPC5)が設定(1)されます。この比較器出力はタイマ/カウンタ1の捕獲機能を起動するように設定できます。加えて、この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は右で示されます。

ADC入力(A/D多重器出力)の使用を可能とするには、電力削減レジスタ0のA/D変換器電力削減(PRR0.PRADC)ビットが0を書かれなければなりません。

関連リンク 34頁の「PM – 電力管理と休止形態」
36頁の「消費電力の最小化」

図24-1. アナログ比較器部構成図



注: アナログ比較器ピン配置については「ピン配置」と「入出力ポート」の記述を参照してください。

24.2. アナログ比較器入力選択

アナログ比較器への反転入力を取り替えるのにADC7～0のどれかを選ぶことができます。A/D変換の多重器がこの入力選択に使われ、故にこの機能を利用するにはA/D変換部がOFF(動作禁止)にされなければなりません。A/D変換制御/状態レジスタB(ADCSRB)のアナログ比較器多重器許可(ACME)ビットが1で、A/D変換部がOFF(ADCSRAのADENビットが0)にされていれば、右表で示されるようにA/D多重器選択(ADMUX)レジスタのA/Dチャネル選択(MUX2～0)ビットの下位3ビットがアナログ比較器への反転入力を取り替えるための入力ピンを選びます。ADCSRB.ACME=0またはADCSRA.ADEN=1されると、AIN1がアナログ比較器への反転入力に印加されます。

表24-1. アナログ比較器反転入力選択

ACME	ADEN	MUX2～0	アナログ比較器反転入力
0	x	x x x	AIN1
1	1	x x x	AIN1
1	0	0 0 0	ADC0
		0 0 1	ADC1
		0 1 0	ADC2
		0 1 1	ADC3
		1 0 0	ADC4
		1 0 1	ADC5
		1 1 0	ADC6
		1 1 1	ADC7

24.3. アナログ比較器用レジスタ

24.3.1. ADCSRB – A/D変換制御/状態レジスタB (ADC Control and Status Register B)

名称 : ADCSRB
変位 : $7B
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	–	ACME	–	–	–	ADTS2～0		
アクセス種別	R	R/W	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – ACME : アナログ比較器多重器許可** (Analog Comparator Multiplexer Enable)

このビットが論理1を書かれ、A/D変換部がOFF(ADCSRAのADENビットが0)にされると、A/D変換の多重器がアナログ比較器への反転入力を選びます。このビットが論理0を書かれると、AIN1がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については「アナログ比較器入力選択」をご覧ください。

24.3.2. ACSR – ｱﾅﾛｸﾞ比較器 制御/状態ﾚｼﾞｽﾀ (Analog Comparator Control and Status Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：ACSR
変位 ：$50 ($30)
ﾘｾｯﾄ ：'00x00000'
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$30です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1,0	
ｱｸｾｽ種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	不定	0	0	0	0	0

● **ﾋﾞｯﾄ7 – ACD : ｱﾅﾛｸﾞ比較器禁止** (Analog Comparator Disable)

このﾋﾞｯﾄが論理1を書かれると、ｱﾅﾛｸﾞ比較器への電力がOFFにされます。このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器をOFFにするために何時でも設定(1)できます。これは活動動作やｱｲﾄﾞﾙ動作で電力消費を削減します。ACDﾋﾞｯﾄを変更する時にACSRでｱﾅﾛｸﾞ比較器割り込み許可(ACIE)ﾋﾞｯﾄを解除(0)することによってｱﾅﾛｸﾞ比較器割り込みが禁止されなければなりません。さもなければ、このﾋﾞｯﾄが変更される時に割り込みが起こり得ます。

● **ﾋﾞｯﾄ6 – ACBG : 基準電圧選択** (Analog Comparator Bandgap Select)

このﾋﾞｯﾄが設定(1)されると、内部基準電圧(公称1.1V)がｱﾅﾛｸﾞ比較器への非反転入力に置き換わります。本ﾋﾞｯﾄが解除(0)されると、AIN0がｱﾅﾛｸﾞ比較器の非反転入力に印加されます。内部基準電圧がｱﾅﾛｸﾞ比較器入力として使われるとき、電圧の安定に一定時間を必要とします。安定(待機を)しない場合、最初は不正値を与えるかもしれません。

● **ﾋﾞｯﾄ5 – ACO : ｱﾅﾛｸﾞ比較器出力** (Analog Comparator Output)

ｱﾅﾛｸﾞ比較器の出力は同期化され、その後に直接ACOへ接続されます。この同期化は1～2ｸﾛｯｸ周期の遅延をもたらします。

● **ﾋﾞｯﾄ4 – ACI : ｱﾅﾛｸﾞ比較器割り込み要求ﾌﾗｸﾞ** (Analog Comparator Interrupt Flag)

このﾋﾞｯﾄは比較器出力での出来事がACSRのｱﾅﾛｸﾞ比較器割り込み条件(ACIS1,0)ﾋﾞｯﾄによって定義した割り込み方法で起動する時に設定(1)されます。ACSRのｱﾅﾛｸﾞ比較器割り込み許可(ACIE)ﾋﾞｯﾄが設定(1)され、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、ｱﾅﾛｸﾞ比較器割り込みﾙｰﾁﾝが実行されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、ACIはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもACIは解除(0)されます。

● **ﾋﾞｯﾄ3 – ACIE : ｱﾅﾛｸﾞ比較器割り込み許可** (Analog Comparator Interrupt Enable)

ACIEﾋﾞｯﾄが論理1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、ｱﾅﾛｸﾞ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

● **ﾋﾞｯﾄ2 – ACIC : ｱﾅﾛｸﾞ比較器捕獲起動許可** (Analog Comparator Input Capture Enable)

論理1を書かれると、このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器によって起動されるﾀｲﾏ/ｶｳﾝﾀ1の捕獲機能を許可します。この場合、比較器出力は比較器にﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込みの雑音消去機能と端(ｴｯｼﾞ)選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。論理0を書かれると、ｱﾅﾛｸﾞ比較器と捕獲機能間の接続は存在しません。比較器がﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込みを起動するには、ﾀｲﾏ/ｶｳﾝﾀ1割り込み許可ﾚｼﾞｽﾀ(TIMSK1)の捕獲割り込み許可(ICIE)ﾋﾞｯﾄが設定(1)されなければなりません。

● **ﾋﾞｯﾄ1,0 – ACIS1,0 : ｱﾅﾛｸﾞ比較器割り込み条件** (Analog Comparator Interrupt Mode Select)

これらのﾋﾞｯﾄは比較器のどの事象がｱﾅﾛｸﾞ比較器割り込みを起動するのかを決めます。

ACIS1,ACIS0ﾋﾞｯﾄを変更する時にACSRのｱﾅﾛｸﾞ比較器割り込み許可(ACIE)ﾋﾞｯﾄを解除(0)することによってｱﾅﾛｸﾞ比較器割り込みが禁止されなければなりません。さもなければ、これらのﾋﾞｯﾄが変更される時に割り込みが起き得ます。

表24-2. ｱﾅﾛｸﾞ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (ﾄｸﾞﾙ)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

24.3.3. DIDR1 – ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ1 (Digital Input Disable Register 1)

名称 : DIDR1
変位 : $7F
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	AIN1D	AIN0D
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

- **ﾋﾞｯﾄ1 – AIN1D : AIN1ﾃﾞｼﾞﾀﾙ入力禁止** (AIN1 Digital Input Disable)
- **ﾋﾞｯﾄ0 – AIN0D : AIN0ﾃﾞｼﾞﾀﾙ入力禁止** (AIN0 Digital Input Disable)

このﾋﾞｯﾄが論理1を書かれると、AIN1/0ﾋﾟﾝのﾃﾞｼﾞﾀﾙ入力緩衝部が禁止されます。このﾋﾞｯﾄが設定(1)されると、対応するﾎﾟｰﾄ入力ﾚｼﾞｽﾀのﾋﾞｯﾄ(PINx)は常に0として読みます。AIN1/0ﾋﾟﾝにｱﾅﾛｸﾞ信号が印加され、そのﾋﾟﾝからのﾃﾞｼﾞﾀﾙ入力が必要とされない時にﾃﾞｼﾞﾀﾙ入力緩衝部での消費電力を削減するため、このﾋﾞｯﾄは論理1を書かれるべきです。

25. ADC – A/D変換器 (Analog to Digital Converter)

25.1. 特徴

- 積分非直線性誤差0.5 LSB
- 絶対精度±2 LSB
- 変換時間13～260µs (50kHz～1MHz変換ｸﾛｯｸ)
- 最大分解能で15kSPS(採取/s)まで (200kHz変換ｸﾛｯｸ)
- 8ﾁｬﾈﾙのｼﾝｸﾞﾙ ｴﾝﾄﾞ入力多重器内蔵
- ×1,×10,×200の任意選択利得付き差動入力ﾁｬﾈﾙ(注)
- A/D変換結果読み出しに対する任意の左揃え
- 2.7～VCC 差動A/D変換電圧範囲
- 選択可能な1.1Vまたは2.56V A/D変換基準電圧
- 連続と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- 休止形態雑音低減機能

注: 差動入力ﾁｬﾈﾙはPDIPに対して検査されていません。この機能はPDIP以外の外囲器に対する動作のみ保証されます。

25.2. 概要

本ﾃﾞﾊﾞｲｽは10ﾋﾞｯﾄ逐次比較A/D変換器が特徴です。このA/D変換器はﾎﾟｰﾄAのﾋﾟﾝから構成された8つのｼﾝｸﾞﾙ ｴﾝﾄﾞ電圧入力を許す8ﾁｬﾈﾙ ｱﾅﾛｸﾞ多重器に接続されます。このｼﾝｸﾞﾙ ｴﾝﾄﾞ電圧入力は0V(GND)が基準です。

ﾃﾞﾊﾞｲｽは16通りの差動電圧入力も支援します。差動入力の2つ(ADC1,ADC0とADC3,ADC2)は、A/D変換前の差動入力電圧で0dB(×1)、20dB(×10)、46dB(×200)の増幅段を提供する設定変更可能な利得段が装備されます。7つの差動ｱﾅﾛｸﾞ入力は共通反転端子(ADC1)を共用し、一方他のADC入力は非反転入力端子として選べます。利得×1または×10が使われる場合は8ﾋﾞｯﾄ分解能が期待でき、利得×200が使われる場合は6ﾋﾞｯﾄ分解能が期待できます。1.1V内部基準電圧は×10と×200利得で使われるべきではないことに注意してください。

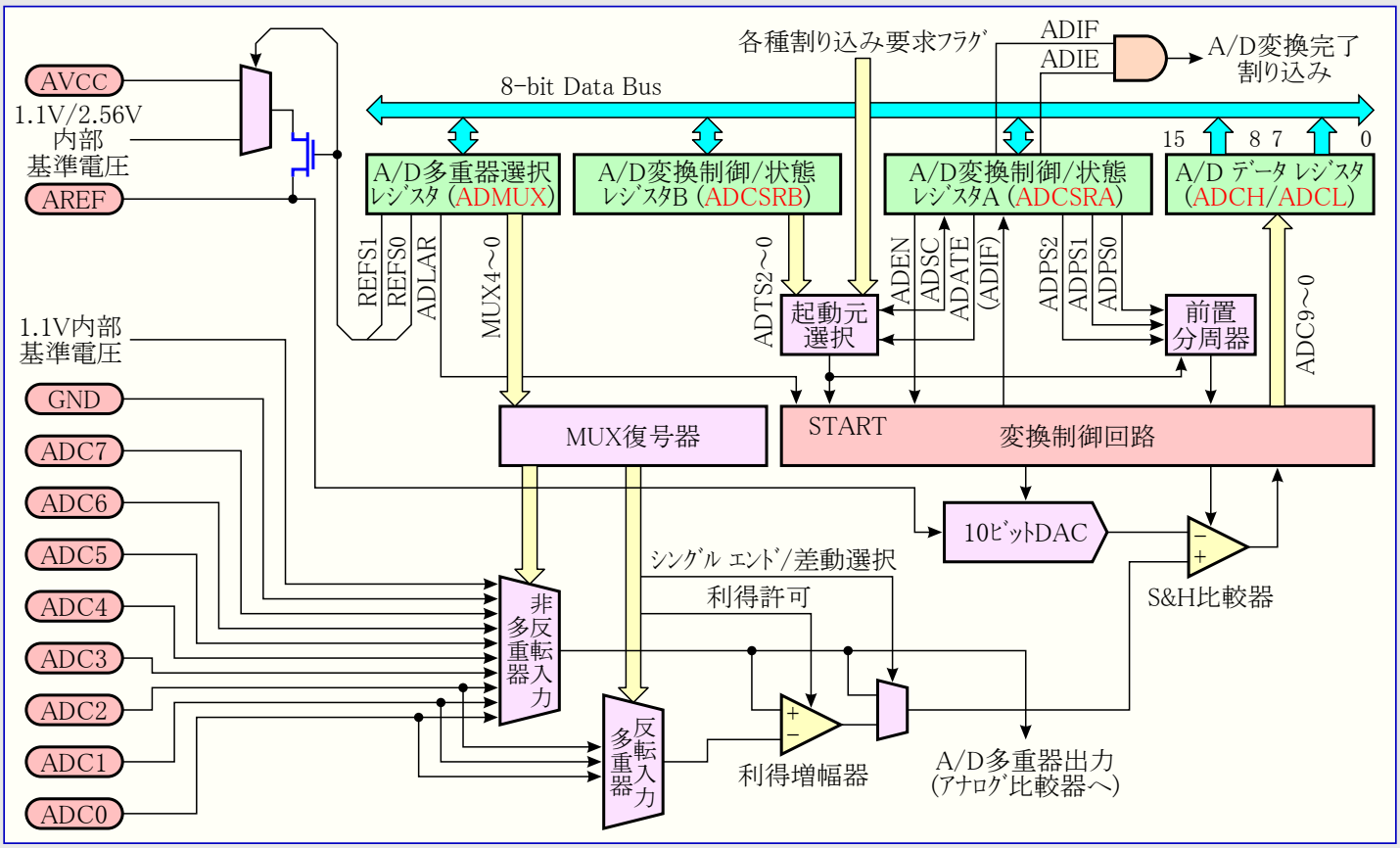
このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は下で示されます。

A/D変換部には分離されたｱﾅﾛｸﾞ電源供給ﾋﾟﾝ(AVCC)があります。AVCCはVCCから±0.3Vよりも多く違ってはなりません。このﾋﾟﾝの接続方法は「**雑音低減技術**」項をご覧ください。

電力削減ﾚｼﾞｽﾀ0のADC電力削減(PRR0.PRADC)ﾋﾞｯﾄはA/D変換部を許可するために0を書かれなければなりません。

A/D変換部は逐次比較を通してｱﾅﾛｸﾞ入力電圧を10ﾋﾞｯﾄのﾃﾞｼﾞﾀﾙ値に変換します。最小値はGNDを表し、最大値はAREFﾋﾟﾝの電圧-1 LSBを表します。A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)の基準電圧選択(REFS1,0)ﾋﾞｯﾄへの書き込みにより、任意でAVCCまたは内部1.1V/2.56V基準電圧がAREFﾋﾟﾝに接続できます。従ってこの内部基準電圧は雑音耐性を改善するためにAREFﾋﾟﾝで外部ｺﾝﾃﾞﾝｻによってﾃﾞｶｯﾌﾟ(雑音結合減少)することができます。

図25-1. A/D変換器部構成図



ｱﾅﾛｸﾞ入力ﾁｬﾈﾙはA/D多重器選択(ADMUX)ﾚｼﾞｽﾀのﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄへの書き込みによって選ばれます。GNDと固定基準電圧(1.1V内蔵基準電圧(V_{BG}))だけでなく、どのADC入力ﾋﾟﾝ(ADC7～0)もがA/D変換器のｼﾝｸﾞﾙ ｴﾝﾄﾞ入力として選べます。A/D変換部はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D許可(ADEN)ﾋﾞｯﾄに1を書くことによって(動作が)許可されます。基準電圧と入力ﾁｬﾈﾙの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

差動ﾁｬﾈﾙが選ばれると、差動利得段は選んだ入力ﾁｬﾈﾙ間の差電圧を選んだ増幅率で増幅します。それからこの増幅した値はA/D変換器の入力になります。ｼﾝｸﾞﾙ ｴﾝﾄﾞ ﾁｬﾈﾙが使われると、利得増幅器全体が迂回(無視)されます。

A/D変換部はA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)で示される10ﾋﾞｯﾄの結果を生成します。既定では、この結果は右揃え(16ﾋﾞｯﾄのﾋﾞｯﾄ0側10ﾋﾞｯﾄ)で表されますが、ADMUXで左揃え選択(ADLAR)ﾋﾞｯﾄを設定(1)することにより、任意で左揃え(16ﾋﾞｯﾄのﾋﾞｯﾄ15側10ﾋﾞｯﾄ)で表せます。

この結果が左揃え補正され、8ﾋﾞｯﾄを越える精度が必要とされない場合はADCHを読むことで足ります。さもなければﾃﾞｰﾀ ﾚｼﾞｽﾀの内容が同じ変換に属すこと(からの結果)を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)ｱｸｾｽが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に次の(第2の)変換が完了すると、どちらのﾚｼﾞｽﾀ(ADCH,ADCL)も更新されず、第2の変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器ｱｸｾｽが再び許可されます。

A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀへのA/D変換器ｱｸｾｽがADCLとADCHの読み込み間で禁止されている場合、例えその変換結果が失われても割り込みは起動します。

関連ﾘﾝｸ 34頁の「PM – 電力管理と休止形態」
36頁の「電力削減ﾚｼﾞｽﾀ」

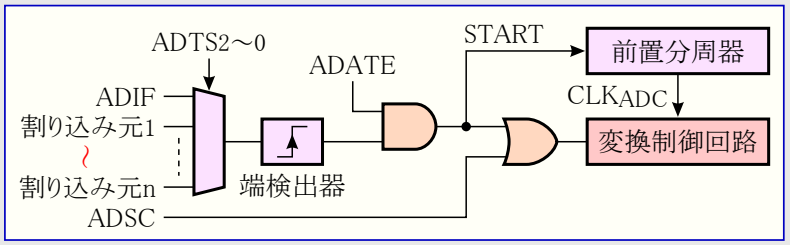
25.3. 変換の開始

単独変換は電力削減ﾚｼﾞｽﾀ0(PRR0)のA/D変換器電力削減(PRADC)ﾋﾞｯﾄに0を書き、A/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)の変換開始(ADSC)ﾋﾞｯﾄに1を書くことによって開始されます。ADSCは変換が進行中である限り1に留まり、変換が完了されるとﾊｰﾄﾞｳｪｱによって解除(0)されます。変換が進行中に違う入力ﾁｬﾈﾙが選ばれると、A/D変換部はそのﾁｬﾈﾙ変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換自動起動許可(ADCSRA.ADATE)ﾋﾞｯﾄの設定(1)によって許可されます。起動元はA/D変換制御/状態ﾚｼﾞｽﾀB(ADCSRB)のA/D変換起動元選択(ADTS2～0)ﾋﾞｯﾄの設定によって選ばれます。利用可能な起動元の一覧についてはADCSRB.ADTSの記述をご覧ください。

選んだ起動信号上に上昇端が起きると、A/D変換用前置分周器がﾘｾｯﾄし、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だ設定(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の上昇端が起きると、その端(ｴｯｼﾞ)は無視されます。指定した割り込みが禁止またはAVR ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが解除(0)でも、割り込み要求ﾌﾗｸﾞが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求ﾌﾗｸﾞは解除(0)されなければなりません。

図25-2. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀを更新します。最初の変換はADCSRAでADSCﾋﾞｯﾄに1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)が解除(0)されるかどうかに拘らず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCﾋﾞｯﾄに1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使えます。ADSCﾋﾞｯﾄは変換がどう開始されたかに拘らず、変換中は1として読みます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はｱｲﾄﾞﾙ休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については「**雑音低減機能**」をご覧ください。(**訳注**:共通性から2行追加)

25.4. 前置分周と変換ﾀｲﾐﾝｸﾞ

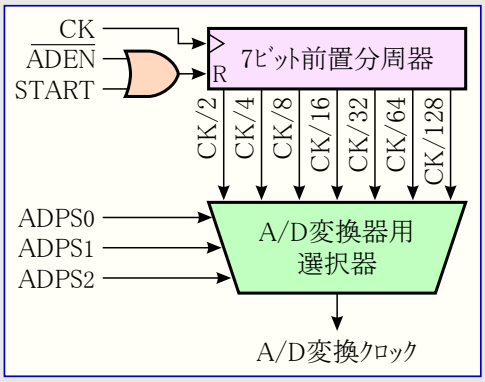
既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力ｸﾛｯｸ周波数を必要とします。10ﾋﾞｯﾄよりも低い分解能が必要とされるなら、A/D変換器への入力ｸﾛｯｸ周波数はより高い採取速度を得るために200kHzよりも高くできます。

A/D変換部は100kHz以上のどんなCPUｸﾛｯｸからも受け入れ可能なA/D変換ｸﾛｯｸ周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/Dｸﾛｯｸ選択(ADPS2～0)ﾋﾞｯﾄによって設定されます。前置分周器はADCSRAのA/D許可(ADEN)ﾋﾞｯﾄに1を書くことによってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADEN=1である限り走行を保ち、ADEN=0の時に継続的にﾘｾｯﾄします。

ADCSRAのA/D変換開始(ADSC)ﾋﾞｯﾄに1を書くことによってｼﾝｸﾞﾙ ｴﾝﾄﾞ入力の変換を起動すると、その変換は直後の変換ｸﾛｯｸの上昇端で始まります。

通常の変換は13変換ｸﾛｯｸ周期で行われます。A/D変換部がONにされる(即ちADCSRAのADENが1を書かれた)後の最初の変換はｱﾅﾛｸﾞ回路を初期化するために25変換ｸﾛｯｸ周期で行われます。

図25-3. A/D変換前置分周器部構成



内部基準電圧がA/D変換器への入力として使われるとき、電圧の安定に一定時間を必要とします。安定(待機を)しない場合は初回変換後の最初の読み込み値は不正になるかもしれません。

実際の採取&保持(保持開始点)は通常変換の開始後1.5変換ｸﾛｯｸ周期、初回変換の開始後13.5変換ｸﾛｯｸ周期で行われます。変換が完了すると、結果がA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのADSCﾋﾞｯﾄが解除(0)されます。その後にｿﾌﾄｳｪｱは再びADCSRAのADSCを設定(1)でき、新規変換は変換ｸﾛｯｸの最初の上昇端で開始されます。

自動起動が使われると、前置分周器は起動要因発生時にﾘｾｯﾄされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換ｸﾛｯｸ周期で採取が行われます。同期化論理回路(端(ｴｯｼﾞ)検出器)に対して、追加の3 CPUｸﾛｯｸ周期が費やされます。

連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。以降のA/D変換時間の表もご覧ください。

図25-4. 初回変換ﾀｲﾐﾝｸﾞ(単独変換動作)

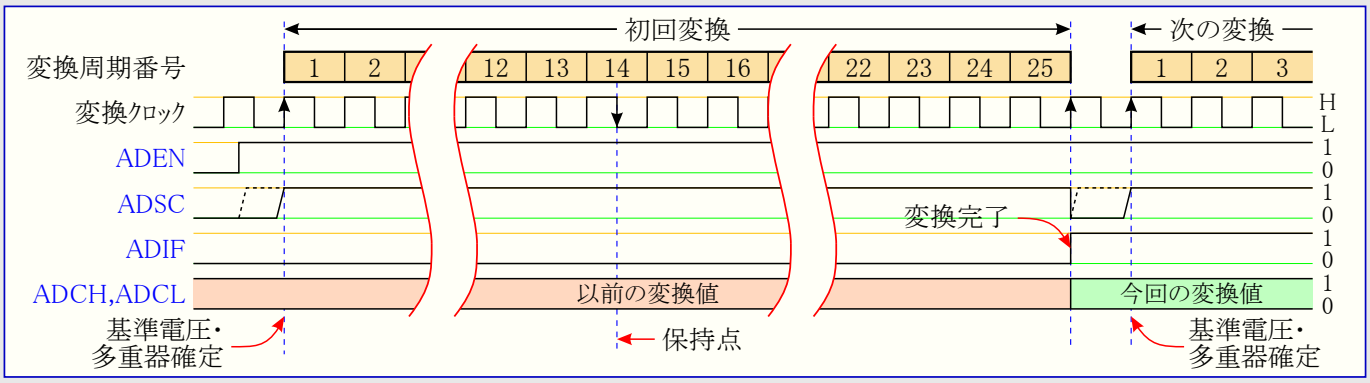


図25-5. 通常変換ﾀｲﾐﾝｸﾞ(単独変換動作)

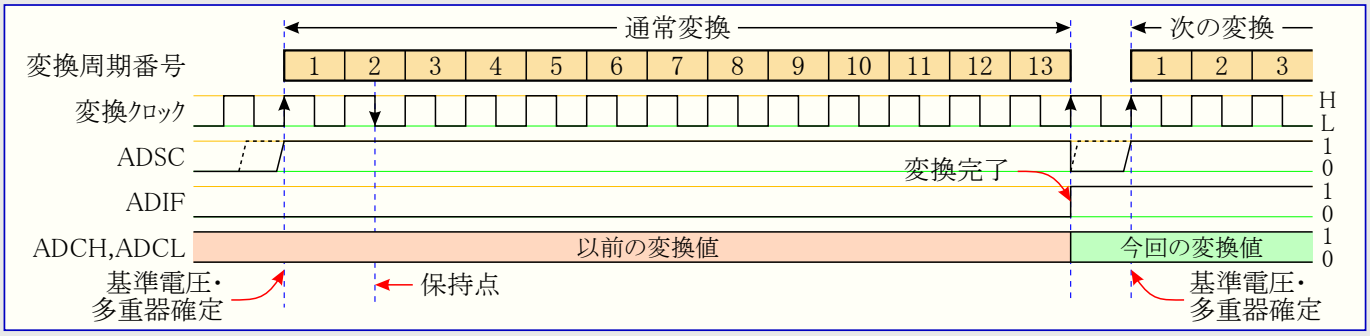


図25-6. 通常変換ﾀｲﾐﾝｸﾞ（自動起動変換動作）

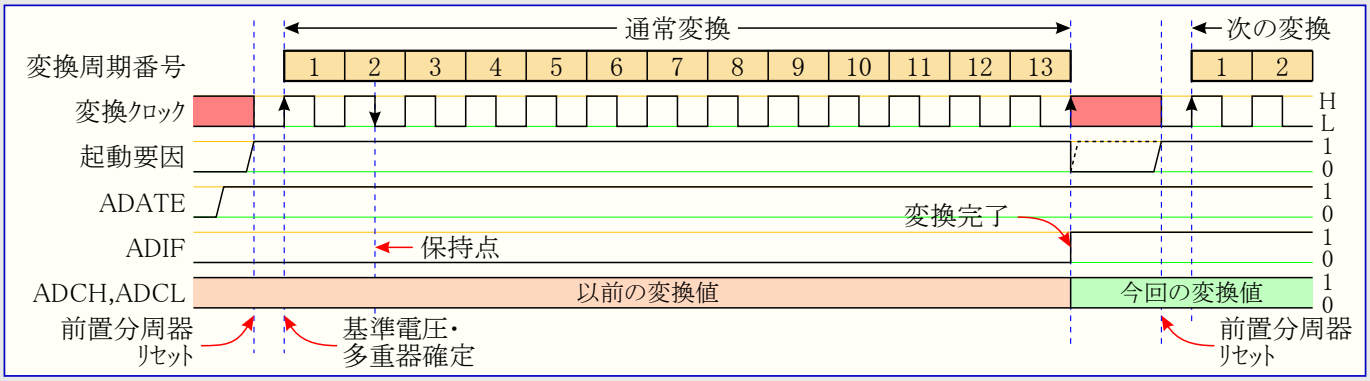


図25-7. 連続変換動作ﾀｲﾐﾝｸﾞ

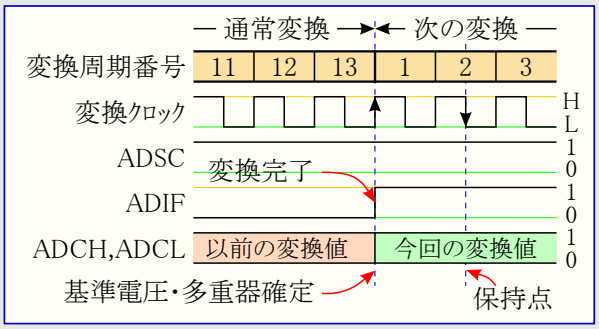


表25-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力通常変換	1.5	13
差動入力通常変換	1.5/2.5 (注1)	13/14 (注1)
自動起動変換	1.5 (2)	13.5

注:　変換時間を除く各値は変換開始からの変換ｸﾛｯｸ数です。

注1: CK_{ADC2}の状態に依存(訳注:共通性から追加)。

25.4.1. 差動増幅ﾁｬﾈﾙ

差動増幅ﾁｬﾈﾙを使うとき、変換の±方向を考慮に入れる必要があります。差動ﾁｬﾈﾙがAREF<2Vで使われるべきではないことに注意してください。

差動変換は変換ｸﾛｯｸの半分に等しい内部ｸﾛｯｸCK_{ADC2}に同期化されます。この同期化は採取&保持がCK_{ADC2}の特定位相で起きるというような方法でA/D変換器ｲﾝﾀｰﾌｪｰｽによって自動的に行われます。CK_{ADC2}がLowの時に使用者によって変換が開始されると(即ち全ての単独変換と連続変換の最初)、ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換(次の前置分周したｸﾛｯｸ周期から13変換ｸﾛｯｸ周期)と同じ変換時間になります。CK_{ADC2}がHighの時に使用者によって変換が開始されると、同期化機構のために14変換ｸﾛｯｸ周期になります。連続変換動作では直前の変換完了後、直ちに次の変換が開始され、この時にCK_{ADC2}がHighのため、自動的に開始される全ての連続変換(即ち、初回を除く全て)は14変換ｸﾛｯｸ周期になります。

利得段は全利得設定に於いて帯域幅4kHzで最適化されています。より高い周波数は非直線増幅に陥るかもしれません。利得段帯域幅よりも高い周波数成分を含む入力信号の場合、外部低域通過濾波器(ﾛｰﾊﾟｽ ﾌｨﾙﾀ)が使われるべきです。A/D変換ｸﾛｯｸ周波数が利得段帯域幅制限と無関係なことに注意してください。例えばA/D変換ｸﾛｯｸ周期が6μsでは、このﾁｬﾈﾙの帯域幅とは無関係に12k採取/sでの採取をﾁｬﾈﾙに許せます。

差増増幅ﾁｬﾈﾙが使われ、自動起動によって変換が開始される場合、A/D変換部は変換の間、OFFに切り替えられなければなりません。自動起動が使われるとき、A/D用前置分周器は変換が開始される前にﾘｾｯﾄされます。利得段は変換以前の安定したA/D変換ｸﾛｯｸに関係するため、この変換は有効ではありません。各変換間のA/D変換部の動作禁止とその後の許可(ADCSRAのADENへの0書き込み後の1書き込み)では、延長した変換(初回変換)だけが実行されます。この延長した変換からの結果は有効です。詳細ﾀｲﾐﾝｸﾞについては「**前置分周と変換ﾀｲﾐﾝｸﾞ**」をご覧ください。

25.5. ﾁｬﾈﾙ変更と基準電圧選択

A/D多重器選択(ADMUX)ﾚｼﾞｽﾀのﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄと基準電圧選択(REFS1,0)ﾋﾞｯﾄはCPUが乱順にｱｸｾｽするための一時ﾚｼﾞｽﾀを通して単独緩衝されます。これはﾁｬﾈﾙと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。ﾁｬﾈﾙと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して充分な採取/変換時間を保証するためにﾁｬﾈﾙと基準電圧の選択は固定されます。継続的な更新は(ADCSRAのADIFの設定(1)によって示される)変換完了前の最後の変換ｸﾛｯｸ周期で再開します。A/D変換制御/状態ﾚｼﾞｽﾀ(ADCSRA)の変換開始(ADSC)ﾋﾞｯﾄが書かれた後の次の変換ｸﾛｯｸの上昇端で変換が始まることに注意してください。従って使用者はADCSRA.ADSCﾋﾞｯﾄが書かれた後、1変換ｸﾛｯｸ周期(経過)まで新しいﾁｬﾈﾙまたは基準電圧選択値をADMUXに書かないことを推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が祓われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

1. ADENまたはADATEが解除(0)されているとき。
   1-1. 変換開始後、最低1変換ｸﾛｯｸ周期経過後の変換中。
   1-2. 変換後から、変換起動元として使った割り込みﾌﾗｸﾞが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

差動入力ﾁｬﾈﾙを変更する時に特別な注意が祓われるべきです。一旦差動入力ﾁｬﾈﾙが選ばれてしまうと、利得段は新しい値に安定するのに125µs程度かかるかもしれません。従って変換は新規差動入力ﾁｬﾈﾙ選択後の最初の125µs内に開始されるべきではありません。または、この期間内に得た変換結果は破棄されるべきです。(ADMUXのREFS1,0ﾋﾞｯﾄの変更による)A/D変換器基準電圧変更後の最初の差動入力変換に対して、同じ設定(安定)時間が厳守されるべきです。

25.5.1. A/D入力ﾁｬﾈﾙ

ﾁｬﾈﾙ選択を変更する時に使用者は正しいﾁｬﾈﾙが選ばれることを保証するために次の指針を守るべきです。

- 単独変換動作では常に変換を始める前にﾁｬﾈﾙを選んでください。ﾁｬﾈﾙ選択はADSCへの1書き込み後、1変換ｸﾛｯｸ周期で変更されるかもしれません。とは言え、最も簡単な方法はﾁｬﾈﾙ選択を変更する前に変換が完了するまで待つことです。
- 連続変換動作では常に最初の変換を始める前にﾁｬﾈﾙを選んでください。ﾁｬﾈﾙ選択はADSCへの1書き込み後、1変換ｸﾛｯｸ周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にﾁｬﾈﾙ選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のﾁｬﾈﾙ選択を反映します。それに続く変換は新しいﾁｬﾈﾙ選択を反映します。使用者は連続変換動作中に新しいﾁｬﾈﾙや基準電圧選択を書かないことが推奨されます。

差動増幅ﾁｬﾈﾙへ切り替える時に自動変位(ｵﾌｾｯﾄ)消去回路用の設定時間が必要なので、最初の変換結果は貧弱な正確さとなってしまうかもしれません。使用者は最初の変換結果をなるべくなら無視すべきです。

25.5.2. A/D変換基準電圧

このA/D変換用の基準電圧(V_{REF})はA/D変換に対する変換範囲を示します。V_{REF}を越えるｼﾝｸﾞﾙ ｴﾝﾄﾞ入力ﾁｬﾈﾙは$3FFで打ち切る符号に帰着します。$V_{REF}$はAVCC、内部1.1V基準電圧、内部2.56V基準電圧、外部AREFﾋﾟﾝのどれかとして選べます。

AVCCは受動型ｽｲｯﾁを通してA/D変換部に接続されます。1.1Vと2.56Vの内部基準電圧は内蔵基準(ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ)電圧(V_{BG})から内部増幅器を通して生成されます。どちらの場合でも外部AREFﾋﾟﾝは直接的にA/D変換部へ接続され、AREFﾋﾟﾝとGND間にｺﾝﾃﾞﾝｻを接続することにより、基準電圧は雑音耐性をより高められます。V_{REF}(電圧)は高入力ｲﾝﾋﾟｰﾀﾞﾝｽ電圧計とAREFﾋﾟﾝで測定することもできます。V_{REF}は高ｲﾝﾋﾟｰﾀﾞﾝｽ出力で、容量性負荷のみがｼｽﾃﾑ内で接続されるべきであることに注意してください。

使用者がAREFﾋﾟﾝに接続された固定電圧源にするなら、この外部電圧がその他の内部基準電圧と短絡してしまうため、使用者はこの応用内で他の基準電圧選択を使ってはなりません。外部電圧がAREFﾋﾟﾝに印加されないなら、使用者は基準電圧選択としてAVCCと内部1.1V/2.56V基準電圧間の切り替えができます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

差動入力ﾁｬﾈﾙが使われる場合、選んだ基準電圧は「**電気的特性**」の「**A/D変換器特性**」で示されるよりもAVCCに近くすべきではありません。

25.6. 雑音低減機能

このA/D変換部はCPUｺｱと他の周辺I/Oが誘導した雑音を削減するために休止形態中の変換を可能にする雑音低減機能が特徴です。この機能はA/D変換雑音低減動作とｱｲﾄﾞﾙ動作で使えます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADATE=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されていなければなりません。
2. A/D変換雑音低減(またはｱｲﾄﾞﾙ)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みﾙｰﾁﾝを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで活動動作に留まります。

注: ｱｲﾄﾞﾙ動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部は自動的にOFFへ切り替えられません。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADCSRAのADENへ0を書くことが推奨されます。

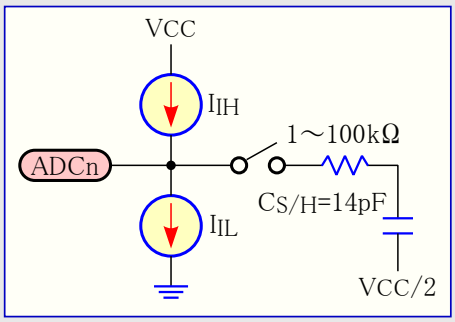
25.6.1. ｱﾅﾛｸﾞ入力回路

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力ﾁｬﾈﾙのｱﾅﾛｸﾞ回路は右下で図示されます。ADCnに印加したｱﾅﾛｸﾞ(信号)源はそのﾁｬﾈﾙがADC入力として選ばれているかどうかに拘らず、ﾋﾟﾝ容量とそのﾋﾟﾝの漏れ電流に左右されます。そのﾁｬﾈﾙが選ばれると、(ｱﾅﾛｸﾞ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hｺﾝﾃﾞﾝｻを駆動しなければなりません。

A/D変換部は概ね10kΩ若しくはそれ以下の出力ｲﾝﾋﾟｰﾀﾞﾝｽのｱﾅﾛｸﾞ信号用に最適化されています。このような(ｱﾅﾛｸﾞ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いｲﾝﾋﾟｰﾀﾞﾝｽの(ｱﾅﾛｸﾞ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hｺﾝﾃﾞﾝｻを充電するために(ｱﾅﾛｸﾞ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hｺﾝﾃﾞﾝｻへの充放電を最小とするため、使用者は緩やかに変化する低ｲﾝﾋﾟｰﾀﾞﾝｽ(ｱﾅﾛｸﾞ信号)源だけを使うことが推奨されます。

特定できない信号の渦からの歪を避けるために、どのﾁｬﾈﾙに対してもﾅｲｷｽﾄ周波数($f_{ADC}/2$)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に低域通過濾波器(ﾛｰﾊﾟｽ ﾌｨﾙﾀ)で高い周波数成分を取り除くことが推奨されます。

図25-8. ｱﾅﾛｸﾞ入力回路



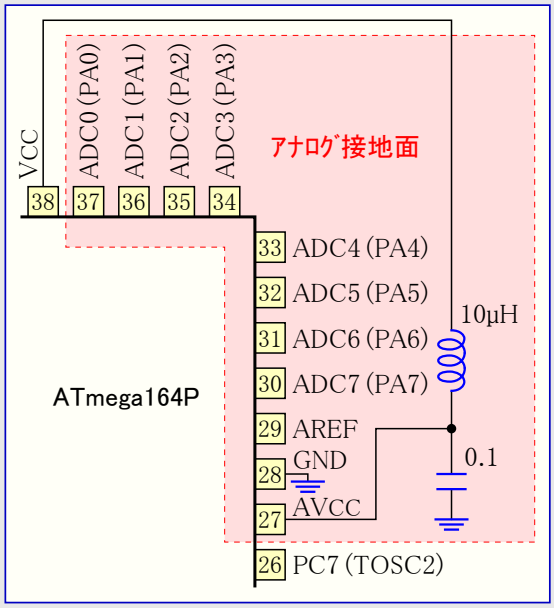
25.6.2. ｱﾅﾛｸﾞ雑音低減技術

ﾃﾞﾊﾞｲｽ内外のﾃﾞｼﾞﾀﾙ回路がｱﾅﾛｸﾞ測定の精度に影響を及ぼすかもしれないEMIを発生します。精密な変換精度が必要な場合、次の技法を適用することによって雑音ﾚﾍﾞﾙを低減できます。

1. ｱﾅﾛｸﾞ信号経路を可能な限り最短にしてください。ｱﾅﾛｸﾞ信号線がｱﾅﾛｸﾞGND面上を走ることに注意し、高速切り替えﾃﾞｼﾞﾀﾙ信号線から充分離すことを守ってください。
2. ﾃﾞﾊﾞｲｽのAVCCﾋﾟﾝは右図で示されるようにLC濾波器を経由してﾃﾞｼﾞﾀﾙ供給電圧(VCC)に接続されるべきです。
3. CPUからの誘導雑音を低減するためにA/D変換の雑音低減機能を使ってください。
4. どれかのADCﾎﾟｰﾄ ﾋﾟﾝがﾃﾞｼﾞﾀﾙ出力として使われる場合、これらが変換進行中に切り替わらないことが重要です。

(訳注) 図25-9.のﾋﾟﾝ名が一部省略されています。

図25-9. A/D変換部電源接続



25.6.3. 変位(ｵﾌｾｯﾄ)補償の仕組み

利得段には差動測定の変位(ｵﾌｾｯﾄ)をできるだけ無効にする組み込み変位補正回路があります。ｱﾅﾛｸﾞ経路内の残留変位は両差動入力に対して同じﾁｬﾈﾙを選ぶことによって直接的に計測できます。その後にこの残留変位は計測結果からｿﾌﾄｳｪｱで減算できます。この変位補正に基いたｿﾌﾄｳｪｱ手法の使用はどのﾁｬﾈﾙの変位も1 LSB以下に減少できます。

25.6.4. A/D変換の精度定義

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力電圧のnﾋﾞｯﾄA/D変換はGNDとVREF間を2^nで直線的に変換します。最低値符号は0として読み、最高値符号は2^n-1として読みます。以下の各種ﾊﾟﾗﾒｰﾀは理想状態からの偏差を表します。

- **変位(ｵﾌｾｯﾄ)誤差 – 図25-10.**

最初の遷移点($000から$001)で理想遷移点(差0.5 LSB)と比べた偏差です。理想値は0 LSBです。

- **利得誤差 – 図25-11.**

変位誤差補正後の最後の遷移点($3FEから$3FF)で理想遷移点(最大差1.5 LSB以下)と比べた偏差です。理想値は0 LSBです。

- **積分非直線性誤差 (INL) – 図25-12.**

変位誤差と利得誤差補正後の全ての遷移点で理想遷移点と比べた最大偏差です。理想値は0 LSBです。

- **微分非直線性誤差 (DNL) – 図25-13.**

実際の符号の幅(隣接する2つの遷移点間)で理想符号幅(1 LSB)と比べた最大偏差です。理想値は0 LSBです。

- **量子化誤差**

有限数の符号で入力電圧を量子化するため、1 LSB幅となる入力電圧範囲は同じ値の符号になります。この値は常に±0.5 LSBです。

- **絶対精度**

補正しない全ての遷移点で理想遷移点と比べた最大偏差です。これは、変位誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は±0.5 LSBです。

図25-10. 変位(ｵﾌｾｯﾄ)誤差

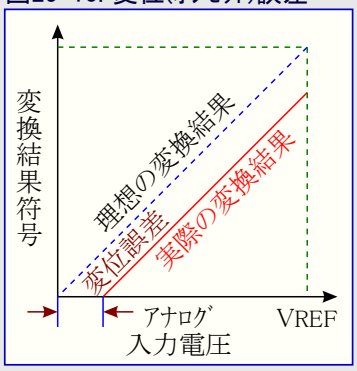


図25-11. 利得誤差

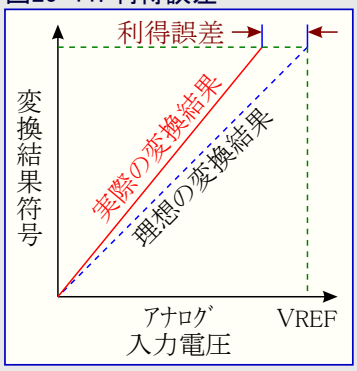


図25-12. 積分非直線性誤差

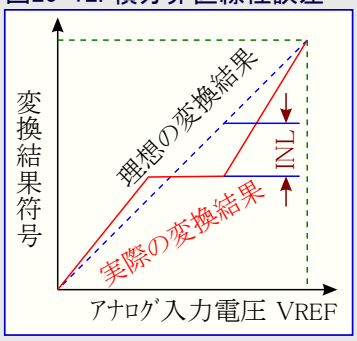
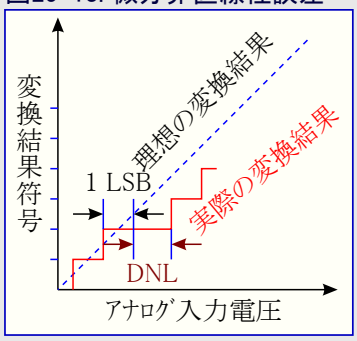


図25-13. 微分非直線性誤差



25.7. A/D変換の結果

変換完了(ADCSRAのADIFの設定(1))後、変換結果はA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH, ADCL)で得られます。

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換での結果は右式で示されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

V_{IN}は選んだ入力ﾋﾟﾝの電圧で、V_{REF}は選んだ基準電圧です(ADMUXのREFSとMUXの記述もご覧ください)。$000はｱﾅﾛｸﾞGNDを表し、$3FFは選んだ基準電圧-1 LSBを表します。

差動ﾁｬﾈﾙが使われると、その結果は右式で示されます。V_{POS}は非反転入力ﾋﾟﾝの電圧、V_{NEG}は反転入力ﾋﾟﾝの電圧、GAINは選んだ倍率、V_{REF}は選んだ基準電圧です。この結果は-512($200)～+511 ($1FF)の2の補数形式で示されます。使用者が結果の符号を素早く検査したいなら、結果のMSB(ADCHのADC9)を読むことで充分なことに注目してください。このﾋﾞｯﾄが1ならばその結果は－、0ならばその結果は＋です。下図は差動入力範囲の符号化を示します。

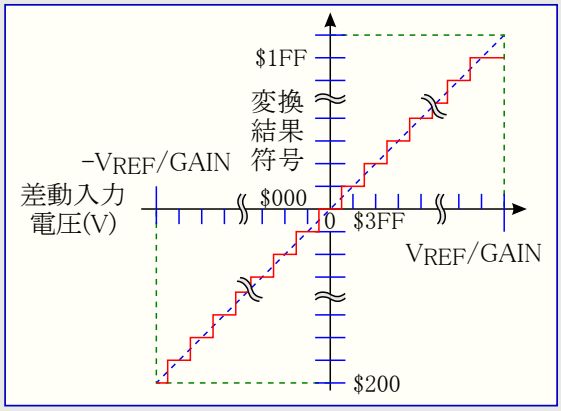
$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

下表は差動入力ﾁｬﾈﾙの組(ADCn-ADCm)が基準電圧(V_{REF})で選ばれた場合の出力符号の結果を示します。

表25-2. 入力電圧と出力符号の関係

V_{ADCn}	読み出し符号	対応する10進値
$V_{ADCm}+V_{REF}/GAIN$	$1FF	511
$V_{ADCm}+(511/512)V_{REF}/GAIN$	$1FF	511
$V_{ADCm}+(510/512)V_{REF}/GAIN$	$1FE	510
～	～	～
$V_{ADCm}+(1/512)V_{REF}/GAIN$	$001	1
V_{ADCm}	$000	0
$V_{ADCm}-(1/512)V_{REF}/GAIN$	$3FF	-1
～	～	～
$V_{ADCm}-(511/512)V_{REF}/GAIN$	$201	-511
$V_{ADCm}-V_{REF}/GAIN$	$200	-512

図25-14. 差動入力計測範囲



例: ADMUX=$ED(ADC3とADC2差動10倍入力、$V_{REF}$=2.56V、左揃え)で、ADC3が300mV、ADC2が500mVの場合、
A/D変換値=512×10×(300-500)÷2560=-400=$270
従って、ADCH=$9C, ADCL=$00、ADLAR=0なら、ADCH=$02, ADCL=$70。

25.8. A/D変換用ﾚｼﾞｽﾀ

25.8.1. ADMUX – A/D多重器選択ﾚｼﾞｽﾀ (ADC Multiplexer Select Register)

名称 : ADMUX
変位 : $7C
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	REFS1,0		ADLAR			MUX4~0		
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – REFS1,0 : 基準電圧選択** (Reference Select Bits 1, 0)

これらのﾋﾞｯﾄはA/D変換器の基準電圧を選びます。これらのﾋﾞｯﾄが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。AREFﾋﾟﾝに外部基準電圧が印加される場合、内部の基準電圧が使われてはなりません。

表25-3. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AREFﾋﾟﾝの外部基準電圧 (AVCCと内部基準電圧は切り離されます。)
0	1	AVCC (内部基準電圧は切り離され、AREFにﾃﾞｶｯﾌﾟ用ｺﾝﾃﾞﾝｻが接続できます。)
1	0	内部1.1V基準電圧 (AVCCは切り離され、AREFにﾃﾞｶｯﾌﾟ用ｺﾝﾃﾞﾝｻが接続できます。)
1	1	内部2.56V基準電圧 (AVCCは切り離され、AREFにﾃﾞｶｯﾌﾟ用ｺﾝﾃﾞﾝｻが接続できます。)

注: 差動ﾁｬﾈﾙが選ばれる場合、内部基準電圧として2.56Vだけが使われるべきです。

● **ﾋﾞｯﾄ5 – ADLAR : 左揃え選択** (ADC Left Adjust Result)

ADLARﾋﾞｯﾄはA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARﾋﾞｯﾄの変更はどんな進行中の変換にも拘らず、直ちにA/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀの内容に影響を及ぼします。このﾋﾞｯﾄの完全な記述については「**A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位**」と「**A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ上位**」をご覧ください。

● **ﾋﾞｯﾄ4~0 – MUX4~0 : A/Dﾁｬﾈﾙ選択** (Analog Channel Select Bits 4～0)

これらのﾋﾞｯﾄの値はA/D変換器にどのｱﾅﾛｸﾞ入力の組み合わせが接続されるかを選びます。これらのﾋﾞｯﾄは差動ﾁｬﾈﾙに対する利得も選びます。これらのﾋﾞｯﾄが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIFが設定(1)される)まで実施しません。

表25-4. ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ選択

MUX4～0	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力	差動入力			MUX4～0	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力	差動入力		
		非反転入力	反転入力	利得			非反転入力	反転入力	利得
00000	ADC0				10000		ADC0	ADC1	×1
00001	ADC1				10001		ADC1	ADC1	×1
00010	ADC2				10010		ADC2	ADC1	×1
00011	ADC3				10011		ADC3	ADC1	×1
00100	ADC4				10100		ADC4	ADC1	×1
00101	ADC5				10101		ADC5	ADC1	×1
00110	ADC6				10110		ADC6	ADC1	×1
00111	ADC7				10111		ADC7	ADC1	×1
01000		ADC0	ADC0	×10	11000		ADC0	ADC2	×1
01001		ADC1	ADC0	×10	11001		ADC1	ADC2	×1
01010		ADC0	ADC0	×200	11010		ADC2	ADC2	×1
01011		ADC1	ADC0	×200	11011		ADC3	ADC2	×1
01100		ADC2	ADC2	×10	11100		ADC4	ADC2	×1
01101		ADC3	ADC2	×10	11101		ADC5	ADC2	×1
01110		ADC2	ADC2	×200	11110	1.1V(V_{BG})			
01111		ADC3	ADC2	×200	11111	0V(GND)			

25.8.2. ADCSRA – A/D制御/状態ﾚｼﾞｽﾀA (ADC Control and Status Register A)

名称 : ADCSRA
変位 : $7A
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2~0		
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – ADEN : A/D許可** (ADC Enable)

このﾋﾞｯﾄに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFにされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

● **ﾋﾞｯﾄ6 – ADSC : A/D変換開始** (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのﾋﾞｯﾄへ1を書いてください。連続変換動作で最初の変換を始めるにはこのﾋﾞｯﾄへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の13に代わって25変換ｸﾛｯｸ周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読みます。変換が完了すると0に戻ります。このﾋﾞｯﾄへの0書き込みは無効です。

● **ﾋﾞｯﾄ5 – ADATE : A/D変換自動起動許可** (ADC Auto Trigger Enable)

このﾋﾞｯﾄが1を書かれると、A/D変換の自動起動が許可されます。A/D変換器は選んだ起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態ﾚｼﾞｽﾀB(ADCSRB)のA/D変換起動要因選択(ADTS2～0)ﾋﾞｯﾄ設定によって選ばれます。

● **ﾋﾞｯﾄ4 – ADIF : A/D変換完了割り込み要求ﾌﾗｸﾞ** (ADC Interrupt Flag)

A/D変換が完了し、A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀが更新されると、このﾌﾗｸﾞが設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとA/D変換完了割り込み許可(ADIE)ﾋﾞｯﾄが設定(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ﾍﾞｸﾀを実行する時にADIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み–変更–書き(ﾘｰﾄﾞ ﾓﾃﾞｨﾌｧｲ ﾗｲﾄ)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます(**訳注**:ｱﾄﾞﾚｽ範囲外のため、本行は不適切です)。

● **ﾋﾞｯﾄ3 – ADIE : A/D変換完了割り込み許可** (ADC Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、SREGの全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、A/D変換完了割り込みが活性に(許可)されます。このﾋﾞｯﾄが解除(0)されると、この割り込みは禁止されます(**訳注**:共通性のため本行追加)。

● **ﾋﾞｯﾄ2~0 – ADPS2~0 : A/D変換ｸﾛｯｸ選択** (ADC Prescaler Select Bits)

これらのﾋﾞｯﾄはXTAL(ｼｽﾃﾑ)周波数とA/D変換部への入力ｸﾛｯｸ間の分周値を決めます。

表25-5. A/D変換ｸﾛｯｸ選択 (CK=ｼｽﾃﾑ ｸﾛｯｸ)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換ｸﾛｯｸ	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

25.8.3. ADCSRB – A/D制御/状態ﾚｼﾞｽﾀB (ADC Control and Status Register B)

名称 : ADCSRB
変位 : $7B
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	ACME	–	–	–	ADTS2~0		
ｱｸｾｽ種別	R	R/W	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6 – ACME : ｱﾅﾛｸﾞ比較器多重器許可** (Analog Comparator Multiplexer Enable)

このﾋﾞｯﾄが論理1を書かれ、A/D変換部がOFF(ADCSRAのADENﾋﾞｯﾄが0)にされると、A/D変換の多重器がｱﾅﾛｸﾞ比較器への反転入力を選びます。このﾋﾞｯﾄが論理0を書かれると、AIN1がｱﾅﾛｸﾞ比較器の反転入力に印加されます。このﾋﾞｯﾄの詳細な記述については「**ｱﾅﾛｸﾞ比較器入力選択**」をご覧ください。

● ﾋﾞｯﾄ2~0 – ADTS2~0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D変換自動起動許可(ADATE)ﾋﾞｯﾄが1を書かれると、これらのﾋﾞｯﾄ値はどの起動元がA/D変換を起動するかを選びます。ADATEが解除(0)されると、ADTS2～0設定は無効です。変換は選んだ割り込みﾌﾗｸﾞの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが、起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ﾋﾞｯﾄが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2～0=0)への切り替えは、例えA/D変換完了割り込み要求ﾌﾗｸﾞが設定(1)されていても、起動事象を引き起こしません。

表25-6. A/D変換自動起動元選択

ADTS2～0	起動元
0 0 0	連続変換動作
0 0 1	ｱﾅﾛｸﾞ比較器
0 1 0	外部割り込み要求0
0 1 1	ﾀｲﾏ/ｶｳﾝﾀ0比較A一致
1 0 0	ﾀｲﾏ/ｶｳﾝﾀ0溢れ
1 0 1	ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
1 1 0	ﾀｲﾏ/ｶｳﾝﾀ1溢れ
1 1 1	ﾀｲﾏ/ｶｳﾝﾀ1捕獲要求

25.8.4. ADCH,ADCL – A/D変換ﾃﾞｰﾀ ﾚｼﾞｽﾀ上位/下位ﾊﾞｲﾄ (ADC Data Register Low and High byte) [ADLAR=0]

ADCHとADCLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のADCﾃﾞｰﾀ ﾚｼﾞｽﾀを表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書きのより多くの詳細については「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」をご覧ください。

A/D変換が完了すると、その結果がADCHとADCLの2つのﾚｼﾞｽﾀで得られます。

ADCLが読まれると、A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀはADCHが読まれるまで更新されません。従ってこの結果が左揃えで且つ8ﾋﾞｯﾄを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなければADCLが先に、その後にADCHが読まれなければなりません。

A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)の左揃え選択(ADLAR)ﾋﾞｯﾄとA/Dﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄはこのﾚｼﾞｽﾀから結果を読む方法に影響を及ぼします。ADLARが設定(1)ならば結果は左揃えにされます。ADLARが解除(0:既定)ならば結果は右揃えにされます。

名称 : ADCHとADCL
変位 : $78
ﾘｾｯﾄ : $0000
特質 : ADLAR=0

ﾋﾞｯﾄ	15	14	13	12	11	10	9	0
	–	–	–	–	–	–	ADC9,8	
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADC7~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ9~0 – ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのﾋﾞｯﾄは変換での結果を表します。詳細については「**A/D変換の結果**」を参照してください。

25.8.5. ADCH,ADCL – A/D変換データ レジスタ上位/下位バイト (ADC Data Register Low and High byte) [ADLAR=1]

ADCHとADCLのレジスタ対は16ビット値のADCデータ レジスタを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。16ビット レジスタの読み書きのより多くの詳細については「**16ビット レジスタのアクセス**」をご覧ください。

A/D変換が完了すると、その結果がADCHとADCLの2つのレジスタで得られます。

ADCLが読まれると、A/Dデータ レジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃えで且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなければADCLが先に、その後にADCHが読まれなければなりません。

A/D多重器選択レジスタ(ADMUX)の左揃え選択(ADLAR)ビットとA/Dチャネル選択(MUX4～0)ビットはこのレジスタから結果を読む方法に影響を及ぼします。ADLARが設定(1)ならば結果は左揃えにされます。ADLARが解除(0:既定)ならば結果は右揃えにされます。

名称 ：ADCHとADCL
変位 ：$78
リセット ：$0000
特質 ：ADLAR=1

ビット	15	14	13	12	11	10	9	8
	ADC9~2							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
	ADC1,0		–	–	–	–	–	–
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● **ビット15～6 – ADC9~0 : A/D変換結果** (ADC Conversion result)

これらのビットは変換での結果を表します。詳細については「**A/D変換の結果**」を参照してください。

25.8.6. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

各々のビットは論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADCnピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

名称 ：DIDR0
変位 ：$7E
リセット ：$00
特質 ：–

ビット	7	6	5	4	3	2	1	0
	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7～0 – ADC7~0 : ADC7~0デジタル入力禁止** (ADC7～0 Digital Input Disable)

26. JTAGインターフェースと内蔵デバッグ機能

26.1. 特徴

- JTAGインターフェース (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- デバッガは各部のアクセスが可能
  - 全ての内蔵周辺機能
  - 内部及び外部RAM
  - 内蔵レジスタ ファイル
  - プログラム カウンタ
  - EEPROM及びフラッシュ メモリ
- 中断(BREAK)によって支援される広範囲な内蔵デバッグ機能
  - AVRのBREAK命令
  - プログラムの流れ変更での停止
  - 1命令実行(シングル ステップ)停止
  - プログラム メモリ上の単一アドレスまたはアドレス範囲による中断点(ブレークポイント)
  - データ メモリ上の単一アドレスまたはアドレス範囲による中断点
- JTAGインターフェースを介してのフラッシュ メモリ、EEPROM、ヒューズ ビット、施錠ビットの読み書き(プログラミング)
- Atmel Studioによる内蔵デバッグ機能の支援

26.2. 概要

AVRのIEEE標準1149.1準拠JTAGインターフェースは以下について使えます。

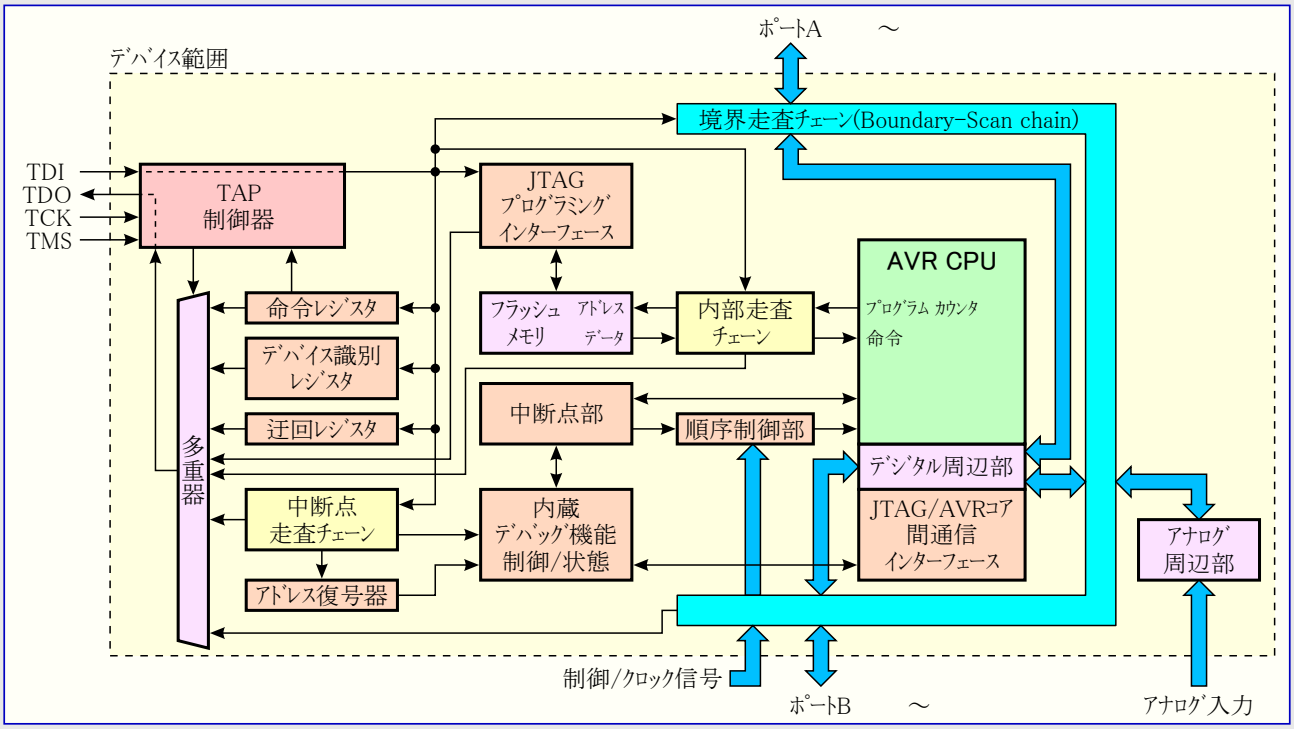
- JTAG境界走査(Boudary-Scan)能力による基板などの試験
- 不揮発性メモリ、ヒューズ ビット、施錠ビットの読み書き(プログラミング)
- 内蔵デバッグ機能による実装デバッグ

簡単な記述は次節で与えられます。JTAGインターフェース経由のプログラミングと境界走査(Boundary-Scan)チェーンに関する詳細な記述は、各々「JTAGインターフェース経由のプログラミング」と「IEEE 1149.1(JTAG)境界走査(Boundary-Scan)」で得られます。内蔵デバッグ機能の支援は独自JTAG命令で考慮されており、Microchipと選ばれた業者のみに配布されます。

下の構成図はJTAGインターフェースと内蔵デバッグ機能の構成図を示します。TAP(検査入出力ポート)制御器はTMSとTCKによって制御される順次回路です。TAP制御器はTDI入力とTDO出力間の走査チェーン(移動レジスタ接続)として、JTAG命令レジスタまたは各種データ レジスタの1つのどれかを選びます。JTAG命令レジスタはデータ レジスタの動きを制御するJTAG命令を保持します。

デバイス識別(Identification)レジスタ、迂回(Bypass)レジスタ、境界走査チェーン(Boundary-Scan chain)の各データ レジスタは基板段階の試験に使われます。(実際には現実と仮想の各種データ レジスタで構成する)JTAGプログラミング インターフェースはJTAGインターフェース経由での直列プログラミングに使われます。内部走査チェーン(Scan chain)と中断点(ブレークポイント)走査チェーンは内部デバッグ機能だけで使われます。

図26-1. JTAGインターフェースと内蔵デバッグ機能の構成図



関連リンク 217頁の「JTAGインターフェース経由のプログラミング」

26.3. 検査入出力ポート (TAP:Test Access Port)

JTAGインターフェースはAVRの4つのピンを通してアクセスされます。JTAG用語ではこれらのピンが検査入出力ポート(TAP)を構成します。

- TMS：検査種別選択。このピンはTAP制御器順次回路を通しての指示に使われます。
- TCK：検査クロック。JTAG操作はTCKに同期します。
- TDI：検査データ入力。命令レジスタまたはデータ レジスタ(走査チェーン)内に移動されるべき直列入力データです。
- TDO：検査データ出力。命令レジスタまたはデータ レジスタからの直列出力データです。

IEEE標準1149.1では任意TAP信号の検査リセット(TRST)も記載されていますが、この信号は提供されません。

JTAGENヒューズが非プログラム(1)の時にこれら4つのTAPピンは標準ポート ピンで、TAP制御器はリセットです。プログラム(0)され、MCU制御レジスタ(MCUCR)のJTAGインターフェース禁止(JTD)ビットが解除(0)されると、TAP信号入力は内部的にHighへ引かれ、JTAGは境界走査(Boundary-Scan)とプログラミングに関して許可されます。この場合、TAP出力(TDO)ピンはJTAG TAP制御器がデータを移動していない状態で浮き状態(フローティング)のままにされ、従ってプルアップ抵抗が接続されるか、または他のハードウェア(例えば走査チェーン内の次のデバイスのTDI入力)がプルアップを持たなければなりません。このデバイスはこのヒューズがプログラム(0)されて出荷されます。

内蔵デバッグ機能ではJTAGインターフェース ピンに加え、外部リセット元が検知できるため、$\overline{\text{RESET}}$ピンがデバッガによって監視されます。応用でリセット信号線にオープン コレクタ(ドレイン)だけが使われるとすれば、デバッガは全システムをリセットするために$\overline{\text{RESET}}$ピンをLowにすることもできます。

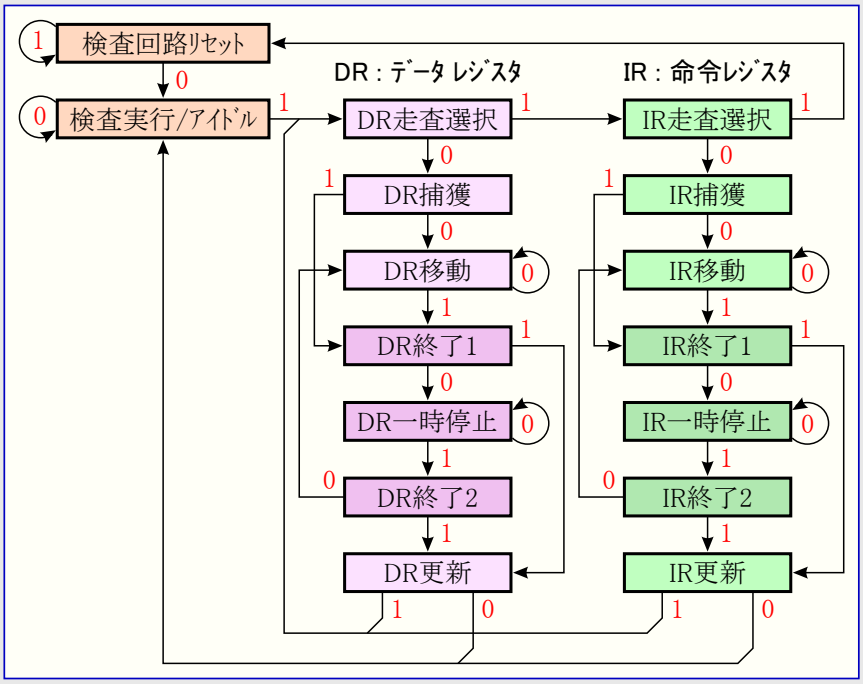
26.4. TAP制御器

TAP制御器は境界走査(Boundary-Scan)回路、JTAGプログラミング回路、内蔵デバッグ機能の働きを制御する16段の無限順次回路です。右図に描かれた状態遷移はTCKクロックの上昇時の(各状態遷移付近で示される)TMS上に存在する信号に依存します。電源投入リセット後の初期状態は検査回路リセットです。

この文書内の定義として、全ての移動レジスタに関して入出力ともLSBが最初に移動されます。

検査実行/アイドル状態が現在の状態と仮定した、JTAGインターフェースを使うための典型的な手順を次に示します。

図26-2. TAP制御器状態遷移図



- 命令レジスタ(IR)移動状態へ移行するためにTCKの上昇でTMSへ順次1,1,0,0を与えます。この状態中、TCKの上昇端でTDI入力からJTAG命令レジスタ内に4ビットのJTAG命令を移動します。TMS入力はIR移動状態に留まるために3 LSBの入力中、Lowに保持されなければなりません。命令のMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。命令がTDIピンから移動されている間、捕獲されたIRの状態($01)がTDOピンへ移動出力されます。JTAG命令はTDIとTDO間に通す(接続する)特定のデータ レジスタを選び、選んだデータ レジスタ周辺回路を制御します。
- 検査実行/アイドル状態へ再度移行するためにTMSへ順次1,1,0を与えます。この(JTAG)命令はIR更新状態通過で移動レジスタから並列出力にラッチされます。IR終了1、IR一時停止、IR終了2の各状態は順次回路の誘導操作のためだけに使われます。
- データ レジスタ(DR)移動状態へ移行するためにTCKの上昇端でTMSへ順次1,0,0を与えます。この状態中、TCKの上昇端でTDI入力から(JTAG命令レジスタ内の現在のJTAG命令で)選んだデータ レジスタに値を移動入力します。DR移動状態に留まるためにMSBを除く全ビットの入力中、TMS入力はLowに保持されなければなりません。データのMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。データ レジスタがTDIピンから移動入力される間、DR捕獲状態(1,0)でデータ レジスタに捕獲した並列入力がTDOピンへ移動出力されます。
- 検査実行/アイドル状態へ再移行するためにTMSへ順次1,1,0を与えます。選んだデータ レジスタがラッチした並列出力を持つ場合、DR更新状態でラッチを行います。DR終了1、DR一時停止、DR終了2の各状態は順次回路の誘導操作のためだけに使われます。

状態遷移図で示されるように検査実行/アイドル状態はJTAG命令の選択とデータ レジスタの使用間で移行される必要はなく、また、いくつかのJTAG命令は検査実行/アイドル状態で実行されるべき必然的な機能を選ぶかもしれず、それはアイドル状態として不適当になります。

注: TAP制御器の初期状態に関係なく、5 TCKクロック周期に対してTMSをHighに保持することにより、常に検査回路リセット状態へ移行することができます。

JTAG仕様の詳細情報については「参考文献」に記載された文献を参照してください。

26.5. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain)の使用

境界走査能力の完全な説明は「IEEE 1149.1(JTAG)境界走査(Boundary-Scan)」章で与えられます。

26.6. 内蔵ﾃﾞﾊﾞｯｸﾞ機能の使用

図26-1.で示されるように内蔵ﾃﾞﾊﾞｯｸﾞに関するﾊｰﾄﾞｳｪｱ支援は主に次の部分から成ります。

- 内部AVR CPUｺｱと内部周辺機能部間ｲﾝﾀｰﾌｪｰｽの走査ﾁｪｰﾝ(Scan chain)
- 中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)部
- CPUとJTAGｼｽﾃﾑ間の通信ｲﾝﾀｰﾌｪｰｽ

ﾃﾞﾊﾞｯｶﾞの実行で必要とされる全ての読み込みまたは変更/書き込みは内部AVR CPU走査ﾁｪｰﾝ(Scan chain)経由のAVR命令によって行われます。CPUはCPUとJTAGｼｽﾃﾑ間の通信ｲﾝﾀｰﾌｪｰｽ部分が配置されるI/Oﾒﾓﾘ位置に結果を送ります。

中断点部はﾌﾟﾛｸﾞﾗﾑの流れ変更での一時停止(Break)、1命令実行(Single Step Break)、2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ用中断点、2つの複合中断点を実行します。合わせて4つ中断点は次のどれかとして設定ができます。

- 4つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点
- 3つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾃﾞｰﾀ ﾒﾓﾘ単一中断点
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 2つのﾃﾞｰﾀ ﾒﾓﾘ単一中断点
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ範囲中断点 (中断点と遮蔽)
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾃﾞｰﾀ ﾒﾓﾘ範囲中断点 (中断点と遮蔽)

けれどもAtmel Studio®のようなﾃﾞﾊﾞｯｶﾞは最終使用者への柔軟性をより少なくする内部目的にこれら資源の1つまたはそれ以上を使うかもしれません。

内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令の一覧は「内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令」で与えられます。

JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されなければなりません。加えて内蔵ﾃﾞﾊﾞｯｸﾞ機能で作業するには更にOCDENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、施錠ﾋﾞｯﾄが施錠なしに設定されなければなりません。何れかの施錠ﾋﾞｯﾄが設定(0)されると、保護機能で内蔵ﾃﾞﾊﾞｯｸﾞ機能が禁止されます。そうでなければ内蔵ﾃﾞﾊﾞｯｸﾞ機能が保護されたﾃﾞﾊﾞｲｽへの裏口を提供することになっていたでしょう(**訳補**:保護の意味がなくなるの意)。

Atmel Studioは使用者にﾁｯﾌﾟ内蔵ﾃﾞﾊﾞｯｸﾞ能力(機能)、AVRｲﾝｻｰｷｯﾄ ｴﾐｭﾚｰﾀ、または(Atmel Studio)組み込みAVR命令一式ｼﾐｭﾚｰﾀでAVRﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾑ実行を完全に制御することを可能にします。Atmel StudioはAtmel AVRｱｾﾝﾌﾞﾗでｱｾﾝﾌﾞﾙしたｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑと他業者製ｺﾝﾊﾟｲﾗでｺﾝﾊﾟｲﾙしたC言語ﾌﾟﾛｸﾞﾗﾑのｿｰｽ ﾚﾍﾞﾙ実行を支援します。

Atmel Studioの完全な記述については**Atmel Studio使用者の手引き**を参照してください。要点だけが本文書で示されます。

全ての必要な実行指令はAtmel Studio内のｿｰｽ ﾚﾍﾞﾙと逆ｱｾﾝﾌﾞﾘ ﾚﾍﾞﾙの両方で利用できます。使用者はﾌﾟﾛｸﾞﾗﾑの実行、1命令実行(Single Step)、内側(関数内)実行、外側(関数外)実行、命令行へのｶｰｿﾙ配置と命令行が(ｶｰｿﾙ行へ)到達されるまでの実行、一時停止、実行対象のﾘｾｯﾄができます。加えて使用者は無制限数のｺｰﾄﾞの中断点(BREAK命令使用)と、2つまでのﾃﾞｰﾀ ﾒﾓﾘの中断点か、代わりに遮蔽による範囲指定(複合)中断点を持てます。

26.7. 内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令

内蔵ﾃﾞﾊﾞｯｸﾞの支援は独自JTAG命令で考慮され、Atmelと選ばれた業者だけに配布されます。参考のため、命令ｺｰﾄﾞの一覧が示されます。

- **独自命令0**：$8 (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令1**：$9 (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令2**：$A (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令3**：$B (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)

26.8. JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力の使用

JTAG経由AVRﾃﾞﾊﾞｲｽ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは4ﾋﾟﾝのJTAGﾎﾟｰﾄ、TCK,TMS,TDI,TDO経由で実行されます。これらはJTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行のために(電源ﾋﾟﾝに加えて)制御/監視される必要があるﾋﾟﾝだけです。外部的な12V印加は必要とされません。JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されなければなりません。

JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力は以下を支援します。

- ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- EEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- ﾋｭｰｽﾞ ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- 施錠ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合

施錠ﾋﾞｯﾄ保護は丁度並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのようです。施錠ﾋﾞｯﾄLB1またはLB2がﾌﾟﾛｸﾞﾗﾑ(0)されると、先にﾁｯﾌﾟ消去を行わない限り、OCDENﾋｭｰｽﾞはﾌﾟﾛｸﾞﾗﾑ(0)できません。これは保護されたﾃﾞﾊﾞｲｽの内容を読み出す裏口がないことを保証する保護機能です。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令の記述は「ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令」で与えられます。JTAGｲﾝﾀｰﾌｪｰｽを通すﾌﾟﾛｸﾞﾗﾐﾝｸﾞの詳細は「**JTAGｲﾝﾀｰﾌｪｰｽ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」項で与えられます。

関連ﾘﾝｸ 217頁の「JTAGｲﾝﾀｰﾌｪｰｽ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」

26.9. 参考文献

一般的な境界走査(Boudary-Scan)についての詳細は次の文献を参照してください。

- IEEE : IEEE Std 1149.1-1990. IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE, 1993
- Colin Maunder : The Board Designers Guide to Testable Logic Circuits, Addison Wesley, 1992

26.10. IEEE 1149.1 (JTAG) 境界走査(Boundary-Scan)

26.10.1. 特徴

- JTAGｲﾝﾀｰﾌｪｰｽ (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- ﾁｯﾌﾟ外接続を持つｱﾅﾛｸﾞ回路は勿論、全てのﾎﾟｰﾄ機能の完全な走査(Scan)
- 任意IDCODE命令の支援
- AVRﾘｾｯﾄ用公開AVR_RESET命令の追加

26.10.2. ｼｽﾃﾑ概要

境界走査ﾁｪｰﾝ(Boundary-Scan chain)にはﾃﾞｼﾞﾀﾙI/Oﾋﾟﾝは勿論、ﾁｯﾌﾟ外接続を持つｱﾅﾛｸﾞ回路のｱﾅﾛｸﾞとﾃﾞｼﾞﾀﾙ間境界の論理値を駆動、監視する能力があります。ｼｽﾃﾑ上ではJTAG能力を持つ全てのICがTDIとTDOの接続により長い移動ﾚｼﾞｽﾀの形態で接続されます。外部制御器がこれらの出力ﾋﾟﾝで値を駆動するようにﾃﾞﾊﾞｲｽを設定し、他のﾃﾞﾊﾞｲｽから受け取った入力値を監視します。この制御器は予測される結果と受信した値を比較します。この方法で境界走査(Boundary-Scan)は4つのTAP信号だけを使うことにより、基板上の部品全般と内部結線の検査機構を提供します。

IEEE 1149.1で定義された4つの必須JTAG命令、IDCODE, BYPASS, SAMPLE/PRELOAD, EXTESTだけでなく、AVR特殊公開JTAG命令のAVR_RESETも基板検査に使えます。既定JTAG命令がIDCODEなので、ﾃﾞｰﾀ ﾚｼﾞｽﾀ経路の初期走査はﾃﾞﾊﾞｲｽの識別符号(ID-code)を示します。検査動作中にﾘｾｯﾄ(状態)のAVRﾃﾞﾊﾞｲｽがあることは好都合かもしれません。ﾘｾｯﾄでない場合、ﾃﾞﾊﾞｲｽの入力は走査動作によって決定されるかもしれず、検査動作を終了する時に内部ｿﾌﾄｳｪｱが未確定状態になってしまうかもしれません。ﾘｾｯﾄへの移行で、どのﾎﾟｰﾄ ﾋﾟﾝの出力も直ちにHi-Z状態に移行し、HIGHZ命令が不要になります。必要とされるなら、ﾃﾞﾊﾞｲｽを通過する走査ﾁｪｰﾝを可能な限り最短とするのにBYPASS命令が発行できます。外部RESETﾋﾟﾝをLowに引き込むか、またはﾘｾｯﾄﾃﾞｰﾀ ﾚｼﾞｽﾀの適切な設定によるAVR_RESET命令の発行でﾃﾞﾊﾞｲｽをﾘｾｯﾄ状態に設定できます。

EXTEST命令は外部ﾋﾟﾝの採取と出力ﾋﾟﾝの値設定に使われます。EXTEST命令がJTAG命令ﾚｼﾞｽﾀ(IR)に設定されると、直ちに出力ﾗｯﾁからの値がﾋﾟﾝで出力駆動されます。このため、最初にEXTEST命令を発行する時に基板の損傷を避けるため、走査ﾁｪｰﾝ内に初期値を設定するのにSAMPLE/PRELOAD命令も使われるべきです。SAMPLE/PRELOAD命令は通常動作中ﾃﾞﾊﾞｲｽの外部ﾋﾟﾝの高速監視にも使えます。

JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されなければなりません。

境界走査(Boundary-Scan)にJTAGｲﾝﾀｰﾌｪｰｽを使う場合、内部ﾁｯﾌﾟ周波数よりも高いJTAG TCKｸﾛｯｸ周波数の使用が可能です。ﾁｯﾌﾟのｸﾛｯｸは走行に必要とされません。

26.11. ﾃﾞｰﾀ ﾚｼﾞｽﾀ

境界走査(Boundary-Scan)に関連するﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)を次に示します。

- **迂回**(Bypass)**ﾚｼﾞｽﾀ**
- **ﾃﾞﾊﾞｲｽ識別**(Device Identification)**ﾚｼﾞｽﾀ**
- **ﾘｾｯﾄ**(Reset)**ﾚｼﾞｽﾀ**
- **境界走査ﾁｪｰﾝ**(Boundary-Scan chain)

26.11.1. 迂回(Bypass)ﾚｼﾞｽﾀ

迂回ﾚｼﾞｽﾀは1段の移動ﾚｼﾞｽﾀから成ります。TDIとTDO間の経路として迂回ﾚｼﾞｽﾀが選ばれると、このﾚｼﾞｽﾀはTAP制御器がﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)捕獲状態を抜ける時に0へﾘｾｯﾄされます。迂回ﾚｼﾞｽﾀは他のﾃﾞﾊﾞｲｽが検査される時にｼｽﾃﾑ上の走査ﾁｪｰﾝ(Scan chain)を短くするのに使えます。

26.11.2. ﾃﾞﾊﾞｲｽ識別(Device Identification)ﾚｼﾞｽﾀ

右図はﾃﾞﾊﾞｲｽ識別ﾚｼﾞｽﾀの構造を示します。

版番号 版番号は部品(ﾃﾞﾊﾞｲｽ)の改訂を示す4ﾋﾞｯﾄです。JTAG版番号はﾃﾞﾊﾞｲｽの改訂版に従い、改訂P($0F)で丸められます。改訂AとQは$00, 改訂BとRは$01, 以下同様です。

部品番号 部品番号は部品(名)を示す16ﾋﾞｯﾄです。ATmega164PのJTAG部品番号は右表で一覧されます。

製造者識別 製造者識別は製造業者を示す11ﾋﾞｯﾄです。AtmelのJTAG製造者識別は右表で示されます。

図26-3. ﾃﾞﾊﾞｲｽ識別ﾚｼﾞｽﾀの形式

ﾋﾞｯﾄ	31 28	27 12	11 1	0
ﾃﾞﾊﾞｲｽ識別	版番号	部品番号	製造者識別	1
ﾋﾞｯﾄ数	4	16	11	1

表26-1. AVR JTAG 部品番号

部品番号	JTAG部品番号(Hex)
ATmega164P	$940A

表26-2. 製造者ID

製造業者	JTAG製造者ID番号(Hex)
Atmel	$01F

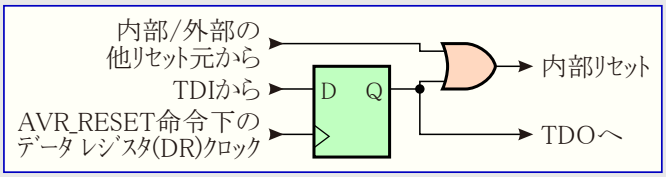
26.11.3. リセット (Reset) レジスタ

リセット レジスタはデバイスのリセットに使われる検査データ レジスタです。リセットによってAVRのポート ピンがHi-Z状態となるので、未実装の任意JTAG命令HIGHZ機能の代わりにできます。

リセット レジスタ内の値1は外部RESETピンをLowに引っ張るのと同じです。デバイスはリセット レジスタ内の値が1である限り、リセットです。リセット レジスタの開放後、デバイスはクロック選択用ヒューズ ビットの設定に従ってリセット起動遅延時間(「**クロック元**」参照)、リセットに留まります。右図で示されるようにこのデータ レジスタからの出力はラッチされず、直ちにリセットが行われます。。

関連リンク　28頁の「クロック元」

図26-4. リセット レジスタ



26.11.4. 境界走査チェーン(Boundary-Scan Chain)

境界走査チェーンにはデジタルI/Oピンは勿論、チップ外の接続を持つアナログ回路のアナログとデジタル間境界の論理値上の設定と監視能力があります。

完全な記述については「**境界走査チェーン**(Boundary-Scan chain)」を参照してください。

26.12. 境界走査(Boundary-Scan)用JTAG命令

命令レジスタ(IR)は16種までの命令を支援する4ビット幅です。以下に示した一覧は境界走査(Boundary-Scan)操作に有用なJTAG命令です。全ポート ピンをHi-Z状態にするための任意HIGHZ命令は実装されませんが、AVR_RESET命令を使うことによって全出力がHi-Z状態に設定できることに注目してください。

このデータシート内の定義として、全ての移動レジスタに関して入出力ともLSBが最初に移動されます。

各命令の命令コードは命令名下の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選ばれるデータ レジスタを記述します。(**訳注**:配置構成変更により、内容を一部変更)

26.12.1. EXTEST – $0

AVRデバイスに外部回路的検査を行うためにデータ レジスタ(DR)として境界走査チェーン(Boundary-Scan chain)を選ぶための必須JTAG命令です。ポート ピンは方向、プルアップ、出力値、入力値は走査チェーン(Scan chain)内で全てアクセス可能です。チップ外接続を持つアナログ回路についてはアナログとデジタル論理間のインターフェースが走査チェーン内になります。境界走査チェーンのラッチした出力値はJTAG命令レジスタ(IR)にEXTEST命令が設定されると直ぐに駆動されます。本命令が有効な状態を次に示します。

- **DR捕獲** ：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動** ：内部走査チェーンがTCKクロック入力によって移されます。
- **DR更新** ：走査チェーンからの値が出力ピンに印加(出力)されます。

26.12.2. IDCODE – $1

データ レジスタ(DR)として32ビットのデバイス識別(ID)レジスタを選ぶ任意JTAG命令です。デバイス識別レジスタは版番号、デバイス番号と、JEDECによって決めれた製造者符号から成ります。これは電源投入後の既定命令です。本命令が有効な状態を次に示します。

- **DR捕獲** ：デバイス識別レジスタ内の値が境界走査チェーン内に採取されます。
- **DR移動** ：内部走査チェーン(デバイス識別レジスタ値)がTCKクロック入力によって移されます。

26.12.3. SAMPLE_PRELOAD – $2

システム動作に影響を与えずに入出力ピンの状態採取、出力ラッチの事前設定を行うための必須JTAG命令です。けれども出力ラッチはピンに接続されません。データ レジスタ(DR)として境界走査チェーン(Boundary-Scan chain)が選ばれます。本命令が有効な状態を次に示します。

- **DR捕獲** ：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動** ：境界走査チェーンがTCKクロック入力によって移されます。
- **DR更新** ：境界走査チェーンからの値が出力ラッチに印加(設定)されます。けれども出力ラッチはピンに接続されません。

26.12.4. AVR_RESET – $C

AVRデバイスを強制的にリセット状態、またはJTAGリセット元から開放するためのAVR特殊公開JTAG命令です。この命令で検査入出力ポート(TAP)制御器はリセットされません。データ レジスタ(DR)として1ビットのリセット レジスタが選ばれます。リセット チェーン(レジスタ)が論理1である限り、リセットが活性(有効)なことに注意してください。このチェーンからの出力はラッチされません。本命令が有効な状態を次に示します。

- **DR移動** ：走査チェーン(リセット レジスタ)がTCKクロック入力によって移されます。

26.12.5. BYPASS – $F

データ レジスタ(DR)に迂回(Bypass)レジスタを選ぶ必須JTAG命令です。本命令が有効な状態を次に示します。

- **DR捕獲** ：迂回レジスタに論理0を設定します。
- **DR移動** ：TDIとTDO間の迂回レジスタ(セル)が移されます。

26.13. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain)

境界走査ﾁｪｰﾝにはﾃﾞｼﾞﾀﾙI/Oﾋﾟﾝは勿論、ﾁｯﾌﾟ外の接続を持つｱﾅﾛｸﾞ回路のｱﾅﾛｸﾞとﾃﾞｼﾞﾀﾙ間境界の論理値の設定と監視の能力があります。

26.13.1. ﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝの走査

右図はﾌﾟﾙｱｯﾌﾟ機能付き双方向ﾎﾟｰﾄ ﾋﾟﾝ用境界走査(Boundary-Scan)ｾﾙを示します。このｾﾙはﾌﾟﾙｱｯﾌﾟ許可(PUExn)用標準境界走査(Boundary-Scan)ｾﾙと3つの信号、出力(方向)制御(OCxn)、出力ﾃﾞｰﾀ(ODxn)、入力ﾃﾞｰﾀ(IDxn)の組み合わせの双方向ﾋﾟﾝ用ｾﾙの2段の移動ﾚｼﾞｽﾀだけから成ります。ﾎﾟｰﾄとﾋﾟﾝの添え字は続く記述で使われません。

境界走査(Boundary-Scan)論理回路はﾃﾞｰﾀｼｰﾄ内の図に含まれません。**図26-6.**は「**入出力ﾎﾟｰﾄ**」章で記載される単純なﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝを示します。右図からの境界走査ｾﾙの詳細が**図26-6.**上の破線内に置き換わります。

交換ﾎﾟｰﾄ機能が存在しない場合、入力ﾃﾞｰﾀ(ID)はPINxnﾚｼﾞｽﾀ値(けれどもIDは同期化回路を持たず)、出力ﾃﾞｰﾀ(OD)はPORTxnﾚｼﾞｽﾀ、出力制御(OC)はDDxn方向ﾚｼﾞｽﾀ、ﾌﾟﾙｱｯﾌﾟ許可(PUE)は論理合成値($\overline{\text{PUD}}$ AND DDxn AND PORTxn)に各々対応します。

ﾃﾞｼﾞﾀﾙ交換ﾎﾟｰﾄ(ﾋﾟﾝ)機能は走査ﾁｪｰﾝ(Scan chain)が実際のﾋﾟﾝ値を読むために**図26-6.**内の破線外側に接続されます。ｱﾅﾛｸﾞ機能について、それらは外部ﾋﾟﾝからｱﾅﾛｸﾞ回路へ直結で、走査ﾁｪｰﾝはｱﾅﾛｸﾞ回路とﾃﾞｼﾞﾀﾙ論理回路間のｲﾝﾀｰﾌｪｰｽに挿入されます。。

関連ﾘﾝｸ 57頁の「入出力ﾎﾟｰﾄ」

図26-5. ﾌﾟﾙｱｯﾌﾟ機能付き双方向ﾎﾟｰﾄ用境界走査(Boundary-Scan)ｾﾙ構成図

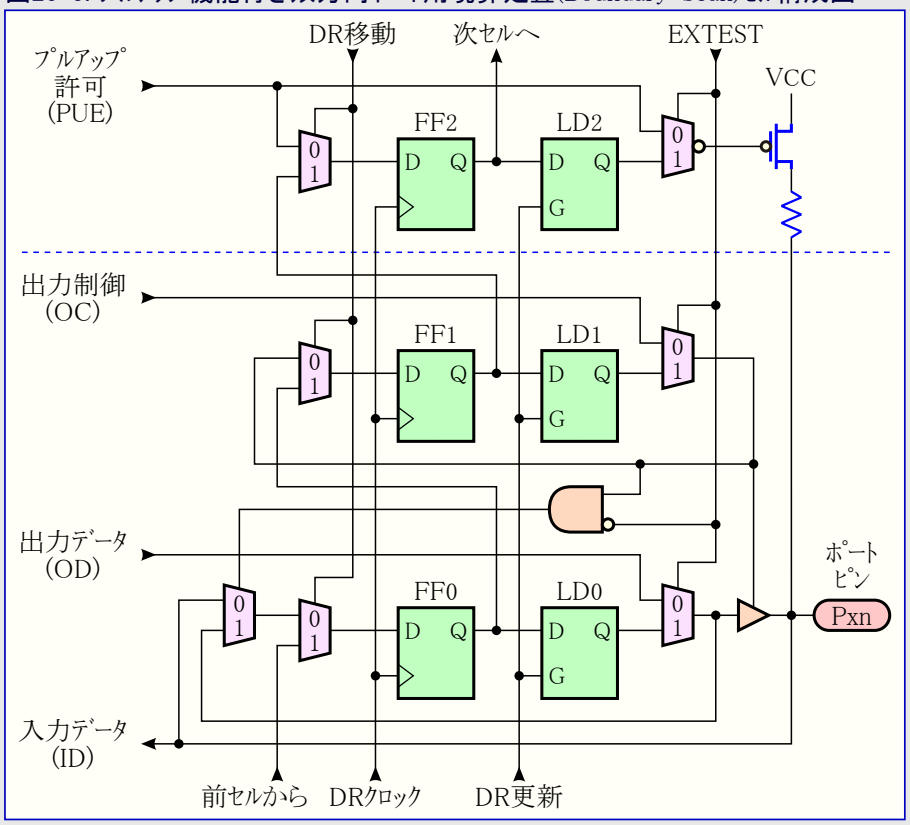
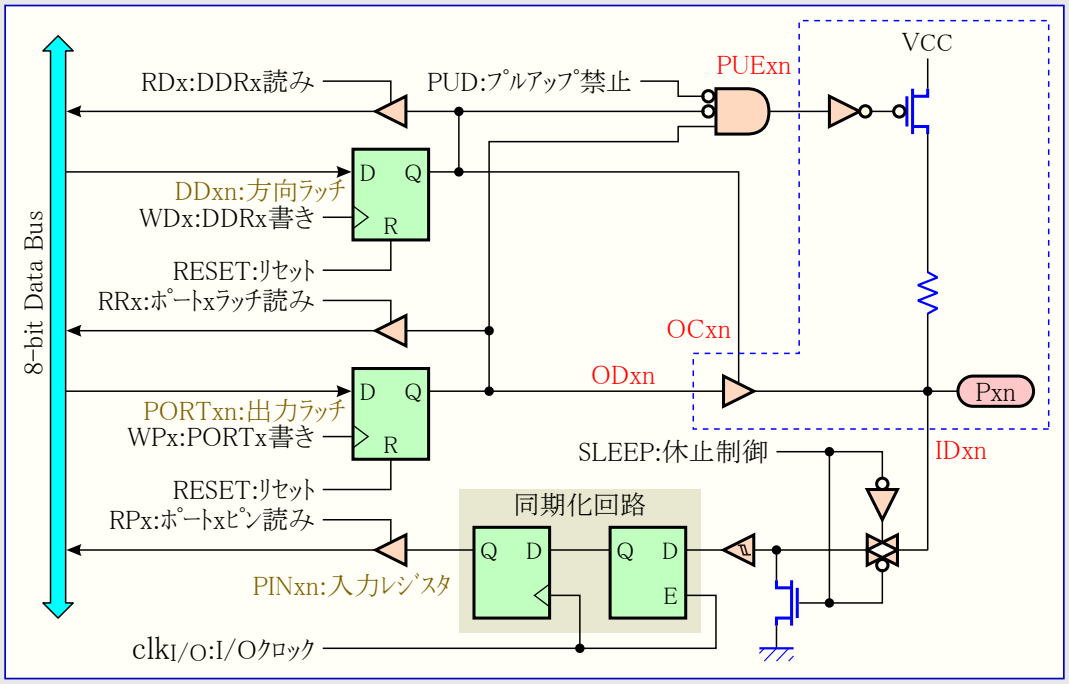


図26-6. 標準ﾎﾟｰﾄ ﾋﾟﾝ構成図

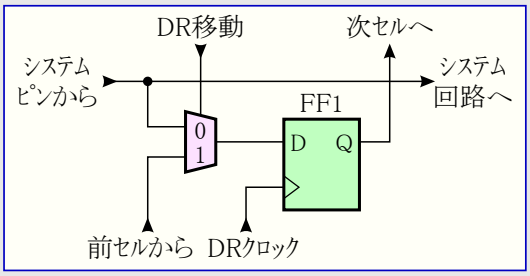


注: 詳細については境界走査(Boundary-Scan)をご覧ください。

26.13.2. RESETﾋﾟﾝの走査

RESETﾋﾟﾝは標準ﾘｾｯﾄ動作について5V負論理(Low有効)、高電圧並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞについて12V正論理(High有効)を受け入れます。右図で示される監視専用ｾﾙが5Vﾘｾｯﾄ信号(RSTT)と12Vﾘｾｯﾄ信号(RSTHV)の両方に挿入されます。

図26-7. 監視専用境界走査ｾﾙ構成図



26.14. ATmega164Pの境界走査(Boundary-Scan)順

下表は境界走査ﾁｪｰﾝがﾃﾞｰﾀ経路として選ばれる時のTDIとTDO間の走査順を示します。ﾋﾞｯﾄ0が最下位ﾋﾞｯﾄで走査の最初に入出力されます。走査順は可能な限りﾋﾟﾝ配置順に従います。このためﾎﾟｰﾄAのﾋﾞｯﾄは他のﾎﾟｰﾄと違うﾋﾞｯﾄ順で走査されます。この規則の例外はｱﾅﾛｸﾞ回路が接続される物理ﾋﾟﾝに関係なく走査ﾁｪｰﾝの最上位を構成するｱﾅﾛｸﾞ回路用走査ﾁｪｰﾝです。図26-5.上で、Pxn出力はFF0、Pxn制御はFF1、Pxnﾌﾟﾙｱｯﾌﾟ許可はFF2に各々対応します。ﾎﾟｰﾄCのﾋﾞｯﾄ2,3,4,5はJTAG許可時にTAPﾋﾟﾝを構成するので走査ﾁｪｰﾝには存在しません。

表26-3. ATmega164P境界走査(Boundary-Scan)順 (TBD)

ﾋﾞｯﾄ	信号名	基本単位	ﾋﾞｯﾄ	信号名	基本単位	ﾋﾞｯﾄ	信号名	基本単位
56	PB0.Data	ﾎﾟｰﾄB	37	PD1.Data	ﾎﾟｰﾄD	18	PC6.Control	ﾎﾟｰﾄC
55	PB0.Control		36	PD1.Control		17	PC7.Data	
54	PB1.Data		35	PD2.Data		16	PC7.Control	
53	PB1.Control		34	PD2.Control		15	PA7.Data	ﾎﾟｰﾄA
52	PB2.Data		33	PD3.Data		14	PA7.Control	
51	PB2.Control		32	PD3.Control		13	PA6.Data	
50	PB3.Data		31	PD4.Data		12	PA6.Control	
49	PB3.Control		30	PD4.Control		11	PA5.Data	
48	PB4.Data		29	PD5.Data		10	PA5.Control	
47	PB4.Control		28	PD5.Control		9	PA4.Data	
46	PB5.Data		27	PD6.Data		8	PA4.Control	
45	PB5.Control		26	PD6.Control		7	PA3.Data	
44	PB6.Data		25	PD7.Data		6	PA3.Control	
43	PB6.Control		24	PD7.Control		5	PA2.Data	
42	PB7.Data		23	PC0.Data	ﾎﾟｰﾄC	4	PA2.Control	
41	PB7.Control		22	PC0.Control		3	PA1.Data	
40	RSTT	ﾘｾｯﾄ(監視専用)	21	PC1.Data		2	PA1.Control	
39	PD0.Data	ﾎﾟｰﾄD	20	PC1.Control		1	PA0.Data	
38	PD0.Control		19	PC6.Data		0	PA0.Control	

26.15. 境界走査記述言語(Boundary-Scan Description Language)ﾌｧｲﾙ

境界走査記述言語(BSDL)ﾌｧｲﾙは境界走査が可能なﾃﾞﾊﾞｲｽを自動検査生成ｿﾌﾄｳｪｱによって使われる標準形式で記述します。境界走査ﾃﾞｰﾀ ﾚｼﾞｽﾀ内のﾋﾞｯﾄの順番と機能がこの記述内に含まれます。

26.16. JTAG関連ﾚｼﾞｽﾀ

26.16.1. OCDR – 内蔵ﾃﾞﾊﾞｯｸﾞ ﾚｼﾞｽﾀ (On-chip Debug Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：OCDR
変位 ：$51 ($31)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$31です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	IDRD/OCDR7	OCDR6	OCDR5	OCDR4	OCDR3	OCDR2	OCDR1	OCDR0
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7～0 – IDRD/OCDR7～0 : 内蔵ﾃﾞﾊﾞｯｸﾞ ﾃﾞｰﾀ** (On-chip Debug Register)

OCDRはﾏｲｸﾛ ｺﾝﾄﾛｰﾗ内の実行ﾌﾟﾛｸﾞﾗﾑからﾃﾞﾊﾞｯｶﾞへの通信ﾁｬﾈﾙを提供します。CPUはこの位置へ書くことによってﾃﾞﾊﾞｯｶﾞへﾊﾞｲﾄを転送できます。このﾚｼﾞｽﾀが書かれてしまっているのをﾃﾞﾊﾞｯｶﾞに示すため、同時に内部ﾌﾗｸﾞIDRD(I/Oﾃﾞﾊﾞｯｸﾞ ﾚｼﾞｽﾀ更新)が設定(1)されます。CPUがOCDRを読むとき、LSB 7ﾋﾞｯﾄがOCDRからで、一方MSBはIDRDﾋﾞｯﾄです。ﾃﾞﾊﾞｯｶﾞはこの情報を読む時にIDRDﾋﾞｯﾄを解除(0)します。

いくつかのAVRﾃﾞﾊﾞｲｽに於いてこのﾚｼﾞｽﾀは標準I/O位置で共用されます。この場合、OCDRは内蔵ﾃﾞﾊﾞｯｸﾞ許可(OCDEN)ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)された場合にだけｱｸｾｽでき、ﾃﾞﾊﾞｯｶﾞがOCDRへｱｸｾｽできます。他の全ての場合、標準I/O位置がｱｸｾｽされます。

・ OCDR7がMSBで、OCDR0がLSBです。

このﾚｼﾞｽﾀの使用法のより多くの情報はﾃﾞﾊﾞｯｶﾞの資料を参照してください。

26.16.2. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control Register)

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

MCU制御ﾚｼﾞｽﾀは一般MCU機能制御ﾋﾞｯﾄを含みます。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：MCUCR
変位 ：$55 ($35)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$35です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	JTD	BODS	BODSE	PUD	–	–	IVSEL	IVCE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – JTD : JTAGｲﾝﾀｰﾌｪｰｽ禁止** (JTAG interface disable)

このﾋﾞｯﾄが0の時にJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されていれば、JTAGｲﾝﾀｰﾌｪｰｽが許可されます。このﾋﾞｯﾄが1の場合、JTAGｲﾝﾀｰﾌｪｰｽは禁止されます。JTAGｲﾝﾀｰﾌｪｰｽの予期せぬ許可や禁止を避けるためにこのﾋﾞｯﾄを変更する時は時間制限手順に従わなければなりません。この値を変更するために応用ｿﾌﾄｳｪｱは4周期以内に希望する値をこのﾋﾞｯﾄへ2回書かなければなりません。

JTAGｲﾝﾀﾌｪｰｽが他のJTAG回路に接続されないままにされる場合、このJTDﾋﾞｯﾄは1に設定されるべきです。この理由はJTAGｲﾝﾀｰﾌｪｰｽのTDOﾋﾟﾝの静止時電流を避けるためです。

26.16.3. MCUSR – MCU状態ﾚｼﾞｽﾀ (MCU Status Register)

ﾘｾｯﾄ条件の確認にﾘｾｯﾄ ﾌﾗｸﾞを使うため、使用者はﾌﾟﾛｸﾞﾗﾑ内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のﾘｾｯﾄが起こる前にこのﾚｼﾞｽﾀが解除(0)されると、そのﾘｾｯﾄ元はﾘｾｯﾄ ﾌﾗｸﾞを調べることによって得られます。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

名称 ：MCUSR
変位 ：$54 ($34)
ﾘｾｯﾄ ：$000xxxxx (以下の説明を参照)
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$34です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	–	–	–	JTRF	WDRF	BORF	EXTRF	PORF
ｱｸｾｽ種別	R	R	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照

● **ﾋﾞｯﾄ4 – JTRF : JTAG ﾘｾｯﾄ ﾌﾗｸﾞ** (JTAG Reset Flag)

このﾋﾞｯﾄはJTAG命令AVR_RESETによって選んだJTAG ﾘｾｯﾄ ﾚｼﾞｽﾀ内の論理1でﾘｾｯﾄが起こされると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたはこのﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

27. BTLDR – ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

27.1. 特徴

- 書き込み中読める(Read-While-Write)自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 柔軟性のあるﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘ容量
- 高い安全性 (柔軟な保護用の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄ)
- ﾘｾｯﾄ ﾍﾞｸﾀ選択用の独立したﾋｭｰｽﾞ
- 最適化されたﾍﾟｰｼﾞ容量 (注1)
- 効率的なｺｰﾄﾞ手法
- 効率的な読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)支援

注1: ﾍﾟｰｼﾞはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に使われる多数のﾊﾞｲﾄから成るﾌﾗｯｼｭ ﾒﾓﾘの区画です(「**ﾍﾟｰｼﾞ容量**」の**ﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ数とﾍﾟｰｼﾞの語数**の表をご覧ください)。このﾍﾟｰｼﾞ構成は通常動作に影響を及ぼしません。

関連ﾘﾝｸ 207頁の「ﾍﾟｰｼﾞ容量」

27.2. 概要

本ﾃﾞﾊﾞｲｽに於いて、ﾌﾞｰﾄ ﾛｰﾀﾞ支援はMCU自身によるﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞのﾀﾞｳﾝﾛｰﾄﾞとｱｯﾌﾟﾛｰﾄﾞ用の真の書き込み中の読み出しが可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機構を提供します。この特徴はﾌﾗｯｼｭ ﾒﾓﾘに常駐するﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑを使うMCUによって制御される柔軟な応用ｿﾌﾄｳｪｱ更新を可能にします。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑはﾌﾗｯｼｭ ﾒﾓﾘ内にｺｰﾄﾞを書き(ﾌﾟﾛｸﾞﾗﾑ)、ｺｰﾄﾞを読み、またはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘからｺｰﾄﾞを読むのに、利用可能なﾃﾞｰﾀ ｲﾝﾀｰﾌｪｰｽと関連する規約のどれもが使えます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域内のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘを含むﾌﾗｯｼｭ ﾒﾓﾘ全体を書く能力を持ちます。従ってﾌﾞｰﾄ ﾛｰﾀﾞは自身をも変更でき、この機能がそれ以上必要とされないなら、そのｺｰﾄﾞから自身を消去することもできます。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘの容量はﾋｭｰｽﾞで設定可能で、ﾌﾞｰﾄ ﾛｰﾀﾞは個別に設定可能な2組の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。

27.3. ﾌﾗｯｼｭ ﾒﾓﾘの応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域

ﾌﾗｯｼｭ ﾒﾓﾘは応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の2つの主な領域で構成されます。各領域の容量はBOOTSZﾋｭｰｽﾞによって設定されます。これら2つの領域は個別の施錠ﾋﾞｯﾄの組を持つため、異なる保護基準を持てます。

27.3.1. 応用領域

応用領域は応用ｺｰﾄﾞを格納するのに使われるﾌﾗｯｼｭ ﾒﾓﾘの領域です。応用領域用保護基準は応用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ0)によって選べます。応用領域から実行される時にSPM命令が禁止されるので、応用領域はどんなﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞも決して格納し得ません。

27.3.2. ﾌﾞｰﾄ ﾛｰﾀﾞ領域 (BLS)

応用領域が応用ｺｰﾄﾞ格納用に使われるのに対して、SPM命令はBLSから実行する時にだけﾌﾟﾛｸﾞﾗﾐﾝｸﾞを始められるので、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはBLSに格納されなければなりません。SPM命令はBLS自身を含む全てのﾌﾗｯｼｭ ﾒﾓﾘをｱｸｾｽできます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域用保護基準はﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1)によって選べます。

27.4. ﾌﾗｯｼｭ ﾒﾓﾘの書き込み中に読み出し可能な領域と不能な領域

どちらのｱﾄﾞﾚｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞされるかによって、CPUが書き込み中の読み出しを支援するか、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中にCPUが停止されるかのどちらです。上で記述されるようなBOOTSZﾋｭｰｽﾞによって設定可能な2つの領域に加え、ﾌﾗｯｼｭ ﾒﾓﾘは書き込み中読み出し可能な(RWW)領域と書き込み中読み出し不能な(NRWW)領域の2つの固定領域にも分けられます。RWWとNRWW領域間の境界は「**ﾌﾞｰﾄ ﾛｰﾀﾞ ﾊﾟﾗﾒｰﾀ**」項と**図27-2.**で与えられます。この2つの領域間の主な違いを次に示します。

- RWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、NRWW領域はその動作中に読むことができます。
- NRWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、その全ての動作中にCPUは停止されます。

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ動作中、使用者ｿﾌﾄｳｪｱはRWW領域側に配置されたどのｺｰﾄﾞも決して読めません。「書き込み中読み出し可能領域」という記述はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(消去または書き込み)される領域としての引用で、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中に実際に読まれる領域ではありません。

関連ﾘﾝｸ 202頁の「ﾌﾞｰﾄ ﾛｰﾀﾞ ﾊﾟﾗﾒｰﾀ」

(訳補) 上の記述はNRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞするという前提で、消去または書き込みを行う側ではなく、行われる側でこの名称が定義されていることを意味します。即ち、NRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞすると、NRWW領域のﾌﾟﾛｸﾞﾗﾑは通常通り動作する(即ち読める)ので、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞされる側はRWW領域と名付けられ、この逆ではCPUが停止する(即ち読めない)ので、NRWW領域と名付けられているという意味です。

27.4.1. RWW – 書き込み中読み出し可能領域

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ更新がRWW領域側のﾍﾟｰｼﾞをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする場合、ﾌﾗｯｼｭ ﾒﾓﾘからｺｰﾄﾞを読むことが可能ですが、NRWW領域に配置されるｺｰﾄﾞだけです。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行中、そのｿﾌﾄｳｪｱはRWW領域が決して読まれないことを保証しなければなりません。使用者ｿﾌﾄｳｪｱがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に(例えば、CALL,JMP,LPM系命令または割り込みによって)RWW領域側に配置されるｺｰﾄﾞを読もうとすると、そのｿﾌﾄｳｪｱは未知の状態へ行き着くかもしれません。これを避けるために割り込みは禁止またはﾌﾞｰﾄ ﾛｰﾀﾞ領域へ移動のどちらかにされるべきです。ﾌﾞｰﾄ ﾛｰﾀﾞ領域は常にNRWW領域に配置されます。RWW領域が読み出しに対して妨げられている限り、SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)のRWW領域多忙(RWWSB)ﾋﾞｯﾄは論理1として読みます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後、RWW領域に配置したｺｰﾄﾞを読む前にRWWSBはｿﾌﾄｳｪｱによって解除(0)されなければなりません。RWWSBを解除(0)する方法の詳細については本章内の「SPMCSR – SPM命令制御/状態ﾚｼﾞｽﾀ」をご覧ください。

27.4.2. NRWW – 書き込み中読み出し不能領域

NRWW領域に配置したｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱがRWW領域内のﾍﾟｰｼﾞを更新する時に読めます。ﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞがNRWW領域を更新するとき、全てのﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み動作中にCPUが停止されます。

表27-1. 書き込み中読み出し可能機能

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にZﾎﾟｲﾝﾀで指定される領域	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に読める領域	CPU動作	RWW機能支援
RWW領域	NRWW領域	通常動作	あり
NRWW領域	なし	停止	なし

図27-1. RWW領域とNRWW領域の関係

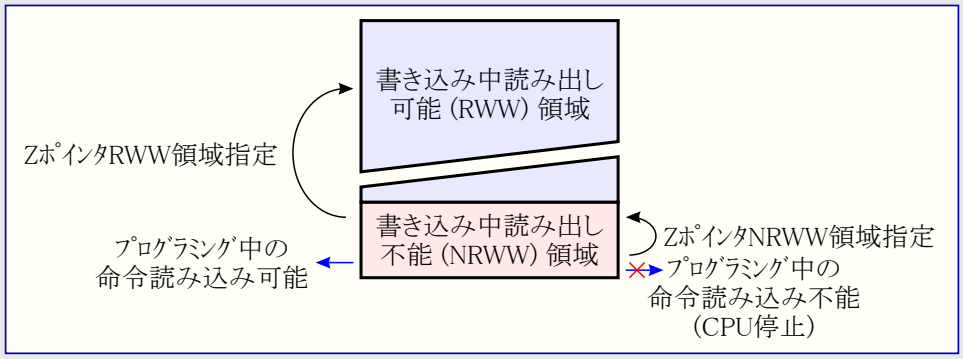
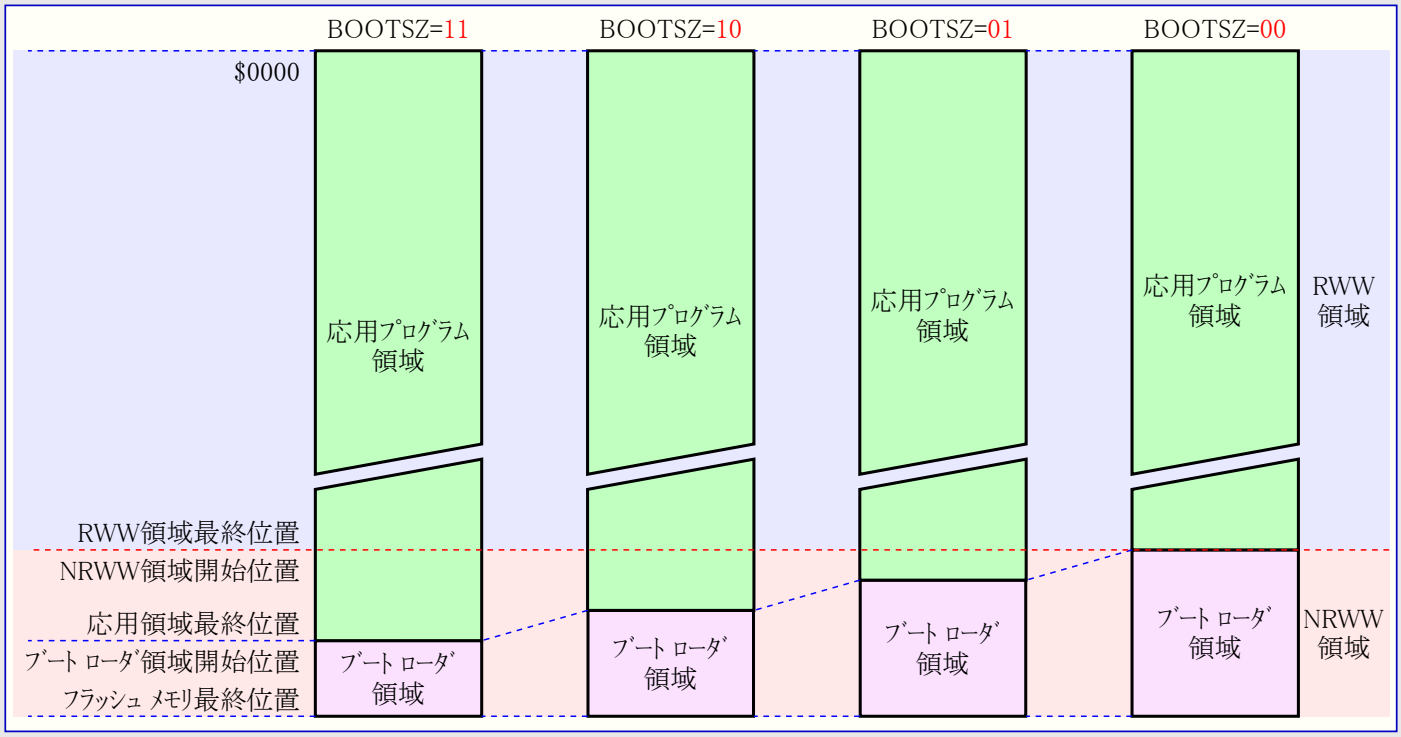


図27-2. 選択によるﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘの領域分割



関連ﾘﾝｸ　202頁の「ﾌﾞｰﾄ ﾛｰﾀﾞ パラメータ」

27.5. ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑへの移行

ﾌﾞｰﾄ ﾛｰﾀﾞへの移行は応用ﾌﾟﾛｸﾞﾗﾑから分岐(Jump)または呼び出し(Call)によって行います。これはUSARTやSPIｲﾝﾀｰﾌｪｰｽ経由で受信した指令のような起点によって始められるかもしれません。代わりに、ﾘｾｯﾄ後にﾘｾｯﾄ ﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域開始ｱﾄﾞﾚｽを指示するようにﾌﾞｰﾄ ﾘｾｯﾄ(BOOTRST)ﾋｭｰｽﾞをﾌﾟﾛｸﾞﾗﾑ(0)することができます。この場合、ﾌﾞｰﾄ ﾛｰﾀﾞがﾘｾｯﾄ後に開始されます。応用ｺｰﾄﾞが設定された(書かれた)後、そのﾌﾟﾛｸﾞﾗﾑ(ﾌﾞｰﾄ ﾛｰﾀﾞ)は応用ｺｰﾄﾞの実行を始めることができます。このﾋｭｰｽﾞはMCU自身によって変更できません。これは一旦ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾘｾｯﾄ ﾍﾞｸﾀは常にﾌﾞｰﾄ ﾛｰﾀﾞ ﾘｾｯﾄを指示し、このﾋｭｰｽﾞが直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ、並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたはJTAGｲﾝﾀｰﾌｪｰｽを通してのみ変更できることを意味します。

表27-2. ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞ (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BOOTRST	ﾘｾｯﾄ後実行開始ｱﾄﾞﾚｽ (ﾘｾｯﾄ ﾍﾞｸﾀ)	
0	ﾌﾞｰﾄ ﾛｰﾀﾞ ﾘｾｯﾄ	ﾌﾞｰﾄ ﾛｰﾀﾞ開始ｱﾄﾞﾚｽ (「ﾌﾞｰﾄ ﾛｰﾀﾞ ﾊﾟﾗﾒｰﾀ」で記述されるように)
1	応用ﾘｾｯﾄ	$0000

27.6. ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ

ﾌﾞｰﾄ ﾛｰﾀﾞ能力が必要とされないなら、ﾌﾗｯｼｭ ﾒﾓﾘ全体が応用ｺｰﾄﾞ用に利用可能です。ﾌﾞｰﾄ ﾛｰﾀﾞは個別に設定可能な独立した2組のﾌﾞｰﾄ施錠ﾋﾞｯﾄを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。

使用者は以下を選べます。

- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘ全体を保護
- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄ ﾛｰﾀﾞ領域だけを保護
- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘの応用領域だけを保護
- ﾌﾗｯｼｭ ﾒﾓﾘ全体で更新するｿﾌﾄｳｪｱを許可

ﾌﾞｰﾄ施錠ﾋﾞｯﾄはｿﾌﾄｳｪｱと直列または並列のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作で設定(0)できますが、これらのﾋﾞｯﾄはﾁｯﾌﾟ消去指令によってのみ解除(1)できます。一般書き込み禁止(LB動作種別2)はSPM命令によるﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞを制御しません。同様に、試みられたなら、一般読み書き禁止(LB動作種別3)はLPM命令とSPM命令による読み込みも書き込みも制御しません。(**訳補**:一般LBはLPM/SPM命令に関して無関係の意)

表27-3. 応用領域に対する保護種別 (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BLB0 動作種別	BLB02	BLB01	保護種別
1	1	1	LPM, SPM命令が応用領域をｱｸｾｽすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ﾌﾞｰﾄ ﾛｰﾀﾞ領域でのLPM命令による応用領域からの読み込みが許されません。(**注**)
4	0	1	ﾌﾞｰﾄ ﾛｰﾀﾞ領域でのLPM命令による応用領域からの読み込みが許されません。(**注**)

注: BLB02=0で、割り込みﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

表27-4. ﾌﾞｰﾄ ﾛｰﾀﾞ領域に対する保護種別 (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BLB1 動作種別	BLB12	BLB11	保護種別
1	1	1	LPM, SPM命令がﾌﾞｰﾄ ﾛｰﾀﾞ領域をｱｸｾｽすることに対して制限はありません。
2	1	0	SPM命令はﾌﾞｰﾄ ﾛｰﾀﾞ領域に書くことを許されません。
3	0	0	SPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ領域への書き込みと、応用領域でのLPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ領域からの読み込みが許されません。(**注**)
4	0	1	応用領域でのLPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ領域からの読み込みが許されません。(**注**)

注: BLB12=0で、割り込みﾍﾞｸﾀが応用領域に配置されていると、ﾌﾞｰﾄ ﾛｰﾀﾞ領域での実行時に割り込みが禁止されます。

27.7. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定

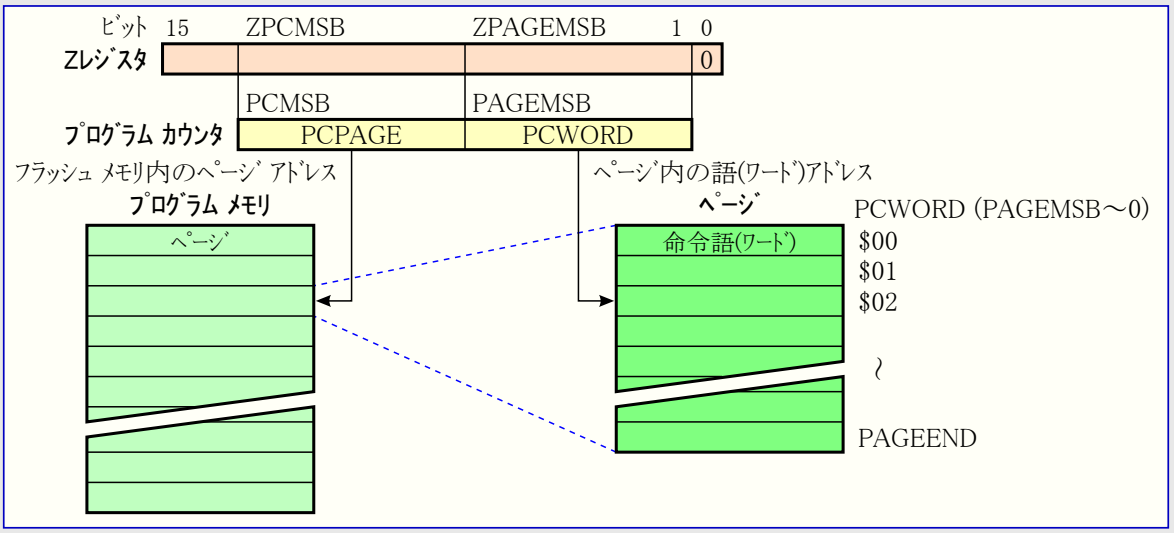
Zﾎﾟｲﾝﾀ(ﾚｼﾞｽﾀ)はSPM命令でのｱﾄﾞﾚｽ指定に使われます。Zﾎﾟｲﾝﾀはﾚｼﾞｽﾀ ﾌｧｲﾙ内のZHとZLのZﾚｼﾞｽﾀから成ります。実際に使われるﾋﾞｯﾄ数は実装依存です。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

ﾌﾗｯｼｭ ﾒﾓﾘがﾍﾟｰｼﾞで構成されるため、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ)は2つの違う領域を持つように扱われます。1つの領域は下位側ﾋﾞｯﾄから成り、ﾍﾟｰｼﾞ内の語(ﾜｰﾄﾞ)をｱﾄﾞﾚｽ指定し、一方上位側ﾋﾞｯﾄはそのﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定します。これは次図で示されます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作が個別にｱﾄﾞﾚｽ指定されることに注意してください。従ってﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが最も重要です。一旦ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が開始されると、このｱﾄﾞﾚｽはﾗｯﾁされ、Zﾎﾟｲﾝﾀは他の操作に使えます。

Zﾎﾟｲﾝﾀを使わないSPM操作はﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ設定だけです。この操作でZﾚｼﾞｽﾀの内容は無視され、無効です。LPM命令もｱﾄﾞﾚｽを格納するのにZﾎﾟｲﾝﾀを使います。この命令はﾌﾗｯｼｭ ﾒﾓﾘのﾊﾞｲﾄ単位をｱﾄﾞﾚｽ指定するので、Zﾎﾟｲﾝﾀの最下位ﾋﾞｯﾄ(Z0)も使われます。

図27-3. SPM操作中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定



注: 図内で使った各変数は表27-9.で一覧されます。

27.8. ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘはﾍﾟｰｼﾞ単位形式で更新されます。ﾍﾟｰｼﾞ一時緩衝部へ格納したﾃﾞｰﾀでﾍﾟｰｼﾞを書く前にそのﾍﾟｰｼﾞが消去されなければなりません。ﾍﾟｰｼﾞ一時緩衝部はSPM命令使用時毎の1語(ﾜｰﾄﾞ)で満たされ、この緩衝部はﾍﾟｰｼﾞ消去命令前、またはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作間のどちらかで満たすことができます。

手段1 (ﾍﾟｰｼﾞ消去前の一時緩衝部格納)

- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

手段2 (ﾍﾟｰｼﾞ消去後の一時緩衝部格納)

- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

ﾍﾟｰｼﾞの一部の変更だけが必要な場合、消去前にﾍﾟｰｼﾞの残す部分は(例えばﾍﾟｰｼﾞ一時緩衝部に)保存されなければならず、その後に改めて書かれます。**手段1.**を使う場合、初めにﾍﾟｰｼﾞを読んで必要な変更を行い、その後に変更したﾃﾞｰﾀを書き戻すことを使用者ｿﾌﾄｳｪｱに許す効率的な読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)機能をﾌﾞｰﾄ ﾛｰﾀﾞが提供します。**手段2.**が使われる場合、ﾍﾟｰｼﾞが既に消去されているため、格納中の旧ﾃﾞｰﾀを読むことができません。ﾍﾟｰｼﾞ一時緩衝部は乱順でｱｸｾｽできます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で使われるﾍﾟｰｼﾞ ｱﾄﾞﾚｽは同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが非常に重要です。「ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例」を参照してください。

27.8.1. SPM命令によるﾍﾟｰｼﾞ消去の実行

ﾍﾟｰｼﾞ消去を実行するにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)に'X0000011'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀのPCPAGEに書かれなければなりません。この操作中、Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄは無視されます。

- RWW領域のﾍﾟｰｼﾞ消去　：ﾍﾟｰｼﾞ消去中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ消去：ﾍﾟｰｼﾞ消去中、CPUは停止されます。

27.8.2. ﾍﾟｰｼﾞ一時緩衝部の設定（ﾍﾟｰｼﾞ設定）

命令語(ﾜｰﾄﾞ)を(ﾍﾟｰｼﾞ一時緩衝部に)書くにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽ、R1:R0にﾃﾞｰﾀを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。ZﾎﾟｲﾝﾀのPCWORD(Z5～1)の内容は一時緩衝部のﾃﾞｰﾀのｱﾄﾞﾚｽに使われます。一時緩衝部はﾍﾟｰｼﾞ書き込み操作後、またはSPMCSRのRWWSREﾋﾞｯﾄ(SPMCSR.RWWSRE)書き込みによって自動的に消去されます。ｼｽﾃﾑ ﾘｾｯﾄ後も消去されています。一時緩衝部を消去せずに各ｱﾄﾞﾚｽへ複数回書くことはできません。

SPMﾍﾟｰｼﾞ設定操作の途中でEEPROMが書かれると、設定した全ﾃﾞｰﾀが失われます。

27.8.3. ﾍﾟｰｼﾞ書き込みの実行

ﾍﾟｰｼﾞ書き込みを行うにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPMCSRに'X0000101'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽは(Zﾎﾟｲﾝﾀの)PCPAGE(Z12～6)に書かれなければなりません。この操作中にZﾎﾟｲﾝﾀの他のﾋﾞｯﾄは0を書かれなければなりません。

- RWW領域のﾍﾟｰｼﾞ書き込み　：ﾍﾟｰｼﾞ書き込み中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ書き込み：ﾍﾟｰｼﾞ書き込み中、CPUは停止されます。

27.8.4. SPM操作可割り込みの使用法

SPM操作可割り込みが許可されると、SPMCSRのSPMENﾋﾞｯﾄ(SPMCSR.SPMEN)が解除(0)されている時にSPM操作可割り込みが継続的に発生します。これはｿﾌﾄｳｪｱでSPMCSRをﾎﾟｰﾘﾝｸﾞする代わりにこの割り込みが使えることを意味します。SPM操作可割り込みを使うとき、割り込みが読み出しに対して防がれる時にRWW領域をｱｸｾｽするのを避けるために、割り込みﾍﾞｸﾀはﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるべきです。割り込み(ﾍﾞｸﾀ)の移動法は「**INT – 割り込み**」章で記述されます。

関連ﾘﾝｸ　46頁の「INT – 割り込み」

27.8.5. ﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)更新中の考慮

ﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)が非ﾌﾟﾛｸﾞﾗﾑ(1)にされたままとすることによって使用者がﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)に更新を許す場合、特別な注意が祓われなければなりません。ﾌﾞｰﾄ ﾛｰﾀﾞ自身への予期せぬ書き込みはﾌﾞｰﾄ ﾛｰﾀﾞ全体を不正にし得て、更にｿﾌﾄｳｪｱの更新が不可能になるかもしれません。ﾌﾞｰﾄ ﾛｰﾀﾞ自体の変更が必要ないなら、内部ｿﾌﾄｳｪｱのどんな変更からもﾌﾞｰﾄ ﾛｰﾀﾞを保護するためにﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)をﾌﾟﾛｸﾞﾗﾑ(0)することが推奨されます。

27.8.6. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のRWW領域読み込みの防止

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中(ﾍﾟｰｼﾞ消去もﾍﾟｰｼﾞ書き込みも)、RWW領域は読み出しに対して常に防がれます。使用者ｿﾌﾄｳｪｱそれ自身が自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作中にこの領域がｱﾄﾞﾚｽ指定されるのを防止しなければなりません。SPMCSRのRWWSB(SPMCSR.RWWSB)はRWW領域が多忙である限り設定(1)されます。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の割り込みﾍﾞｸﾀ表は「**INT – 割り込み**」章で記述されるようにﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるべきか、または割り込みが禁止されなければなりません。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後にRWW領域をｱﾄﾞﾚｽ指定する前に、使用者ｿﾌﾄｳｪｱはSPMCSR.RWWSREの書き込みによってSPMCSR.RWWSBを解除(0)しなければなりません。例については「**ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例**」を参照してください。

関連ﾘﾝｸ　46頁の「INT – 割り込み」

27.8.7. SPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄと一般施錠ﾋﾞｯﾄの設定

ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄと一般施錠ﾋﾞｯﾄを設定(0)するには希望したﾃﾞｰﾀをR0に設定してSPMCSRに'X0001001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	LB2	LB1

「**ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ**」項の表はﾌﾗｯｼｭ ﾒﾓﾘのｱｸｾｽに影響を及ぼすﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄの各種設定法を示します。

R0のﾋﾞｯﾄ5～0が解除(0)される場合、SPMCSRでSPMENﾋﾞｯﾄ(SPMCSR.SPMEN)とﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定(BLBSET)ﾋﾞｯﾄ(SPMCSR.BLBSET)が設定(1)された後の4ｸﾛｯｸ周期内にSPM命令が実行されると、対応する施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されます。この操作中、Zﾎﾟｲﾝﾀは関係ありませんが、将来との共通性のため、(施錠ﾋﾞｯﾄ読み出しに使われるのと同じ)$0001でZﾎﾟｲﾝﾀを設定することが推奨されます。将来との共通性のため、施錠ﾋﾞｯﾄ書き込み時に、R0のﾋﾞｯﾄ7,6は1に設定することも推奨されます。施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾐﾝｸﾞするとき、この操作中に全てのﾌﾗｯｼｭ ﾒﾓﾘは読むことができます。

27.8.8. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作はﾌﾗｯｼｭ ﾒﾓﾘへの全ｿﾌﾄｳｪｱ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを妨げます。ｿﾌﾄｳｪｱからのﾋｭｰｽﾞと施錠ﾋﾞｯﾄ読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄ(EECR.EEPE)を検査し、SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)へ書く前にこのﾋﾞｯﾄが解除(0)されているのを確認することが推奨されます。

27.8.9. ｿﾌﾄｳｪｱからのﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ｿﾌﾄｳｪｱからﾋｭｰｽﾞと施錠ﾋﾞｯﾄ(LB)の両方を読むことができます。施錠ﾋﾞｯﾄを読むにはZﾎﾟｲﾝﾀに$0001を設定してSPMCSRのSPMEN(SPMCSR.SPMEN)とﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定(BLBSET)(SPMCSR.BLBSET)のﾋﾞｯﾄを設定(1)してください。SPMCSRでSPMEN(SPMCSR.SPMEN)とBLBSET(SPMCSR.BLBSET)のﾋﾞｯﾄが設定された後、3 CPU周期内にLPM命令が実行されると、施錠ﾋﾞｯﾄの値が転送先ﾚｼﾞｽﾀに格納されます。SPMCSR.SPMENとSPMCSR.BLBSETのﾋﾞｯﾄは施錠ﾋﾞｯﾄ読み出しの完了で、または3 CPU周期内にLPM命令が実行されないか、または4 CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。SPMCSR.SPMENとSPMCSR.BLBSETのﾋﾞｯﾄが解除(0)されると、LPMは命令一式手引書で記述されるように動作します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	–	–	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ﾋｭｰｽﾞ下位ﾋﾞｯﾄ(FLB)を読む手順は上記の施錠ﾋﾞｯﾄ読み出しと同様です。ﾋｭｰｽﾞ下位ﾋﾞｯﾄを読み出すにはZﾎﾟｲﾝﾀに$0000を設定してSPMCSRのSPMEN(SPMCSR.SPMEN)とBLBSET(SPMCSR.BLBSET)のﾋﾞｯﾄを設定(1)してください。SPMCSR.SPMENとSPMCSR.BLBSETのﾋﾞｯﾄが設定された後、3 CPU周期内にLPM命令が実行されると、以下で示されるようにﾋｭｰｽﾞ下位ﾋﾞｯﾄ(FLB)の値が転送先ﾚｼﾞｽﾀに格納されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ﾋｭｰｽﾞ上位ﾋﾞｯﾄ(FHB)を読むにはZﾎﾟｲﾝﾀに$0003を設定してください。SPMCSR.SPMENとSPMCSR.BLBSETのﾋﾞｯﾄが設定(1)された後、3周期内にLPM命令が実行されると、以下で示されるようにﾋｭｰｽﾞ上位ﾋﾞｯﾄ(FHB)の値が転送先ﾚｼﾞｽﾀに格納されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

拡張ﾋｭｰｽﾞ ﾋﾞｯﾄ(EFB)を読む時はZﾎﾟｲﾝﾀに$0002を設定してください。SPMCSR.SPMENとSPMCSR.BLBSETのﾋﾞｯﾄが設定(1)された後、3周期内にLPM命令が実行されると、以下で示されるように拡張ﾋｭｰｽﾞ ﾋﾞｯﾄ(EFB)の値が転送先ﾚｼﾞｽﾀに格納されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	–	–	–	–	–	EFB2	EFB1	EFB0

ﾌﾟﾛｸﾞﾗﾑ(0)されたﾋｭｰｽﾞと施錠ﾋﾞｯﾄは0として読みます。非ﾌﾟﾛｸﾞﾗﾑ(1)にされたﾋｭｰｽﾞと施錠ﾋﾞｯﾄは1として読みます。

関連ﾘﾝｸ 206頁の「ﾋｭｰｽﾞ ﾋﾞｯﾄ」

27.8.10. ｿﾌﾄｳｪｱからの識票列読み出し

ｿﾌﾄｳｪｱから識票列を読むには右表で与えられる識票ﾊﾞｲﾄ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに設定し、SPMCSRで識票列読み出し(SIGRD)(SPMCSR.SIGRD)とSPMEN(SPMCSR.SPMEN)のﾋﾞｯﾄを設定(1)してください。SPMCSR.SIGRDとSPMCSR.SPMENのﾋﾞｯﾄが設定された後、3 CPU周期内にLPM命令が実行されると、識票ﾊﾞｲﾄ値が転送先ﾚｼﾞｽﾀに格納されます。SPMCSR.SIGRDとSPMCSR.SPMENのﾋﾞｯﾄは識票ﾊﾞｲﾄ読み出しの完了、または3 CPU周期内にLPM命令が実行されない場合、自動的に解除(0)されます。SPMCSR.SIGRDとSPMCSR.SPMENのﾋﾞｯﾄが解除(0)されると、LPMはAVR命令一式説明で記述されるように動作します。

表27-5. 識票列ｱﾄﾞﾚｽ一覧

識票ﾊﾞｲﾄ	Zﾎﾟｲﾝﾀ ｱﾄﾞﾚｽ
ﾃﾞﾊﾞｲｽ識票ﾊﾞｲﾄ 1	$0000
ﾃﾞﾊﾞｲｽ識票ﾊﾞｲﾄ 2	$0002
ﾃﾞﾊﾞｲｽ識票ﾊﾞｲﾄ 3	$0004
RC発振器校正値	$0001
通番ﾊﾞｲﾄ 0	$000F
通番ﾊﾞｲﾄ 1	$000E
通番ﾊﾞｲﾄ 2	$0011
通番ﾊﾞｲﾄ 3	$0010
通番ﾊﾞｲﾄ 4	$0013
通番ﾊﾞｲﾄ 5	$0012
通番ﾊﾞｲﾄ 6	$0015
通番ﾊﾞｲﾄ 7	$0016
通番ﾊﾞｲﾄ 8	$0017

注: 他の全てのｱﾄﾞﾚｽは将来の使用に対して予約されています。

27.8.11. ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ化けの防止

低VCCの期間中、CPUとﾌﾗｯｼｭ ﾒﾓﾘの正しい動作に対して供給電圧が低すぎるためにﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾑが不正にされ得ます。これらの問題はﾌﾗｯｼｭ ﾒﾓﾘを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾑ化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてﾌﾗｯｼｭ ﾒﾓﾘへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

ﾌﾗｯｼｭ ﾒﾓﾘ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- そのｼｽﾃﾑでﾌﾞｰﾄ ﾛｰﾀﾞ更新が必要ない場合、どんなﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ更新をも防ぐためにﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾑ(0)してください。
- 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCﾘｾｯﾄ保護回路が使えます。書き込み操作進行中にﾘｾｯﾄが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- 低VCCの期間中、AVRｺｱをﾊﾟﾜｰﾀﾞｳﾝ休止動作に保ってください。これはCPUが命令の復号と実行の試みを防ぎ、SPMCSR、従ってﾌﾗｯｼｭ ﾒﾓﾘを予期せぬ書き込みから効果的に保護します。

27.8.12. SPM命令使用時のﾌﾗｯｼｭ ﾒﾓﾘ用ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)時間

校正された内蔵RC発振器がﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽ時間に使われます。次表はCPUからのﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽに対する代表的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間を示します。

表27-6. SPM命令によるﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

項目	最小	最大
SPM命令によるﾌﾗｯｼｭ書き込み (ﾍﾟｰｼﾞ消去、ﾍﾟｰｼﾞ書き込み、施錠ﾋﾞｯﾄ書き込み)	3.7ms	4.5ms

注: 最小と最大の時間は(項目の)個別操作毎に対してです。

27.8.13. ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例

このﾙｰﾁﾝはRAMからﾌﾗｯｼｭ ﾒﾓﾘへ1ﾍﾟｰｼﾞのﾃﾞｰﾀを書きます。RAM内の最初のﾃﾞｰﾀ位置はYﾚｼﾞｽﾀによって指示され、ﾌﾗｯｼｭ ﾒﾓﾘ内の最初のﾃﾞｰﾀ位置はZﾚｼﾞｽﾀによって指示されます。異常処理は含まれません。このﾙｰﾁﾝ(少なくともSPMJｻﾌﾞﾙｰﾁﾝ)はﾌﾞｰﾄ ﾛｰﾀﾞ領域側に配置されなければなりません。NRWW領域側のｺｰﾄﾞだけが自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み)中に読めます。使用ﾚｼﾞｽﾀはR0,R1,TMP,CNTL,CNTH,SPMCで、ﾚｼﾞｽﾀの保存と復帰はこのﾙｰﾁﾝ内に含まれず、使用ﾚｼﾞｽﾀはｺｰﾄﾞ量を犠牲にすれば最適化できます。割り込み表がﾌﾞｰﾄ ﾛｰﾀﾞ領域に移動されるか、割り込みが禁止されるかのどちらかが前提です。

ﾍﾟｰｼﾞ内ﾃﾞｰﾀが256ﾊﾞｲﾄ以下の場合は計数器上位が不要になります。また関連する命令も変更になります。これらの部分を赤字で示します(訳注:本行は以下のﾌﾟﾛｸﾞﾗﾑ補正に対応して追加しました)。

```
ﾗﾍﾞﾙ    命令                                    注釈
        .EQU    PGSZB = PAGESIZE*2              ; PGSZBはﾍﾟｰｼﾞ内のﾊﾞｲﾄ数です。(PAGESIZEは語(ﾜｰﾄﾞ)数)
        .ORG    SMALLBOOTSTART                  ;

                                                ; [ ﾍﾟｰｼﾞ消去 ]
WRPG:   LDI     SPMC,(1<<PGERS)+(1<<SPMEN)      ; ﾍﾟｰｼﾞ消去SPMCSR値を取得
        RCALL   SPMJ                            ; ﾍﾟｰｼﾞ消去
                                                ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        RCALL   SPMJ                            ; RWW領域読み出し許可
                                                ; [ RAMからﾌﾗｯｼｭ ﾍﾟｰｼﾞ一時緩衝部へ転送 ]
        LDI     CNTL,LOW(PGSZB)                 ; ﾊﾞｲﾄ計数器を初期化
        LDI     CNTH,HIGH(PGSZB)                ; (削除)
WLP:    LD      R0,Y+                           ; RAM上の下位ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
        LD      R1,Y+                           ; RAM上の上位ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
        LDI     SPMC,(1<<SPMEN)                 ; ﾍﾟｰｼﾞ一時緩衝部書き込みSPMCSR値を取得
        RCALL   SPMJ                            ; 対応語(ﾜｰﾄﾞ)ﾃﾞｰﾀをﾍﾟｰｼﾞ一時緩衝部に設定
        ADIW    ZH:ZL,2                         ; ﾍﾟｰｼﾞ一時緩衝部ﾎﾟｲﾝﾀ進行
        SBIW    CNTH:CNTL,2                     ; 計数器を減数 (SUBI)
        BRNE    WLP                             ; 指定ﾊﾞｲﾄ数分継続
                                                ; [ ﾍﾟｰｼﾞ書き込み ]
        SUBI    ZL,LOW(PGSZB)                   ; ﾍﾟｰｼﾞ一時緩衝部先頭にﾎﾟｲﾝﾀを復帰
        SBCI    ZH,HIGH(PGSZB)                  ; (削除)
        LDI     SPMC,(1<<PGWRT)+(1<<SPMEN)      ; ﾌﾗｯｼｭ書き込みSPMCSR値を取得
        RCALL   SPMJ                            ; ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ書き込み
                                                ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        RCALL   SPMJ                            ; RWW領域読み出し許可
                                                ; [ 読み戻し照合 (任意) ]
        LDI     CNTL,LOW(PGSZB)                 ; ﾊﾞｲﾄ計数器を初期化
        LDI     CNTH,HIGH(PGSZB)                ; (削除)
        SUBI    YL,LOW(PGSZB)                   ; RAMﾃﾞｰﾀ先頭にﾎﾟｲﾝﾀを復帰
        SBCI    YH,HIGH(PGSZB)                  ;
RLP:    LPM     R0,Z+                           ; ﾌﾗｯｼｭ ﾒﾓﾘから1ﾊﾞｲﾄ取得(ﾎﾟｲﾝﾀ進行)
        LD      R1,Y+                           ; RAMから1ﾊﾞｲﾄ ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
        CPSE    R0,R1                           ; 値一致でｽｷｯﾌﾟ
        RJMP    ERROR                           ; 不一致で異常処理へ
;
        SBIW    CNTH:CNTL,1                     ; 計数器を減数 (SUBI)
        BRNE    RLP                             ; 指定ﾊﾞｲﾄ数分継続
:                                               ; [ RWW領域へ復帰 ]
RTN:    IN      TMP,SPMCSR                      ; SPM命令制御/状態ﾚｼﾞｽﾀ値を取得
        SBRS    TMP,RWWSB                       ; RWW領域多忙でｽｷｯﾌﾟ
        RET                                     ; 準備可で呼び出し元へ復帰
;                                               ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        RCALL   SPMJ                            ; RWW領域読み出し許可
        RJMP    RTN                             ; RWW領域準備可まで待機へ
                                                ; [ SPM命令実行ｻﾌﾞﾙｰﾁﾝ ]
SPMJ:   IN      TMP,SPMCSR                      ; SPM命令制御/状態ﾚｼﾞｽﾀ値を取得
        SBRC    TMP,SPMEN                       ; 操作可能(直前のSPM完了)でｽｷｯﾌﾟ
        RJMP    SPMJ                            ; 操作可まで待機
;
        IN      TMP,SREG                        ; ｽﾃｰﾀｽ ﾚｼﾞｽﾀ値を保存
        CLI                                     ; 全割り込み禁止
WAIT:   SBIC    EECR,EEPE                       ; EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中以外でｽｷｯﾌﾟ
        RJMP    WAIT                            ; EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機
;
        OUT     SPMCSR,SPMC                     ; SPM動作指定
        SPM                                     ; 対応SPM動作実行
        OUT     SREG,TMP                        ; ｽﾃｰﾀｽ ﾚｼﾞｽﾀ値を復帰
        RET                                     ; 呼び出し元へ復帰
```

27.8.14. ﾌﾞｰﾄ ﾛｰﾀﾞ ﾊﾟﾗﾒｰﾀ

以下の表に於いて、自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの記述で使ったﾊﾟﾗﾒｰﾀが与えられます。

表27-7. 応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の分割設定

BOOTSZ1	BOOTSZ0	ﾌﾞｰﾄ ﾛｰﾀﾞ領域		ｱﾄﾞﾚｽ範囲		
		容量（語）	ﾍﾟｰｼﾞ数	応用ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ
1	1	128	2	$0000～$1F7F	$1F80～$1FFF	$1F80
1	0	256	4	$0000～$1EFF	$1F00～$1FFF	$1F00
0	1	512	8	$0000～$1DFF	$1E00～$1FFF	$1E00
0	0	1024	16	$0000～$1BFF	$1C00～$1FFF	$1C00

注: 各種BOOTSZﾋｭｰｽﾞ設定は図27-2.で示されます。

表27-8. RWW領域とNRWW領域の範囲

領域	ﾍﾟｰｼﾞ数	ｱﾄﾞﾚｽ範囲
書き込み中読み出し可能(RWW)領域	112	$0000～$1BFF
書き込み中読み出し不能(NRWW)領域	16	$1C00～$1FFF

注: これら2つの領域についての詳細に関しては「RWW – 書き込み中読み出し可能領域」と「NRWW – 書き込み中読み出し不能領域」をご覧ください。

表27-9. 図27-3.で使った各変数説明とZﾎﾟｲﾝﾀの配置

変数名	対応値		意味
	PC	Zﾎﾟｲﾝﾀ（注）	
PCMSB	PC12		ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀの最上位ﾋﾞｯﾄ。(ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは13ﾋﾞｯﾄ、PC12～0)
PAGEMSB	PC5		1ﾍﾟｰｼﾞ内に使われる語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽの最上位ﾋﾞｯﾄ。 (ﾍﾟｰｼﾞ内の64語には6ﾋﾞｯﾄ PC5～0が必要)
ZPCMSB		Z13	PCMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPCMSB=PCMSB+1)
ZPAGEMSB		Z6	PAGEMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPAGEMSB=PAGEMSB+1)
PCPAGE	PC12～6	Z13～7	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ ﾍﾟｰｼﾞ ｱﾄﾞﾚｽ：ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み用のﾍﾟｰｼﾞ選択
PCWORD	PC5～0	Z6～1	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ 語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽ：一時緩衝部格納用語(ﾜｰﾄﾞ)選択 (ﾍﾟｰｼﾞ書き込み操作中は0でなければなりません。)

注: Z15,14：常に無視されます。

Z0：全てのSPM命令に対して0であるべきで、LPM命令に対するﾊﾞｲﾄ選択です。

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のZﾎﾟｲﾝﾀの使用についての詳細に関しては「自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定」をご覧ください。

27.9. ﾌﾞｰﾄ ﾛｰﾀﾞ関係ﾚｼﾞｽﾀ

27.9.1. SPMCSR – SPM命令制御/状態ﾚｼﾞｽﾀ (Store Program Memory Control and Status Register)

このﾚｼﾞｽﾀはﾌﾞｰﾄ ﾛｰﾀﾞ動作を制御するために必要とされる制御ﾋﾞｯﾄを含みます。

LD系とST系の命令を使い、ﾃﾞｰﾀ空間としてI/Oﾚｼﾞｽﾀをｱｸｾｽする時は、提供された変位が使われなければなりません。I/O特定命令のINとOUTを使う時は、この変位が$20で減算され、I/Oｱﾄﾞﾚｽの変位は$00～$3F内になります。

このﾃﾞﾊﾞｲｽはINやOUT命令で予約した64位置で支援されるよりも多くの周辺機能部を持つ複合ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。SRAM(ﾃﾞｰﾀ空間)内$60からの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

名称 ：SPMCSR
変位 ：$57 ($37)
ﾘｾｯﾄ ：$00
特質 ：I/O特定命令でI/Oﾚｼﾞｽﾀとしてｱｸｾｽする時の変位ｱﾄﾞﾚｽは$37です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SPMIE	RWWSB	SIGRD	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN
ｱｸｾｽ種別	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – SPMIE : SPM操作可割り込み許可** (SPM Interrupt Enable)

SPMIEﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRのSPM操作許可(SPMEN)ﾋﾞｯﾄが解除(0)されている限り実行されます。

● **ﾋﾞｯﾄ6 – RWWSB : RWW領域多忙** (Read-While-Write Section Busy)

RWW領域に自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み)操作が開始されると、RWWSBがﾊｰﾄﾞｳｪｱによって設定(1)されます。RWWSBﾋﾞｯﾄが設定(1)されると、RWW領域はｱｸｾｽできません。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了された後にRWWSREﾋﾞｯﾄが1を書かれると、このRWWSBﾋﾞｯﾄは解除(0)されます。同様に、ﾍﾟｰｼﾞ設定操作が開始されると、RWWSBﾋﾞｯﾄは自動的に解除(0)されます。

● **ﾋﾞｯﾄ5 – SIGRD : 識票列読み出し** (Signature Row Read)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の3ｸﾛｯｸ周期内のLPM命令は識票列からﾊﾞｲﾄを転送先ﾚｼﾞｽﾀに読みます。本章内の「**ｿﾌﾄｳｪｱからの識票列読み出し**」を参照してください。SIGRDとSPMENが設定(1)された後の4ｸﾛｯｸ周期内のSPM命令は無効です。この操作は将来の使用に対して予約されており、使われるべきではありません。

● **ﾋﾞｯﾄ4 – RWWSRE : RWW領域読み出し許可** (Read-While-Write Section Read Enable)

RWW領域にﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み)すると、RWW領域は(RWWSBがﾊｰﾄﾞｳｪｱによって設定(1)され)読み出しに対して防がれます。RWW領域を再許可するために使用者ｿﾌﾄｳｪｱはﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了(SPMENが解除(0))されるまで待たねばなりません。その後、RWWSREﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令がRWW領域を再許可します。ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込みでﾌﾗｯｼｭ ﾒﾓﾘが多忙(SPMEN=1)の間、RWW領域は再許可できません。ﾌﾗｯｼｭ ﾒﾓﾘが設定されている間にRWWSREﾋﾞｯﾄが書かれると、ﾌﾗｯｼｭ ﾒﾓﾘ設定操作は失敗し、設定したﾃﾞｰﾀが失われます。

● **ﾋﾞｯﾄ3 – BLBSET : ﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定** (Boot Lock Bits Set)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令は、R0のﾃﾞｰﾀに従って一般施錠とﾌﾞｰﾄ施錠ﾋﾞｯﾄを設定します。R1のﾃﾞｰﾀとZﾎﾟｲﾝﾀのｱﾄﾞﾚｽは無視されます。BLBSETﾋﾞｯﾄは施錠ﾋﾞｯﾄの設定完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。

SPMCSRでBLBSET(SPMCSR.BLBSET)とSPMEN(SPMCSR.SPMEN)が設定(1)された後の3ｸﾛｯｸ周期内のLPM命令は(ZﾎﾟｲﾝﾀのZ0によって)ﾋｭｰｽﾞ ﾋﾞｯﾄまたは施錠ﾋﾞｯﾄのどちらかを転送先ﾚｼﾞｽﾀに読みます。本章内の「**ｿﾌﾄｳｪｱからのﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し**」を参照してください。

● **ﾋﾞｯﾄ2 – PGWRT : ﾍﾟｰｼﾞ書き込み** (Page Write)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令は一時緩衝部に格納したﾃﾞｰﾀでﾍﾟｰｼﾞ書き込みを実行します。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀの上位部から取得されます。R1とR0のﾃﾞｰﾀは無視されます。PGWRTﾋﾞｯﾄはﾍﾟｰｼﾞ書き込みの完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がｱﾄﾞﾚｽ指定されると、ﾍﾟｰｼﾞ全体の書き込み動作中にCPUは停止されます。

● **ﾋﾞｯﾄ1 – PGERS : ﾍﾟｰｼﾞ消去** (Page Erase)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令はﾍﾟｰｼﾞ消去を実行します。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀの上位部から取得されます。R1とR0のﾃﾞｰﾀは無視されます。PGERSﾋﾞｯﾄはﾍﾟｰｼﾞ消去の完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がｱﾄﾞﾚｽ指定されると、ﾍﾟｰｼﾞ全体の消去中にCPUは停止されます。

● **ﾋﾞｯﾄ0 – SPMEN : SPM操作許可** (Store Program Memory Enable)

このﾋﾞｯﾄは次の4ｸﾛｯｸ周期間のSPM命令を許可します。このﾋﾞｯﾄがRWWSRE, BLBSET, PGWRT, PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます(上の記述をご覧ください)。SPMENだけが書かれると、続くSPM命令はZﾎﾟｲﾝﾀによってｱﾄﾞﾚｽ指定したﾍﾟｰｼﾞ一時緩衝部へR1:R0の値を格納します。Zﾚｼﾞｽﾀの最下位ﾋﾞｯﾄは無視されます。SPMENﾋﾞｯﾄはSPM命令の完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み中、SPMENﾋﾞｯﾄはその動作が完了されるまで1に留まります。

下位6ﾋﾞｯﾄに100001, 010001, 001001, 000101, 000011, 000001以外のどんな組み合わせを書いても無効です。

28. MEMPROG – メモリ プログラミング

28.1. プログラム メモリとデータ メモリ用施錠ビット

本デバイスは6つの施錠ビットを提供します。これらは非プログラム(1)のままか「施錠ビットの保護種別」の表で一覧される付加機能を得るためにプログラム(0)することができます。この施錠ビットはチップ消去指令でのみ1に消去することができます。

表28-1. 施錠ビット バイトの内容

名称	ビット番号	意味	既定値 (注)
–	7		1 (非プログラム)
–	6		1 (非プログラム)
BLB12	5	ブート ローダ領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB11	4		1 (非プログラム)
BLB02	3	応用領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB01	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表28-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	外部プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズ ビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズ ビットとブート施錠ビットが固定されます。(注1)
LB0 種別	BLB02	BLB01	フラッシュ メモリの応用プログラム領域に対する保護
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
4	0	1	ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
LB1 種別	BLB12	BLB11	フラッシュ メモリのブート ローダ プログラム領域に対する保護
1	1	1	LPM, SPM命令がブート ローダ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブート ローダ領域に書くことを許されません。
3	0	0	SPM命令によるブート ローダ領域への書き込みと、応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(注3)
4	0	1	応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(注3)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズ ビットとブート施錠ビットを書いてください。

注2: BLB02=0で、割り込みベクタがブート ローダ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

注3: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブート ローダ領域での実行時に割り込みが禁止されます。

(訳注) 原書の表28-2.、表28-3.、表28-4.は表28-2.として纏めました。

28.2. ﾋｭｰｽﾞ ﾋﾞｯﾄ

本ﾃﾞﾊﾞｲｽは3つのﾋｭｰｽﾞ ﾊﾞｲﾄを持ちます。以下の表は全てのﾋｭｰｽﾞの概略機能とﾋｭｰｽﾞ ﾊﾞｲﾄ内でどのように配置されるかを示します。ﾋｭｰｽﾞはﾌﾟﾛｸﾞﾗﾑされると、論理0として読まれることに注意してください。

表28-5. 拡張ﾋｭｰｽﾞ ﾊﾞｲﾄ一覧

名称	ﾋﾞｯﾄ	意味	既定値
-	7		1 (非ﾌﾟﾛｸﾞﾗﾑ)
-	6		1 (非ﾌﾟﾛｸﾞﾗﾑ)
-	5		1 (非ﾌﾟﾛｸﾞﾗﾑ)
-	4		1 (非ﾌﾟﾛｸﾞﾗﾑ)
-	3		1 (非ﾌﾟﾛｸﾞﾗﾑ)
BODLEVEL2	2	低電圧検出(BOD)ﾘｾｯﾄの制御と検出電圧選択。 (注1)	1 (非ﾌﾟﾛｸﾞﾗﾑ)
BODLEVEL1	1		1 (非ﾌﾟﾛｸﾞﾗﾑ)
BODLEVEL0	0		1 (非ﾌﾟﾛｸﾞﾗﾑ)

注1: BODLEVELﾋｭｰｽﾞの符号化については「**ｼｽﾃﾑとﾘｾｯﾄの特性**」内の「BODLEVELﾋｭｰｽﾞ設定」表を参照してください。

表28-6. ﾋｭｰｽﾞ上位ﾊﾞｲﾄ一覧

名称	ﾋﾞｯﾄ	意味	既定値
OCDEN (注1)	7	内蔵ﾃﾞﾊﾞｯｸﾞ機能(OCD)許可。	1 (非ﾌﾟﾛｸﾞﾗﾑ) OCD禁止
JTAGEN	6	JTAGｲﾝﾀｰﾌｪｰｽ許可。	0 (ﾌﾟﾛｸﾞﾗﾑ) JTAG許可
SPIEN (注2)	5	直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可。	0 (ﾌﾟﾛｸﾞﾗﾑ) 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可
WDTON (注3)	4	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ常時有効。	1 (非ﾌﾟﾛｸﾞﾗﾑ) WDTはWDTCSRで許可
EESAVE	3	ﾁｯﾌﾟ消去からEEPROM内容を保護。	1 (非ﾌﾟﾛｸﾞﾗﾑ) EEPROMは未保護
BOOTSZ1	2	ﾌﾞｰﾄ ﾛｰﾀﾞ容量選択。 (注4)	0 (ﾌﾟﾛｸﾞﾗﾑ)
BOOTSZ0	1		0 (ﾌﾟﾛｸﾞﾗﾑ)
BOOTRST	0	ﾘｾｯﾄ ﾍﾞｸﾀ(応用領域またはﾌﾞｰﾄ ﾛｰﾀﾞ領域)選択。	1 (非ﾌﾟﾛｸﾞﾗﾑ) 応用領域

注1: 施錠ﾋﾞｯﾄやJTAGENﾋｭｰｽﾞの設定に拘らず、OCDENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)された製品の出荷は決してありません。ﾌﾟﾛｸﾞﾗﾑ(0)されたOCDENﾋｭｰｽﾞは全休止形態でｸﾛｯｸ系の一部を許可します。これは消費電力の増加になってしまいます。

注2: SPIENﾋｭｰｽﾞは直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでｱｸｾｽできません。

注3: 詳細については「**WDTCSR - ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ**」をご覧ください。

注4: BOOTSZ1,0既定値は最大ﾌﾞｰﾄ ﾛｰﾀﾞ容量になります。表27-7.をご覧ください。

表28-7. ﾋｭｰｽﾞ下位ﾊﾞｲﾄ一覧

名称	ﾋﾞｯﾄ	意味	既定値
CKDIV8 (注4)	7	ｼｽﾃﾑ ｸﾛｯｸ 8分周選択。	0 (ﾌﾟﾛｸﾞﾗﾑ) 8分周
CKOUT (注3)	6	ｼｽﾃﾑ ｸﾛｯｸ出力許可。	1 (非ﾌﾟﾛｸﾞﾗﾑ) 不許可
SUT1	5	起動時間選択。 (注1)	1 (非ﾌﾟﾛｸﾞﾗﾑ)
SUT0	4		0 (ﾌﾟﾛｸﾞﾗﾑ)
CKSEL3	3	ｸﾛｯｸ種別選択。 (注2)	0 (ﾌﾟﾛｸﾞﾗﾑ)
CKSEL2	2		0 (ﾌﾟﾛｸﾞﾗﾑ)
CKSEL1	1		1 (非ﾌﾟﾛｸﾞﾗﾑ)
CKSEL0	0		0 (ﾌﾟﾛｸﾞﾗﾑ)

注1: SUT1,0の既定値は既定ｸﾛｯｸ元に対する最大起動時間になります。詳細については「**ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択**」章の「**校正付き内蔵RC発振器**」の「校正付き内蔵RC発振器用起動遅延時間選択」表をご覧ください。

注2: CKSEL3～0の既定設定は8MHz校正付き内蔵RC発振器になります。詳細については「**ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択**」章の「**校正付き内蔵RC発振器**」の「校正付き内蔵RC発振器動作種別」表をご覧ください。

注3: CKOUTﾋｭｰｽﾞはｼｽﾃﾑ ｸﾛｯｸにﾎﾟｰﾄB0へ出力することを許します。詳細については「**ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択**」章の「**ｸﾛｯｸ出力緩衝部**」を参照してください。

注4: 詳細については「**ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択**」章の「**ｼｽﾃﾑ ｸﾛｯｸ前置分周器**」を参照してください。

ﾋｭｰｽﾞ ﾋﾞｯﾄの状態はﾁｯﾌﾟ消去によって影響されません。施錠ﾋﾞｯﾄ1(LB1)がﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾋｭｰｽﾞ ﾋﾞｯﾄが固定されることに注意してください。施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾑ(0)する前にﾋｭｰｽﾞ ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)してください。

関連ﾘﾝｸ
59頁の「交換ﾎﾟｰﾄ機能」
31頁の「校正付き内蔵RC発振器」
44頁の「WDTCSR - ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ」
226頁の「ｼｽﾃﾑとﾘｾｯﾄの特性」

28.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは通常動作での電源投入でもラッチされます。

28.3. 識票バイト

全てのAtmelマイクロ コントローラはデバイスを識別する3バイトの識票符号を持ちます。この符号は直列と並列の両プログラミング動作で、またデバイスが施錠されていても読めます。この3バイトは分離された空間に存在します。本デバイス用の識票バイトは右表で与えられます。

表28-8. デバイスとJTAGの識別番号(ID)

部品番号	識票バイト アドレス			JTAG	
	$0000	$0001	$0002	部品番号	製造者ID
ATmega164P	$1E	$94	$0A	$940A	$01F

28.4. 校正バイト

本デバイスは内蔵RC発振器用に1バイトの校正値を持ちます。このバイトは識票アドレス空間でアドレス$0000の上位バイトにあります。リセット中、校正付き内蔵RC発振器の正しい周波数を保証するために、このバイトが発振校正(OSCCAL)レジスタへ自動的に書かれます。

関連リンク　31頁の「校正付き内蔵RC発振器」

28.5. 通番

各個別デバイスは特別な通番を持ちます。これは在野に於いて特定デバイスを識別するのに使うことができます。

通番は識票アドレス空間でアクセスすることができる9バイトから成ります。

28.6. ページ容量

表28-9. フラッシュ メモリのページ数とページの語数

デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
ATmega164P	8K語 (16Kバイト)	64語	PC5～0	128	PC12～6	12

表28-10. EEPROMメモリのページ数とページの語数

デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
ATmega164P	512バイト	4バイト	EEA1～0	128	EEA8～2	8

28.7. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

この項は本ﾃﾞﾊﾞｲｽに於けるﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、ﾃﾞｰﾀ用EEPROM、ﾒﾓﾘの施錠ﾋﾞｯﾄ、ﾋｭｰｽﾞ ﾋﾞｯﾄの並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合の方法を記述します。特記事項を除いて、ﾊﾟﾙｽ幅は最低250nsと仮定されます。

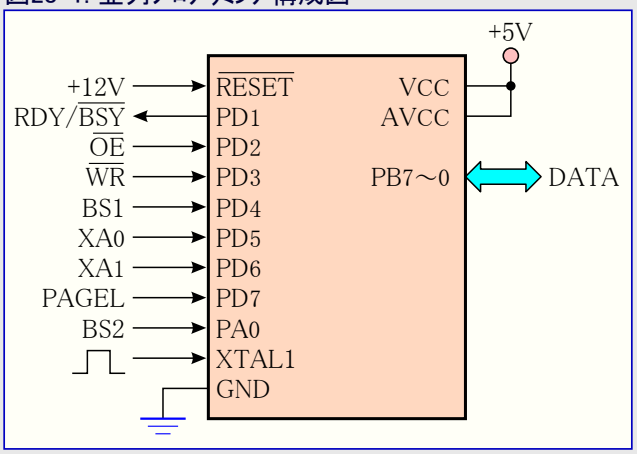
28.7.1. 信号名

本章で本ﾃﾞﾊﾞｲｽのいくつかのﾋﾟﾝは並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の機能を表す信号名で参照されます。本項内の「並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図」図と「信号名とﾋﾟﾝ名の関係」表を参照してください。後続の表で示されないﾋﾟﾝはﾋﾟﾝ名によって参照されます。

XA0とXA1ﾋﾟﾝはXTAL1ﾋﾟﾝが正ﾊﾟﾙｽを与えられる時に実行される動作を決めます。このﾋﾞｯﾄ符号化は「XA0とXA1の符号化(機能)」表で示されます。

$\overline{\text{WR}}$または$\overline{\text{OE}}$ﾊﾟﾙｽ送出時、設定された指令が決める動作が実行されます。各種指令は「指令ﾊﾞｲﾄのﾋﾞｯﾄ符号化」表で示されます。

図28-1. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



注: VCC-0.3V<AVCC<VCC+0.3Vですが、AVCCは常に4.5～5.5Vであるべきです。

表28-11. 信号名とﾋﾟﾝ名の関係

信号名	ﾋﾟﾝ名	入出力	機能
RDY/BSY	PD1	出力	0(Low) : 多忙(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中)　1(High) : 準備可(指令受付可)
OE	PD2	入力	出力許可(負論理)
WR	PD3	入力	書き込みﾊﾟﾙｽ(負論理)
BS1	PD4	入力	上位/下位ﾊﾞｲﾄ選択1 (0:下位, 1:上位)　(一般用)
XA0	PD5	入力	XTAL動作ﾋﾞｯﾄ0
XA1	PD6	入力	XTAL動作ﾋﾞｯﾄ1
PAGEL	PD7	入力	ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘとEEPROMﾃﾞｰﾀをﾍﾟｰｼﾞ一時緩衝部に設定
BS2	PA0	入力	上位/下位ﾊﾞｲﾄ選択2 (0:下位, 1:上位)　(ﾋｭｰｽﾞ ﾋﾞｯﾄ用)
DATA	PB7～0	入出力	双方向ﾃﾞｰﾀ ﾊﾞｽ (OE=Low時出力)

表28-12. BS2とBS1の符号化(機能)

BS2	1	1	0	0
BS1	1	0	1	0
ﾌﾗｯｼｭ/EEPROMｱﾄﾞﾚｽ設定	(予約)	拡張上位ﾊﾞｲﾄ	上位ﾊﾞｲﾄ	下位ﾊﾞｲﾄ
ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ設定/読み出し	(予約)	(予約)	上位ﾊﾞｲﾄ	下位ﾊﾞｲﾄ
ﾋｭｰｽﾞ書き込み	(予約)	拡張ﾋｭｰｽﾞ ﾊﾞｲﾄ	ﾋｭｰｽﾞ上位ﾊﾞｲﾄ	ﾋｭｰｽﾞ下位ﾊﾞｲﾄ
ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し	ﾋｭｰｽﾞ上位ﾊﾞｲﾄ	拡張ﾋｭｰｽﾞ ﾊﾞｲﾄ	施錠ﾋﾞｯﾄ	ﾋｭｰｽﾞ下位ﾊﾞｲﾄ

表28-13. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作移行時ﾋﾟﾝ値

ﾋﾟﾝ名	ｼﾝﾎﾞﾙ	値
PAGEL	Prog_enable[3]	0
XA1	Prog_enable[2]	0
XA0	Prog_enable[1]	0
BS1	Prog_enable[0]	0

表28-14. XA0とXA1の符号化(機能)

XA1	XA0	XTAL1ﾊﾟﾙｽ時の動作
0	0	ﾌﾗｯｼｭまたはEEPROMのｱﾄﾞﾚｽ設定 (上位/下位はBS1で指定)
0	1	ﾃﾞｰﾀ設定 (ﾌﾗｯｼｭの上位/下位はBS1で指定)
1	0	指令設定
1	1	ｱｲﾄﾞﾙ (動作なし)

表28-15. 指令ﾊﾞｲﾄのﾋﾞｯﾄ符号化

指令ﾊﾞｲﾄ	指令の機能	指令ﾊﾞｲﾄ	指令の機能
$80 (1000 0000)	ﾁｯﾌﾟ消去	$08 (0000 1000)	識票ﾊﾞｲﾄ、校正ﾊﾞｲﾄ読み出し
$40 (0100 0000)	ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み	$04 (0000 0100)	ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ読み出し
$20 (0010 0000)	施錠ﾋﾞｯﾄ書き込み	$02 (0000 0010)	ﾌﾗｯｼｭ ﾒﾓﾘ読み出し
$10 (0001 0000)	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み	$03 (0000 0011)	EEPROM読み出し
$11 (0001 0001)	EEPROM書き込み		

28.8. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

28.8.1. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

次に示す方法がﾃﾞﾊﾞｲｽを(高電圧)並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作にします。

① VCCを0V、$\overline{\text{RESET}}$ﾋﾟﾝを0V、表28-13.で一覧されるProg_enableﾋﾟﾝを全てLow(0)に設定します。
② VCCとGND間に4.5～5.5Vを印加します。それから20µs以内にVCCが最低1.8Vに達することを保証してください。
③ 20～60µs待ち、$\overline{\text{RESET}}$に11.5～12.5Vを印加します。
④ Prog_enable識別がﾗｯﾁされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10µs、Prog_enableﾋﾟﾝを無変化に保ちます。
⑤ 如何なる並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令を与えるのにも先立って少なくとも300µs間待ちます。
⑥ ﾃﾞﾊﾞｲｽの電源を落とすか、$\overline{\text{RESET}}$ﾋﾟﾝを0Vに持ってくることによってﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を抜けます。

VCCの上昇時間が上で示した必要条件を完全に満たせない場合、次の代替手順が使えます。

① VCCを0V、$\overline{\text{RESET}}$ﾋﾟﾝを0V、表28-13.で一覧されるProg_enableﾋﾟﾝを全てLow(0)に設定します。
② VCCとGND間に4.5～5.5Vを印加します。
③ VCCを監視し、0.9～1.1Vに達したら直ぐ、$\overline{\text{REEST}}$に11.5～12.5Vを印加します。
④ Prog_enable識別がﾗｯﾁされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10µs、Prog_enableﾋﾟﾝを無変化に保ちます。
⑤ 如何なる並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令を与えるのにも先立ってVCCが実際に4.5～5.5Vに達するまで待ちます。
⑥ ﾃﾞﾊﾞｲｽの電源を落とすか、$\overline{\text{RESET}}$ﾋﾟﾝを0Vに持ってくることによってﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を抜けます。

28.8.2. 効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞへの考慮

設定した指令とｱﾄﾞﾚｽはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、維持されます。効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行うために次を考慮すべきです。

- 複数のﾒﾓﾘ領域を読み書きする時に指令設定は一度だけ必要です。
- ﾁｯﾌﾟ消去後のﾌﾗｯｼｭ ﾒﾓﾘと(EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合を除き)EEPROM全体の内容は$FFなので、値が$FFのﾃﾞｰﾀ書き込みを飛ばします。
- ｱﾄﾞﾚｽ上位ﾊﾞｲﾄはﾌﾗｯｼｭ ﾒﾓﾘで新規256語(ﾜｰﾄﾞ)枠、EEPROMで新規256ﾊﾞｲﾄ枠の読み書き前に一度だけ必要です。この考慮は識票ﾊﾞｲﾄ読み出しにも適用されます。

28.8.3. ﾁｯﾌﾟ消去

ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘ、SRAM、EEPROM、施錠ﾋﾞｯﾄを消去します。施錠ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘが完全に消去されてしまうまでﾘｾｯﾄ(消去)されません。ﾋｭｰｽﾞ ﾋﾞｯﾄは変更されません。ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘやEEPROMが再書き込みされる前に実行されなければなりません。

注: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されていると、EEPROMはﾁｯﾌﾟ消去中、保護されます。

「ﾁｯﾌﾟ消去」指令設定

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② BS1をLow(0)に設定します。
③ DATAを$80(1000 0000)に設定します。これはﾁｯﾌﾟ消去指令です。
④ XTAL1に正ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去指令を設定します。
⑤ $\overline{\text{WR}}$に負ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去を開始します。RDY/$\overline{\text{BSY}}$がLow(0)になります。
⑥ 次の指令を設定する前にRDY/$\overline{\text{BSY}}$がHigh(1)になるまで待ちます。

28.8.4. フラッシュ メモリ書き込み (次頁の図28-3.タイミングを参照)

フラッシュ メモリは表28-9.のようにページで構成されます。フラッシュ メモリへ書く時にプログラム データはページ緩衝部にラッチされます。これは同時に書かれることをプログラム データの1ページに許します。次の手順は完全なフラッシュ メモリの書き込み方法を記述します。

A. 「フラッシュ メモリ書き込み」指令設定

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② BS1をLow(0)に設定します。
③ DATAを$10(0001 0000)に設定します。これはフラッシュ メモリ書き込み指令です。
④ XTAL1に正パルスを与えます。これはフラッシュ メモリ書き込み指令を設定します。

B. アドレス下位バイト設定

① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
② BS1をLow(0)に設定します。これは下位アドレス(バイト)を選びます。
③ DATAにアドレス下位バイト($00～$FF)を設定します。
④ XTAL1に正パルスを与えます。これはアドレス下位バイトを設定します。

C. データ下位バイト設定

① XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
② DATAにデータ下位バイト($00～$FF)を設定します。
③ XTAL1に正パルスを与えます。これはデータ下位バイトを設定します。

D. データ上位バイト設定

① BS1をHigh(1)に設定します。これは上位バイトを選びます。
② XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
③ DATAにデータ上位バイト($00～$FF)を設定します。
④ XTAL1に正パルスを与えます。これはデータ上位バイトを設定します。

E. 語(ワード)データをページ一時緩衝部に設定

① BS1をHigh(1)にします。これは上位バイトを選びます。
② PAGELに正パルスを与えます。これは語データをページ一時緩衝部にラッチ(設定)します。

F. 緩衝部全体が満たされるか、または(必要な)全てのデータが緩衝部内に設定されるまで、B～Eを繰り返し

アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュ メモリ内のページをアドレス指定します。これは以下の図で図解されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量<256)、アドレス下位バイトの最上位(側)ビットがページ書き込み実行時のページ アドレスに使われることに注意してください。

G. アドレス上位バイト設定

① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
② BS1をHigh(1)に設定します。これは上位アドレス(バイト)を選びます。
③ DATAにアドレス上位バイト($00～$1F)を設定します。
④ XTAL1に正パルスを与えます。これはアドレス上位バイトを設定します。

H. ページ書き込み

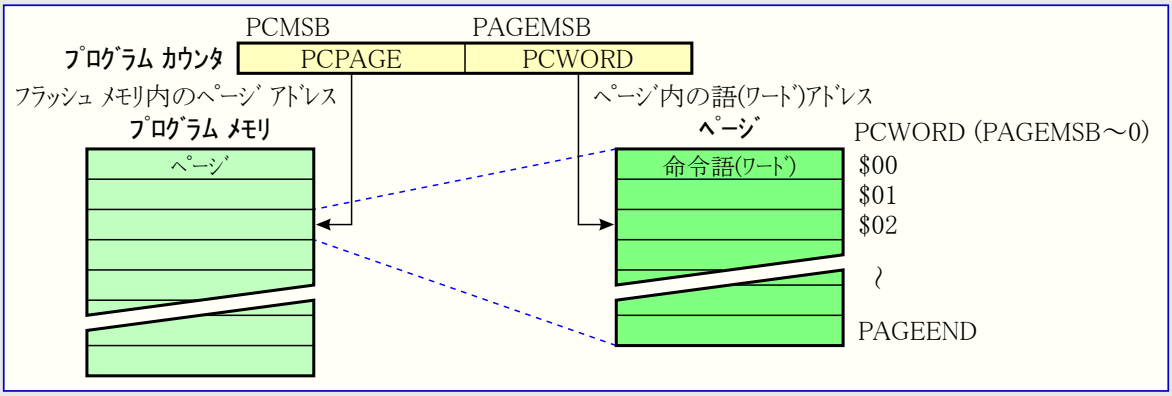
① BS1をLow(0)に設定します。
② WRに負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/$\overline{\text{BSY}}$がLow(0)になります。
③ RDY/$\overline{\text{BSY}}$がHigh(1)になるまで待ちます。

I. フラッシュ メモリ全部が書かれるか、または(必要な)全データが書かれてしまうまで、B～Hを繰り返し

J. ページ書き込み終了

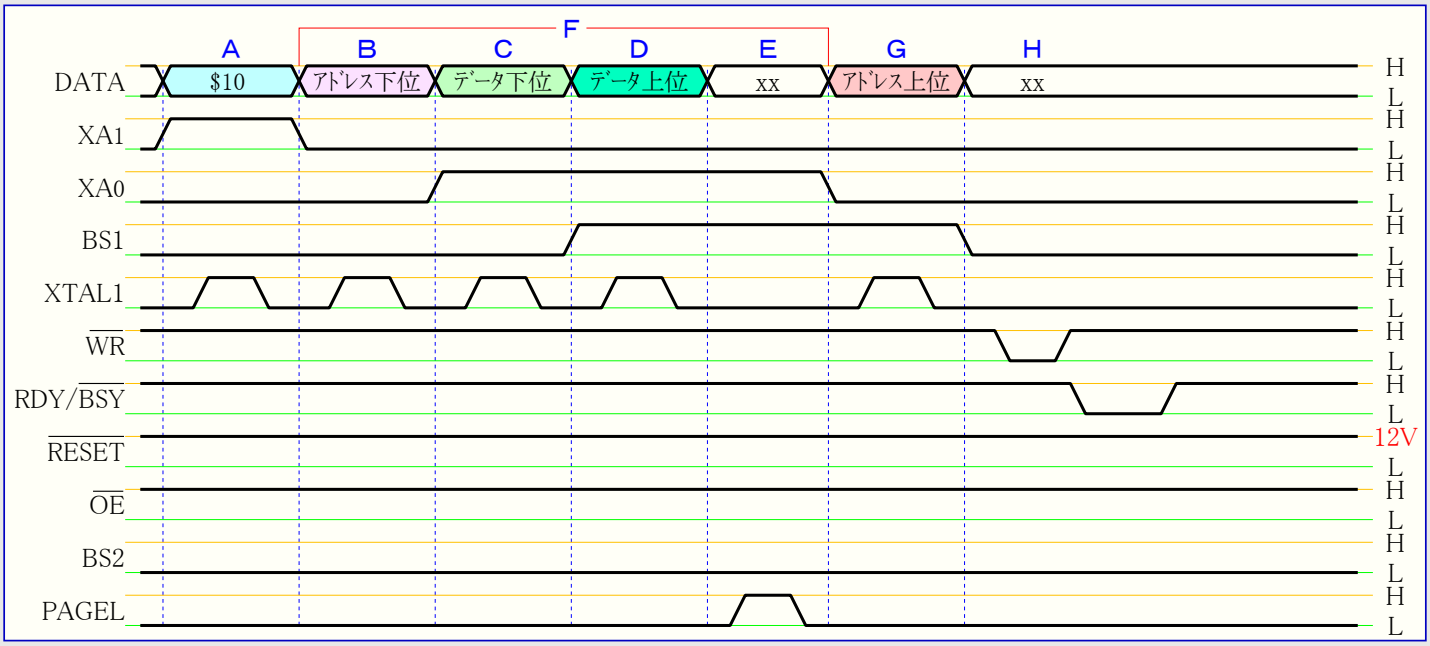
① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② DATAを$00(0000 0000)にします。これは無操作指令です。
③ XTAL1に正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図28-2. ページで構成されたフラッシュ メモリのアドレス指定



注: PCPAGEとPCWORDは表28-9.で一覧されます。

図28-3. フラッシュ メモリ書き込みタイミング



注: xx値は無関係です。A～Hは前記プログラミングを参照してください。

28.8.5. EEPROM書き込み

EEPROMは表28-10.のようにページで構成されます。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(指令、アドレス、データ設定の詳細については「フラッシュ メモリの書き込み」を参照。図28-4.タイミング参照。)

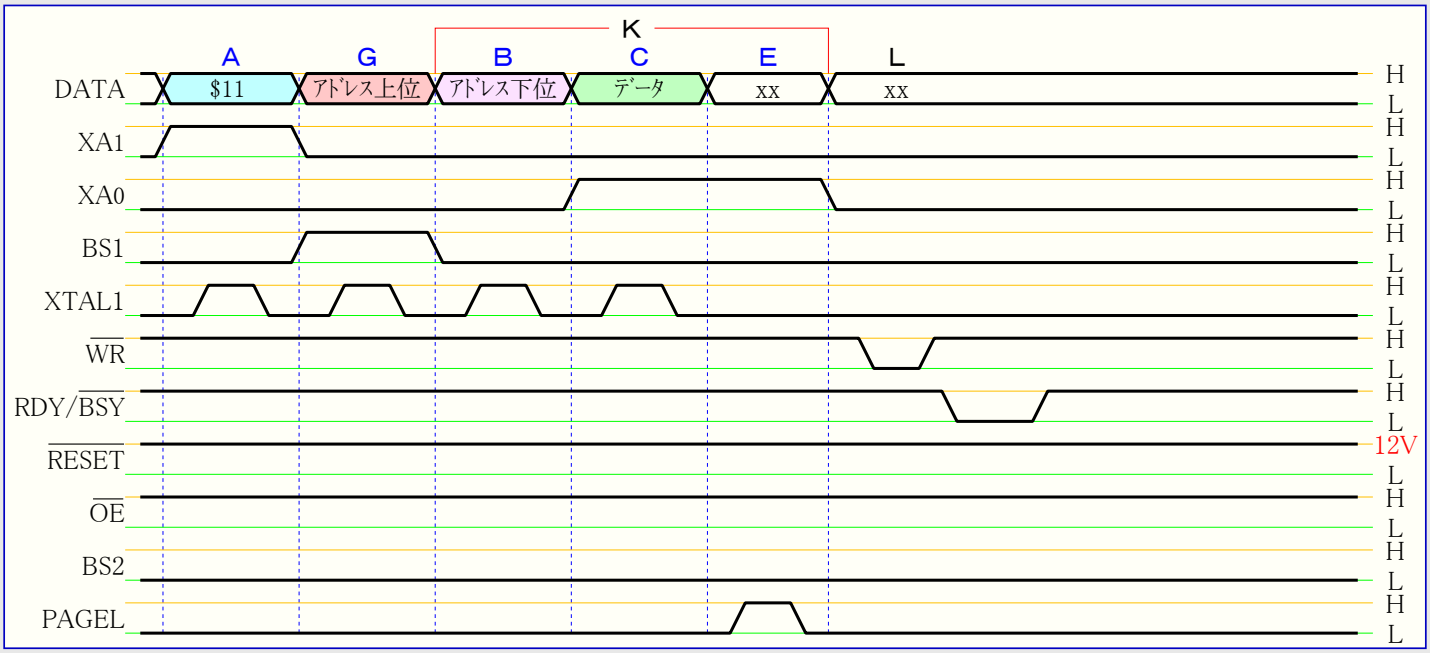
1. EEPROM書き込み指令$11(0001 0001)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$01)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. データ バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のCを参照)
5. データをラッチします(PAGELに正パルスを与えます)。(「フラッシュ メモリ書き込み」のEを参照)

K. 緩衝部全体が満たされるまで3～5を繰り返します。

L. EEPROMページ書き込み

① BS1をLow(0)に設定します。
② $\overline{WR}$に負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/$\overline{BSY}$がLow(0)になります。
③ 次のページを書く前に、RDY/$\overline{BSY}$がHigh(1)になるまで待ちます。

図28-4. EEPROM書き込みタイミング



28.8.6. フラッシュ メモリ読み出し

フラッシュ メモリの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については「フラッシュ メモリの書き込み」を参照)

1. フラッシュ メモリ読み出し指令$02(0000 0010)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$1F)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。フラッシュ メモリ語(ワード)の下位バイトが直ぐにDATAで読めます。
5. BS1をHigh(1)に設定します。フラッシュ メモリ語(ワード)の上位バイトが直ぐにDATAで読めます。
6. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

28.8.7. EEPROM読み出し

データ用EEPROMの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については「フラッシュ メモリの書き込み」を参照)

1. EEPROM読み出し指令$03(0000 0011)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$01)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。EEPROMのバイト データが直ぐにDATAで読めます。
5. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

28.8.8. ヒューズ ビット書き込み (訳注:原書での拡張/上位/下位ヒューズ項を1つに纏めました。)

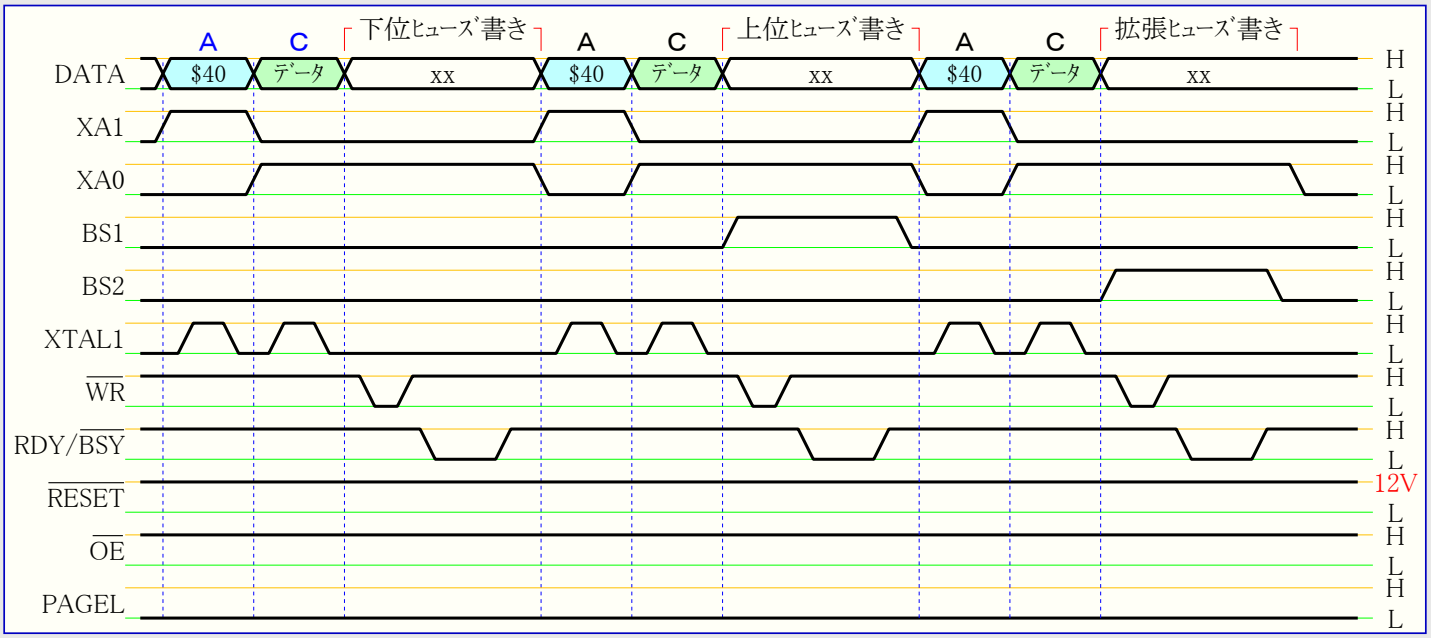
各ヒューズ バイトの書き込み方法は次のとおりです。(指令とデータ設定の詳細については「フラッシュ メモリの書き込み」を参照)

1. ヒューズ ビット書き込み指令$40(0100 0000)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュ メモリ書き込み」のCを参照)
3. BS1とBS2を右表の目的バイトに対応する設定にします。
4. $\overline{WR}$に負パルスを与え、RDY/$\overline{BSY}$がHighになるまで待ちます。
5. 3.でHighに設定したBS1、BS2をLow(0)に戻します。これはデータ下位バイトを選びます。

表A. ヒューズ バイト対応BS1,BS2設定

ヒューズ バイト	BS1	BS2
拡張バイト	Low(0)	High(1)
上位バイト	High(1)	Low(0)
下位バイト	Low(0)	Low(0)

図28-5. ヒューズ書き込みタイミング



28.8.9. 施錠ﾋﾞｯﾄ書き込み

施錠ﾋﾞｯﾄの書き込み方法は次のとおりです。(指令とﾃﾞｰﾀ設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. 施錠ﾋﾞｯﾄ書き込み指令$20(0010 0000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. ﾃﾞｰﾀ下位ﾊﾞｲﾄ(としてﾃﾞｰﾀ)を設定します。0=ﾌﾟﾛｸﾞﾗﾑ,1=無変化です。LB保護種別3が設定(LB1とLB2がﾌﾟﾛｸﾞﾗﾑ(0))されると、どの外部的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作種別によってもﾌﾞｰﾄ施錠ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾐﾝｸﾞできません。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のCを参照)
3. WRに負ﾊﾟﾙｽを与え、RDY/BSYがHighになるまで待ちます。

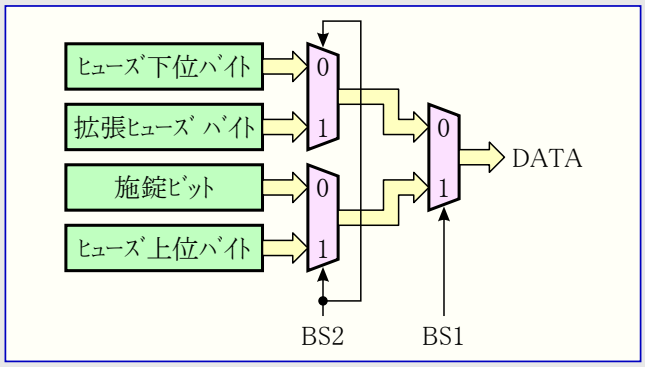
施錠ﾋﾞｯﾄはﾁｯﾌﾟ消去の実行によってのみ解除(1)できます。

28.8.10. ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し方法は次のとおりです。(指令設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し指令$04(0000 0100)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. BS1とBS2をLow(0)、$\overline{OE}$をLow(0)に設定します。ﾋｭｰｽﾞ下位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
3. BS1とBS2をHigh(1)、$\overline{OE}$をLow(0)に設定します。ﾋｭｰｽﾞ上位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
4. BS1をLow(0)、BS2をHigh(1)、$\overline{OE}$をLow(0)に設定します。拡張ﾋｭｰｽﾞ ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
5. $\overline{BS1}$をhigh(1)、BS2をLow(0)、$\overline{OE}$をLow(0)に設定します。施錠ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
6. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

図28-6. ﾋｭｰｽﾞ,施錠ﾋﾞｯﾄ読み出し中のBS1, BS2との関係



28.8.11. 識票ﾊﾞｲﾄ読み出し

識票ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. 識票ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$02)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のBを参照)
3. $\overline{BS1}$をLow(0)、$\overline{OE}$をLow(0)に設定します。選んだ識票ﾊﾞｲﾄが直ぐにDATAで読めます。
4. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

28.8.12. 校正ﾊﾞｲﾄ読み出し

校正ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. 校正ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄに$00を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のBを参照)
3. $\overline{BS1}$をHigh(1)、$\overline{OE}$をLow(0)に設定します。校正ﾊﾞｲﾄが直ぐにDATAで読めます。
4. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

28.8.13. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性については「**並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性**」を参照してください。

関連ﾘﾝｸ 230頁の「並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性」

28.9. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの両方はRESETがGNDに引かれている間に直列SPIﾊﾞｽを使ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞできます。この直列ｲﾝﾀｰﾌｪｰｽはSCK入力、MOSI入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令が初めに実行されることを必要とします。

28.9.1. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾋﾟﾝ配置

表28-16. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾋﾟﾝ配置

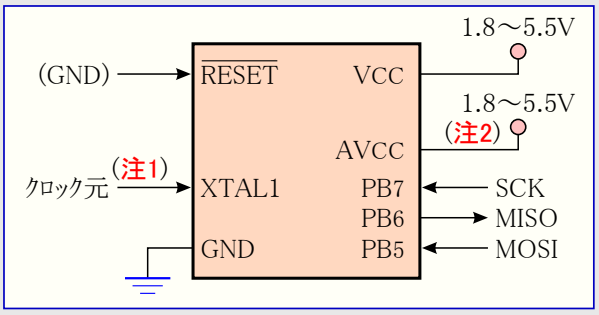
信号名	ﾋﾟﾝ名	入出力	機能
MOSI	PB5	入力	直列ﾃﾞｰﾀ入力
MISO	PB6	出力	直列ﾃﾞｰﾀ出力
SCK	PB7	入力	直列ｸﾛｯｸ

注: 上表でSPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のﾋﾟﾝ配置が一覧されます。全てのﾃﾞﾊﾞｲｽが内部SPIｲﾝﾀｰﾌｪｰｽに対する専用SPIﾋﾟﾝを使うとは限りません。

EEPROMをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする時に自動消去周期が自動書き込み動作内に組み入れられ(直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞのみ)、ﾁｯﾌﾟ消去命令を初めに実行する必要がありません。ﾁｯﾌﾟ消去操作はﾌﾟﾛｸﾞﾗﾑ(ﾌﾗｯｼｭ ﾒﾓﾘ)とEEPROM両方の全てのﾒﾓﾘ位置の内容を$FFにします。

CKSELﾋｭｰｽﾞによる有効なｸﾛｯｸが与えられなければなりません。直列ｸﾛｯｸ(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

図28-7. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



注1: ﾃﾞﾊﾞｲｽが内蔵発振器で動作する場合、XTAL1ﾋﾟﾝにｸﾛｯｸ元を接続する必要はありません。

注2: VCC-0.3V<AVCC<VCC+0.3Vですが、AVCCは常に1.8～5.5V内にすべきです。

f_{CK}＜12MHz : Low区間 ＞ 2 CPUｸﾛｯｸ周期　f_{CK}＜12MHz : High区間 ＞ 2 CPUｸﾛｯｸ周期
f_{CK}≧12MHz : Low区間 ＞ 3 CPUｸﾛｯｸ周期　f_{CK}≧12MHz : High区間 ＞ 3 CPUｸﾛｯｸ周期

28.10. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

本ﾃﾞﾊﾞｲｽに直列ﾃﾞｰﾀを書く時にﾃﾞｰﾀはSCKの上昇端で行われ、本ﾃﾞﾊﾞｲｽから読む時にﾃﾞｰﾀはSCKの下降端で行われます。ﾀｲﾐﾝｸﾞの詳細については「直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾊﾞｲﾄ通信波形」図を参照してください。

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作での本ﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合は次手順が推奨されます(表28-18.の直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式をご覧ください)。

1. 電源投入手順:
   RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのｼｽﾃﾑで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2 CPUｸﾛｯｸ周期幅の正ﾊﾟﾙｽを与えられなければなりません。
2. 最低20ms待ち、MOSIﾋﾟﾝにﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を送ることによって直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可してください。
3. 通信が同期を外していると、直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令は動作しません。同期していると、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令の第3ﾊﾞｲﾄ送出時に第2ﾊﾞｲﾄ($53)が戻ります。この戻りが正しいかどうかによらず、命令の4ﾊﾞｲﾄ全てが送信されなければなりません。$53が戻らない場合、RESETに正ﾊﾟﾙｽを与え、新規ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を行ってください。
4. ﾌﾗｯｼｭ ﾒﾓﾘは1ﾍﾟｰｼﾞ単位で書かれます。ﾍﾟｰｼﾞ容量は表28-9.で得られます。このﾒﾓﾘ ﾍﾟｰｼﾞはﾍﾟｰｼﾞ設定命令と共にｱﾄﾞﾚｽの下位6+1ﾋﾞｯﾄとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄづつ設定されます。ﾍﾟｰｼﾞが正しく設定されるのを保証するため、与えられたｱﾄﾞﾚｽにﾃﾞｰﾀ上位ﾊﾞｲﾄが適用される前にﾃﾞｰﾀ下位ﾊﾞｲﾄが設定されなければなりません。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのﾍﾟｰｼﾞはｱﾄﾞﾚｽの上位7ﾋﾞｯﾄを含むﾍﾟｰｼﾞ書き込み命令の設定によって(ﾌﾗｯｼｭ ﾒﾓﾘに)格納されます。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、使用者は次のﾍﾟｰｼﾞを行う前に最低t_{WD_FLASH}待たなければなりません。ﾌﾗｯｼｭ書き込み操作完了前の(ﾎﾟｰﾘﾝｸﾞ以外の)直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽでのｱｸｾｽは不正な書き込み結果になり得ます。
5. EEPROMはﾍﾟｰｼﾞ単位かﾊﾞｲﾄ単位のどちらかでﾌﾟﾛｸﾞﾗﾐﾝｸﾞできます。
   ﾊﾞｲﾄ単位: EEPROMは適切なEEPROM書き込み命令と共にｱﾄﾞﾚｽとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄ単位で書かれます。EEPROMのﾒﾓﾘ位置は新規ﾃﾞｰﾀが書かれるのに先立って始めで自動的に消去されます。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、次のﾊﾞｲﾄを行う前に最低t_{WD_EEPROM}待たなければなりません。
   ﾍﾟｰｼﾞ単位: EEPROMの1ﾍﾟｰｼﾞはEEPROMﾍﾟｰｼﾞ設定命令と共にｱﾄﾞﾚｽ下位2ﾋﾞｯﾄとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄづつ設定されます。EEPROMﾍﾟｰｼﾞはｱﾄﾞﾚｽの上位7ﾋﾞｯﾄを含むEEPROMﾍﾟｰｼﾞ書き込み命令によって(EEPROMに)格納されます。EEPROMﾍﾟｰｼﾞ ｱｸｾｽ使用時、EEPROMﾍﾟｰｼﾞ設定命令で設定したﾊﾞｲﾄ位置だけが変更されます。残りの位置は無変化で留まります。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、次ﾍﾟｰｼﾞ(表28-10.参照)を行う前に最低t_{WD_EEPROM}待たなければなりません。ﾁｯﾌﾟ消去されたﾃﾞﾊﾞｲｽでの$FFﾃﾞｰﾀは書かれる必要がありません。
6. どのﾒﾓﾘ位置も選んだｱﾄﾞﾚｽの内容を直列出力MISOに読み戻す読み出し命令を使うことによって照合できます。
7. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。
8. 電源OFF手順 (必要とされるならば)
   - RESETをHigh(1)に設定します。
   - VCC電源をOFFにします。

表28-17. ﾋｭｰｽﾞ,ﾌﾗｯｼｭ,EEPROM次位置書き込み前の待機時間

ｼﾝﾎﾞﾙ	最低待機時間	備考
t_{WD_FUSE}	4.5ms	ﾋｭｰｽﾞ書き込み
t_{WD_FLASH}	2.6ms	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み
t_{WD_EEPROM}	3.6ms	EEPROM書き込み
t_{WD_ERASE}	10.5ms	ﾁｯﾌﾟ消去

28.10.1. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

この項は命令一式を記述します。

表28-18. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令	命令形式				備考
	第1ﾊﾞｲﾄ	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ	第4ﾊﾞｲﾄ	
ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可	$AC	$53	$00	$00	
ﾁｯﾌﾟ消去	$AC	$80	$00	$00	
多忙/準備可検査	$F0	$00	$00	状態値	最下位ﾋﾞｯﾄが多忙ﾌﾗｸﾞ。
設定系命令					
拡張ｱﾄﾞﾚｽ設定 (注1)	$4D	$00	拡張ｱﾄﾞﾚｽ	$00	
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ内上位ﾊﾞｲﾄ設定	$48	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	上位ﾊﾞｲﾄ	
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ内下位ﾊﾞｲﾄ設定	$40	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	下位ﾊﾞｲﾄ	
EEPROMﾍﾟｰｼﾞ内ﾊﾞｲﾄ設定	$C1	$00	ﾍﾟｰｼﾞ内位置	ﾊﾞｲﾄ	注:ﾍﾟｰｼﾞ内指示以外のﾋﾞｯﾄは0。
読み出し命令					
ﾌﾗｯｼｭ ﾒﾓﾘ上位ﾊﾞｲﾄ読み出し	$28	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	上位ﾊﾞｲﾄ	
ﾌﾗｯｼｭ ﾒﾓﾘ下位ﾊﾞｲﾄ読み出し	$20	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	下位ﾊﾞｲﾄ	
EEPROM読み出し	$A0	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	ﾊﾞｲﾄ	
施錠ﾋﾞｯﾄ読み出し	$58	$00	$00	施錠ﾋﾞｯﾄ値	
識票ﾊﾞｲﾄ読み出し	$30	$00	ｱﾄﾞﾚｽ	識票ﾊﾞｲﾄ	
ﾋｭｰｽﾞ下位読み出し	$50	$00	$00	ﾋｭｰｽﾞ下位	
ﾋｭｰｽﾞ上位読み出し	$58	$08	$00	ﾋｭｰｽﾞ上位	
拡張ﾋｭｰｽﾞ読み出し	$50	$08	$00	拡張ﾋｭｰｽﾞ	
校正ﾊﾞｲﾄ読み出し	$38	$00	$00	校正ﾊﾞｲﾄ	
書き込み命令 (注2)					
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み	$4C	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	$00	
EEPROMﾊﾞｲﾄ書き込み	$C0	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	ﾊﾞｲﾄ	
EEPROMﾍﾟｰｼﾞ書き込み	$C2	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	$00	注:ﾍﾟｰｼﾞ指示以外のｱﾄﾞﾚｽ ﾋﾞｯﾄは0。
施錠ﾋﾞｯﾄ書き込み	$AC	$E0	$00	施錠ﾋﾞｯﾄ値	
ﾋｭｰｽﾞ下位書き込み	$AC	$A0	$00	ﾋｭｰｽﾞ下位	
ﾋｭｰｽﾞ上位書き込み	$AC	$A8	$00	ﾋｭｰｽﾞ上位	
拡張ﾋｭｰｽﾞ書き込み	$AC	$A4	$00	拡張ﾋｭｰｽﾞ	

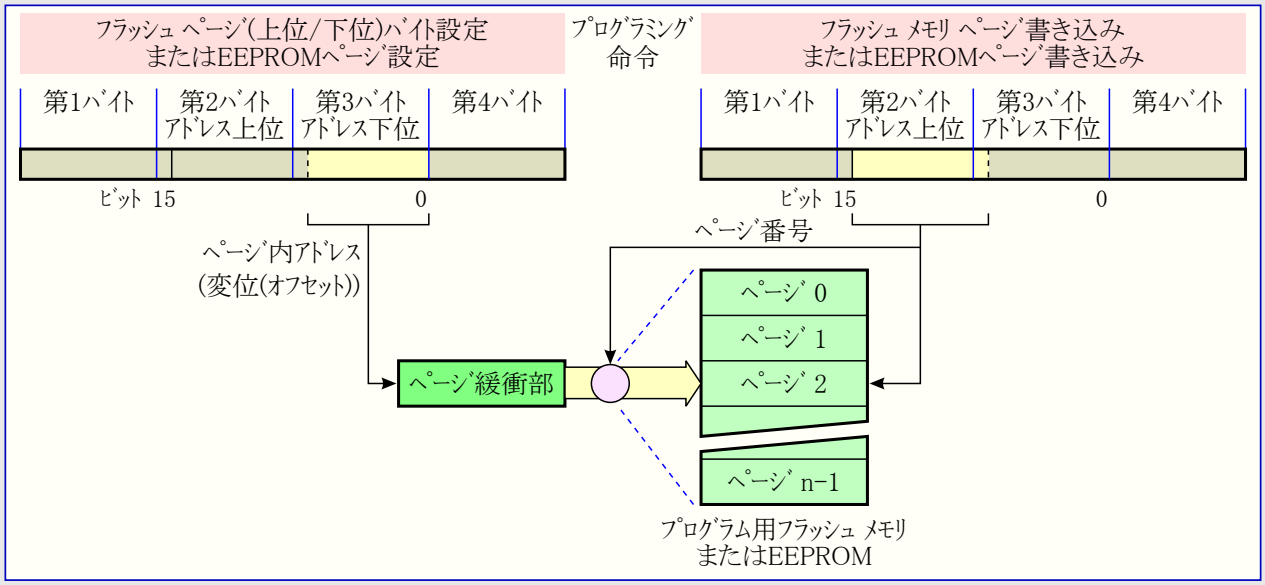
注1：全命令が全ﾃﾞﾊﾞｲｽで利用可能な訳ではありません。
注2：ﾌﾟﾛｸﾞﾗﾑ用ﾒﾓﾘにｱｸｾｽする命令は語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽを使います。このｱﾄﾞﾚｽはﾍﾟｰｼﾞ範囲内で乱順にできます。
注:
- 施錠ﾋﾞｯﾄとﾋｭｰｽﾞ値はﾌﾟﾛｸﾞﾗﾑが0、非ﾌﾟﾛｸﾞﾗﾑが1です。将来との互換性のため、未使用のﾋｭｰｽﾞと施錠ﾋﾞｯﾄは非ﾌﾟﾛｸﾞﾗﾑ(1)にすべきです。
- ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄ、識票ﾊﾞｲﾄ、校正ﾊﾞｲﾄ、ﾍﾟｰｼﾞ容量については対応項を参照してください。
- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと書き込み器に関する応用記述については http://www.atmel.com/avr をご覧ください。
- 第4ﾊﾞｲﾄの赤背景はﾎｽﾄ読み込み(ﾃﾞﾊﾞｲｽ出力)を示します。

多忙/準備可検査ﾊﾞｲﾄ ﾃﾞｰﾀ出力のLSBが1なら、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が未だ保留(動作中)です。次の命令が実行される前に本ﾋﾞｯﾄが0に戻るまで待ってください。

同じﾍﾟｰｼﾞ内で、下位ﾊﾞｲﾄ ﾃﾞｰﾀは上位ﾊﾞｲﾄ ﾃﾞｰﾀに先行して格納されなければなりません。

ﾃﾞｰﾀがﾍﾟｰｼﾞ緩衝部に格納された後にEEPROMﾍﾟｰｼﾞをﾌﾟﾛｸﾞﾗﾑしてください。以降の図をご覧ください。

図28-8. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令例



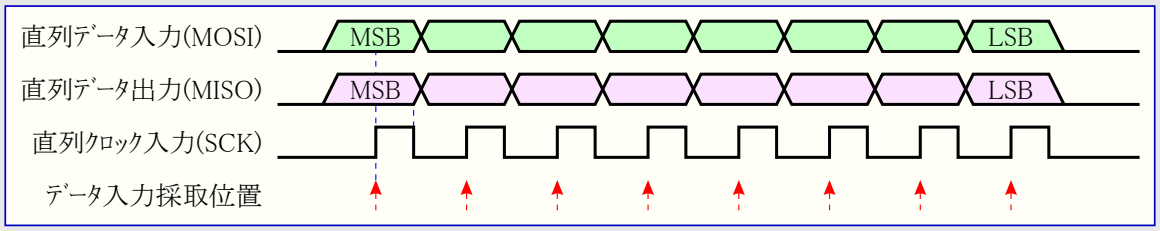
(訳補) ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、ﾍﾟｰｼﾞ緩衝部内のｱﾄﾞﾚｽ(位置)指定に使われるﾋﾞｯﾄはﾒﾓﾘ容量とﾍﾟｰｼﾞ構成に依存します。ATmega164Pでのこれらの指定方法は次表で要約されます。

表B. ｱﾄﾞﾚｽ(第2,3ﾊﾞｲﾄ)指定法

命令	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ	備考
拡張ｱﾄﾞﾚｽ設定			該当命令なし
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ内ﾊﾞｲﾄ設定	0000 0000	00LL LLLL	L=PC5～0
EEPROMﾍﾟｰｼﾞ内ﾊﾞｲﾄ設定	0000 0000	0000 00LL	L=EEA1～0
ﾌﾗｯｼｭ ﾒﾓﾘ読み出し	000H HHHH	LLLL LLLL	H=PC12～8, L=PC7～0
EEPROM読み出し	0000 000H	LLLL LLLL	H=EEA8, L=EEA7～0
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み	000H HHHH	LL00 0000	H=PC12～8, L=PC7～6
EEPROMﾊﾞｲﾄ書き込み	0000 000H	LLLL LLLL	H=EEA8, L=EEA7～0
EEPROMﾍﾟｰｼﾞ書き込み	0000 000H	LLLL LL00	H=EEA8, L=EEA7～2

28.10.2. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図28-9. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾊﾞｲﾄ通信波形



SPI部の特性については「SPIﾀｲﾐﾝｸﾞ特性」を参照してください。

28.11. JTAGインターフェース経由のプログラミング

JTAGインターフェースを通すプログラミングは4つのJTAG仕様ピン、TCK,TMS,TDI,TDOの制御が必要です。RESETピンとクロック ピンの制御は必要とされません。

JTAGインターフェースを使い得るにはJTAGENヒューズがプログラム(0)されなければなりません。本デバイスは既定でこのヒューズがプログラム(0)されて出荷されます。更にMCU制御レジスタ(MCUCR)のJTAGインターフェース禁止(JTD)ビットが解除(0)されなければなりません。JTDビットが設定(1)の場合、代わりに外部リセットを強制的なLowにできます。その後、2チップ(CPU)クロック後にJTDビットが解除(0)され、JTAGピンはプログラミングに利用できます。これはJTAGインターフェース経由実装書き込みを許すにも拘らず、一方、実行動作で標準ポート ピンとしてJTAGピンを使う手段を提供します。境界走査(Boundary-Scan)や内蔵デバッグ機能にJTAGピンを使う時にこの手法が使えないことに注意してください。これらの場合のJTAGピンはその目的専用にされなければなりません。

この文書内の定義では全ての移動レジスタについて入出力ともLSBが最初に移動されます。

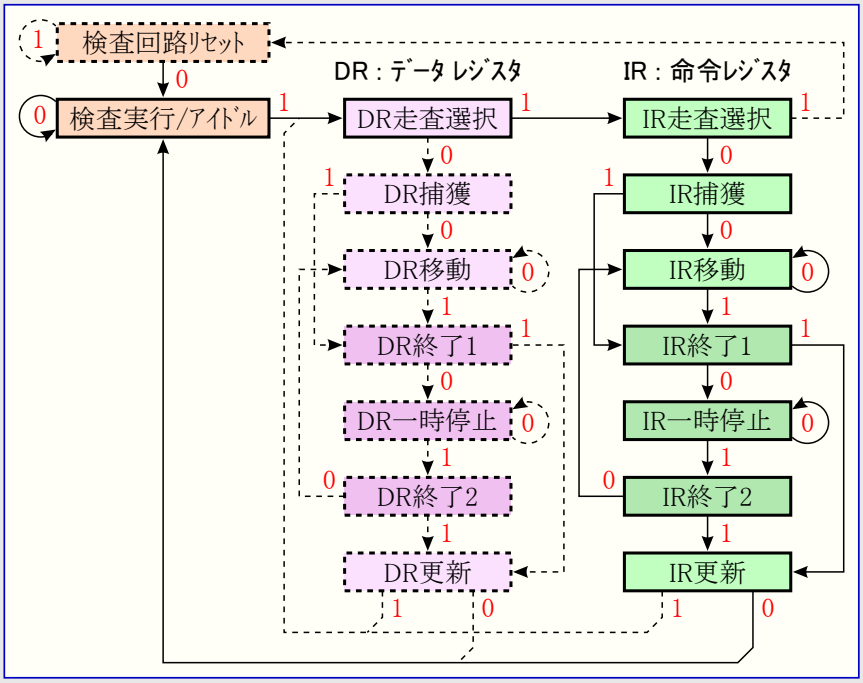
28.11.1. プログラミング特殊JTAG命令

命令レジスタ(IR)は4ビット長で、16種類までの命令を支援します。以下に示される一覧はプログラミングに有用なJTAG命令です。

各命令の命令コードは命令名後の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選ばれるデータ レジスタを記述します。

検査入出力ポート(TAP)制御器の検査実行/アイドル状態は内部クロックの発生に使われます。また、JTAG手順間のアイドル状態としても使えます。命令を切り替えるための順次回路の順番は右図で示されます。

図28-10. 命令語変更手順時順次回路状態遷移図



28.11.2. AVR_RESET ($C)

AVRデバイスをリセット状態へ、またはリセット状態から開放するためのAVR固有公開JTAG命令です。この命令によって検査入出力ポート(TAP)制御器はリセットされません。1ビットのリセット レジスタがデータ レジスタ(DR)として選ばれます。リセット チェーンに論理1がある限り、リセットが有効であることに注意してください。このチェーンからの出力はラッチされません。 本命令が有効な状態を次に示します。

- **DR移動** : リセット レジスタがTCKクロック入力によって移動されます。

28.11..3. PROG_ENABLE ($4)

JTAGポート経由のプログラミングを許可するためのAVR固有公開JTAG命令です。16ビット長のプログラミング許可レジスタがデータ レジスタ(DR)として選ばれます。 本命令が有効な状態を次に示します。

- **DR移動** : プログラミング許可識別子がデータ レジスタに移動入力されます。
- **DR更新** : プログラミング許可識別子が正規値と比較され、識別子が有効なら、プログラミング動作に移行されます。

28.11.4. PROG_COMMANDS ($5)

JTAGポート経由のプログラミング命令移行用のAVR固有公開JTAG命令です。15ビット長のプログラミング命令レジスタがデータ レジスタ(DR)として選ばれます。 本命令が有効な状態を次に示します。

- **DR捕獲** : 直前の命令の結果がデータ レジスタに設定されます。
- **DR移動** : データ レジスタがTCK入力により移動され、直前の命令の結果を移動出力し、新規命令を移動入力します。
- **DR更新** : プログラミング命令がフラッシュ メモリ入力に適用されます。
- **検査実行/アイドル** : 1つのクロック周期が生成され、適用された命令を実行します。

28.11.5. PROG_PAGELOAD ($6)

JTAGﾎﾟｰﾄ経由でﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ ﾃﾞｰﾀを直接設定するためのAVR固有公開JTAG命令です。2048ﾋﾞｯﾄ長の仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選ばれます。これはﾌﾗｯｼｭ ﾒﾓﾘ 1ﾍﾟｰｼﾞ分のﾋﾞｯﾄ数と同じ長さの仮想走査ﾁｪｰﾝ(Scan chain)です。内部的な移動ﾚｼﾞｽﾀは8ﾋﾞｯﾄです。多くのJTAG命令と異なり、移動ﾚｼﾞｽﾀからのﾃﾞｰﾀ転送にDR更新状態が使われません。ﾃﾞｰﾀは内部順次回路により、DR移動状態でﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部へﾊﾞｲﾄ単位で自動的に転送されます。これは(この命令が)活性(有効)な場合だけです。

- **DR移動** : ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ ﾃﾞｰﾀがTCK入力によってTDIから移動入力され、ﾊﾞｲﾄ毎にﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部へ自動的に設定されます。

注: JTAG命令PROG_PAGELOADはAVRﾃﾞﾊﾞｲｽがJTAG走査ﾁｪｰﾝの最初のﾃﾞﾊﾞｲｽの場合にだけ使えます。AVRが走査ﾁｪｰﾝの最初のﾃﾞﾊﾞｲｽでない場合、ﾊﾞｲﾄ単位のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ法が使われなければなりません。

28.11.6. PROG_PAGEREAD ($7)

JTAGﾎﾟｰﾄ経由でﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞの全ﾃﾞｰﾀを取得するためのAVR固有公開JTAG命令です。2056ﾋﾞｯﾄ長の仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選ばれます。これはﾌﾗｯｼｭ ﾒﾓﾘ 1ﾍﾟｰｼﾞ＋8ﾋﾞｯﾄ分のﾋﾞｯﾄ数と同じ長さの仮想走査ﾁｪｰﾝ(Scan chain)です。内部的な移動ﾚｼﾞｽﾀは8ﾋﾞｯﾄです。多くのJTAG命令と異なり、移動ﾚｼﾞｽﾀからのﾃﾞｰﾀ転送にDR捕獲状態が使われません。ﾃﾞｰﾀは内部順次回路により、DR移動状態でﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部からﾊﾞｲﾄ単位で自動的に転送されます。これは(この命令が)活性(有効)な場合だけです。

- **DR移動** : ﾌﾗｯｼｭ ﾒﾓﾘのﾃﾞｰﾀが自動的に(ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部から)ﾊﾞｲﾄ毎に読まれ、TCK入力によってTDOへ移動出力されます。TDI入力は無視されます。

注: JTAG命令PROG_PAGEREADはAVRﾃﾞﾊﾞｲｽがJTAG走査ﾁｪｰﾝの最初のﾃﾞﾊﾞｲｽの場合にだけ使えます。AVRが走査ﾁｪｰﾝの最初のﾃﾞﾊﾞｲｽでない場合、ﾊﾞｲﾄ単位のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ法が使われなければなりません

28.11.7. ﾃﾞｰﾀ ﾚｼﾞｽﾀ

ﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)は「ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令」項で記載されたJTAG命令ﾚｼﾞｽﾀ(IR)によって選ばれます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作に関連するﾃﾞｰﾀ ﾚｼﾞｽﾀを次に示します。

- **ﾘｾｯﾄ**(Reset)**ﾚｼﾞｽﾀ**
- **ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可**(Programing Enable)**ﾚｼﾞｽﾀ**
- **ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令**(Programing Command)**ﾚｼﾞｽﾀ**
- **仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定**(Virtual Flash Page Load)**ﾚｼﾞｽﾀ**
- **仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得**(Virtual Flash Page Read)**ﾚｼﾞｽﾀ**

28.11.8. ﾘｾｯﾄ (Reset) ﾚｼﾞｽﾀ

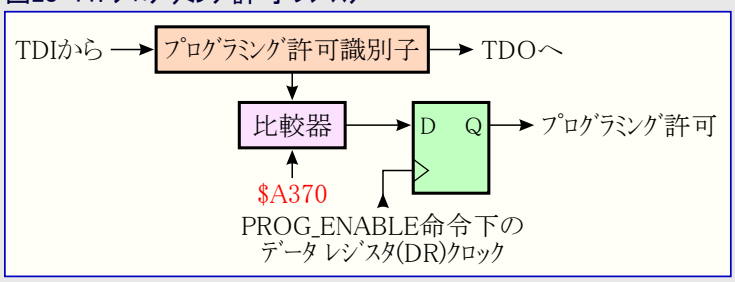
ﾘｾｯﾄ ﾚｼﾞｽﾀはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、ﾃﾞﾊﾞｲｽをﾘｾｯﾄするのに使われる検査ﾃﾞｰﾀ ﾚｼﾞｽﾀです。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行に先立ってﾃﾞﾊﾞｲｽをﾘｾｯﾄするのに必要とされます。

ﾘｾｯﾄ ﾚｼﾞｽﾀ内の値1は外部RESETをLowに引き込むことに相当します。ﾘｾｯﾄ ﾚｼﾞｽﾀ内の値が1である限り、ﾃﾞﾊﾞｲｽはﾘｾｯﾄされます。ﾘｾｯﾄ ﾚｼﾞｽﾀの開放後、ﾃﾞﾊﾞｲｽはｸﾛｯｸ種別ﾋｭｰｽﾞ設定に従ってﾘｾｯﾄ起動遅延時間(「**ｸﾛｯｸ元**」参照)分ﾘｾｯﾄを維持します。「ﾘｾｯﾄ ﾚｼﾞｽﾀ」図で示されるようにこのﾃﾞｰﾀ ﾚｼﾞｽﾀからの出力はﾗｯﾁされず、それ故ﾘｾｯﾄが直ちに起こります。

28.11.9. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可 (Programing Enable) ﾚｼﾞｽﾀ

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀは16ﾋﾞｯﾄ長のﾚｼﾞｽﾀです。このﾚｼﾞｽﾀの内容はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子$A370(1010 0011 0111 0000)と比較されます。このﾚｼﾞｽﾀの内容がﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子と一致すると、JTAGﾎﾟｰﾄ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞが許可されます。このﾚｼﾞｽﾀは電源ONﾘｾｯﾄで0にﾘｾｯﾄされ、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を抜ける時には常にﾘｾｯﾄされるべきです。

図28-11. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可 ﾚｼﾞｽﾀ



28.11.10. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令 (Programing Command) ﾚｼﾞｽﾀ

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令ﾚｼﾞｽﾀは15ﾋﾞｯﾄ長のﾚｼﾞｽﾀです。このﾚｼﾞｽﾀはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を連続的に移動入力し、直前のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令の結果を連続的に移動出力するのに使われます。JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式は次表で示されます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を移動入力する時の状態順は本項内の更に後の図28-13.で図解されます。

図28-12. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令 ﾚｼﾞｽﾀ

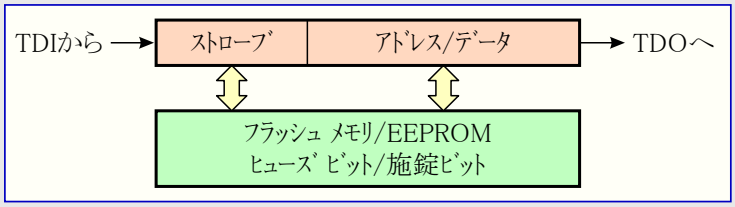


表28-19. JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式（手順）

命令			TDI入力	TDO出力	備考
チップ消去	1①	チップ消去	010 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0001 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
	1②	チップ消去完了検査	011 0011 1000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュメモリ書き込み	2①	フラッシュ書き込み移行	010 0011 0001 0000	xxx xxxx xxxx xxxx	
	2②	アドレス上位バイト設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	2③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	2④	データ下位バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	2⑤	データ上位バイト設定	001 0111 WWWW WWWW	xxx xxxx xxxx xxxx	
	2⑥	データ ラッチ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2⑦	ページ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2⑧	ページ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュ読出し	3①	フラッシュ読み出し移行	010 0011 0000 0010	xxx xxxx xxxx xxxx	
	3②	アドレス上位バイト設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	3③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	3④	データ下位/上位バイト取得	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位バイト
			011 0111 0000 0000	xxx xxxx RRRR RRRR	上位バイト
EEPROM書き込み	4①	EEPROM書き込み移行	010 0011 0001 0001	xxx xxxx xxxx xxxx	
	4②	アドレス上位バイト設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	4③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	4④	データ バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	4⑤	データ ラッチ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	4⑥	EEPROM書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	4⑦	EEPROM書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
EEPROM読出し	5①	EEPROM読み出し移行	010 0011 0000 0011	xxx xxxx xxxx xxxx	
	5②	アドレス上位バイト設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	5③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	5④	EEPROM読み出し	011 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
			011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
ヒューズビット書き込み	6①	ヒューズ書き込み移行	010 0011 0100 0000	xxx xxxx xxxx xxxx	
	6②	データ下位バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ビット配置は表28-5.参照
	6③	拡張ヒューズ書き込み	011 1011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 1001 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
	6④	拡張ヒューズ書き込み完了検査	011 1011 0000 0000	xxx xxSx xxxx xxxx	(注2)
	6⑤	データ下位バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ビット配置は表28-6.参照
	6⑥	上位側ヒューズ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	6⑦	上位ヒューズ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
	6⑧	データ下位バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ビット配置は表28-7.参照
	6⑨	下位側ヒューズ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	6⑩	下位ヒューズ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)

次頁へ続く

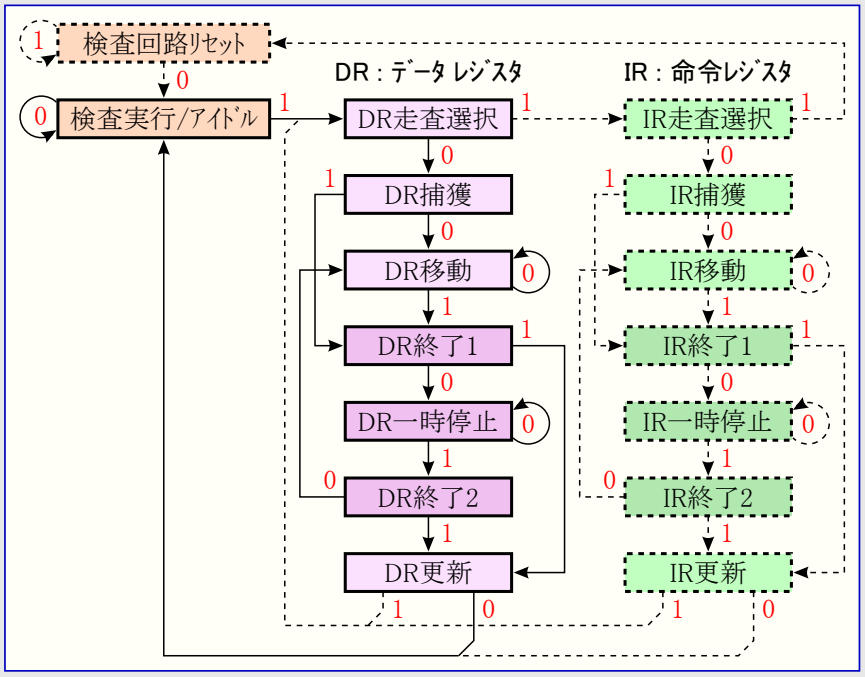
表28-19 (続き). JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令			TDI入力	TDO出力	備考
施錠ﾋﾞｯﾄ書き込み	7①	施錠ﾋﾞｯﾄ書き込み移行	010 0011 0010 0000	xxx xxxx xxxx xxxx	
	7②	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 11WW WWWW	xxx xxxx xxxx xxxx	(注4) ﾋﾞｯﾄ配置は表28-1.参照
	7③	施錠ﾋﾞｯﾄ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	7④	施錠ﾋﾞｯﾄ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し	8①	ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し移行	010 0011 0000 0100	xxx xxxx xxxx xxxx	
	8②	拡張ﾋｭｰｽﾞ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	ﾋﾞｯﾄ配置は表28-5.参照
			011 1011 0000 0000	xxx xxxx RRRR RRRR	(注5)
	8③	上位側ﾋｭｰｽﾞ読み出し	011 1110 0000 0000	xxx xxxx xxxx xxxx	ﾋﾞｯﾄ配置は表28-6.参照
			011 1111 0000 0000	xxx xxxx RRRR RRRR	(注5)
	8④	下位側ﾋｭｰｽﾞ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	ﾋﾞｯﾄ配置は表28-7.参照
			011 0011 0000 0000	xxx xxxx RRRR RRRR	(注5)
	8⑤	施錠ﾋﾞｯﾄ読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	ﾋﾞｯﾄ配置は表28-1.参照
			011 0111 0000 0000	xxx xxxx xxRR RRRR	(注5)
	8⑥	ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	
			011 1110 0000 0000	xxx xxxx RRRR RRRR	拡張ﾋｭｰｽﾞ (注5)
			011 0010 0000 0000	xxx xxxx RRRR RRRR	上位ﾋｭｰｽﾞ
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位ﾋｭｰｽﾞ
			011 0111 0000 0000	xxx xxxx RRRR RRRR	施錠ﾋﾞｯﾄ
識票ﾊﾞｲﾄ	9①	識票ﾊﾞｲﾄ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	9②	ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	9③	識票ﾊﾞｲﾄ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
校正ﾊﾞｲﾄ	10①	校正ﾊﾞｲﾄ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	10②	ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	10③	校正ﾊﾞｲﾄ読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx RRRR RRRR	
	11①	無操作設定	010 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	

H = ｱﾄﾞﾚｽ上位ﾊﾞｲﾄのﾋﾞｯﾄ　L = ｱﾄﾞﾚｽ下位ﾊﾞｲﾄのﾋﾞｯﾄ　S = 動作完了ﾌﾗｸﾞ
R = 読み出しﾃﾞｰﾀ (MCU出力)　W = 書き込みﾃﾞｰﾀ (MCU入力)　x = 0か1 (無効/無意味)

注1 ：この命令は直前の命令手順によって上位7ﾋﾞｯﾄが正しく設定されている(通常の)場合、必要ではありません。
注2 ：Sが1になるまで繰り返します。(待機)
注3 ：設定値0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑです。
注4 ：設定値0でﾌﾟﾛｸﾞﾗﾑ、1では施錠ﾋﾞｯﾄが変化しません。
注5 ：読み出し値0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑです。
(訳注) 原書での注6～9は表内備考欄に直接記載しました。
注10：PCMSB(表28-9.参照)とEEAMSB(表28-10.参照)を越えるｱﾄﾞﾚｽ ﾋﾞｯﾄは無効です。

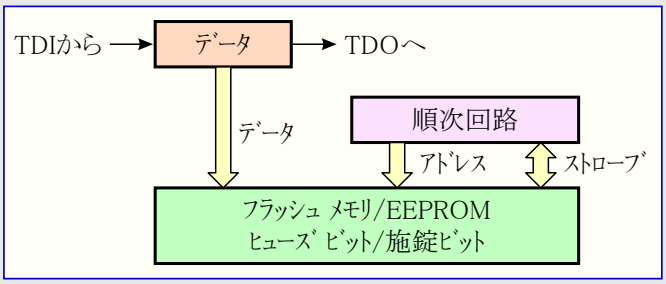
図28-13. ﾃﾞｰﾀ語変更/読み出し手順時順次回路状態遷移図



28.11.11. 仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定 (Virtual Flash Page Load) ﾚｼﾞｽﾀ

仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定ﾚｼﾞｽﾀはﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞと等しいﾋﾞｯﾄ長の仮想走査ﾁｪｰﾝ(Scan chain)です。内部的な移動ﾚｼﾞｽﾀは8ﾋﾞｯﾄで、ﾃﾞｰﾀはﾊﾞｲﾄ単位でﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部へ自動的に転送されます。ﾍﾟｰｼﾞ内への全命令語(ﾃﾞｰﾀ)の移動入力はﾍﾟｰｼﾞ内の最初のｺｰﾄﾞのLSBから始まり、ﾍﾟｰｼﾞ内の最終ｺｰﾄﾞのMSBで終了します。これはﾍﾟｰｼﾞ書き込みを実行する前にﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部全体を設定する効率的な方法を提供します。

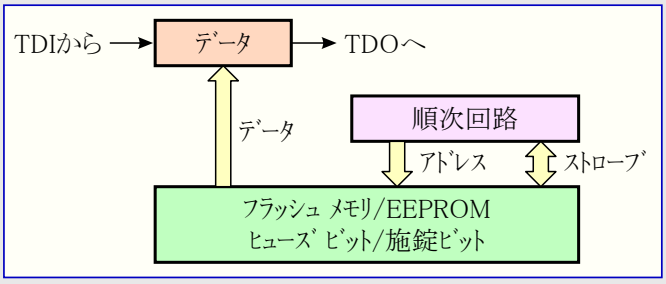
図28-14. 仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定 ﾚｼﾞｽﾀ



28.11.12. 仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得 (Virtual Flash Page Read) ﾚｼﾞｽﾀ

仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得ﾚｼﾞｽﾀはﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞと等しいﾋﾞｯﾄ数+8ﾋﾞｯﾄの仮想走査ﾁｪｰﾝ(Scan chain)です。内部的な移動ﾚｼﾞｽﾀは8ﾋﾞｯﾄで、ﾃﾞｰﾀはﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部からﾊﾞｲﾄ単位で自動的に転送されます。最初の8ｸﾛｯｸは先頭ﾊﾞｲﾄを内部移動ﾚｼﾞｽﾀへ転送するのに使われ、この8ｸﾛｯｸ中に移動出力されたﾋﾞｯﾄは無視されるべきです。この初期化に続いて、ﾍﾟｰｼﾞ内の最初のｺｰﾄﾞのLSBから始まり、ﾍﾟｰｼﾞ内の最後のｺｰﾄﾞのMSBで終了するﾃﾞｰﾀが移動出力されます。これは書き込み確認のためにﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞ全体を読み出す効率的な方法を提供します。

図28-15. 仮想ﾌﾗｯｼｭ ﾍﾟｰｼﾞ取得 ﾚｼﾞｽﾀ



28.11.13. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手法

1①、1②形式のような以下の全ての参照は表28-19.を参照してください。

28.11.14. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

1. JTAG命令AVR_RESETを入力し、ﾘｾｯﾄ ﾚｼﾞｽﾀに1を移動します。
2. PROG_ENABLE命令を入力し、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀに$A370(1010 0011 0111 0000)を移動します。

28.11.15. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作からの抜け出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 無操作命令(11①参照)により、全てのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を禁止します。
3. PROG_ENABLE命令を入力し、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀに$0000(0000 0000 0000 0000)を移動します。
4. JTAG命令AVR_RESETを入力し、ﾘｾｯﾄ ﾚｼﾞｽﾀに0を移動します。

28.11.16. ﾁｯﾌﾟ消去の実行

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾁｯﾌﾟ消去命令(1①参照)を使い、ﾁｯﾌﾟ消去を開始します。
3. ﾁｯﾌﾟ消去完了検査(1②参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH_CE(表29-14.参照)時間待ちます。

28.11.17. ﾌﾗｯｼｭ ﾒﾓﾘの書き込み

ﾌﾗｯｼｭ ﾒﾓﾘへ書き込む前にﾁｯﾌﾟ消去が実行されなければなりません。上記の「ﾁｯﾌﾟ消去の実行」をご覧ください。

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾌﾗｯｼｭ書き込み移行命令(2①参照)を使い、ﾌﾗｯｼｭ ﾒﾓﾘ書き込みを許可します。
3. ｱﾄﾞﾚｽ上位設定命令(2②参照)を使い、書き込みｱﾄﾞﾚｽ上位ﾊﾞｲﾄを設定します。
4. ｱﾄﾞﾚｽ下位設定命令(2③参照)を使い、書き込みｱﾄﾞﾚｽ下位ﾊﾞｲﾄを設定します。
5. ﾃﾞｰﾀ設定命令(2④, 2⑤, 2⑥参照)を使い、書き込みﾃﾞｰﾀを設定します。
6. ﾍﾟｰｼﾞ内の全語(ﾜｰﾄﾞ)数分4.と5.を繰り返します。
7. ﾍﾟｰｼﾞ書き込み命令(2⑦参照)を使い、ﾍﾟｰｼﾞをﾌﾗｯｼｭ ﾒﾓﾘに書き込みます。
8. ﾍﾟｰｼﾞ書き込み完了検査(2⑧参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH_FLASH(表29-14.参照)時間待ちます。
9. 全ﾃﾞｰﾀ書き込みまで3.～8.を繰り返します。

より効率的なﾃﾞｰﾀ転送はPROG_PAGELOAD命令を使うことで達せられます。

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾌﾗｯｼｭ書き込み移行命令(2①参照)を使い、ﾌﾗｯｼｭ ﾒﾓﾘ書き込みを許可します。
3. ｱﾄﾞﾚｽ設定命令(2②, 2③参照)を使い、ﾍﾟｰｼﾞ ｱﾄﾞﾚｽを設定します。ﾍﾟｰｼﾞ内ｱﾄﾞﾚｽにはPCWORD(表28-9.参照)が使われ、これらのﾋﾞｯﾄは0として書かれなければなりません。
4. JTAG命令PROG_PAGELOADを入力します。
5. ﾍﾟｰｼﾞ内の最初のｺｰﾄﾞのLSBから始まって最後のｺｰﾄﾞのMSBで終了するﾍﾟｰｼﾞ内に全ｺｰﾄﾞ ﾃﾞｰﾀを移動してﾍﾟｰｼﾞ全体を設定します。
6. JTAG命令PROG_COMMANDSを入力します。
7. ﾍﾟｰｼﾞ書き込み命令(2⑦参照)を使い、ﾍﾟｰｼﾞをﾌﾗｯｼｭ ﾒﾓﾘに書き込みます。
8. ﾍﾟｰｼﾞ書き込み完了検査(2⑧参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH_FLASH(表29-14.参照)時間待機します。
9. 全ﾃﾞｰﾀ書き込みまで3.～8.を繰り返します。

28.11.18. ﾌﾗｯｼｭ ﾒﾓﾘの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾌﾗｯｼｭ読み出し移行命令(3①参照)を使い、ﾌﾗｯｼｭ ﾒﾓﾘ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(3②, 3③参照)を使い、読み出しｱﾄﾞﾚｽを設定します。
4. ﾃﾞｰﾀ読み出し命令(3④参照)を使い、ﾃﾞｰﾀを読み出します。
5. 全ﾃﾞｰﾀ読み出しまで3.～4.を繰り返します。

より効率的なﾃﾞｰﾀ転送はPROG_PAGEREAD命令を使うことで達せられます。

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾌﾗｯｼｭ読み出し移行命令(3①参照)を使い、ﾌﾗｯｼｭ ﾒﾓﾘ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(3②, 3③参照)を使い、ﾍﾟｰｼﾞ ｱﾄﾞﾚｽを設定します。ﾍﾟｰｼﾞ内ｱﾄﾞﾚｽにはPCWORD(表28-9.参照)が使われ、これらのﾋﾞｯﾄは0として書かれなければなりません。
4. JTAG命令PROG_PAGEREADを入力します。
5. ﾍﾟｰｼﾞ内の最初のｺｰﾄﾞのLSBから始まって最後のｺｰﾄﾞのMSBで終了するﾍﾟｰｼﾞ内の全ｺｰﾄﾞ ﾃﾞｰﾀを移動し、ﾍﾟｰｼﾞ全体を読み出します。最初に移動出力される8ﾋﾞｯﾄが無視されるべきことに留意してください。
6. JTAG命令PROG_COMMANDSを入力します。
7. 全ﾃﾞｰﾀ読み出しまで3.～6.を繰り返します。

28.11.19. EEPROMの書き込み

EEPROMへ書き込む前にﾁｯﾌﾟ消去が実行されなければなりません。上記の「ﾁｯﾌﾟ消去の実行」をご覧ください。

1. JTAG命令PROG_COMMANDSを入力します。
2. EEPROM書き込み移行命令(4①参照)を使い、EEPROMﾒﾓﾘ書き込みを許可します。
3. ｱﾄﾞﾚｽ上位設定命令(4②参照)を使い、書き込みｱﾄﾞﾚｽ上位ﾊﾞｲﾄを設定します。
4. ｱﾄﾞﾚｽ下位設定命令(4③参照)を使い、書き込みｱﾄﾞﾚｽ下位ﾊﾞｲﾄを設定します。
5. ﾃﾞｰﾀ設定命令(4④, 4⑤参照)を使い、書き込みﾃﾞｰﾀを設定します。
6. ﾍﾟｰｼﾞ内の全ﾊﾞｲﾄ数分4.と5.を繰り返します。
7. EEPROM書き込み命令(4⑥参照)を使い、ﾃﾞｰﾀをEEPROMﾒﾓﾘに書き込みます。
8. EEPROM書き込み完了検査(4⑦参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表29-14.参照)時間待ちます。
9. 全ﾃﾞｰﾀ書き込みまで3.～8.を繰り返します。

PROG_PAGELOAD命令がEEPROM書き込み時に使えないことに注意してください。

28.11.20. EEPROMの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. EEPROM読み出し移行命令(5①参照)を使い、EEPROMﾒﾓﾘ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(5②, 5③参照)を使い、読み出しｱﾄﾞﾚｽを設定します。
4. ﾃﾞｰﾀ読み出し命令(5④参照)を使い、ﾃﾞｰﾀを読み出します。
5. 全ﾃﾞｰﾀ読み出しまで3.～4.を繰り返します。

PROG_PAGEREAD命令がEEPROM読み出し時に使えないことに注意してください。

28.11.21. ﾋｭｰｽﾞ ﾋﾞｯﾄの書き込み

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾋｭｰｽﾞ書き込み移行命令(6①参照)を使い、ﾋｭｰｽﾞ書き込みを許可します。
3. 拡張ﾃﾞｰﾀ設定命令(6②参照)を使い、拡張ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
4. 拡張ﾋｭｰｽﾞ書き込み命令(6③参照)を使い、拡張ﾋｭｰｽﾞを書き込みます。
5. ﾋｭｰｽﾞ書き込み完了検査(6④参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表29-14.参照)時間待ちます。
6. 上位ﾃﾞｰﾀ設定命令(6⑤参照)を使い、上位側ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
7. 上位ﾋｭｰｽﾞ書き込み命令(6⑥参照)を使い、上位側ﾋｭｰｽﾞを書き込みます。
8. ﾋｭｰｽﾞ書き込み完了検査(6⑦参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表29-14.参照)時間待ちます。
9. 下位ﾃﾞｰﾀ設定命令(6⑧参照)を使い、下位側ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
10. 下位ﾋｭｰｽﾞ書き込み命令(6⑨参照)を使い、下位側ﾋｭｰｽﾞを書き込みます。
11. ﾋｭｰｽﾞ書き込み完了検査(6⑩参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表29-14.参照)時間待ちます。

28.11.22. 施錠ﾋﾞｯﾄの書き込み

1. JTAG命令PROG_COMMANDSを入力します。
2. 施錠ﾋﾞｯﾄ書き込み移行命令(7①参照)を使い、施錠ﾋﾞｯﾄ書き込みを許可します。
3. ﾃﾞｰﾀ設定命令(7②参照)を使い、施錠ﾋﾞｯﾄ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=無変化)
4. 施錠ﾋﾞｯﾄ書き込み命令(7③参照)を使い、施錠ﾋﾞｯﾄに書き込みます。
5. 施錠ﾋﾞｯﾄ書き込み完了検査(7④参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(表29-14.参照)時間待ちます。

28.11.23. ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し移行命令(8①参照)を使い、ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出しを許可します。
3. 全てのﾋｭｰｽﾞと施錠ﾋﾞｯﾄを読むにはﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し命令(8⑥参照)を使います。
   拡張ﾋｭｰｽﾞ ﾋﾞｯﾄのみを読み出す場合は拡張ﾋｭｰｽﾞ読み出し命令(8②参照)を使います。
   上位側ﾋｭｰｽﾞ ﾋﾞｯﾄだけを読むには上位ﾋｭｰｽﾞ読み出し命令(8③参照)を使います。
   下位側ﾋｭｰｽﾞ ﾋﾞｯﾄだけを読むには下位ﾋｭｰｽﾞ読み出し命令(8④参照)を使います。
   施錠ﾋﾞｯﾄだけを読むには施錠ﾋﾞｯﾄ読み出し命令(8⑤参照)を使います。

28.11.24. 識票ﾊﾞｲﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 識票読み出し移行命令(9①参照)を使い、識票読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(9②参照)を使い、読み出しｱﾄﾞﾚｽ$00を設定します。
4. ﾃﾞｰﾀ読み出し命令(9③参照)を使い、識票ﾊﾞｲﾄを読み出します。
5. 第2、第3ﾊﾞｲﾄを読むためにｱﾄﾞﾚｽを$01,$02として各々3.～4.を繰り返します。

28.11.25. 校正ﾊﾞｲﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 校正ﾊﾞｲﾄ読み出し移行命令(10①参照)を使い、校正ﾊﾞｲﾄ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(10②参照)を使い、読み出しｱﾄﾞﾚｽ$00を設定します。
4. ﾃﾞｰﾀ読み出し命令(10③参照)を使い、校正ﾊﾞｲﾄを読み出します。

29. 電気的特性

29.1. 絶対最大定格

表29-1. 絶対最大定格

動作温度	-55℃～125℃
保存温度	-65℃～150℃
RESETを除くﾋﾟﾝ許容電圧	-0.5V～VCC+0.5V
RESETﾋﾟﾝ許容電圧	-0.5V～13.0V
最大動作電圧	6.0V
入出力ﾋﾟﾝ毎のDC電流	40.0mA
VCCとGNDﾋﾟﾝのDC電流	200.0mA

注: 絶対最大定格を超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

29.2. DC特性

表29-2. DC特性 TA=-40℃～105℃, VCC=1.8V～5.5V (特記事項を除く)

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
V_{IL}	Lowﾚﾍﾞﾙ入力電圧 (XTAL1,RESETを除く)	VCC=1.8～2.4V		-0.5		0.2VCC (注1)	V
		VCC=2.4～5.5V		-0.5		0.3VCC (注1)	
V_{IL1}	Lowﾚﾍﾞﾙ入力電圧 (XTAL1)	VCC=1.8～5.5V		-0.5		0.1VCC (注1)	
V_{IL2}	Lowﾚﾍﾞﾙ入力電圧 ($\overline{RESET}$)	VCC=1.8～5.5V		-0.5		0.1VCC (注1)	
V_{IH}	Highﾚﾍﾞﾙ入力電圧 (XTAL1,RESETを除く)	VCC=1.8～2.4V		0.7VCC (注2)		VCC+0.5	
		VCC=2.4～5.5V		0.6VCC (注2)		VCC+0.5	
V_{IH1}	Highﾚﾍﾞﾙ入力電圧 (XTAL1)	VCC=1.8～2.4V		0.8VCC (注2)		VCC+0.5	
		VCC=2.4～5.5V		0.7VCC (注2)		VCC+0.5	
V_{IH2}	Highﾚﾍﾞﾙ入力電圧 ($\overline{RESET}$)	VCC=1.8～5.5V		0.9VCC (注2)		VCC+0.5	
V_{OL}	Lﾚﾍﾞﾙ出力電圧 (I/OとしてのRESETを除く) (注3)	IOL=20mA, VCC=5V	TA=85℃			0.9	
			TA=105℃			1.0	
		IOL=10mA, VCC=3V	TA=85℃			0.6	
			TA=105℃			0.7	
V_{OH}	Hﾚﾍﾞﾙ出力電圧 (I/OとしてのRESETを除く) (注4)	IOH=-20mA, VCC=5V	TA=85℃	4.2			
			TA=105℃	4.0			
		IOH=-10mA, VCC=3V	TA=85℃	2.3			
			TA=105℃	2.1			
I_{IL}	I/OﾋﾟﾝLowﾚﾍﾞﾙ入力漏れ電流	VCC=5.5V 確実なH/L範囲				1	μA
I_{IH}	I/OﾋﾟﾝHighﾚﾍﾞﾙ入力漏れ電流					1	
R_{RST}	$\overline{RESET}$ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			30		60	kΩ
R_{PU}	I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			20		50	
V_{ACIO}	ｱﾅﾛｸﾞ比較器入力変位(ｵﾌｾｯﾄ)電圧	VCC=5V, Vin=VCC/2			<10	40	mV
I_{ACLK}	ｱﾅﾛｸﾞ比較器入力漏れ電流			-50		50	nA
t_{ACPD}	ｱﾅﾛｸﾞ比較器伝播遅延時間	VCC=2.7V			750		ns
		VCC=4.0V			500		

注1: Lowﾚﾍﾞﾙの認識が保証される最高電圧です。

注2: Highﾚﾍﾞﾙの認識が保証される最低電圧です。

注3: 各I/Oﾎﾟｰﾄは安定状態(非過渡時)に於いて検査条件(VCC=3Vで10mA,VCC=5Vで20mA)よりも多くの吸い込み電流を流すことができますが、次の条件を厳守しなければなりません。

1. ﾎﾟｰﾄA7～0、C7～0のIOLの合計が100mAを超えるべきではありません。
2. ﾎﾟｰﾄB7～0、D7～0、XTAL2のIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件よりも大きな吸い込み電流を流すことは保証されません。

注4は次頁をご覧ください。

注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=3Vで10mA,VCC=5Vで20mA)よりも多くの吐き出し電流を流すことができますが、次の条件を厳守しなければなりません。

1. ポートA7～0、C7～0のIOHの合計が100mAを超えるべきではありません。
2. ポートB7～0、D7～0、XTAL2のIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件よりも大きな吐き出し電流を流すことは保証されません。

関連リンク　36頁の「消費電力の最小化」

29.2.1. 消費電力

表29-3. TA=-40℃～85℃, VCC=1.8V～5.5V (特記事項を除く)

シンボル	項目	条件		最小	代表(注1)	最大	単位
ICC	活動動作消費電流 (電力削減レジスタ(PRR0)全ビット=1)	VCC=2V, 1MHz			0.4	0.5	mA
		VCC=3V, 4MHz			2.1	2.7	
		VCC=5V, 8MHz			7.4	9.0	
	アイドル動作消費電流 (電力削減レジスタ(PRR0)全ビット=1)	VCC=2V, 1MHz			0.1	0.15	
		VCC=3V, 4MHz			0.5	0.7	
		VCC=5V, 8MHz			1.9	5.0	
	パワーセーブ動作消費電流 (注2)	32kHz TOSC許可	VCC=1.8V		0.5		µA
			VCC=3V		0.6		
	パワーダウン動作消費電流 (注2)	VCC=3V, WDT有効			4.3	8.0	
		VCC=3V, WDT禁止			0.2	2.0	

注1: 25℃での代表値です。最大値は製造に於ける検査上限です。

注2: この消費電流は入力漏れ電流を含みます。

表29-4. TA=-40℃～105℃, VCC=1.8V～5.5V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位
ICC	活動動作消費電流 (電力削減レジスタ(PRR0)全ビット=1)	VCC=2V, 1MHz			TBD	mA
		VCC=3V, 4MHz			TBD	
		VCC=5V, 8MHz			TBD	
	アイドル動作消費電流 (電力削減レジスタ(PRR0)全ビット=1)	VCC=2V, 1MHz			TBD	
		VCC=3V, 4MHz			TBD	
		VCC=5V, 8MHz			TBD	
	パワーダウン動作消費電流 (注)	VCC=3V, WDT有効			TBD	µA
		VCC=3V, WDT禁止			TBD	

注: この消費電流は入力漏れ電流を含みます。

関連リンク　36頁の「消費電力の最小化」

29.3. 速度勾配

最高周波数は動作電圧に依存します。図で示されるように最高周波数対動作電圧曲線は1.8～2.7Vと2.7～4.5V間で直線です。

図29-1. ATmega164PVの最高周波数対VCC

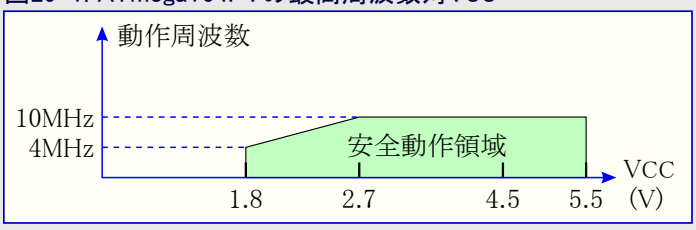
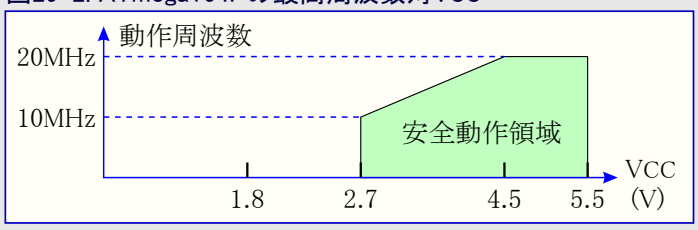


図29-2. ATmega164Pの最高周波数対VCC



29.4. クロック特性

関連リンク　31頁の「校正付き内蔵RC発振器」

29.4.1. 校正付き内蔵RC発振器精度

表29-5. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度
工場校正	8.0MHz	3V	25℃	±10%
使用者校正	7.3～8.1MHz	1.8～5.5V(注1), 2.7～5.5V(注2)	-40～85℃	±1%

注1: ATmega164PVに対する電圧範囲

注2: ATmega164Pに対する電圧範囲

29.4.2. 外部クロック信号駆動

図29-3. 外部クロック駆動波形

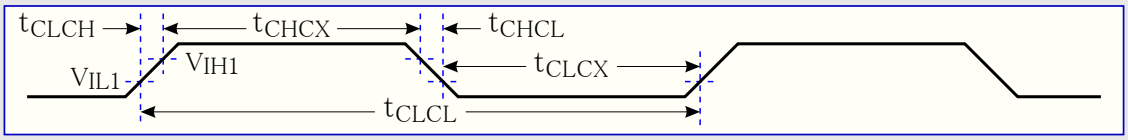


表29-6. 外部クロック特性

シンボル	項目	VCC=1.8～5.5V		VCC=2.7～5.5V		VCC=4.5～5.5V		単位
		最小	最大	最小	最大	最小	最大	
$1/t_{CLCL}$	クロック周波数	0	4	0	10	0	20	MHz
t_{CLCL}	クロック周期	250		100		50		ns
t_{CHCX}	Highレベル時間	100		40		20		ns
t_{CLCX}	Lowレベル時間	100		40		20		ns
t_{CLCH}	上昇時間		2.0		1.6		0.5	µs
t_{CHCL}	下降時間		2.0		1.6		0.5	µs
Δt_{CLCL}	隣接クロック周期間の変化率		2		2		2	%

29.5. システムとリセットの特性

表29-7. リセット、低電圧検出(BOD)、内部基準電圧の特性 (注: 値は指針の意味だけです。)

シンボル	項目	条件	最小	代表	最大	単位
V_{POT}	上昇時電源ONリセット閾値電圧	TA=-40～85℃	0.7	1.0	1.4	V
	下降時電源ONリセット閾値電圧 (注1)		0.6	0.9	1.9	
V_{RST}	$\overline{\text{RESET}}$ピン閾値電圧		0.2VCC		0.9VCC	
t_{RST}	$\overline{\text{RESET}}$ピンでの最小パルス幅		2.5			µs
V_{HYST}	低電圧検出ヒステリシス電圧			50		mV
t_{BOD}	最小低電圧検出時間			2		µs
V_{BG}	基準電圧	VCC=2.7V TA=25℃	1.0	1.1	1.2	V
t_{BG}	起動時間			40	70	µs
I_{BG}	消費電流			10		µA

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

表29-8. BODLEVELヒューズ (VBOT) 設定 (注1)

BODLEVEL2～0	最小	代表	最大	単位
1 1 1	低電圧検出(BOD)リセット禁止			
1 1 0	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	V
1 0 0	4.1	4.3	4.5	V
0 0 0 ～ 0 1 1	(予約)			

注1: いくつかのデバイスでVBOTが公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、VCC=VBOTに落として検査されます。これはマイクロ コントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。この検査はBODLEVEL=101と110を使って実行されます。

関連リンク　206頁の「ヒューズ ビット」

29.6. 外部割り込み特性

表29-9. 非同期外部割り込み特性

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
t_{INT}	非同期外部割り込み最小ﾊﾟﾙｽ幅		50		ns

29.7. SPIﾀｲﾐﾝｸﾞ特性

図29-4. SPI ﾀｲﾐﾝｸﾞ必要条件（主装置動作）

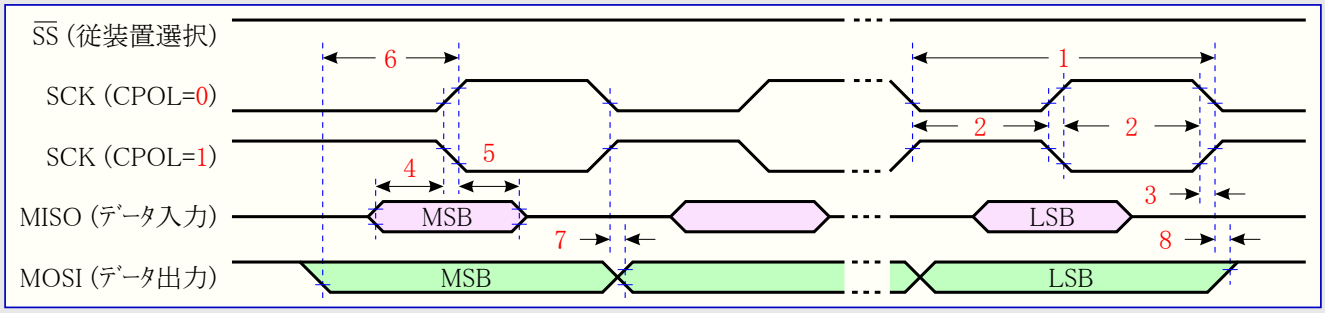


図29-5. SPI ﾀｲﾐﾝｸﾞ必要条件（従装置動作）

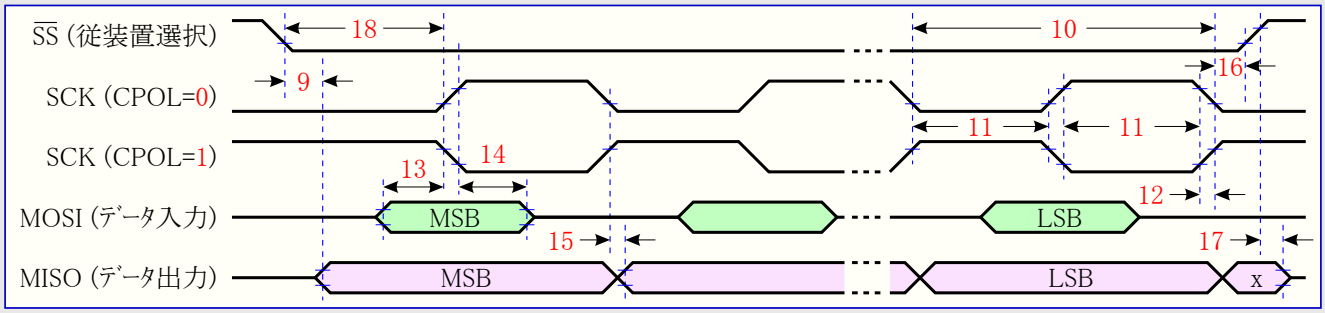


表29-10. SPI ﾀｲﾐﾝｸﾞ特性

番号	項目	動作種別	最小	代表	最大	単位
1	SCK周期	主装置		表20-5.参照		
2	SCK High/Low期間	主装置		50%ﾃﾞｭｰﾃｨ比		
3	SCK上昇/下降時間	主装置		3.6		
4	入力ﾃﾞｰﾀ 準備時間	主装置		10		
5	入力ﾃﾞｰﾀ 保持時間	主装置		10		
6	出力からSCK変移時間	主装置		$0.5 \cdot t_{SCK}$		ns
7	SCKからの出力遅延時間	主装置		10		
8	SCKからのHigh出力時間	主装置		10		
9	$\overline{SS}$↓からの出力遅延時間	従装置		15		
10	SCK周期	従装置	$4 \cdot t_{CK}$			
11	SCK High/Low期間 (注)	従装置	$2 \cdot t_{CK}$			
12	SCK上昇/下降時間	従装置			1.6	µs
13	入力ﾃﾞｰﾀ 準備時間	従装置	10			
14	入力ﾃﾞｰﾀ 保持時間	従装置	t_{CK}			
15	SCKからの出力遅延時間	従装置		15		ns
16	SCKからの$\overline{SS}$↑遅延時間	従装置	20			
17	$\overline{SS}$↑からの出力Hi-Z遅延時間	従装置		10		
18	$\overline{SS}$↓からのSCK遅延時間	従装置	$2 \cdot t_{CK}$			

注: SPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞでの最小SCK High/Low期間は、$2t_{CLCL}$(t_{CK}＜12MHz)、$3t_{CLCL}$(t_{CK}≧12MHz)です。

29.8. 2線直列インターフェース特性

本項の表は2線直列バスに接続した装置に対する必要条件を記述します。2線直列インターフェースは記載条件下で、これらの必要条件を越えるか、または合致します。

図29-6. 2線直列バス タイミング

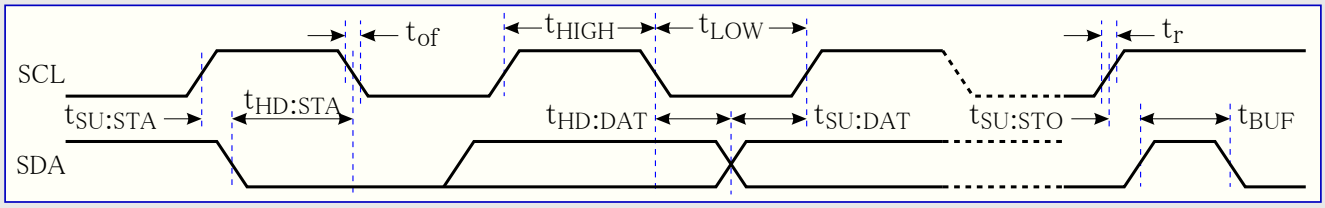


表29-11. 2線直列インターフェース必要条件

シンボル	項目	条件	最小	最大	単位
V_{IL}	Lowレベル入力電圧		-0.5	0.3VCC	V
V_{IH}	Highレベル入力電圧		0.7VCC	VCC+0.5	V
Vhys ①	シュミット トリガ入力ヒステリシス電圧		② 0.05VCC		V
V_{OL} ①	Lowレベル出力電圧	I_{OL}=3mA	0	0.4	V
t_r ①	出力上昇時間(V_{ILmin}→V_{IHmax})		② 20+0.1Cb ③	300	ns
t_{of} ①	出力下降時間(V_{IHmin}→V_{ILmax})	10pF<Cb<400pF ③	② 20+0.1Cb ③	250	ns
t_{SP} ①	入力パルス最小幅(尖頭消去濾波)		0	② 50	ns
Ii	入力電流(ピン単位)	0.1VCC<Vi<0.9VCC	-10	10	µA
Ci ①	ピン入力容量			10	pF
f_{SCL}	SCLクロック周波数 ④⑤	f_{CK}>max(16f_{SCL},250kHz)	0	400	kHz
Rp	プルアップ抵抗値	f_{SCL}≦100kHz	(VCC-0.4V)/3mA	1000ns/Cb	Ω
		f_{SCL}>100kHz	(VCC-0.4V)/3mA	300ns/Cb	Ω
$t_{HD:STA}$	(再送)開始条件保持時間	f_{SCL}≦100kHz	4.0		µs
		f_{SCL}>100kHz	0.6		µs
t_{LOW}	SCLクロックLowレベル時間	f_{SCL}≦100kHz	4.7		µs
		f_{SCL}>100kHz	1.3		µs
t_{HIGH}	SCLクロックHighレベル時間	f_{SCL}≦100kHz	4.0		µs
		f_{SCL}>100kHz	0.6		µs
$t_{SU:STA}$	再送開始条件準備時間	f_{SCL}≦100kHz	4.7		µs
		f_{SCL}>100kHz	0.6		µs
$t_{HD:DAT}$	データ保持時間	f_{SCL}≦100kHz	0	3.45	µs
		f_{SCL}>100kHz	0	0.9	µs
$t_{SU:DAT}$	データ準備時間	f_{SCL}≦100kHz	250		ns
		f_{SCL}>100kHz	100		ns
$t_{SU:STO}$	停止条件準備時間	f_{SCL}≦100kHz	4.0		µs
		f_{SCL}>100kHz	0.6		µs
t_{BUF}	停止条件→開始条件間バス開放時間	f_{SCL}≦100kHz	4.7		µs
		f_{SCL}>100kHz	1.3		µs

① この項目は特性が記載されていますが、100%検査はされていません。

② f_{SCL}>100kHzについてのみ必要とされます。

③ Cbは1つのバス信号線の容量(pF)です。

④ f_{CK}はCPU(システム)クロック周波数です。

⑤ この必要条件は全ての2線直列インターフェース動作に適用します。2線直列バスに接続した他の装置は一般的なf_{SCL}必要条件に従うことだけを必要とします。

29.9. A/D変換器特性

表29-12. A/D変換特性

	シンボル	項目	条件			最小	代表	最大	単位
シングルエンド入力変換		分解能					10		ビット
		絶対精度 (INL,DNL,利得, 変位(オフセット),量子化誤差を含む)	VCC=4V VREF=4V		変換クロック=200kHz		3		LSB
					変換クロック=1MHz		3.5		
				雑音低減動作	変換クロック=200kHz		2.75		
					変換クロック=1MHz		3.5		
		積分非直線性誤差(INL)	VCC=4V VREF=4V 変換クロック=200kHz				1.5		
		微分非直線性誤差(DNL)					0.3		
		変位(オフセット)(ゼロ)誤差					2.5		
		利得誤差					2.5		
		変換クロック周波数				50		1000	kHz
		変換時間	連続変換動作			13		260	μs
	VREF	基準電圧				1.0		AVCC	V
	VIN	入力電圧				GND		VREF	
		入力周波数帯域					38.5		kHz
		A/D変換出力				0		1023	LSB
差動入力変換		分解能			×1		10		ビット
					×10		10		
					×200		7		
		絶対精度 (INL,DNL, 利得,変位(オフセット), 量子化誤差を含む)			×1		19.5		LSB
					×10		20.5		
					×200		8.5		
		積分非直線性誤差(INL)			×1		2.25		
					×10		4.25		
					×200		11.5		
		微分非直線性誤差(DNL)	VCC=5V VREF=4V 変換クロック=200kHz		×1		0.75		
					×10		0.75		
					×200		9.5		
		変位(オフセット)(ゼロ)誤差			×1		1		
					×10		1.25		
					×200		2.5		
		利得誤差			×1		19.5		
					×10		19.5		
					×200		6.5		
		変換クロック周波数				50		1000	kHz
		変換時間				13		260	μs
	VREF	基準電圧				2.0		AVCC-0.5	V
	VIN	入力電圧				0		AVCC	
	VDIFF	差動入力電圧差				-VREF/利得		VREF/利得	
		入力周波数帯域					4		kHz
		A/D変換出力				-511		+511	LSB
共通	AVCC	アナログ供給電圧				VCC-0.3		VCC+0.3	V
	VINT1	内蔵1.1V基準電圧				1.0	1.1	1.2	
	VINT2	内蔵2.56V基準電圧	VCC>2.7V			2.33	2.56	2.79	
	RREF	基準電圧入力インピーダンス					32		kΩ
	RAIN	アナログ入力インピーダンス					100		MΩ

注: 値は指針だけです。

(訳注) 原書の表29-12.と表29-13.は表29-12.として統合しました。

29.10. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図29-7. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (一般的な必要条件)

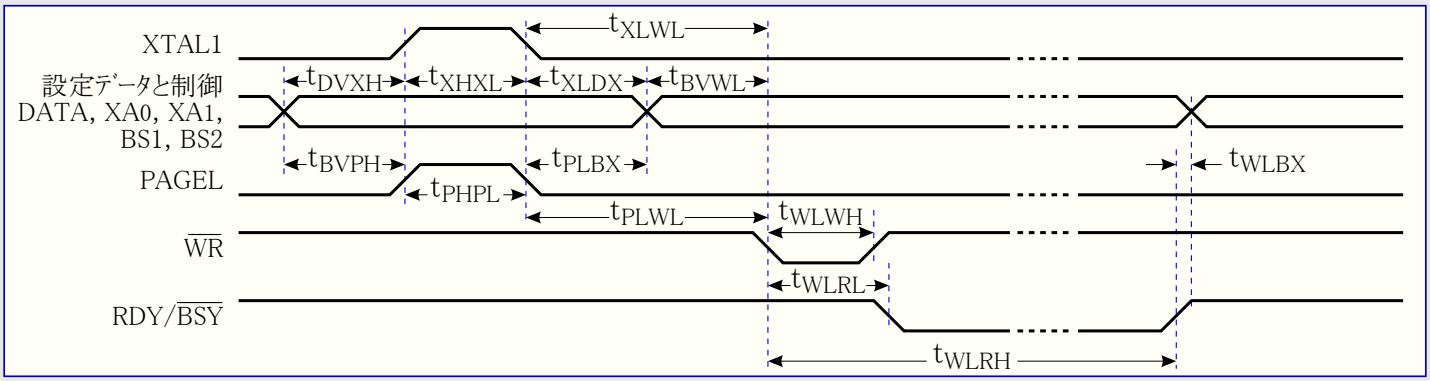
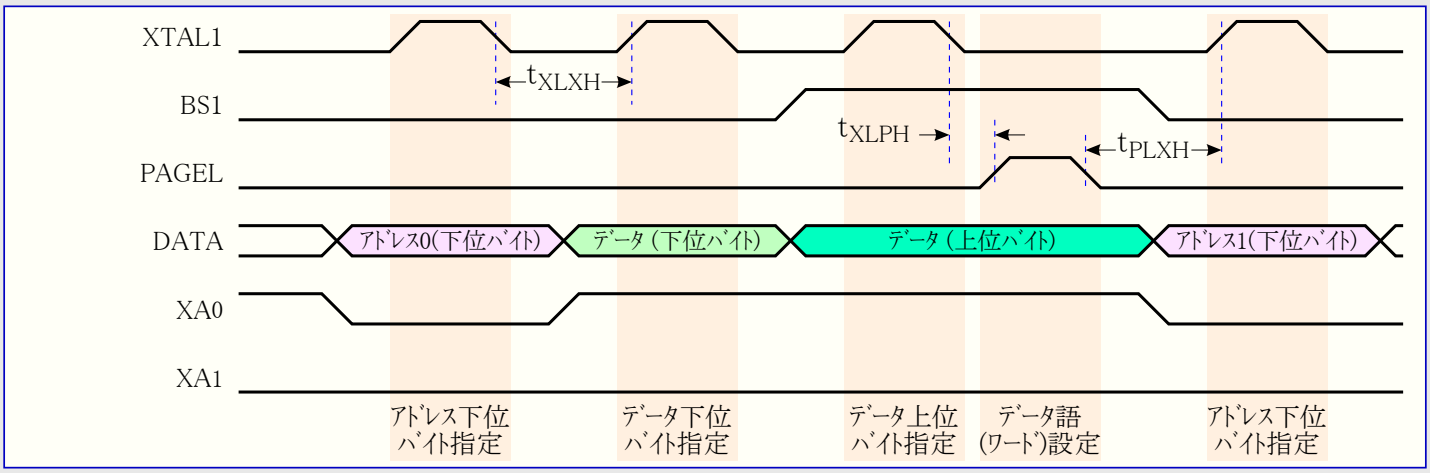
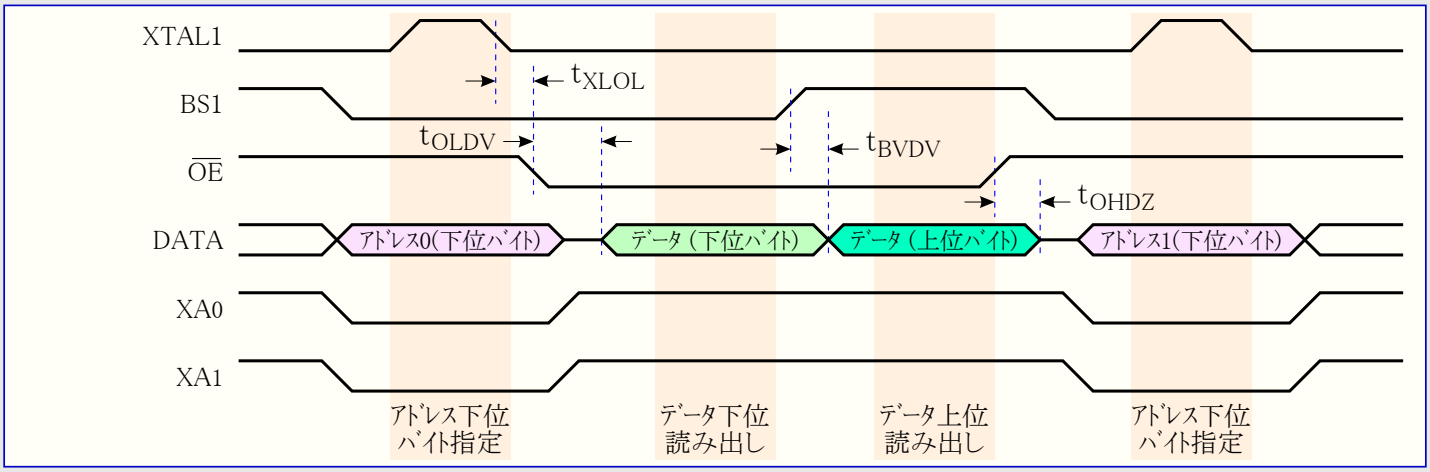


図29-8. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (ﾍﾟｰｼﾞ設定での必要条件)



注: 図29-7.で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、t_{DVXH}、t_{XHXL}、t_{XLDX})は設定操作にも適用されます。

図29-9. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (同一ﾍﾟｰｼﾞ読み出しでの必要条件)



注: 図29-7.で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、t_{DVXH}、t_{XHXL}、t_{XLDX})は読み出し操作にも適用されます。

表29-14. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 (VCC=5V±10%)

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
V_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電圧	11.5		12.5	V
I_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電流			250	µA
t_{DVXH}	XTAL1↑に対するﾃﾞｰﾀと制御の準備時間	67			ns
t_{XLXH}	XTAL1↓から次XTAL1↑までの待機時間	200			
t_{XHXL}	XTAL1 Highﾊﾟﾙｽ幅	150			
t_{XLDX}	XTAL1ﾊﾟﾙｽ↓後のﾃﾞｰﾀと制御の保持時間	67			
t_{XLWL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{WR}$↓待機時間	0			
t_{XLPH}	XTAL1ﾊﾟﾙｽ↓後のPAGELﾊﾟﾙｽ↑待機時間	0			
t_{PLXH}	PAGELﾊﾟﾙｽ↓後のXTAL1ﾊﾟﾙｽ↑待機時間	150			
t_{BVPH}	PAGELﾊﾟﾙｽ↑に対するBS1準備時間	67			
t_{PHPL}	PAGEL Highﾊﾟﾙｽ幅	150			
t_{PLBX}	PAGELﾊﾟﾙｽ↓後のBS1保持時間	67			
t_{WLBX}	RDY/$\overline{BSY}$↑後のBS1,BS2保持時間	67			
t_{PLWL}	PAGELﾊﾟﾙｽ↓後の$\overline{WR}$ﾊﾟﾙｽ↓待機時間	67			
t_{BVWL}	$\overline{WR}$ﾊﾟﾙｽ↓に対するBS1準備時間	67			
t_{WLWH}	$\overline{WR}$ Lowﾊﾟﾙｽ幅	150			
t_{WLRL}	$\overline{WR}$ﾊﾟﾙｽ↓後のRDY/$\overline{BSY}$↓遅延時間	0		1	µs
t_{WLRH}	書き込み時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注1)	3.7		4.5	ms
t_{WLRH_CE}	ﾁｯﾌﾟ消去時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注2)	7.5		9	
t_{XLCL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{OE}$↓待機時間	0			ns
t_{BVDV}	BS1有効からのDATA遅延時間	0		250	
t_{OLDV}	$\overline{OE}$↓後のDATA出力遅延時間			250	
t_{OHDZ}	$\overline{OE}$↑後のDATA Hi-Z遅延時間			250	

注1: ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ書き込み指令に対して有効です。

注2: ﾁｯﾌﾟ消去指令に対して有効です。

30. 代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

活動動作とアイドル動作の全ての消費電流測定は電力削減レジスタ0(PRR0)で全ビットが設定(1)で行なわれ、従って関係周辺機能部はOFFにされます。アナログ比較器もこれらの測定中に禁止されます。パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) C_L(負荷容量)×VCC(動作電圧)×f(I/Oピンの平均切り替え周波数) として推測できます。

デバイスは検査範囲よりも高い周波数特性を示します。デバイスは注文番号が示す周波数よりも高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のパワーダウン動作での消費電流とウォッチドッグタイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマによって引き込んだ(消費した)差電流を表します。

30.1. 活動動作消費電流

図30-1. 活動動作消費電流 対 周波数 (100kHz～1MHz)

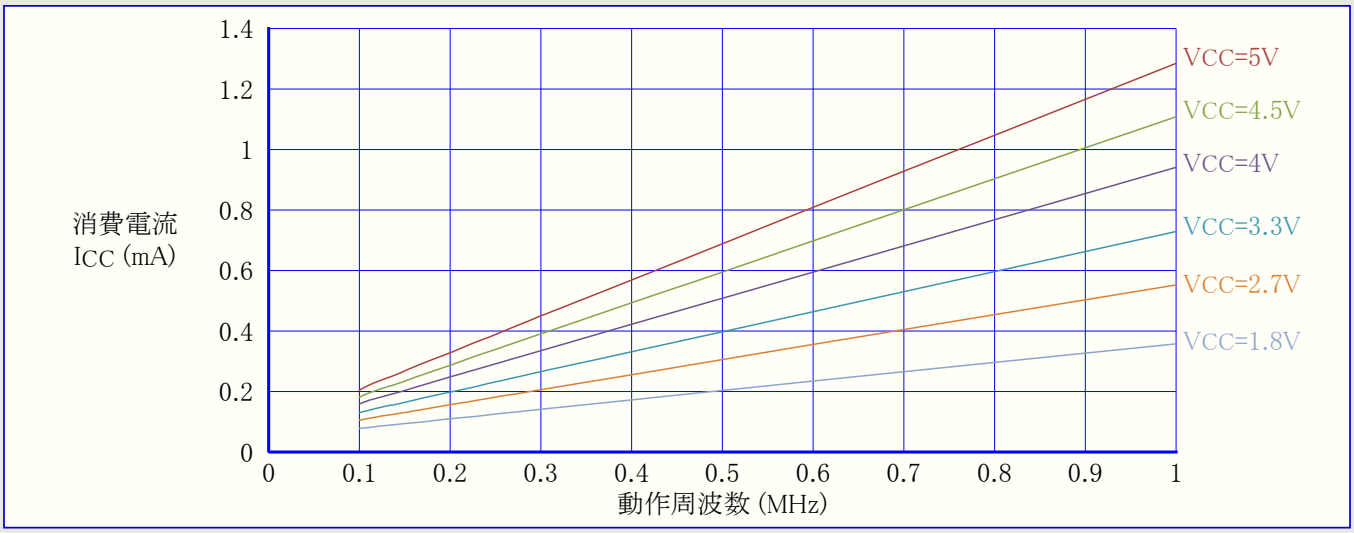
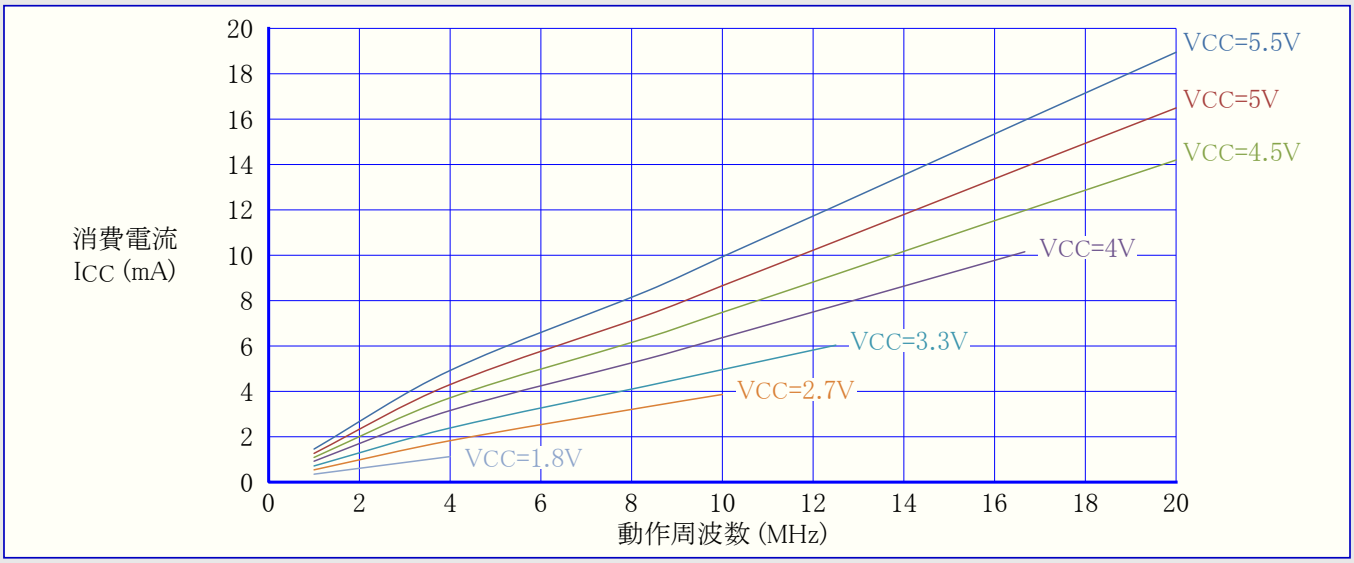


図30-2. 活動動作消費電流 対 周波数 (1MHz～20MHz)



(訳注) 原書の図30-1.は誤って図30-6.が使われています。本書では正しい図に差し替えました。

図30-3. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

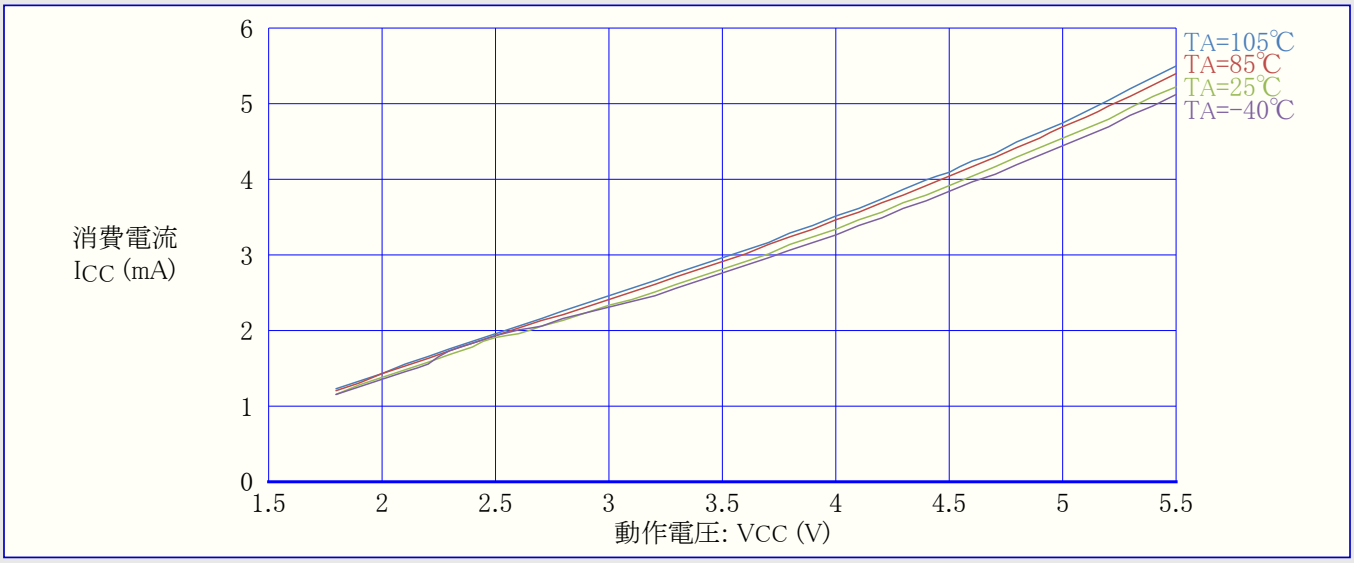


図30-4. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=ﾌﾟﾛｸﾞﾗﾑ(0),1MHz)

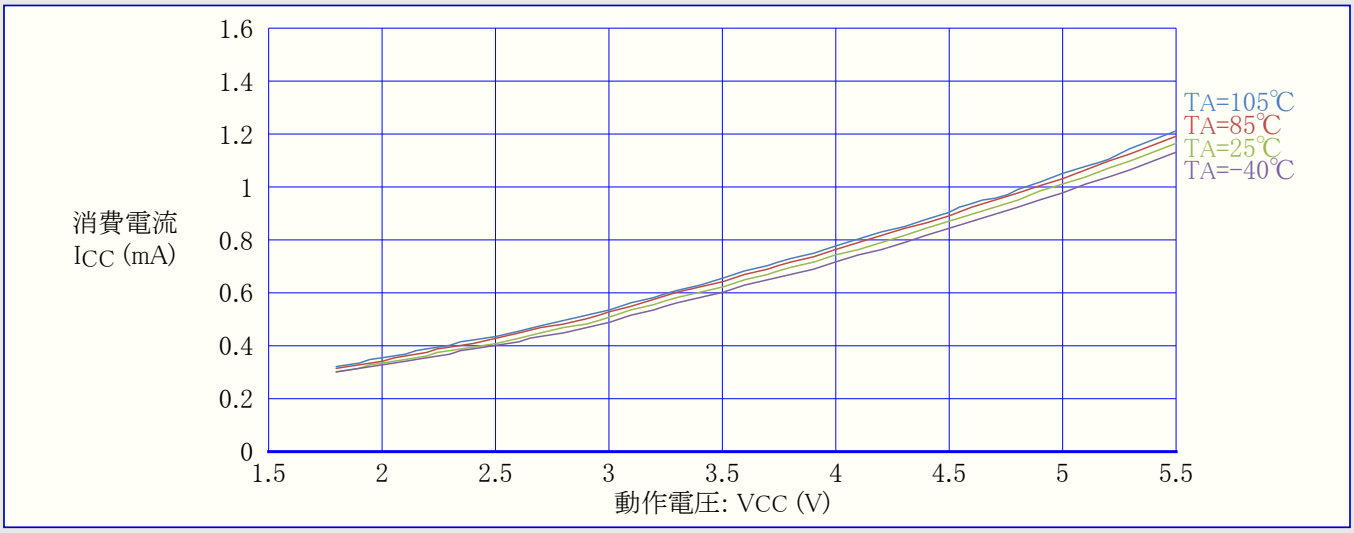
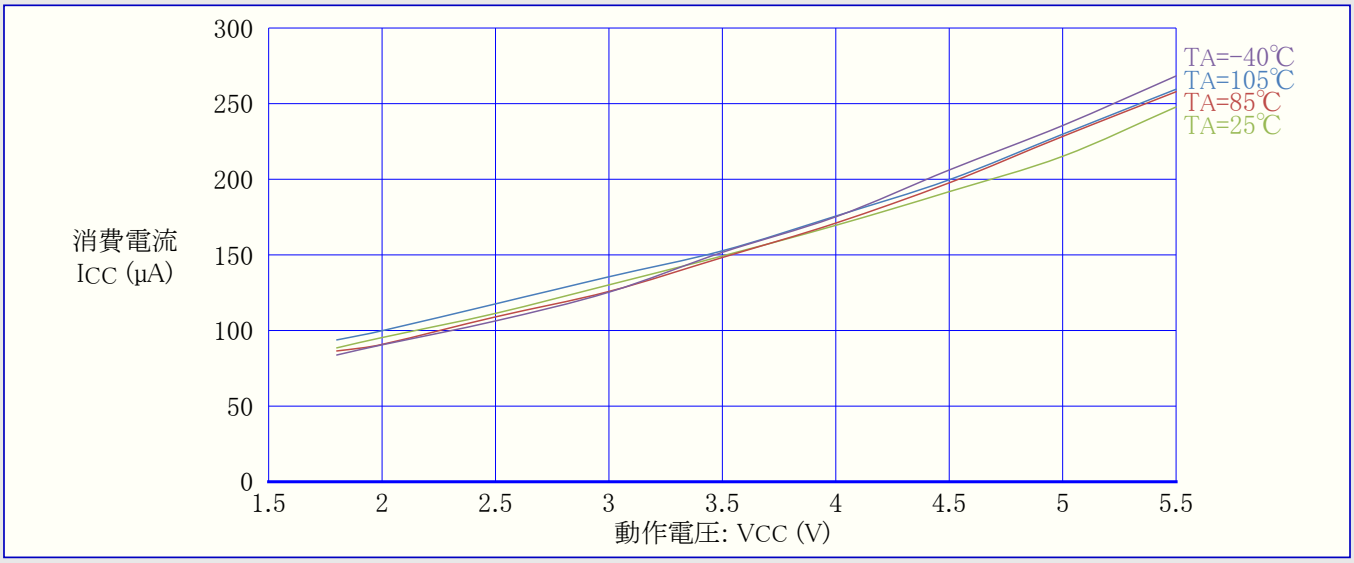


図30-5. 活動動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



(訳注) 原書の図30-5.は誤って他の特性図が使われているため、参考用にATmega324Pの同図(図30-5.)に差し替えました。

30.2. ｱｲﾄﾞﾙ動作消費電流

図30-6. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (100kHz～1MHz)

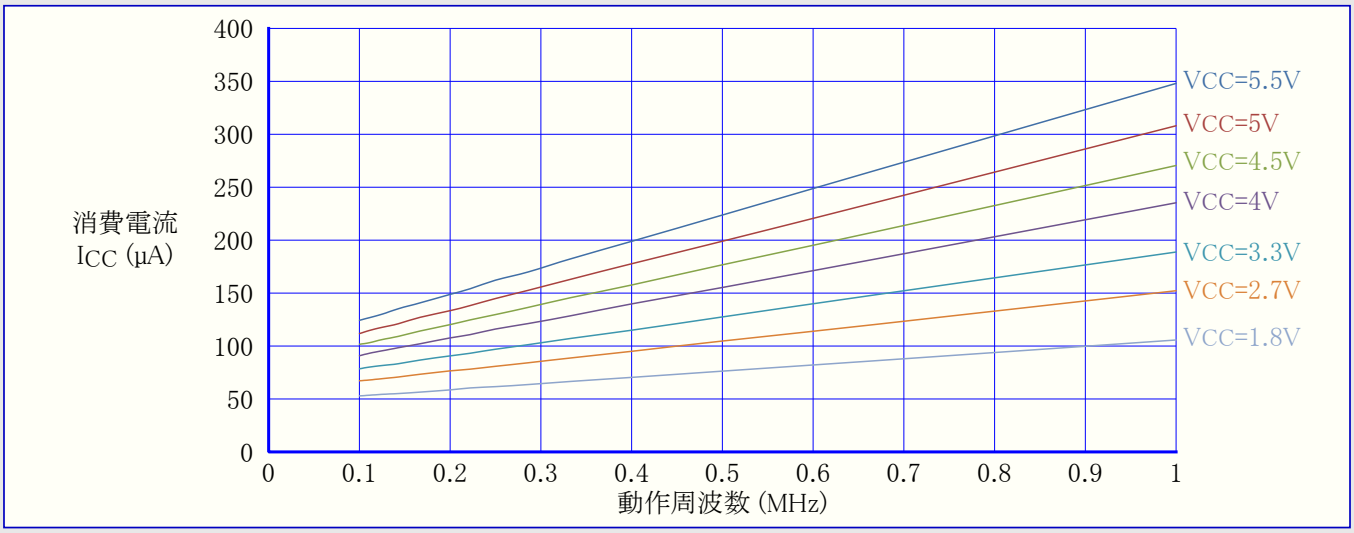


図30-7. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (1MHz～20MHz)

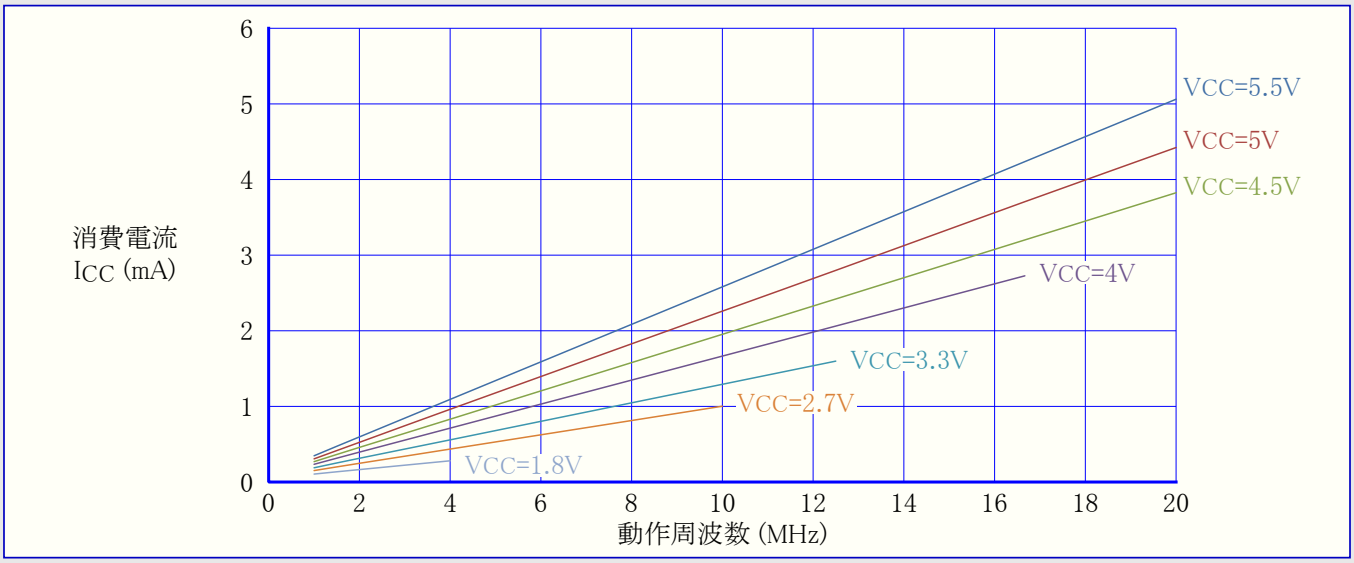


図30-8. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

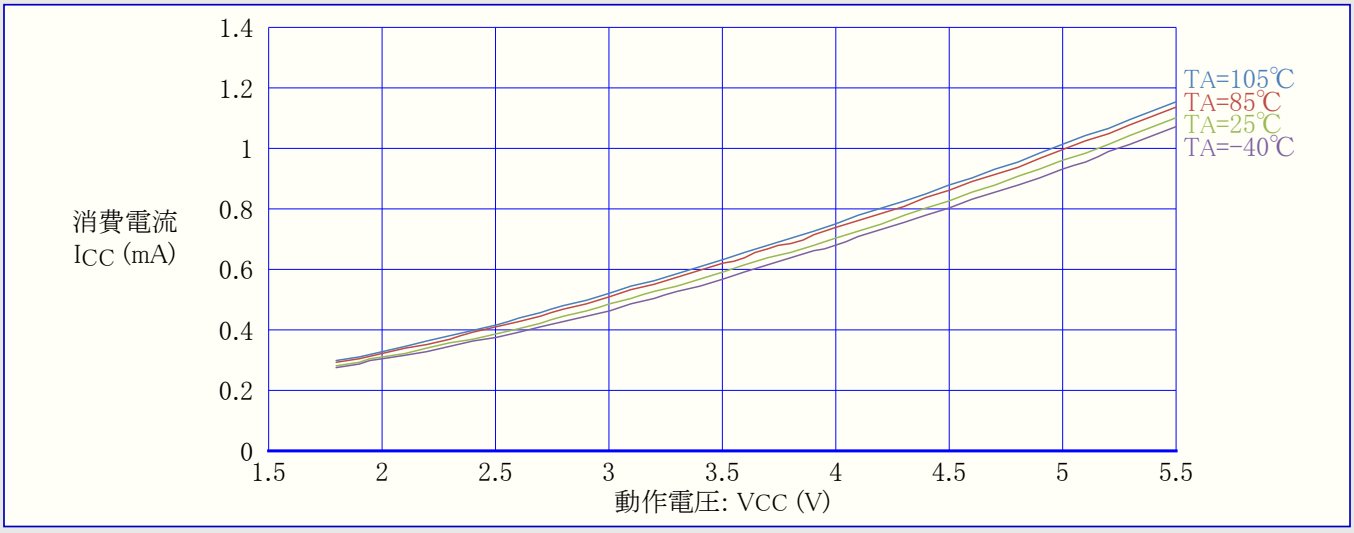


図30-9. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=ﾌﾟﾛｸﾞﾗﾑ(0),1MHz)

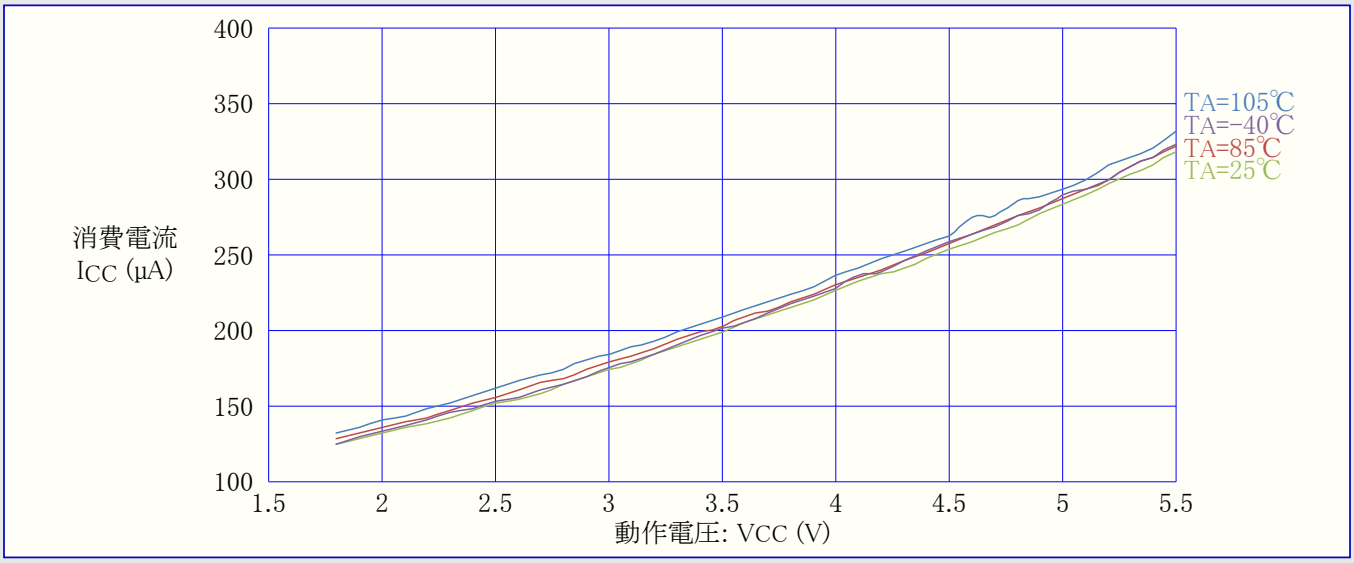
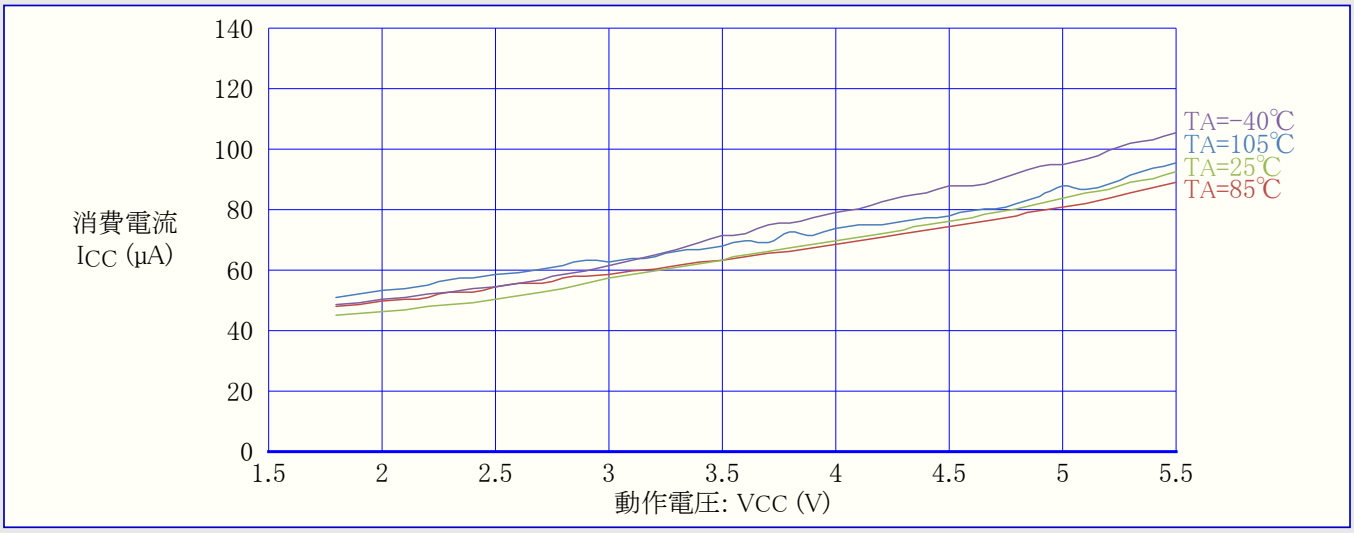


図30-10. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



30.3. 周辺機能部供給電流

以下の表と式は活動動作とｱｲﾄﾞﾙ動作で個別周辺機能部対する追加消費電流の計算に使えます。周辺機能部の許可や禁止は電力削減ﾚｼﾞｽﾀによって制御されます。詳細については「PRR0 – 電力削減ﾚｼﾞｽﾀ0」をご覧ください。

表30-1. 各部追加消費電流 (絶対値:µA)

PRR内ﾋﾞｯﾄ	1MHz,2V	4MHz,3V	8MHz,5V
PRUSART1	6.0	38.5	150.0
PRUSART0	7.9	50.3	197.0
PRTWI	16.9	116.2	489.3
PRTIM2	14.4	95.8	393.2
PRTIM1	9.0	57.3	234.8
PRTIM0	5.1	33.3	132.5
PRADC	18.1	86.3	335.3
PRSPI	11.1	70.5	285.0

表30-2. 各部追加消費電流 (相対値:%)

PRR内ﾋﾞｯﾄ	活動動作(図30-1,図30-2)	ｱｲﾄﾞﾙ動作(図30-6,図30-7)
PRUSART1	1.8	6.9
PRUSART0	2.4	9.1
PRTWI	5.4	21.2
PRTIM2	4.6	17.4
PRTIM1	2.7	10.5
PRTIM0	1.6	6.0
PRADC	4.5	16.8
PRSPI	3.3	12.9

表30-1.で一覧される以外のVCCと周波数設定については表30-2.からの数値を元に代表的な消費電流を計算できます。

例: VCC=2V, f=1MHzでﾀｲﾏ/ｶｳﾝﾀ1,A/D変換器,SPIが許可されたｱｲﾄﾞﾙ動作での予測される消費電流を計算します。表30-2.のｱｲﾄﾞﾙ動作列からﾀｲﾏ/ｶｳﾝﾀ1が10.5%、A/D変換器が16.8%、SPIが12.9%追加する必要を知ります。図30-6.を読み、VCC=2V, f=1MHzでのｱｲﾄﾞﾙ動作消費電流が約0.115mAであるのを得ます。ﾀｲﾏ/ｶｳﾝﾀ1, A/D変換器, SPI許可のｱｲﾄﾞﾙ動作での総消費電流を得ます。

総消費電流＝0.115mA×(1+0.105+0.168+0.129)≒0.161mA

30.4. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流

図30-11. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

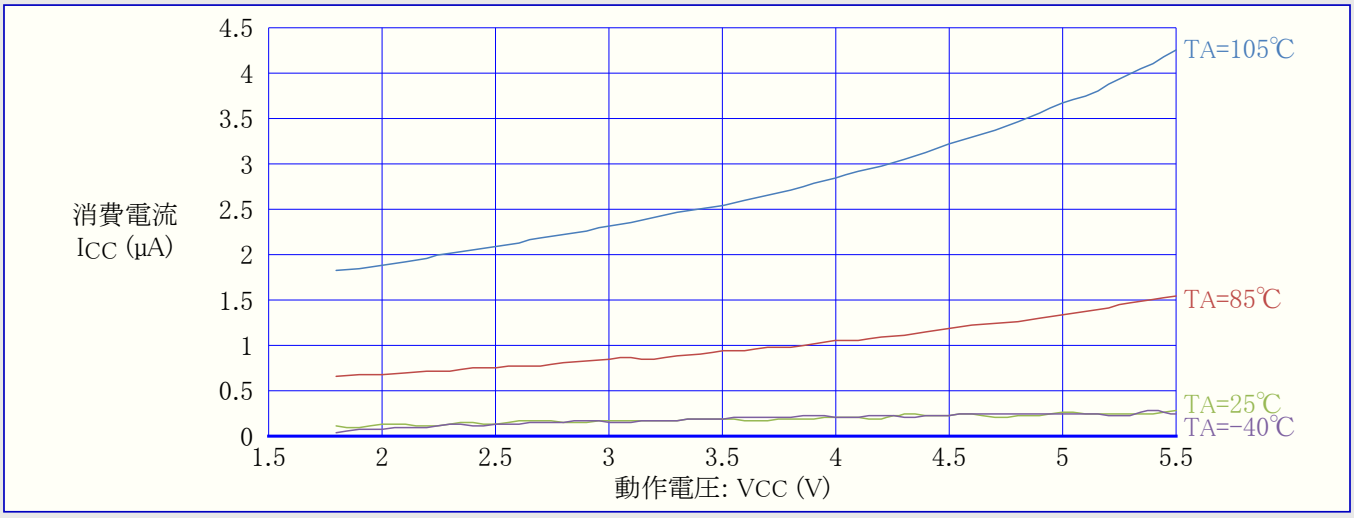
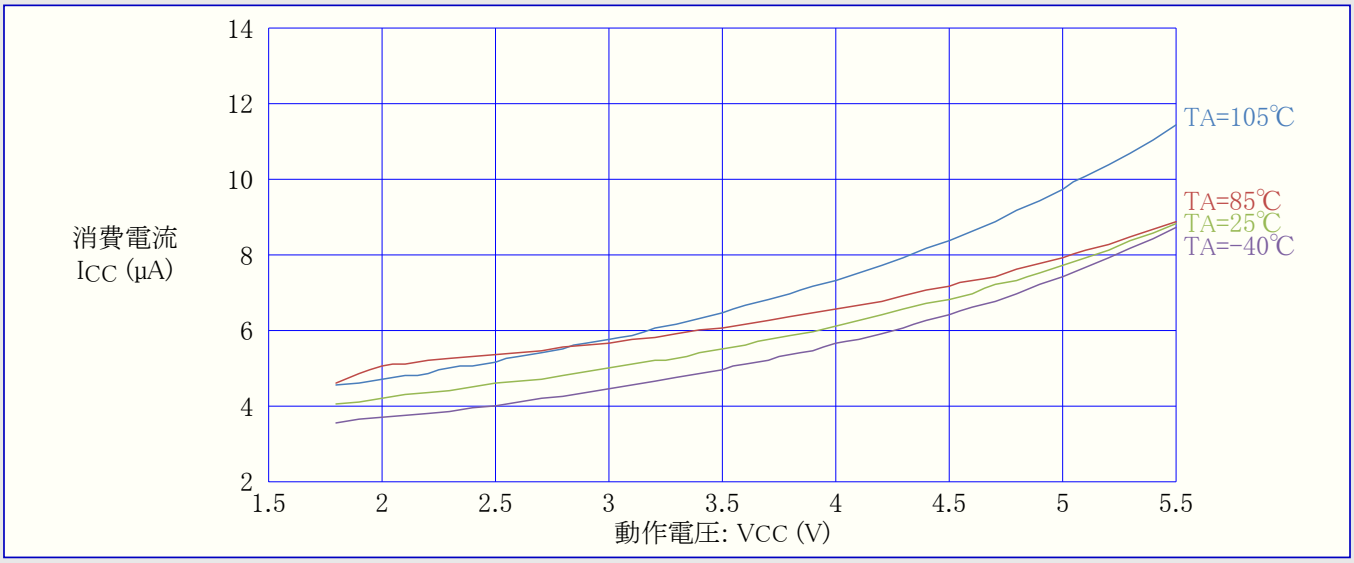
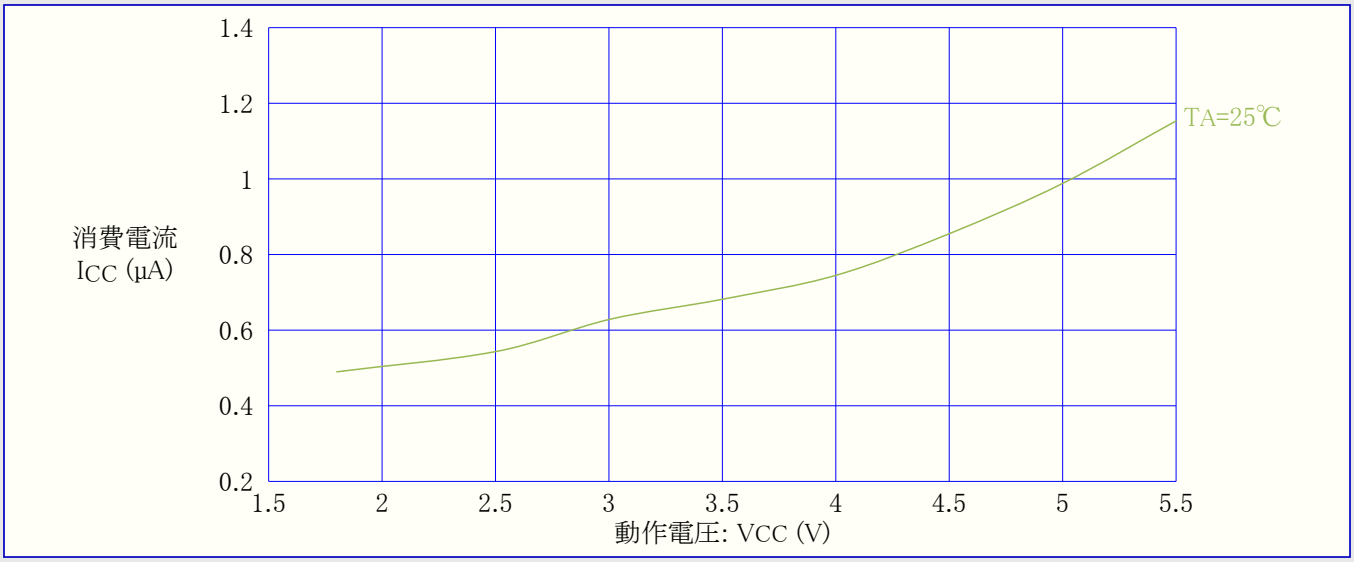


図30-12. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ許可)



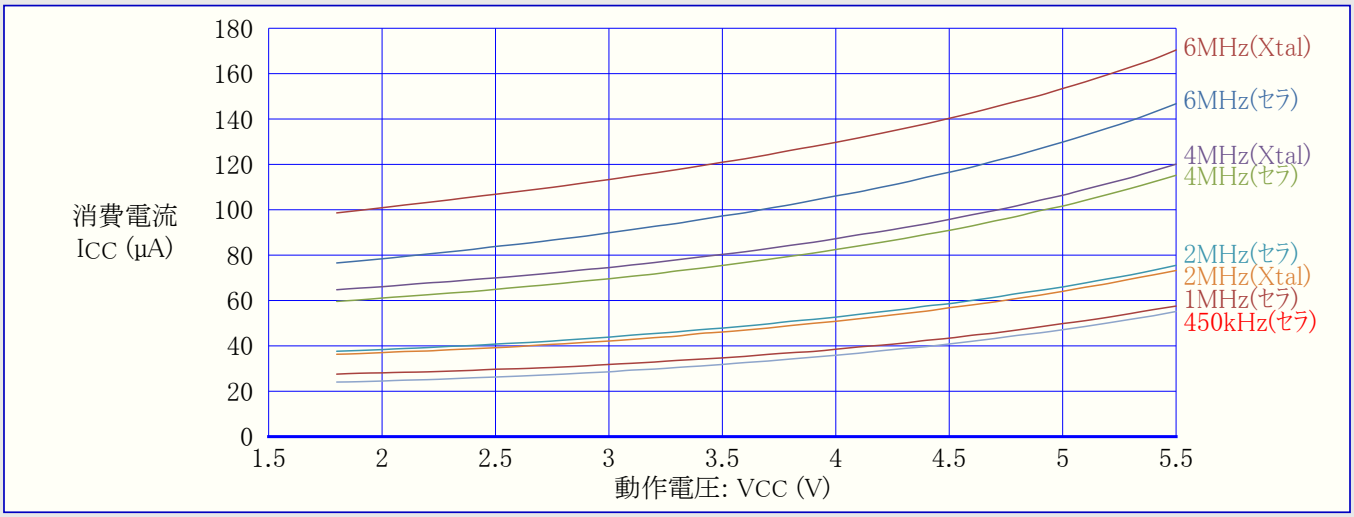
30.5. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流

図30-13. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止,32kHzｸﾘｽﾀﾙ用発振器走行)



30.6. ｽﾀﾝﾊﾞｲ動作消費電流

図30-14. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)



注: ｾﾗはｾﾗﾐｯｸ振動子

30.7. ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ

図30-15. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=1.8V)

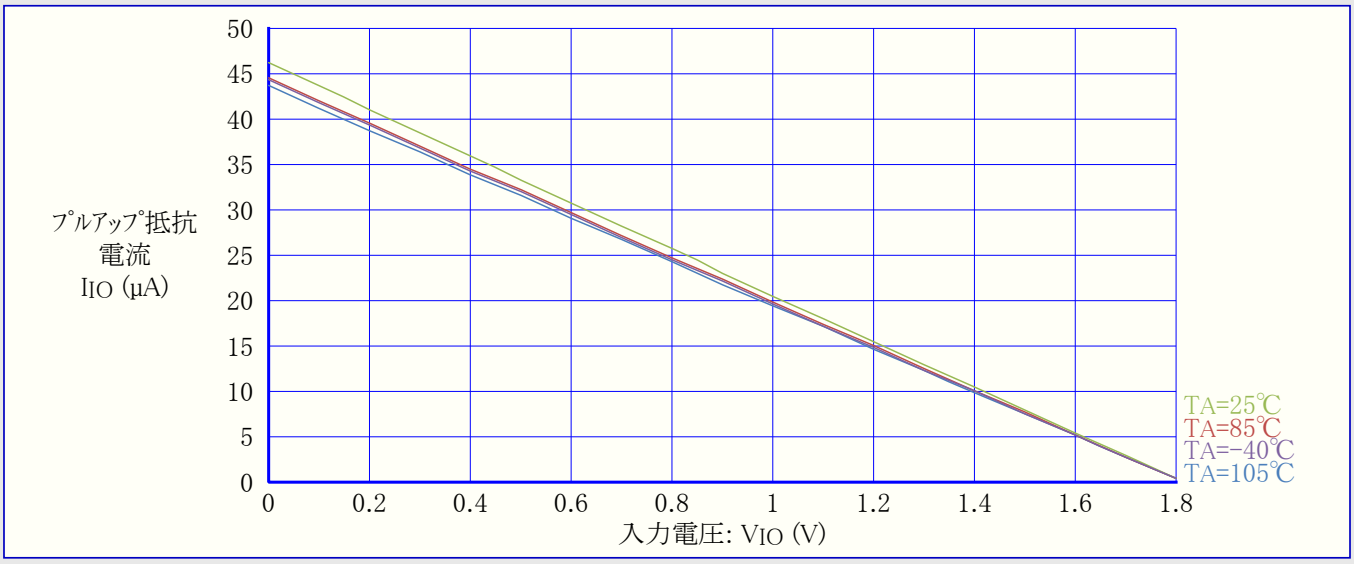


図30-16. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=2.7V)

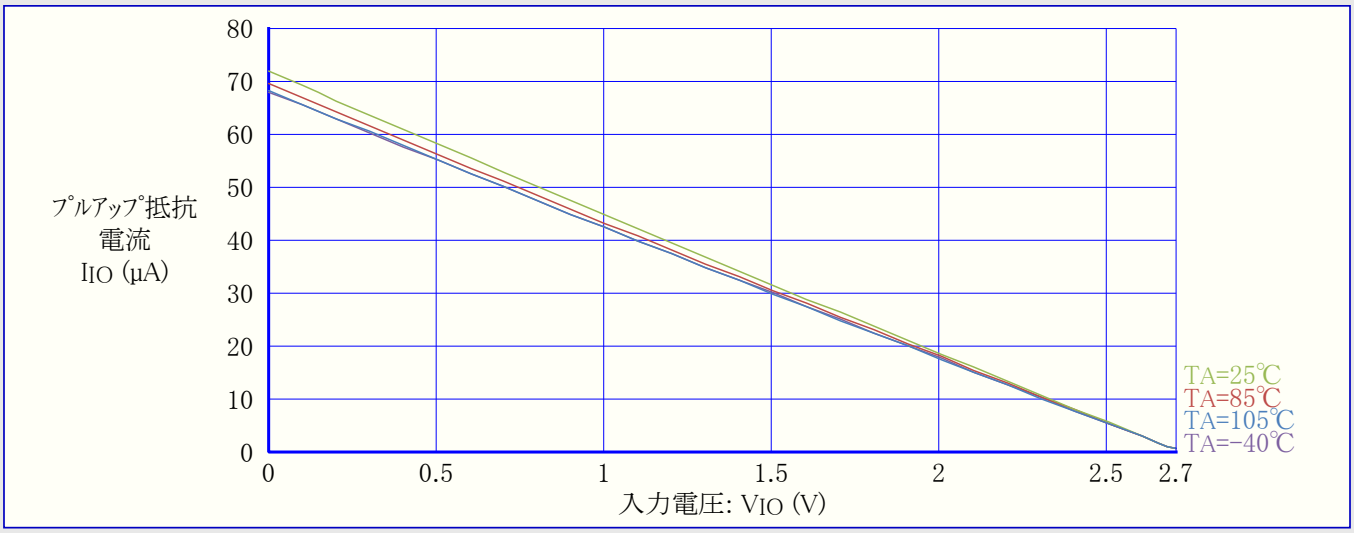


図30-17. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=5V)

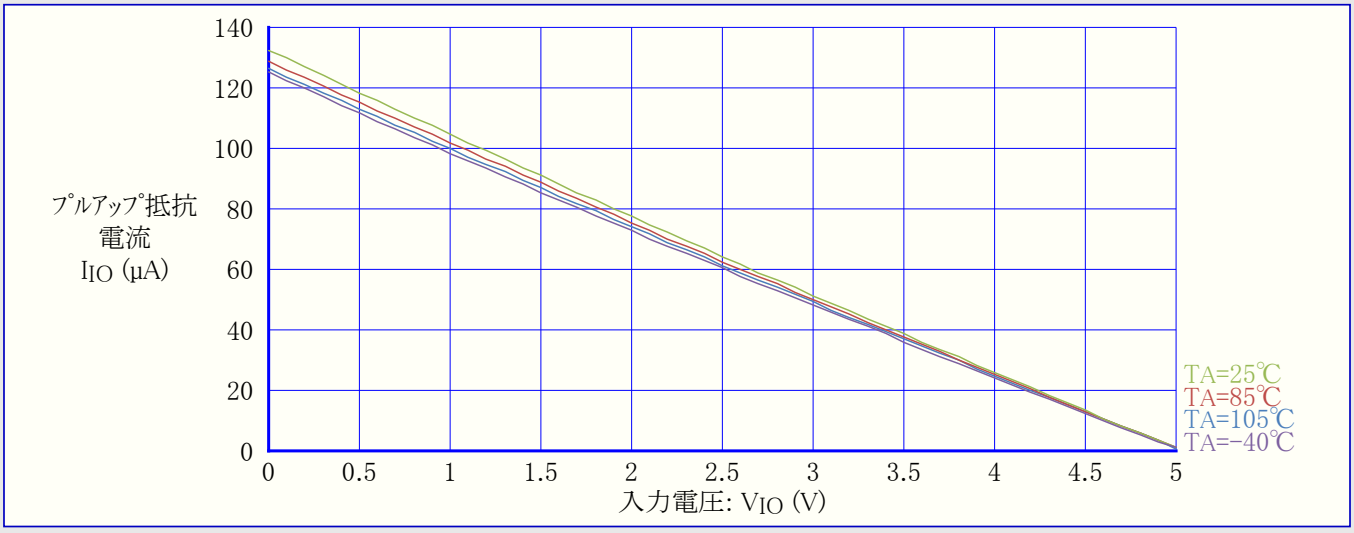


図30-18. RESETﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=1.8V)

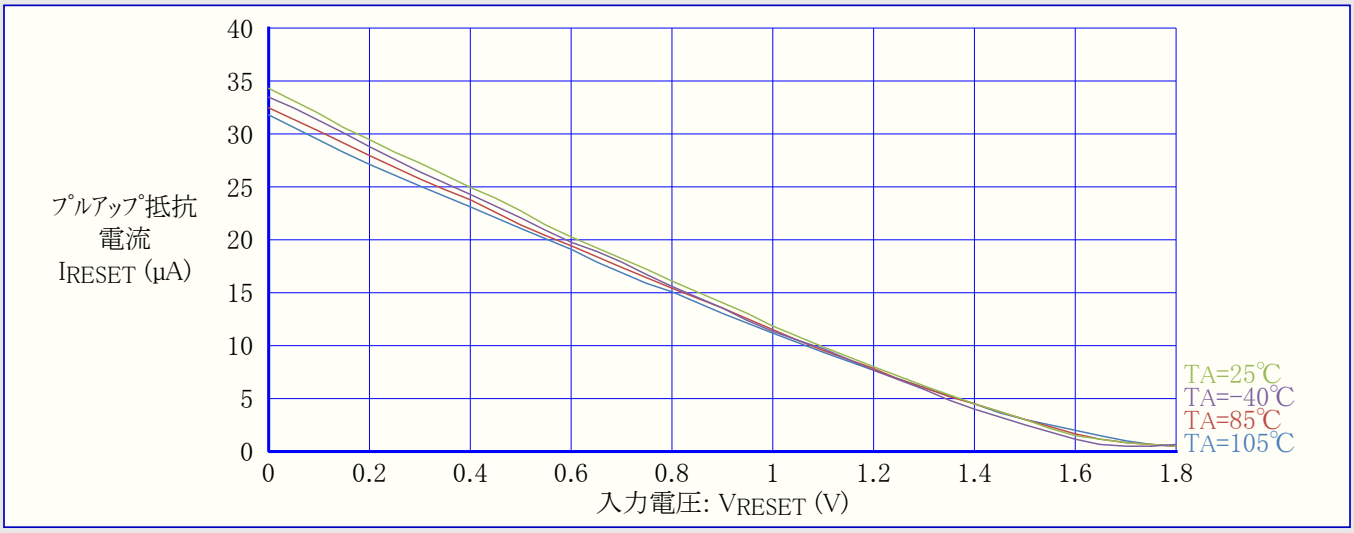


図30-19. RESETﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=2.7V)

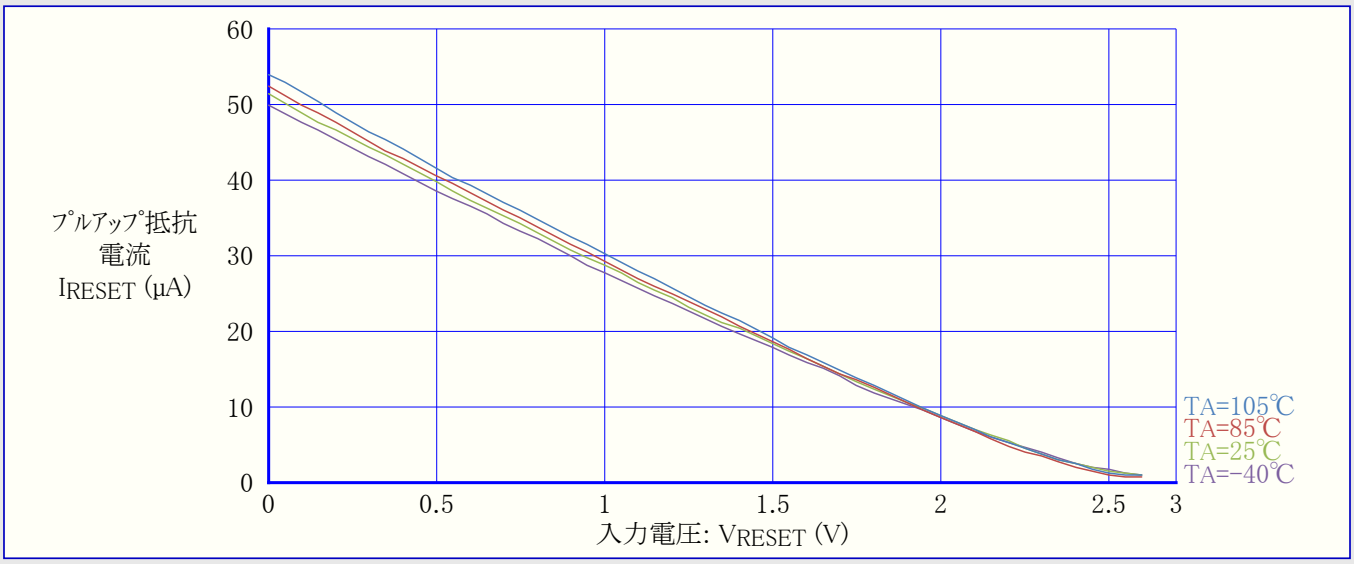
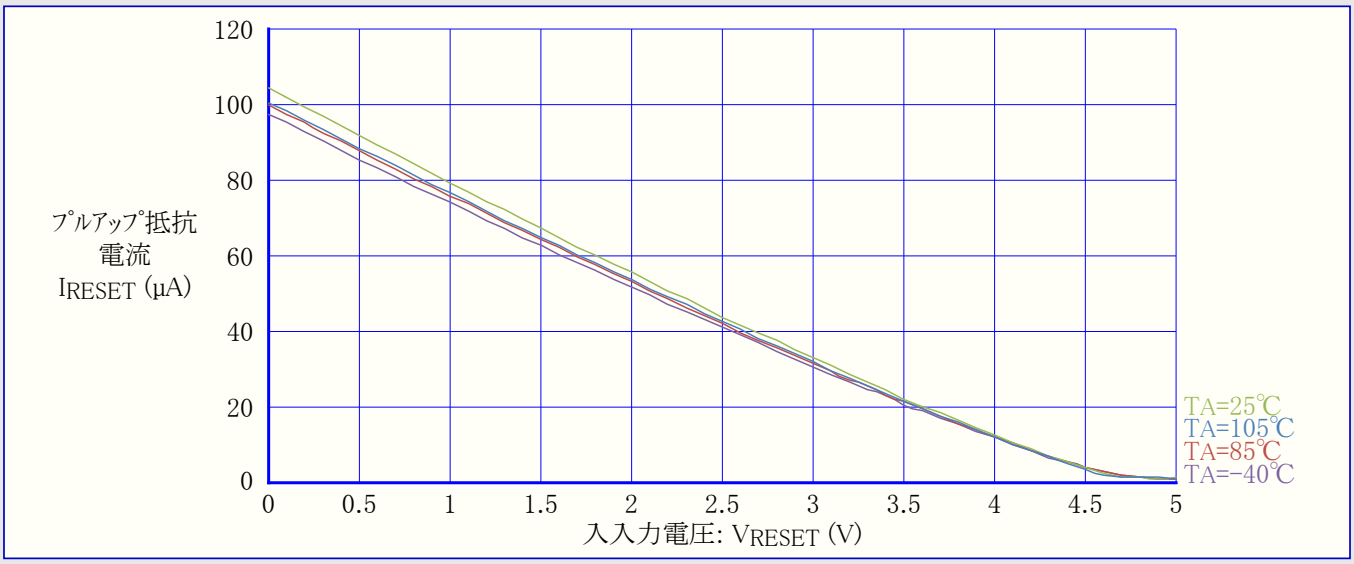


図30-20. RESETﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=5V)



30.8. ピン駆動能力

図30-21. I/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

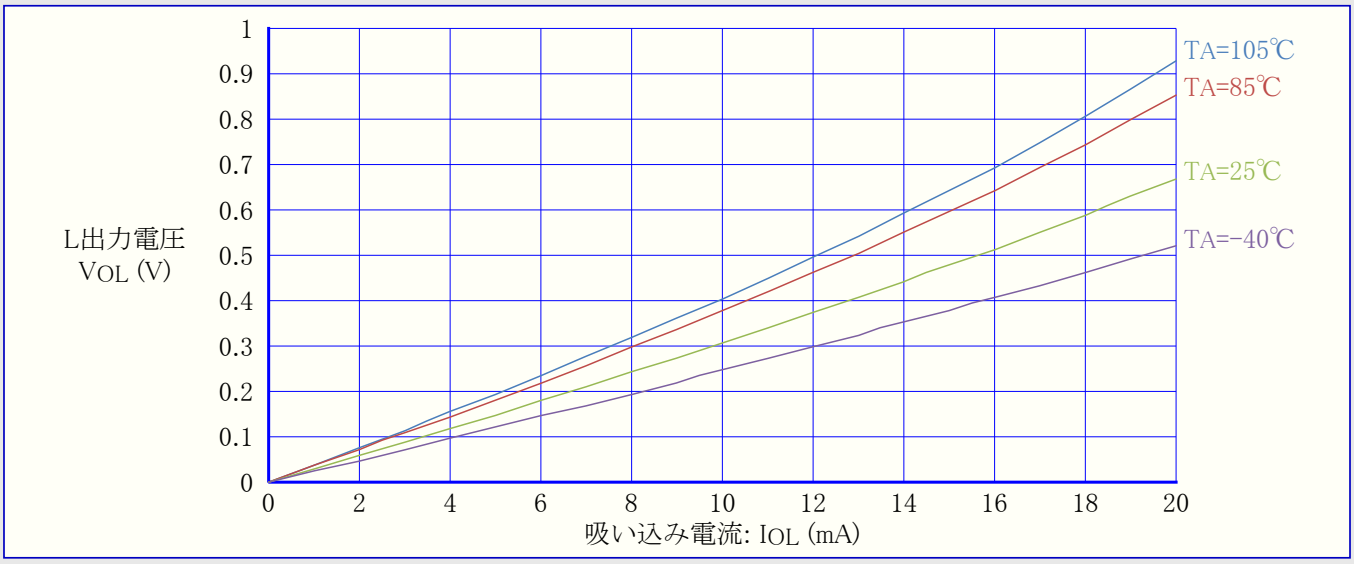


図30-22. I/Oピン出力電圧 対 吸い込み電流 (VCC=5V)

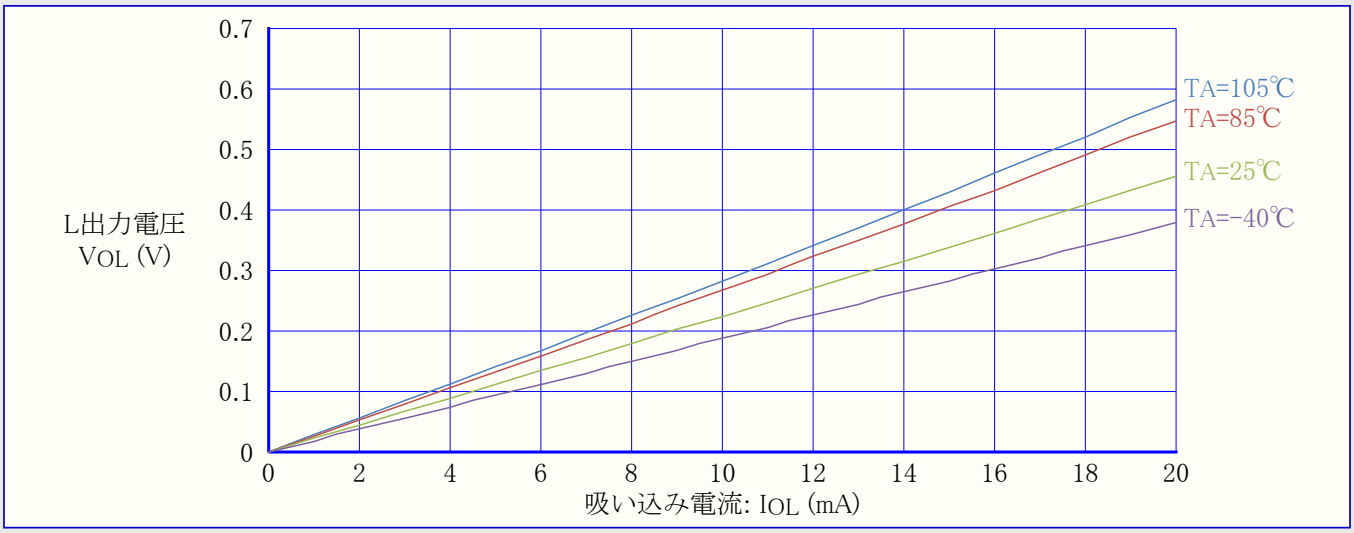


図30-23. I/Oピン出力電圧 対 吐き出し電流 (VCC=3V)

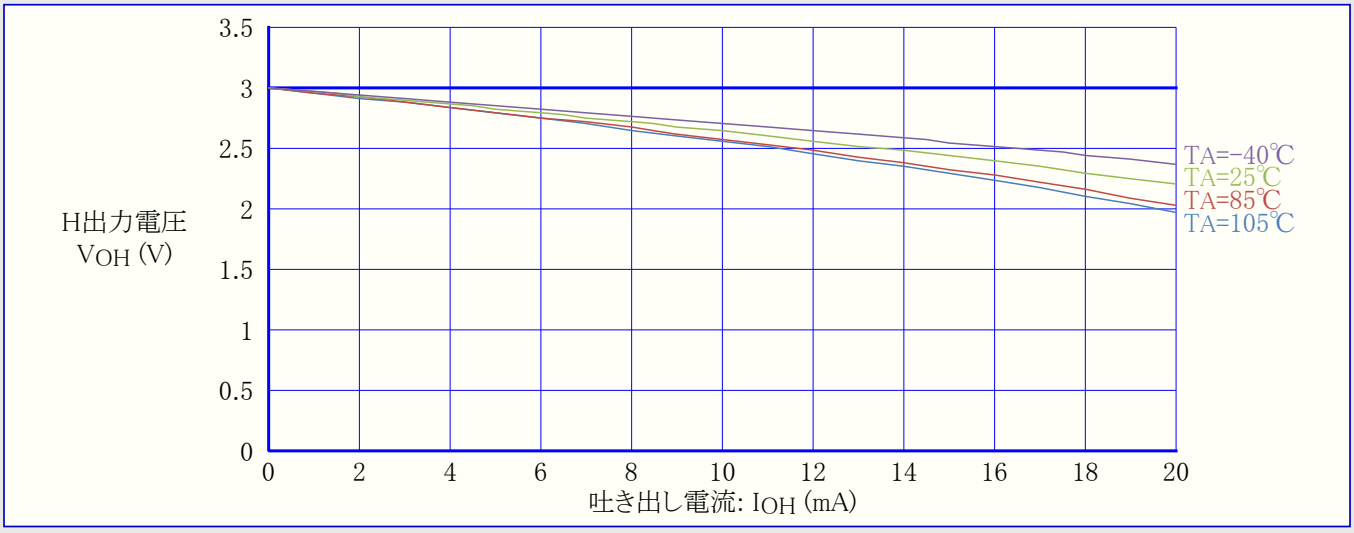
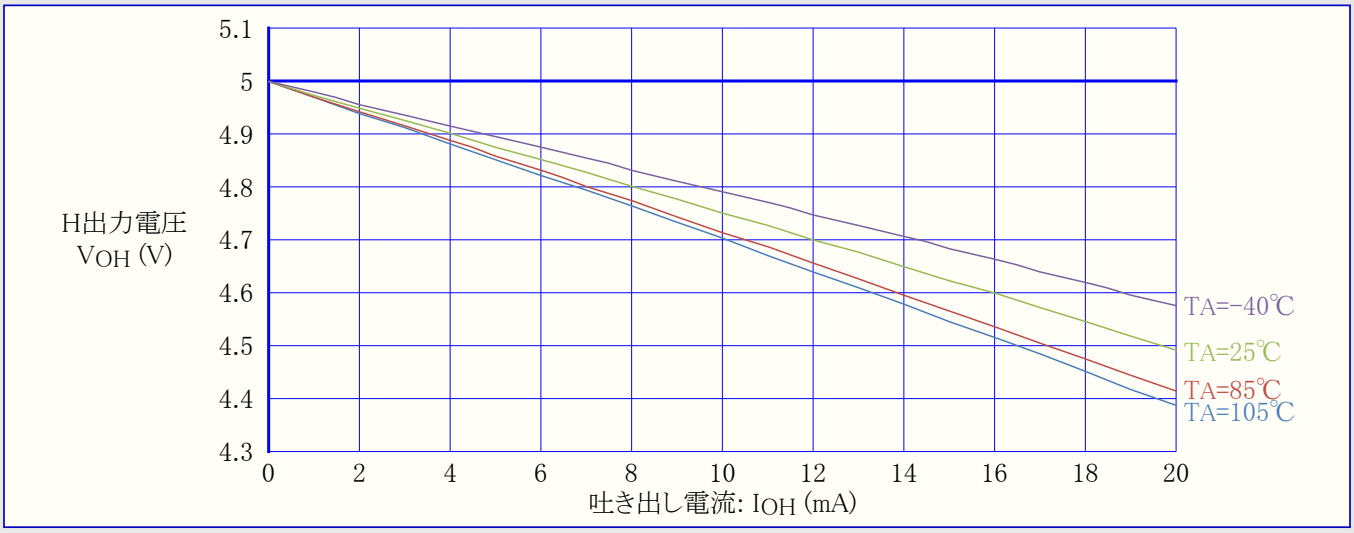


図30-24. I/Oピン出力電圧 対吐き出し電流 (VCC=5V)



30.9. ピン 閾値とヒステリシス

図30-25. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)

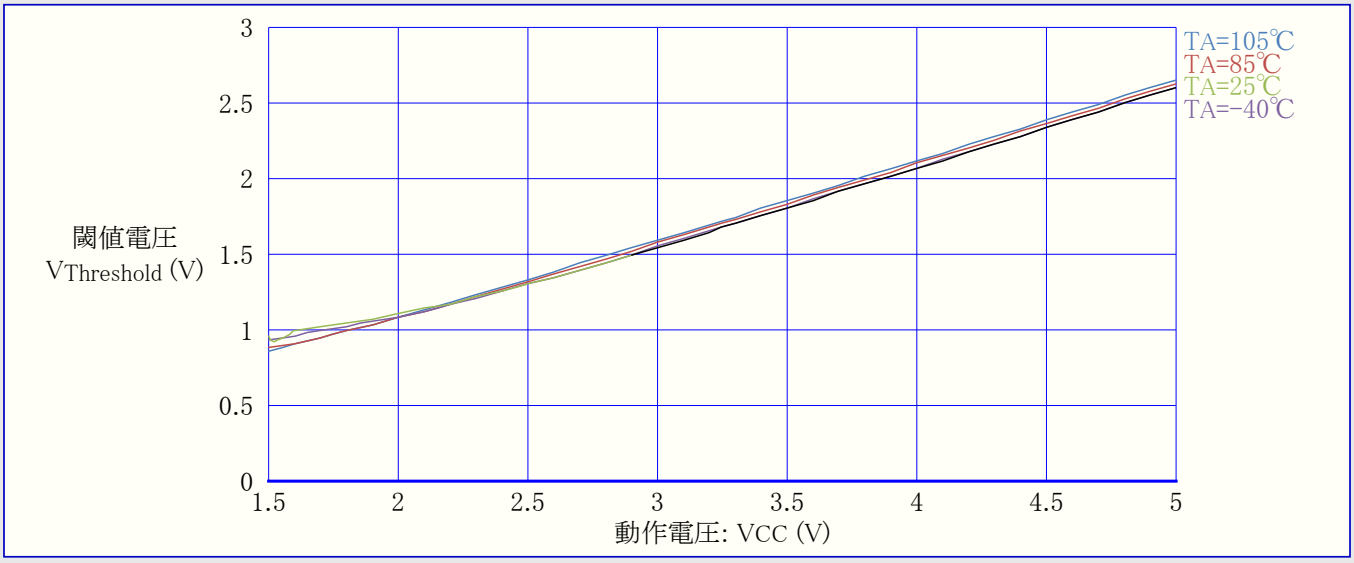


図30-26. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)

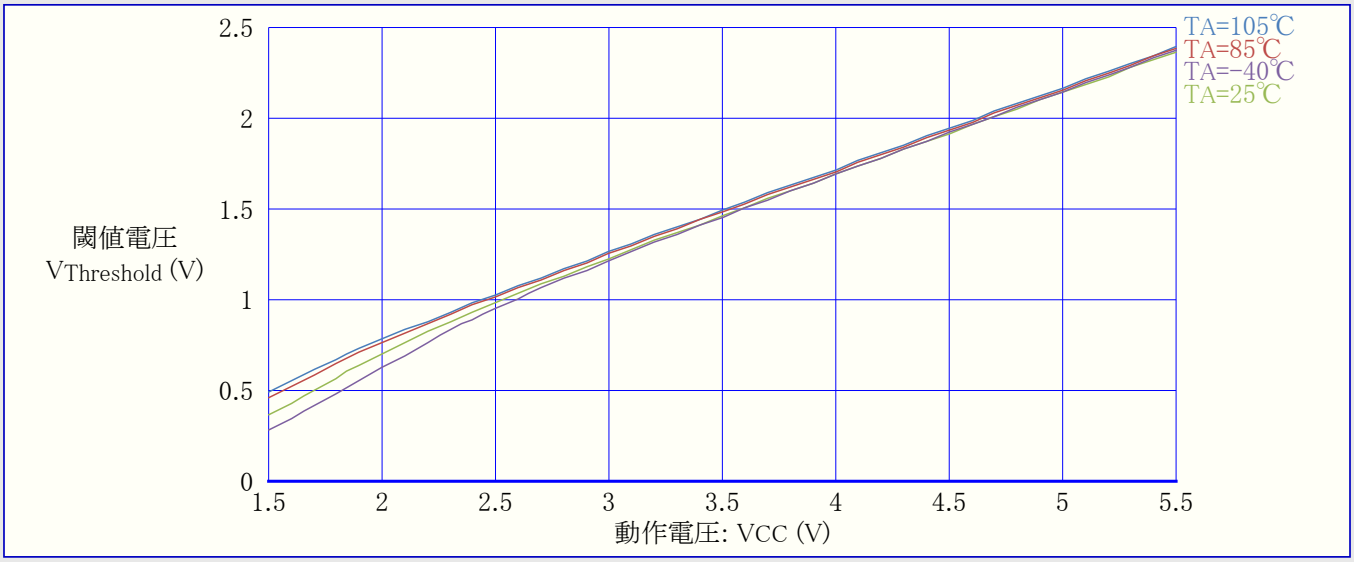


図30-27. I/Oピン入力ヒステリシス電圧 対 動作電圧

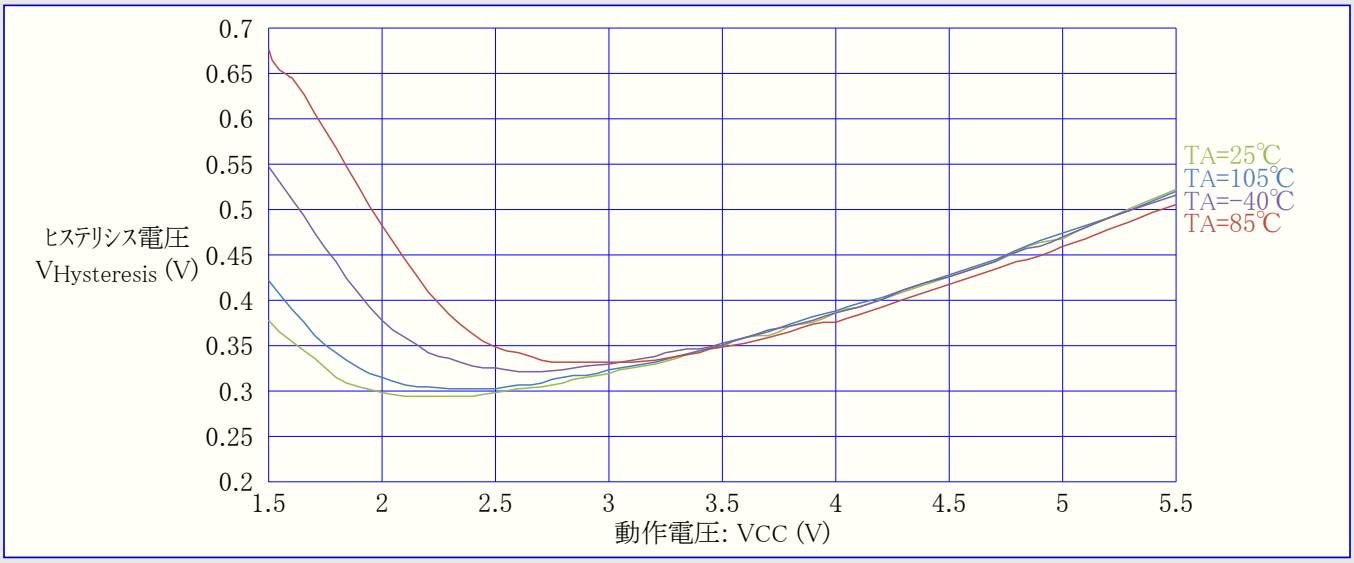


図30-28. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)

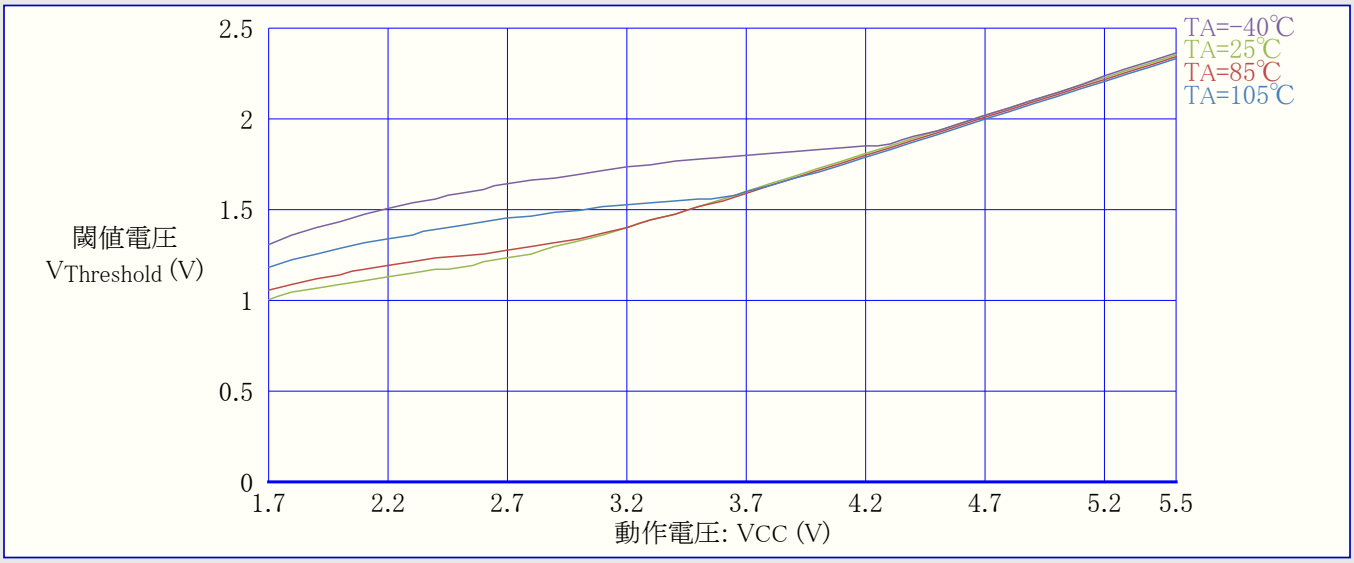


図30-29. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)

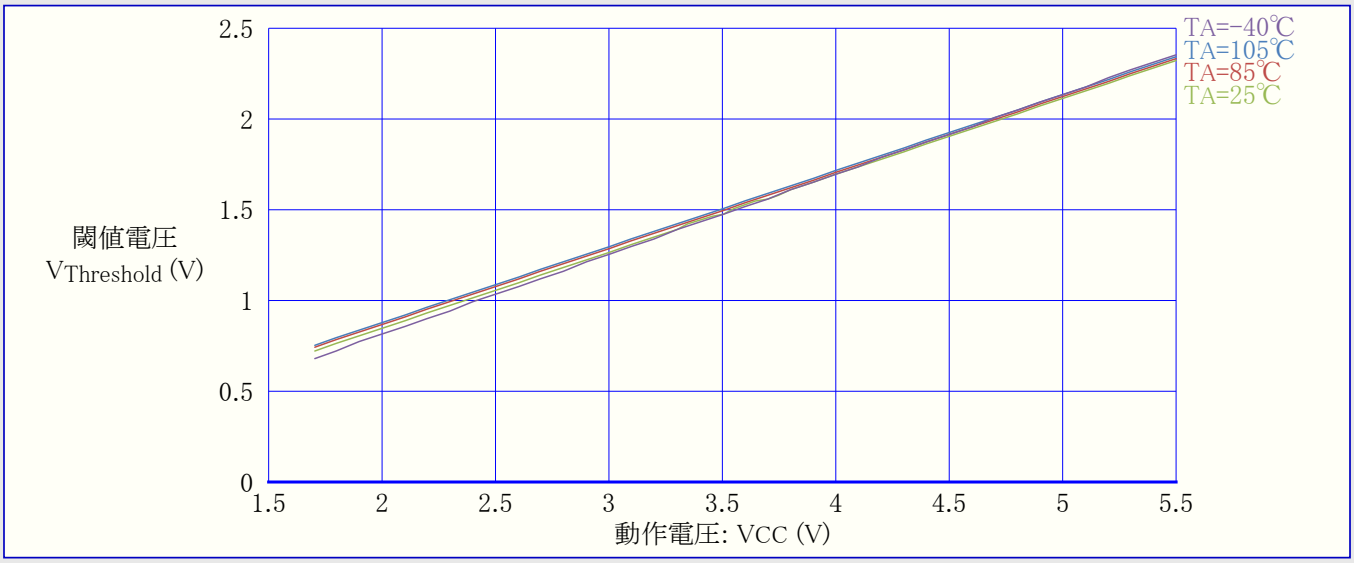
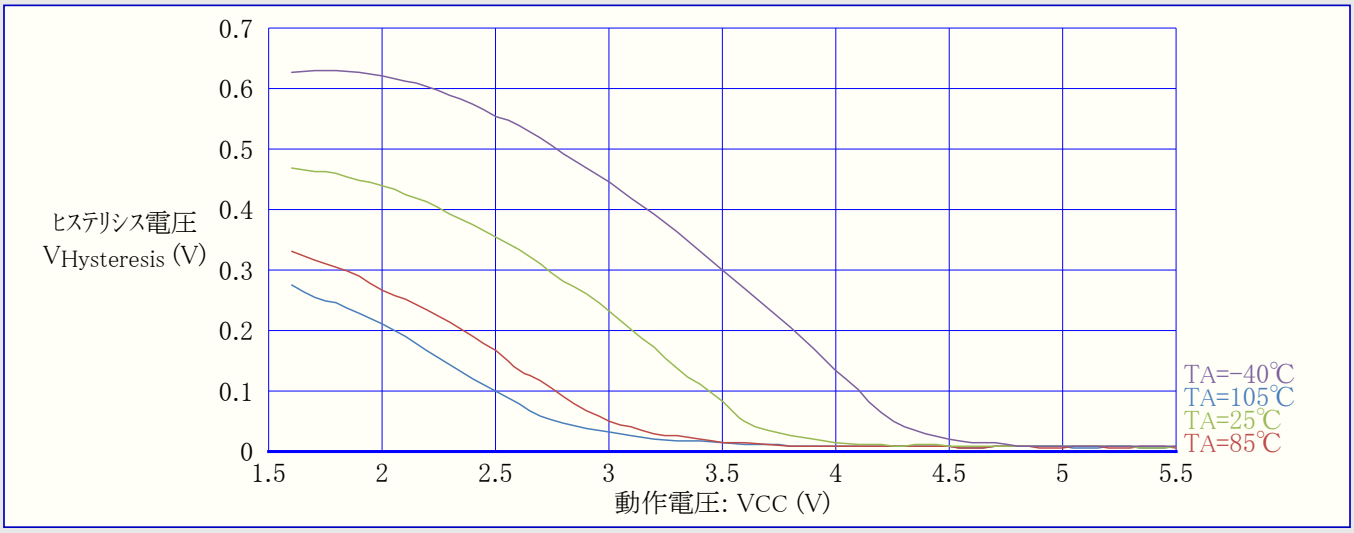


図30-30. RESET入力ﾋｽﾃﾘｼｽ電圧 対 動作電圧



30.10. 低電圧検出器(BOD)閾値

図30-31. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧4.3V)

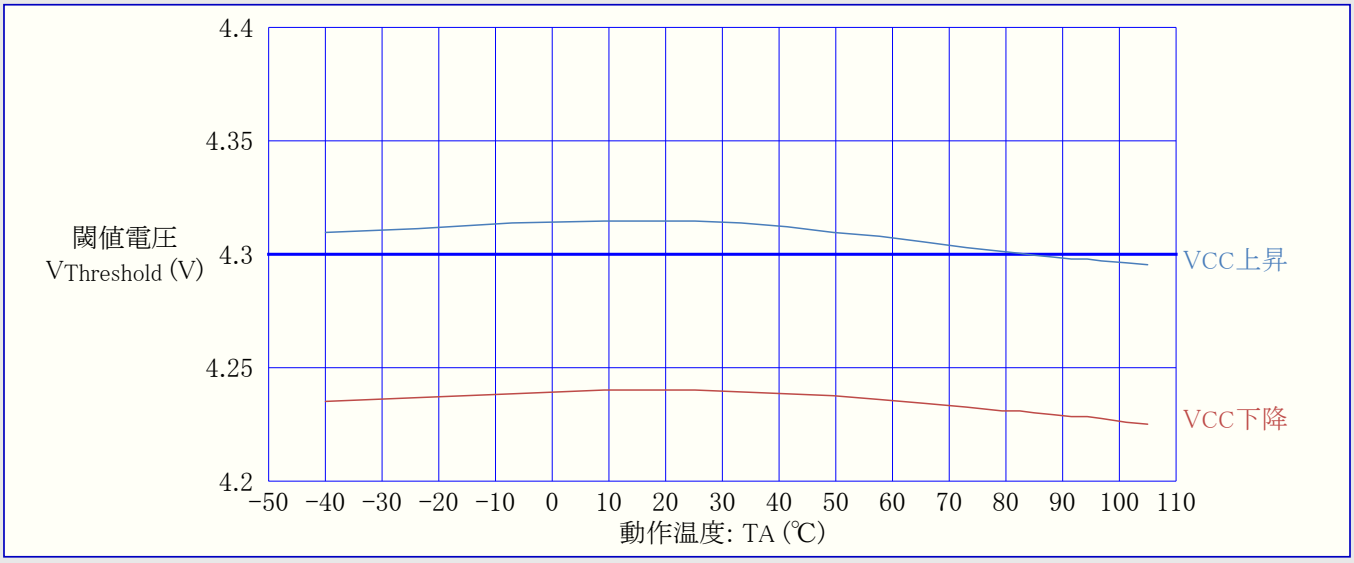


図30-32. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧2.7V)

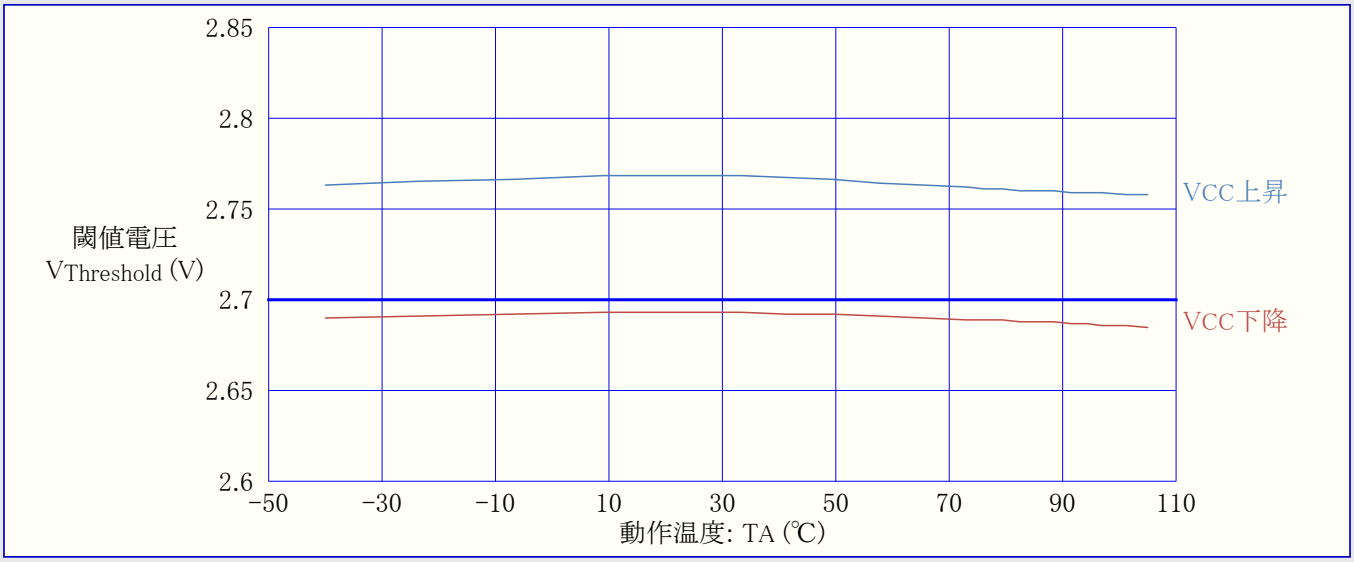
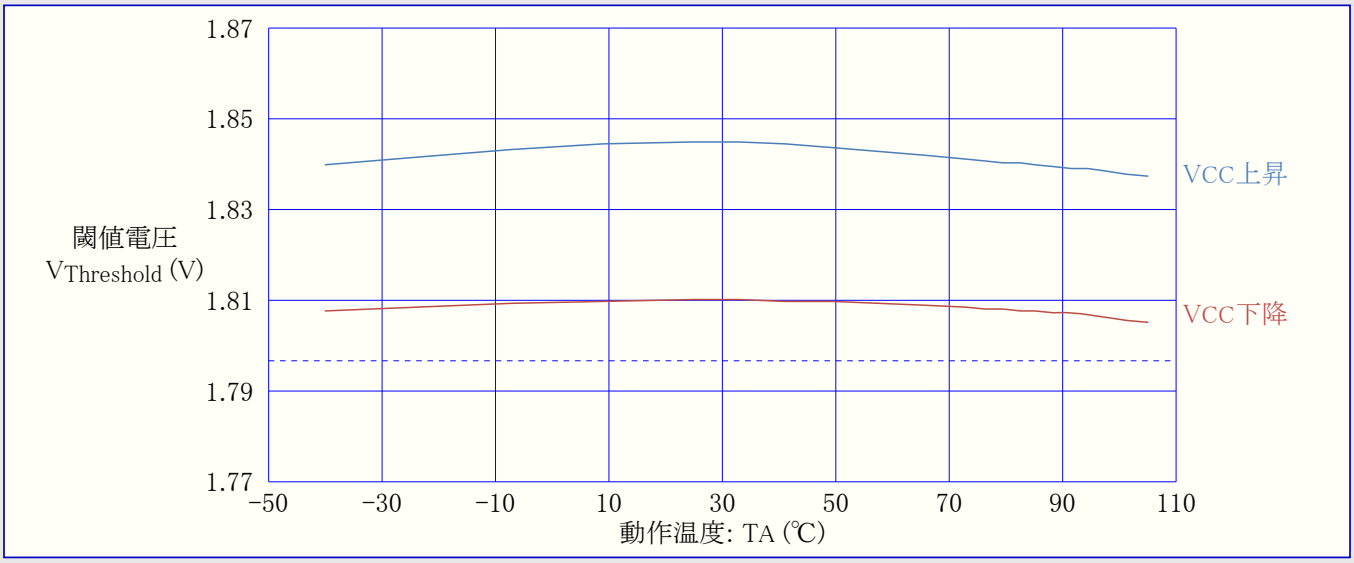


図30-33. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧1.8V)



30.11. 内部発振器周波数

図30-34. ｳｫｯﾁﾄﾞｯｸﾞ発振器周波数 対 動作温度

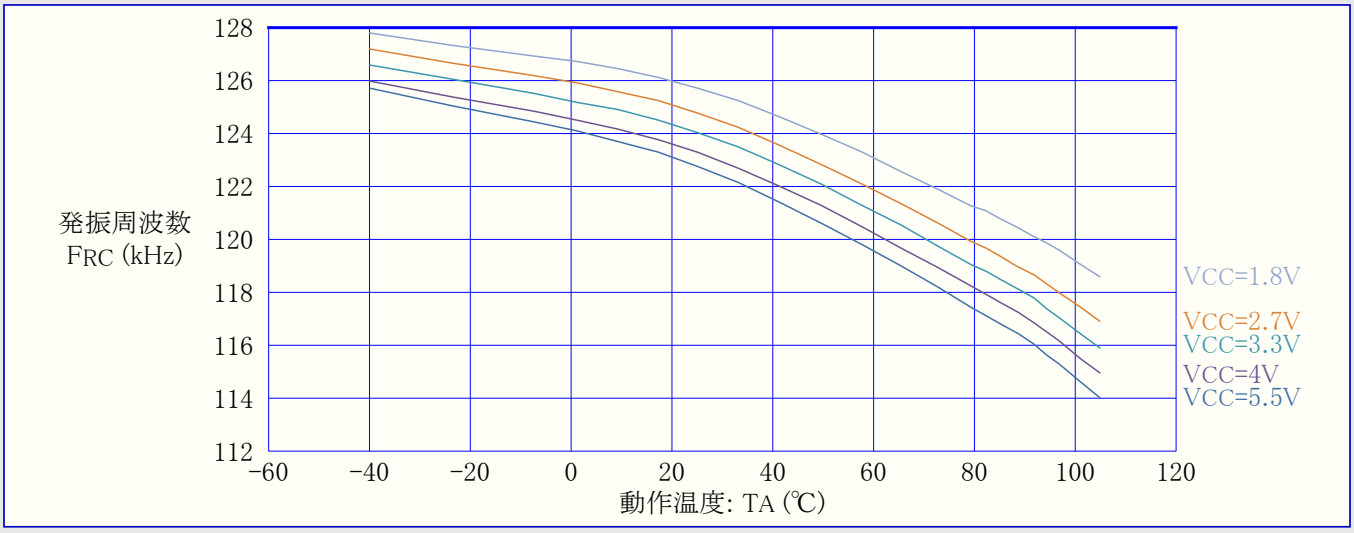


図30-35. ｳｫｯﾁﾄﾞｯｸﾞ発振器周波数 対 動作電圧

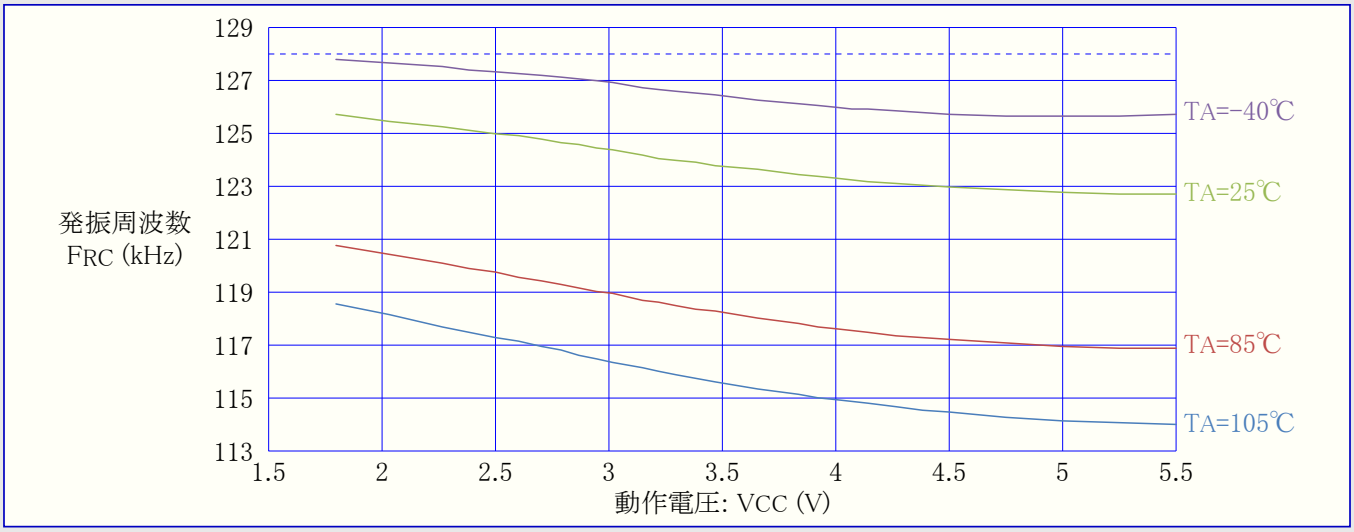


図30-36. 校正済み8MHz内蔵RC発振器周波数 対 動作電圧

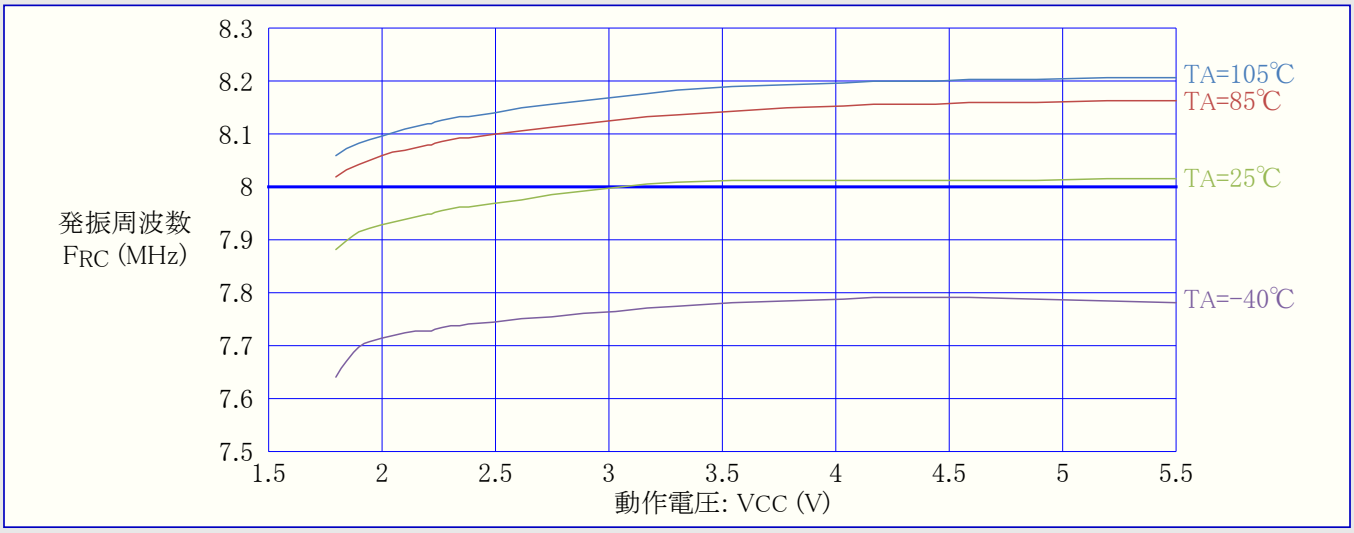


図30-37. 校正付き8MHz内蔵RC発振器周波数 対 動作温度

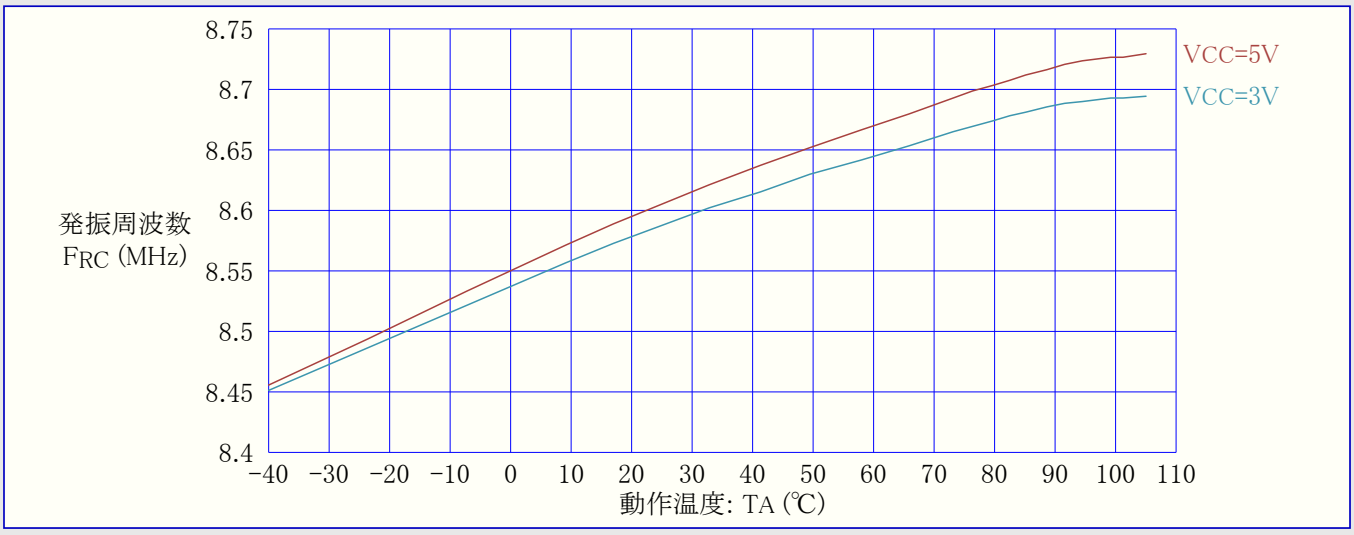
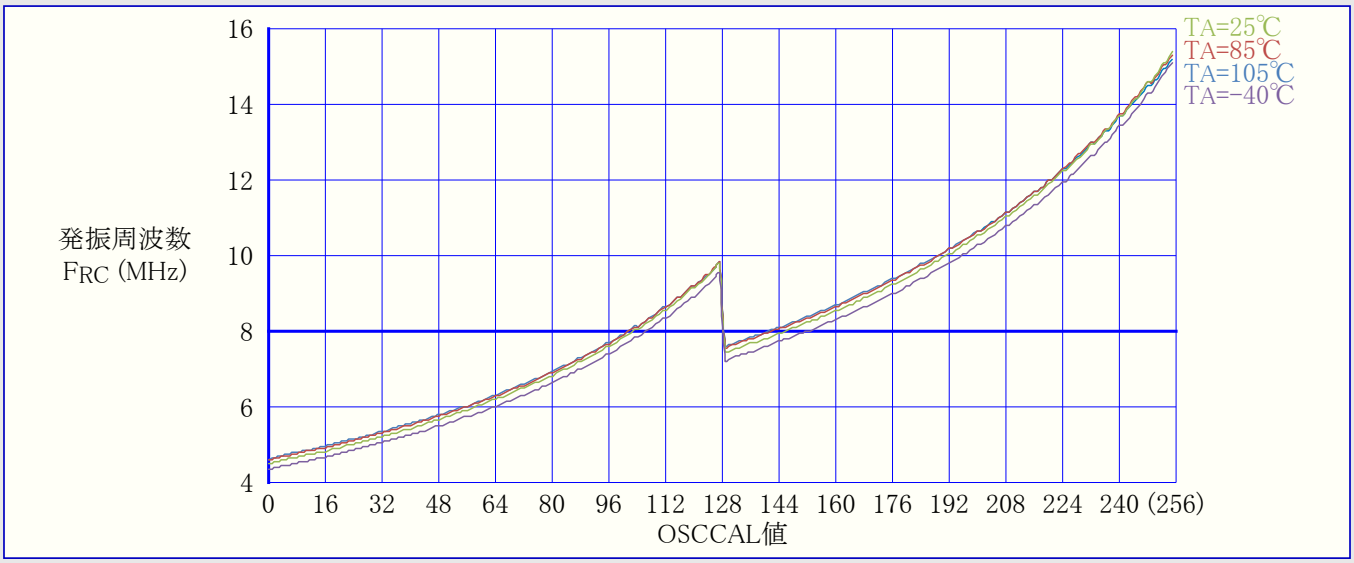


図30-38. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値



30.12. 周辺機能部消費電流

図30-39. A/D変換器消費電流 対 動作電圧 (AREF=AVCC)

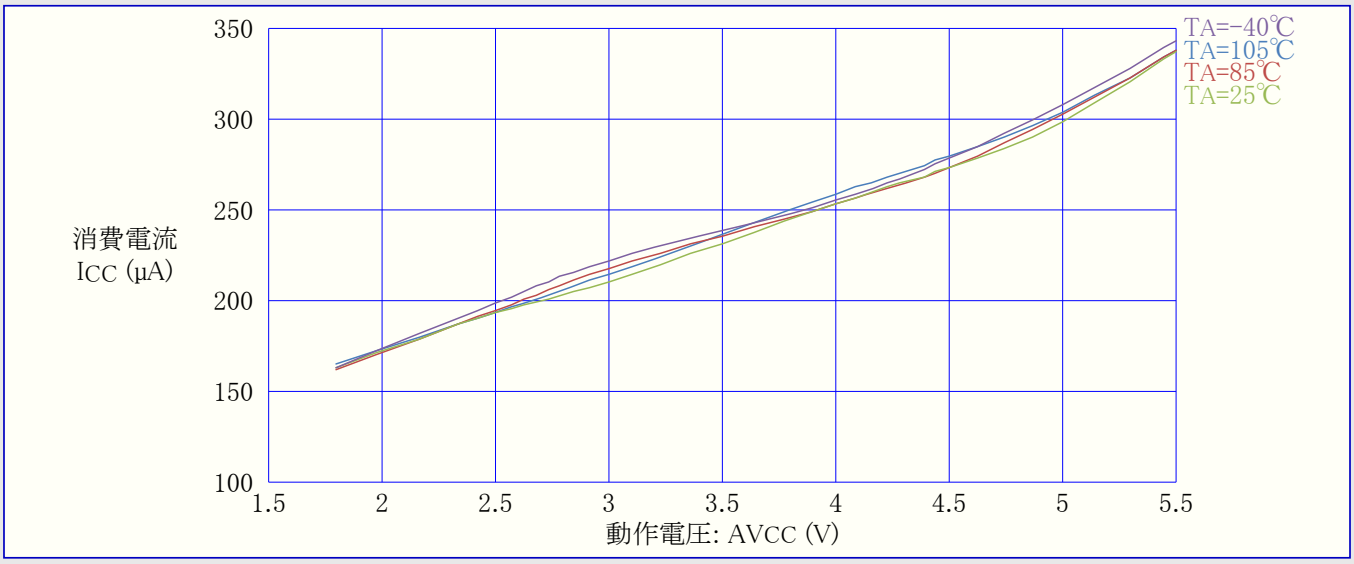


図30-40. 外部基準電圧(AREF)電流 対 動作電圧

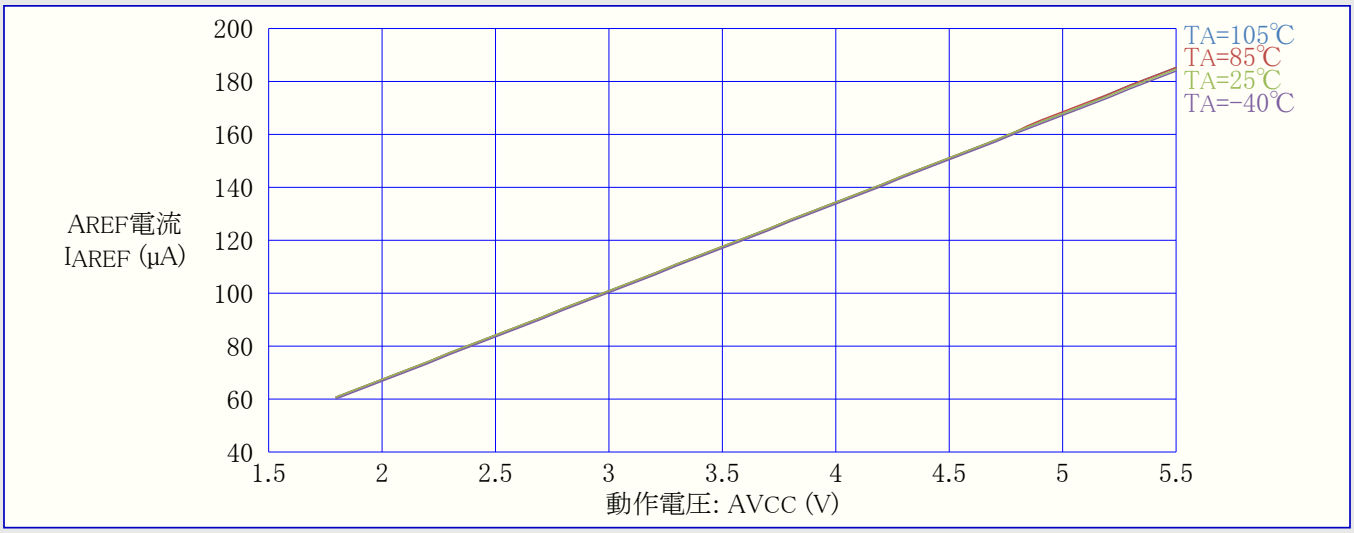


図30-41. ｱﾅﾛｸﾞ比較器消費電流 対 動作電圧

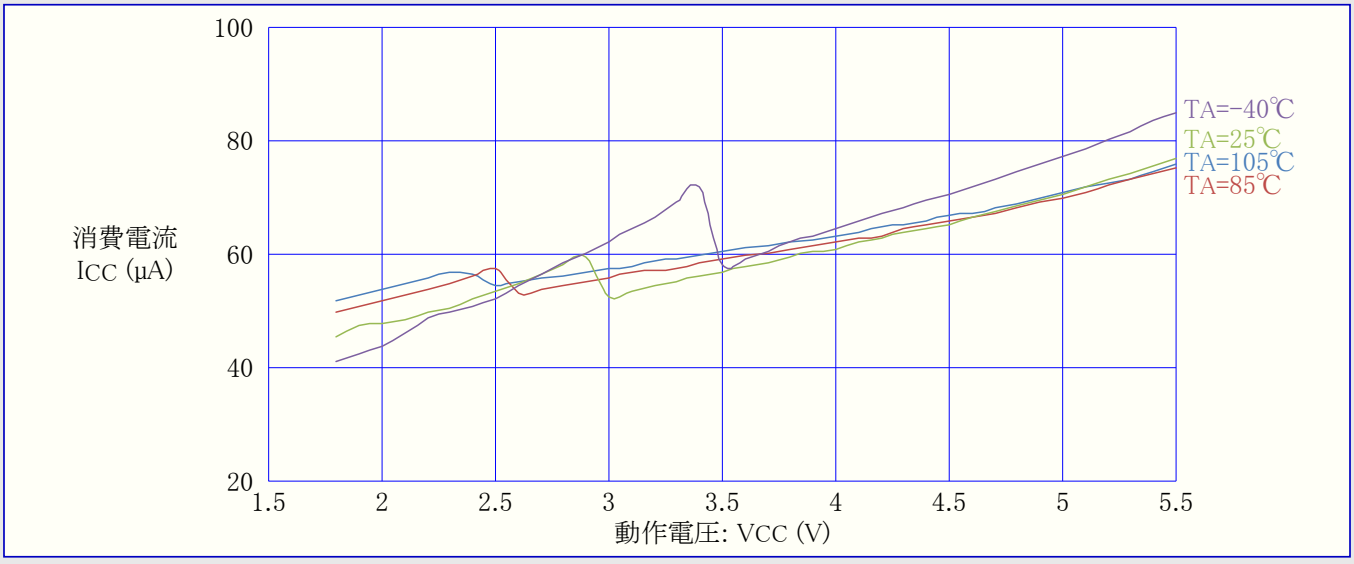


図30-42. 低電圧検出器(BOD)消費電流 対 動作電圧

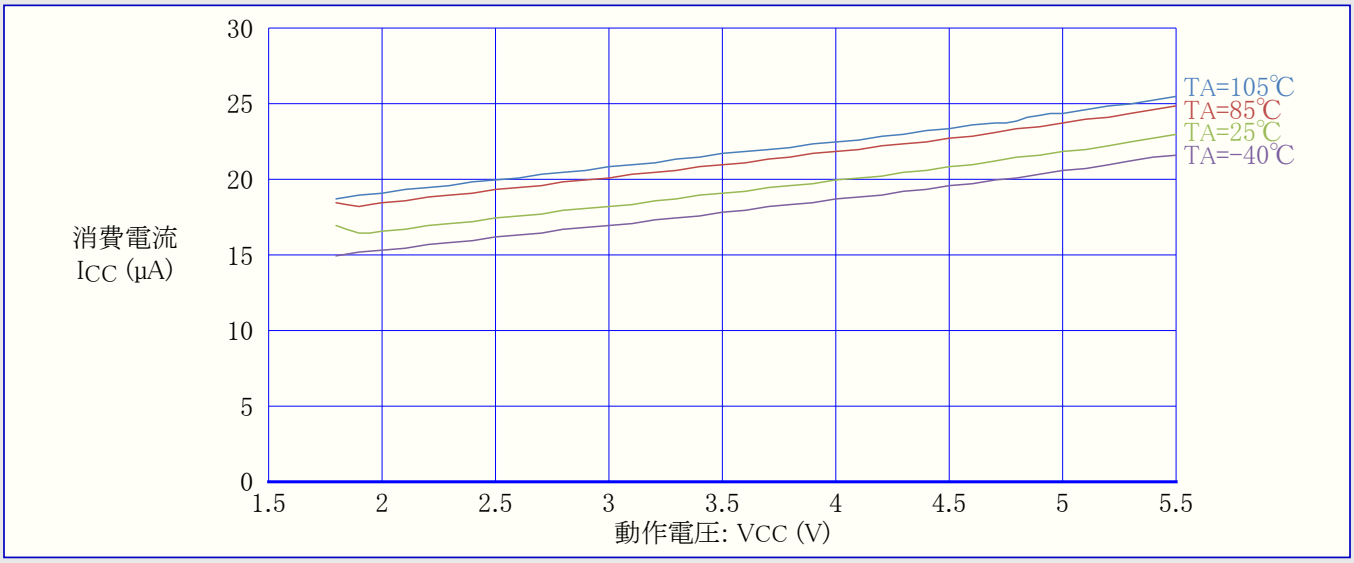


図30-43. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ電流 対 動作電圧

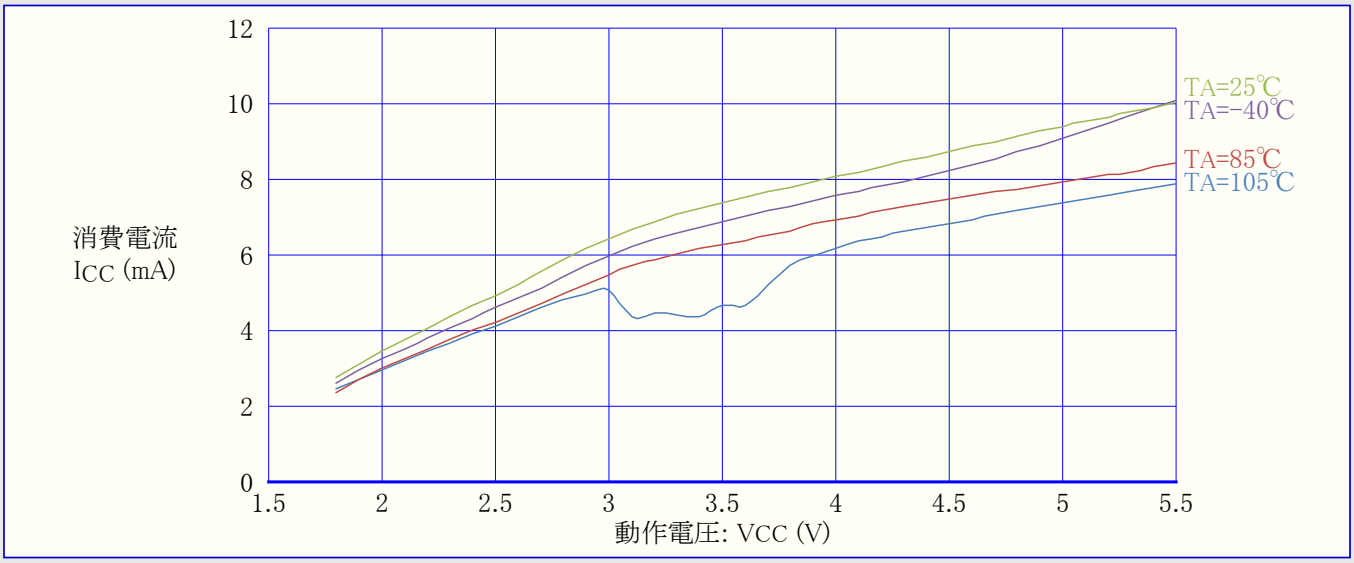
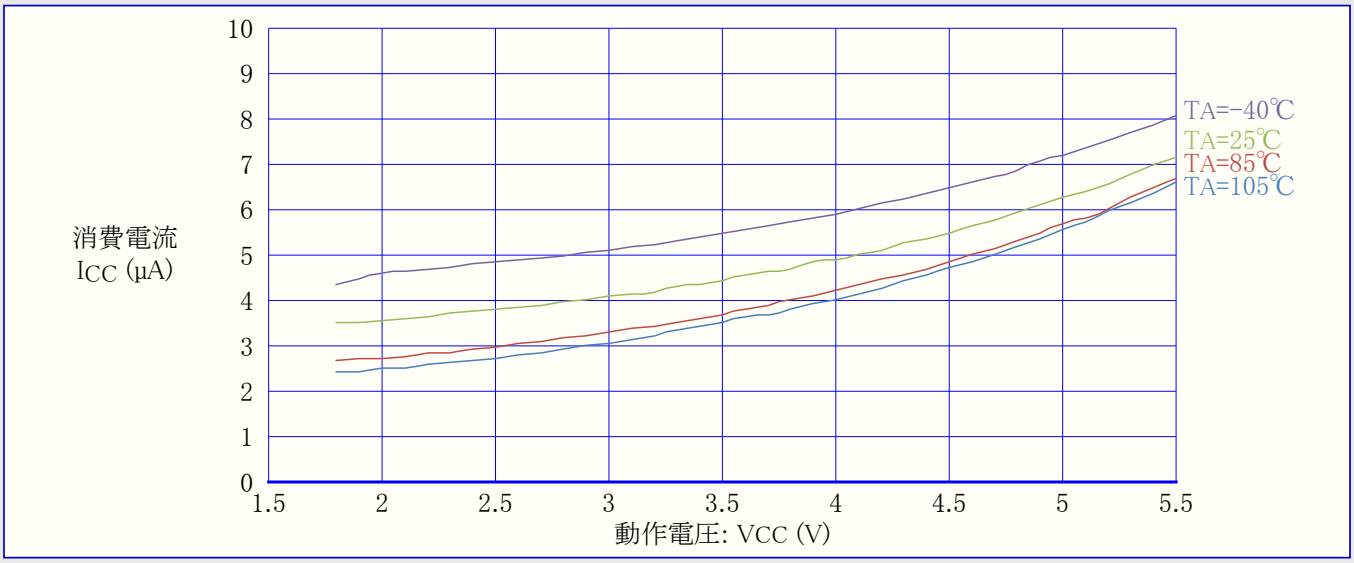


図30-44. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ消費電流 対 動作電圧



30.13. リセット消費電流とリセット パルス幅

図30-45. リセット消費(供給)電流 対 周波数 (100kHz～1MHz、RESETプルアップ電流を除く)

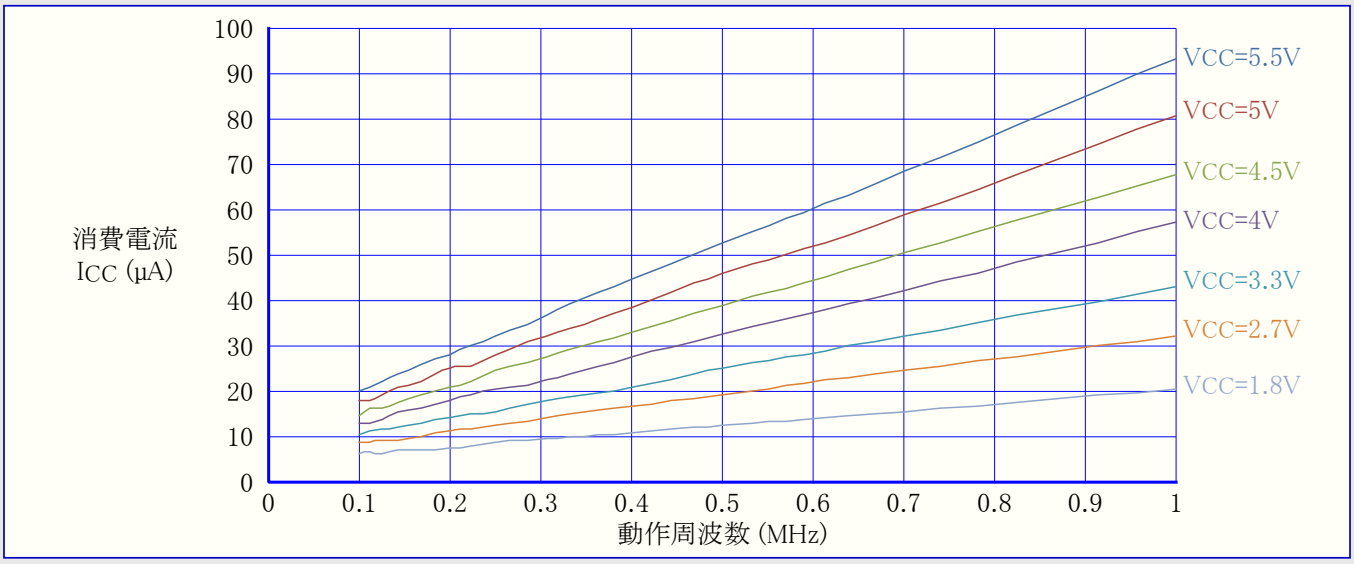


図30-46. リセット消費(供給)電流 対 周波数 (1MHz～20MHz、RESETプルアップ電流を除く)

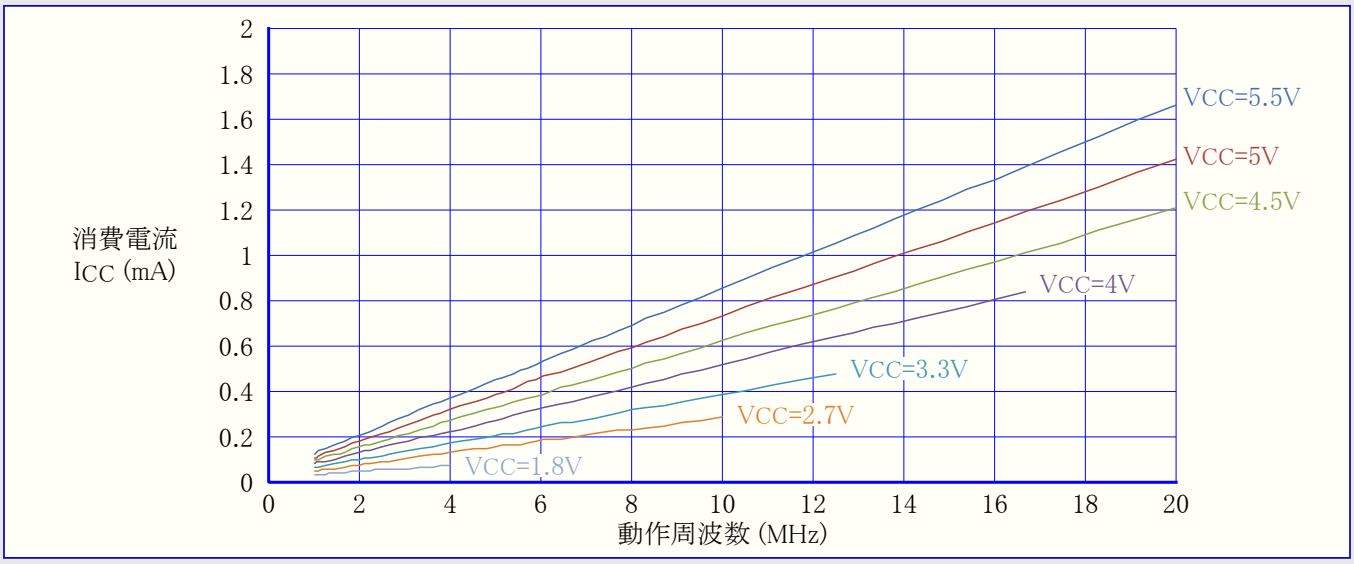
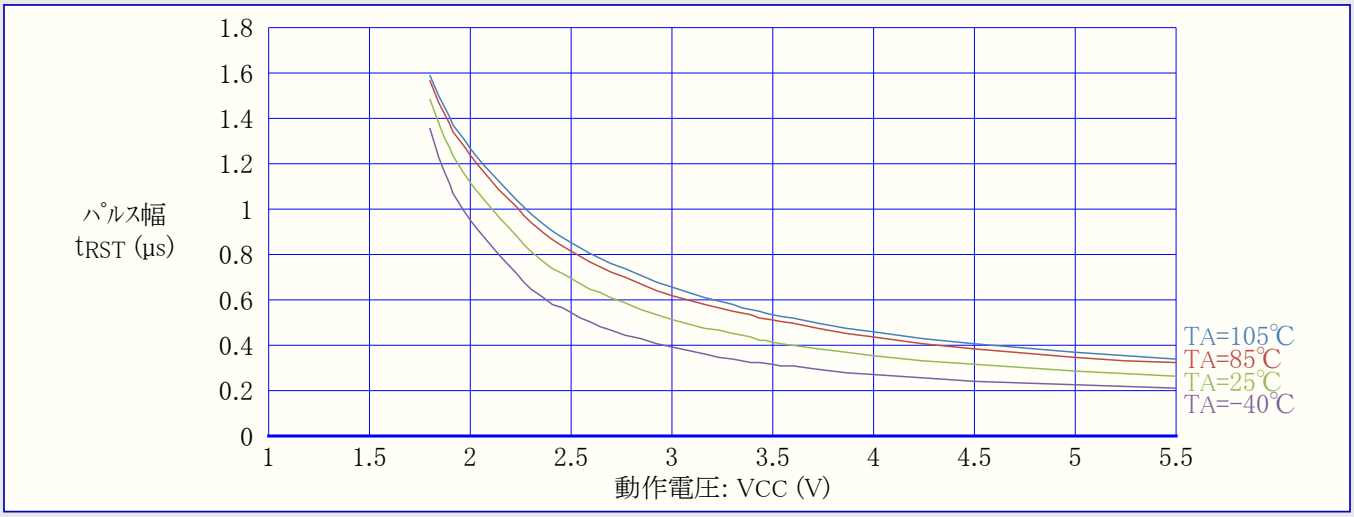


図30-47. 最小リセット パルス幅 対 動作電圧



31. ﾚｼﾞｽﾀ要約

拡張I/Oﾚｼﾞｽﾀ領域 (1/2)

ｱﾄﾞﾚｽ	ﾚｼﾞｽﾀ略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0
$FF～$D0	予約								
$CF	予約								
$CE	UDR1	TXB/RXB7～0 (USART1 ﾃﾞｰﾀ ﾚｼﾞｽﾀ)							
$CD	UBRR1H	–	–	–	–	UBRR11～8 (USART1 ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ上位)			
$CC	UBRR1L	UBRR7～0 (USART1 ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ下位)							
$CB	予約								
$CA	UCSR1C	UMSEL1,0		UPM1,0		USBS	UCSZ1 UDORD	UCSZ0 UCPHA	UCPOL
$C9	UCSR1B	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8
$C8	UCSR1A	RXC	TXC	UDRE	FE	DOR	UPE	U2X	MPCM
$C7	予約								
$C6	UDR0	TXB/RXB7～0 (USART0 ﾃﾞｰﾀ ﾚｼﾞｽﾀ)							
$C5	UBRR0H	–	–	–	–	UBRR11～8 (USART0 ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ上位)			
$C4	UBRR0L	UBRR7～0 (USART0 ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ下位)							
$C3	予約								
$C2	UCSR0C	UMSEL1,0		UPM1,0		USBS	UCSZ1 UDORD	UCSZ0 UCPHA	UCPOL
$C1	UCSR0B	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8
$C0	UCSR0A	RXC	TXC	UDRE	FE	DOR	UPE	U2X	MPCM
$BF	予約								
$BE	予約								
$BD	TWAMR	TWAM6～0							–
$BC	TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE
$BB	TWDR	TWD7～0 (2線直列ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ ﾚｼﾞｽﾀ)							
$BA	TWAR	TWA6～0							TWGCE
$B9	TWSR	TWS7～3					–	TWPS1,0	
$B8	TWBR	TWBR7～0 (2線直列ｲﾝﾀｰﾌｪｰｽ0 ﾋﾞｯﾄ速度ﾚｼﾞｽﾀ)							
$B7	予約								
$B6	ASSR	–	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB
$B5	予約								
$B4	OCR2B	OCR2B7～0 (ﾀｲﾏ/ｶｳﾝﾀ2 比較Bﾚｼﾞｽﾀ)							
$B3	OCR2A	OCR2A7～0 (ﾀｲﾏ/ｶｳﾝﾀ2 比較Aﾚｼﾞｽﾀ)							
$B2	TCNT2	TCNT27～0 (ﾀｲﾏ/ｶｳﾝﾀ2 計数値ﾚｼﾞｽﾀ)							
$B1	TCCR2B	FOC2A	FOC2B	–	–	WGM22	CS22～0		
$B0	TCCR2A	COM2A1,0		COM2B1,0		–	–	WGM21,0	
$AF	予約								
$AE	予約								
$AD	予約								
$AC	予約								
$AB	予約								
$AA	予約								
$A9	予約								
$A8	予約								
$A7	予約								
$A6	予約								
$A5	予約								
$A4	予約								
$A3	予約								
$A2	予約								
$A1	予約								
$A0	予約								
$9F	予約								
$9E	予約								
$9D	予約								
$9C	予約								
$9B	予約								
$9A	予約								
$99	予約								
$98	予約								
$97	予約								
$96	予約								
$95	予約								
$94	予約								
$93	予約								
$92	予約								
$91	予約								
$90	予約								

拡張I/Oレジスタ領域 (2/2)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
($8F)	予約								
($8E)	予約								
($8D)	予約								
($8C)	予約								
($8B)	OCR1BH	OCR1B15～8 (タイマ/カウンタ1 比較Bレジスタ 上位バイト)							
($8A)	OCR1BL	OCR1B7～0 (タイマ/カウンタ1 比較Bレジスタ 下位バイト)							
($89)	OCR1AH	OCR1A15～8 (タイマ/カウンタ1 比較Aレジスタ 上位バイト)							
($88)	OCR1AL	OCR1A7～0 (タイマ/カウンタ1 比較Aレジスタ 下位バイト)							
($87)	ICR1H	ICR115～8 (タイマ/カウンタ1 捕獲レジスタ 上位バイト)							
($86)	ICR1L	ICR17～0 (タイマ/カウンタ1 捕獲レジスタ 下位バイト)							
($85)	TCNT1H	TCNT115～8 (タイマ/カウンタ1 上位バイト)							
($84)	TCNT1L	TCNT17～0 (タイマ/カウンタ1 下位バイト)							
($83)	予約								
($82)	TCCR1C	FOC1A	FOC1B	–	–	–	–	–	–
($81)	TCCR1B	ICNC1	ICES1	–	WGM13,2			CS12～0	
($80)	TCCR1A	COM1A1,0		COM1B1,0		–	–	WGM11,0	
($7F)	DIDR1	–	–	–	–	–	–	AIN1D	AIN0D
($7E)	DIDR0	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D
($7D)	予約								
($7C)	ADMUX	REFS1,0		ADLAR	MUX4～0				
($7B)	ADCSRB	–	ACME	–	–	–		ADTS2～0	
($7A)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE		ADPS2～0	
($79)	ADCH	ADC9～8またはADC9～2 (A/Dデータ レジスタ上位バイト)							
($78)	ADCL	ADC7～0またはADC1～0 (A/Dデータ レジスタ下位バイト)							
($77)	予約								
($76)	予約								
($75)	予約								
($74)	予約								
($73)	PCMSK3	PCINT31	PCINT30	PCINT29	PCINT28	PCINT27	PCINT26	PCINT25	PCINT24
($72)	予約								
($71)	予約								
($70)	TIMSK2	–	–	–	–	–	OCIEB	OCIEA	TOIE
($6F)	TIMSK1	–	–	ICIE	–	–	OCIEB	OCIEA	TOIE
($6E)	TIMSK0	–	–	–	–	–	OCIEB	OCIEA	TOIE
($6D)	PCMSK2	PCINT23	PCINT22	PCINT21	PCINT20	PCINT19	PCINT18	PCINT17	PCINT16
($6C)	PCMSK1	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8
($6B)	PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0
($6A)	予約								
($69)	EICRA	–	–	ISC21,0		ISC11,0		ISC01,0	
($68)	PCICR	–	–	–	–	–	PCIE2	PCIE1	PCIE0
($67)	予約								
($66)	OSCCAL	CAL7～0 (内蔵RC発振器 発振校正値レジスタ)							
($65)	予約								
($64)	PRR0	PRTWI	PRTIM2	PRTIM0	PRUSART1	PRTIM1	PRSPI	PRUSART0	PRADC
($63)	予約								
($62)	予約								
($61)	CLKPR	CLKPCE	–	–	–	CLKPS3～0			
($60)	WDTCSR	WDIF	WDIE	WDP3	WDCE	WDE		WDP2～0	

標準I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
$5F ($3F)	SREG	I	T	H	S	V	N	Z	C
$5E ($3E)	SPH	–	–	–	–	–	SP10～8		
$5D ($3D)	SPL	SP7～0							
$5C ($3C)	予約								
$5B ($3B)	予約								
$5A ($3A)	予約								
$59 ($39)	予約								
$58 ($38)	予約								
$57 ($37)	SPMCSR	SPMIE	RWWSB	SIGRD	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN
$56 ($36)	予約								
$55 ($35)	MCUCR	JTD	BODS	BODSE	PUD	–	–	IVSEL	IVCE
$54 ($34)	MCUSR	–	–	–	JTRF	WDRF	BORF	EXTRF	PORF
$53 ($33)	SMCR	–	–	–	–	SM2～0			SE
$52 ($32)	予約								
$51 ($31)	OCDR	IDRD/ OCDR7	OCDR6	OCDR5	OCDR4	OCDR3	OCDR2	OCDR1	OCDR0
$50 ($30)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1,0	
$4F ($2F)	予約								
$4E ($2E)	SPDR	SPID7～0 (SPI データ レジスタ)							
$4D ($2D)	SPSR	SPIF	WCOL	–	–	–	–	–	SPI2X
$4C ($2C)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1,0	
$4B ($2B)	GPIOR2	GPIOR27～0 (汎用I/Oレジスタ2)							
$4A ($2A)	GPIOR1	GPIOR17～0 (汎用I/Oレジスタ1)							
$49 ($29)	予約								
$48 ($28)	OCR0B	OCR0B7～0 (タイマ/カウンタ0 比較Bレジスタ)							
$47 ($27)	OCR0A	OCR0A7～0 (タイマ/カウンタ0 比較Aレジスタ)							
$46 ($26)	TCNT0	TCNT07～0 (タイマ/カウンタ0 計数値レジスタ)							
$45 ($25)	TCCR0B	FOC0A	FOC0B	–	–	WGM02	CS02～0		
$44 ($24)	TCCR0A	COM0A1,0		COM0B1,0		–	–	WGM01,0	
$43 ($23)	GTCCR	TSM	–	–	–	–	–	PSRASY	PSRSYNC
$42 ($22)	EEARH	–	–	–	–	–	–	–	EEAR8
$41 ($21)	EEARL	EEAR7～0 (EEPROMアドレス レジスタ下位バイト)							
$40 ($20)	EEDR	EEDR7～0 (EEPROMデータ レジスタ)							
$3F ($1F)	EECR	–	–	EEPM1,0		EERIE	EEMPE	EEPE	EERE
$3E ($1E)	GPIOR0	GPIOR07～0 (汎用I/Oレジスタ0)							
$3D ($1D)	EIMSK	–	–	–	–	–	INT2	INT1	INT0
$3C ($1C)	EIFR	–	–	–	–	–	INTF2	INTF1	INTF0
$3B ($1B)	PCIFR	–	–	–	–	PCIF3	PCIF2	PCIF1	PCIF0
$3A ($1A)	予約								
$39 ($19)	予約								
$38 ($18)	予約								
$37 ($17)	TIFR2	–	–	–	–	–	OCFB	OCFA	TOV
$36 ($16)	TIFR1	–	–	ICF	–	–	OCFB	OCFA	TOV
$35 ($15)	TIFR0	–	–	–	–	–	OCFB	OCFA	TOV
$34 ($14)	予約								
$33 ($13)	予約								
$32 ($12)	予約								
$31 ($11)	予約								
$30 ($10)	予約								
$2F ($0F)	予約								
$2E ($0E)	予約								
$2D ($0D)	予約								
$2C ($0C)	予約								
$2B ($0B)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
$2A ($0A)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
$29 ($09)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
$28 ($08)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0
$27 ($07)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0
$26 ($06)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0
$25 ($05)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0
$24 ($04)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0
$23 ($03)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
$22 ($02)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0
$21 ($01)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0
$20 ($00)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0

32. 命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
			算術、論理演算命令		
ADD	Rd,Rr	汎用レジスタ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	RdH:RdL ← RdH:RdL + K6	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd ← Rd - Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd ← Rd - K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	RdH:RdL ← RdH:RdL - K6	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd ← Rd - Rr - C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd ← Rd - K - C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF - Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 - Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	Rd ← Rd AND ($FF - K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	Rd ← Rd - 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	R1:R0 ← Rd×Rr (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	R1:R0 ← Rd×Rr (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1:R0 ← Rd×Rr (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×U)	I,T,H,S,V,N,Z,C	2
			分岐命令		
RJMP	k	相対無条件分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	3
CALL	k	絶対サブルーチン呼び出し	STACK ← PC, PC ← k	I,T,H,S,V,N,Z,C	4
RET		サブルーチンからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	PC ← STACK	1,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd - Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd - Rr - C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd - K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータス フラグが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータス フラグが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリー フラグが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリー フラグが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの<で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリー フラグが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

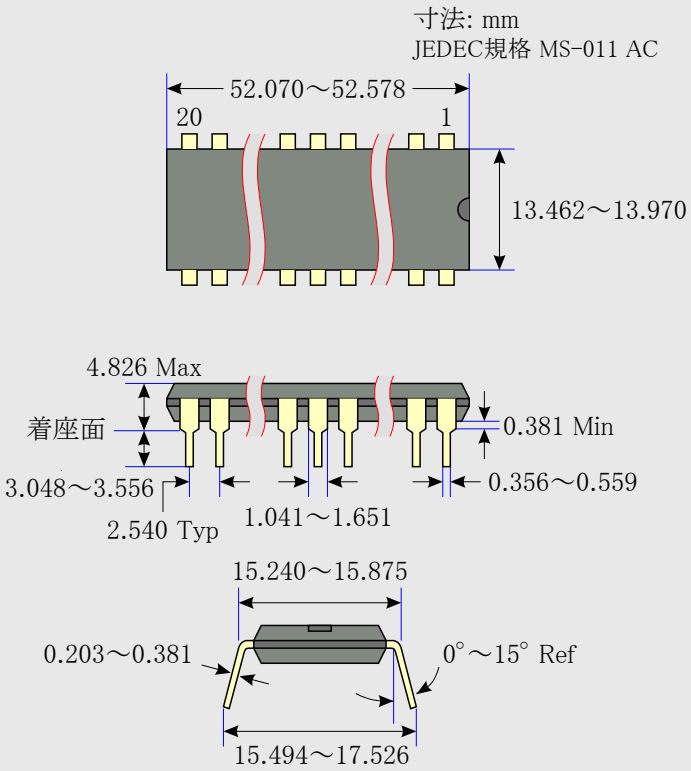
K6, K : 6, 8ビット定数　P : I/Oレジスタ　Rd, Rr : 汎用レジスタ(R0～R31)　X, Y, Z : X, Y, Zレジスタ
b : ビット(0～7)　k : アドレス定数(7,12,16ビット)　q : 符号なし6ビット定数(変位)　s : ステータス フラグ(C,Z,N,V,X,H,T,I)

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾃﾞｰﾀ移動命令					
MOV	Rd,Rr	汎用ﾚｼﾞｽﾀ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用ﾚｼﾞｽﾀ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xﾚｼﾞｽﾀ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXﾚｼﾞｽﾀ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXﾚｼﾞｽﾀ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yﾚｼﾞｽﾀ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYﾚｼﾞｽﾀ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zﾚｼﾞｽﾀ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZﾚｼﾞｽﾀ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	ﾃﾞｰﾀ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xﾚｼﾞｽﾀ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXﾚｼﾞｽﾀ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXﾚｼﾞｽﾀ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yﾚｼﾞｽﾀ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYﾚｼﾞｽﾀ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYﾚｼﾞｽﾀ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYﾚｼﾞｽﾀ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zﾚｼﾞｽﾀ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZﾚｼﾞｽﾀ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZﾚｼﾞｽﾀ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZﾚｼﾞｽﾀ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2
STS	k,Rr	ﾃﾞｰﾀ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2
LPM		ﾌﾟﾛｸﾞﾗﾑ領域からZﾚｼﾞｽﾀ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	3
SPM		ﾌﾟﾛｸﾞﾗﾑ領域へZ ﾚｼﾞｽﾀ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oﾚｼﾞｽﾀからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oﾚｼﾞｽﾀへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用ﾚｼﾞｽﾀをｽﾀｯｸへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	2
POP	Rd	ｽﾀｯｸから汎用ﾚｼﾞｽﾀへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2
ﾋﾞｯﾄ関係命令					
SBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ﾋﾞｯﾄ移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	ｷｬﾘｰを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	ｷｬﾘｰを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ﾆﾌﾞﾙ(4ﾋﾞｯﾄ)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄを一時ﾌﾗｸﾞへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時ﾌﾗｸﾞを汎用ﾚｼﾞｽﾀのﾋﾞｯﾄへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		ｷｬﾘｰ ﾌﾗｸﾞを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		ｷｬﾘｰ ﾌﾗｸﾞを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負ﾌﾗｸﾞを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負ﾌﾗｸﾞを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ｾﾞﾛ ﾌﾗｸﾞを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ｾﾞﾛ ﾌﾗｸﾞを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号ﾌﾗｸﾞを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号ﾌﾗｸﾞを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れﾌﾗｸﾞを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れﾌﾗｸﾞを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時ﾌﾗｸﾞを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時ﾌﾗｸﾞを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵ﾃﾞﾊﾞｯｸﾞ機能専用	I,T,H,S,V,N,Z,C	N/A

33. 外囲器情報

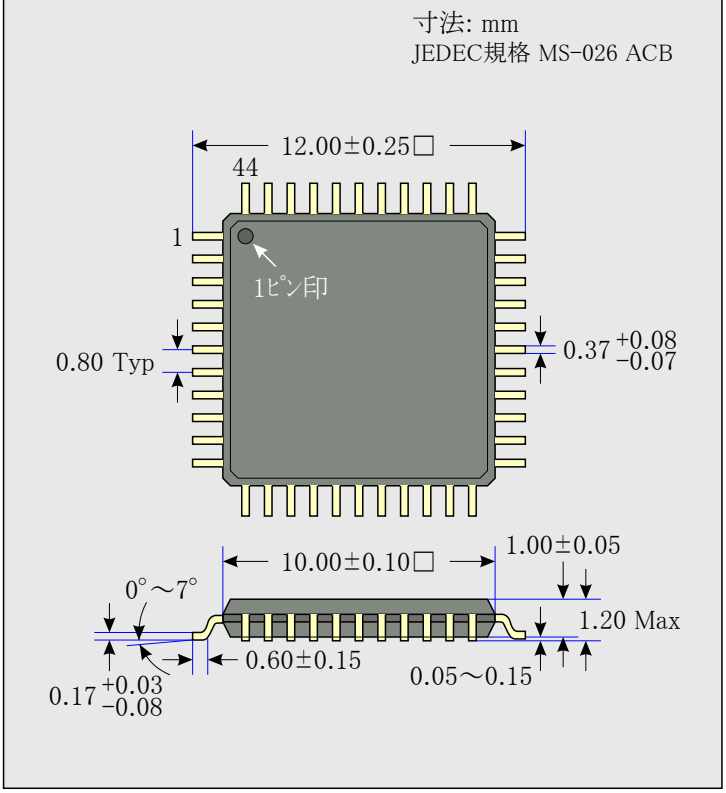
33.1. 40P6

40ﾋﾟﾝ 600mil幅 ﾌﾟﾗｽﾃｨｯｸ2列直線外囲器 (PDIP)



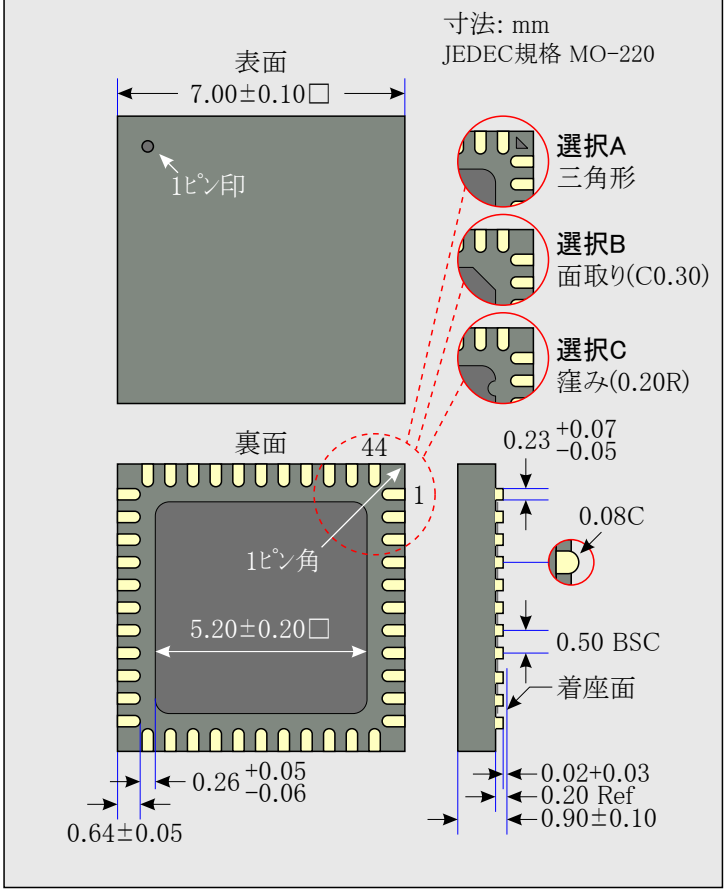
33.2. 44A

44ﾘｰﾄﾞ 0.8mmﾋﾟｯﾁ ﾌﾟﾗｽﾃｨｯｸ4方向平板外囲器 (TQFP)



33.3. 44M1

44ﾊﾟｯﾄﾞ 0.5mmﾋﾟｯﾁ 4方向平板ﾘｰﾄﾞなし外囲器 (VQFN)



34. 障害情報

改訂A：既知の障害はありません。

35. データシート改訂履歴

この章内の参照頁番号はこの文書が参照されていることに注意してください。この章内の改訂番号は文書の改訂番号を参照してください。

35.1. 改訂A – 2016年7月

公開初版

以下のATmega164P/V,ATmega324P/V,ATmega644P/Vを伴う8ビットAVRマイクロ コントローラ用共通データシートだったAtmel-8011R-AVR-09/2015データシートに基づきます。Atmel-8011R-AVR-09/2015は今やそれら各々のマイクロ コントローラ用の独立したデータシートに分離されます。

35.2. 改訂B – 2016年8月

- **ピン配置**：PDIPとTQFP/QFNのピン配置図を追加

Enabling Unlimited Possibilities®

Atmel Corporation 1600 Technology Drive, San Jose, CA 95110 USA TEL:(+1)(408) 441-0311 FAX: (+1)(408) 436-4200 | www.atmel.com

© 2016 Atmel Corporation. / 改訂:Atmel-42742B-ATmega164P/V_Datasheet_Complete-08/2016

Atmel®、Atmelﾛｺﾞとそれらの組み合わせ、Enabling Unlimited Possilities®、AVR®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。**Atmelのｳｪﾌﾞｻｲﾄに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。**Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(”安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とｼｽﾃﾑ、核施設と武器ｼｽﾃﾑの操作用の装置やｼｽﾃﾑを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© *HERO* 2022.

本ﾃﾞｰﾀｼｰﾄはAtmelのATmega164P/V英語版ﾃﾞｰﾀｼｰﾄ(改訂42742B-08/2016)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。