特徴

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
  - 強力な131命令(多くは1周期で実行)
  - 32個の1バイト長汎用レジスタ
  - 完全なスタティック動作
  - 16MHz時、16MIPSに達する高速動作
  - 2周期実行の乗算命令
- データ メモリと不揮発性プログラム メモリ
  - 実装自己書き換え可能な16Kバイト(8K語)フラッシュ メモリ内蔵 (10,000回の書き換え可能)
  - 個別施錠ビットを持つ任意のブート コード領域
    チップ内ブート プログラムによる実装書き換え
    真の書き込み中の読み出し動作
  - 512バイトのEEPROM (100,000回の書き換えが可能)
  - 1Kバイトの内蔵SRAM
  - ソフトウェア保護用の設定可能な施錠機能
- JTAG (IEEE 1149.1準拠) インターフェース
  - JTAG規格に従った境界走査(Boundary-Scan)能力
  - 広範囲な内蔵デバッグ機能
  - JTAGインターフェース経由でのフラッシュ、EEPROM、ヒューズ、施錠ビットのプログラミング
- 内蔵周辺機能
  - 独立した前置分周器、比較機能付き2つの8ビット タイマ/カウンタ
  - 独立した前置分周器、比較、捕獲機能付き1つの16ビット タイマ/カウンタ
  - 専用発振器と8ビット タイマ/カウンタによる実時間計数器(RTC)
  - 4つのPWM
  - 8チャネルの10ビット A/D変換器
  - 設定可能な直列USART
  - 主装置/従装置動作SPI直列インターフェース
  - 開始条件検出器付き多用途直列インターフェース
  - 設定可能な専用発振器付きウォッチドッグ タイマ
  - アナログ比較器
  - ピン変化での割り込みと起動復帰
- 特殊マイクロ コントローラ機能
  - 電源ONリセット回路と設定可能な低電圧検出器(BOD)
  - 校正可能な内蔵RC発振器
  - 外部及び内部の割り込み
  - アイドル、A/D変換雑音低減、パワーセーブ、パワーダウン、スタンバイの5つの低消費動作
- I/Oと外囲器
  - 53ビットの設定可能なI/O
  - 64リードTQFP,64パッドQFN/MLF
- 動作速度/電圧
  - ATmega165V:
    0～4MHz/1.8～5.5V
    0～8MHz/2.7～5.5V
  - ATmega165:
    0～8MHz/2.7～5.5V
    0～16MHz/4.5～5.5V
- 温度範囲
  - -40～85℃ (工業用)
- 超低消費電力
  - 活動動作
    1MHz/1.8V : 350µA
    32kHz/1.8V : 20µA(発振器含む)
  - パワーダウン動作
    0.1µA/1.8V

8ビット AVR®
マイクロ コントローラ
実装書き換え可能な
16Kバイト
フラッシュ メモリ内蔵

ATmega165
ATmega165V

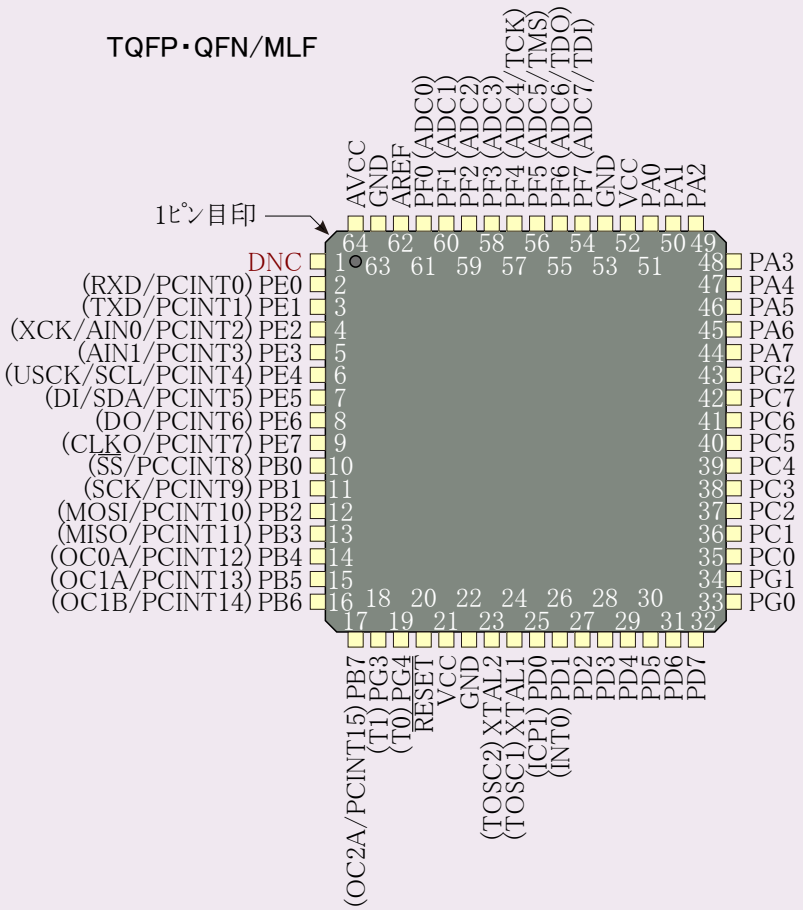
暫定

通告:
新規設計には推奨されません。

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 2573G-07/09, 2573GJ10-09/22

ピン配置



注: QFN/MLF外囲器底面中央の大パッドは金属で作られ、内部でGNDに接続されています。これは良好な機構的安定を保証するため、基板に貼り付けるか、半田付けされるべきです。この中央パッドが未接続の場合、基板から脱落するかもしれません。

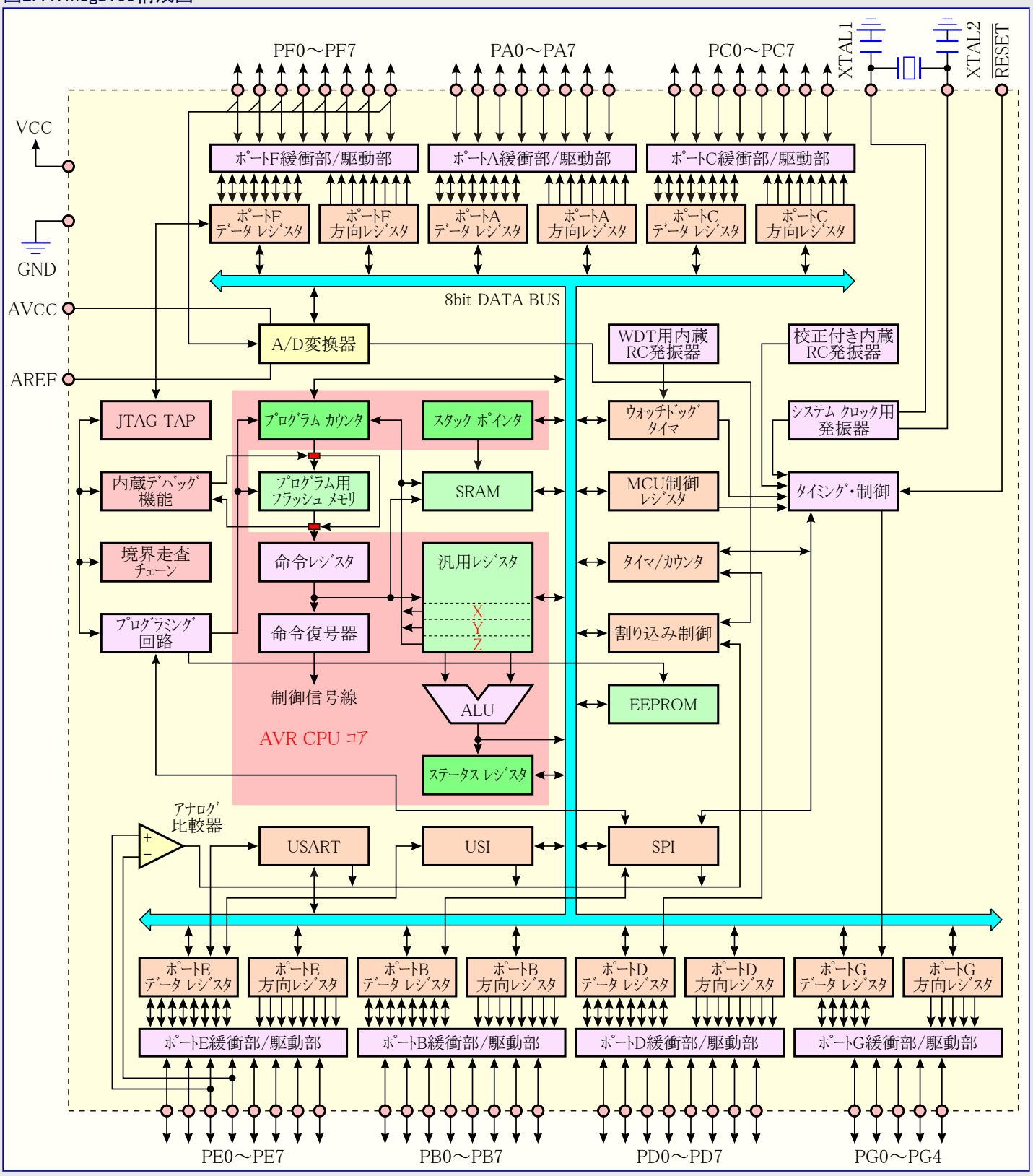
お断り

本データシート内で示された代表値はシミュレーションと同じ製法技術で製造された他のAVRマイクロ コントローラの特性を基にしています。最小と最大の値はデバイスの特性が記載された後に利用可能になります。

概要

ATmega165はAVR RISC構造の低消費CMOS 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。1周期で実行する強力な命令は、MHzあたり1 MIPSにも達し、実行速度対電力消費の最適化が容易に行えます。

図2. ATmega165構成図



AVRは32個の汎用ﾚｼﾞｽﾀと豊富な命令群を兼ね備えています。32個の全ﾚｼﾞｽﾀはALU(Arithmetic Logic Unit)に直結され、ﾚｼﾞｽﾀ間命令は1ｸﾛｯｸ周期で実行されます。AVR構造は現状のCISC型ﾏｲｸﾛ ｺﾝﾄﾛｰﾗに対し、最大10倍の単位処理量向上効果があります。

ATmega165は次の特徴、書き込み中読める能力を持つ16Kﾊﾞｲﾄの実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘと512ﾊﾞｲﾄのEEPROM、1Kﾊﾞｲﾄの SRAM、53本の汎用入出力線、32個の汎用作業ﾚｼﾞｽﾀ、境界走査用のJTAGｲﾝﾀｰﾌｪｰｽ、内蔵ﾃﾞﾊﾞｯｸﾞとﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機能、比較動作を含む柔軟性のある3つのﾀｲﾏ/ｶｳﾝﾀ、内部及び外部割り込み、設定変更可能な直列USART、開始条件検出器付き多用途直列ｲﾝﾀｰﾌｪｰｽ(USI)、8ﾁｬﾈﾙの10ﾋﾞｯﾄA/D変換器、設定変更可能な内部発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、SPI直列ﾎﾟｰﾄ、ｿﾌﾄｳｪｱで選べる5つの低消費動作機能を提供します。ｱｲﾄﾞﾙ動作では動作を停止しますが、SRAM、ﾀｲﾏ/ｶｳﾝﾀ、SPIﾎﾟｰﾄ、割り込み機能は有効で、動作を継続します。ﾊﾟﾜｰﾀﾞｳﾝ動作ではﾚｼﾞｽﾀの内容は保護されますが、発振器が停止するため、以降のﾊｰﾄﾞｳｪｱ ﾘｾｯﾄか割り込みまで他の全機能を禁止(無効に)します。ﾊﾟﾜｰｾｰﾌﾞ動作では非同期ﾀｲﾏが動作を継続し、ﾃﾞﾊﾞｲｽのその他が停止中であっても基準ﾀｲﾏの継続走行を使用者に許します。A/D変換雑音低減動作ではA/D変換中の切り替え雑音を最小とするために、非同期ﾀｲﾏとA/D変換器を除く全ての周辺機能とCPUが停止します。ｽﾀﾝﾊﾞｲ動作ではｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子用発振器が動作し、一方ﾃﾞﾊﾞｲｽのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。

本ﾃﾞﾊﾞｲｽはAtmelの高密度不揮発性ﾒﾓﾘ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘは規定の不揮発性ﾒﾓﾘ書き込み器、SPI直列ｲﾝﾀｰﾌｪｰｽ経由、AVRｺｱ上ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑの実行によって再書き込みができます。ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑは応用領域ﾌﾗｯｼｭ ﾒﾓﾘ内の応用ﾌﾟﾛｸﾞﾗﾑの読み込みにどのｲﾝﾀｰﾌｪｰｽでも使えます。ﾌﾞｰﾄ領域ﾌﾗｯｼｭ ﾒﾓﾘ内のﾌﾟﾛｸﾞﾗﾑは真の「書き込み中の読み出し可」動作により、応用領域ﾌﾗｯｼｭ ﾒﾓﾘ更新中も実行を継続します。ﾓﾉﾘｼｯｸ ﾁｯﾌﾟ上の実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘと、8ﾋﾞｯﾄRISC型CPUの組み合わせによるAtmel ATmega165は多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。

ATmega165 AVRはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾃﾞﾊﾞｯｶﾞ、ｼﾐｭﾚｰﾀ、ｲﾝｻｰｷｯﾄ ｴﾐｭｰﾚｰﾀ、評価ｷｯﾄを含む専用のﾌﾟﾛｸﾞﾗﾑ及びｼｽﾃﾑ開発ﾂｰﾙで支援されます。

ﾋﾟﾝ概要

VCC

ﾃﾞｼﾞﾀﾙ電源ﾋﾟﾝ。

GND

接地ﾋﾟﾝ。

PA7～PA0 (ﾎﾟｰﾄA)

ﾎﾟｰﾄAは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄA出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄAﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄAﾋﾟﾝはHi-Zにされます。

PB7～PB0 (ﾎﾟｰﾄB)

ﾎﾟｰﾄBは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄB出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄBﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄBﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄBは他のﾎﾟｰﾄより優れた駆動能力を持ちます。

ﾎﾟｰﾄBは41頁で一覧されるATmega165の様々な特殊機能も扱います。

PC7～PC0 (ﾎﾟｰﾄC)

ﾎﾟｰﾄCは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄC出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄCﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄCﾋﾟﾝはHi-Zにされます。

PD7～PD0 (ﾎﾟｰﾄD)

ﾎﾟｰﾄDは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄD出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄDﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄDﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄDは43頁で一覧されるATmega165の様々な特殊機能も扱います。

PE7～PE0 (ﾎﾟｰﾄE)

ﾎﾟｰﾄEは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄE出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄEﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄEﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄEは44頁で一覧されるATmega165の様々な特殊機能も扱います。

PF7～PF0 (ﾎﾟｰﾄF)

ﾎﾟｰﾄFはA/D変換器へのｱﾅﾛｸﾞ入力として扱います。

A/D変換器が使われない場合、ﾎﾟｰﾄFは8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄとしても扱います。ﾎﾟｰﾄ ﾋﾟﾝは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗を提供できます。ﾎﾟｰﾄF出力緩衝部は高い吐き出しと吸い込みの両能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄFﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄFﾋﾟﾝはHi-Zにされます。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、ﾘｾｯﾄが起きてもPF7(TDI)、PF5(TMS)、PF4(TCK)ﾋﾟﾝのﾌﾟﾙｱｯﾌﾟ抵抗は活性(有効)にされます。

ﾃﾞｰﾀを移動出力するTAP状態移行以外、TDOﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄFはJTAGｲﾝﾀｰﾌｪｰｽ機能も扱います。

PG4～PG0 (ﾎﾟｰﾄG)

ﾎﾟｰﾄGは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き5ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。ﾎﾟｰﾄG出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)なら、外部的にLowへ引かれたﾎﾟｰﾄGﾋﾟﾝは電流を吐き出します。ﾘｾｯﾄ条件が有効になるとｸﾛｯｸが動いていなくてもﾎﾟｰﾄGﾋﾟﾝはHi-Zにされます。

ﾎﾟｰﾄGは48頁で一覧されるATmega165の様々な特殊機能も扱います。

$\overline{\text{RESET}}$

ﾘｾｯﾄ入力。最小ﾊﾟﾙｽ幅より長いこのﾋﾟﾝのLowﾚﾍﾞﾙはｸﾛｯｸが動いていなくてもﾘｾｯﾄを生成します。最小ﾊﾟﾙｽ幅は25頁の**表16.**で得られます。より短いﾊﾟﾙｽはﾘｾｯﾄの生成が保証されません。

XTAL1

発振器反転増幅器への入力と内部ｸﾛｯｸ操作回路への入力。

XTAL2

発振器反転増幅器からの出力。

AVCC

AVCCはﾎﾟｰﾄFとA/D変換器用供給電圧(電源)ﾋﾟﾝです。例えA/D変換が使われなくても、外部的にVCCへ接続されるべきです。A/D変換が使われる場合、VCCから低域通過濾波器を通して接続されるべきです。

AREF

AREFはA/D変換器用ｱﾅﾛｸﾞ基準(電圧)ﾋﾟﾝです。

ｺｰﾄﾞ例について

この文書はﾃﾞﾊﾞｲｽの様々な部分の使用法を手短に示す簡単なｺｰﾄﾞ例を含みます。これらのｺｰﾄﾞ例はｱｾﾝﾌﾞﾙまたはｺﾝﾊﾟｲﾙに先立ってﾃﾞﾊﾞｲｽ定義ﾍｯﾀﾞ ﾌｧｲﾙがｲﾝｸﾙｰﾄﾞされると仮定します。全てのCｺﾝﾊﾟｲﾗ製造業者がﾍｯﾀﾞﾌｧｲﾙ内にﾋﾞｯﾄ定義を含めるとは限らず、またCでの割り込みの扱いがｺﾝﾊﾟｲﾗに依存することに注意してください。より多くの詳細についてはCｺﾝﾊﾟｲﾗの資料で確認してください。

これらのｺｰﾄﾞ例はｱｾﾝﾌﾞﾙまたはｺﾝﾊﾟｲﾙに先立ってﾃﾞﾊﾞｲｽ定義ﾌｧｲﾙがｲﾝｸﾙｰﾄﾞされることが前提です。拡張I/O領域に配置したI/Oﾚｼﾞｽﾀに対し、IN, OUT, SBIS, SBIC, CBI, SBI命令は拡張I/O領域へのｱｸｾｽを許す命令に置き換えられなければなりません。代表的にはSBRS, SBRC, SBR, CBR命令と組み合わせたLDS, STS命令です。

AVR CPU ｺｱ

序説

ここでは一般的なAVRｺｱ構造について説明します。このCPUｺｱの主な機能は正しいﾌﾟﾛｸﾞﾗﾑ実行を保証することです。従ってCPUはﾒﾓﾘ ｱｸｾｽ、計算実行、周辺制御、割り込み操作ができなければなりません。

構造概要

最大効率と平行処理のため、AVRはﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀに対してﾒﾓﾘとﾊﾞｽを分離するﾊｰﾊﾞｰﾄﾞ構造を使います。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の命令は単一段のﾊﾟｲﾌﾟﾗｲﾝで実行されます。1命令の実行中に次の命令がﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから事前取得されます。この概念は全部のｸﾛｯｸ周期で命令実行を可能にします。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘです。

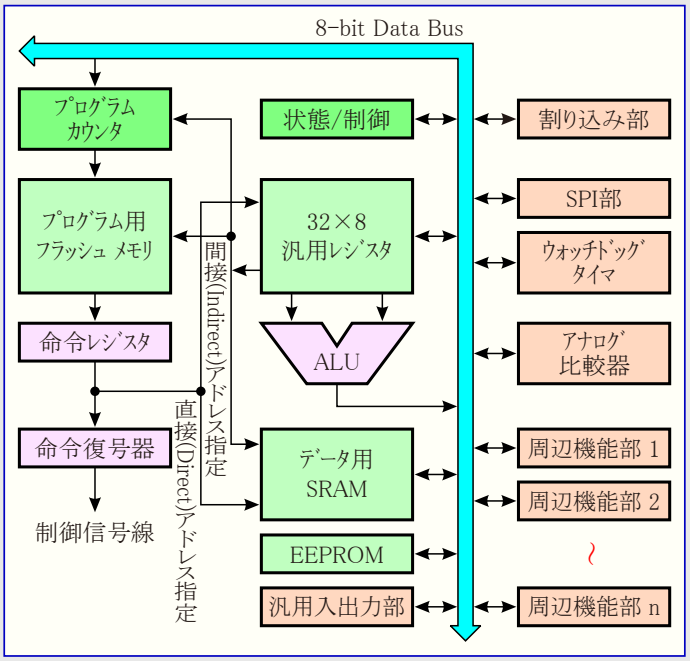
高速ﾚｼﾞｽﾀ ﾌｧｲﾙは1ｸﾛｯｸ周期ｱｸｾｽの32個の8ﾋﾞｯﾄ長汎用ﾚｼﾞｽﾀを含みます。これは1ｸﾛｯｸ周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのｵﾍﾟﾗﾝﾄﾞがﾚｼﾞｽﾀ ﾌｧｲﾙからの出力で、1ｸﾛｯｸ周期内でその操作が実行され、その結果がﾚｼﾞｽﾀ ﾌｧｲﾙに書き戻されます。

32個中の6つのﾚｼﾞｽﾀは効率的なｱﾄﾞﾚｽ計算ができるﾃﾞｰﾀ空間ｱﾄﾞﾚｽ指定用に3つの16ﾋﾞｯﾄ長間接ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ用ﾚｼﾞｽﾀとして使用されます。これらｱﾄﾞﾚｽ ﾎﾟｲﾝﾀの1つはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の定数表参照用ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとしても使えます。これら16ﾋﾞｯﾄ長付加機能ﾚｼﾞｽﾀはX,Y,Zﾚｼﾞｽﾀで、本章内で後述されます。

ALUはﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の算術及び論理操作を支援します。単一ﾚｼﾞｽﾀ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)が更新されます。

ﾌﾟﾛｸﾞﾗﾑの流れは条件/無条件分岐や呼び出し命令によって提供され、全ｱﾄﾞﾚｽ空間を直接ｱﾄﾞﾚｽ指定できます。AVR命令の多くは16ﾋﾞｯﾄ語(ﾜｰﾄﾞ)形式です。全てのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのｱﾄﾞﾚｽは(**訳注**:定数のみを除き)16または32ﾋﾞｯﾄ長命令を含みます。

図3. AVR MCU構造



ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ空間はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域と応用ﾌﾟﾛｸﾞﾗﾑ領域の2つに分けられます。どちらの領域にも書き込み禁止や読み書き防止用の専用施錠ﾋﾞｯﾄがあります。応用ﾌﾗｯｼｭ ﾒﾓﾘ領域内に書き込むSPM命令はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域内に属さ(存在し)なければなりません。

割り込みやｻﾌﾞﾙｰﾁﾝ呼び出し中、戻りｱﾄﾞﾚｽを示すﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)はｽﾀｯｸに保存されます。ｽﾀｯｸは一般的なﾃﾞｰﾀ用SRAM上に実際には割り当てられ、従ってｽﾀｯｸ容量は全SRAM容量とSRAM使用量でのみ制限されます。全ての使用者ﾌﾟﾛｸﾞﾗﾑはﾘｾｯﾄ処理ﾙｰﾁﾝで(ｻﾌﾞﾙｰﾁﾝ呼び出しや割り込みが実行される前に)、ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)を初期化しなければなりません。SPはI/O空間で読み書きｱｸｾｽが可能です。ﾃﾞｰﾀ用SRAMはAVR構造で支援される5つの異なるｱﾄﾞﾚｽ指定種別を通して容易にｱｸｾｽできます。

AVR構造に於けるﾒﾓﾘ空間は全て直線的な普通のﾒﾓﾘ配置です。

柔軟な割り込み部にはI/O空間の各制御ﾚｼﾞｽﾀとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の特別な全割り込み許可(I)ﾋﾞｯﾄがあります。全ての割り込みは割り込みﾍﾞｸﾀ表に個別の割り込みﾍﾞｸﾀを持ちます。割り込みには割り込みﾍﾞｸﾀ表の位置に従う優先順があります。下位側割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが高い優先順位です。

I/Oﾒﾓﾘ空間は制御ﾚｼﾞｽﾀ、SPI、他のI/O機能としてCPU周辺機能用の64ｱﾄﾞﾚｽを含みます。I/Oﾒﾓﾘは直接またはﾚｼﾞｽﾀ ﾌｧｲﾙの次のﾃﾞｰﾀ空間位置$20～$5Fとしてｱｸｾｽできます。加えてATmega165にはST/STS/STDとLD/LDS/LDD命令だけ使えるSRAM内の$60～$FFに拡張I/O空間があります。

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用ﾚｼﾞｽﾀとの直結で動作します。汎用ﾚｼﾞｽﾀ間または汎用ﾚｼﾞｽﾀと即値間の演算操作は単一ｸﾛｯｸ周期内で実行されます。ALU操作は算術演算、論理演算、ﾋﾞｯﾄ操作の3つの主な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「**命令要約**」章をご覧ください。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ (Status Register) **SREG**

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのﾌﾟﾛｸﾞﾗﾑの流れ変更に使えます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀは「**命令一式手引書**」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないｺｰﾄﾞに帰着します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは割り込み処理ﾙｰﾁﾝ移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはｿﾌﾄｳｪｱによって扱われなければなりません。

AVRのｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は次のように定義されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3F ($5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – I : 全割り込み許可** (Global Interrupt Enable)

全割り込み許可ﾋﾞｯﾄは割り込みが許可されるために設定(1)されなければなりません。その時に個別割り込み許可制御は独立した制御ﾚｼﾞｽﾀで行われます。全割り込み許可ﾋﾞｯﾄが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iﾋﾞｯﾄは割り込みが起こった後にﾊｰﾄﾞｳｪｱによって解除(0)され、後続の割り込みを許可するために、RETI命令によって設定(1)されます。Iﾋﾞｯﾄは「**命令一式手引書**」で記述されるようにSEIやCLI命令で応用(ﾌﾟﾛｸﾞﾗﾑ)によって設定(1)や解除(0)もできます。

• **ﾋﾞｯﾄ6 – T : ﾋﾞｯﾄ変数** (Bit Copy Storage)

ﾋﾞｯﾄ複写命令、BLD(Bit LoaD)とBST(Bit STore)は操作したﾋﾞｯﾄの転送元または転送先として、このTﾋﾞｯﾄを使います。ﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀからのﾋﾞｯﾄはBST命令によってTに複写でき、TのﾋﾞｯﾄはBLD命令によってﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀ内のﾋﾞｯﾄに複写できます。

• **ﾋﾞｯﾄ5 – H : ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞ** (Half Carry Flag)

ﾊｰﾌｷｬﾘｰ(H)ﾌﾗｸﾞはいくつかの算術操作でのﾊｰﾌｷｬﾘｰを示します。ﾊｰﾌｷｬﾘｰはBCD演算に有用です。詳細情報については「**命令要約**」記述をご覧ください。

• **ﾋﾞｯﾄ4 – S : 符号** (Sign Bit, S= N Ex-OR V)

Sﾌﾗｸﾞは常に負(N)ﾌﾗｸﾞと2の補数溢れ(V)ﾌﾗｸﾞの排他的論理和です。詳細情報については「**命令要約**」記述をご覧ください。

• **ﾋﾞｯﾄ3 – V : 2の補数溢れﾌﾗｸﾞ** (2's Complement Overflow Flag)

2の補数溢れ(V)ﾌﾗｸﾞは2の補数算術演算を支援します。詳細情報については「**命令要約**」記述をご覧ください。

• **ﾋﾞｯﾄ2 – N : 負ﾌﾗｸﾞ** (Negative Flag)

負(N)ﾌﾗｸﾞは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「**命令要約**」記述をご覧ください。

• **ﾋﾞｯﾄ1 – Z : ｾﾞﾛ ﾌﾗｸﾞ** (Zero Flag)

ｾﾞﾛ(Z)ﾌﾗｸﾞは算術及び論理操作でのｾﾞﾛ(0)の結果を示します。詳細情報については「**命令要約**」記述をご覧ください。

• **ﾋﾞｯﾄ0 – C : ｷｬﾘｰ ﾌﾗｸﾞ** (Carry Flag)

ｷｬﾘｰ(C)ﾌﾗｸﾞは算術及び論理操作でのｷｬﾘｰ(またはﾎﾞﾛｰ)を示します。詳細情報については「**命令要約**」記述をご覧ください。

汎用ﾚｼﾞｽﾀ ﾌｧｲﾙ

このﾚｼﾞｽﾀ ﾌｧｲﾙはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がﾚｼﾞｽﾀ ﾌｧｲﾙによって支援されます。

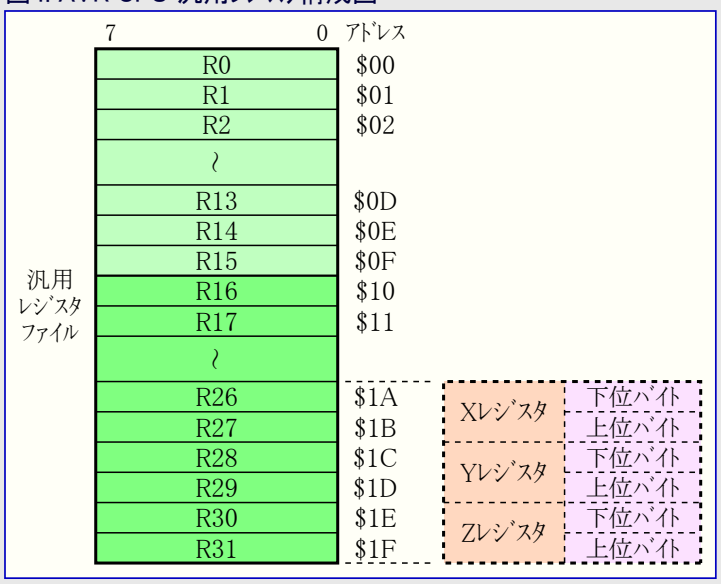
- 1つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力
- 1つの16ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力

図4.はCPU内の32個の汎用作業ﾚｼﾞｽﾀの構造を示します。

ﾚｼﾞｽﾀ ﾌｧｲﾙを操作する殆どの命令は全てのﾚｼﾞｽﾀに直接ｱｸｾｽし、それらの殆どは単一周期命令です。

図4.で示されるように各ﾚｼﾞｽﾀは使用者ﾃﾞｰﾀ空間の最初の32位置へ直接的に配置することで、それらはﾃﾞｰﾀ ﾒﾓﾘ ｱﾄﾞﾚｽも割り当てられます。例え物理的にSRAM位置として実装されていなくてもX,Y,Zﾚｼﾞｽﾀ(ﾎﾟｲﾝﾀ)がﾚｼﾞｽﾀ ﾌｧｲﾙ内のどのﾚｼﾞｽﾀの指示にも設定できるように、このﾒﾓﾘ構成は非常に柔軟なﾚｼﾞｽﾀのｱｸｾｽを提供します。

図4. AVR CPU 汎用ﾚｼﾞｽﾀ構成図

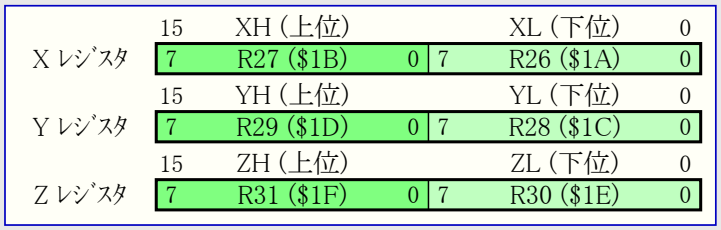


Xﾚｼﾞｽﾀ, Yﾚｼﾞｽﾀ, Zﾚｼﾞｽﾀ

R26～R31ﾚｼﾞｽﾀには通常用途の使用にいくつかの追加機能があります。これらのﾚｼﾞｽﾀはﾃﾞｰﾀ空間の間接ｱﾄﾞﾚｽ指定用の16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀです。3つのX,Y,Z間接ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは図5.で記載したように定義されます。

種々のｱﾄﾞﾚｽ指定種別で、これらのｱﾄﾞﾚｽ ﾚｼﾞｽﾀは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「**命令一式手引書**」をご覧ください)。

図5. X,Y,Zﾚｼﾞｽﾀ構成図



ｽﾀｯｸ ﾎﾟｲﾝﾀ (Stack Pointer) SPH,SPL (SP)

ｽﾀｯｸは主に一時ﾃﾞｰﾀの保存、局所変数の保存、割り込みとｻﾌﾞﾙｰﾁﾝ呼び出し後の戻りｱﾄﾞﾚｽの保存に使われます。ｽﾀｯｸ ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀは常にこのｽﾀｯｸの先頭(**訳注**:次に使われるべき位置)を指し示します。ｽﾀｯｸが高位ﾒﾓﾘから低位ﾒﾓﾘへ伸長するように実行されることに注意してください。これはｽﾀｯｸへのPUSH命令はｽﾀｯｸ ﾎﾟｲﾝﾀを減少するという意味です。

ｽﾀｯｸ ﾎﾟｲﾝﾀはｻﾌﾞﾙｰﾁﾝや割り込みのｽﾀｯｸが配置されるﾃﾞｰﾀSRAMのｽﾀｯｸ領域を指し示します。ﾃﾞｰﾀSRAM内のｽﾀｯｸ空間はｻﾌﾞﾙｰﾁﾝ呼び出しの実行や割り込みの許可の何れにも先立ってﾌﾟﾛｸﾞﾗﾑによって定義されなければなりません。ｽﾀｯｸ ﾎﾟｲﾝﾀは$100以上を指示するように設定されなければなりません。ｽﾀｯｸ ﾎﾟｲﾝﾀはPUSH命令でﾃﾞｰﾀがｽﾀｯｸに格納されると-1され、ｻﾌﾞﾙｰﾁﾝ呼び出しや割り込みで戻りｱﾄﾞﾚｽがｽﾀｯｸに格納されると-2されます。ｽﾀｯｸ ﾎﾟｲﾝﾀはPOP命令でﾃﾞｰﾀがｽﾀｯｸから引き出されると+1され、ｻﾌﾞﾙｰﾁﾝからの復帰(RET)命令や割り込みからの復帰(RETI)命令でｱﾄﾞﾚｽがｽﾀｯｸから引き出されると+2されます。

AVRのｽﾀｯｸ ﾎﾟｲﾝﾀはI/O空間内の2つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀとして実装されます。実際に使われるﾋﾞｯﾄ数は(そのﾃﾞﾊﾞｲｽ)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(ﾃﾞﾊﾞｲｽ)のﾃﾞｰﾀ空間もあることに注意してください。その場合、SPHﾚｼﾞｽﾀは存在しません。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
$3E ($5E)	–	–	–	–	–	SP10	SP9	SP8	SPH
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3D ($5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

命令実行ﾀｲﾐﾝｸﾞ

本項は命令実行の一般的なｱｸｾｽ ﾀｲﾐﾝｸﾞの概念を記述します。AVR CPUはﾁｯﾌﾟ(ﾃﾞﾊﾞｲｽ)用に選んだｸﾛｯｸ元から直接的に生成したCPUｸﾛｯｸ(clk_{CPU})によって駆動されます。内部ｸﾛｯｸ分周は使われません。

図6.はﾊｰﾊﾞｰﾄﾞ構造と高速ｱｸｾｽ ﾚｼﾞｽﾀ ﾌｧｲﾙの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対ｸﾛｯｸ、機能対電源部についての好結果と対応するMHzあたり1 MIPSを達成するための基本的なﾊﾟｲﾌﾟﾗｲﾝの概念です。

図7.はﾚｼﾞｽﾀ ﾌｧｲﾙに対する内部ﾀｲﾐﾝｸﾞの概念を示します。単一ｸﾛｯｸ周期で2つのﾚｼﾞｽﾀ ｵﾍﾟﾗﾝﾄﾞを使うALU操作が実行され、その結果が転送先ﾚｼﾞｽﾀへ書き戻されます。

図6. 命令の取得と実行の並列動作

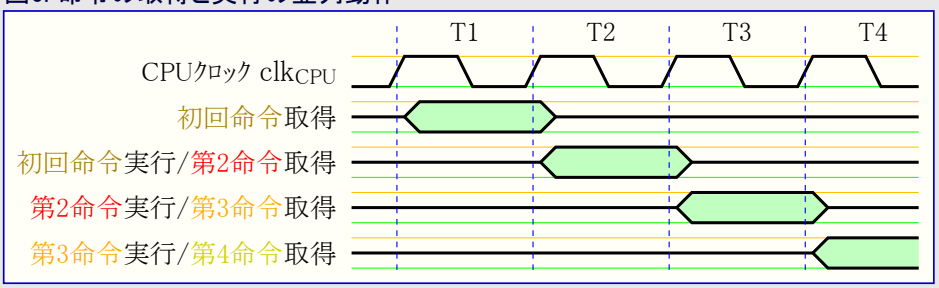
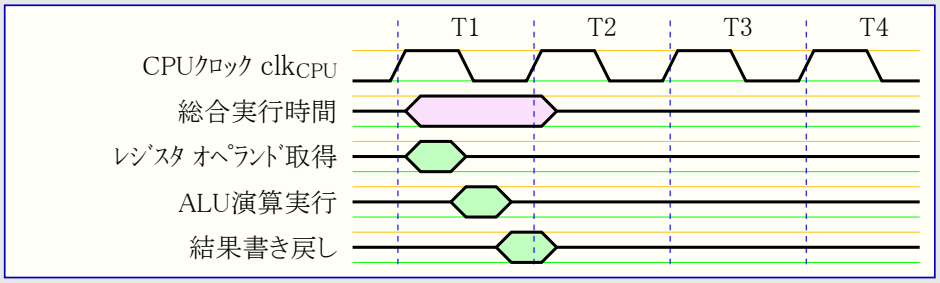


図7. 1周期ALU命令



ﾘｾｯﾄと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したﾘｾｯﾄ ﾍﾞｸﾀ各々はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間内に独立したﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀを持ちます。全ての割り込みは割り込みを許可するために、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと共に論理1が書かれなければならない個別の許可ﾋﾞｯﾄを割り当てられます。BLB02またはBLB12ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ値によっては割り込みが自動的に禁止されるかもしれません。この特質はｿﾌﾄｳｪｱ保護を改善します。詳細については163頁の「**ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」章をご覧ください。

既定でのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間の最下位ｱﾄﾞﾚｽはﾘｾｯﾄと割り込みのﾍﾞｸﾀとして定義されます。ﾍﾞｸﾀの完全な一覧は30頁の「**割り込み**」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側ｱﾄﾞﾚｽがより高い優先順位です。ﾘｾｯﾄが最高優先順位で次が外部割り込み要求0(INT0)です。割り込みﾍﾞｸﾀはMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄの設定(1)によってﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭へ移動できます。より多くの情報については30頁の「**割り込み**」を参照してください。ﾘｾｯﾄ ﾍﾞｸﾀもBOOTRSTﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)によってﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭へ移動できます。154頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」をご覧ください。

割り込みが起こると全割り込み許可(I)ﾋﾞｯﾄが解除(0)され、全ての割り込みは禁止されます。使用者ｿﾌﾄｳｪｱは多重割り込みを許可するため、全割り込み許可(I)ﾋﾞｯﾄへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みﾙｰﾁﾝで割り込めます。全割り込み許可(I)ﾋﾞｯﾄは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求ﾌﾗｸﾞを設定(I)する事象によって起動されます。これらの割り込みでは割り込み処理ﾙｰﾁﾝを実行するために、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは対応する現実の割り込みﾍﾞｸﾀを指示し、ﾊｰﾄﾞｳｪｱが対応する割り込み要求ﾌﾗｸﾞを解除(0)します。割り込み要求ﾌﾗｸﾞは開錠(0)されるべきﾌﾗｸﾞのﾋﾞｯﾄ位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ﾋﾞｯﾄが解除(0)されている間に割り込み条件が起こると、割り込み要求ﾌﾗｸﾞが設定(1)され、割り込みが許可されるか、またはこのﾌﾗｸﾞがｿﾌﾄｳｪｱによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ﾋﾞｯﾄが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求ﾌﾗｸﾞが設定(1)されて全割り込み許可(I)ﾋﾞｯﾄが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求ﾌﾗｸﾞを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主ﾌﾟﾛｸﾞﾗﾑへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は割り込みﾙｰﾁﾝへ移行時の保存も、復帰時の再設定も自動的に行われないことに注意してください。これはｿﾌﾄｳｪｱによって扱われなければなりません。

割り込みを禁止するためにCLI命令を使うと、割り込みは直ちに禁止されます。CLI命令と同時に割り込みが起こっても、CLI命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使えるかを示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
IN      R16, SREG          ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存
CLI                        ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMWE        ;EEPROM主書き込み許可
SBI     EECR, EEWE         ;EEPROM書き込み開始
OUT     SREG, R16          ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
char cSREG;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ保存変数定義 */
cSREG = SREG;              /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存 */
__disable_interrupt();     /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMWE);        /* EEPROM主書き込み許可 */
EECR |= (1<<EEWE);         /* EEPROM書き込み開始 */
SREG = cSREG:              /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰 */
```

割り込みを許可するためにSEI命令を使うと、次例で示されるようにどの保留割り込みにも先立ってSEI命令の次の命令が実行されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SEI                        ;全割り込み許可
SLEEP                      ;休止形態移行 (割り込み待ち)
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
__enable_interrupt();      /* 全割り込み許可 */
__sleep();                 /* 休止形態移行 (割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4ｸﾛｯｸ周期です。4ｸﾛｯｸ周期後、実際の割り込み処理ﾙｰﾁﾝに対するﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀ ｱﾄﾞﾚｽが実行されます。この4ｸﾛｯｸ周期時間中にﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)がｽﾀｯｸ上に保存(ﾌﾟｯｼｭ)されます。このﾍﾞｸﾀは標準的に割り込み処理ﾙｰﾁﾝへの無条件分岐で、この分岐は3ｸﾛｯｸ周期要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4ｸﾛｯｸ周期増やされます。この増加は選んだ休止形態からの起動時間に加えてです。

割り込み処理ﾙｰﾁﾝからの復帰は4ｸﾛｯｸ周期要します。これらの4ｸﾛｯｸ周期中、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC:2ﾊﾞｲﾄ)がｽﾀｯｸから取り戻され(ﾎﾟｯﾌﾟ)、ｽﾀｯｸ ﾎﾟｲﾝﾀは増加され(+2)、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されます。

AVR ATmega165のメモリ

この項はATmega165の各種メモリを記述します。AVR構造にはプログラム メモリ空間とデータ メモリ空間の2つの主なメモリ空間があります。加えてATmega165はデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

実装書き換え可能なプログラム用フラッシュ メモリ

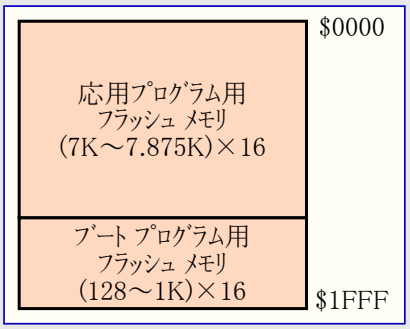
ATmega165はプログラム保存用に実装書き換え可能な16Kバイトのフラッシュ メモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュ メモリは8K×16ビットとして構成されます。ソフトウェア保護のため、フラッシュ プログラム メモリ空間はブート プログラム領域と応用プログラム領域の2つに分けられます。

フラッシュ メモリは最低10,000回の消去/書き込み回数の耐久性があります。ATmega165のプログラム カウンタ(PC)は13ビット幅、従って8Kプログラム メモリ位置のアドレス指定です。ブート プログラム領域の操作と関係するソフトウェア保護用ブート施錠ビットは154頁の「ブート ローダ支援 – 書き込み中読み出し可能な自己プログラミング」の詳細で記述されます。163頁の「メモリ プログラミング」はSPI、JTAG、並列プログラミング動作でのフラッシュ メモリ プログラミングの詳細な記述を含みます。

定数表は全てのプログラム メモリ アドレス空間に配置できます。(LPM命令記述参照)

命令の取得と実行のタイミング図は9頁の「命令実行タイミング」で示されます。

図8. プログラム メモリ配置図



データ用SRAM メモリ

図9.はATmega165のSRAMメモリ構成方法を示します。

ATmega165はINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O空間に対してLD/LDS/LDDとST/STS/STD命令だけが使えます。

下位1280データ メモリ位置はレジスタ ファイル、I/Oメモリ、拡張I/O メモリ、データ用内蔵SRAMに充てます。先頭の32位置はレジスタ ファイル、次の64位置は標準I/Oメモリ、その次の160位置は拡張I/Oメモリ、そして次の1024位置はデータ用内蔵SRAMに充てます。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定種別でデータ メモリ(空間)を網羅します。レジスタ ファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われる)X,Y,Zアドレス レジスタは減少(-1)または増加(+1)されます。

図9. データ メモリ配置図

		アドレス
レジスタ ファイル (32×8)	R0 ～ R31	$0000 ～ $001F
I/O レジスタ (64×8)	$00 ～ $3F	$0020 ～ $005F
拡張I/O レジスタ (160×8)	$0060 ～ $00FF	$0060 ～ $00FF
内蔵 SRAM (1024×8)	$0100 ～ $04FF	$0100 ～ $04FF

注:赤字はI/Oアドレス

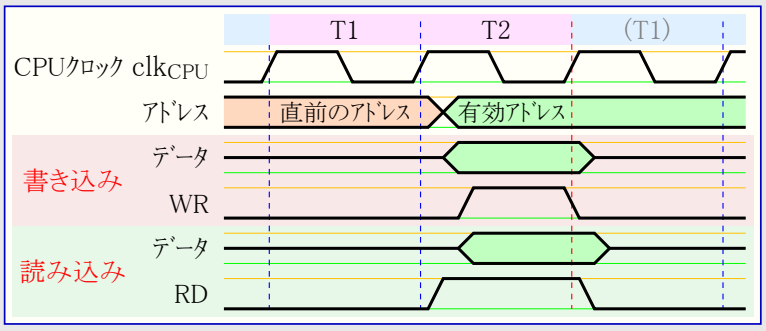
ATmega165の32個の汎用レジスタ、64個のI/Oレジスタ、160個の拡張I/Oレジスタ、1024バイトのデータ用内蔵SRAMは、これら全てのアドレス指定種別を通して全部アクセスできます。レジスタ ファイルは8頁の「汎用レジスタ ファイル」で記述されます。

データ メモリ アクセス タイミング

この項は内部メモリ アクセスに対する一般的なアクセス タイミングの概念を記述します。データ用内蔵SRAMアクセスは図10.で記載されるように2 clk_{CPU}周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図10. データ用内蔵SRAMアクセス周期



ﾃﾞｰﾀ用EEPROMﾒﾓﾘ

ATmega165は512ﾊﾞｲﾄのﾃﾞｰﾀEEPROMを含みます。それは単一ﾊﾞｲﾄが読み書きできる分離したﾃﾞｰﾀ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のｱｸｾｽは以降のEEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ、EEPROMﾃﾞｰﾀ ﾚｼﾞｽﾀ、EEPROM制御ﾚｼﾞｽﾀで詳細に記述されます。

EEPROMへのSPI、JTAG、並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの詳細記述については各々173頁、175頁、165頁をご覧ください。

EEPROMｱｸｾｽ

EEPROMｱｸｾｽ ﾚｼﾞｽﾀはI/O空間でｱｸｾｽ可能です。

EEPROMの書き込み(**訳注**:原文はｱｸｾｽ)時間は13頁の**表1.**で与えられます。(書き込みは)自己ﾀｲﾐﾝｸﾞ機能ですが、使用者ｿﾌﾄｳｪｱは次ﾊﾞｲﾄが書ける時を検知してください。使用者ｺｰﾄﾞがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。厳重に濾波した電源では電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはﾃﾞﾊﾞｲｽが何周期かの間、使われるｸﾛｯｸ周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については14頁の「**EEPROMﾃﾞｰﾀ化けの防止**」をご覧ください。

予期せぬEEPROM書き込みを防止するため、特別な書き込み手順に従わなければなりません。この詳細については「EEPROM制御ﾚｼﾞｽﾀ」の記述を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4ｸﾛｯｸ周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2ｸﾛｯｸ周期停止されます。

EEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (EEPROM Address Register) EEARH,EEARL (EEAR)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
$22 ($42)	–	–	–	–	–	–	–	EEAR8	EEARH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	不定	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$21 ($41)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

• **ﾋﾞｯﾄ15~9 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ8~0 – EEAR8~0 : EEPROMｱﾄﾞﾚｽ** (EEPROM Address)

EEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEARHとEEARL)は512ﾊﾞｲﾄEEPROM空間のEEPROMｱﾄﾞﾚｽを指定します。EEPROMﾃﾞｰﾀ ﾊﾞｲﾄは0～511間で直線的に配されます。EEARの初期値は不定です。EEPROMがｱｸｾｽされるであろう前に適切な値が書かれねばなりません。

EEPROMﾃﾞｰﾀ ﾚｼﾞｽﾀ (EEPROM Data Register) EEDR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$20 ($40)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7~0 – EEDR7~0 : EEPROMﾃﾞｰﾀ** (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)で与えたｱﾄﾞﾚｽのEEPROMへ書かれるべきﾃﾞｰﾀを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたｱﾄﾞﾚｽのEEPROMから読み出したﾃﾞｰﾀを含みます。

EEPROM制御ﾚｼﾞｽﾀ (EEPROM Control Register) EECR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1F ($3F)	–	–	–	–	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

• **ﾋﾞｯﾄ7~4 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ3 – EERIE : EEPROM操作可割り込み許可** (EEPROM Ready Interrupt Enable)

EERIEの1書き込みはｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みはこの割り込みを禁止します。EEPROM操作可割り込みはEEWEが解除(0)されていると継続する割り込みを発生します。

• **ﾋﾞｯﾄ2 – EEMWE : EEPROM主書き込み許可** (EEPROM Master Write Enable)

EEMWEﾋﾞｯﾄはEEPROM書き込み許可(EEWE)ﾋﾞｯﾄの1設定がEEPROM書き込みの原因となるかどうかを決めます。EEMWEが設定(1)されるとき、EEWEの1設定は選んだｱﾄﾞﾚｽのEEPROMにﾃﾞｰﾀを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがｿﾌﾄｳｪｱによって設定(1)されてしまうと、4ｸﾛｯｸ周期後にﾊｰﾄﾞｳｪｱがこのﾋﾞｯﾄを0に解除します。EEPROM書き込み手順については「**書き込み許可(EEWE)ﾋﾞｯﾄ**」の記述をご覧ください。

• **ﾋﾞｯﾄ1 – EEWE : EEPROM書き込み許可** (EEPROM Write Enable)

EEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みｽﾄﾛｰﾌﾞです。ｱﾄﾞﾚｽとﾃﾞｰﾀが正確に設定されると、EEPROMへその値を書くためにEEWEﾋﾞｯﾄは1を書かれなければなりません。論理1がEEWEへ書かれる前にEEPROM主書き込み許可(EEMWE)ﾋﾞｯﾄは1を書かれなければならず、さもなければEEPROM書き込みは行われません。EEPROMを書くとき、次の手順に従うべきです(手順**3.**と**4.**の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ﾋﾞｯﾄが0になるまで待ちます。
2. SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)のSPM操作許可(SPMEN)ﾋﾞｯﾄが0になるまで待ちます。
3. 今回のEEPROMｱﾄﾞﾚｽをEEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)に書きます。(任意、省略可)
4. 今回のEEPROMﾃﾞｰﾀをEEPROMﾃﾞｰﾀ ﾚｼﾞｽﾀ(EEDR)に書きます。(任意、省略可)
5. EEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROM主書き込み許可(EEMWE)ﾋﾞｯﾄに1を、EEPROM書き込み許可(EEWE)ﾋﾞｯﾄに0を同時に書きます。
6. EEMWEﾋﾞｯﾄ設定後4ｸﾛｯｸ周期内にEEPROM書き込み許可(EEWE)ﾋﾞｯﾄへ論理1を書きます。

CPUがﾌﾗｯｼｭ ﾒﾓﾘ書き込み中、EEPROMはﾌﾟﾛｸﾞﾗﾑ(書き込みが)できません。ｿﾌﾄｳｪｱは新規EEPROM書き込みを始める前にﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了されていることを検査しなければなりません。**2.**はｿﾌﾄｳｪｱがﾌﾗｯｼｭ ﾒﾓﾘをﾌﾟﾛｸﾞﾗﾑ(書き込みを)することをCPUに許すﾌﾞｰﾄ ﾛｰﾀﾞを含む場合だけ関係します。ﾌﾗｯｼｭ ﾒﾓﾘが決してCPUによって更新されないなら、**2.**は省略できます。ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞについての詳細に関しては154頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」をご覧ください。

警告: 手順**5.**と**6.**間の割り込みはEEPROM主書き込み許可が時間超過するため、書き込み周期失敗になります。EEPROMをｱｸｾｽする割り込みﾙｰﾁﾝが他のEEPROMｱｸｾｽを中断し、EEARかEEDRが変更されると、中断したEEPROMｱｸｾｽを失敗させます。これらの問題を避けるため、全ての手順中、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄは解除(0)されていることが推奨されます。

書き込みｱｸｾｽ時間が経過されると、EEPROM書き込み許可(EEWE)ﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。使用者ｿﾌﾄｳｪｱは次ﾊﾞｲﾄを書く前にこのﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞし、0を待つことができます。EEWEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

• **ﾋﾞｯﾄ0 – EERE : EEPROM読み込み許可** (EEPROM Read Enable)

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みｽﾄﾛｰﾌﾞです。EEARに正しいｱﾄﾞﾚｽが設定されると、EEPROM読み出しを起動するためにEEREﾋﾞｯﾄは論理1を書かれなければなりません。EEPROM読み出しｱｸｾｽは(その)1命令で行われ、要求したﾃﾞｰﾀは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。

使用者は読み込み操作を始める前にEEWEﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞすべきです。書き込み操作が実行中の場合、EEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)の変更もEEPROM読み込みもできません。

EEPROMｱｸｾｽの時間に校正済み内蔵RC発振器が使われます。**表1.**はCPUからのEEPROMｱｸｾｽに対する代表的な書き込み時間を示します。

表1. EEPROM書き込み時間

項目	校正付き内蔵RC発振器周期数	代表
EEPROM書き込み(CPU)	67584	8.5ms

次のｺｰﾄﾞ例はｱｾﾝﾌﾞﾘ言語とC言語でのEEPROM書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はｿﾌﾄｳｪｱ内にﾌﾗｯｼｭ ﾌﾞｰﾄ ﾛｰﾀﾞが無い前提でもあります。そのようなｺｰﾄﾞが存在する場合、EEPROM書き込み関数は何れかが実行するSPM命令の完了も待たねばなりません。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
EEPROM_WR:  SBIC    EECR, EEWE          ;EEPROM書き込み完了ならばｽｷｯﾌﾟ
            RJMP    EEPROM_WR           ;以前のEEPROM書き込み完了まで待機
;
            OUT     EEARH, R18          ;EEPROMｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定
            OUT     EEARL, R17          ;EEPROMｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定
            OUT     EEDR, R16           ;EEPROM書き込み値を設定
            SBI     EECR, EEMWE         ;EEPROM主書き込み許可ﾋﾞｯﾄ設定
            SBI     EECR, EEWE          ;EEPROM書き込み開始(書き込み許可ﾋﾞｯﾄ設定)
            RET                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEWE));            /* 以前のEEPROM書き込み完了まで待機 */
    EEAR = uiAddress;                   /* EEPROMｱﾄﾞﾚｽ設定 */
    EEDR = ucData;                      /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMWE);                 /* EEPROM主書き込み許可 */
    EECR |= (1<<EEWE);                  /* EEPROM書き込み開始 */
}
```

次のｺｰﾄﾞ例はｱｾﾝﾌﾞﾘ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
EEPROM_RD:  SBIC    EECR, EEWE          ;EEPROM書き込み完了ならばｽｷｯﾌﾟ
            RJMP    EEPROM_RD           ;以前のEEPROM書き込み完了まで待機
;
            OUT     EEARH, R18          ;EEPROMｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定
            OUT     EEARL, R17          ;EEPROMｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定
            SBI     EECR, EERE          ;EEPROM読み出し開始(読み込み許可ﾋﾞｯﾄ設定)
            IN      R16, EEDR           ;EEPROM読み出し値を取得
            RET                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEWE));            /* 以前のEEPROM書き込み完了まで待機 */
    EEAR = uiAddress;                   /* EEPROMｱﾄﾞﾚｽ設定 */
    EECR |= (1<<EERE);                  /* EEPROM読み出し開始 */
    return EEDR;                        /* EEPROM読み出し値を取得,復帰 */
}
```

ﾊﾟﾜｰﾀﾞｳﾝ休止動作中のEEPROM書き込み

EEPROM書き込み動作が活動中にﾊﾟﾜｰﾀﾞｳﾝ休止動作へ移行すると、EEPROM書き込み動作が継続し、EEPROM書き込み時間が過ぎ去ってしまう前に完了します。しかし、書き込み動作が完了されると、発振器が動作を継続し、結果としてﾃﾞﾊﾞｲｽはﾊﾟﾜｰﾀﾞｳﾝ動作へ完全に移行しません。従ってﾊﾟﾜｰﾀﾞｳﾝへ移行する前に、EEPROM書き込み動作が完了される(EEWE=0)ことの確認が推奨されます。(**訳補**: ﾊﾟﾜｰﾀﾞｳﾝ移行後もEPROM書き込みは正常に完了するが、その後発振器が止まらないことの注意)

EEPROMﾃﾞｰﾀ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMﾃﾞｰﾀが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMﾃﾞｰﾀ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

EEPROMﾃﾞｰﾀ化けは次の推奨設計によって容易に避けられます。

不充分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCﾘｾｯﾄ保護回路が使えます。書き込み動作実行中にﾘｾｯﾄが起こると、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

I/O メモリ (レジスタ)

ATmega165のI/O空間定義は209頁の「**レジスタ要約**」で示されます。

ATmega165の全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲$00～$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビット アクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「**命令要約**」章を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス$00～$3Fが使われなければなりません。LD命令とST命令を使い、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに$20が加算されなければなりません。

ATmega165はINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリ アドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は他の多くのAVRの様ではなく、指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに注意してください。CBIとSBI命令は(I/Oアドレス)$00～$1FのレジスタでのみI/O動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

汎用I/Oレジスタ

ATmega165は3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使え、特に全体変数や状態フラグの格納に有用です。(I/O)アドレス範囲$00～$1Fの汎用I/OレジスタはSBI,CBI,SBIS,SBIC命令の使用で直接ビット アクセスが可能です。

汎用I/Oレジスタ2 (General Purpose I/O Register 2) GPIOR2

ビット	7	6	5	4	3	2	1	0	
$2B ($4B)	(MSB)							(LSB)	GPIOR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

汎用I/Oレジスタ1 (General Purpose I/O Register 1) GPIOR1

ビット	7	6	5	4	3	2	1	0	
$2A ($4A)	(MSB)							(LSB)	GPIOR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

汎用I/Oレジスタ0 (General Purpose I/O Register 0) GPIOR0

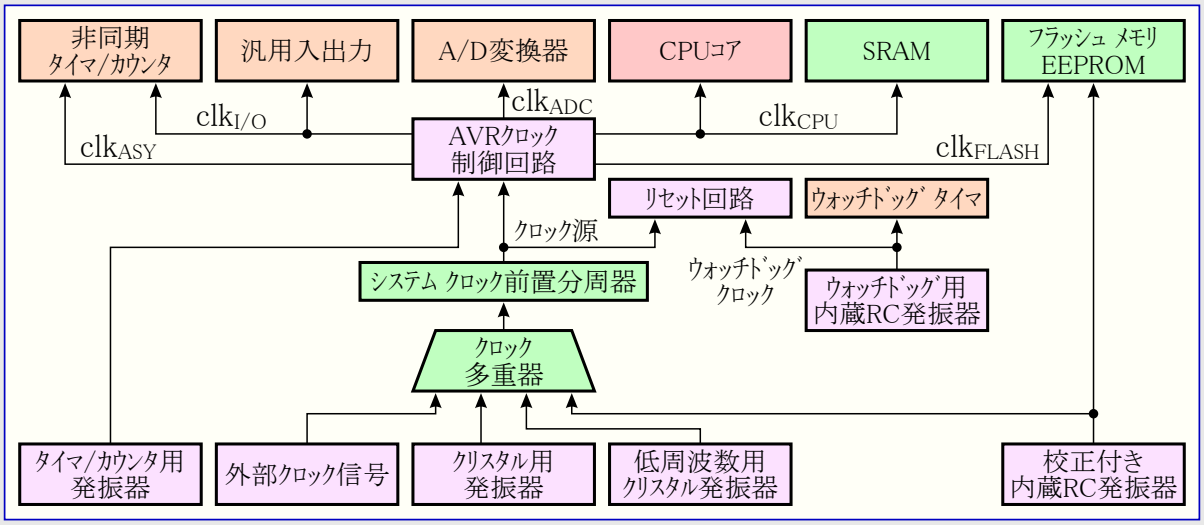
ビット	7	6	5	4	3	2	1	0	
$1E ($3E)	(MSB)							(LSB)	GPIOR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

システム クロックとクロック選択

クロック系統とその配給

図11.はAVR内の主要なクロック系統とその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、21頁の「電力管理と休止形態」で記述される各種休止形態の使用によって、使われない部分のクロックを停止することができます。クロック系統は以下で詳細に示されます。

図11. クロックの配給



CPU クロック – clk_{CPU}

CPUクロックはAVRコアの動作と関係する系統の部分に配給されます。このような部分の例は汎用レジスタ ファイル、ステータス レジスタ、スタック ポインタを保持するデータ メモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

I/O クロック – $clk_{I/O}$

I/Oクロックはタイマ/カウンタ、SPI、USARTのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。多用途直列(USI)部の開始条件検出は$clk_{I/O}$が停止されるとき非同期に実行され、全休止形態でUSI開始条件検出を可能とすることにも注意してください。

フラッシュ クロック – clk_{FLASH}

フラッシュ クロックはフラッシュ メモリ インターフェースの動作を制御します。このフラッシュ クロックは常にCPUクロックと同時に活動します。

非同期タイマ クロック – clk_{ASY}

非同期タイマ クロックは外部32kHzクロック用クリスタルから直接的にクロック駆動されるのを非同期タイマ/カウンタに許します。この専用クロック範囲はデバイスが休止形態の時でも、このタイマ/カウンタの実時間計数器としての使用を許します。

A/D変換クロック – clk_{ADC}

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成された雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

クロック元

このデバイスには右で示されるようにフラッシュ ヒューズ ビットによって選択可能な後続のクロック元選択があります。選んだクロック元からのクロックはAVRクロック発生器への入力で、適切な単位部へ配給されます。

各クロック選択に対する各種選択は以降の項で得られます。CPUがパワーダウンまたはパワーセーブから起動するとき、選んだクロック元は命令実行開始前に安定な発振器動作を保証する起動時間に使われます。CPUがリセットから始まるとき、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器はこの起動時間の実時間部のタイミングに使われます。各計時完了に使われるウォッチドッグ(WDT)発振器の周期数は表3.で示されます。186頁の「代表特性」で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。

表2. クロック種別選択

クロック種別	CKSEL3～0
外部クリスタル/セラミック発振子	1111～1000
外部低周波数クリスタル発振子	0111～0110
校正付き内蔵RC発振器	0010
外部クロック信号	0000
(予約)	00x1, 010x

注: 1=非プログラム、0=プログラム、x=0または1

表3. WDT発振器の代表的計時完了値、周期数

VCC=3.0V	VCC=5.0V	周期数
4.3ms	4.1ms	4K (4096)
69ms	65ms	64K (65536)

既定のクロック元

このデバイスはCKSEL=0010, SUT=10, CKDIV8=プログラム(0)で出荷されます。既定クロック元設定は最長起動時間で初期システム クロック 8分周の内蔵RC発振器です。この既定設定は全ての使用者が実装または並列書き込み器を使ってそれらを希望したクロック元設定にできることを保証します。

クリスタル用発振器

XTAL1とXTAL2は図12.で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使えます。

C1とC2はクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使うクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁雑音に依存します。クリスタル発振子使用に対するコンデンサ選択について初期の指針のいくつかは表4.で与えられます。セラミック振動子については製造業者によって与えられたコンデンサ値が使われるべきです。

発振器は示された周波数範囲で最適化された4つの異なる動作ができます。この動作は、表4.で示されたCKSEL3～1ヒューズによって選ばれます。

図12. クリスタル発振子接続図

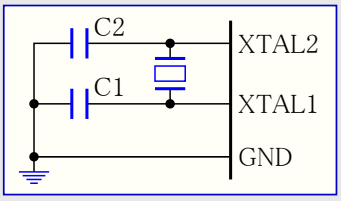


表4. クリスタル発振器動作

CKSEL3～1	周波数範囲	推奨C1,2容量
100 (注1)	0.4～0.9MHz	–
101	0.9～3.0MHz	12～22pF
110	3.0～8.0MHz	12～22pF
111	8.0～ MHz	12～22pF

注1: 本選択はクリスタル発振子ではなく、セラミック振動子でのみ使われるべきです。

CKSEL0ヒューズはSUT1,0ヒューズと共に、表5.で示される起動遅延時間を選びます。

表5. クリスタル発振子/セラミック振動子用起動遅延時間選択表

CKSEL0	SUT1,0	パワーダウン, パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	0 0	258×CK (注1)	14×CK+4.1ms	外部セラミック振動子、高速上昇電源
	0 1	258×CK (注1)	14×CK+65ms	外部セラミック振動子、低速上昇電源
	1 0	1K×CK (注2)	14×CK	外部セラミック振動子、低電圧検出(BOD)リセット許可
	1 1	1K×CK (注2)	14×CK+4.1ms	外部セラミック振動子、高速上昇電源
1	0 0	1K×CK (注2)	14×CK+65ms	外部セラミック振動子、低速上昇電源
	0 1	16K×CK	14×CK	外部クリスタル発振子、低電圧検出(BOD)リセット許可
	1 0	16K×CK	14×CK+4.1ms	外部クリスタル発振子、高速上昇電源
	1 1	16K×CK	14×CK+65ms	外部クリスタル発振子、低速?電源

注1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。これらの選択はクリスタル発振子用ではありません。

注2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性を保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使えます。

低周波数ｸﾘｽﾀﾙ用発振器

ﾃﾞﾊﾞｲｽに対するｸﾛｯｸ元として時計用32.768kHzｸﾘｽﾀﾙを使うには、CKSEL3～0ﾋｭｰｽﾞを'0110','0111'に設定することによって低周波数ｸﾘｽﾀﾙ発振器が選ばれなければなりません。ｸﾘｽﾀﾙは**図12.**で示されるように接続されるべきです。この発振器が選ばれると、起動遅延時間は**表6.**で示されるSUTﾋｭｰｽﾞと**表7.**で示されるCKSEL0ﾋｭｰｽﾞによって決定されます。

表6. 低周波数ｸﾘｽﾀﾙ発振器用起動遅延時間選択表

SUT1,0	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	14×CK	高速上昇電源またはBOD許可
0 1	14×CK+4.1ms	低速上昇電源
1 0	14×CK+65ms	起動時の周波数安定
1 1	(予約)	

表7. 低周波数ｸﾘｽﾀﾙ発振器用起動時間選択表

CKSEL3～0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	推奨使用法
0 1 1 0	1K×CK	(注1)
0 1 1 1	32K×CK	起動時の周波数安定

注1: これらの選択は起動時の周波数安定度が応用にとって重要でない場合だけ使われるべきです。

校正付き内蔵RC発振器

校正された内蔵RC発振器は決められた8.0MHzｸﾛｯｸを供給します。この周波数は3V, 25℃での公称値です。8MHz周波数がﾃﾞﾊﾞｲｽの仕様(VCCに依存)を越える場合、起動中に内部周波数を8分周するためにCKDIV8ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されなければなりません。このﾃﾞﾊﾞｲｽはCKDIV8ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)で出荷されます。より多くの詳細については20頁の「**ｼｽﾃﾑ ｸﾛｯｸ前置分周器**」をご覧ください。このｸﾛｯｸは**表8.**で示されるようにCKSELﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾐﾝｸﾞによってｼｽﾃﾑ ｸﾛｯｸとして選べます。選んだなら、外部部品なしで動作します。ﾘｾｯﾄ中、ﾊｰﾄﾞｳｪｱが発振校正ﾚｼﾞｽﾀ(OSCCAL)に校正値ﾊﾞｲﾄを設定し、これによってRC発振器を自動的に校正します。この校正は3V,25℃で公称周波数±10%以内の周波数を与えます。atmel.com/avrで利用可能な応用記述に記載された実行時校正法の使用で、与えられたどのVCCと温度でも±2%の精度を達成することができます。この発振器がﾁｯﾌﾟ(ｼｽﾃﾑ)ｸﾛｯｸとして使われるとき、ｳｫｯﾁﾄﾞｯｸﾞ発振器は未だｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏとﾘｾｯﾄ付加遅延ﾀｲﾏに使われます。予め設定された校正値のより多くの情報については165頁の「**校正ﾊﾞｲﾄ**」項をご覧ください。

表8. 校正付き内蔵RC発振器動作

CKSEL3～0	公称周波数
0 0 1 0 (注)	8.0MHz

注: ﾃﾞﾊﾞｲｽはこの選択で出荷されます。

この発振器が選ばれると、起動時間は**表9.**で示されるようにSUTﾋｭｰｽﾞによって決定されます。内蔵RC発振器選択はﾀｲﾏ用発振器ﾋﾟﾝとして使われることをXTAL1/TOSC1とXTAL2/TOSCﾋﾟﾝに許します。

表9. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	ﾊﾟﾜｰﾀﾞｳﾝ, ﾊﾟﾜｰｾｰﾌﾞからの起動遅延時間	ﾘｾｯﾄからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK	低電圧検出(BOD)ﾘｾｯﾄ許可
0 1	6×CK	14×CK+4.1ms	高速上昇電源
1 0 (注1)	6×CK	14×CK+65ms	低速上昇電源
1 1	(予約)		

注1: ﾃﾞﾊﾞｲｽはこの選択で出荷されます。

発振校正ﾚｼﾞｽﾀ (Oscillator Calibration Register) OSCCAL

ﾋﾞｯﾄ ($66)	7	6	5	4	3	2	1	0	
	–	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	ﾃﾞﾊﾞｲｽ固有の校正値							

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved) (**訳注**:共通性のため本項追加)

このﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ6~0 – CAL6~0 : 発振校正値** (Oscillator Calibration Value)

このｱﾄﾞﾚｽへの校正ﾊﾞｲﾄ書き込みは発振器周波数の偏差処理を省くために内蔵発振器を調整します。これはﾁｯﾌﾟ ﾘｾｯﾄ中、自動的に行われます。OSCCALが0の時に最低利用可能周波数が選ばれます。このﾚｼﾞｽﾀへ0以外の値を書くことは内蔵発振器の周波数を増加します。このﾚｼﾞｽﾀへの$7F書き込みは最高使用可能周波数にします。校正付き発振器はﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのｱｸｾｽ時間に使われます。ﾌﾗｯｼｭ ﾒﾓﾘまたはEEPROMが書かれる場合、公称周波数より上へ10%を越えて校正してはいけません。さもなくば、ﾌﾗｯｼｭﾒﾓﾘまたはEEPROM書き込みは失敗するかもしれません。この発振器は8.0MHzへの校正を意図したものであることに注意してください。**表10.**で示されるような他の値への調整は保証されません。

表10. 内蔵RC発振器周波数範囲

OSCCAL値	公称周波数に対する割合	
	最小	最大
$00	50 %	100 %
$3F	75 %	150 %
$7F	100 %	200 %

外部クロック信号

外部クロック元からデバイスを駆動するためにXTAL1は図13.で示されるように駆動されるべきです。外部クロックでデバイスを走行するためにはCKSELヒューズが'0000'にプログラム(設定)されなければなりません。

このクロック元が選ばれると、起動時間は表12.で示されるようにSUTヒューズによって決定されます。

表11. 外部クロック信号動作

CKSEL3～0	周波数範囲
0 0 0 0	0～16MHz

図13. 外部クロック信号駆動接続図

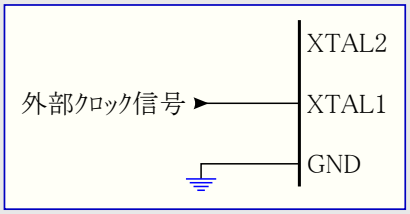


表12. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウン, パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4.1ms	高速上昇電源
1 0	6×CK	14×CK+65ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システム クロック前置分周器が安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使えることに注意してください。詳細については20頁の「**システム クロック前置分周器**」を参照してください。

クロック出力緩衝部 (外部クロック出力)

CKOUTヒューズがプログラム(0)されると、システム クロックがCLKO(ピン)に出力されます。この動作はチップのクロックがシステム上の他の回路を駆動する時用です。このヒューズがプログラム(0)されると、I/Oピンの通常動作は無視され、このクロックはリセット中も出力されます。CLKOがクロック出力を扱うとき、校正付き内蔵RC発振器を含む何れのクロック元も選べます。システム クロック前置分周器が使われると、CKOU Tヒューズがプログラム(0)された時の出力は分周したシステム クロックです。

タイマ/カウンタ用発振器

ATmega165はタイマ/カウンタ用発振器(TOSC1とTOSC2)ピンとXTAL1,XTAL2ピンを共用します。これはシステム クロック元として校正付き内蔵RC発振器が選ばれる時だけタイマ/カウンタ用発振器が使えることを意味します。この発振器は時計用32.768kHzクリスタルでの使用に最適化されています。クリスタルの接続については17頁の図12.をご覧ください。

非同期状態レジスタ(ASSR)の外部クロック許可(EXCLK)ビットが論理1を書かれると、TOSC1に外部クロック元の印加が行えます。32kHzクリスタルに代わる入力として外部クロックを選ぶ更なる記述については95頁の「**タイマ/カウンタ2の非同期動作**」をご覧ください。

システム クロック前置分周器 (訳注:共通性から本節は差し替えています。)

ATmega165のシステム クロックはクロック前置分周レジスタ(CLKPR)の設定によって分周できます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使えます。これは全クロック種別で使え、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clk_{CPU}、clk_{FLASH}、$clk_{I/O}$、clk_{ADC}は表13.で示された値によって分周されます。

clk_{ASY}(非同期タイマ/カウンタ用クロック)のクロック周波数は、タイマ/カウンタが同期クロックで駆動される場合だけ分周されることに注意してください(訳注:共通性のため本行追加)。

前置分周器設定間を切り替えるとき、システム クロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロック系で不具合が起きないことを保証します。

前置分周器として実行するリプル カウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2～T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

1. クロック分周値変更許可(CLKPCE)ビットに1、CLKPR内の他の全ビットに0を書きます。
2. (次からの)4周期以内にCLKPCEビットを0とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

クロック前置分周レジスタ (Clock Prescale Register) CLKPR

ビット	7	6	5	4	3	2	1	0	
($61)	CLKPCE	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

• ビット7 – CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するためにCLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれる時だけ更新されます。CLKPCEは書き込み後4クロック周期またはCLKPSビット書き込み時、ハードウェアによって解除(0)されます。この制限時間(4クロック周期)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(0)も行いません。

• ビット3～0 – CLKPS3～0 : クロック分周値選択 (Clock Prescaler Select Bits 3～0)

これらのビットは選んだクロック元と内部システム クロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使われると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は表13.で与えられます。

CKDIV8ヒューズがCLKPSビットの初期値を決めます。CKDIV8が非プログラム(1)にされると、CLKPSビットは'0000'にリセットされます。CKDIV8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、この機能が使われるべきです。CKDIV8ヒューズ設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、充分な分周値が選ばれることを保証しなければなりません。本デバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。

表13. クロック前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1	2	4	8	16	32	64	128	256	(予約)						

電力管理と休止形態

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

5つの休止形態の何れかへ移行するには休止形態制御ﾚｼﾞｽﾀ(SMCR)の休止許可(SE)ﾋﾞｯﾄが論理1を書かれ、SLEEP命令が実行されなければなりません。SMCRの休止種別選択(SM2～0)ﾋﾞｯﾄはSLEEP命令によって活性(有効)にされる休止形態(ｱｲﾄﾞﾙ、A/D変換雑音低減、ﾊﾟﾜｰﾀﾞｳﾝ、ﾊﾟﾜｰｾｰﾌﾞ、ｽﾀﾝﾊﾞｲ)のどれかを選びます。一覧については**表14.**をご覧ください。MCUが休止形態中に許可した割り込みが起こると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みﾙｰﾁﾝを実行し、そしてSLEEP命令の次の命令から実行を再開します。ﾃﾞﾊﾞｲｽが休止から起動するとき、ﾚｼﾞｽﾀ ﾌｧｲﾙとSRAMの内容は変えられません。休止形態中にﾘｾｯﾄが起こると、MCUは起動し、ﾘｾｯﾄ ﾍﾞｸﾀから実行します。

16頁の**図11.**はATmega165の各種ｸﾛｯｸ系統とその配給を示します。この図は適切な休止形態を選ぶ助けになります。

休止形態制御ﾚｼﾞｽﾀ (Sleep Mode Control Register) SMCR

この休止形態制御ﾚｼﾞｽﾀは電力管理用の制御ﾋﾞｯﾄを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$33 ($53)	–	–	–	–	SM2	SM1	SM0	SE	SMCR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ3～1 – SM2～0 : 休止種別選択** (Sleep Mode Select Bit 2, 1 and 0)

これらのﾋﾞｯﾄは**表14.**で示される利用可能な5つの休止形態の1つを選びます。

表14. 休止形態種別選択

SM2	SM1	SM0	休止形態種別
0	0	0	ｱｲﾄﾞﾙ動作
0	0	1	A/D変換雑音低減動作
0	1	0	ﾊﾟﾜｰﾀﾞｳﾝ動作
0	1	1	ﾊﾟﾜｰｾｰﾌﾞ動作
1	0	0	(予約)
1	0	1	(予約)
1	1	0	ｽﾀﾝﾊﾞｲ動作 (注)
1	1	1	(予約)

注: ｽﾀﾝﾊﾞｲ動作は外部ｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子でだけ利用できます。

• **ﾋﾞｯﾄ0 – SE : 休止許可** (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ﾋﾞｯﾄが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ﾋﾞｯﾄを設定(1)し、起動後直ちに解除(0)することが推奨されます。

ｱｲﾄﾞﾙ動作

休止種別選択(SM2～0)ﾋﾞｯﾄが'000'を書かれるとき、SLEEP命令はMCUをｱｲﾄﾞﾙ動作へ移行させ、CPUを停止しますが、SPI、USART、ｱﾅﾛｸﾞ比較器、A/D変換器、多用途直列ｲﾝﾀｰﾌｪｰｽ(USI)、ﾀｲﾏ/ｶｳﾝﾀ、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、割り込み機構の継続動作を許します。この休止形態は基本的にclk_{CPU}とclk_{FLASH}を停止する一方、他のｸﾛｯｸに走行を許します。

ｱｲﾄﾞﾙ動作はMCUにﾀｲﾏ溢れやUSARTの送信完了などの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。ｱﾅﾛｸﾞ比較器割り込みからの起動が必要とされないなら、ｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)のｱﾅﾛｸﾞ比較器禁止(ACD)ﾋﾞｯﾄを設定(1)することによってｱﾅﾛｸﾞ比較器を電源断にできます。これはｱｲﾄﾞﾙ動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

A/D変換雑音低減動作

SM2～0ﾋﾞｯﾄが'001'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、USIの開始条件検出、ﾀｲﾏ/ｶｳﾝﾀ2、ｳｫｯﾁﾄﾞｯｸﾞの(許可されていれば)継続動作を許します。この休止形態は基本的に$clk_{I/O}$, clk_{CPU}, clk_{FLASH}を停止する一方、他のｸﾛｯｸに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部ﾘｾｯﾄ、ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ、低電圧検出(BOD)ﾘｾｯﾄ、USIの開始条件検出割り込み、ﾀｲﾏ/ｶｳﾝﾀ2の割り込み、SPM/EEPROM操作可割り込み、INT0の外部ﾚﾍﾞﾙ割り込み、ﾋﾟﾝ変化割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

ﾊﾟﾜｰﾀﾞｳﾝ動作

休止種別選択(SM2～0)ﾋﾞｯﾄが'010'を書かれると、SLEEP命令はMCUをﾊﾟﾜｰﾀﾞｳﾝ動作へ移行させます。この動作では外部発振器が停止される一方、外部割り込み、多用途直列ｲﾝﾀｰﾌｪｰｽ(USI)の開始条件検出、ｳｫｯﾁﾄﾞｯｸﾞ機能は(許可されていれば)継続して動作します。外部ﾘｾｯﾄ、ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ、低電圧検出(BOD)ﾘｾｯﾄ、USI開始条件検出割り込み、INT0の外部ﾚﾍﾞﾙ割り込み、ﾋﾟﾝ変化割り込みだけがMCUを起動できます。この休止形態は基本的に生成した全てのｸﾛｯｸを停止し、非同期部の動作だけを許します。

ﾚﾍﾞﾙで起動した割り込みがﾊﾟﾜｰﾀﾞｳﾝ動作からの復帰に使われる場合、MCUを起動するためには変更したﾚﾍﾞﾙが一定時間保持されなければならないことに注意してください。詳細については34頁の「**外部割り込み**」を参照してください。

ﾊﾟﾜｰﾀﾞｳﾝ動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをｸﾛｯｸに許します。この起動(遅延)時間は17頁の「**ｸﾛｯｸ元**」で記述されるように、ﾘｾｯﾄ遅延時間を定義するのと同じCKSELﾋｭｰｽﾞによって定義されます。

ﾊﾟﾜｰｾｰﾌﾞ動作

SM2～0ﾋﾞｯﾄが'011'を書かれると、SLEEP命令はMCUをﾊﾟﾜｰｾｰﾌﾞ動作へ移行させます。この動作は(次の)1つの例外を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。

ﾀｲﾏ/ｶｳﾝﾀ2が許可される場合、それらは休止中も走行(動作)を維持します。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可(TOIE2)ﾋﾞｯﾄまたは比較2割り込み許可(OCIE2A)ﾋﾞｯﾄが設定(1)されるなら、ﾃﾞﾊﾞｲｽは対応するどちらの割り込みからでも起動できます。

ﾀｲﾏ/ｶｳﾝﾀ2が走行(動作)しないなら、ﾊﾟﾜｰﾀﾞｳﾝ動作をﾊﾟﾜｰｾｰﾌﾞ動作の代わりにすることが推奨されます。

ﾀｲﾏ/ｶｳﾝﾀ2はﾊﾟﾜｰｾｰﾌﾞ動作に於いて同期と非同期の両方でｸﾛｯｸ駆動できます。ﾀｲﾏ/ｶｳﾝﾀ2が非同期ｸﾛｯｸを使わないなら、休止中の間、ﾀｲﾏ/ｶｳﾝﾀ用発振器は停止されます。ﾀｲﾏ/ｶｳﾝﾀ2が同期ｸﾛｯｸを使わないなら、休止中の間、そのｸﾛｯｸ元は停止されます。例えﾊﾟﾜｰｾｰﾌﾞ動作で同期ｸﾛｯｸが走行しても、このｸﾛｯｸはﾀｲﾏ/ｶｳﾝﾀ2に対してだけ利用可能なことに注意してください。

ｽﾀﾝﾊﾞｲ動作

外部ｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子ｸﾛｯｸ種別が選ばれ、SM2～0ﾋﾞｯﾄが'110'のとき、SLEEP命令はMCUをｽﾀﾝﾊﾞｲ動作へ移行させます。この動作は(外部ｸﾘｽﾀﾙ用)発振器が走行(動作)を保たれる例外を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。ﾃﾞﾊﾞｲｽはｽﾀﾝﾊﾞｲ動作から6ｸﾛｯｸ周期で起動します。

表15. 各休止形態に於ける動作ｸﾛｯｸ範囲と復帰起動要因

休止種別	動作ｸﾛｯｸ範囲					動作発振器		復帰起動要因 (割り込み)					
	clk CPU	clk FLASH	clk IO	clk ADC	clk ASY	主ｸﾛｯｸ供給元	ﾀｲﾏ用発振器	INT0 ﾋﾟﾝ変化割り込み	USI 開始条件検出	ﾀｲﾏ/ｶｳﾝﾀ2	SPM EEPROM 操作可	A/D 変換完了	その他 I/O
ｱｲﾄﾞﾙ			○	○	○	○	②	○	○	○	○	○	○
A/D変換雑音低減				○	○	○	②	③	○	②	○	○	
ﾊﾟﾜｰﾀﾞｳﾝ								③	○				
ﾊﾟﾜｰｾｰﾌﾞ					○		○	③	○	○			
ｽﾀﾝﾊﾞｲ (注1)						○		③	○				

注1: ｸﾛｯｸ元として推奨した外部ｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子が選ばれた場合だけです。

② ﾀｲﾏ/ｶｳﾝﾀ2が非同期動作で走行する場合です。

③ INT0についてはﾚﾍﾞﾙ割り込みのみです。

電力削減

電力削減ﾚｼﾞｽﾀ(PRR)は消費電力を削減するために個別周辺機能へのｸﾛｯｸを停止する方法を提供します。周辺機能は現状で固定化され、I/Oﾚｼﾞｽﾀは読み込みも書き込みもできません。ｸﾛｯｸを停止している時に周辺機能によって使われていた資源は占有されたままですので、その周辺機能は殆どの場合、ｸﾛｯｸを停止する前に禁止されるべきです。周辺機能部の起動は電力削減ﾚｼﾞｽﾀ(PRR)のﾋﾞｯﾄを解除(0)することによって行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力の削減のために活動動作とｱｲﾄﾞﾙ動作で使えます。例については190頁の「**周辺機能部供給電流**」をご覧ください。その他の休止形態ではｸﾛｯｸが予め停止されます。

電力削減ﾚｼﾞｽﾀ (Power Reduction Register) **PRR**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($64)	–	–	–	–	PRTIM1	PRSPI	PRUSART0	PRADC	PRR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~4 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

- **ﾋﾞｯﾄ3 – PRTIM1 : ﾀｲﾏ/ｶｳﾝﾀ1電力削減** (Power Reduction Timer/Counter1)

このﾋﾞｯﾄへの1書き込みはﾀｲﾏ/ｶｳﾝﾀ1部を停止します。ﾀｲﾏ/ｶｳﾝﾀ1が許可されると、停止前と同様に動作は継続します。

- **ﾋﾞｯﾄ2 – PRSPI : 直列周辺ｲﾝﾀｰﾌｪｰｽ電力削減** (Power Reduction Serial Peripheral Interface)

このﾋﾞｯﾄへの1書き込みはその部分へのｸﾛｯｸ停止によって直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)を停止します。SPIの再起動時、SPIは正しい動作を保証するために再初期化されるべきです。

- **ﾋﾞｯﾄ1 – PRUSART0 : USART0電力削減** (Power Reduction USART0)

このﾋﾞｯﾄへの1書き込みはその部分へのｸﾛｯｸ停止によってUSARTを停止します。USARTの再起動時、USARTは正しい動作を保証するために再初期化されるべきです。

- **ﾋﾞｯﾄ0 – PRADC : A/D変換器電力削減** (Power Reduction ADC)

このﾋﾞｯﾄへの1書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、ｱﾅﾛｸﾞ比較器はADC入力切替器を使えません。

注: ｱﾅﾛｸﾞ比較器は128頁の「**ｱﾅﾛｸﾞ比較器 制御/状態ﾚｼﾞｽﾀ(ACSR)**」のｱﾅﾛｸﾞ比較器禁止(ACD)ﾋﾞｯﾄを使って禁止されます。

消費電力の最小化

これらはAVRが制御するｼｽﾃﾑで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するﾃﾞﾊﾞｲｽの機能が可能な限り少なくなるように選ばれるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電するため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については130頁の「**A/D変換器**」を参照してください。

ｱﾅﾛｸﾞ比較器

ｱｲﾄﾞﾙ動作へ移行するとき、ｱﾅﾛｸﾞ比較器は使われないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、ｱﾅﾛｸﾞ比較器は禁止されるべきです。その他の休止形態でのｱﾅﾛｸﾞ比較器は自動的に禁止されます。しかしｱﾅﾛｸﾞ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でｱﾅﾛｸﾞ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。ｱﾅﾛｸﾞ比較器設定法の詳細については128頁の「**ｱﾅﾛｸﾞ比較器**」を参照してください。

低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODLEVELﾋｭｰｽﾞによって許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については26頁の「**低電圧検出 (BOD)**」を参照してください。

内部基準電圧

内部基準電圧は低電圧検出器(BOD)、ｱﾅﾛｸﾞ比較器、A/D変換器によって必要とされる時に許可されます。これら単位部が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。起動時間の詳細については27頁の「**内部基準電圧**」を参照してください。

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが応用で必要とされないなら、この単位部はOFFにされるべきです。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定法の詳細については28頁の「**ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ**」を参照してください。

ﾎﾟｰﾄ ﾋﾟﾝ

休止形態へ移行するとき、全てのﾎﾟｰﾄ ﾋﾟﾝは最小電力使用に設定されるべきです。最も重要なことはその時にﾋﾟﾝが抵抗性負荷を駆動しないのを保証することです。I/Oｸﾛｯｸ($clk_{I/O}$)とA/D変換ｸﾛｯｸ(clk_{ADC})の両方が停止される休止形態ではﾃﾞﾊﾞｲｽの入力緩衝器が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのﾋﾟﾝが許可されるかの詳細については39頁の「**ﾃﾞｼﾞﾀﾙ入力許可と休止形態**」を参照してください。入力緩衝器が許可され、入力信号が浮いている状態のままか、またはｱﾅﾛｸﾞ信号電圧がVCC/2付近の場合、入力緩衝器は過大な電力を消費するでしょう。

ｱﾅﾛｸﾞ入力ﾋﾟﾝに対するﾃﾞｼﾞﾀﾙ入力緩衝器は常に禁止されるべきです。入力ﾋﾟﾝでのVCC/2付近のｱﾅﾛｸﾞ信号入力は活動動作でも重要な電流を引き起こし得ます。ﾃﾞｼﾞﾀﾙ入力緩衝器はﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ(DIDR0とDIDR1)の書き込みによって禁止できます。詳細については129頁の「**ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ1(DIDR1)**」と139頁の「**ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ0(DIDR0)**」を参照してください。

JTAGｲﾝﾀｰﾌｪｰｽと内蔵ﾃﾞﾊﾞｯｸﾞ機能 (OCD)

内蔵ﾃﾞﾊﾞｯｸﾞ機能がOCDENﾋｭｰｽﾞによって許可され、ﾁｯﾌﾟがﾊﾟﾜｰﾀﾞｳﾝまたはﾊﾟﾜｰｾｰﾌﾞの休止形態へ移行すると、主ｸﾛｯｸ元は許可に留まります。これらの休止形態では、これが総消費電流にとって重要な一因になります。これを避けるには3通りの方法があります。

- OCDENﾋｭｰｽﾞを禁止 (非ﾌﾟﾛｸﾞﾗﾑ(1)設定)
- JTAGENﾋｭｰｽﾞを禁止 (非ﾌﾟﾛｸﾞﾗﾑ(1)設定)
- MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAG禁止(JTD)ﾋﾞｯﾄへの1書き込み

JTAGｲﾝﾀｰﾌｪｰｽが許可され、JTAG TAP制御器がﾃﾞｰﾀを移動していないと、TDOﾋﾟﾝは浮き状態のままにされます。TDOﾋﾟﾝに接続したﾊｰﾄﾞｳｪｱが論理ﾚﾍﾞﾙをﾌﾟﾙｱｯﾌﾟしないなら、消費電力が増加するでしょう。走査ﾁｪｰﾝ内の次のﾃﾞﾊﾞｲｽのTDIﾋﾟﾝがこの問題を避けるﾌﾟﾙｱｯﾌﾟを含むことに注意してください。MCUCRのJTDﾋﾞｯﾄに1を書くか、またはJTAGENﾋｭｰｽﾞを非ﾌﾟﾛｸﾞﾗﾑのままにすることがJTAGｲﾝﾀｰﾌｪｰｽを禁止します。

システム制御とリセット

AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセット ベクタから実行を開始します。リセット ベクタに配置される命令は、きっとリセット処理ルーチンへのJMP(絶対分岐)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラム コードが配置できます。これはリセット ベクタが応用領域の一方、割り込みベクタがブート領域の場合やその逆も同様です。図14.の回路構成図はリセット論理回路を示します。表16.はリセット回路の電気的特性を定義します。

AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。

全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間はCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は17頁の「クロック元」で示されます。

リセット元

ATmega165には次の5つのリセット元があります。

- **電源ONリセット** ・・・・・ 供給電圧が電源ONリセット閾値電圧(VPOT)以下でMCUがリセットされます。
- **外部リセット** ・・・・・・・・ $\overline{\text{RESET}}$ピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- **ウォッチドッグ リセット** ・・・ ウォッチドッグが許可され、ウォッチドッグ タイマが終了すると、MCUがリセットされます。
- **低電圧リセット** ・・・・・・ 低電圧検出が許可され、供給電圧(VCC)が低電圧検出電圧(VBOT)以下でMCUがリセットされます。
- **JTAG AVR リセット** ・・ JTAGシステムの走査チェーンの1つとしてリセット レジスタ内に論理1がある間中、MCUがリセットされます。詳細については144頁の「IEEE 1149.1 (JTAG) 境界走査」を参照してください。

図14. リセット回路構成

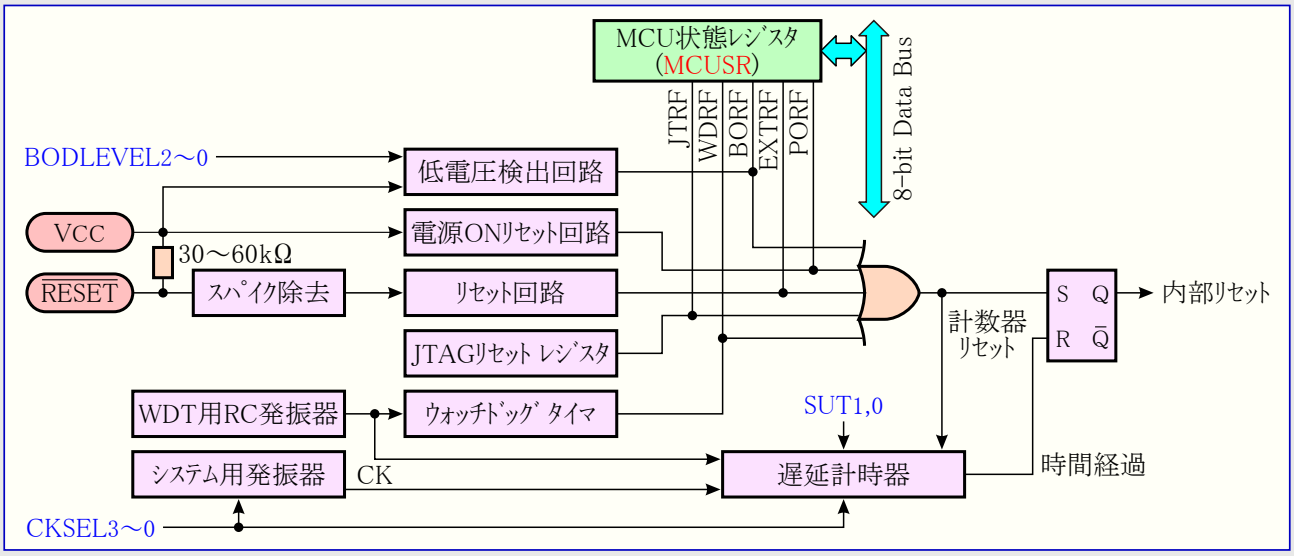


表16. リセット電気的特性

シンボル	項目	条件	最小	代表	最大	単位
V_{POT}	上昇時電源ONリセット閾値電圧	TA=-40～85℃	0.7	1.0	1.4	V
	下降時電源ONリセット閾値電圧 (注1)		0.6	0.9	1.3	
V_{RST}	$\overline{\text{RESET}}$ピン閾値電圧	VCC=3V	0.2VCC		0.9VCC	
t_{RST}	$\overline{\text{RESET}}$ピンでの最小パルス幅		2.5			µs

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

電源ONﾘｾｯﾄ

電源ONﾘｾｯﾄ(POR)ﾊﾟﾙｽはﾁｯﾌﾟ上の検出回路によって生成されます。検出電圧は表16.で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動ﾘｾｯﾄの起動にも使えます。

電源ONﾘｾｯﾄ回路はﾃﾞﾊﾞｲｽが電源投入でﾘｾｯﾄされることを保証します。電源ONﾘｾｯﾄ閾値電圧(V_{POT})への到達はVCCの上昇後にﾃﾞﾊﾞｲｽがどのくらいﾘｾｯﾄを保つかを決める遅延計数器(ﾀｲﾏ)を起動します。VCCがこの検出電圧以下に低下すると、ﾘｾｯﾄ信号はどんな遅延もなく再び有効にされます。

図15. 内蔵電源ONﾘｾｯﾄ ($\overline{RESET}$はVCCに接続)

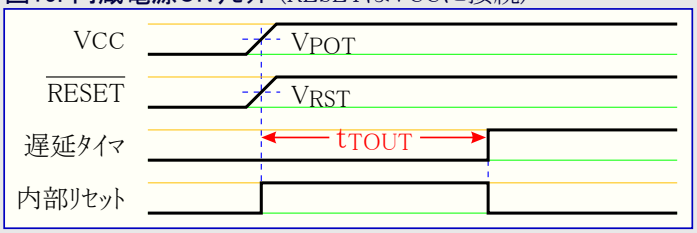
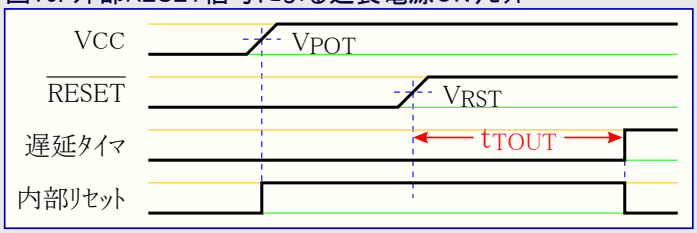


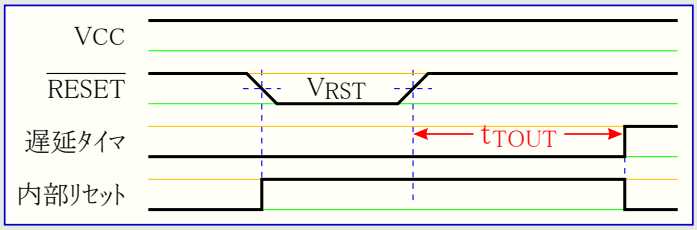
図16. 外部$\overline{RESET}$信号による延長電源ONﾘｾｯﾄ



外部ﾘｾｯﾄ

外部ﾘｾｯﾄは$\overline{RESET}$ﾋﾟﾝのLowﾚﾍﾞﾙによって生成されます。例えクロックが動いていなくても、最小ﾊﾟﾙｽ幅(表16.参照)以上のﾘｾｯﾄ ﾊﾟﾙｽはﾘｾｯﾄを生成します。短すぎるﾊﾟﾙｽはﾘｾｯﾄの生成が保証されません。印加された信号の上昇がﾘｾｯﾄ閾値電圧(V_{RST})に達すると(遅延ﾀｲﾏが起動され)、遅延ﾀｲﾏは遅延時間(t_{TOUT})経過後にMCUを始動します。

図17. 動作中の外部ﾘｾｯﾄ



低電圧(ﾌﾞﾗｳﾝｱｳﾄ)検出ﾘｾｯﾄ

ATmega165には固定化された起動(検出)電圧と比較することによって動作中のVCCを監視するﾁｯﾌﾟ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELﾋｭｰｽﾞによって選べます。起動電圧はｽﾊﾟｲｸ対策BODを保証するためにﾋｽﾃﾘｼｽを持ちます。検出電圧のﾋｽﾃﾘｼｽは$V_{BOT+}=V_{BOT}+V_{HYST}/2$、$V_{BOT-}=V_{BOT}-V_{HYST}/2$と解釈すべきです。

BODが許可され、VCCが起動電圧以下の値に下降すると(図18.のV_{BOT-})、低電圧ﾘｾｯﾄが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図18.のV_{BOT+})、(遅延ﾀｲﾏが起動されて)遅延ﾀｲﾏは遅延時間(t_{TOUT})経過後にMCUを始動します。

BOD回路は電圧が表18.で与えられるt_{BOD}時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

図18. 動作中の低電圧検出ﾘｾｯﾄ

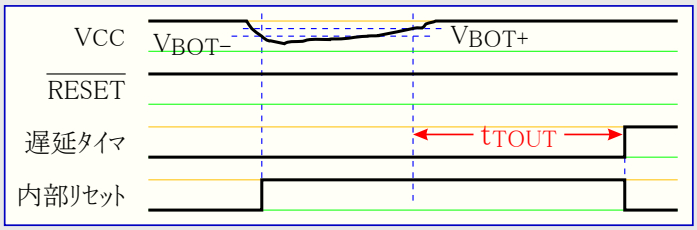


表18. 低電圧検出(BOD)特性

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
V_{HYST}	低電圧検出ﾋｽﾃﾘｼｽ電圧		50		mV
t_{BOD}	最小低電圧検出時間		2		µs

表17. BODLEVELﾋｭｰｽﾞ (V_{BOT}) 設定

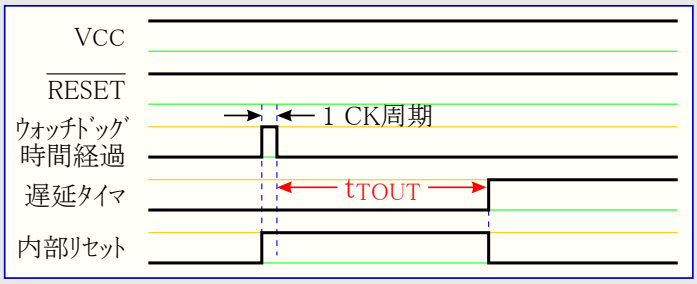
BODLEVEL2～0	最小(注1)	代表	最大	単位
1 1 1	低電圧検出(BOD)ﾘｾｯﾄ禁止			
1 1 0	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	V
1 0 0	4.1	4.3	4.5	V
0 0 0 ～ 0 1 1	(予約)			

注1: いくつかのﾃﾞﾊﾞｲｽでVBOTが公称最低動作電圧以下の可能性があります。この状態のﾃﾞﾊﾞｲｽについては製造検査中、VCC=VBOTに落として検査されます。これはﾏｲｸﾛ ｺﾝﾄﾛｰﾗの正しい動作がもはや保証されない電圧になる前に低電圧検出(BOD)ﾘｾｯﾄが起きることを保証します。この検査はATmega165Vに対してBODLEVEL=110を使って実行されます。

ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ

ｳｫｯﾁﾄﾞｯｸﾞ時間経過時、(内部的に)1 CK周期幅の短いﾘｾｯﾄ ﾊﾟﾙｽを生成します。本ﾊﾟﾙｽの下降端で遅延ﾀｲﾏは遅延時間(t_{TOUT})の計時を始めます。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ操作の詳細については28頁を参照してください。

図19. 動作中のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ



MCU状態ﾚｼﾞｽﾀ (MCU Status Register) MCUSR

MCU状態ﾚｼﾞｽﾀはどのﾘｾｯﾄ元がMCUﾘｾｯﾄを起こしたかの情報を提供します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$34 ($54)	–	–	–	JTRF	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

• **ﾋﾞｯﾄ4 – JTRF : JTAG ﾘｾｯﾄ ﾌﾗｸﾞ** (JTAG Reset Flag)

このﾋﾞｯﾄはﾘｾｯﾄがJTAG命令AVR_RESETで選ばれたJTAG ﾘｾｯﾄ ﾚｼﾞｽﾀ内の論理1によって引き起こされると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたは、このﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

• **ﾋﾞｯﾄ3 – WDRF : ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ** (Watchdog Reset Flag)

このﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄが起こると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたは、このﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

• **ﾋﾞｯﾄ2 – BORF : 低電圧ﾘｾｯﾄ ﾌﾗｸﾞ** (Brown-Out Reset Flag)

このﾋﾞｯﾄは低電圧ﾘｾｯﾄが起こると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたは、このﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

• **ﾋﾞｯﾄ1 – EXTRF : 外部ﾘｾｯﾄ ﾌﾗｸﾞ** (External Reset Flag)

このﾋﾞｯﾄは外部ﾘｾｯﾄが起こると設定(1)されます。このﾋﾞｯﾄは電源ONﾘｾｯﾄまたは、このﾌﾗｸﾞへの論理0書き込みによってﾘｾｯﾄ(0)されます。

• **ﾋﾞｯﾄ0 – PORF : 電源ONﾘｾｯﾄ ﾌﾗｸﾞ** (Power-on Reset Flag)

このﾋﾞｯﾄは電源ONﾘｾｯﾄが起こると設定(1)されます。このﾋﾞｯﾄはこのﾌﾗｸﾞへの論理0書き込みによってのみﾘｾｯﾄ(0)されます。

ﾘｾｯﾄ条件の確認にﾘｾｯﾄ ﾌﾗｸﾞを使うため、使用者はﾌﾟﾛｸﾞﾗﾑ内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のﾘｾｯﾄが起こる前にこのﾚｼﾞｽﾀが解除(0)されると、そのﾘｾｯﾄ元はﾘｾｯﾄ ﾌﾗｸﾞを調べることによって得られます。

内部基準電圧

ATmega165は内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やｱﾅﾛｸﾞ比較器の入力としても使えます。

基準電圧許可信号と起動時間

この基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は**表19.**で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出ﾘｾｯﾄ許可時 (BODLEVELﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)により)
2. ｱﾅﾛｸﾞ比較器基準電圧接続時 (ｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)の基準電圧入力選択(ACBG)=1)
3. A/D変換部動作許可時 (A/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はｱﾅﾛｸﾞ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。ﾊﾟﾜｰﾀﾞｳﾝ動作での消費電力を減らすため、使用者はﾊﾟﾜｰﾀﾞｳﾝ動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

表19. 内部基準電圧特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
V_{BG}	基準電圧	VCC=2.7V TA=25℃	1.0	1.1	1.2	V
t_{BG}	起動時間			40	70	µs
I_{BG}	消費電流			15		µA

注: これらの値は目安で、実際はTBDです。

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは1MHzで動く独立したﾁｯﾌﾟ上の発振器からｸﾛｯｸ駆動されます。これはVCC=5Vでの代表値です。他のVCC電圧での代表値については「**特性ﾃﾞｰﾀ**」をご覧ください。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周器の制御により、ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ間隔は29頁の**表21.**で示されるように調整できます。ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ(WDR)命令はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏをﾘｾｯﾄします。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏはそれが禁止される時とﾁｯﾌﾟ ﾘｾｯﾄが起こる時もﾘｾｯﾄされます。このﾘｾｯﾄ周期を決めるために8つの異なるｸﾛｯｸ周期周期を選べます。別のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄなしにﾘｾｯﾄ周期が経過すると、ATmega165はﾘｾｯﾄしてﾘｾｯﾄ ﾍﾞｸﾀから実行します。ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄの詳細ﾀｲﾐﾝｸﾞについては26頁を参照してください。

予期せぬｳｫｯﾁﾄﾞｯｸﾞ禁止や予期せぬ計時周期変更を防ぐため、2つの異なる安全基準が**表20.**で示されるWDTONﾋｭｰｽﾞによって選ばれます。詳細については29頁の「**ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定変更の時間制限手順**」を参照してください。

図20. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ構成図

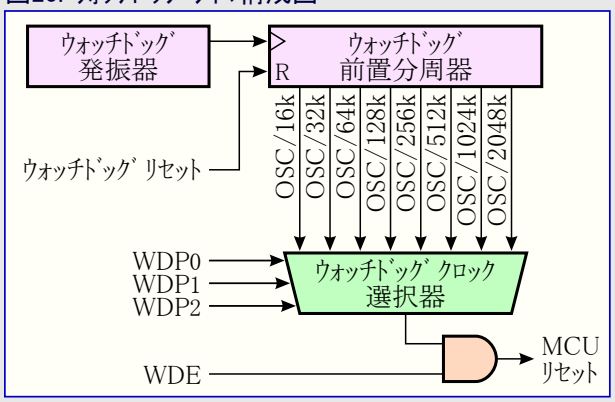


表20. WDTONﾋｭｰｽﾞ設定によるｳｫｯﾁﾄﾞｯｸﾞ機能設定

WDTON ﾋｭｰｽﾞ	安全基準	WDT初期状態	WDT禁止方法	計時時間変更方法
非ﾌﾟﾛｸﾞﾗﾑ(1)	1	禁止	時間制限	時間制限
ﾌﾟﾛｸﾞﾗﾑ(0)	2	許可	なし(常時許可)	時間制限

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ (Watchdog Timer Control Register) WDTCR

ﾋﾞｯﾄ ($60)	7	6	5	4	3	2	1	0	
	–	–	–	WDCE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~5 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

- **ﾋﾞｯﾄ4 – WDCE : ｳｫｯﾁﾄﾞｯｸﾞ変更許可** (Watchdog Change Enable)

ｳｫｯﾁﾄﾞｯｸﾞ許可(WDE)ﾋﾞｯﾄが論理0を書かれるとき、このﾋﾞｯﾄは設定(1)されなければなりません。さもなければ、ｳｫｯﾁﾄﾞｯｸﾞは禁止されません。一旦1を書かれると、ﾊｰﾄﾞｳｪｱが4ｸﾛｯｸ周期後、このﾋﾞｯﾄを解除(0)します。ｳｫｯﾁﾄﾞｯｸﾞ禁止手順についてはWDEﾋﾞｯﾄの記述を参照してください。このﾋﾞｯﾄは前置分周選択ﾋﾞｯﾄを変更する時も設定(1)されなければなりません。29頁の「**ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定変更の時間制限手順**」をご覧ください。

- **ﾋﾞｯﾄ3 – WDE : ｳｫｯﾁﾄﾞｯｸﾞ許可** (Watchdog Enable)

ｳｫｯﾁﾄﾞｯｸﾞ許可(WDE)が論理1を書かれるとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可され、WDEが論理0を書かれるとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ機能が禁止されます。WDEはｳｫｯﾁﾄﾞｯｸﾞ変更許可(WDCE)ﾋﾞｯﾄが論理ﾚﾍﾞﾙ1を持つ場合だけ解除(0)できます。許可されているｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止するには次の手順に従わなければなりません。

1. 同じ操作(命令)内で、ｳｫｯﾁﾄﾞｯｸﾞ変更許可(WDCE)ﾋﾞｯﾄとｳｫｯﾁﾄﾞｯｸﾞ許可(WDE)ﾋﾞｯﾄに論理1を書きます。例え禁止操作を始める前のWDEが1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次からの4ｸﾛｯｸ周期内で、論理0をWDEに書きます。これがｳｫｯﾁﾄﾞｯｸﾞを禁止します。

安全基準2では上記の手順でもｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止することができません。29頁の「**ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定変更の時間制限手順**」をご覧ください。

• ﾋﾞｯﾄ2～0 – WDP2～0：ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2～0ﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可される時のｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの前置分周を決めます。異なる前置分周値と対応する計時完了周期は表21.に示されます。

表21. ｳｫｯﾁﾄﾞｯｸﾞ前置分周選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16k (16,384)	15.4ms	14.7ms
0	0	1	32k (32,768)	30.8ms	29.3ms
0	1	0	64k (65,536)	61.6ms	58.7ms
0	1	1	128k (131,072)	0.12s	0.12s
1	0	0	256k (262,144)	0.25s	0.23s
1	0	1	512k (524,288)	0.49s	0.47s
1	1	0	1024k (1,048,576)	1.0s	0.9s
1	1	1	2048k (2,097,152)	2.0s	1.9s

注: 204頁の図183.もご覧ください。

次のｺｰﾄﾞ例はｳｫｯﾁﾄﾞｯｸﾞ(WDT)をOFFに切り替えるｱｾﾝﾌﾞﾘ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WDT_OFF:    WDR                                  ;ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ
            IN      R16, WDTCR                   ;現WDTCR値を取得
            ORI     R16, (1<<WDCE)|(1<<WDE)      ;WDCEとWDE論理1値を設定
            OUT     WDTCR, R16                   ;WDCEとWDEに論理1書き込み
            LDI     R16, (0<<WDE)                ;WDE論理0値を取得
            OUT     WDTCR, R16                   ;ｳｫｯﾁﾄﾞｯｸﾞ禁止
            RET                                  ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void WDT_off(void)
{
    __watchdog_reset();                          /* ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ */
    WDTCR |= (1<<WDCE)|(1<<WDE);                 /* WDCEとWDEに論理1書き込み */
    WDTCR = 0x00;                                /* ｳｫｯﾁﾄﾞｯｸﾞ禁止 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定変更の時間制限手順

ｳｫｯﾁﾄﾞｯｸﾞ設定変更手順は安全基準間で僅かに異なります。各ﾚﾍﾞﾙに対して独立した手順が記述されます。

安全基準1

この動作種別ではｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが初めに禁止されますが、どんな制限もなくｳｫｯﾁﾄﾞｯｸﾞ許可(WDE)ﾋﾞｯﾄに1を書くことにより許可できます。ｳｫｯﾁﾄﾞｯｸﾞ計時完了周期を変更または許可したｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止する時に時間制限手順が必要とされます。許可したｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止や、ｳｫｯﾁﾄﾞｯｸﾞ計時完了周期を変更するには次の手順に従わなければなりません。

1. 同じ操作(命令)でｳｫｯﾁﾄﾞｯｸﾞ変更許可(WDCE)とWDEに論理1を書きます。WDEﾋﾞｯﾄの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4ｸﾛｯｸ周期内に同じ操作(命令)で欲したWDEとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択(WDP2～0)ﾋﾞｯﾄを書きますが、WDCEﾋﾞｯﾄは解除(0)されてです。

安全基準2

この動作種別ではｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが常に許可され、WDEﾋﾞｯﾄは常に1として読みます。時間制限手順はｳｫｯﾁﾄﾞｯｸﾞ計時完了周期を変更する時に必要とされます。ｳｫｯﾁﾄﾞｯｸﾞ計時完了周期を変更するには次の手順に従わなければなりません。

1. 同じ操作(命令)でWDCEとWDEに論理1を書きます。WDEﾋﾞｯﾄが常に設定(1)されていても、WDEは時間制限手順を開始するために1を書かれなければなりません。
2. 次からの4ｸﾛｯｸ周期内に同じ操作(命令)で欲したWDP2～0ﾋﾞｯﾄを書きますが、WDCEﾋﾞｯﾄは解除(0)されてです。WDEﾋﾞｯﾄに書かれた値は無関係です。

割り込み

本章はATmega165によって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については9頁の「**リセットと割り込みの扱い**」を参照してください。

ATmega165の割り込みﾍﾞｸﾀ

表22. ﾘｾｯﾄと割り込みのﾍﾞｸﾀ

ﾍﾞｸﾀ番号	ﾌﾟﾛｸﾞﾗﾑ ｱﾄﾞﾚｽ (注2)	発生元	備考
1	$0000 (注1)	ﾘｾｯﾄ	電源ON, WDT, BOD等の各種ﾘｾｯﾄ
2	$0002	INT0	外部割り込み要求0
3	$0004	PCINT0 (PCI0)	ﾋﾟﾝ変化0群割り込み要求
4	$0006	PCINT1 (PCI1)	ﾋﾟﾝ変化1群割り込み要求
5	$0008	ﾀｲﾏ/ｶｳﾝﾀ2 COMP2	ﾀｲﾏ/ｶｳﾝﾀ2比較一致
6	$000A	ﾀｲﾏ/ｶｳﾝﾀ2 OVF2	ﾀｲﾏ/ｶｳﾝﾀ2溢れ
7	$000C	ﾀｲﾏ/ｶｳﾝﾀ1 CAPT	ﾀｲﾏ/ｶｳﾝﾀ1捕獲発生
8	$000E	ﾀｲﾏ/ｶｳﾝﾀ1 COMPA	ﾀｲﾏ/ｶｳﾝﾀ1比較A一致
9	$0010	ﾀｲﾏ/ｶｳﾝﾀ1 COMPB	ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
10	$0012	ﾀｲﾏ/ｶｳﾝﾀ1 OVF1	ﾀｲﾏ/ｶｳﾝﾀ1溢れ
11	$0014	ﾀｲﾏ/ｶｳﾝﾀ0 COMP0	ﾀｲﾏ/ｶｳﾝﾀ0比較一致
12	$0016	ﾀｲﾏ/ｶｳﾝﾀ0 OVF0	ﾀｲﾏ/ｶｳﾝﾀ0溢れ
13	$0018	SPI STC	SPI 転送完了
14	$001A	USART RX	USART 受信完了
15	$001C	USART UDRE	USART 送信緩衝部空き
16	$001E	USART TX	USART 送信完了
17	$0020	USI START	USI 開始条件検出
18	$0022	USI OVF	USI 計数器溢れ
19	$0024	ｱﾅﾛｸﾞ比較器 ANA_COMP	ｱﾅﾛｸﾞ比較器出力遷移
20	$0026	A/D変換器 ADC	A/D変換完了
21	$0028	EEPROM EE_RDY	EEPROM 操作可
22	$002A	SPM命令 SPM_RDY	SPM命令操作可

注1: BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾃﾞﾊﾞｲｽはﾘｾｯﾄでﾌﾞｰﾄ ﾛｰﾀﾞ ｱﾄﾞﾚｽへ飛びます。154頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」をご覧ください。

注2: MCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭(部)へ移動されます。そして各割り込みﾍﾞｸﾀのｱﾄﾞﾚｽは、この表のｱﾄﾞﾚｽがﾌﾞｰﾄ ﾌﾗｯｼｭ領域の先頭ｱﾄﾞﾚｽに加算されます。

表23.はBOOTRST(ﾋｭｰｽﾞ)とIVSEL(割り込みﾍﾞｸﾀ選択ﾋﾞｯﾄ)の様々な組み合わせに対するﾘｾｯﾄと割り込みﾍﾞｸﾀの配置を示します。ﾌﾟﾛｸﾞﾗﾑが決して割り込み元を許可しないなら、割り込みﾍﾞｸﾀは使われず、これらの位置に通常のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞを置けます。これはﾘｾｯﾄ ﾍﾞｸﾀが応用領域の一方、割り込みﾍﾞｸﾀがﾌﾞｰﾄ領域、またはその逆の場合でも同様です。

表23. ﾘｾｯﾄと割り込みﾍﾞｸﾀの配置

BOOTRST	IVSEL	ﾘｾｯﾄ ﾍﾞｸﾀ ｱﾄﾞﾚｽ	割り込みﾍﾞｸﾀ先頭ｱﾄﾞﾚｽ
非ﾌﾟﾛｸﾞﾗﾑ(1)	0	$0000	$0002
	1	$0000	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ＋$0002
ﾌﾟﾛｸﾞﾗﾑ(0)	0	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ	$0002
	1	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ＋$0002

注: ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽは162頁の**表96.**で示されます。

ATmega165での最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ    ﾗﾍﾞﾙ     命令                          注釈
$0000             JMP     RESET                 ;各種ﾘｾｯﾄ
$0002             JMP     EXT_INT0              ;外部割り込み要求0
$0004             JMP     PCINT0                ;ﾋﾟﾝ変化0群割り込み要求
$0006             JMP     PCINT1                ;ﾋﾟﾝ変化1群割り込み要求
$0008             JMP     TIM2_COMP             ;ﾀｲﾏ/ｶｳﾝﾀ2比較一致
$000A             JMP     TIM2_OVF              ;ﾀｲﾏ/ｶｳﾝﾀ2溢れ
$000C             JMP     TIM1_CAPT             ;ﾀｲﾏ/ｶｳﾝﾀ1捕獲発生
$000E             JMP     TIM1_COMPA            ;ﾀｲﾏ/ｶｳﾝﾀ1比較A一致
$0010             JMP     TIM1_COMPB            ;ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
$0012             JMP     TIM1_OVF              ;ﾀｲﾏ/ｶｳﾝﾀ1溢れ
$0014             JMP     TIM0_COMP             ;ﾀｲﾏ/ｶｳﾝﾀ0比較一致
$0016             JMP     TIM0_OVF              ;ﾀｲﾏ/ｶｳﾝﾀ0溢れ
$0018             JMP     SPI_STC               ;SPI転送完了
$001A             JMP     USART_RXC             ;USART 受信完了
$001C             JMP     USART_UDRE            ;USART 送信緩衝部空
$001E             JMP     USART_TXC             ;USART 送信完了
$0020             JMP     USI_STRT              ;USI 開始条件検出
$0022             JMP     USI_OVF               ;USI 計数器溢れ
$0024             JMP     ANA_COMP              ;ｱﾅﾛｸﾞ比較器出力遷移
$0026             JMP     ADC                   ;ADC変換完了
$0028             JMP     EE_RDY                ;EEPROM操作可
$002A             JMP     SPM_RDY               ;SPM命令操作可
;
$002C    RESET:   LDI     R16,HIGH(RAMEND)      ;RAM最終ｱﾄﾞﾚｽ上位を取得
$002D             OUT     SPH,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$002E             LDI     R16,LOW(RAMEND)       ;RAM最終ｱﾄﾞﾚｽ下位を取得
$002F             OUT     SPL,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                     ~                          ;以下、I/O初期化など
```

BOOTRSTﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)、ﾌﾞｰﾄ領域容量が2Kﾊﾞｲﾄに設定され、どの割り込みが許可されるのにも先立ってMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ    ﾗﾍﾞﾙ     命令                          注釈
$0000    RESET:   LDI     R16,HIGH(RAMEND)      ;RAM最終ｱﾄﾞﾚｽ上位を取得 (応用ﾌﾟﾛｸﾞﾗﾑ開始)
$0001             OUT     SPH,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$0002             LDI     R16,LOW(RAMEND)       ;RAM最終ｱﾄﾞﾚｽ下位を取得
$0003             OUT     SPL,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                     ~                          ;以下、I/O初期化など

                  .ORG    $1C02                 ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が2Kﾊﾞｲﾄの場合

$1C02             JMP     EXT_INT0              ;外部割り込み要求0
$1C04             JMP     PCINT0                ;ﾋﾟﾝ変化0群割り込み要求
                     ~
$1C2A             JMP     SPM_RDY               ;SPM命令操作可
```

BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)、ﾌﾞｰﾄ領域容量が2Kﾊﾞｲﾄに設定される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ    ﾗﾍﾞﾙ    命令                          注釈
                  .ORG    $0002                 ;割り込みﾍﾞｸﾀ先頭

$0002             JMP     EXT_INT0              ;外部割り込み要求0
$0004             JMP     PCINT0                ;ﾋﾟﾝ変化0群割り込み要求
                     ≀
$002A             JMP     SPM_RDY               ;SPM命令操作可
                     ≀                          ;以下、ﾌﾟﾛｸﾞﾗﾑなど

                  .ORG    $1C00                 ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が2Kﾊﾞｲﾄの場合

$1C00     RESET:  LDI     R16,HIGH(RAMEND)      ;RAM最終ｱﾄﾞﾚｽ上位を取得 (ﾌﾟﾛｸﾞﾗﾑ開始)
$1C01             OUT     SPH,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$1C02             LDI     R16,LOW(RAMEND)       ;RAM最終ｱﾄﾞﾚｽ下位を取得
$1C03             OUT     SPL,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                     ≀                          ;以下、I/O初期化など
```

BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)、ﾌﾞｰﾄ領域容量が2Kﾊﾞｲﾄに設定され、どの割り込みが許可されるのにも先立ってMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ    ﾗﾍﾞﾙ    命令                          注釈
                  .ORG    $1C00                 ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が2Kﾊﾞｲﾄの場合

$1C00             JMP     RESET                 ;各種ﾘｾｯﾄ (BOOTRSTﾋｭｰｽﾞ=0)
$1C02             JMP     EXT_INT0              ;外部割り込み要求0
$1C04             JMP     PCINT0                ;ﾋﾟﾝ変化0群割り込み要求
                     ≀
$1C2A             JMP     SPM_RDY               ;SPM命令操作可
;
$1C2C     RESET:  LDI     R16,HIGH(RAMEND)      ;RAM最終ｱﾄﾞﾚｽ上位を取得 (ﾌﾟﾛｸﾞﾗﾑ開始)
$1C2D             OUT     SPH,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$1C2E             LDI     R16,LOW(RAMEND)       ;RAM最終ｱﾄﾞﾚｽ下位を取得
$1C2F             OUT     SPL,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                     ≀                          ;以下、I/O初期化など
```

応用領域とﾌﾞｰﾄ領域間の割り込みﾍﾞｸﾀ移動

MCU制御ﾚｼﾞｽﾀ(MCUCR)は割り込みﾍﾞｸﾀ表の配置を制御します。

MCU制御ﾚｼﾞｽﾀ (MCU Control Register) **MCUCR**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$35 ($55)	JTD	–	–	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ1 – IVSEL : 割り込みﾍﾞｸﾀ選択** (Interrupt Vector Select)

IVSELﾋﾞｯﾄが解除(0)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭ ﾒﾓﾘの先頭に配置されます。このﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄ ﾛｰﾀﾞ領域の始まりへ移動されます。ﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭の実際のｱﾄﾞﾚｽはBOOTSZﾋｭｰｽﾞによって決定されます。詳細については154頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」章を参照してください。割り込みﾍﾞｸﾀ表の予期せぬ変更を防ぐため、IVSELﾋﾞｯﾄの変更は特別な書き込み手順に従わなければなりません。

1. 割り込みﾍﾞｸﾀ変更許可(IVCE)ﾋﾞｯﾄに1を書きます。
2. 4周期内に、欲した値をIVSELに書き、同時に0をIVCEへ書きます。

この手順が実行される間、割り込みは自動的に禁止されます。割り込みはIVCEが設定(1)される周期で禁止され、後続のIVSELに書く命令の後まで禁止されたままです。IVSELが書かれなければ、割り込みは4周期間禁止されたままです。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄはこの自動禁止によって影響されません。

注: 割り込みﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域に配置され、BLB02ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、応用領域から実行する間中、割り込みが禁止されます。割り込みﾍﾞｸﾀが応用領域に配置され、BLB12ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾌﾞｰﾄ ﾛｰﾀﾞ領域から実行する間中、割り込みが禁止されます。ﾌﾞｰﾄ施錠ﾋﾞｯﾄの詳細については154頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」を参照してください。

• **ﾋﾞｯﾄ0 – IVCE : 割り込みﾍﾞｸﾀ変更許可** (Interrupt Vector Change Enable)

IVCEﾋﾞｯﾄは割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄの変更を許可するために論理1を書かれなければなりません。IVCEはIVSELが書かれる時、またはIVCEが書かれた後の4周期後、ﾊｰﾄﾞｳｪｱによって解除(0)されます。上記IVSELで説明されるようにIVCEﾋﾞｯﾄの設定(1)は割り込みを(一時的に)禁止します。以下のｺｰﾄﾞ例をご覧ください。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
MOVE_IVT:   IN      R16,MCUCR          ;現MCUCR値取得
            MOV     R17,R16            ;現MCUCR値複写
            ORI     R16,(1<<IVCE)      ;IVCE論理1値を取得
            OUT     MCUCR,R16          ;IVCEに論理1書き込み
            ORI     R17,(1<<IVSEL)     ;IVSEL論理1値を取得
            OUT     MCUCR,R17          ;ﾌﾞｰﾄ領域へ割り込みﾍﾞｸﾀを移動
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void Move_interrupts(void)
{
    uchr temp;                         /* 一時定数定義 */
    temp = MCUCR;                      /* 現MCUCR値取得 */
    MCUCR = temp|(1<<IVCE);            /* IVCEに論理1書き込み */
    MCUCR = temp|(1<<IVSEL);           /* ﾌﾞｰﾄ領域へ割り込みﾍﾞｸﾀを移動 */
}
```

外部割り込み

外部割り込みはINT0ﾋﾟﾝまたはPCINT0～15ﾋﾟﾝの何れかによって起動されます。許可したなら、例えINT0またはPCINT0～15ﾋﾟﾝが出力として設定されても、割り込みが起動することに注目してください。この特徴はｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。ﾋﾟﾝ変化割り込みPCI1は許可したPCINT8～15の何れかが切り替わると起動します。ﾋﾟﾝ変化割り込みPCI0は許可したPCINT0～7の何れかが切り替わると起動します。ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀn(PCMSK0とPCMSK1)は、どのﾋﾟﾝがﾋﾟﾝ変化割り込み要因となるかを制御します。PCINT0～15でのﾋﾟﾝ変化割り込みは非同期に検知されます。これはそれらの割り込みがｱｲﾄﾞﾙ動作以外の休止形態からもﾃﾞﾊﾞｲｽを起動するのに使えることを意味します。

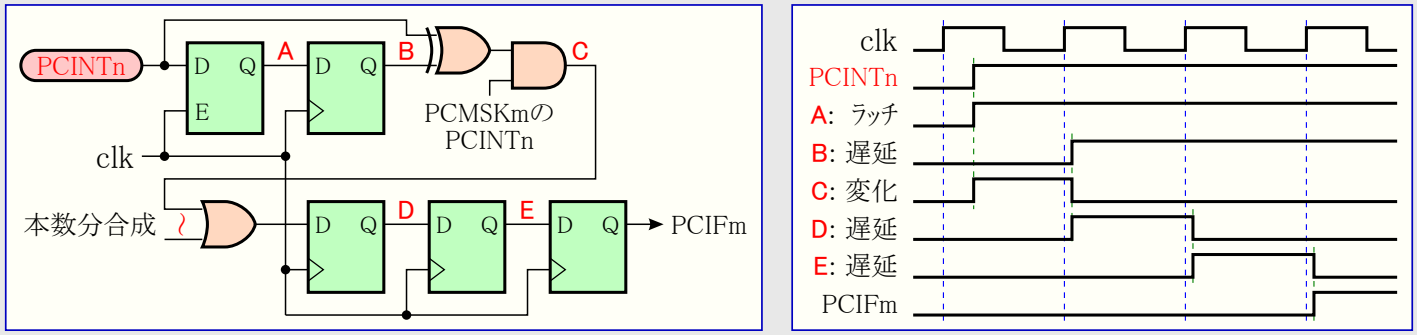
INT0割り込みは上昇端または下降端(含む両端)、またはLowﾚﾍﾞﾙによって起動できます。これは外部割り込み制御ﾚｼﾞｽﾀA(EICRA)の詳述で示される設定です。INT0割り込みがﾚﾍﾞﾙ起動として設定、且つ許可されると、そのﾋﾟﾝがLowに保持される限り、割り込みは(継続的に)起動します。INT0の上昇端または下降端割り込みの認知は、16頁の「**ｸﾛｯｸ系統とその配給**」で記述されるI/Oｸﾛｯｸの存在を必要とすることに注意してください。INT0のLowﾚﾍﾞﾙ割り込みは非同期に検知されます。これはそれらの割り込みがｱｲﾄﾞﾙ動作以外の休止形態からも、ﾃﾞﾊﾞｲｽを起動するのに使えることを意味します。I/Oｸﾛｯｸはｱｲﾄﾞﾙ動作を除く全休止形態で停止されます。

ﾚﾍﾞﾙ起動割り込みがﾊﾟﾜｰﾀﾞｳﾝ動作からの起動に使われる場合、この必要としたﾚﾍﾞﾙはﾚﾍﾞﾙ割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このﾚﾍﾞﾙが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は16頁の「**ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択**」で示されるようにSUTﾋｭｰｽﾞとCKSELﾋｭｰｽﾞで定義されます。

ﾋﾟﾝ変化割り込みﾀｲﾐﾝｸﾞ

ﾋﾟﾝ変化割り込みの例は**図21.**で示されます。

図21. ﾋﾟﾝ変化割り込みﾀｲﾐﾝｸﾞ



外部割り込み制御ﾚｼﾞｽﾀA (External Interrupt Control Register A) EICRA

外部割り込み制御ﾚｼﾞｽﾀAは割り込み条件制御ﾋﾞｯﾄを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($69)	–	–	–	–	–	–	ISC01	ISC00	EICRA
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ1,0 – ISC01,0 : 外部割り込み0条件制御** (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の外部割り込み0許可(INT0)ﾋﾞｯﾄが設定(1)される場合のINT0外部ﾋﾟﾝによって活性(有効)にされます。割り込みを活性にする外部INT0ﾋﾟﾝの端(ｴｯｼﾞ)とﾚﾍﾞﾙは**表24.**で定義されます。INT0ﾋﾟﾝの値は端検知前に採取されています。端または論理変化割り込みが選ばれる場合、1ｸﾛｯｸ周期より長く留まるﾊﾟﾙｽは割り込みを生成します。より短いﾊﾟﾙｽは割り込みの発生が保証されません。Lowﾚﾍﾞﾙ割り込みが選ばれる場合、Lowﾚﾍﾞﾙは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。

表24. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	INT0ﾋﾟﾝ割り込み発生条件
0	0	Lowﾚﾍﾞﾙ。
0	1	論理変化(両端)
1	0	下降端
1	1	上昇端

外部割り込み許可ﾚｼﾞｽﾀ (External Interrupt Mask Register) EIMSK

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1D ($3D)	PCIE1	PCIE0	–	–	–	–	–	INT0	EIMSK
Read/Write	R/W	R/W	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – PCIE1 : ﾋﾟﾝ変化1群割り込み許可** (Pin Change Interrupt Enable 1)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、PCIE1ﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝ変化割り込み1が許可されます。許可したPCINT8～15ﾋﾟﾝの何れかの変化が割り込みを起こします。このﾋﾟﾝ変化割り込み要求に対応する割り込みはPCI1割り込みﾍﾞｸﾀから実行されます。PCINT8～15ﾋﾟﾝはﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ1(PCMSK1)によって個別に許可されます。

- **ﾋﾞｯﾄ6 – PCIE0 : ﾋﾟﾝ変化0群割り込み許可** (Pin Change Interrupt Enable 0)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、PCIE0ﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝ変化割り込み0が許可されます。許可したPCINT0～7ﾋﾟﾝの何れかの変化が割り込みを起こします。このﾋﾟﾝ変化割り込み要求に対応する割り込みはPCI0割り込みﾍﾞｸﾀから実行されます。PCINT0～7ﾋﾟﾝはﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ0(PCMSK0)によって個別に許可されます。

- **ﾋﾞｯﾄ0 – INT0 : 外部割り込み0許可** (External Interrupt Request 0 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、INT0ﾋﾞｯﾄが設定(1)されると、INT0外部ﾋﾟﾝ割り込みが許可されます。外部割り込み制御ﾚｼﾞｽﾀA(EICRA)の割り込み条件制御0のﾋﾞｯﾄ1と0(ISC01,ISC00)は、この外部割り込みがINT0ﾋﾟﾝの上昇端、下降端、両端、またはLowﾚﾍﾞﾙのどれで活性(有効)にされるかを定義します。例えINT0ﾋﾟﾝが出力として設定されても、このﾋﾟﾝの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはINT0割り込みﾍﾞｸﾀから実行されます。

外部割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (External Interrupt Flag Register) EIFR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1C ($3C)	PCIF1	PCIF0	–	–	–	–	–	INTF0	EIFR
Read/Write	R/W	R/W	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – PCIF1 : ﾋﾟﾝ変化1群割り込み要求ﾌﾗｸﾞ** (Pin Change Interrupt Flag 1)

PCINT8～15ﾋﾟﾝの何れかの論理変化が割り込み要求を起動すると、PCIF1が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)のﾋﾟﾝ変化1群割り込み許可(PCIE1)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが開始されると解除(0)されます。代わりにこのﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。

- **ﾋﾞｯﾄ6 – PCIF0 : ﾋﾟﾝ変化0群割り込み要求ﾌﾗｸﾞ** (Pin Change Interrupt Flag 0)

PCINT0～7ﾋﾟﾝの何れかの論理変化が割り込み要求を起動すると、PCIF0が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)のﾋﾟﾝ変化0群割り込み許可(PCIE0)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが開始されると解除(0)されます。代わりにこのﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。

- **ﾋﾞｯﾄ0 – INTF0 : 外部割り込み0要求ﾌﾗｸﾞ** (External Interrupt Flag0)

INT0ﾋﾟﾝ上の端(ｴｯｼﾞ)または論理変化が割り込み要求を起動すると、INTF0が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の外部割り込み0許可(INT0)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込みﾙｰﾁﾝが実行されると解除(0)されます。代わりにこのﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。INT0がﾚﾍﾞﾙ割り込みとして設定されると、このﾌﾗｸﾞは常に解除(0)されます。

ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ1 (Pin Change Enable Mask 8～15) **PCMSK1**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6C)	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7~0 – PCINT15~PCINT8 : ﾋﾟﾝ変化割り込み15~8許可** (Pin Change Enable Mask 15～8)

各PCINT8～15ﾋﾞｯﾄは対応するI/Oﾋﾟﾝでﾋﾟﾝ変化割り込みが許可されるかどうかを選びます。PCINT8～15と外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)のPCIE1が設定(1)なら、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みが許可されます。PCINT8～15が解除(0)されると、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みは禁止されます。

ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ0 (Pin Change Enable Mask 0～7) **PCMSK0**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6B)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7~0 – PCINT7~PCINT0 : ﾋﾟﾝ変化割り込み7~0許可** (Pin Change Enable Mask 7～0)

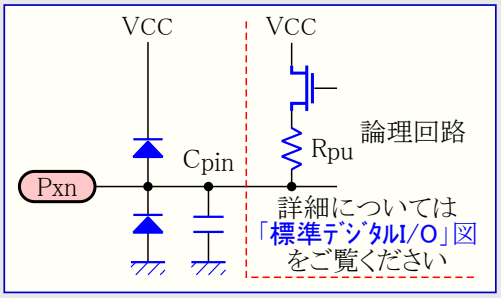
各PCINT0～7ﾋﾞｯﾄは対応するI/Oﾋﾟﾝでﾋﾟﾝ変化割り込みが許可されるかどうかを選びます。PCINT0～7と外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)のPCIE0が設定(1)なら、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みが許可されます。PCINT0～7が解除(0)されると、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みは禁止されます。

入出力ポート

序説

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード モディファイ ライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方向をも無意識に変更することなく、1つのポート ピンの方向を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)プルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)の両能力で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに充分な強さです。全てのポート ピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図22.で示されるようにVCCとGNDの両方に保護ダイオードを持っています。各値の完全な一覧については182頁の「**電気的特性**」を参照してください。

図22. 入出力ピン等価回路



本章内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使う時は正確な形式(例えば、ここで一般に記されたPORTxnがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は49頁の「**I/Oポート用レジスタ**」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PINx)の各ポートに対して、3つI/Oメモリ アドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

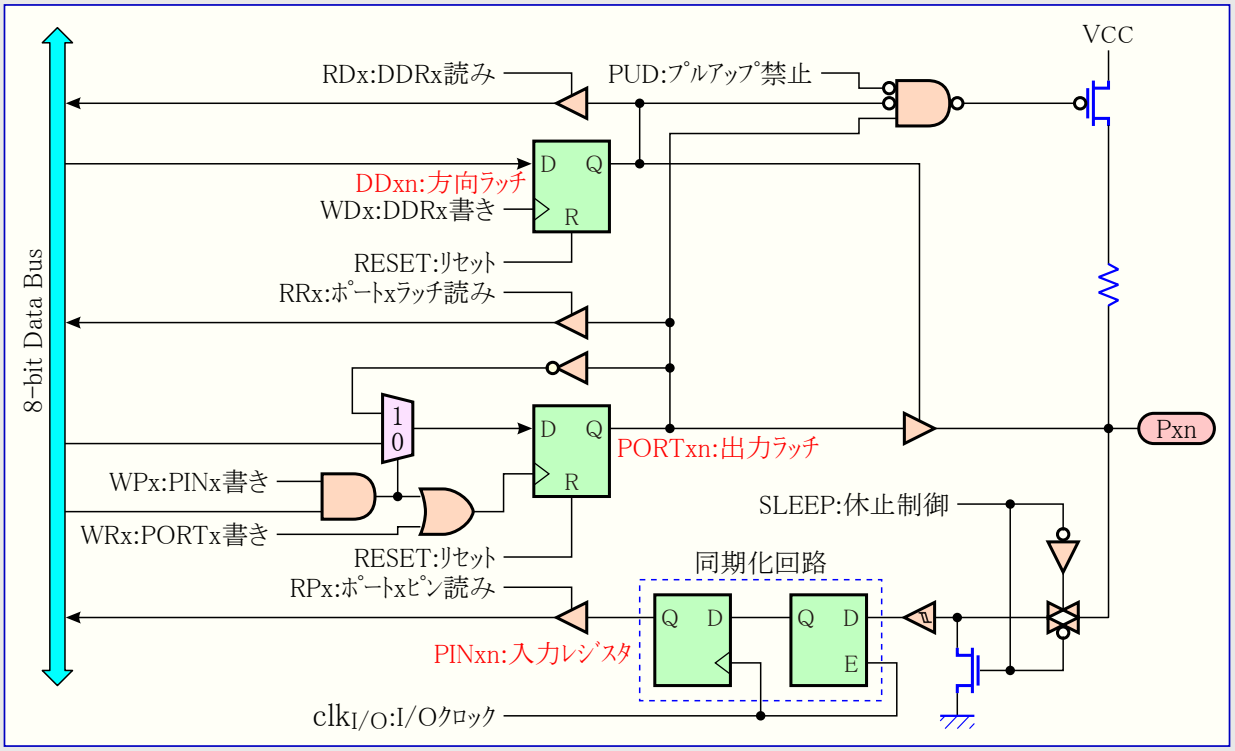
標準デジタルI/OとしてのI/Oポートの使用は次の「**標準デジタル入出力としてのポート**」で記述されます。多くのポート ピンはデバイスの周辺機能用の交換機能と多重化されます。ポート ピンとの各交換機能のインターフェース法は40頁の「**交換ポート機能**」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

ポート ピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図23.はここで属にPxnと呼ばれるI/Oポート ピンの1つの機能説明を示します。

図23. 標準デジタル入出力回路構成



注: WRx, WPx WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O,SLEEP, PUDは全ポートで共通です。

ﾋﾟﾝの設定

各ﾎﾟｰﾄ ﾋﾟﾝは3つのﾚｼﾞｽﾀ ﾋﾞｯﾄDDxn、PORTxn、PINxnから成ります。49頁の「I/Oﾎﾟｰﾄ用ﾚｼﾞｽﾀ」で示されるように、DDxnﾋﾞｯﾄはDDRx I/Oｱﾄﾞﾚｽ、PORTxnﾋﾞｯﾄはPORTx I/Oｱﾄﾞﾚｽ、PINxﾋﾞｯﾄはPINx I/Oｱﾄﾞﾚｽでｱｸｾｽされます。

DDRxﾚｼﾞｽﾀ内のDDxnﾋﾞｯﾄはそのﾋﾟﾝの方向を選びます。DDxnが論理1を書かれるとPxnは出力ﾋﾟﾝとして設定されます。DDxnが論理0を書かれるとPxnは入力ﾋﾟﾝとして設定されます。

そのﾋﾟﾝが入力ﾋﾟﾝとして設定される時にPORTxnが論理1を書かれると、ﾌﾟﾙｱｯﾌﾟ抵抗が活性(有効)にされます。ﾌﾟﾙｱｯﾌﾟ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのﾋﾟﾝが出力ﾋﾟﾝとして設定されなければなりません。ﾎﾟｰﾄ ﾋﾟﾝは例えｸﾛｯｸが動いていなくても、ﾘｾｯﾄ条件が活性(有効)になるとHi-Zにされます。

そのﾋﾟﾝが出力ﾋﾟﾝとして設定される時にPORTxnが論理1を書かれると、そのﾎﾟｰﾄ ﾋﾟﾝはHigh(1)に駆動されます。そのﾋﾟﾝが出力ﾋﾟﾝとして設定される時にPORTxnが論理0を書かれると、そのﾎﾟｰﾄ ﾋﾟﾝはLow(0)に駆動されます。

ﾋﾟﾝの出力交互切り替え

PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えします。SBI命令がﾎﾟｰﾄ内の1ﾋﾞｯﾄの反転切り替えに使えることに注目してください。

入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、ﾌﾟﾙｱｯﾌﾟ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高ｲﾝﾋﾟｰﾀﾞﾝｽ環境は強力なHigh(吐き出し)駆動部とﾌﾟﾙｱｯﾌﾟ間の違いに気付かないので、ﾌﾟﾙｱｯﾌﾟが許可された状態は十分受け入れられます。この事例でないなら、全ﾎﾟｰﾄの全ﾌﾟﾙｱｯﾌﾟを禁止するために、MCU制御ﾚｼﾞｽﾀ(MCUCR)のﾌﾟﾙｱｯﾌﾟ禁止(PUD)ﾋﾞｯﾄが設定(1)できます。

ﾌﾟﾙｱｯﾌﾟ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

表25.はﾋﾟﾝ値に対する制御信号の一覧を示します。

表25. ﾎﾟｰﾄ ﾋﾟﾝの設定

DDxn	PORTxn	PUD (MCUCR)	入出力	ﾌﾟﾙｱｯﾌﾟ抵抗	備考
0	0	X	入力	なし	高ｲﾝﾋﾟｰﾀﾞﾝｽ (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高ｲﾝﾋﾟｰﾀﾞﾝｽ (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

ﾋﾟﾝ値の読み込み

DDxn方向ﾋﾞｯﾄの設定に関係なく、ﾎﾟｰﾄ ﾋﾟﾝはPINxnﾚｼﾞｽﾀ ﾋﾞｯﾄを通して読めます。図23.で示されるようにPINxnﾚｼﾞｽﾀ ﾋﾞｯﾄと先行するﾗｯﾁは同期化回路を構成します。これは物理ﾋﾟﾝが内部ｸﾛｯｸの端(ｴｯｼﾞ)付近で値を変える場合の未定義状態(ﾒﾀ ｽﾃｰﾌﾞﾙ)を避けるために必要とされますが、それは遅延も持ち込みます。図24.は外部的に加えられたﾋﾟﾝ値を読む時の同期化ﾀｲﾐﾝｸﾞ図を示します。伝播遅延の最小と最大は各々$t_{pd,min}$と$t_{pd,max}$で示されます。

(図24.で)ｼｽﾃﾑ ｸﾛｯｸの最初の下降端の直後から始まるｸﾛｯｸ周期を考察してください。このﾗｯﾁはｸﾛｯｸがLowの時に閉じ、ｸﾛｯｸがHighの時に同期ﾗｯﾁ信号の斜線部分で示されるように通過(ﾄﾗﾝｽﾍﾟｱﾚﾝﾄ)となります。この信号値はｼｽﾃﾑ ｸﾛｯｸがLowになる時に保持(ﾗｯﾁ)されます。それが続くｸﾛｯｸの上昇端でPINxnﾚｼﾞｽﾀに取り込まれます。2つの矢印$t_{pd,min}$と$t_{pd,max}$によって示されるように、ﾋﾟﾝ上の単一信号遷移は出現時点に依存して0.5～1.5ｼｽﾃﾑ ｸﾛｯｸ周期遅らされます。

ｿﾌﾄｳｪｱが指定したﾋﾟﾝ値を読み戻す時は、図25.で示されるようにNOP命令が挿入されなければなりません。OUT命令はｼｽﾃﾑ ｸﾛｯｸの上昇端で同期ﾗｯﾁを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1ｼｽﾃﾑ ｸﾛｯｸ周期です。

図24. 外部供給ﾋﾟﾝ値読み込み時の同期化

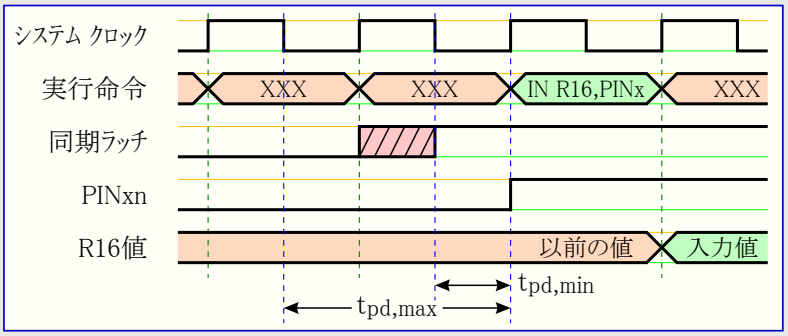
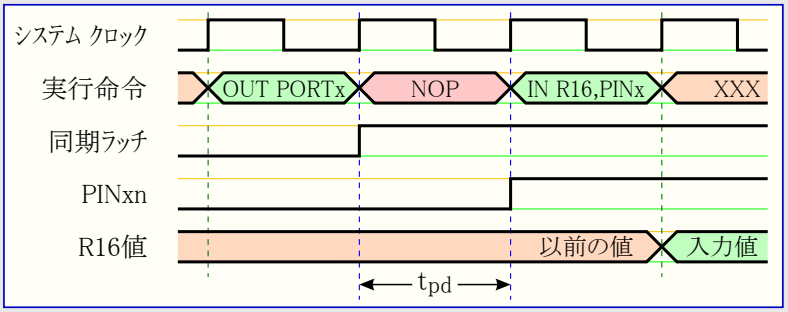


図25. ﾌﾟﾛｸﾞﾗﾑで設定したﾋﾟﾝ値読み戻し時の同期化



次のｺｰﾄﾞ例はﾎﾟｰﾄBﾋﾟﾝの0と1をHigh出力、2と3をLow出力、6と7をﾌﾟﾙｱｯﾌﾟ指定として4～7を入力に設定する方法を示します。結果のﾋﾟﾝ値が再び読み戻されますが、前記で検討されたように、いくつかのﾋﾟﾝへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
        ～                                                  ;
        LDI     R16, (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0)    ;ﾌﾟﾙｱｯﾌﾟとHigh値を取得
        LDI     R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0) ;出力ﾋﾞｯﾄ値を取得
        OUT     PORTB, R16                                  ;ﾌﾟﾙｱｯﾌﾟとHigh値を設定
        OUT     DDRB, R17                                   ;入出力方向を設定
        NOP                                                 ;同期化遅延対処
        IN      R16, PINB                                   ;ﾋﾟﾝ値読み戻し
        ～                                                  ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char i;
    ～                                                      /* */
    PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0);            /* ﾌﾟﾙｱｯﾌﾟとHigh値を設定 */
    DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0);         /* 入出力方向を設定 */
    __no_operation();                                       /* 同期化遅延対処 */
    i = PINB;                                               /* ﾋﾟﾝ値読み戻し */
    ～                                                      /* */
```

注: ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑについてはﾌﾟﾙｱｯﾌﾟがﾋﾟﾝ0,1,6,7に設定されてから、ﾋﾞｯﾄ0と1の強力なHigh駆動部としての再定義、ﾋﾞｯﾄ2と3のLow駆動部としての定義、方向ﾋﾞｯﾄが正しく設定されるまでの時間を最小とするために2つの一時ﾚｼﾞｽﾀが使われます。

ﾃﾞｼﾞﾀﾙ入力許可と休止形態

図23.で示されるようにﾃﾞｼﾞﾀﾙ入力信号はｼｭﾐｯﾄ ﾄﾘｶﾞの入力をGNDにｸﾗﾝﾌﾟできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のｱﾅﾛｸﾞ信号電圧を持つ場合の高消費電力を避けるため、ﾊﾟﾜｰﾀﾞｳﾝ動作、ﾊﾟﾜｰｾｰﾌﾞ動作、ｽﾀﾝﾊﾞｲ動作でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みﾋﾟﾝとして許可されたﾎﾟｰﾄ ﾋﾟﾝに対しては無視されます。外部割り込み要求が許可されないなら、SLEEPは他のﾋﾟﾝについてと同様に有効です。SLEEPは40頁の「**交換ﾎﾟｰﾄ機能**」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない"上昇端、下降端または論理変化(両端)割り込み"として設定された非同期外部割り込みﾋﾟﾝに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるｸﾗﾝﾌﾟが要求された論理変化を生ずるので、対応する外部割り込み要求ﾌﾗｸﾞが設定(=1)されます。

未接続ﾋﾟﾝ

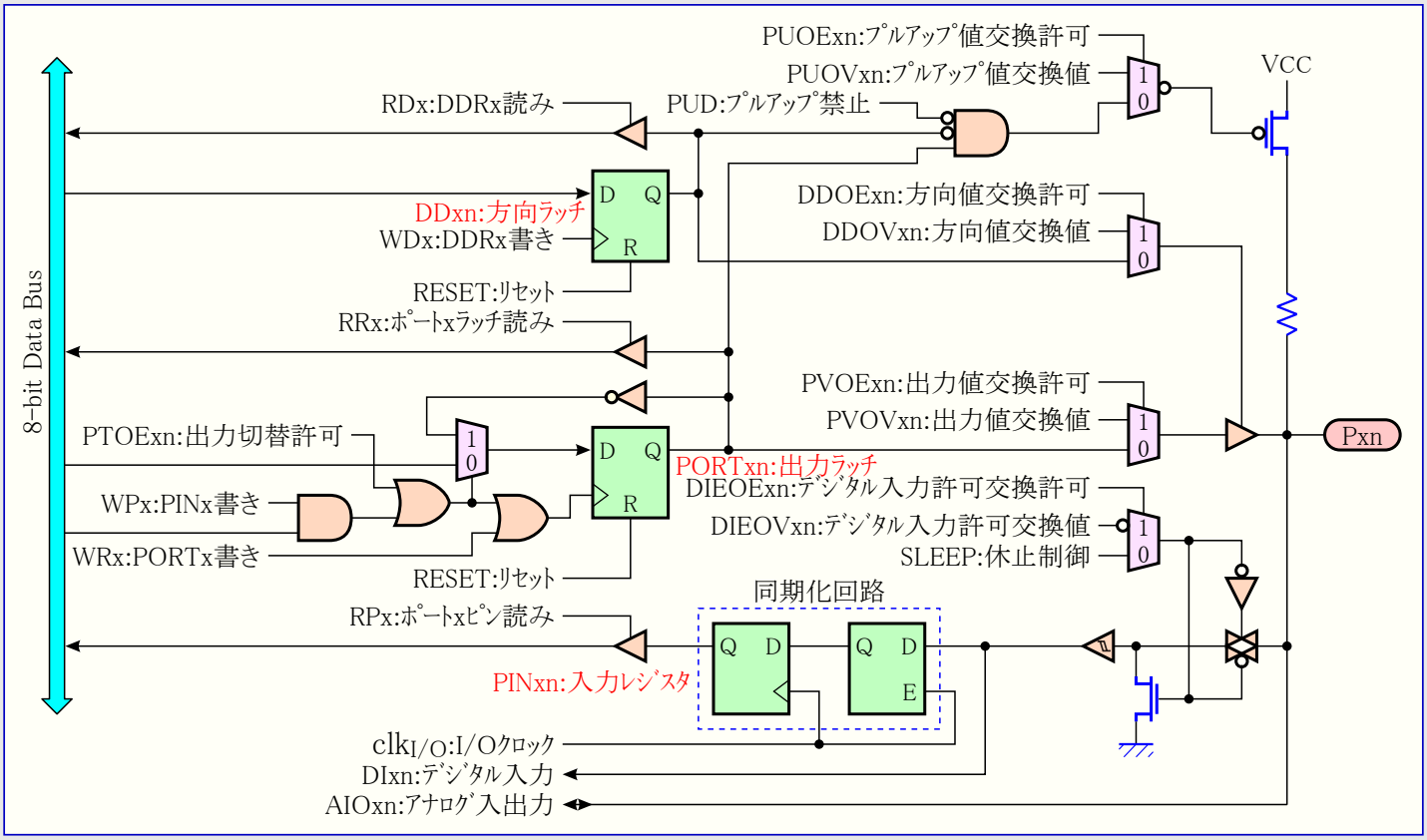
いくつかのﾋﾟﾝが未使用にされる場合、それらのﾋﾟﾝが定義されたﾚﾍﾞﾙを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのﾃﾞｼﾞﾀﾙ入力が禁止されるとしても、ﾃﾞｼﾞﾀﾙ入力が許可される他の全ての動作(ﾘｾｯﾄ、活動動作、ｱｲﾄﾞﾙ動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ﾋﾟﾝの定義されたﾚﾍﾞﾙを保証する最も簡単な方法は内部ﾌﾟﾙｱｯﾌﾟを許可することです。この場合、ﾘｾｯﾄ中のﾌﾟﾙｱｯﾌﾟは禁止されます。ﾘｾｯﾄ中の低消費電力が重要なら、外部ﾌﾟﾙｱｯﾌﾟまたはﾌﾟﾙﾀﾞｳﾝを使うことが推奨されます。未使用ﾋﾟﾝを直接GNDまたはVCCに接続することは、ﾋﾟﾝが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

交換ポート機能

多くのポート ピンには標準デジタル入出力に加え交換機能があります。図26.は単純化された図23.でのポート ピン制御信号が交換機能によってどう重複できるかを示します。この重複信号は全てのポート ピンに存在する訳ではありませんが、この図はAVR マイクロ コントローラ系統の全ポート ピンに適用できる一般的な記述として取り扱います。

図26. 交換ポート機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O,SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表26.は重複(交換)信号の機能一覧を示します。図26.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表26. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	デジタル入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミット トリガ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

以降の項は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

MCU制御ﾚｼﾞｽﾀ (MCU Control Register) **MCUCR**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$35 ($55)	JTD	–	–	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ4 – PUD : ﾌﾟﾙｱｯﾌﾟ禁止** (Pull-up Disable)

このﾋﾞｯﾄが1を書かれると、例えDDxnとPORTxnﾚｼﾞｽﾀがﾌﾟﾙｱｯﾌﾟを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oﾎﾟｰﾄのﾌﾟﾙｱｯﾌﾟは禁止されます。この特徴についてより多くの詳細に関しては38頁の「**ﾋﾟﾝの設定**」をご覧ください。

ﾎﾟｰﾄBの交換機能

ﾎﾟｰﾄBﾋﾟﾝの交換機能は**表27.**で示されます。

表27. ﾎﾟｰﾄBﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PB7	OC2A (ﾀｲﾏ/ｶｳﾝﾀ2 比較一致/PWM出力) PCINT15 (ﾋﾟﾝ変化割り込み15入力)	PB3	MISO (SPI 主側ﾃﾞｰﾀ入力/従側ﾃﾞｰﾀ出力) PCINT11 (ﾋﾟﾝ変化割り込み11入力)
PB6	OC1B (ﾀｲﾏ/ｶｳﾝﾀ1 比較B一致/PWM出力) PCINT14 (ﾋﾟﾝ変化割り込み14入力)	PB2	MOSI (SPI 主側ﾃﾞｰﾀ出力/従側ﾃﾞｰﾀ入力) PCINT10 (ﾋﾟﾝ変化割り込み10入力)
PB5	OC1A (ﾀｲﾏ/ｶｳﾝﾀ1 比較A一致/PWM出力) PCINT13 (ﾋﾟﾝ変化割り込み13入力)	PB1	SCK (SPI 直列ｸﾛｯｸ 主側出力/従側入力) PCINT9 (ﾋﾟﾝ変化割り込み9入力)
PB4	OC0A (ﾀｲﾏ/ｶｳﾝﾀ0 比較一致/PWM出力) PCINT12 (ﾋﾟﾝ変化割り込み12入力)	PB0	$\overline{SS}$ (SPI 従装置選択入力) PCINT8 (ﾋﾟﾝ変化割り込み8入力)

交換ﾋﾟﾝの設定は次のとおりです。

• **OC2A/PCINT15 – ﾎﾟｰﾄB ﾋﾞｯﾄ7 : PB7**

OC2A : ﾀｲﾏ/ｶｳﾝﾀ2の比較A一致出力。PB7ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ2の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB7=1)されなければなりません。OC2Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

PCINT15 : ﾋﾟﾝ変化割り込み15入力。PB7ﾋﾟﾝは外部割り込み元としても扱えます。

• **OC1B/PCINT14 – ﾎﾟｰﾄB ﾋﾞｯﾄ6 : PB6**

OC1B : ﾀｲﾏ/ｶｳﾝﾀ1の比較B一致出力。PB6ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較B一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB6=1)されなければなりません。OC1Bﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

PCINT14 : ﾋﾟﾝ変化割り込み14入力。PB6ﾋﾟﾝは外部割り込み元としても扱えます。

• **OC1A/PCINT13 – ﾎﾟｰﾄB ﾋﾞｯﾄ5 : PB5**

OC1A : ﾀｲﾏ/ｶｳﾝﾀ1の比較A一致出力。PB5ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1の比較A一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB5=1)されなければなりません。OC1Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

PCINT13 : ﾋﾟﾝ変化割り込み13入力。PB5ﾋﾟﾝは外部割り込み元としても扱えます。

• **OC0A/PCINT12 – ﾎﾟｰﾄB ﾋﾞｯﾄ4 : PB4**

OC0A : ﾀｲﾏ/ｶｳﾝﾀ0の比較一致出力。PB4ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ0の比較一致用外部出力として扱えます。この機能を扱うため、このﾋﾟﾝは出力として設定(DDB4=1)されなければなりません。OC0Aﾋﾟﾝはﾀｲﾏ機能のPWM動作用出力ﾋﾟﾝでもあります。

PCINT12 : ﾋﾟﾝ変化割り込み12入力。PB4ﾋﾟﾝは外部割り込み元としても扱えます。

• **MISO/PCINT11 – ﾎﾟｰﾄB ﾋﾞｯﾄ3 : PB3**

MISO : SPI用の主装置ﾃﾞｰﾀ入力、従装置ﾃﾞｰﾀ出力。SPIが主装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB3の設定に拘らず、入力として設定されます。SPIが従装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB3で制御されます。このﾋﾟﾝがSPIによって入力を強制される時にﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB3で制御できます。

PCINT11 : ﾋﾟﾝ変化割り込み11入力。PB3ﾋﾟﾝは外部割り込み元としても扱えます。

• **MOSI/PCINT10 – ﾎﾟｰﾄB ﾋﾞｯﾄ2 : PB2**

MOSI : SPI用の主装置ﾃﾞｰﾀ出力、従装置ﾃﾞｰﾀ入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB2設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB2で制御されます。このﾋﾟﾝがSPIによって入力を強制される時にﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB2で制御できます。

PCINT10 : ﾋﾟﾝ変化割り込み10入力。PB2ﾋﾟﾝは外部割り込み元としても扱えます。

- SCK/PCINT9 – ﾎﾟｰﾄB ﾋﾞｯﾄ1 : PB1

SCK : SPI用の主装置ｸﾛｯｸ出力、従装置ｸﾛｯｸ入力。SPIが従装置として許可されると、このﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB1設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB1によって制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB1によって制御できます。

PCINT9 : ﾋﾟﾝ変化割り込み9入力。PB1ﾋﾟﾝは外部割り込み元としても扱えます。

- $\overline{SS}$/PCINT8 – ﾎﾟｰﾄB ﾋﾞｯﾄ0 : PB0

$\overline{SS}$: SPI従装置選択入力。SPIが従装置として許可されると、このﾋﾟﾝはDDRBのDDB0設定に拘らず、入力として設定されます。従装置としてこのﾋﾟﾝがLowに駆動されると、SPI(機能)が活性化(有効に)されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB0によって制御されます。このﾋﾟﾝがSPIによって入力を強制される時にﾌﾟﾙｱｯﾌﾟは未だPORTBのPORTB0によって制御できます。

PCINT8 : ﾋﾟﾝ変化割り込み8入力。PB0ﾋﾟﾝは外部割り込み元としても扱えます。

表28.と表29.はﾎﾟｰﾄBの交換機能を40頁の図26.で示される交換信号に関連付けます。SPI主装置入力とSPI従装置出力がMISOを構成し、一方MOSIはSPI主装置出力とSPI従装置入力に分けられます。

表28. ﾎﾟｰﾄB7～4の交換機能用交換信号

信号名	PB7/OC2A/PCINT15	PB6/OC1B/PCINT14	PB5/OC1A/PCINT13	PB4/OC0A/PCINT12
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	OC2A許可	OC1B許可	OC1A許可	OC0A許可
PVOV	OC2A	OC1B	OC1A	OC0A
PTOE	–	–	–	–
DIEOE	PCIE1・PCINT15	PCIE1・PCINT14	PCIE1・PCINT13	PCIE1・PCINT12
DIEOV	1	1	1	1
DI	PCINT15入力	PCINT14入力	PCINT13入力	PCINT12入力
AIO	–	–	–	–

表29. ﾎﾟｰﾄB3～0の交換機能用交換信号

信号名	PB3/MISO/PCINT11	PB2/MOSI/PCINT10	PB1/SCK/PCINT9	PB0/$\overline{SS}$/PCINT8
PUOE	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$
PUOV	PORTB3・$\overline{PUD}$	PORTB2・$\overline{PUD}$	PORTB1・$\overline{PUD}$	PORTB0・$\overline{PUD}$
DDOE	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$
DDOV	0	0	0	0
PVOE	SPE・$\overline{MSTR}$	SPE・MSTR	SPE・MSTR	0
PVOV	SPI従装置出力	SPI主装置出力	SCK出力	0
PTOE	–	–	–	–
DIEOE	PCIE1・PCINT11	PCIE1・PCINT10	PCIE1・PCINT9	PCIE1・PCINT8
DIEOV	1	1	1	1
DI	SPI主装置/PCINT11入力	SPI従装置/PCINT10入力	SCK/PCINT9入力	SPI $\overline{SS}$/PCINT8入力
AIO	–	–	–	–

ﾎﾟｰﾄDの交換機能

ﾎﾟｰﾄDﾋﾟﾝの交換機能は表30.で示されます。

表30. ﾎﾟｰﾄDﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PD7	–	PD3	–
PD6	–	PD2	–
PD5	–	PD1	INT0　(外部割り込み0 入力)
PD4	–	PD0	ICP1　(ﾀｲﾏ/ｶｳﾝﾀ1 捕獲起動入力)

交換ﾋﾟﾝの設定は次のとおりです。

- INT0 – ﾎﾟｰﾄD ﾋﾞｯﾄ1 : PD1

  INT0 : 外部割り込み0入力。PD1ﾋﾟﾝはMCUへの外部割り込み元として扱えます。

- ICP1 – ﾎﾟｰﾄD ﾋﾞｯﾄ0 : PD0

  ICP1 : ﾀｲﾏ/ｶｳﾝﾀ1の捕獲起動入力。PD0ﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ1用捕獲起動入力ﾋﾟﾝとして動作できます。

表31.はﾎﾟｰﾄDの交換機能を40頁の図26.で示される交換信号に関連付けます。

表31. ﾎﾟｰﾄD3～0の交換機能用交換信号

信号名	PD3	PD2	PD1/INT0	PD0/ICP1
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	–	–	–	–
DIEOE	0	0	INT0許可	0
DIEOV	0	0	INT0許可	0
DI	–	–	INT0入力	ICP1入力
AIO	–	–	–	–

ﾎﾟｰﾄEの交換機能

ﾎﾟｰﾄEﾋﾟﾝの交換機能は表32.で示されます。

表32. ﾎﾟｰﾄEﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PE7	CLKO (ｼｽﾃﾑ ｸﾛｯｸ出力) PCINT7 (ﾋﾟﾝ変化割り込み7入力)	PE3	AIN1 (ｱﾅﾛｸﾞ比較器反転入力) PCINT3 (ﾋﾟﾝ変化割り込み3入力)
PE6	DO (3線動作USIﾃﾞｰﾀ出力) PCINT6 (ﾋﾟﾝ変化割り込み6入力)	PE2	AIN0 (ｱﾅﾛｸﾞ比較器非反転入力) XCK (USART 外部ｸﾛｯｸ入出力) PCINT2 (ﾋﾟﾝ変化割り込み2入力)
PE5	DI (3線動作USIﾃﾞｰﾀ入力) SDA (2線動作USI(TWI)ﾃﾞｰﾀ入出力) PCINT5 (ﾋﾟﾝ変化割り込み5入力)	PE1	TXD (USART 送信ﾃﾞｰﾀ出力) PCINT1 (ﾋﾟﾝ変化割り込み1入力)
PE4	USCK (3線動作USIｸﾛｯｸ入出力) SCL (2線動作USI(TWI)ｸﾛｯｸ入出力) PCINT4 (ﾋﾟﾝ変化割り込み4入力)	PE0	RXD (USART 受信ﾃﾞｰﾀ入力) PCINT0 (ﾋﾟﾝ変化割り込み0入力)

交換ﾋﾟﾝの設定は次のとおりです。

- CLKO/PCINT7 – ﾎﾟｰﾄE ﾋﾞｯﾄ7 : PE7

  CLKO : ｼｽﾃﾑ ｸﾛｯｸ出力。分周したｼｽﾃﾑ ｸﾛｯｸがPE7ﾋﾟﾝに出力できます。分周したｼｽﾃﾑ ｸﾛｯｸはCKOUTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、PORTE7とDDE7設定に拘らず、出力されます。これはﾘｾｯﾄ中にも出力されます。

  PCINT7 : ﾋﾟﾝ変化割り込み7入力。PE7ﾋﾟﾝは外部割り込み元としても扱えます。

- DO/PCINT6 – ﾎﾟｰﾄE ﾋﾞｯﾄ6 : PE6

  DO : 3線動作USIのﾃﾞｰﾀ出力。

  PCINT6 : ﾋﾟﾝ変化割り込み6入力。PE6ﾋﾟﾝは外部割り込み元としても扱えます。

- DI/SDA/PCINT5 – ﾎﾟｰﾄE ﾋﾞｯﾄ5 : PE5

  DI : 3線動作USIのﾃﾞｰﾀ入力。

  SDA : 2線動作USI(TWI)のﾃﾞｰﾀ入出力。

  PCINT5 : ﾋﾟﾝ変化割り込み5入力。PE5ﾋﾟﾝは外部割り込み元としても扱えます。

- USCK/SCL/PCINT4 – ﾎﾟｰﾄE ﾋﾞｯﾄ4 : PE4

  USCK : 3線動作USIのｸﾛｯｸ入出力。

  SCL : 2線動作USI(TWI)のｸﾛｯｸ入出力。

  PCINT4 : ﾋﾟﾝ変化割り込み4入力。PE4ﾋﾟﾝは外部割り込み元としても扱えます。

- AIN1/PCINT3 – ﾎﾟｰﾄE ﾋﾞｯﾄ3 : PE3

  AIN1 : ｱﾅﾛｸﾞ比較器の反転入力。このﾋﾟﾝはｱﾅﾛｸﾞ比較器の反転入力に直接接続されます。

  PCINT3 : ﾋﾟﾝ変化割り込み3入力。PE3ﾋﾟﾝは外部割り込み元としても扱えます。

- AIN0/XCK/PCINT2 – ﾎﾟｰﾄE ﾋﾞｯﾄ2 : PE2

  AIN0 : ｱﾅﾛｸﾞ比較器の非反転入力。このﾋﾟﾝはｱﾅﾛｸﾞ比較器の非反転入力に直接接続されます。

  XCK : USARTの外部ｸﾛｯｸ入出力。ﾎﾟｰﾄE方向ﾚｼﾞｽﾀ(DDRE)のDDE2は、このｸﾛｯｸが入力(DDE2=0)または出力(DDE2=1)のどちらかを制御します。XCKﾋﾟﾝはUSARTが同期種別で動作する時だけ活動します(有効です)。

  PCINT2 : ﾋﾟﾝ変化割り込み2入力。PE2ﾋﾟﾝは外部割り込み元としても扱えます。

- TXD/PCINT1 – ﾎﾟｰﾄE ﾋﾞｯﾄ1 : PE1

  TXD : 送信ﾃﾞｰﾀ(USART用ﾃﾞｰﾀ出力ﾋﾟﾝ)。USART送信部が許可されると、ﾋﾟﾝはDDREのDDE1値に拘らず出力として設定されます。

  PCINT1 : ﾋﾟﾝ変化割り込み1入力。PE1ﾋﾟﾝは外部割り込み元としても扱えます。

- RXD/PCINT0 – ﾎﾟｰﾄE ﾋﾞｯﾄ0 : PE0

  RXD : 受信ﾃﾞｰﾀ(USART用ﾃﾞｰﾀ入力ﾋﾟﾝ)。USART受信部が許可されると、このﾋﾟﾝはDDREのDDE0の値に拘らず入力として設定されます。USARTがこのﾋﾟﾝを入力に強制するとき、ﾌﾟﾙｱｯﾌﾟは未だPORTE0ﾋﾞｯﾄによって制御できます。

  PCINT0 : ﾋﾟﾝ変化割り込み0入力。PE0ﾋﾟﾝは外部割り込み元としても扱えます。

表33.と表34.はポートEの交換機能を40頁の図26.で示される交換信号に関連付けます。

表33. ポートE7～4の交換機能用交換信号

信号名	PE7/PCINT7/(CLKO)	PE6/DO/PCINT6	PE5/DI/SDA/PCINT5	PE4/USCK/SCL/PCINT4
PUOE	0	0	2線USI	2線USI
PUOV	0	0	0	0
DDOE	CKOUT	0	2線USI	2線USI
DDOV	1	0	(SDA+$\overline{\text{PORTE5}}$)・DDE5	(SCL保持+$\overline{\text{PORTE4}}$)・DDE4
PVOE	CKOUT	3線USI	2線USI・DDE5	2線USI・DDE4
PVOV	$clk_{I/O}$	DO	0	0
PTOE	–	–	0	USITC
DIEOE	PCIE0・PCINT7	PCIE0・PCINT6	(PCIE0・PCINT5)+USISIE	(PCIE0・PCINT4)+USISIE
DIEOV	1	1	1	1
DI	PCINT7入力	PCINT6入力	DI/SDA/PCINT5入力	USCK/SCL/PCINT4入力
AIO	–	–	–	–

注: CKOUTヒューズがプログラム(0)ならばCKOUTが論理1です。

表34. ポートE3～0の交換機能用交換信号

信号名	PE3/AIN1/PCINT3	PE2/AIN0/XCK/PCINT2	PE1/TXD/PCINT1	PE0/RXD/PCINT0
PUOE	0	0	TXEN	RXEN
PUOV	0	0	0	PORTE0・$\overline{\text{PUD}}$
DDOE	0	0	TXEN	RXEN
DDOV	0	0	1	0
PVOE	0	XCK出力許可	TXEN	0
PVOV	0	XCK	TXD	0
PTOE	–	–	–	–
DIEOE	(PCIE0・PCINT3)+AIN1D	(PCIE0・PCINT2)+AIN0D	PCIE0・PCINT1	PCIE0・PCINT0
DIEOV	PCIE0・PCINT3	PCIE0・PCINT2	1	1
DI	PCINT3入力	XCK/PCINT2入力	PCINT1入力	RXD/PCINT0入力
AIO	AIN1入力	AIN0入力	–	–

注: AIN0DとAIN1Dは129頁の「デジタル入力禁止レジスタ1(DIDR1)」で記述されます。

ﾎﾟｰﾄFの交換機能

ﾎﾟｰﾄFﾋﾟﾝには表35.に示されるようにA/D変換用ｱﾅﾛｸﾞ入力としての交換機能があります。ﾎﾟｰﾄFﾋﾟﾝのいくつかが出力として設定される場合、A/D変換実行中の時にそれらを切り替えないことが重要です。これは変換結果を不正にするかもしれません。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、ﾘｾｯﾄが起きてもPF7(TDI)、PF5(TMS)、PF4(TCK)ﾋﾟﾝのﾌﾟﾙｱｯﾌﾟ抵抗は活性(有効)にされます。

表35. ﾎﾟｰﾄFﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PF7	ADC7 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ7) TDI (JTAG 検査ﾃﾞｰﾀ入力)
PF6	ADC6 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ6) TDO (JTAG 検査ﾃﾞｰﾀ出力)
PF5	ADC5 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ5) TMS (JTAG 検査種別選択入力)
PF4	ADC4 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ4) TCK (JTAG ｸﾛｯｸ入力)
PF3	ADC3 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ3)
PF2	ADC2 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ2)
PF1	ADC1 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ1)
PF0	ADC0 (A/D変換ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ0)

交換ﾋﾟﾝの設定は次のとおりです。

- ADC7/TDI – ﾎﾟｰﾄF ﾋﾞｯﾄ7 : PF7

  ADC7 : A/D変換ﾁｬﾈﾙ7入力。

  TDI : JTAG検査ﾃﾞｰﾀ入力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀ(走査ﾁｪｰﾝ)に移動入力される直列入力ﾃﾞｰﾀです。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。

- ADC6/TDO – ﾎﾟｰﾄF ﾋﾞｯﾄ6 : PF6

  ADC6 : A/D変換ﾁｬﾈﾙ6入力。

  TDO : JTAG検査ﾃﾞｰﾀ出力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀから移動出力される直列出力ﾃﾞｰﾀです。JTAGｲﾝﾀｰﾌｪｰｽが許可されたなら、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。ﾃﾞｰﾀを移動出力するTAP状態に於いて、TDOﾋﾟﾝは動的に駆動します。他の状態ではこのﾋﾟﾝがHighに引かれます。

- ADC5/TMS – ﾎﾟｰﾄF ﾋﾞｯﾄ5 : PF5

  ADC5 : A/D変換ﾁｬﾈﾙ5入力。

  TMS : JTAG検査種別選択。このﾋﾟﾝはTAP(検査入出力ﾎﾟｰﾄ)制御器状態機構を通しての操作に使われます。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。

- ADC4/TCK – ﾎﾟｰﾄF ﾋﾞｯﾄ4 : PF4

  ADC4 : A/D変換ﾁｬﾈﾙ4入力。

  TCK : JTAGｸﾛｯｸ。JTAG操作はTCKに同期します。JTAGｲﾝﾀｰﾌｪｰｽが許可されると、このﾋﾟﾝはI/Oﾋﾟﾝとして使えません。

- ADC3 – ﾎﾟｰﾄF ﾋﾞｯﾄ3 : PF3

  ADC3 : A/D変換ﾁｬﾈﾙ3入力。

- ADC2 – ﾎﾟｰﾄF ﾋﾞｯﾄ2 : PF2

  ADC2 : A/D変換ﾁｬﾈﾙ2入力。

- ADC1 – ﾎﾟｰﾄF ﾋﾞｯﾄ1 : PF1

  ADC1 : A/D変換ﾁｬﾈﾙ1入力。

- ADC0 – ﾎﾟｰﾄF ﾋﾞｯﾄ0 : PF0

  ADC0 : A/D変換ﾁｬﾈﾙ0入力。

表36.と表37.はポートFの交換機能を40頁の図26.で示される交換信号に関連付けます。

表36. ポートF7～4の交換機能用交換信号

信号名	PF7/ADC7/TDI	PF6/ADC/TDO	PF5/ADC5/TMS	PF4/ADC4/TCK
PUOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
PUOV	1	1	1	1
DDOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DDOV	0	IR移動+DR移動	0	0
PVOE	0	JTAGEN	0	0
PVOV	0	TDO	0	0
PTOE	–	–	–	–
DIEOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	ADC7入力/TDI入力	ADC6入力	ADC5入力/TMS入力	ADC4入力/TCK入力

表37. ポートF3～0の交換機能用交換信号

信号名	PF3/ADC3	PF2/ADC2	PF1/ADC1	PF0/ADC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	–	–	–	–
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	ADC3入力	ADC2入力	ADC1入力	ADC0入力

ﾎﾟｰﾄGの交換機能

ﾎﾟｰﾄGﾋﾟﾝの交換機能は表38.で示されます。

表38. ﾎﾟｰﾄGﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PG4	T0 (ﾀｲﾏ/ｶｳﾝﾀ0 外部ｸﾛｯｸ入力)
PG3	T1 (ﾀｲﾏ/ｶｳﾝﾀ1 外部ｸﾛｯｸ入力)
PG2	–
PG1	–
PG0	–

交換ﾋﾟﾝの設定は次のとおりです。

- T0 – ﾎﾟｰﾄG ﾋﾞｯﾄ4 : PG4

  T0 : ﾀｲﾏ/ｶｳﾝﾀ0の外部ｸﾛｯｸ入力ﾋﾟﾝです。

- T1 – ﾎﾟｰﾄG ﾋﾞｯﾄ3 : PG3

  T1 : ﾀｲﾏ/ｶｳﾝﾀ1の外部ｸﾛｯｸ入力ﾋﾟﾝです。

表39.はﾎﾟｰﾄGの交換機能を40頁の図26.で示される交換信号に関連付けます。

表39. ﾎﾟｰﾄG4～0の交換機能用交換信号

信号名	PG4/T0	PG3/T1	PG2	PG1	PG0
PUOE	0	0	0	0	0
PUOV	0	0	0	0	0
DDOE	0	0	0	0	0
DDOV	0	0	0	0	0
PVOE	0	0	0	0	0
PVOV	0	0	0	0	0
PTOE	–	–	–	–	–
DIEOE	0	0	0	0	0
DIEOV	0	0	0	0	0
DI	T0入力	T1入力	–	–	–
AIO	–	–	–	–	–

(訳注) 原書の表39.と表40.は表39.として統合しました。

I/Oポート用レジスタ

ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
$02 ($22)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
$01 ($21)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA入力レジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
$00 ($20)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
$05 ($25)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
$04 ($24)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
$03 ($23)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
$08 ($28)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC方向レジスタ (Port C Data Direction Register) DDRC

ビット	7	6	5	4	3	2	1	0	
$07 ($27)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾟｰﾄC入力ﾚｼﾞｽﾀ (Port C Input Address) **PINC**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$06 ($26)	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ﾎﾟｰﾄD出力ﾚｼﾞｽﾀ (Port D Data Register) **PORTD**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0B ($2B)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾟｰﾄD方向ﾚｼﾞｽﾀ (Port D Data Direction Register) **DDRD**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0A ($2A)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾟｰﾄD入力ﾚｼﾞｽﾀ (Port D Input Address) **PIND**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$09 ($29)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ﾎﾟｰﾄE出力ﾚｼﾞｽﾀ (Port E Data Register) **PORTE**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0E ($2E)	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	PORTE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾟｰﾄE方向ﾚｼﾞｽﾀ (Port E Data Direction Register) **DDRE**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0D ($2D)	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	DDRE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾟｰﾄE入力ﾚｼﾞｽﾀ (Port E Input Address) **PINE**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0C ($2C)	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	PINE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ﾎﾟｰﾄF出力ﾚｼﾞｽﾀ (Port F Data Register) **PORTF**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$11 ($31)	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0	PORTF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾟｰﾄF方向ﾚｼﾞｽﾀ (Port F Data Direction Register) DDRF

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$10 ($30)	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0	DDRF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾟｰﾄF入力ﾚｼﾞｽﾀ (Port F Input Address) PINF

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0F ($2F)	PINF7	PINF6	PINF5	PINF4	PINF3	PINF2	PINF1	PINF0	PINF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ﾎﾟｰﾄG出力ﾚｼﾞｽﾀ (Port G Data Register) PORTG

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$14 ($34)	–	–	–	PORTG4	PORTG3	PORTG2	PORTG1	PORTG0	PORTG
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾟｰﾄG方向ﾚｼﾞｽﾀ (Port G Data Direction Register) DDRG

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$13 ($33)	–	–	–	DDG4	DDG3	DDG2	DDG1	DDG0	DDRG
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾟｰﾄG入力ﾚｼﾞｽﾀ (Port G Input Address) PING

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$12 ($32)	–	–	–	PING4	PING3	PING2	PING1	PING0	PING
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	不定	不定	不定	不定	不定	

8ビット タイマ/カウンタ0 (PWM付き)

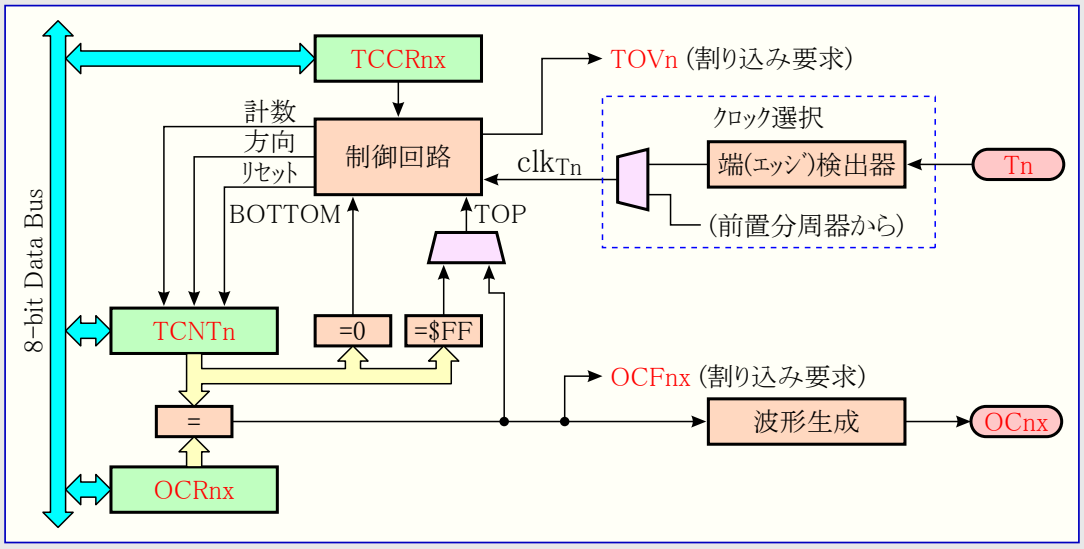
タイマ/カウンタ0は単一比較部付きの汎用8ビット タイマ/カウンタ部です。主な特徴は次のとおりです。

- **単一比較部付き計数器**
- **比較一致でのタイマ/カウンタ解除** (自動再設定)
- **不具合なしで正しい位相のパルス幅変調器** (PWM)
- **周波数発生器**
- **外部事象カウンタ**
- **クロック用10ビット前置分周器**
- **溢れと比較一致割り込み** (TOV0とOCF0A)

概要

この8ビット タイマ/カウンタの簡単化した構成図は**図27.**で示されます。I/Oピンの実際の配置については2頁の「**ピン配置**」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(**訳注**:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は60頁の「**8ビット タイマ/カウンタ0用レジスタ**」で一覧されます。

図27. 8ビット タイマ/カウンタ構成図



関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR0)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK0)で個別に遮蔽(禁止)されます。TIFR0とTIMSK0はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選ばれないと、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタ クロック(clk_{T0})として参照されます。

2重緩衝化した比較レジスタ(OCR0A)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0A)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。54頁の「**比較出力部**」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF0A)も設定(1)します。

定義

本章でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字のxは比較出力部のチャネル名を表し、この場合はAです。けれどもプログラムでレジスタまたはビット定義に使え時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0のように)。

表41.の定義は本文書を通して広範囲に渡って使われます。

表41. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが$00に到達した時。
MAX	タイマ/カウンタが$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値($FF)またはOCR0A値に到達した時。この指定(TOP)値は動作種別に依存します。

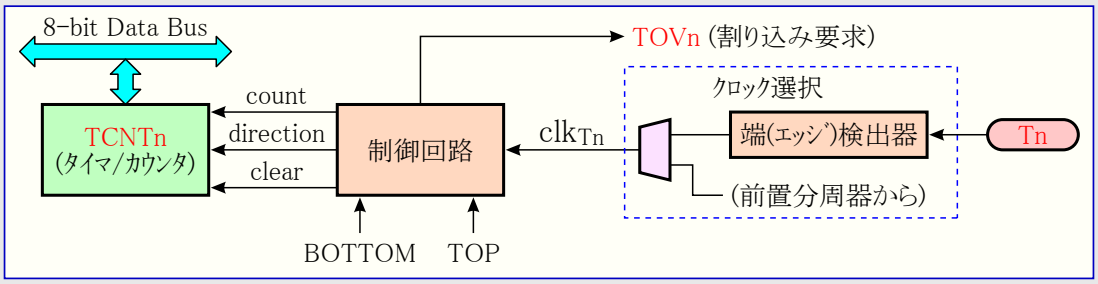
タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ0制御レジスタA(TCCR0A)に配置されたクロック選択(CS02～0)ビットによって制御されるクロック選択論理回路で選ばれます。クロック元と前置分周器の詳細については63頁の「タイマ/カウンタ0とタイマ/カウンタ1の前置分周器」をご覧ください。

計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。**図28.**は、このカウンタとその周辺環境の構成図を示します。

図28. 計数器部構成図



信号説明 (内部信号)	count	TCNT0を1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNT0のリセット($00設定)信号。
	clk_{Tn}	以降でclk_{T0}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT0が最大値に到達したことを示す信号。
	BOTTOM	TCNT0が最小値($00)に到達したことを示す信号。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{T0})で解除($00)、増加(+1)、または減少(-1)されます。clk_{T0}はクロック選択(CS02～0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS02～0=000)と、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clk_{T0})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCR0A)に配置された波形生成種別(WGM01,0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC0A比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては56頁の「**動作種別**」をご覧ください。

タイマ/カウンタ溢れ(TOV0)フラグはWGM01,0ビットによって選ばれた動作種別に従って設定(1)されます。TOV0はCPU割り込み発生に使えます。

比較出力部

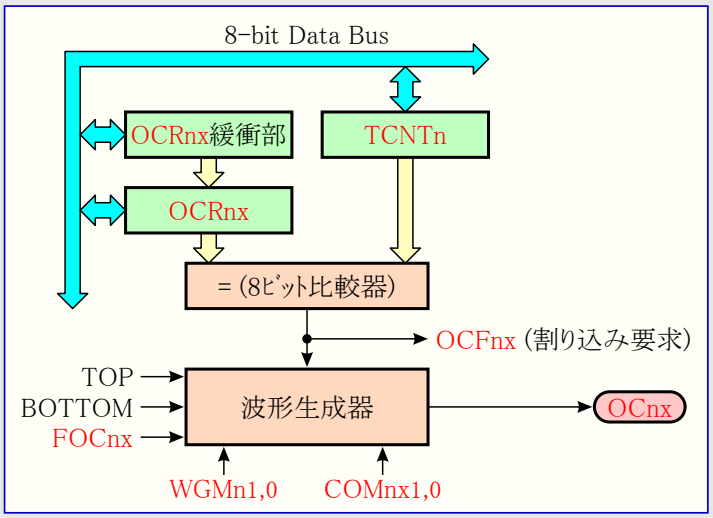
この8ﾋﾞｯﾄ比較器はTCNT0と比較ﾚｼﾞｽﾀ(OCR0A)を継続的に比較します。TCNT0とOCR0Aが等しければ、比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCF0A)を設定(1)します。許可(I=1, OCIE0A=1)なら、この比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。OCF0Aは割り込みが実行されると自動的に解除(0)されます。代わりにOCF0Aはこのﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM01,0)ﾋﾞｯﾄと比較出力選択(COM0A1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(56頁の「**動作種別**」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

図29.は比較出力部の構成図を示します。

OCR0Aはﾊﾟﾙｽ幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0Aﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長や非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0Aのｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR0A緩衝部をｱｸｾｽし、禁止されるとOCR0Aﾚｼﾞｽﾀを直接ｱｸｾｽします。

図29. 比較出力部構成図



強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC0A)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCF0A)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC0Aﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COM0A1,0ﾋﾞｯﾄ設定がOC0Aﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0Aに許します。

比較一致部の使用

どの動作種別でのTCNT0書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0A値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にﾀｲﾏ/ｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

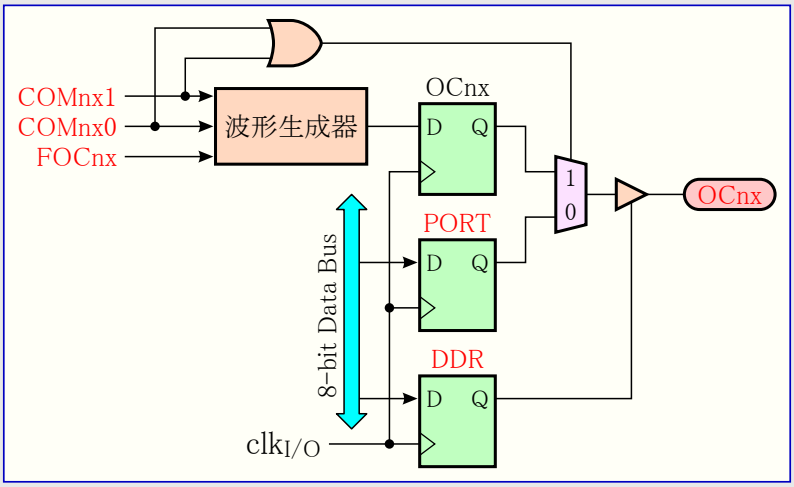
OC0Aの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC0A値を設定する一番簡単な方法は標準動作で強制変更(FOC0A)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成動作種別間を変更する時であっても、OC0A(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COM0A1,0)ﾋﾞｯﾄが比較値(OCR0A)と共に2重緩衝されないことに気付いてください。COM0A1,0ﾋﾞｯﾄの変更は直ちに有効となります。

比較一致出力部

比較出力選択(COM0A1,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC0A)状態の定義にCOM0A1,0ﾋﾞｯﾄを使います。またCOM0A1,0ﾋﾞｯﾄはOC0Aﾋﾟﾝ出力元を制御します。**図30.**はCOM0A1,0ﾋﾞｯﾄ設定によって影響を及ぼされる論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COM0A1,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OC0Aの状態を参照するとき、その参照はOC0Aﾋﾟﾝでなく内部OC0Aﾚｼﾞｽﾀに対してです。ｼｽﾃﾑ ﾘｾｯﾄが起こると、OC0Aﾚｼﾞｽﾀは'0'にﾘｾｯﾄされます。

図30. 比較一致出力回路図



COM0A1,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OC0A)によって無効にされます。けれどもOC0Aﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OC0Aﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OC0A)はOC0A値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は波形生成種別と無関係です。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOC0A状態の初期化を許します。いくつかのCOM0A1,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。60頁の「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0用ﾚｼﾞｽﾀ**」をご覧ください。

比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM0A1,0ﾋﾞｯﾄを違うふうに使います。全ての動作種別に対してCOM0A1,0=00設定は次の比較一致で実行すべきOC0Aﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については60頁の**表43.**を参照してください。高速PWM動作については60頁の**表44.**、位相基準PWMについては60頁の**表45.**を参照してください。

COM0A1,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC0A)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

動作種別

動作種別、換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作は波形生成種別(WGM01,0)ﾋﾞｯﾄと比較出力選択(COM0A1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COM0A1,0ﾋﾞｯﾄは生成されるPWM出力が反転されるべきか否か(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM0A1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(55頁の「**比較一致出力部**」をご覧ください)。

ﾀｲﾐﾝｸﾞ情報の詳細については59頁の「**ﾀｲﾏ/ｶｳﾝﾀ0のﾀｲﾐﾝｸﾞ**」を参照してください(**訳注**:原文中の図番号省略)。

標準動作

最も単純な動作種別が標準動作(WGM01,0=00)です。本動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀ解除は実行されません。ｶｳﾝﾀは8ﾋﾞｯﾄ最大値(TOP=$FF)を通過すると単に範囲を超え、そして$00(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはTCNT0が$00になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOV0ﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第9ﾋﾞｯﾄのようになります。けれどもTOV0ﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

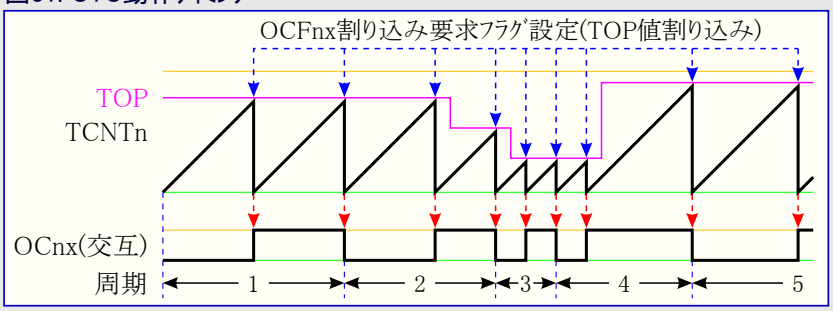
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGM01,0=10)ではOCR0Aがｶｳﾝﾀの分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNT0)値がOCR0Aと一致すると、ｶｳﾝﾀは$00に解除されます。OCR0Aはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は**図31.**で示されます。ｶｳﾝﾀ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNT0)は解除($00)されます。

図31. CTC動作ﾀｲﾐﾝｸﾞ



注: COMnx1,0=01

OCF0Aﾌﾗｸﾞを使うことにより、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後のｶｳﾝﾀは比較一致が起こるのに先立って最大値($FF)へ、そして次に$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択(COM0A1,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切り替えに設定できます。OC0A値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC0A=1)に設定されない限りﾎﾟｰﾄ ﾋﾟﾝで見えないでしょう。生成された波形はOCR0Aが0($00)に設定される時に$f_{OC0A}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

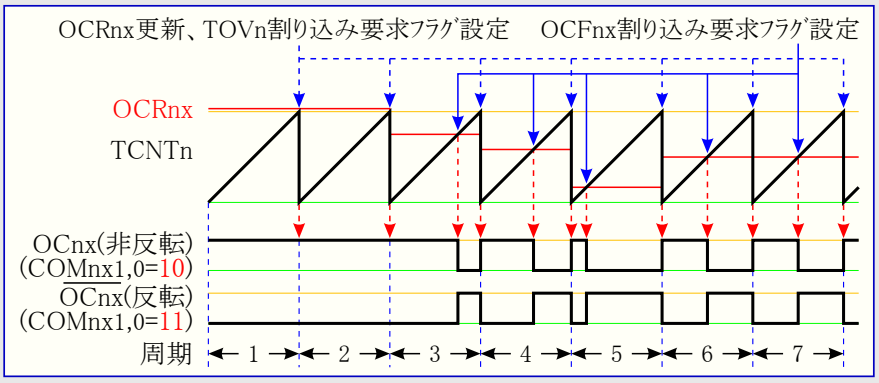
標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$00へ計数するのT同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGM01,0=11)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからMAXまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COM0A1,0=10)での比較出力(OC0A)はTCNT0とOCR0A間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM0A1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

高速PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がMAX値と一致するまで増加されます。そしてﾀｲﾏ/ｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀｸﾛｯｸ周期で解除($00)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は**図32.**で示されます。TCNT0値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0A値を示し、TCNT0値との交点(接点)がTCNT0とOCR0A間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCF0A)はOCR0A=MAXを除いて比較一致が起こると設定(1)されます(**訳注**:共通性のため本行追加)。

図32. 高速PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはｶｳﾝﾀがMAXに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ﾙｰﾁﾝは比較値を更新するのに使えます。

高速PWM動作での比較部はOC0Aﾋﾟﾝでの PWM波形の生成を許します。COM0A1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0A1,0を'11'に設定することで生成できます(60頁の**表44.**をご覧ください)。実際のOC0A値はﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC0A)が出力として設定される場合だけ見えるでしょう。PWM波形はTCNT0とOCR0A間の比較一致でOC0A(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($00、MAXからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でOC0Aﾚｼﾞｽﾀを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times 256}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0Aの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR0AがBOTTOM($00)と等しく設定されると、出力はMAX+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。OCR0AがMAXに等しく設定されると、(COM0A1,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

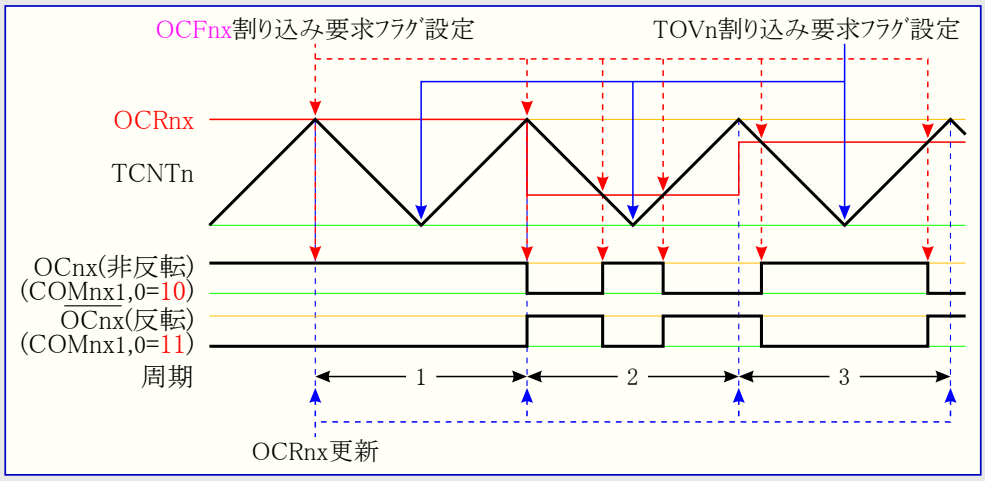
(**訳注**:以下は本動作種別がTOP=MAX($FF)で固定のため基本的に不適切です。) 高速PWM動作で(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOC0A設定(COM0A1,0=01)によって達成できます。生成された波形はOCR0Aが0($00)に設定される時に$f_{OC0A}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC0A交互出力(COM0A1,0=01)と同じです。

位相基準PWM動作

位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM01,0=01)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。ｶｳﾝﾀはBOTTOMからMAXへそして次にMAXからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM0A1,0=10)での比較出力(OC0A)は上昇計数中のTCNT0とOCR0Aの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0A1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8ﾋﾞｯﾄに固定されます。位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値がMAXと一致するまで増加されます。ｶｳﾝﾀはMAXに達すると計数方向を変更します。このTCNT0値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間MAXと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は**図33.**で示されます。TCNT0値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0A値を示し、TCNT0値との交点(接点)がTCNT0とOCR0A間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。

図33. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV0)ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがBOTTOM値に到達する毎に割り込みを発生するために使えます。

位相基準PWM動作での比較部はOC0Aﾋﾟﾝでの PWM波形の生成を許します。COM0A1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0A1,0ﾋﾞｯﾄを'11'に設定することで生成できます(60頁の**表45.**をご覧ください)。実際のOC0A値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC0A)が出力として設定される場合だけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT0とOCR0A間の比較一致でOC0A(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT0とOCR0A間の比較一致でOC0Aﾚｼﾞｽﾀを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{\mathrm{OCnxPCPWM}} = \frac{f_{\mathrm{clk\_I/O}}}{\mathrm{N} \times 510}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0Aの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR0AがBOTTOM($00)に等しく設定されると出力は定常的なLow、MAXに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図33.の第2周期のその出発点に於いて、例え比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- **図33.**でのようにOCR0AはMAXからその値を変更します。OCR0A値がMAXのとき、OCnxﾋﾟﾝ値は下降計数での比較一致の結果と同じです(**訳補**: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)MAX(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- ﾀｲﾏ/ｶｳﾝﾀがOCR0A値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(**訳補**: 従って上記同様、MAX位置で(直前がHならば)H→L遷移が生じます。)

タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタ クロック(clk_{T0})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図34.は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図34. 前置分周なし(1/1)のタイマ/カウンタ タイミング

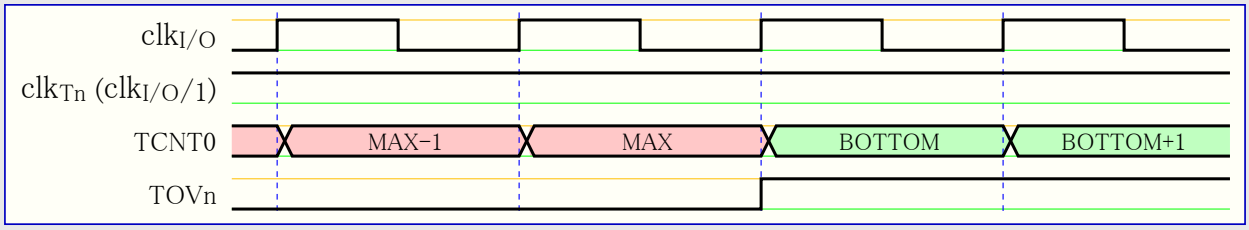


図35.は同じタイミング データを示しますが、前置分周器が許可されています。

図35. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ タイミング

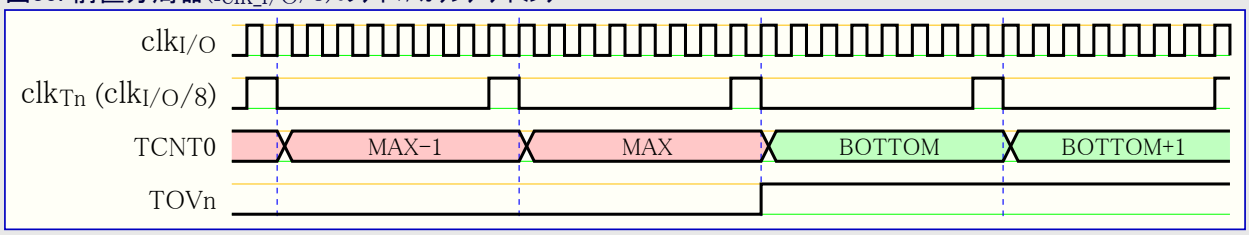


図36.はCTC動作を除く全ての動作種別でのOCF0Aの設定を示します。

図36. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCF0A設定 タイミング

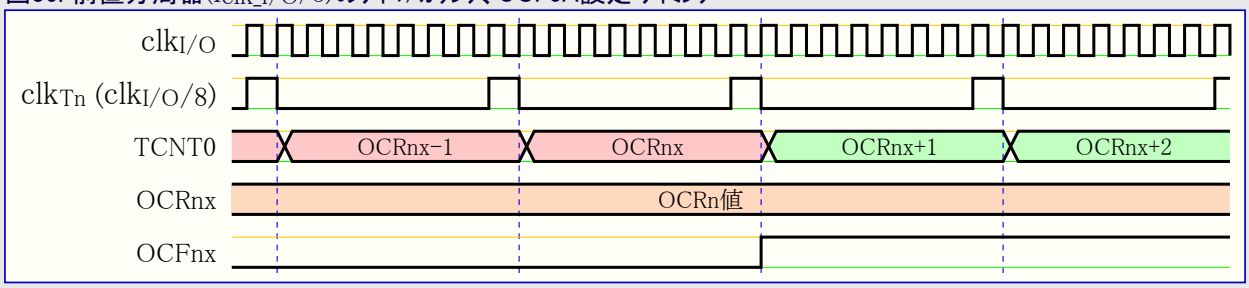
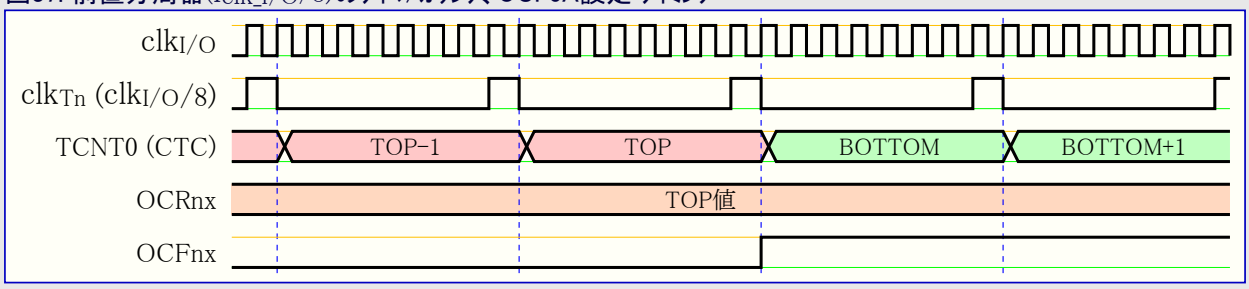


図37.はCTC動作でのTCNT0の解除とOCF0Aの設定を示します。

図37. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCF0A設定 タイミング



8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0用ﾚｼﾞｽﾀ

ﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀA (Timer/Counter0 Control Register A) TCCR0A

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$24 ($44)	FOC0A	WGM00	COM0A1	COM0A0	WGM01	CS02	CS01	CS00	TCCR0A
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – FOC0A : OC0A強制変更** (Force Output Compare 0A)

FOC0AﾋﾞｯﾄはWGM01,0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。けれども将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR0Aが書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC0Aﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1,0ﾋﾞｯﾄ設定に従って変更されます。FOC0Aﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0A1,0ﾋﾞｯﾄに存在する値です。

FOC0Aｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCR0Aを使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($00)も行いません。

FOC0Aﾋﾞｯﾄは常に0として読みます。

• **ﾋﾞｯﾄ3,6 – WGM01,0 : 波形生成種別** (Waveform Generation Mode bit 1 and 0)

これらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大(TOP)ｶｳﾝﾀ値の供給元、使われるべき波形生成のどの形式かを制御します。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と2形式のﾊﾟﾙｽ幅変調(PWM)動作です。表42.と56頁の「**動作種別**」をご覧ください。

表42. 波形生成種別選択

番号	WGM01 (CTC0)	WGM00 (PWM0)	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR0A 更新時	TOV0 設定時
0	0	0	標準動作	$FF	即時	MAX
1	0	1	位相基準PWM動作	$FF	TOP	BOTTOM
2	1	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR0A	即時	MAX
3	1	1	高速PWM動作	$FF	BOTTOM	MAX

注: CTC0とPWM0ﾋﾞｯﾄ定義名は旧名称です。WGM01,0定義を使ってください。しかし、これらのﾋﾞｯﾄの機能と位置は旧版のﾀｲﾏ/ｶｳﾝﾀと一致します。

• **ﾋﾞｯﾄ5,4 – COM0A1,0 : 比較0A出力選択** (Compare Match 0A Output Mode bit 1 and 0)

これらのﾋﾞｯﾄはOC0A比較出力ﾋﾟﾝの動作を制御します。COM0A1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC0A出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC0Aﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC0Aがﾋﾟﾝに接続されるとき、COM0A1,0ﾋﾞｯﾄの機能はWGM01,0ﾋﾞｯﾄ設定に依存します。

表43.はWGM01,0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0A1,0ﾋﾞｯﾄ機能を示します。

表44.はWGM01,0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM0A1,0ﾋﾞｯﾄの機能を示します。

表45.はWGM01,0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM0A1,0ﾋﾞｯﾄの機能を示します。

表43. 非PWM動作での比較出力選択

COM0A1	COM0A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0A切断)
0	1	比較一致でOC0Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC0Aﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC0Aﾋﾟﾝ Highﾚﾍﾞﾙ出力

表44. 高速PWM動作での比較出力選択

COM0A1	COM0A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0A切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC0Aﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Aﾋﾟﾝへ出力 (反転動作)

注: COM0A1が設定(1)され、OCR0AがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)や解除(0)は行われます。より多くの詳細については57頁の「**高速PWM動作**」をご覧ください。

表45. 位相基準PWM動作での比較出力選択

COM0A1	COM0A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC0A切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Aﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Aﾋﾟﾝへ出力

注: COM0A1が設定(1)され、OCR0AがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、TOPでの設定(1)や解除(0)は行われます。より多くの詳細については58頁の「**位相基準PWM動作**」をご覧ください。

• **ﾋﾞｯﾄ2～0 – CS02～0 : ｸﾛｯｸ選択0** (Clock Select0, bit 2,1 and 0)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT0)によって使われるｸﾛｯｸ元を選びます。

表46. ﾀｲﾏ/ｶｳﾝﾀ0入力ｸﾛｯｸ選択

CS02	CS01	CS00	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀ0動作停止)
0	0	1	$clk_{I/O}$ (前置分周なし)
0	1	0	$clk_{I/O}/8$ (8分周)
0	1	1	$clk_{I/O}/64$ (64分周)
1	0	0	$clk_{I/O}/256$ (256分周)
1	0	1	$clk_{I/O}/1024$ (1024分周)
1	1	0	T0ﾋﾟﾝの下降端 (外部ｸﾛｯｸ)
1	1	1	T0ﾋﾟﾝの上昇端 (外部ｸﾛｯｸ)

外部ﾋﾟﾝ(ｸﾛｯｸ)動作がﾀｲﾏ/ｶｳﾝﾀ0に対して使われる場合、例えT0ﾋﾟﾝが出力として設定されても、T0ﾋﾟﾝの遷移はｶｳﾝﾀをｸﾛｯｸ駆動します。この特徴がｿﾌﾄｳｪｱに計数制御を許します。

ﾀｲﾏ/ｶｳﾝﾀ0 (Timer/Counter0) **TCNT0**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$26 ($46)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀは読み書き両方の操作について、ﾀｲﾏ/ｶｳﾝﾀ部の8ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。TCNT0への書き込みは次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT0)を変更することはTCNT0とOCR0A間の比較一致消失の危険を誘発します。

ﾀｲﾏ/ｶｳﾝﾀ0 比較Aﾚｼﾞｽﾀ (Timer/Counter0 Output Compare A Register) **OCR0A**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$27 ($47)	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT0)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC0Aﾋﾟﾝでの波形出力を生成するのに使えます。

ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ (Timer/Counter 0 Interrupt Mask Register) **TIMSK0**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6E)	–	–	–	–	–	–	OCIE0A	TOIE0	TIMSK0
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ1 – OCIE0A : ﾀｲﾏ/ｶｳﾝﾀ0比較A割り込み許可** (Timer/Counter0 Output Compare Match A Interrupt Enable)

OCIE0Aﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0で比較一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR0)で比較割り込み要求ﾌﾗｸﾞ(OCF0A)が設定(1)されると、対応する割り込みが実行されます。

• **ﾋﾞｯﾄ0 – TOIE0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可** (Timer/Counter0 Overflow Interrupt Enable)

TOIE0ﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR0)でﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求(TOV0)ﾌﾗｸﾞが設定(1)されると、対応する割り込みが実行されます。

ﾀｲﾏ/ｶｳﾝﾀ0割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter 0 Interrupt Flag Register) **TIFR0**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$15 ($35)	–	–	–	–	–	–	OCF0A	TOV0	TIFR0
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ1 – OCF0A : ﾀｲﾏ/ｶｳﾝﾀ0比較A割り込み要求ﾌﾗｸﾞ** (Timer/Conter0, Output Compare A Match Flag)

OCF0Aﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT0)と比較ﾚｼﾞｽﾀ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCF0Aはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCF0Aは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ(TIMSK0)のﾀｲﾏ/ｶｳﾝﾀ0比較一致割り込み許可(OCIE0A)ﾋﾞｯﾄ、OCF0Aが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0比較一致割り込みが実行されます。

• **ﾋﾞｯﾄ0 – TOV0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter0 Overflow Flag)

TOV0ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、TOV0はﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもTOV0は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ0割り込み許可ﾚｼﾞｽﾀ(TIMSK0)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE0)ﾋﾞｯﾄ、TOV0が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが実行されます。位相基準PWM動作ではﾀｲﾏ/ｶｳﾝﾀ0が$00で計数方向を変える時にこのﾋﾞｯﾄが設定(1)されます。

タイマ/カウンタ0とタイマ/カウンタ1の前置分周器

タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器部を共用しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述はタイマ/カウンタ0とタイマ/カウンタ1の両方に適用されます。

内部クロック元

タイマ/カウンタはシステム クロック(CSn2～0=001設定)によって直接的にクロック駆動できます。これはシステム クロック周波数($f_{clk\_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。この前置分周したクロックは$f_{clk_I/O}/8$, $f_{clk\_I/O}/64$, $f_{clk\_I/O}/256$, $f_{clk_I/O}/1024$の何れかの周波数です。

前置分周器リセット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)、タイマ/カウンタ0とタイマ/カウンタ1によって共用されます。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2～0=5～2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数はNが前置分周値(8, 64, 256, 1024)とすると、1～N+1 システム クロック周期になり得ます。

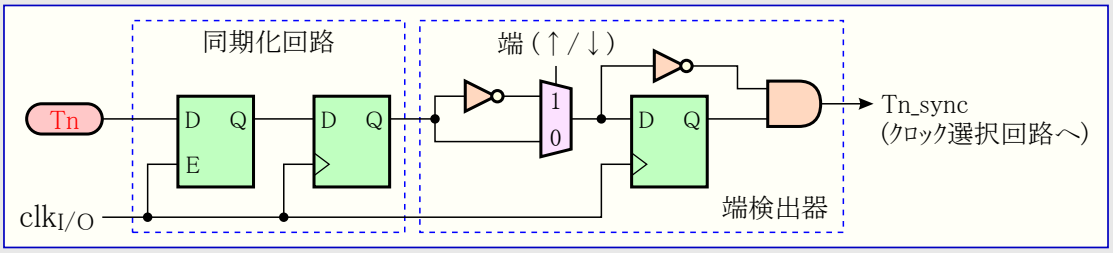
プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使うことが可能です。しかし、同じ前置分周器を共用する他のタイマ/カウンタも前置分周を使う場合、注意が必要とされなければなりません。前置分周器リセットはそれが接続される全タイマ/カウンタについての前置分周器周期に影響を及ぼします。

外部クロック元

T0/T1ピンに印加された外部クロック元はタイマ/カウンタ クロック(f_{clk_T0}/f_{clk_T1})として使えます。このT0/T1ピンはピン同期化論理回路によって全てのシステム クロック周期に一度採取されます。この同期化(採取)された信号はその後に端(エッジ)検出器を通して通過されます。図38.はT0/T1同期化と端検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック($f_{clk\_I/O}$)の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

端検出器は上昇端(CSn2～0=111)または下降端(CSn2～0=110)の検出毎に1つのclk_{T0}/clk_{T1}パルスを生成します。

図38. T0/T1ピンの採取等価構成図



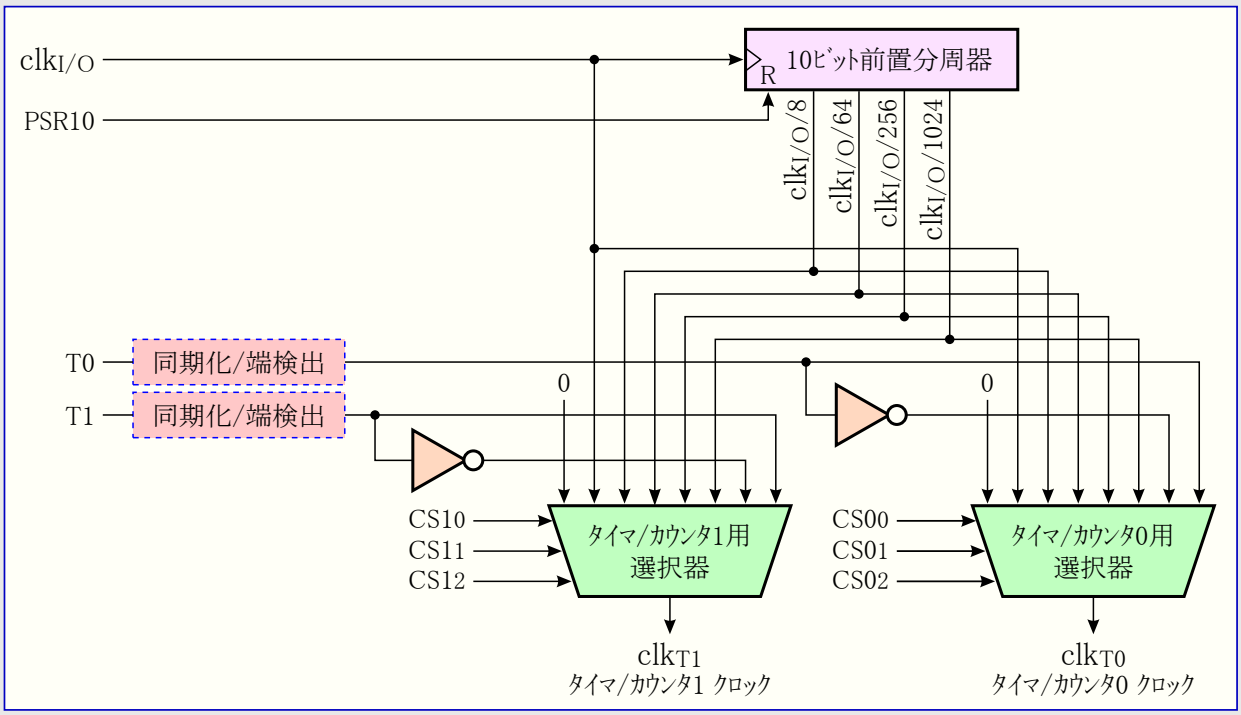
同期化と端検出器論理回路はT0/T1ピンへ印加された端から計数器が更新されるまでに2.5～3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はT0/T1が最低1システム クロック周期に対して安定してしまっている時に行われなければならず、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システム クロック周波数の半分未満($f_{EXTclk}<f_{clk\_I/O}/2$)であることが保証されなければなりません。端検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイキストの標本化定理)。然しながら、発振元(クリスタル発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は$f_{clk_I/O}/2.5$未満が推奨されます。

外部クロック元は前置分周できません。

図39. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器部構成図



注: 入力ピン(T0/T1)の同期化/端(エッジ)検出論理回路は図38.で示されます。

一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register) **GTCCR**

ビット	7	6	5	4	3	2	1	0	
$23 ($43)	TSM	–	–	–	–	–	PSR2	PSR10	GTCCR
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – TSM : タイマ/カウンタ同時動作** (Timer/Counter Synchronization Mode)

TSMビットに1を書くことはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSR2とPSR10へ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できることを保証します。TSMビットが0を書かれると、PSR2とPSR10ビットはハードウェアによって解除(0)され、同時にタイマ/カウンタが計数を始めます。

• **ビット0 – PSR10 : タイマ/カウンタ1,0 前置分周器リセット** (Prescaler Reset Timer/Counter 1,0)

このビットが1のとき、タイマ/カウンタ0とタイマ/カウンタ1の前置分周器はリセットします。TSMビットが設定(1)されている場合を除き、通常、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが両方のタイマ/カウンタに影響を及ぼすことに注意してください。

16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ部は正確なﾌﾟﾛｸﾞﾗﾑ実行ﾀｲﾐﾝｸﾞ(事象管理)、波形生成、信号ﾀｲﾐﾝｸﾞ計測を許します。主な特徴は次に示されます。

- **真の16ﾋﾞｯﾄ設計** (換言すれば16ﾋﾞｯﾄPWMの許容)
- **2つの独立した比較出力部**
- **2重緩衝の比較ﾚｼﾞｽﾀ**
- **1つの捕獲入力部**
- **捕獲入力雑音消去器**
- **比較一致でのﾀｲﾏ/ｶｳﾝﾀ解除** (自動再設定)
- **不具合なしで正しい位相のﾊﾟﾙｽ幅変調器** (PWM)
- **可変PWM周期**
- **周波数発生器**
- **外部事象計数器**
- **4つの独立した割り込み** (TOV1,OCF1A,OCF1B,ICF1)

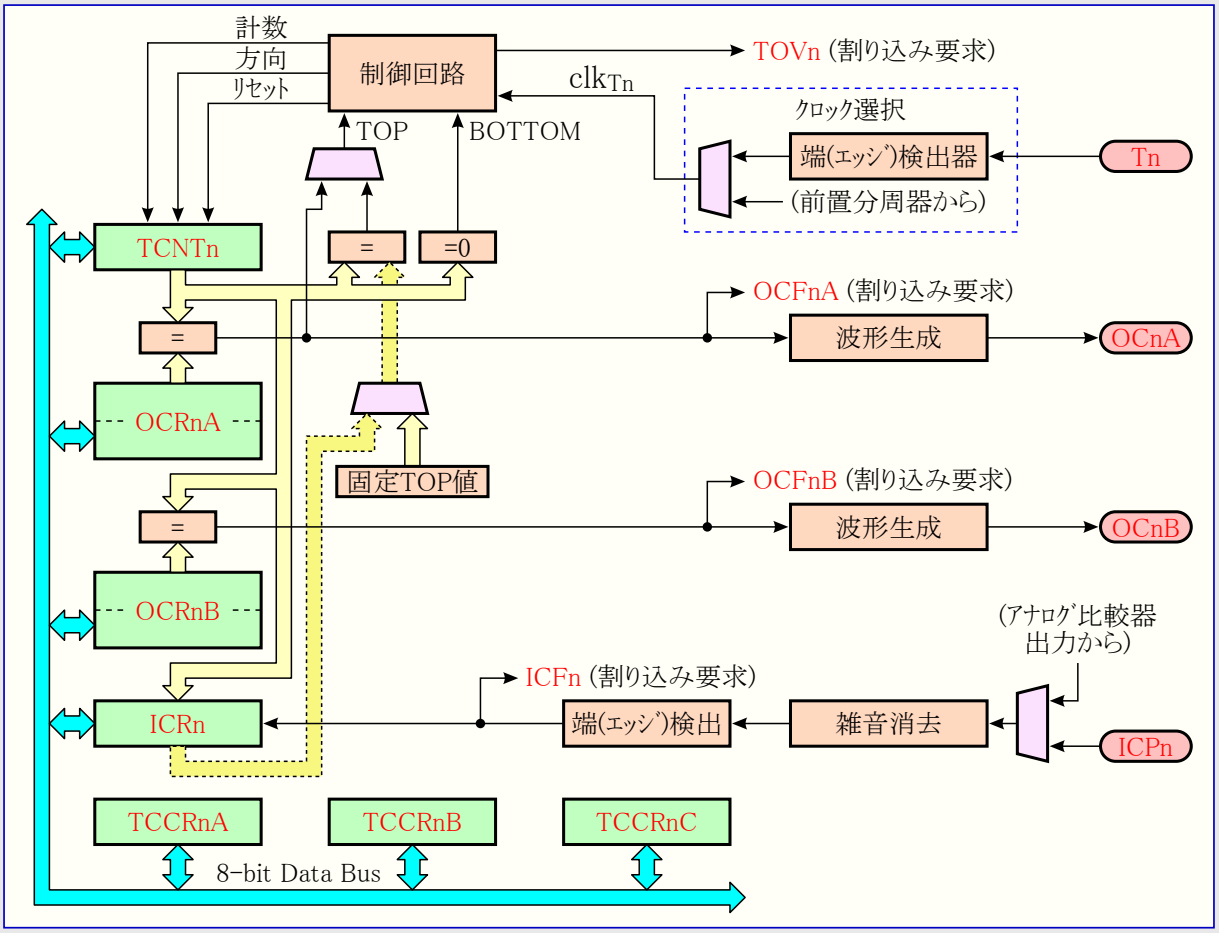
概要

本文書でのﾚｼﾞｽﾀとﾋﾞｯﾄ参照の多くは一般形で書かれます。小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号、小文字の'x'は比較出力部の置き換えです。けれどもﾌﾟﾛｸﾞﾗﾑでﾚｼﾞｽﾀまたはﾋﾞｯﾄ定義に使う時は正確な形式が使われなければなりません(例えばﾀｲﾏ/ｶｳﾝﾀ1のｶｳﾝﾀ値に対するｱｸｾｽのTCNT1のように)。

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの簡単化した構成図は**図40.**で示されます。実際のI/Oﾋﾟﾝの配置については2頁の「**ﾋﾟﾝ配置**」を参照してください。CPUがｱｸｾｽ可能な(I/OﾋﾞｯﾄとI/Oﾋﾟﾝを含む)I/Oﾚｼﾞｽﾀは赤文字(**訳注**: 原文太字)で示されます。ﾃﾞﾊﾞｲｽ仕様のI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は79頁の「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1用ﾚｼﾞｽﾀ**」で示されます。

23頁の「**電力削減ﾚｼﾞｽﾀ(PRR)**」のPRTIM1ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ1部を許可するために0を書かれなければなりません。

図40. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ構成図



注: ﾀｲﾏ/ｶｳﾝﾀ1のﾋﾟﾝの配置と記述については2頁の「**ﾋﾟﾝ配置**」、41頁の**表27.**、43頁の**表30.**を参照してください。

関係ﾚｼﾞｽﾀ

ﾀｲﾏ/ｶｳﾝﾀ(TCNT1)、比較ﾚｼﾞｽﾀ(OCR1A,OCR1B)、捕獲ﾚｼﾞｽﾀ(ICR1)は全て16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽするとき、特別な手順に従わなければなりません。これらの手順は67頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」項で記述されます。ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀ(TCCR1A,TCCR1B,TCCR1C)は8ﾋﾞｯﾄ ﾚｼﾞｽﾀで、CPUｱｸｾｽの制限はありません。割り込み要求信号はﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾚｼﾞｽﾀ(TIFR1)で全て見えます。全ての割り込みはﾀｲﾏ/ｶｳﾝﾀ1割り込み許可ﾚｼﾞｽﾀ(TIMSK1)で個別に遮蔽(禁止)されます。TIFR1とTIMSK1はこの図で示されません。

このﾀｲﾏ/ｶｳﾝﾀは内部的、前置分周器経由、またはT1ﾋﾟﾝの外部ｸﾛｯｸ元によってｸﾛｯｸ駆動されます。ｸﾛｯｸ選択論理部はﾀｲﾏ/ｶｳﾝﾀが値を増加(または減少)するのに使うｸﾛｯｸ元と端(ｴｯｼﾞ)を制御します。ｸﾛｯｸ元が選ばれないと、ﾀｲﾏ/ｶｳﾝﾀは動きません。ｸﾛｯｸ選択論理部からの出力はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ(clk_{T1})として参照されます。

2重緩衝化した比較ﾚｼﾞｽﾀ(OCR1A,OCR1B)はﾀｲﾏ/ｶｳﾝﾀ値と常に比較されます。この比較結果は比較出力(OC1A,OC1B)ﾋﾟﾝでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。71頁の「**比較出力部**」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求ﾌﾗｸﾞ(OCF1A,OCF1B)も設定(1)します。

捕獲ﾚｼﾞｽﾀ(ICR1)は捕獲起動(ICP1)ﾋﾟﾝまたはｱﾅﾛｸﾞ比較器出力(128頁の「**ｱﾅﾛｸﾞ比較器**」参照)のどちらかの外部(端で起動された)事象でﾀｲﾏ/ｶｳﾝﾀ値を捕獲(複写)できます。捕獲入力部は尖頭雑音を捕らえる機会を軽減するためにﾃﾞｼﾞﾀﾙ濾波器(雑音消去器)を含みます。

TOP値または最大ﾀｲﾏ/ｶｳﾝﾀ値は、いくつかの動作種別で、OCR1A、ICR1、または一群の固定値のどれかによって定義できます。PWM動作でTOP値としてOCR1Aを使うと、OCR1AはPWM出力生成用に使えません。けれどもこの場合、TOP値は動作中に変更されるのをTOP値に許す2重緩衝化します。固定的なTOP値が必要とされる場合、ICR1が代わりに使え、PWM出力として使われるべきOCR1Aを開放します。

定義

次の定義は本文書を通して広範囲に使用されます。

表47. 用語定義

用語	意味
BOTTOM	ｶｳﾝﾀが$0000に到達した時。
MAX	ｶｳﾝﾀが$FFFF(65535)に到達した時。
TOP	ｶｳﾝﾀがTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値($00FF,$01FF,$03FF)、OCR1A値、ICR1値の何れか1つを指定できます。この指定は動作種別に依存します。

互換性

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは旧版の16ﾋﾞｯﾄ AVR ﾀｲﾏ/ｶｳﾝﾀから改良更新されてしまっています。この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは次の点に関して以前の版と完全な互換性があります。

- ﾀｲﾏ/ｶｳﾝﾀ割り込み関係ﾚｼﾞｽﾀを含め、16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀに関連する全てのI/Oﾚｼﾞｽﾀ ｱﾄﾞﾚｽの位置。
- ﾀｲﾏ/ｶｳﾝﾀ割り込み関係ﾚｼﾞｽﾀを含め、16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀに関連する全てのI/Oﾚｼﾞｽﾀ内のﾋﾞｯﾄ位置。
- 割り込みﾍﾞｸﾀ。

次の制御ﾋﾞｯﾄは変更された名前を持ちますが、同じ機能とﾚｼﾞｽﾀ位置を持ちます。

- PWM10はWGM10に変更。
- PWM11はWGM11に変更。
- CTC1はWGM12に変更。

次の制御ﾋﾞｯﾄが16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀ内に追加されます。

- FOC1AとFOC1Bが(新設の)TCCR1Cに追加。
- WGM13がTCCR1Bに追加。

この16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀにはいくつかの特別な状況で互換性に影響を及ぼす改良点があります。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ

TCNT1,OCR1A,OCR1B,ICR1は8ﾋﾞｯﾄ ﾊﾞｽ経由でAVR CPUによってｱｸｾｽできる16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。この16ﾋﾞｯﾄ ﾚｼﾞｽﾀは2回の読みまたは書き操作を使ってﾊﾞｲﾄ ｱｸｾｽされなければなりません。16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは16ﾋﾞｯﾄ ｱｸｾｽの上位ﾊﾞｲﾄの一時保存用に1つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀを持ちます。16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ内の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀ間で、この同じ一時ﾚｼﾞｽﾀが共用されます。下位ﾊﾞｲﾄ ｱｸｾｽが16ﾋﾞｯﾄ読み書き動作を起動します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって書かれると、一時ﾚｼﾞｽﾀに保存した上位ﾊﾞｲﾄと書かれた下位ﾊﾞｲﾄは同じｸﾛｯｸ周期で両方が16ﾋﾞｯﾄ ﾚｼﾞｽﾀに複写されます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって読まれると、16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄは下位ﾊﾞｲﾄが読まれるのと同じｸﾛｯｸ周期で一時ﾚｼﾞｽﾀに複写されます。

全ての16ﾋﾞｯﾄ ｱｸｾｽが上位ﾊﾞｲﾄに対して一時ﾚｼﾞｽﾀを使う訳ではありません。OCR1AとOCR1Bの16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込みは一時ﾚｼﾞｽﾀの使用に関係しません。

16ﾋﾞｯﾄ書き込みを行うために上位ﾊﾞｲﾄは下位ﾊﾞｲﾄに先立って書かれなければなりません。16ﾋﾞｯﾄ読み込みについては下位ﾊﾞｲﾄが上位ﾊﾞｲﾄの前に読まれなければなりません。

次のｺｰﾄﾞ例は割り込みが一時ﾚｼﾞｽﾀを更新しないことが前提の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ法を示します。OCR1A, OCR1B, ICR1ﾚｼﾞｽﾀのｱｸｾｽに対して同じ原理が直接的に使えます。C言語を使う時はｺﾝﾊﾟｲﾗが16ﾋﾞｯﾄ ｱｸｾｽを扱うことに注意してください。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
        ～                                  ;
                                            ;[16ﾋﾞｯﾄ($01FF)書き込み]
        LDI     R17, $01                    ;$01FFの上位ﾊﾞｲﾄ値取得
        LDI     R16, $FF                    ;$01FFの下位ﾊﾞｲﾄ値取得
        OUT     TCNT1H, R17                 ;上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
        OUT     TCNT1L, R16                 ;下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
                                            ;[16ﾋﾞｯﾄ読み込み]
        IN      R16, TCNT1L                 ;下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
        IN      R17, TCNT1H                 ;上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
        ～                                  ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int i;
    ～                                      /* */
    TCNT1 = 0x1FF;                          /* 16ﾋﾞｯﾄ($01FF)書き込み */
    i = TCNT1;                              /* 16ﾋﾞｯﾄ読み込み */
    ～                                      /* */
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNT1値を戻します。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽが非分断操作であることに注意することが重要です。16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽする2命令間で割り込みが起き、割り込みｺｰﾄﾞがその16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀの同じ若しくは他の何れかをｱｸｾｽすることによって一時ﾚｼﾞｽﾀを更新する場合、割り込み外のその後のｱｸｾｽ結果は不正にされます。従って主ｺｰﾄﾞと割り込みｺｰﾄﾞの両方が一時ﾚｼﾞｽﾀを更新するとき、主ｺｰﾄﾞは16ﾋﾞｯﾄ ｱｸｾｽ中の割り込みを禁止しなければなりません。

次のｺｰﾄﾞ例はTCNT1ﾚｼﾞｽﾀ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCR1A,OCR1B,ICR1のどの読み込みも行えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
RD_TCNT1:   IN      R18, SREG          ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                        ;全割り込み禁止
            IN      R16, TCNT1L        ;TCNT1下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
            IN      R17, TCNT1H        ;TCNT1上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
            OUT     SREG, R18          ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int TIM16_Read_TCNT1(void)
{
    unsigned char sreg;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                    /* TCNT1読み出し変数定義 */
    sreg = SREG;                       /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    __disable_interrupt();             /* 全割り込み禁止 */
    i = TCNT1;                         /* TCNT1値を取得 */
    SREG = sreg;                       /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
    return i;                          /* TCNT1値で呼び出し元へ復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNT1値を戻します。

次のｺｰﾄﾞ例はTCNT1ﾚｼﾞｽﾀ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCR1A,OCR1B,ICR1のどの書き込みも行えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WR_TCNT1:   IN      R18, SREG          ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                        ;全割り込み禁止
            OUT     TCNT1H, R17        ;TCNT1上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
            OUT     TCNT1L, R16        ;TCNT1下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
            OUT     SREG, R18          ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void TIM16_Write_TCNT1(unsigned int i)
{
    unsigned char sreg;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                    /* TCNT1書き込み変数定義 */
    sreg = SREG;                       /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    __disable_interrupt();             /* 全割り込み禁止 */
    TCNT1 = i;                         /* TCNT1値を設定 */
    SREG = sreg;                       /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対がTCNT1へ書かれるべき値を含むことが必要です。

上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀの再使用

書かれる全ﾚｼﾞｽﾀについて上位ﾊﾞｲﾄが同じ複数16ﾋﾞｯﾄ ﾚｼﾞｽﾀ書き込みなら、上位ﾊﾞｲﾄは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

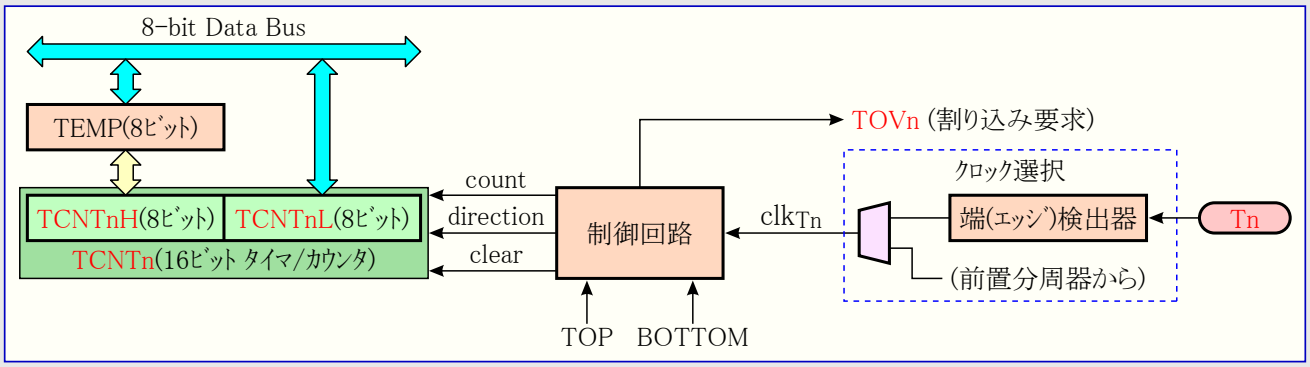
タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR1B)に配置されたクロック選択(CS12～0)ビットによって制御されるクロック選択論理回路で選ばれます。クロック元と前置分周器の詳細については63頁の「タイマ/カウンタ0とタイマ/カウンタ1の前置分周器」をご覧ください。

計数器部

16ビット タイマ/カウンタの主な部分は設定可能な16ビット双方向カウンタ部です。**図41.**はこのカウンタとその周辺の構成図を示します。

図41. 計数器部構成図



信号説明 (内部信号)	count	TCNT1を1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNT1のリセット($0000設定)信号。
	clk_{Tn}	以降でclk_{T1}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT1が最大値に到達したことを示す信号。
	BOTTOM	TCNT1が最小値($0000)に到達したことを示す信号。
	TEMP	一時レジスタ。

この16ビット カウンタはカウンタの上位8ビットを含むカウンタ上位(TCNT1H)と下位8ビットを含むカウンタ下位(TCNT1L)の2つの8ビット I/Oメモリ位置に配置されます。TCNT1HレジスタはCPUによる間接的なアクセスのみできます。CPUがTCNT1H I/O位置をアクセスするとき、CPUは上位バイト一時レジスタ(TEMP)をアクセスします。この一時レジスタはTCNT1Lが読まれる時にTCNT1H値で更新され、TCNT1Lが書かれる時にTCNT1Hは一時レジスタ値で更新されます。これは8ビット データ バス経由で1クロック周期内での16ビット カウンタ値全体の読み書きをCPUに許します。予測不能な結果を生じる、カウンタが計数中の時のTCNT1書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項目で記述されます。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{T1})でリセット($0000)、増加(+1)、または減少(-1)されます。clk_{T1}はクロック選択(CS12～0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS12～0=000)時にカウンタは停止されます。けれどもTCNT1値はタイマ/カウンタ クロック(clk_{T1})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCR1A)とタイマ/カウンタ制御レジスタB(TCCR1B)に配置された波形生成種別(WGM13～0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法と波形がOC1x比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては74頁の「**動作種別**」をご覧ください。

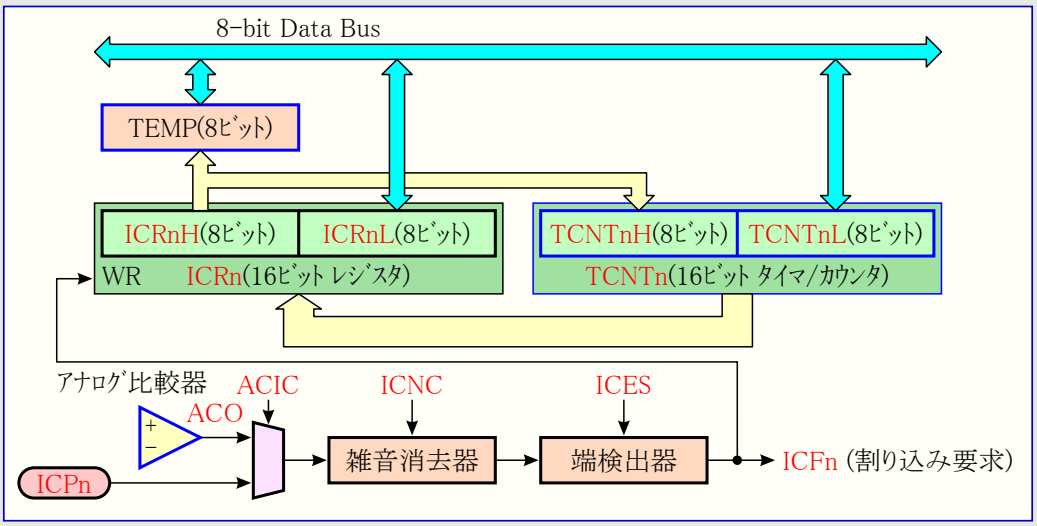
タイマ/カウンタ溢れ(TOV1)フラグはWGM13～0ビットによって選ばれた動作種別に従って設定(1)されます。TOV1はCPU割り込み発生に使えます。

捕獲入力部

ﾀｲﾏ/ｶｳﾝﾀは外部の出来事を捕獲でき、発生時間を示す時間印(ﾀｲﾏ/ｶｳﾝﾀ値)を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号はICP1ﾋﾟﾝまたは代わりにｱﾅﾛｸﾞ比較器部経由で印加できます。時間印はその後、周波数、ﾃﾞｭｰﾃｨ比、印加された信号の他の特性の計算に使えます。代わりに時間印は出来事の記録作成にも使えます。

捕獲入力部は**図42.**で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(**訳注**:原文は灰色背景)で示されます。ﾚｼﾞｽﾀとﾋﾞｯﾄ名での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号を示します。

図42. 捕獲入力部構成図



注: ACO,ACICはｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)内のﾋﾞｯﾄです。

捕獲起動入力(ICP1)ﾋﾟﾝ若しくは代わりにｱﾅﾛｸﾞ比較器出力(ACO)で論理ﾚﾍﾞﾙの変化(出来事)が起き、その変化が端(ｴｯｼﾞ)検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、ｶｳﾝﾀ(TCNT1)の16ﾋﾞｯﾄ値が捕獲ﾚｼﾞｽﾀ(ICR1)に書かれます。捕獲割り込み要求ﾌﾗｸﾞ(ICF1)はTCNT1値がICR1に複写されるのと同じｼｽﾃﾑ ｸﾛｯｸで設定(1)されます。許可(I=1,ICIE1=1)ならば捕獲割り込み要求ﾌﾗｸﾞは捕獲割り込みを発生します。ICF1は割り込みが実行されると自動的に解除(0)されます。代わりにこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。

捕獲ﾚｼﾞｽﾀ(ICR1)の16ﾋﾞｯﾄ値読み込みは、初めに下位ﾊﾞｲﾄ(ICR1L)、その後に上位ﾊﾞｲﾄ(ICR1H)を読むことによって行われます。下位ﾊﾞｲﾄが読まれる時に上位ﾊﾞｲﾄが上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)に複写されます。CPUがICR1H I/O位置を読むと、この一時ﾚｼﾞｽﾀをｱｸｾｽします。

ICR1はｶｳﾝﾀのTOP値定義にICR1を利用する波形生成種別を使う時にだけ書けます。これらの場合、TOP値がICR1に書かれ得る前に波形生成種別(WGM13～0)ﾋﾞｯﾄが設定されなければなりません。ICR1に書く時は下位ﾊﾞｲﾄがICR1Lに書かれる前に、上位ﾊﾞｲﾄがICR1H I/O位置に書かれなければなりません。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ法のより多くの情報については67頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」を参照してください。

捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力(ICP1)ﾋﾟﾝです。ﾀｲﾏ/ｶｳﾝﾀ1は捕獲入力部用起動元としてｱﾅﾛｸﾞ比較器出力を代わりに使えます。ｱﾅﾛｸﾞ比較器はｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)のｱﾅﾛｸﾞ比較器捕獲起動許可(ACIC)ﾋﾞｯﾄの設定(1)によって起動元として選ばれます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求ﾌﾗｸﾞ(ICF1)は、その変更後に解除(0)されなければなりません。

捕獲起動入力(ICP1)ﾋﾟﾝとｱﾅﾛｸﾞ比較器出力(ACO)の両入力は、T1ﾋﾟﾝ(63頁の**図38.**参照)についてと同じ技法を使って採取されます。端検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路が端検出器の前に挿入され、そして遅延を4ｼｽﾃﾑ ｸﾛｯｸ周期増やします。ﾀｲﾏ/ｶｳﾝﾀがTOP値定義にICR1を使う波形生成種別に設定されないなら、雑音消去器と端検出器の入力が常に許可されることに注意してください。

捕獲入力はICP1ﾋﾟﾝのﾎﾟｰﾄを制御することによってｿﾌﾄｳｪｱで起動できます。

雑音消去器

雑音消去器は簡単なﾃﾞｼﾞﾀﾙ濾波器機構を使うことによって雑音耐性を改善します。雑音消去器の入力は4採取に渡って監視され、端検出器によって使われる方向転換となる出力を変更するためには4回全てが同じでなければなりません。

雑音消去器はﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCR1B)の捕獲入力雑音消去許可(ICNC1)ﾋﾞｯﾄの設定(1)によって許可されます。許可したとき、雑音消去器は入力に印加した変更からICR1の更新までに4ｼｽﾃﾑ ｸﾛｯｸ周期の追加遅延をもたらします。雑音消去器はｼｽﾃﾑ ｸﾛｯｸを使い、従って前置分周器によって影響されません。

捕獲入力の使用

捕獲入力機能を使う主な要求(目的)は入って来る出来事に対して充分なﾌﾟﾛｾｯｻ能力を当てがうことです。2つの出来事間の時間が際どいとします。次の出来事が起こる前に捕獲した捕獲ﾚｼﾞｽﾀ(ICR1)の値をﾌﾟﾛｾｯｻが読めなかった場合、ICR1は新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICR1は割り込み処理ﾙｰﾁﾝで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求のどれかを扱うのに必要とされる最大ｸﾛｯｸ周期数に依存します。

動作中にTOP値(分解能)が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のﾃﾞｭｰﾃｨ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更はICR1が読まれてしまった後に可能な限り早く行われなければなりません。端(ｴｯｼﾞ)の変更後、捕獲割り込み要求ﾌﾗｸﾞ(ICF1)はｿﾌﾄｳｪｱ(I/Oﾋﾞｯﾄ位置への論理1書き込み)によって解除(0)されなければなりません(**訳補**:端変更によってICF1が設定(1)されることを想定)。周波数のみの測定については(割り込み処理が使われる場合)、ICF1の解除(0)は必要とされません。

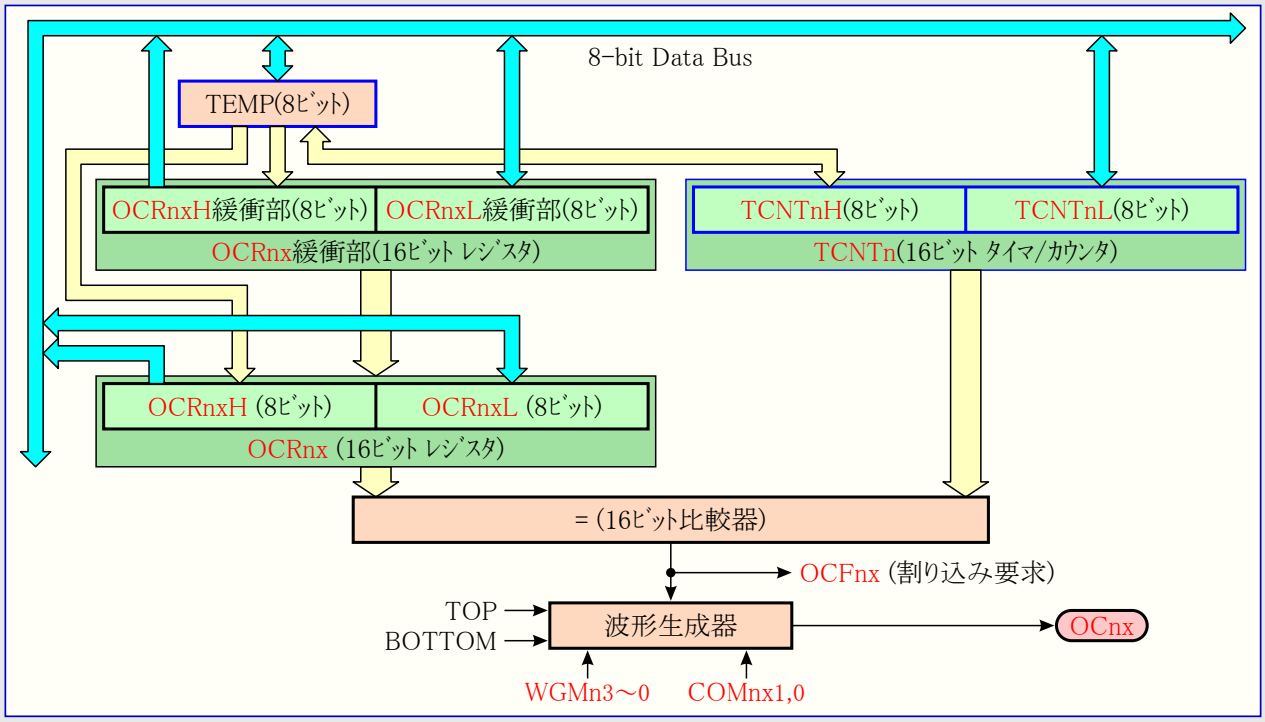
比較出力部

この16ﾋﾞｯﾄ比較器はTCNT1と比較ﾚｼﾞｽﾀ(OCR1x)を継続的に比較します。TCNT1とOCR1xが等しければ、比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCF1x)を設定(1)します。許可(I=1,OCIE1x=1)なら、この比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。OCF1xは割り込みが実行されると自動的に解除(0)されます。代わりにOCF1xはこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM13～0)ﾋﾞｯﾄと比較出力選択(COM1x1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。TOPとBOTTOM信号は動作種別(74頁の「**動作種別**」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

比較A出力部の特殊な特性はﾀｲﾏ/ｶｳﾝﾀのTOP値(換言するとｶｳﾝﾀの分解能)定義を許します。ｶｳﾝﾀの分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

図43.は比較出力部の構成図を示します。ﾚｼﾞｽﾀとﾋﾞｯﾄ名での小文字の'n'はﾀｲﾏ/ｶｳﾝﾀ番号(ﾀｲﾏ/ｶｳﾝﾀ1に対してはn=1)、小文字の'x'は比較出力部(AまたはB)を表します。直接的な比較出力部の部分でない構成図の要素は青枠(**訳注**:原文は灰色背景)で示されます。

図43. 比較出力部構成図



OCR1xは12種類のﾊﾟﾙｽ幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR1xﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長、非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR1xのｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR1x緩衝部をｱｸｾｽし、禁止されるとOCR1xﾚｼﾞｽﾀを直接ｱｸｾｽします。OCR1x(緩衝部またはﾚｼﾞｽﾀ)の内容は書き込み操作によってのみ変更されます(ﾀｲﾏ/ｶｳﾝﾀはTCNT1やICR1のようにOCR1xを自動的に更新しません)。従ってOCR1xは上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)経由で読まれません。けれども他の16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽする時のように下位ﾊﾞｲﾄを先に読むのは良い習慣です。OCR1x書き込みは16ﾋﾞｯﾄ全ての比較が継続的に行われるため、一時ﾚｼﾞｽﾀ経由で行われなければなりません。上位ﾊﾞｲﾄ(OCR1xH)が先に書かれなければなりません。上位ﾊﾞｲﾄI/O位置がCPUによって書かれると、一時ﾚｼﾞｽﾀは書かれた値で更新されます。その後に下位ﾊﾞｲﾄ(OCR1xL)が下位8ﾋﾞｯﾄを書かれると、(一時ﾚｼﾞｽﾀ内の)上位ﾊﾞｲﾄは(下位ﾊﾞｲﾄ書き込みと)同じｼｽﾃﾑ ｸﾛｯｸ周期でOCR1x緩衝部またはOCR1xﾚｼﾞｽﾀのどちらかに複写されます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ法のより多くの情報については67頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」を参照してください。

(**訳注**) ここでは比較nxﾚｼﾞｽﾀ全体をOCRnx、OCRnxを構成する緩衝部分をOCRnx緩衝部、実際の比較に使われるﾚｼﾞｽﾀ本体部分をOCRnxﾚｼﾞｽﾀとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC1x)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCF1x)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC1xﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COM1x1,0ﾋﾞｯﾄ設定がOC1xﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

TCNT1書き込みによる比較一致妨害

TCNT1への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に、割り込みを起動することなく、TCNT1と同じ値に初期化されることをOCR1xに許します。

比較一致部の使用

どの動作種別でのTCNT1書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、何れかの比較出力部を使う場合、TCNT1を変更する時に危険を伴います。TCNT1に書かれた値がOCR1x値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNT1を書いてはいけません。(行った場合)TOPに対する比較一致は無視され、ｶｳﾝﾀは$FFFFへ(計数を)続けます。同様にｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT1値を書いてはいけません。

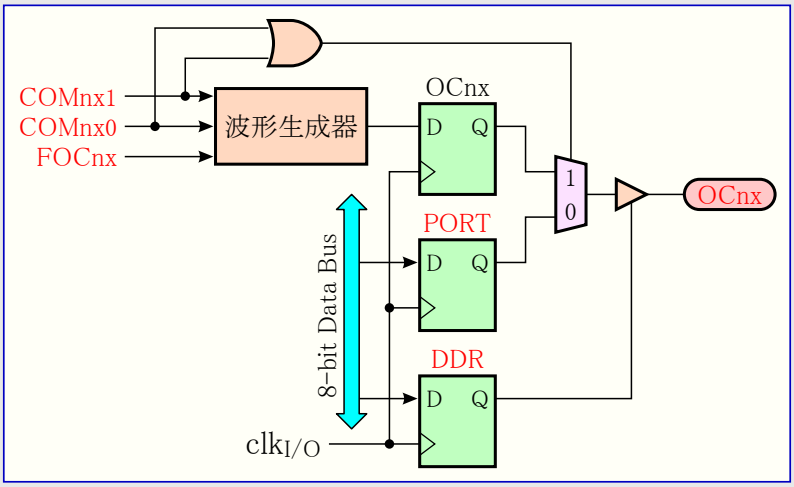
OC1xの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC1x値を設定する一番簡単な方法は標準動作で強制変更(FOC1x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成種別間を変更する時であっても、OC1x(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COM1x1,0)ﾋﾞｯﾄが比較値(OCR1x)と共に2重緩衝されないことに気付いてください。COM1x1,0ﾋﾞｯﾄの変更は直ちに有効となります。

比較一致出力部

比較出力選択(COM1x1,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC1x)状態の定義にCOM1x1,0ﾋﾞｯﾄを使います。次にCOM1x1,0ﾋﾞｯﾄはOC1xﾋﾟﾝ出力元を制御します。**図44.**はCOM1x1,0ﾋﾞｯﾄ設定によって影響される論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COM1x1,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OC1xの状態を参照するとき、その参照はOC1xﾋﾟﾝでなく内部OC1xﾚｼﾞｽﾀに対してです。ｼｽﾃﾑ ﾘｾｯﾄが起こると、OC1xﾚｼﾞｽﾀは0にﾘｾｯﾄされます。

図44. 比較一致出力回路図



COM1x1,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OC1x)によって無効にされます。けれどもOC1xﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OC1xﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OC1x)はOC1x値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。詳細については**表48.**、**表49.**、**表50.**を参照してください。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOC1x状態の初期化を許します。いくつかのCOM1x1,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。79頁の「**16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1用ﾚｼﾞｽﾀ**」をご覧ください。

COM1x1,0ﾋﾞｯﾄは捕獲入力部での何の効果もありません。

比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM1x1,0ﾋﾞｯﾄを違うふうに使います。全ての動作種別に対してCOM1x1,0=00設定は次の比較一致で実行すべきOC1xﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については79頁の**表48.**を参照してください。高速PWM動作については79頁の**表49.**、位相基準PWMと位相/周波数基準PWMについては79頁の**表50.**を参照してください。

COM1x1,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC1x)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

動作種別

動作種別、換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作は波形生成種別(WGM13～0)ﾋﾞｯﾄと比較出力選択(COM1x1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COM1x1,0ﾋﾞｯﾄは生成されたPWM出力が反転されるべきか否か(反転または非反転PWM)のどちらかを制御します。非PWM動作に対してのCOM1x1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します。73頁の「**比較一致出力部**」をご覧ください。

ﾀｲﾐﾝｸﾞ情報の詳細については78頁の「**ﾀｲﾏ/ｶｳﾝﾀ1のﾀｲﾐﾝｸﾞ**」を参照してください。

標準動作

最も単純な動作種別が標準動作(WGM13～0=0000)です。この動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀの解除は実行されません。ｶｳﾝﾀは16ﾋﾞｯﾄ最大値(MAX=$FFFF)を通過すると単に範囲を超え、そして$0000(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV1)ﾌﾗｸﾞはTCNT1が$0000になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOV1ﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第17ﾋﾞｯﾄのようになります。けれどもTOV1ﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

捕獲入力部は標準動作での使用が容易です。けれども外部の事象間の最大間隔がﾀｲﾏ/ｶｳﾝﾀの分解能(16ﾋﾞｯﾄ長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込みまたは前置分周器が使われなければなりません。

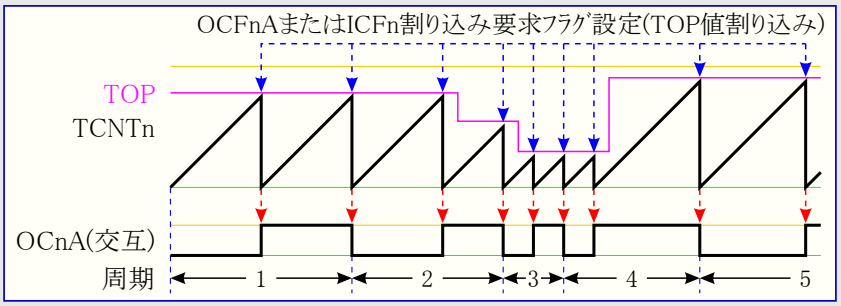
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGM13～0=0100または1100)ではOCR1AまたはICR1がｶｳﾝﾀの分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNT1)値がOCR1A(WGM13～0=4)またはICR1(WGM13～0=12)のどちらかと一致する時にｶｳﾝﾀが$0000に解除されます。OCR1AまたはICR1はｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は**図45.**で示されます。ｶｳﾝﾀ(TCNT1)値はOCR1AまたはICR1のどちらかで比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNT1)は解除($0000)されます。

図45. CTC動作ﾀｲﾐﾝｸﾞ



注: COMnA1,0=01

TOP値を定義するのに使われるﾚｼﾞｽﾀに対してOCF1AまたはICF1のどちらかを使うことにより、ｶｳﾝﾀ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更するのは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR1AまたはICR1に書かれた新しい値がTCNT1の現在値よりも低い(小さい)場合、ｶｳﾝﾀは(その回の)比較一致を失います。その後のｶｳﾝﾀは比較一致が起こせるのに先立って、最大値($FFFF)へそして次に$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCR1Aが2重緩衝されるので、代替はTOPを定義するのにOCR1Aを用いる高速PWM動作(WGM13～0=1111)を使うことでしょう。

CTC動作で波形出力を生成するため、OC1A出力は比較出力選択(COM1A1,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切替に設定できます。OC1A値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC1A=1)に設定されない限り、ﾎﾟｰﾄ ﾋﾟﾝで見えないでしょう。生成された波形はOCR1Aが0($0000)に設定される時に$f_{OC1A}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込み要求(TOV1)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$0000へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGM13～0=0101,0110,0111,1110,1111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)はTCNT1とOCR1x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM1x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準や位相/周波数基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

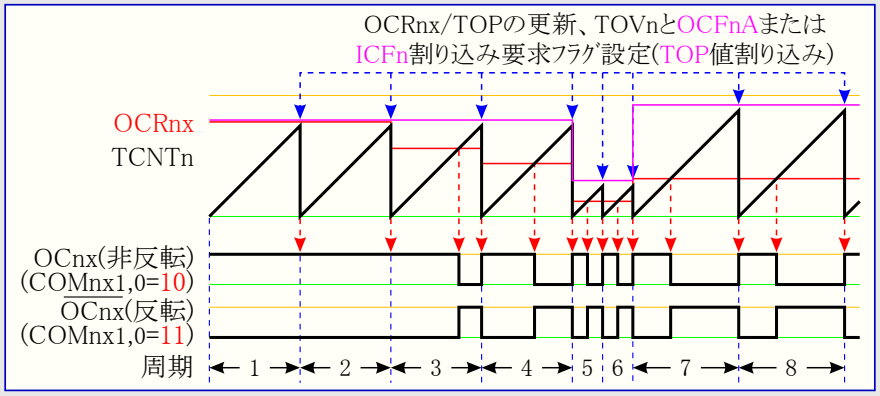
高速PWMのPWM分解能は8,9,10ﾋﾞｯﾄに固定、若しくはOCR1AかICR1のどちらかによって定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCR1AまたはICR1が$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCR1AまたはICR1がMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

$$R_{FPWM} = \frac{\log(TOP+1)}{\log 2}$$

高速PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値が固定値$00FF,$01FF,$03FF(WGM13～0=0101,0110,0111)、ICR1値(WGM13～0=1110)またはOCR1A値(WGM13～0=1111)のどれかと一致するまで増加されます。そしてｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で解除($0000)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は**図46.**で示されます。本図はOCR1AかICR1がTOPを定義するのに使われる時の高速PWM動作を示します。TCNT1値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCF1x)は比較一致が起こると設定(1)されます。

ﾀｲﾏ/ｶｳﾝﾀ溢れ割り込み要求(TOV1)ﾌﾗｸﾞはｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。加えて、OCR1AかICR1のどちらかがTOP値を定義するのに使われると、OCF1AまたはICF1割り込み要求ﾌﾗｸﾞはTOV1が設定(1)されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。これらの割り込みの1つが許可されるなら、その割り込み処理ﾙｰﾁﾝはTOPと比較値を更新するのに使えます。

図46. 高速PWM動作ﾀｲﾐﾝｸﾞ



TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR1xが書かれる時も、未使用ﾋﾞｯﾄが0で隠(に置換)されることに注意してください。

ICR1がTOP値を定義するのに使われるとき、ICR1を更新する手順はOCR1Aの更新と異なります。ICR1は2重緩衝されません。これは前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にICR1が小さな値に変更される場合、書かれた新しいICR1値がTCNT1の現在値よりも小さくなる危険を意味します。その後の結果はｶｳﾝﾀが(その回の)TOP値での比較一致を失うことです。その後のｶｳﾝﾀは比較一致が起こせるのに先立って、MAX値($FFFF)へそして次に$0000から始める計数をしなければならないでしょう。しかし、OCR1Aは2重緩衝されます。この特徴は何時でも書かれることをOCR1AのI/O位置に許します。OCR1A I/O位置が書かれると、書かれた値はOCR1A緩衝部に置かれます。OCR1A(比較)ﾚｼﾞｽﾀはその後にTCNT1がTOPと一致した次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期にOCR1A緩衝部の値で更新されます。この更新はTCNT1の解除($0000)やTOV1の設定(1)と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で行われます。

TOPを定義するのにICR1を使うことは決まったTOP値を使う時に上手くいきます。ICR1を使うことにより、OC1AでのPWM出力を生成するためにOCR1Aが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR1Aが2重緩衝機能のため、TOPとしてOCR1Aを使うことは明らかに良い選択です。

高速PWM動作での比較部はOC1xﾋﾟﾝでのPWM波形の生成を許します。COM1x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます。79頁の**表49.**をご覧ください。実際のOC1x値はそのﾎﾟｰﾄﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はTCNT1とOCR1x間の比較一致でOC1x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($0000、TOPからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でのOC1xﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

PWM出力周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N\times(1+TOP)}$$

OCR1xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR1xがBOTTOM($0000)に等しく設定されると、出力はTOP+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。TOPに等しいOCR1x設定は(COM1x1,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOC1A設定(COM1A1,0=01)によって達成できます。これはTOP値を定義するのにOCR1Aが使われる(WGM13～0=1111)の場合にだけ適用されます。生成された波形はOCR1Aが0($0000)に設定される時に$f_{OC1A}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC1A交互出力(COM1A1,0=01)と同じです。

位相基準PWM動作

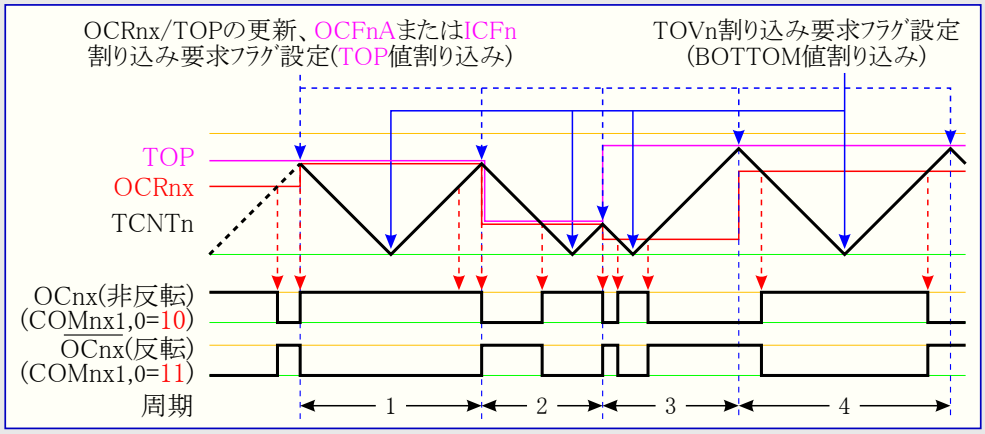
位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM13～0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とした位相/周波数基準PWMと似ています。ｶｳﾝﾀはBOTTOM($0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM1x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8,9,10ﾋﾞｯﾄに固定、若しくはOCR1AかICR1のどちらかによって定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCR1AまたはICR1が$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCR1AまたはICR1がMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

$$R_{PCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値が固定値$00FF,$01FF,$03FF(WGM13～0=0001,0010,0011)、ICR1値(WGM13～0=1010)またはOCR1A値(WGM13～0=1011)のどれかと一致するまで増加されます。ｶｳﾝﾀはTOPに到達したその時に計数方向を変更します。このTCNT1値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間TOPと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は**図47.**で示されます。本図はOCR1AかICR1がTOPを定義するのに使われる時の位相基準PWM動作を示します。TCNT1値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCF1x)は比較一致が起こると設定(1)されます。

図47. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV1)ﾌﾗｸﾞはｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。OCR1AかICR1のどちらかがTOP値を定義するのに使われるとき、OCF1AまたはICF1割り込み要求ﾌﾗｸﾞはOCR1xﾚｼﾞｽﾀが(TOPに於いて)2重緩衝値で更新されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期によって設定(1)されます。これらの割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR1xが書かれる時も、未使用ﾋﾞｯﾄが0で隠(に置換)されることに注意してください。**図47.**で示される第3周期が図解するようにﾀｲﾏ/ｶｳﾝﾀが位相基準PWM動作で走行中にTOPを積極的に変更するのは、非対称出力で終わることが有り得ます。これに対する理由はOCR 1xﾚｼﾞｽﾀの更新時に見出せます。OCR1x更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値によって決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違う時にその周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

ﾀｲﾏ/ｶｳﾝﾀが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使うことが推奨されます。一定のTOP値を使う時に2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOC1xﾋﾟﾝでのPWM波形の生成を許します。COM1x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます(79頁の**表50.**をご覧ください)。実際のOC1x値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT1とOCR1x間の比較一致でOC1x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT1とOCR1x間の比較一致でOC1xﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

OCR1xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使われ(WGM13～0=1011)、COM1A1,0=01なら、OC1A出力はﾃﾞｭｰﾃｨ比50%で交互に変化します。

位相/周波数基準PWM動作

位相/周波数基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM13～0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相/周波数基準PWM動作は両傾斜(三角波)動作を基準とした位相基準PWMと似ています。ｶｳﾝﾀはBOTTOM($0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM1x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

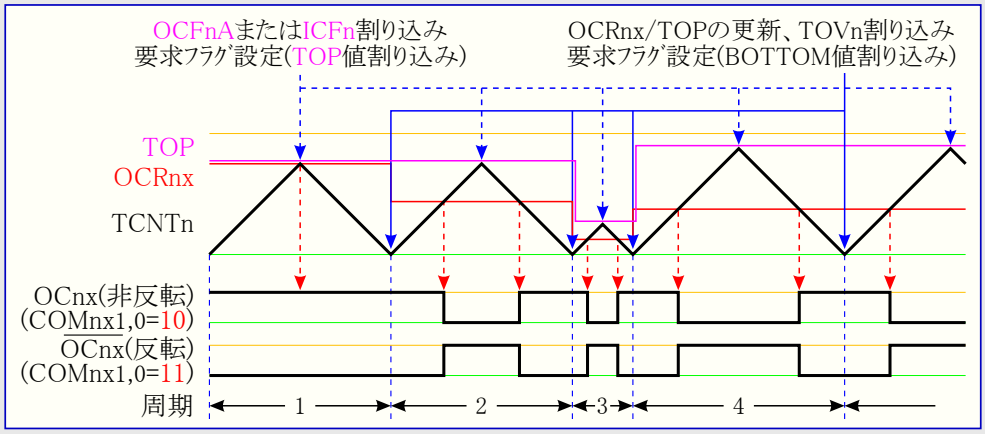
位相基準と位相/周波数基準PWM動作間の主な違いはOCR1xﾚｼﾞｽﾀがOCR1x緩衝部によって更新される時(訳補:TOPとBOTTOM)です(図47.と図48.参照)。

位相/周波数基準PWM動作のPWM分解能はOCR1AかICR1のどちらかで定義できます。許された最小分解能は2ﾋﾞｯﾄ(OCR1AまたはICR1が$0003設定)、最大分解能は16ﾋﾞｯﾄ(OCR1AまたはICR1がMAX設定)です。ﾋﾞｯﾄでのPWM分解能は次式を使うことによって計算できます。

$$R_{PFCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相/周波数基準PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がICR1値(WGM13～0=1000)かOCR1A値(WGM13～0=1001)のどちらかと一致するまで増加されます。ｶｳﾝﾀはTOPに到達したその時に計数方向を変更します。このTCNT1値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、TOPと等しくなります。位相/周波数基準PWM動作のﾀｲﾐﾝｸﾞ図は図48.で示されます。この図はOCR1AかICR1がTOPを定義するのに使われる時の位相/周波数基準PWM動作を示します。TCNT1値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します (訳注:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCF1x)は比較一致が起こると設定(1)されます。

図48. 位相/周波数基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV1)ﾌﾗｸﾞはOCR1xﾚｼﾞｽﾀが(BOTTOMに於いて)2重緩衝値で更新されるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。OCR1AかICR1のどちらかがTOP値を定義するのに使われるとき、OCF1AまたはICF1割り込み要求ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがTOPに到達する時毎に設定(1)されます。これらの割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、ﾌﾟﾛｸﾞﾗﾑは新TOP値が全ての比較ﾚｼﾞｽﾀ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較ﾚｼﾞｽﾀよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。

図48.が示すように、生成された出力は位相基準PWM動作と異なり、全ての周期で対称です。OCR1xﾚｼﾞｽﾀがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力ﾊﾟﾙｽ、従って正しい周波数を与えます。

TOPを定義するのにICR1を使うことは決まったTOP値を使う時に上手くいきます。ICR1を使うことにより、OC1AでのPWM出力を生成するためにOCR1Aが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR1Aが2重緩衝機能のため、TOPとしてOCR1Aを使うことは明らかに良い選択です。

位相/周波数基準PWM動作での比較部はOC1xﾋﾟﾝでのPWM波形の生成を許します。COM1x1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます(79頁の表50.をご覧ください)。実際のOC1x値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT1とOCR1x間の比較一致でOC1x(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT1とOCR1 x間の比較一致でOC1xﾚｼﾞｽﾀを解除(0)(または設定(1))することによって生成されます。

位相/周波数基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPFCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

OCR1xの両端値は位相/周波数基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使われ(WGM13～0 =1001)、COM1A1,0=01なら、OC1A出力はﾃﾞｭｰﾃｨ比50%で交互に変化します。

タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタ クロック(clk_{T1})が下図のクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時、そしてOCR1xレジスタがOCR1x緩衝値で更新される時(2重緩衝を使う動作種別のみ)の情報を含みます。図49.はOCF1xの設定についてのタイミング図を示します。

図49. 前置分周なし(1/1)のタイマ/カウンタ、OCF1x設定 タイミング

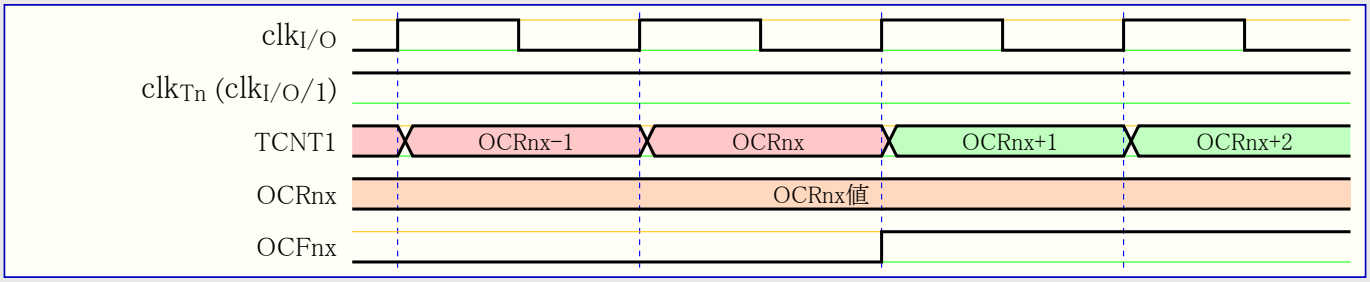


図50.は同じタイミング データを示しますが、前置分周器が許可されています。

図50. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCF1x設定 タイミング

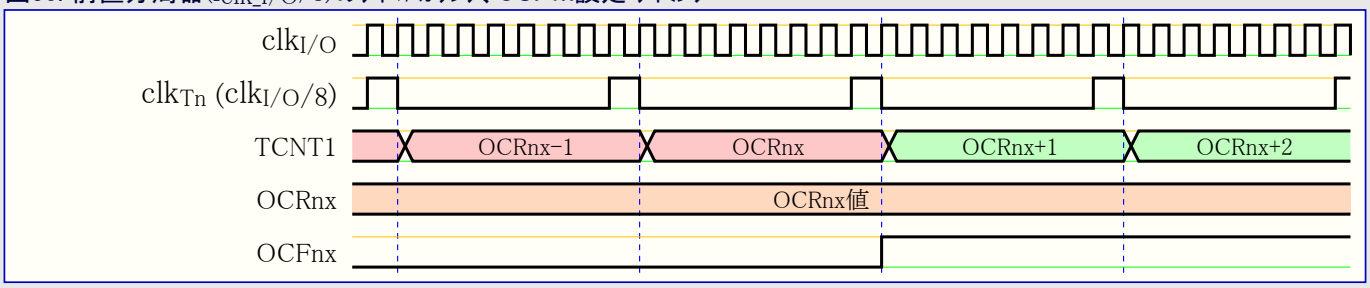


図51.は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時のOCR1xレジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でなどのように置き換えられます。BOTTOMでTOV1を設定(1)する動作種別についても、同様な名称変更が適用されます。

図51. 前置分周器なし(1/1)のタイマ/カウンタ、TOP近辺 タイミング

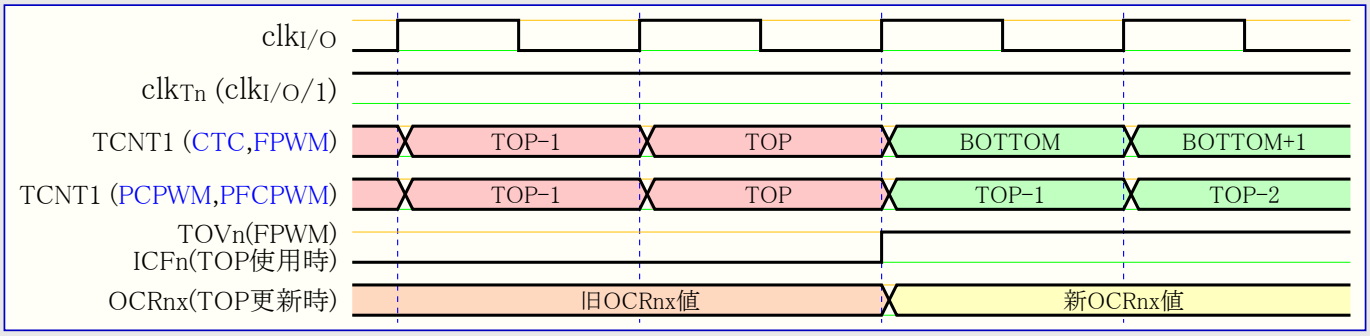
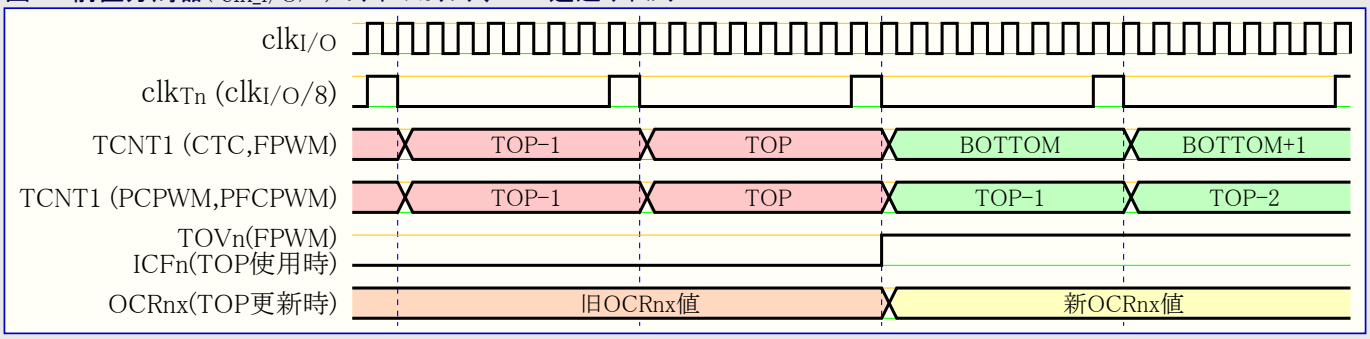


図52.は同じタイミング データを示しますが、前置分周器が許可されています。

図52. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、TOP近辺 タイミング



16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1用ﾚｼﾞｽﾀ

ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀA (Timer/Counter1 Control Register A) TCCR1A

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($80)	COM1A1	COM1A0	COM1B1	COM1B0	–	–	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7,6 – COM1A1,0 : 比較1A出力選択** (Compare Output Mode1A bit 1 and 0)
- **ﾋﾞｯﾄ5,4 – COM1B1,0 : 比較1B出力選択** (Compare Output Mode1B bit 1 and 0)

COM1A1,0とCOM1B1,0は各々OC1AとOC1B比較出力ﾋﾟﾝの動作を制御します。COM1A1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC1A出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。COM1B1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC1B出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC1AまたはOC1Bﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC1AまたはOC1Bがﾋﾟﾝに接続されるとき、COM1x1,0ﾋﾞｯﾄの機能はWGM13～0ﾋﾞｯﾄ設定に依存します。**表48.**はWGM13～0ﾋﾞｯﾄが標準動作またはCTC動作(つまり非PWM)に設定される時のCOM1x1,0ﾋﾞｯﾄ機能を示します。

表48. 非PWM動作での比較出力選択 (注: xはAまたはB)

COM1x1	COM1x0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC1x切断)
0	1	比較一致でOC1xﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC1xﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC1xﾋﾟﾝ Highﾚﾍﾞﾙ出力

表49.はWGM13～0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM1x1,0ﾋﾞｯﾄ機能を示します。

表49. 高速PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM1x1	COM1x0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC1x切断)
0	1	WGM13～0=111X　: 比較一致でOC1Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力、OC1Bは標準ﾎﾟｰﾄ動作(OC1B切断) WGM13～0上記以外 : 標準ﾎﾟｰﾄ動作 (OC1x切断)
1	0	比較一致でLow、BOTTOMでHighをOC1xﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC1xﾋﾟﾝへ出力 (反転動作)

注: COM1x1が設定(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)または解除(0)は実行されます。より多くの詳細については75頁の「**高速PWM動作**」をご覧ください。

表50.はWGM13～0ﾋﾞｯﾄが位相基準または位相/周波数基準PWM動作に設定される時のCOM1x1,0ﾋﾞｯﾄ機能を示します。

表50. 位相基準または位相/周波数基準PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM1x1	COM1x0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC1x切断)
0	1	WGM13～0=10X1　: 比較一致でOC1Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力、OC1Bは標準ﾎﾟｰﾄ動作(OC1B切断) WGM13～0上記以外 : 標準ﾎﾟｰﾄ動作 (OC1x切断)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC1xﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC1xﾋﾟﾝへ出力

注: COM1x1が設定(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。より多くの詳細については76頁の「**位相基準PWM動作**」をご覧ください。

• **ﾋﾞｯﾄ1,0 – WGM11,0 : 波形生成種別** (Waveform Generation Mode bit 1 and 0)

ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀB(TCCR1B)で得られるWGM13,2ﾋﾞｯﾄと組み合わせたこれらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大計数(TOP)値供給元、使われるべき波形生成のどの形式かを制御します(**表51.**参照)。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作(ｶｳﾝﾀ)、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と3形式のﾊﾟﾙｽ幅変調(PWM)動作です。74頁の「**動作種別**」をご覧ください。

表51. 波形生成種別選択

番号	WGM13	WGM12 (CTC1)	WGM11 (PWM11)	WGM10 (PWM10)	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR1x 更新時	TOV1 設定時
0	0	0	0	0	標準動作	$FFFF	即値	MAX
1	0	0	0	1	8ﾋﾞｯﾄ位相基準PWM動作	$00FF	TOP	BOTTOM
2	0	0	1	0	9ﾋﾞｯﾄ位相基準PWM動作	$01FF	TOP	BOTTOM
3	0	0	1	1	10ﾋﾞｯﾄ位相基準PWM動作	$03FF	TOP	BOTTOM
4	0	1	0	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR1A	即値	MAX
5	0	1	0	1	8ﾋﾞｯﾄ高速PWM動作	$00FF	BOTTOM	TOP
6	0	1	1	0	9ﾋﾞｯﾄ高速PWM動作	$01FF	BOTTOM	TOP
7	0	1	1	1	10ﾋﾞｯﾄ高速PWM動作	$03FF	BOTTOM	TOP
8	1	0	0	0	位相/周波数基準PWM動作	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	位相/周波数基準PWM動作	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	位相基準PWM動作	ICR1	TOP	BOTTOM
11	1	0	1	1	位相基準PWM動作	OCR1A	TOP	BOTTOM
12	1	1	0	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	ICR1	即値	MAX
13	1	1	0	1	(予約)	–	–	–
14	1	1	1	0	高速PWM動作	ICR1	BOTTOM	TOP
15	1	1	1	1	高速PWM動作	OCR1A	BOTTOM	TOP

注: CTC1とPWM11,0ﾋﾞｯﾄ定義名は旧名です。WGM12～0定義を使ってください。しかし、これらのﾋﾞｯﾄの機能と位置は旧版のﾀｲﾏ/ｶｳﾝﾀと一致します。

ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀB (Timer/Counter1 Control Register B) **TCCR1B**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($81)	ICNC1	ICES1	–	WGM13	WGM12	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – ICNC1 : 捕獲起動入力1雑音消去許可** (Input Capture1 Noise Canceler)

このﾋﾞｯﾄを(1に)設定することが捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動入力(ICP1)ﾋﾟﾝからの入力が濾波されます。この濾波器機能はそれが出力を更新するのに、連続4回等しく評価されたICP1ﾋﾟﾝの採取を必要とします。雑音消去器が許可されると、捕獲入力はそれによって4発振器(ｼｽﾃﾑ ｸﾛｯｸ)周期遅らされます。

• **ﾋﾞｯﾄ6 – ICES1 : 捕獲起動入力端選択** (Input Capture1 Edge Select)

このﾋﾞｯﾄは出来事での捕獲を起動するのに使われる捕獲起動入力(ICP1)ﾋﾟﾝのどちらかの端(ｴｯｼﾞ)を選びます。ICES1ﾋﾞｯﾄが0を書かれると起動動作として下降(負)端が使われ、ICES1ﾋﾞｯﾄが1を書かれると上昇(正)端が捕獲を起動します。

捕獲がICES1設定に従って起動されると、ｶｳﾝﾀ値が捕獲ﾚｼﾞｽﾀ(ICR1)に複写されます。この出来事は捕獲入力割り込み要求ﾌﾗｸﾞ(ICF1)も設定(1)し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

ICR1がTOP値として使われると(TCCR1AとTCCR1Bに配置されたWGM13～0ﾋﾞｯﾄの記述をご覧ください)、ICP1が切り離され、従って捕獲入力機能は禁止されます。

• **ﾋﾞｯﾄ5 – Res : 予約** (Reserved)

このﾋﾞｯﾄは将来の使用に対して予約されています。将来のﾃﾞﾊﾞｲｽとの共通性を保つため、TCCR1Bが書かれるとき、このﾋﾞｯﾄは0を書かれなければなりません。

• **ﾋﾞｯﾄ4,3 – WGM13,2 : 波形生成種別** (Waveform Generation Mode bit 3 and 2)

TCCR1AのWGM11,0ﾋﾞｯﾄ記述をご覧ください。

• **ﾋﾞｯﾄ2～0 – CS12～0 : ｸﾛｯｸ選択1** (Clock Select1, bit 2,1 and 0)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT1)によって使われるべきｸﾛｯｸ元を選びます。図49.と図50.をご覧ください。

表52. ﾀｲﾏ/ｶｳﾝﾀ1入力ｸﾛｯｸ選択

CS12	CS11	CS10	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀ1動作停止)
0	0	1	$clk_{I/O}$ (前置分周なし)
0	1	0	$clk_{I/O}/8$ (8分周)
0	1	1	$clk_{I/O}/64$ (64分周)
1	0	0	$clk_{I/O}/256$ (256分周)
1	0	1	$clk_{I/O}/1024$ (1024分周)
1	1	0	T1ﾋﾟﾝの下降端 (外部ｸﾛｯｸ)
1	1	1	T1ﾋﾟﾝの上昇端 (外部ｸﾛｯｸ)

ﾀｲﾏ/ｶｳﾝﾀ1に対して外部ﾋﾟﾝ(ｸﾛｯｸ)動作が使われる場合、例えT1ﾋﾟﾝが出力として設定されても、T1ﾋﾟﾝの遷移はｶｳﾝﾀをｸﾛｯｸ駆動します。この特性はｿﾌﾄｳｪｱに計数制御を許します。

ﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀC (Timer/Counter1 Control Register C) **TCCR1C**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($82)	FOC1A	FOC1B	–	–	–	–	–	–	TCCR1C
Read/Write	W	W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – FOC1A : OC1A強制変更** (Force Output Compare 1A)

• **ﾋﾞｯﾄ6 – FOC1B : OC1B強制変更** (Force Output Compare 1B)

FOC1A/FOC1BﾋﾞｯﾄはWGM13～0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。けれども将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR1Cが書かれる場合、これらのﾋﾞｯﾄは0に設定されなければなりません。FOC1A/FOC1Bﾋﾞｯﾄに論理1を書くと波形生成部で直ちに比較一致が強制されます。OC1x出力はCOM1x1,0ﾋﾞｯﾄ設定に従って変更されます。FOC1A/FOC1Bﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOM1x1,0ﾋﾞｯﾄに存在する値です。

FOC1A/FOC1Bｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCR1Aを使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($0000)も行いません。

FOC1A/FOC1Bﾋﾞｯﾄは常に0として読みます。

ﾀｲﾏ/ｶｳﾝﾀ1 (Timer/Counter1) **TCNT1H,TCNT1L (TCNT1)**

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($85)	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($84)								(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この2つのﾀｲﾏ/ｶｳﾝﾀ I/O位置(TCNT1HとTCNT1Lを合わせたTCNT1)は、読み書き両方についてﾀｲﾏ/ｶｳﾝﾀ部の16ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。CPUがこれらのﾚｼﾞｽﾀをｱｸｾｽする時に上位と下位の両ﾊﾞｲﾄが同時に読み書きされるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。67頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」をご覧ください。

ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT1)を変更することはOCR1xの1つとTCNT1間の比較一致消失の危険を誘発します。

TCNT1への書き込みは全ての比較部に対して次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。

ﾀｲﾏ/ｶｳﾝﾀ1 比較Aﾚｼﾞｽﾀ (Timer/Counter1 Output Compare Register A) **OCR1AH,OCR1AL (OCR1A)**

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($89)	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($88)								(LSB)	OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾀｲﾏ/ｶｳﾝﾀ1 比較Bﾚｼﾞｽﾀ (Timer/Counter1 Output Compare Register B) **OCR1BH,OCR1BL (OCR1B)**

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($8B)	(MSB)								OCR1BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($8A)								(LSB)	OCR1BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT1)値と比較される16ﾋﾞｯﾄ値を含みます。一致は比較一致割り込みやOC1xﾋﾟﾝでの波形出力を生成するのに使えます。

この比較ﾚｼﾞｽﾀは容量が16ﾋﾞｯﾄです。CPUがこれらのﾚｼﾞｽﾀへ書く時に上位と下位の両ﾊﾞｲﾄが同時に書かれるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。67頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」をご覧ください。

ﾀｲﾏ/ｶｳﾝﾀ1 捕獲ﾚｼﾞｽﾀ (Timer/Counter1 Input Capture Register) **ICR1H,ICR1L (ICR1)**

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($87)	(MSB)								ICR1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($86)								(LSB)	ICR1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲ﾚｼﾞｽﾀはICP1ﾋﾟﾝ(またはﾀｲﾏ/ｶｳﾝﾀ1については任意のｱﾅﾛｸﾞ比較器出力)で出来事が起こる毎にｶｳﾝﾀ(TCNT1)値で更新されます。この捕獲ﾚｼﾞｽﾀはﾀｲﾏ/ｶｳﾝﾀのTOP値を定義するのに使えます。

この捕獲ﾚｼﾞｽﾀは容量が16ﾋﾞｯﾄです。CPUがこれらのﾚｼﾞｽﾀをｱｸｾｽする時に上位と下位の両ﾊﾞｲﾄが同時に読まれるのを保証するため、このｱｸｾｽは8ﾋﾞｯﾄ上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀ(TEMP)を使って実行されます。この一時ﾚｼﾞｽﾀは他の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀによって共用されます。67頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」をご覧ください。

ﾀｲﾏ/ｶｳﾝﾀ1割り込み許可ﾚｼﾞｽﾀ (Timer/Counter1 Interrupt Mask Register) **TIMSK1**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6F)	–	–	ICIE1	–	–	OCIE1B	OCIE1A	TOIE1	TIMSK1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ5 – ICIE1 : ﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込み許可** (Timer/Counter1 Input Capture Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR1)に配置された捕獲割り込み要求ﾌﾗｸﾞ(ICF1)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(30頁の「**割り込み**」参照)が実行されます。

• **ﾋﾞｯﾄ2 – OCIE1B : ﾀｲﾏ/ｶｳﾝﾀ1比較B割り込み許可** (Timer/Counter1 Output Compare B Match Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR1)に配置された比較1B割り込み要求ﾌﾗｸﾞ(OCF1B)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(30頁の「**割り込み**」参照)が実行されます。

• **ﾋﾞｯﾄ1 – OCIE1A : ﾀｲﾏ/ｶｳﾝﾀ1比較A割り込み許可** (Timer/Counter1 Output Compare A Match Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR1)に配置された比較1A割り込み要求ﾌﾗｸﾞ(OCF1A)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(30頁の「**割り込み**」参照)が実行されます。

• **ﾋﾞｯﾄ0 – TOIE1 : ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み許可** (Timer/Counter1 Overflow Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR1)に配置されたﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み要求ﾌﾗｸﾞ(TOV1)が設定(1)されると、対応する割り込みﾍﾞｸﾀ(30頁の「**割り込み**」参照)が実行されます。

ﾀｲﾏ/ｶｳﾝﾀ1割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter1 Interrupt Flag Register) **TIFR1**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$16 ($36)	–	–	ICF1	–	–	OCF1B	OCF1A	TOV1	TIFR1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ5 – ICF1 : ﾀｲﾏ/ｶｳﾝﾀ1捕獲割り込み要求ﾌﾗｸﾞ** (Timer/Conter1, Input Capture Flag)

ICP1ﾋﾟﾝに捕獲の事象が起こると、このﾌﾗｸﾞが設定(1)されます。捕獲ﾚｼﾞｽﾀ(ICR1)がWGM13～0によってTOP値として設定されると、ICF1ﾌﾗｸﾞはｶｳﾝﾀがTOP値に到達する時に設定(1)されます。

捕獲割り込みﾍﾞｸﾀが実行されると、ICF1は自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもICF1は解除(0)できます。

• **ﾋﾞｯﾄ2 – OCF1B : ﾀｲﾏ/ｶｳﾝﾀ1比較B割り込み要求ﾌﾗｸﾞ** (Timer/Conter1, Output Compare B Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNT1)値が比較Bﾚｼﾞｽﾀ(OCR1B)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOC1B)ｽﾄﾛｰﾌﾞがOCF1Bﾌﾗｸﾞを設定(1)しないことに注意してください。

比較B一致割り込みﾍﾞｸﾀが実行されると、OCF1Bは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCF1Bは解除(0)できます。

• **ﾋﾞｯﾄ1 – OCF1A : ﾀｲﾏ/ｶｳﾝﾀ1比較A割り込み要求ﾌﾗｸﾞ** (Timer/Conter1, Output Compare A Match Flag)

このﾌﾗｸﾞはｶｳﾝﾀ(TCNT1)値が比較Aﾚｼﾞｽﾀ(OCR1A)と一致した後(次)のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

強制的な比較出力(FOC1A)ｽﾄﾛｰﾌﾞがOCF1Aﾌﾗｸﾞを設定(1)しないことに注意してください。

比較A一致割り込みﾍﾞｸﾀが実行されると、OCF1Aは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもOCF1Aは解除(0)できます。

• **ﾋﾞｯﾄ0 – TOV1 : ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter1 Overflow Flag)

このﾌﾗｸﾞの(1)設定はWGM13～0ﾋﾞｯﾄ設定に依存します。標準またはCTC動作でのTOV1ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀ1溢れ時に設定(1)されます。他のWGM13～0ﾋﾞｯﾄ設定を使う時のTOV1ﾌﾗｸﾞ動作については80頁の**表51.**を参照してください。

ﾀｲﾏ/ｶｳﾝﾀ1溢れ割り込みﾍﾞｸﾀが実行されると、TOV1は自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもTOV1は解除(0)できます。

8ビット タイマ/カウンタ2 (PWM, 非同期動作付き)

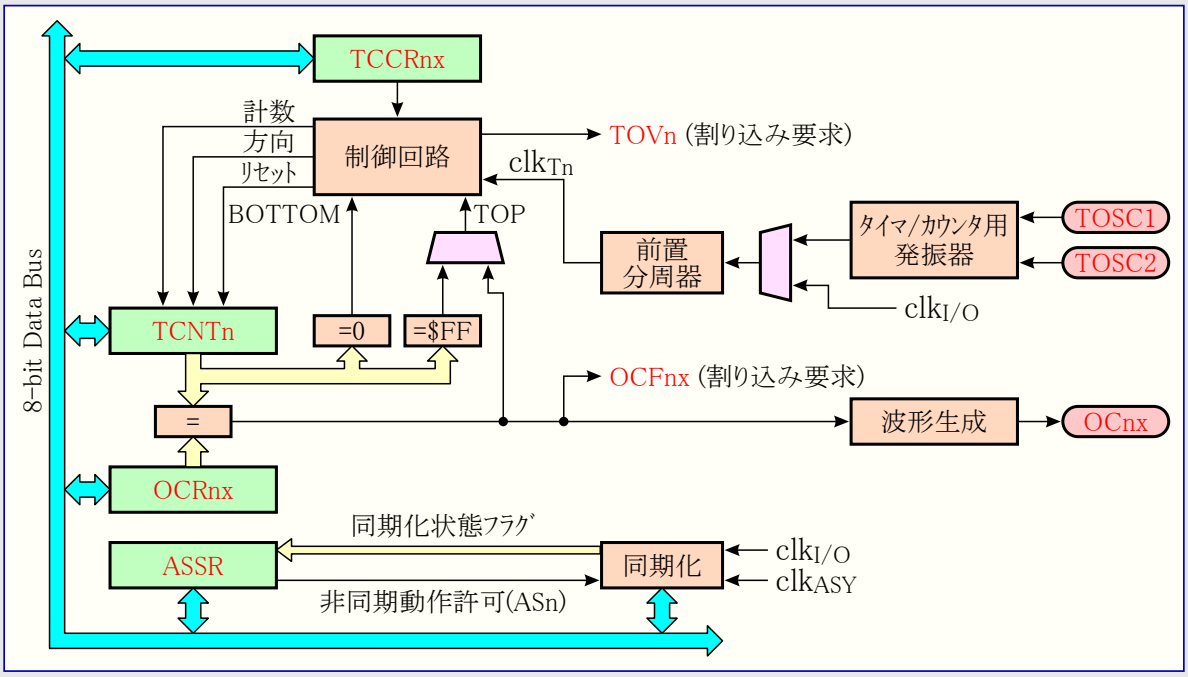
タイマ/カウンタ2は単一比較部付きの汎用8ビット タイマ/カウンタ部です。主な特徴は次のとおりです。

- 単一比較部付き計数器
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 周波数発生器
- クロック用10ビット前置分周器
- 溢れと比較一致割り込み (TOV2とOCF2A)
- I/O(システム)クロックに依存しない時計用外部32kHzクリスタルからのクロック駆動可能

概要

この8ビット タイマ/カウンタの簡単化した構成図は図53.で示されます。I/Oピンの実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は92頁の「8ビット タイマ/カウンタ2用レジスタ」で一覧されます。

図53. 8ビット タイマ/カウンタ構成図



関係レジスタ

タイマ/カウンタ(TCNT2)と比較レジスタ(OCR2A)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR2)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK2)で個別に遮蔽(禁止)されます。TIFR2とTIMSK2はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、または本章内後ろで詳述されるようにTOSC1/2ピンから非同期にクロック駆動されます。非同期動作は非同期状態レジスタ(ASSR)によって制御されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選ばれないと、このタイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタ クロック(clk_{T2})として参照されます。

2重緩衝化した比較レジスタ(OCR2A)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC2A)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。詳細については86頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF2A)も設定(1)します。

定義

本文書でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は2で置き換えます。けれどもプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ2のカウンタ値のアクセスに対するTCNT2のように)。

表53.の定義は本文書を通して広範囲に渡って使われます。

表53. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが$00に到達した時。
MAX	タイマ/カウンタが$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値($FF)またはOCR2A値に到達した時。この指定(TOP)値は動作種別に依存します。

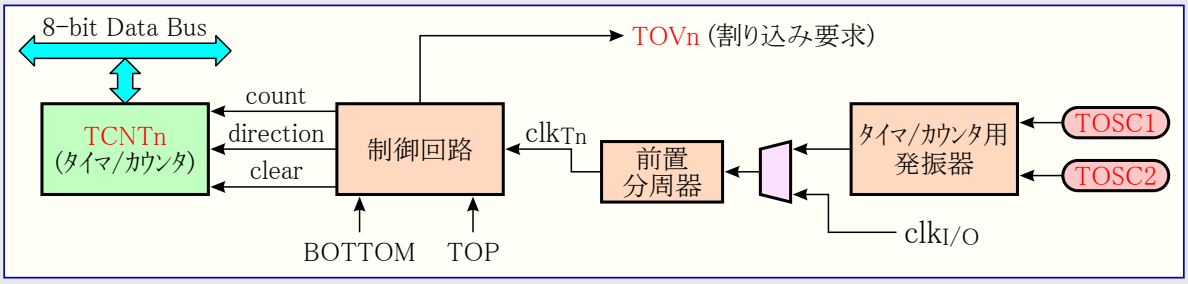
タイマ/カウンタのクロック

このタイマ/カウンタは内部同期または外部非同期クロック元によってクロック駆動できます。既定のクロック元(clk_{T2})はMCUクロック($clk_{I/O}$)と同じです。非同期状態レジスタ(ASSR)の非同期動作許可(AS2)ビットが論理1を書かれると、クロック元はTOSC1とTOSC2に繋がったタイマ/カウンタ用発振器から取得されます。非同期動作の詳細については95頁の「**非同期状態レジスタ(ASSR)**」をご覧ください。クロック元と前置分周器の詳細については97頁の「**タイマ/カウンタ2の前置分周器**」をご覧ください。

計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。**図54.**は、このカウンタとその周辺環境の構成図を示します。

図54. 計数器部構成図



信号説明 (内部信号)	count	TCNT2を1つ進めるまたは戻す信号。
	direction	進行方向(上昇または下降)選択信号。
	clear	TCNT2のリセット($00設定)信号。
	clk_{Tn}	以降でclk_{T2}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT2が最大値に到達したことを示す信号。
	BOTTOM	TCNT2が最小値($00)に到達したことを示す信号。

使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clk_{T2})で解除($00)、増加(+1)、または減少(−1)されます。clk_{T2}はクロック選択(CS22～0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS22～0=000)時にタイマ/カウンタは停止されます。けれどもTCNT2値はタイマ/カウンタ クロック(clk_{T2})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタ(TCCR2A)に配置された波形生成種別(WGM21,0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC2A比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては88頁の「**動作種別**」をご覧ください。

タイマ/カウンタ溢れ(TOV2)フラグはWGM21,0ビットによって選ばれた動作種別に従って設定(1)されます。TOV2はCPU割り込み発生に使えます。

比較出力部

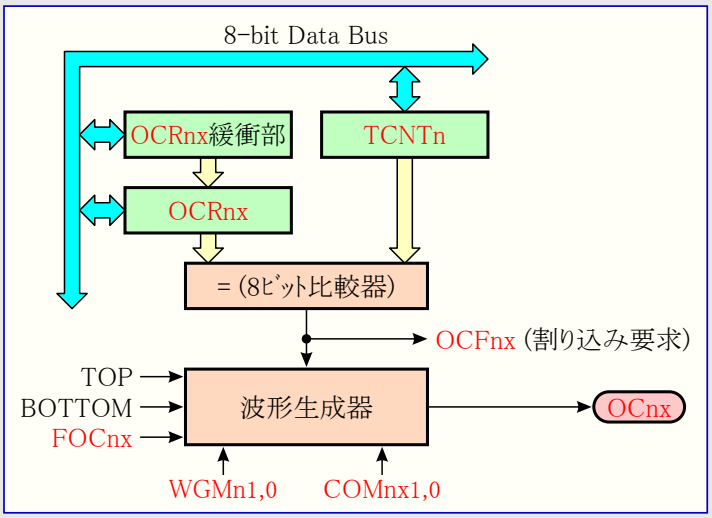
この8ﾋﾞｯﾄ比較器はTCNT2と比較ﾚｼﾞｽﾀ(OCR2A)を継続的に比較します。TCNT2とOCR2Aが等しければ、比較器は一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCF2A)を設定(1)します。許可(I=1, OCIE2A=1)なら、この比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。OCF2Aは割り込みが実行されると自動的に解除(0)されます。代わりにOCF2Aはこのﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。波形生成器は波形生成種別(WGM21,0)ﾋﾞｯﾄと比較出力選択(COM2A1,0)ﾋﾞｯﾄによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(88頁の「**動作種別**」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器により使われます。

図55.は比較出力部の構成図を示します。

OCR2Aはﾊﾟﾙｽ幅変調(PWM)の何れかを使う時に2重緩衝化されます。標準動作と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR2Aﾚｼﾞｽﾀの更新を同期化します。この同期化は奇数長や非対称PWMﾊﾟﾙｽの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR2Aのｱｸｾｽは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR2A緩衝部をｱｸｾｽし、禁止されるとOCR2Aﾚｼﾞｽﾀを直接ｱｸｾｽします。

図55. 比較出力部構成図



強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC2A)ﾋﾞｯﾄに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求ﾌﾗｸﾞ(OCF2A)の設定(1)やﾀｲﾏ/ｶｳﾝﾀの再設定/解除を行いませんが、OC2Aﾋﾟﾝは実際の比較一致が起きた場合と同様に更新されます(COM2A1,0ﾋﾞｯﾄ設定がOC2Aﾋﾟﾝの設定(1)、解除(0)、1/0交互のどれかを定義)。

TCNT2書き込みによる比較一致妨害

TCNT2への全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に割り込みを起動することなく、TCNT2と同じ値に初期化されることをOCR2Aに許します。

比較一致部の使用

どの動作種別でのTCNT2書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、比較出力部を使う場合、TCNT2を変更する時に危険を伴います。TCNT2に書かれた値がOCR2A値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にﾀｲﾏ/ｶｳﾝﾀが下降計数のとき、BOTTOMに等しいTCNT2値を書いてはいけません。

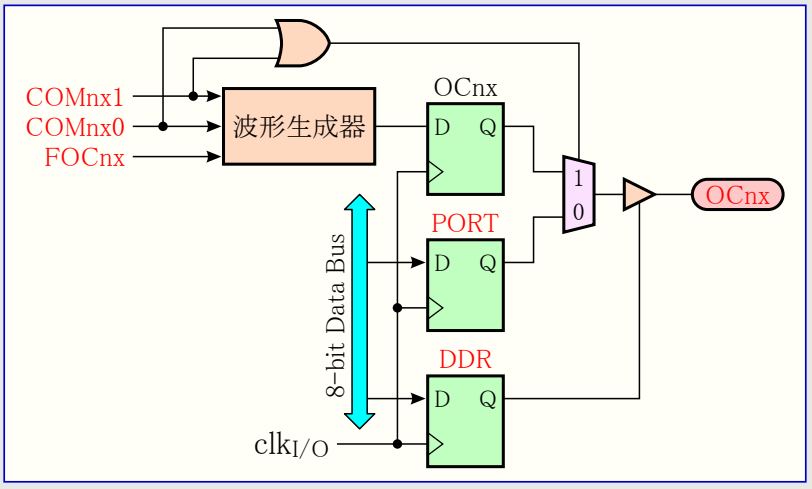
OC2Aの初期設定はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀを出力に設定する前に行われるべきです。OC2A値を設定する一番簡単な方法は標準動作で強制変更(FOC2A)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことです。波形生成動作種別間を変更する時であっても、OC2A(内部)ﾚｼﾞｽﾀはその値を保ちます。

比較出力選択(COM2A1,0)ﾋﾞｯﾄが比較値(OCR2A)と共に2重緩衝されないことに気付いてください。COM2A1,0ﾋﾞｯﾄの変更は直ちに有効となります。

比較一致出力部

比較出力選択(COM2A1,0)ﾋﾞｯﾄは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC2A)状態の定義にCOM2A1,0ﾋﾞｯﾄを使います。またCOM2A1,0ﾋﾞｯﾄはOC2Aﾋﾟﾝ出力元を制御します。**図56.**はCOM2A1,0ﾋﾞｯﾄ設定によって影響を及ぼされる論理回路の簡単化した図を示します。図のI/Oﾚｼﾞｽﾀ、I/Oﾋﾞｯﾄ、I/Oﾋﾟﾝは赤文字(**訳注**:原文は太字)で示されます。COM2A1,0ﾋﾞｯﾄによって影響を及ぼされる標準I/Oﾎﾟｰﾄ制御ﾚｼﾞｽﾀ(PORTとDDR)の部分だけが示されます。OC2Aの状態を参照するとき、その参照はOC2Aﾋﾟﾝでなく内部OC2Aﾚｼﾞｽﾀに対してです。

図56. 比較一致出力回路図



COM2A1,0ﾋﾞｯﾄのどちらかが設定(1)されると、標準I/Oﾎﾟｰﾄ機能は波形生成器からの比較出力(OC2A)によって無効にされます。けれどもOC2Aﾋﾟﾝの方向(入出力)はﾎﾟｰﾄ ﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)によって未だ制御されます。OC2Aﾋﾟﾝに対するﾎﾟｰﾄ方向ﾚｼﾞｽﾀのﾋﾞｯﾄ(DDR_OC2A)はOC2A値がﾋﾟﾝで見えるのに先立って出力として設定されなければなりません。このﾎﾟｰﾄの交換機能は波形生成種別と無関係です。

比較出力ﾋﾟﾝ論理回路の設計は出力が許可される前のOC2A状態の初期化を許します。いくつかのCOM2A1,0ﾋﾞｯﾄ設定が或る種の動作種別に対して予約されることに注意してください。92頁の「**8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ**」をご覧ください。

比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM2A1,0ﾋﾞｯﾄを違うふうに使います。全ての動作種別に対してCOM2A1,0=00設定は次の比較一致で実行すべきOC2Aﾚｼﾞｽﾀの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については92頁の**表55.**を参照してください。高速PWM動作については92頁の**表56.**、位相基準PWMについては92頁の**表57.**を参照してください。

COM2A1,0ﾋﾞｯﾄの状態変更はこのﾋﾞｯﾄが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC2A)ｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うことによって直ちに効果を得ることを強制できます。

動作種別

動作種別(換言するとﾀｲﾏ/ｶｳﾝﾀと比較出力ﾋﾟﾝの動作)は波形生成種別(WGM21,0)ﾋﾞｯﾄと比較出力選択(COM2A1,0)ﾋﾞｯﾄの組み合わせによって定義されます。比較出力選択ﾋﾞｯﾄは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ﾋﾞｯﾄは影響を及ぼします。COM2A1,0ﾋﾞｯﾄは生成されるPWM出力が反転されるべきか否か(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM2A1,0ﾋﾞｯﾄは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(867頁の「**比較一致出力部**」をご覧ください)。

ﾀｲﾐﾝｸﾞ情報の詳細については91頁の「**ﾀｲﾏ/ｶｳﾝﾀ2のﾀｲﾐﾝｸﾞ**」を参照してください。

標準動作

最も単純な動作種別が標準動作(WGM21,0=00)です。本動作種別での計数方向は常に上昇(+)で、ｶｳﾝﾀ解除は実行されません。ｶｳﾝﾀは8ﾋﾞｯﾄ最大値(TOP=$FF)を通過すると単に範囲を超え、そして$00(BOTTOM)から再び始めます。通常動作でのﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはTCNT2が$00になる時と同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOV2ﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第9ﾋﾞｯﾄのようになります。けれどもTOV2ﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。

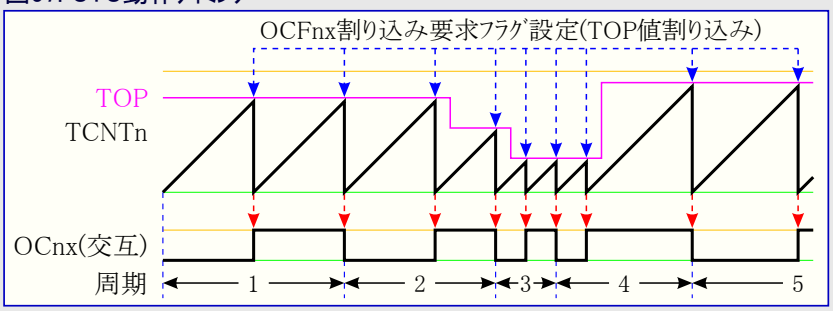
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(WGM21,0=10)ではOCR2Aがｶｳﾝﾀの分解能を操作するのに使われます。CTC動作ではｶｳﾝﾀ(TCNT2)値がOCR2Aと一致すると、ｶｳﾝﾀは$00に解除されます。OCR2Aはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は**図57.**で示されます。ｶｳﾝﾀ(TCNT2)値はTCNT2とOCR2A間で比較一致が起こるまで増加し、そしてその後にｶｳﾝﾀ(TCNT2)は解除($00)されます。

図57. CTC動作ﾀｲﾐﾝｸﾞ



注: COMnx1,0=01

OCF2Aﾌﾗｸﾞを使うことにより、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR2Aに書かれた新しい値がTCNT2の現在値よりも低い(小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後のｶｳﾝﾀは比較一致が起こるのに先立って、最大値($FF)へそして次に$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC2A出力は比較出力選択(COM2A1,0)ﾋﾞｯﾄを交互動作(=01)に設定することによって各比較一致での論理ﾚﾍﾞﾙ交互切り替えに設定できます。OC2A値はそのﾋﾟﾝに対するﾃﾞｰﾀ方向が出力(DDR_OC2A=1)に設定されない限りﾎﾟｰﾄ ﾋﾟﾝで見えないでしょう。生成された波形はOCR2Aが0($00)に設定される時に$f_{OC2A}=f_{clk_I/O}/2$の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

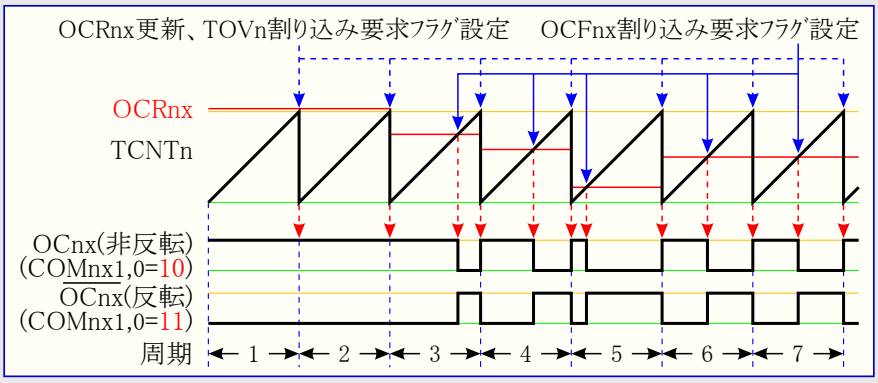
標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$00へ計数するのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

高速PWM動作

高速ﾊﾟﾙｽ幅変調(PWM)動作(WGM21,0=11)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。ｶｳﾝﾀはBOTTOMからMAXまで計数し、その後にBOTTOMから再び始めます。非反転比較出力動作(COM2A1,0=10)での比較出力(OC2A)は、TCNT2とOCR2A間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM2A1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(ｺｲﾙやｺﾝﾃﾞﾝｻ)を許し、従ってｼｽﾃﾑ総費用を削減します。

高速PWM動作でのﾀｲﾏ/ｶｳﾝﾀはﾀｲﾏ/ｶｳﾝﾀ値がMAX値と一致するまで増加されます。そしてﾀｲﾏ/ｶｳﾝﾀは(一致の)次のﾀｲﾏ/ｶｳﾝﾀｸﾛｯｸ周期で解除($00)されます。高速PWM動作のﾀｲﾐﾝｸﾞ図は**図58.**で示されます。TCNT2値はﾀｲﾐﾝｸﾞ図で単一傾斜動作(鋸波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR2A値を示し、TCNT2値との交点(接点)がTCNT2とOCR2A間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。比較割り込み要求ﾌﾗｸﾞ(OCF2A)はOCR2A=MAXを除いて比較一致が起こると設定(1)されます(**訳注**:共通性のため本行追加)。

図58. 高速PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはｶｳﾝﾀがMAXに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ﾙｰﾁﾝは比較値を更新するのに使えます。

高速PWM動作での比較部はOC2Aﾋﾟﾝでの PWM波形の生成を許します。COM2A1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM2A1,0を'11'に設定することで生成できます(92頁の**表56.**をご覧ください)。実際のOC2A値はﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC2A)が出力として設定される場合にだけ見えるでしょう。PWM波形はTCNT2とOCR2A間の比較一致でOC2A(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが解除($00、MAXからBOTTOMへ変更)されるﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でOC2 Aﾚｼﾞｽﾀを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times 256}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

OCR2Aの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR2AがBOTTOM($00)と等しく設定されると、出力はMAX+1 ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期毎の狭いｽﾊﾟｲｸ(ﾊﾟﾙｽ)になるでしょう。OCR2AがMAXに等しく設定されると、(COM2A1,0ﾋﾞｯﾄによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

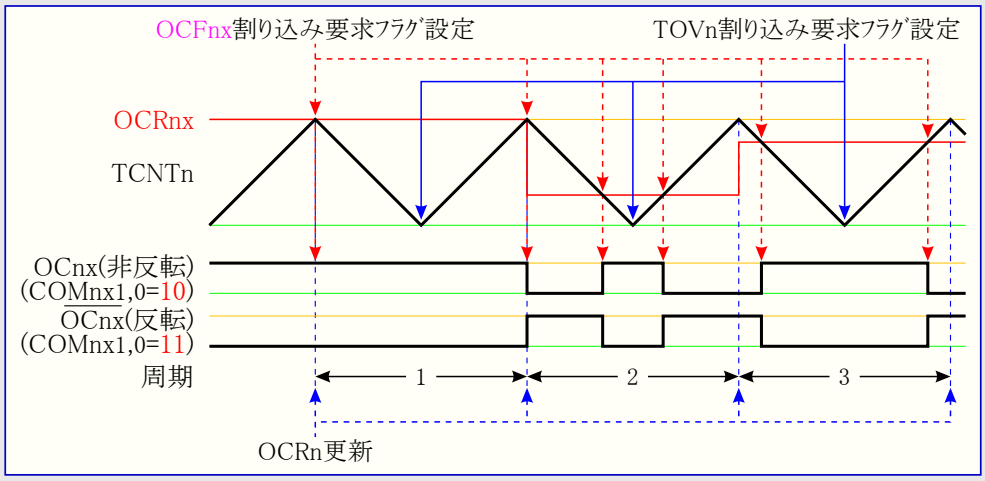
(**訳注**:以下は本動作種別がTOP=MAX($FF)で固定のため基本的に不適切です。) 高速PWM動作で(ﾃﾞｭｰﾃｨ比50%)周波数の波形出力は比較一致毎に論理反転するOC2A設定(COM2A1,0=01)によって達成できます。生成された波形はOCR2Aが0($00)に設定される時に$f_{OC2A}=f_{clk_I/O}/2$の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC2A交互出力(COM2A1,0=01)と同じです。

位相基準PWM動作

位相基準ﾊﾟﾙｽ幅変調(PWM)動作(WGM21,0=01)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作に基きます。ｶｳﾝﾀはBOTTOMからMAXへそして次にMAXからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM2A1,0=10)での比較出力(OC2A)は上昇計数中のTCNT2とOCR2Aの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM2A1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8ﾋﾞｯﾄに固定されます。位相基準PWM動作でのｶｳﾝﾀはｶｳﾝﾀ値がMAXと一致するまで増加されます。ｶｳﾝﾀはMAXに達すると計数方向を変更します。このTCNT2値は1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間MAXと等しくなります。位相基準PWM動作のﾀｲﾐﾝｸﾞ図は**図59.**で示されます。TCNT2値はﾀｲﾐﾝｸﾞ図で両傾斜動作(三角波)を表す折れ線ｸﾞﾗﾌとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR2A値を示し、TCNT2値との交点(接点)がTCNT2とOCR2A間の比較一致を示します(**訳注**:図補正に伴い本行若干変更)。

図59. 位相基準PWM動作ﾀｲﾐﾝｸﾞ



ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOV2)ﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求ﾌﾗｸﾞはｶｳﾝﾀがBOTTOM値に到達する毎に割り込みを発生するのに使えます。

位相基準PWM動作での比較部はOC2Aﾋﾟﾝでの PWM波形の生成を許します。COM2A1,0ﾋﾞｯﾄを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM2A1,0ﾋﾞｯﾄを'11'に設定することで生成できます(92頁の**表57.**をご覧ください)。実際のOC2A値はそのﾎﾟｰﾄ ﾋﾟﾝに対するﾃﾞｰﾀ方向(DDR_OC2A)が出力として設定される場合にだけ見えるでしょう。PWM波形はｶｳﾝﾀが増加する時のTCNT2とOCR2A間の比較一致でOC2A(内部)ﾚｼﾞｽﾀを設定(1)(または解除(0))と、ｶｳﾝﾀが減少する時のTCNT2とOCR2A間の比較一致でOC2Aﾚｼﾞｽﾀを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{\mathrm{OCnxPCPWM}} = \frac{f_{\mathrm{clk\_I/O}}}{\mathrm{N} \times 510}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

OCR2Aの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR2AがBOTTOM($00)に等しく設定されると出力は定常的なLow、MAXに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図59.の第2周期のその出発点に於いて、例え比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- **図59.**でのようにOCR2AはMAXからその値を変更します。OCR2A値がMAXのとき、OCnxﾋﾟﾝ値は下降計数での比較一致の結果と同じです(**訳補**: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)MAX(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- ﾀｲﾏ/ｶｳﾝﾀがOCR2A値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(**訳補**: 従って上記同様、MAX位置で(直前がHならば)H→L遷移が生じます。)

タイマ/カウンタのタイミング

以下の図は同期動作でのタイマ/カウンタを示し、従ってタイマ/カウンタ クロック(clk_{T2})が計数許可信号として示されます。非同期動作では$clk_{I/O}$がタイマ/カウンタ用発振器(TOSC)クロックによって置換されるべきです。この図は割り込みフラグが設定(1)される時の情報を含みます。図60.は基本的なタイマ/カウンタ動作についてのタイミング データを示します。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図60. 前置分周なし(1/1)のタイマ/カウンタ タイミング

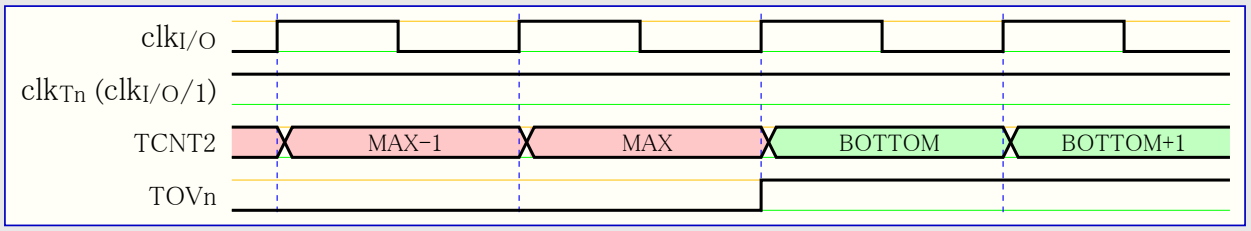


図61.は同じタイミング データを示しますが、前置分周器が許可されています。

図61. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ タイミング

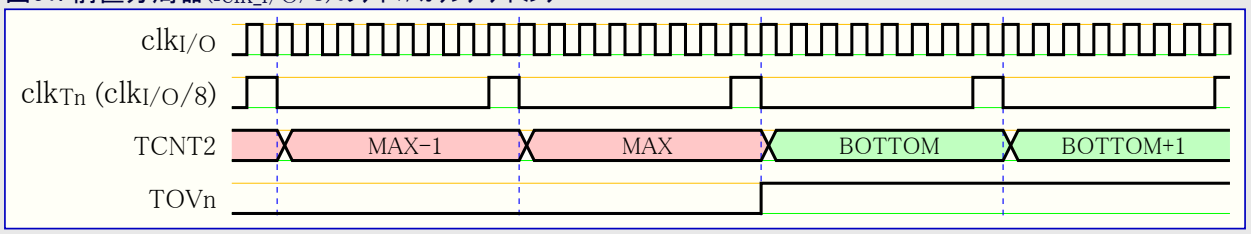


図62.はCTC動作を除く全ての動作種別でのOCF2Aの設定を示します。

図62. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCF2A設定 タイミング

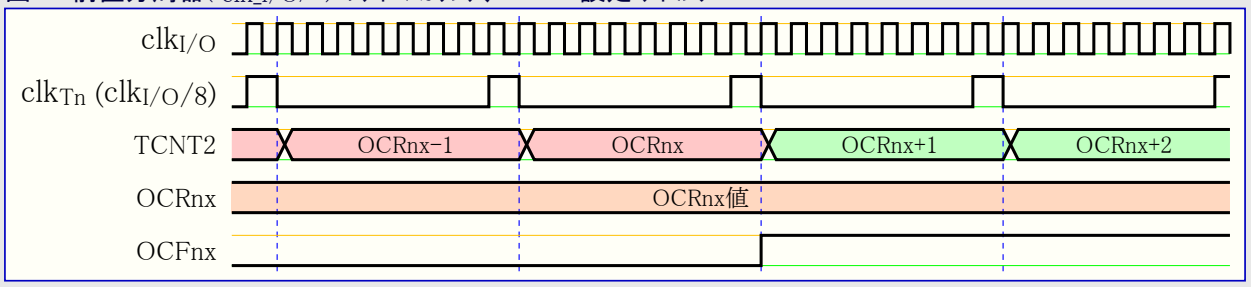
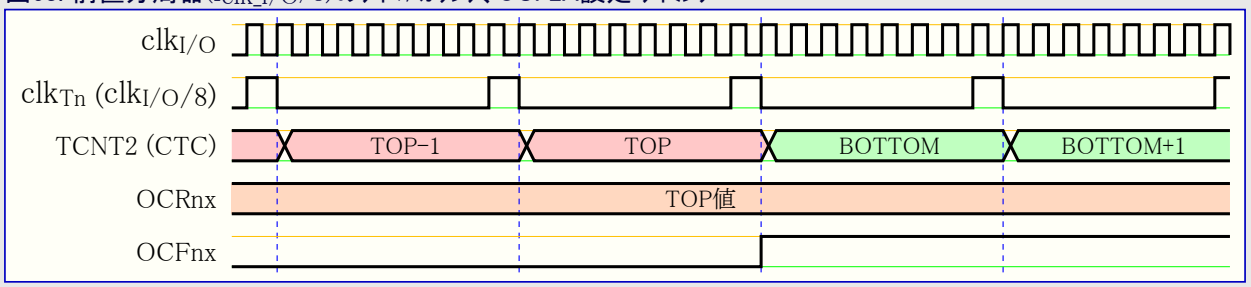


図63.はCTC動作でのTCNT2の解除とOCF2Aの設定を示します。

図63. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCF2A設定 タイミング



8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2用ﾚｼﾞｽﾀ

ﾀｲﾏ/ｶｳﾝﾀ2制御ﾚｼﾞｽﾀA (Timer/Counter2 Control Register A) TCCR2A

ﾋﾞｯﾄ ($B0)	7	6	5	4	3	2	1	0	
	FOC2A	WGM20	COM2A1	COM2A0	WGM21	CS22	CS21	CS20	TCCR2A
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – FOC2A : OC2A強制変更** (Force Output Compare 2A)

FOC2AﾋﾞｯﾄはWGM21,0ﾋﾞｯﾄが非PWM動作を指示する時だけ有効です。けれども将来のﾃﾞﾊﾞｲｽとの共通性を保証するため、PWM動作で扱う時にTCCR2Aが書かれる場合、このﾋﾞｯﾄは0に設定されなければなりません。FOC2Aﾋﾞｯﾄに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC2A出力はCOM2A1,0ﾋﾞｯﾄ設定に従って変更されます。FOC2Aﾋﾞｯﾄがｽﾄﾛｰﾌﾞとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM2A1,0ﾋﾞｯﾄに存在する値です。

FOC2Aｽﾄﾛｰﾌﾞは何れの割り込みの生成もTOPとしてOCR2Aを使う比較一致ﾀｲﾏ解除(CTC)動作でのﾀｲﾏ/ｶｳﾝﾀの解除($00)も行いません。

FOC2Aﾋﾞｯﾄは常に0として読みます。

• **ﾋﾞｯﾄ3,6 – WGM21,0 : 波形生成種別** (Waveform Generation Mode bit 1 and 0)

これらのﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大(TOP)ｶｳﾝﾀ値の供給元、使われるべき波形生成のどの形式かを制御します。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作、比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作と2形式のﾊﾟﾙｽ幅変調(PWM)動作です。**表54.**と88頁の「**動作種別**」をご覧ください。

表54. 波形生成種別選択

番号	WGM21 (CTC2)	WGM20 (PWM2)	ﾀｲﾏ/ｶｳﾝﾀ動作種別	TOP値	OCR2A 更新時	TOV2 設定時
0	0	0	標準動作	$FF	即時	MAX
1	0	1	位相基準PWM動作	$FF	TOP	BOTTOM
2	1	0	比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作	OCR2A	即時	MAX
3	1	1	高速PWM動作	$FF	BOTTOM	MAX

注: CTC2とPWM2ﾋﾞｯﾄ定義名は旧名称です。WGM21,0定義を使ってください。しかし、これらのﾋﾞｯﾄの機能と位置は旧版のﾀｲﾏ/ｶｳﾝﾀと一致します。

• **ﾋﾞｯﾄ5,4 – COM2A1,0 : 比較2A出力選択** (Compare Match 2A Output Mode bit 1 and 0)

これらのﾋﾞｯﾄはOC2A比較出力ﾋﾟﾝの動作を制御します。COM2A1,0ﾋﾞｯﾄの1つまたは両方が1を書かれると、OC2A出力はそのI/Oﾋﾟﾝの通常ﾎﾟｰﾄ機能を無効にし、そのI/Oﾋﾟﾝに接続されます。けれども出力駆動部を許可するため、OC2Aﾋﾟﾝに対応するﾎﾟｰﾄ方向ﾚｼﾞｽﾀ(DDR)のﾋﾞｯﾄが設定(1)されなければならないことに注意してください。

OC2Aがﾋﾟﾝに接続されるとき、COM2A1,0ﾋﾞｯﾄの機能はWGM21,0ﾋﾞｯﾄ設定に依存します。

表55.はWGM21,0ﾋﾞｯﾄが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM2A1,0ﾋﾞｯﾄ機能を示します。

表56.はWGM21,0ﾋﾞｯﾄが高速PWM動作に設定される時のCOM2A1,0ﾋﾞｯﾄの機能を示します。

表57.はWGM21,0ﾋﾞｯﾄが位相基準PWM動作に設定される時のCOM2A1,0ﾋﾞｯﾄの機能を示します。

表55. 非PWM動作での比較出力選択

COM2A1	COM2A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2A切断)
0	1	比較一致でOC2Aﾋﾟﾝ ﾄｸﾞﾙ(交互)出力
1	0	比較一致でOC2Aﾋﾟﾝ Lowﾚﾍﾞﾙ出力
1	1	比較一致でOC2Aﾋﾟﾝ Highﾚﾍﾞﾙ出力

表56. 高速PWM動作での比較出力選択

COM2A1	COM2A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2A切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC2Aﾋﾟﾝへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC2Aﾋﾟﾝへ出力 (反転動作)

注: COM2A1が設定(1)され、OCR2AがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)や解除(0)は行われます。より多くの詳細については89頁の「**高速PWM動作**」をご覧ください。

表57. 位相基準PWM動作での比較出力選択

COM2A1	COM2A0	意味
0	0	標準ﾎﾟｰﾄ動作 (OC2A切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC2Aﾋﾟﾝへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC2Aﾋﾟﾝへ出力

注: COM2A1が設定(1)され、OCR2AがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、TOPでの設定(1)や解除(0)は行われます。より多くの詳細については90頁の「**位相基準PWM動作**」をご覧ください。

• ﾋﾞｯﾄ2~0 – CS22~0 : ｸﾛｯｸ選択2 (Clock Select2, bit 2,1 and 0)

この3つのｸﾛｯｸ選択ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT2)によって使われるｸﾛｯｸ元を選びます。表58.をご覧ください。

表58. ﾀｲﾏ/ｶｳﾝﾀ2入力ｸﾛｯｸ選択

CS22	CS21	CS20	意味
0	0	0	停止 (ﾀｲﾏ/ｶｳﾝﾀ2動作停止)
0	0	1	clk_{T2S} (前置分周なし)
0	1	0	$clk_{T2S}/8$ (8分周)
0	1	1	$clk_{T2S}/32$ (32分周)
1	0	0	$clk_{T2S}/64$ (64分周)
1	0	1	$clk_{T2S}/128$ (128分周)
1	1	0	$clk_{T2S}/256$ (256分周)
1	1	1	$clk_{T2S}/1024$ (1024分周)

ﾀｲﾏ/ｶｳﾝﾀ2 (Timer/Counter2) TCNT2

ﾋﾞｯﾄ ($B2)	7 (MSB)	6	5	4	3	2	1	0 (LSB)	TCNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀは読み書き両方の操作について、ﾀｲﾏ/ｶｳﾝﾀ部の8ﾋﾞｯﾄ ｶｳﾝﾀに直接ｱｸｾｽします。TCNT2への書き込みは次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸでの比較一致を妨害(除去)します。ｶｳﾝﾀが走行中にｶｳﾝﾀ(TCNT2)を変更することは、TCNT2とOCR2A間の比較一致消失の危険を誘発します。

ﾀｲﾏ/ｶｳﾝﾀ2 比較Aﾚｼﾞｽﾀ (Timer/Counter2 Output Compare Register) OCR2A

ﾋﾞｯﾄ ($B3)	7 (MSB)	6	5	4	3	2	1	0 (LSB)	OCR2A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較ﾚｼﾞｽﾀは継続的にｶｳﾝﾀ(TCNT2)値と比較される8ﾋﾞｯﾄの値を含みます。一致は比較一致割り込みやOC2Aﾋﾟﾝでの波形出力を生成するのに使えます。

(訳注) 原書で本位置に誤って挿入されている「ﾀｲﾏ/ｶｳﾝﾀ2の非同期動作」は本来の位置へ移動しました。

ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ (Timer/Counter2 Interrupt Mask Register) **TIMSK2**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($70)	–	–	–	–	–	–	OCIE2A	TOIE2	TIMSK2
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ1 – OCIE2A : ﾀｲﾏ/ｶｳﾝﾀ2比較A割り込み許可** (Timer/Counter2 Output Compare A Match Interrupt Enable)

OCIE2Aﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2で比較一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR2)でﾀｲﾏ/ｶｳﾝﾀ2比較一致割り込み要求ﾌﾗｸﾞ(OCF2A)が設定(1)されると、対応する割り込みが実行されます。

• **ﾋﾞｯﾄ0 – TOIE2 : ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可** (Timer/Counter2 Overflow Interrupt Enable)

TOIE2ﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ2溢れが起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR2)でﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み要求(TOV2)ﾌﾗｸﾞが設定(1)されると、対応する割り込みが実行されます。

ﾀｲﾏ/ｶｳﾝﾀ2割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter2 Interrupt Flag Register) **TIFR2**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$17 ($37)	–	–	–	–	–	–	OCF2A	TOV2	TIFR2
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ1 – OCF2A : ﾀｲﾏ/ｶｳﾝﾀ2比較A割り込み要求ﾌﾗｸﾞ** (Timer/Conter2, Output Compare A Match Flag)

OCF2Aﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNT2)と比較ﾚｼﾞｽﾀ(OCR2A)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行するとき、OCF2Aはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCF2Aは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2比較一致割り込み許可(OCIE2A)ﾋﾞｯﾄ、OCF2Aが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2比較一致割り込みが実行されます。

• **ﾋﾞｯﾄ0 – TOV2 : ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter2 Overflow Flag)

TOV2ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNT2)溢れが起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行するとき、TOV2はﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもTOV2は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ2割り込み許可ﾚｼﾞｽﾀ(TIMSK2)のﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込み許可(TOIE2)ﾋﾞｯﾄ、TOV2が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ2溢れ割り込みが実行されます。PWM動作ではﾀｲﾏ/ｶｳﾝﾀ2が$00で計数方向を変える時にこのﾋﾞｯﾄが設定(1)されます。

タイマ/カウンタ2の非同期動作

タイマ/カウンタ2非同期状態レジスタ (Timer/Counter2 Asynchronous Status Register) ASSR

ビット	7	6	5	4	3	2	1	0	
($B6)	–	–	–	EXCLK	AS2	TCN2UB	OCR2UB	TCR2UB	ASSR
Read/Write	R	R	R	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ビット4 – EXCLK : 外部クロック信号許可** (Enable External Clock Input)

EXCLKが1を書かれ、非同期クロックが選ばれると、外部クロック入力緩衝部が許可され、32kHzクリスタルの代わりに外部クロックがタイマ発振器1(TOSC1)ピンへ入力できます。EXCLKへの書き込みは非同期動作が選ばれる前に行うべきです。クリスタル発振器はこのビットが0の時にだけ走行(動作)することに注意してください。

• **ビット3 – AS2 : タイマ/カウンタ2非同期動作許可** (Asynchronous Timer/Counter2)

AS2が0を書かれると、タイマ/カウンタ2はI/Oクロック($clk_{I/O}$)からクロック駆動されます。AS2が1を書かれると、タイマ/カウンタ2はタイマ発振器(TOSC1,TOSC2)ピンに接続されたクリスタル発振器からクロック駆動されます。AS2の値が変更されると、タイマ/カウンタ2(TCNT2)、比較2レジスタ(OCR2A)、タイマ/カウンタ2制御レジスタA(TCCR2A)の内容は不正にされるかもしれません。

• **ビット2 – TCN2UB : タイマ/カウンタ2更新中フラグ** (Timer/Counter2 Update Busy)

タイマ/カウンタ2が非同期に動き、タイマ/カウンタ2(TCNT2)が書かれると、このビットが設定(1)になります。TCNT2が一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理0はTCNT2が新しい値で更新される用意ができたことを示します。

• **ビット1 – OCR2UB : 比較2レジスタ更新中フラグ** (Output Compare Register2 Update Busy)

タイマ/カウンタ2が非同期に動き、比較2レジスタ(OCR2A)が書かれると、このビットが設定(1)になります。OCR2Aが一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理0はOCR2Aが新しい値で更新される用意ができたことを示します。

• **ビット0 – TCR2UB : タイマ/カウンタ2制御レジスタ更新中フラグ** (Timer/Counter2 Control Register Update Busy)

タイマ/カウンタ2が非同期に動き、タイマ/カウンタ2制御レジスタA(TCCR2A)が書かれると、このビットが設定(1)になります。TCCR2Aが一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理0はTCCR2Aが新しい値で更新される用意ができたことを示します。

更新中フラグが設定(1)中に3つのタイマ/カウンタ2 レジスタのどれかに書き込みが実行されると、更新された値は不正にされ、予期せぬ割り込みを起こす原因になるかもしれません。

TCNT2、OCR2A、TCCR2A読み込みについての機構は異なります。TCNT2を読む時は実際のタイマ/カウンタ値が読まれ、OCR2AまたはTCCR2Aを読む時は一時保存レジスタの値が読まれます。

タイマ/カウンタ2 非同期動作

タイマ/カウンタ2が非同期で動くとき、いくつかの考慮が成されなければなりません。

- 警告: タイマ/カウンタ2の同期/非同期クロック駆動間を切り替えると、タイマ/カウンタ2(TCNT2)、タイマ/カウンタ2比較レジスタ(OCR2A)、タイマ/カウンタ2制御レジスタA(TCCR2A)が不正となるかもしれません。クロック元を切り替える安全な手順を次に示します。
  1. タイマ/カウンタ2割り込み許可レジスタ(TIMSK2)のOCIE2AとTOIE2の解除(0)により、タイマ/カウンタ2割り込みを禁止します。
  2. 非同期状態レジスタ(ASSR)の非同期動作許可(AS2)設定によってクロック元を適切に選びます。
  3. TCNT2,OCR2A,TCCR2Aに新しい値を書きます。
  4. 非同期動作へ切り替えるには、TCN2UB, OCR2UB, TCR2UBについて(=0まで)待機します。
  5. タイマ/カウンタ2割り込み要求フラグ レジスタ(TIFR2)のOCF2AとTOV2フラグを解除(0)します。
  6. 必要とされるなら、割り込みを許可します。
- CPU主クロック周波数はタイマ発振器周波数の4倍よりも高くなければなりません。
- TCNT2,OCR2A,TCCR2Aレジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSC1で2つの上昇端後、(実レジスタ)に設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に新しい値を書くべきではありません。記載された3つのレジスタの各々がそれら個別の一時レジスタを持ちます。それは、例えばTCNT2書き込みがOCR2A書き込みの実行を妨げないことを意味します。転送先レジスタへの転送が起きたことを検知するため、非同期状態レジスタ(ASSR)は実装されました。
- TCNT2,OCR2A,TCCR2Aに書いた後でパワーセーブ動作またはA/D変換雑音低減動作へ移行するとき、デバイスを起動するのにタイマ/カウンタ2が使われる場合、使用者は書かれたレジスタが更新されてしまうまで待たなければなりません。さもなければMCUは変更が有効になる前に休止形態へ移行するでしょう。タイマ/カウンタ2比較一致割り込みがデバイスを起動するのに使われる場合、TCNT2またはOCR2A書き込み中の比較機能が禁止されるため、これは非常に重要です。書き込み周期が完了されず、OCR2UBが0に戻る前にMCUが休止形態へ移行すると、デバイスは決して比較一致割り込みを受け取らず、そしてMCUは起動しないでしょう。
- パワーセーブまたはA/D変換雑音低減動作からデバイスを起動するのにタイマ/カウンタ2が使われる場合、使用者がこれら動作へ(復帰後)再移行することを欲するなら、予防処置を講じなければなりません。割り込み論理回路はリセットするのに、1 TOSC1周期必要です。起動と休止形態再移行間の時間が1 TOSC1周期未満の場合に割り込みが起きず、デバイスは起動に失敗するでしょう。パワーセーブまたは拡張スタンバイ動作再移行前の時間が充分であるかどうか迷うなら、1 TOSC1周期が経過されることを保証するのに次の手順が使えます。
  1. TCNT2,OCR2A,TCCR2Aに値を書きます。
  2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが0に戻るまで待ちます。
  3. パワーセーブまたはA/D変換雑音低減動作へ移行します。
- 非同期動作が選ばれると、タイマ/カウンタ2用32.768kHz発振器はパワーダウン動作とスタンバイ動作を除いて常に動作します。電源投入リセット、パワーダウンまたはスタンバイ動作から起動後、この発振器が安定するのに1秒程度かかるかもしれないことを使用者は承知すべきです。電源投入、パワーダウンまたはスタンバイ動作から起動後、タイマ/カウンタ2を使う前に少なくとも1秒待機することが推奨されます。この発振器の使用またはクロック信号がTOSCピンに印加されるかのどちらかに拘らず、起動時の不安的なクロック信号のため、パワーダウンまたはスタンバイ動作からの起動復帰後、タイマ/カウンタ2の全レジスタの内容が失われたと見做されなければなりません。
- タイマ/カウンタ2が非同期でクロック駆動される時のパワーセーブまたはA/D変換雑音低減動作から起動の説明。割り込み条件が合致すると、タイマ/カウンタ クロックの次の周期で起動処理が開始され、プロセッサがカウンタ値を読めるのに先立ってタイマ/カウンタは常に最低1進行されます。起動後MCUは4周期停止され、割り込み処理ルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。
- パワーセーブ動作から起動直後のTCNT2の読み込みは不正な結果を得るかもしれません。TCNT2が非同期TOSCクロックでクロック駆動されるため、TCNT2読み込みは内部I/Oクロック領域に同期したレジスタを通して行われなければなりません。同期化はTOSCクロックの全上昇端で行われます。パワーセーブ動作から起動し、I/Oクロック($clk_{I/O}$)が再び活性(有効)になるとき、TCNT2はTOSCクロックの次の上昇端まで以前(休止形態移行前)の値を読むでしょう。パワーセーブ動作から起動後のTOSCクロックの位相は起動時間に依存するため本質的に特定できません。従ってTCNT2読み込みに対する推奨手順は次のとおりです。
  1. OCR2AまたはTCCR2Aのどちらかに何か値を書きます。
  2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが解除(0)されるまで待ちます。
  3. TCNT2を読みます。
- 非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は3プロセッサ周期+1タイマ周期かかります。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読めるのに先立って、このタイマは最低1、進行されます。比較出力ピンはタイマ クロックで変更され、プロセッサ クロックに同期されません。

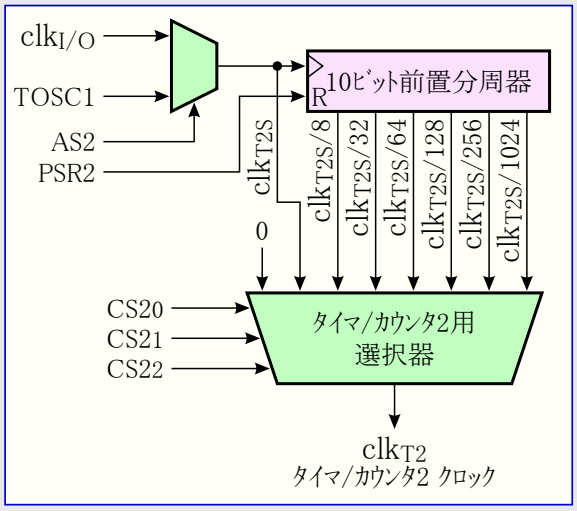
タイマ/カウンタ2の前置分周器

タイマ/カウンタ2用クロック元の名前はclk_{T2S}です。既定でのclk_{T2S}は主システムI/Oクロック($clk_{I/O}$)に接続されます。タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期クロック(AS2)ビットの設定(1)により、タイマ/カウンタ2はTOSC1ピンから非同期にクロック駆動されます。これは実時間計数器(RTC)としてのタイマ/カウンタ2の使用を可能にします。AS2が設定(1)されると、TOSC1とTOSC2ピンは主クロック発振器から切り離されます。クリスタル発振子はタイマ/カウンタ2用の独立したクロック元として扱うため、TOSC1とTOSC2ピン間に接続できます。この発振器は32.768kHzクリスタル発振子で使うために最適化されています。TOSC1に外部クロック信号を印加する場合、ASSRの外部クロック許可(EXCLK)ビットが設定(1)されなければなりません。

タイマ/カウンタ2に対して可能な前置分周済み選択は$clk_{T2S}/8$, $clk_{T2S}/32$, $clk_{T2S}/64$, $clk_{T2S}/128$, $clk_{T2S}/256$, $clk_{T2S}/1024$です。加えて0(停止)は勿論clk_{T2S}も選択可能です。

一般タイマ/カウンタ制御レジスタ(GTCCR)のタイマ/カウンタ2 前置分周器リセット(PSR2)ビットの設定(1)は前置分周器をリセットします。これは予測可能な前置分周器での操作を使用者に許します。

図64. タイマ/カウンタ2 前置分周器部構成



一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register) GTCCR

ビット	7	6	5	4	3	2	1	0	
$23 ($43)	TSM	–	–	–	–	–	PSR2	PSR10	GTCCR
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット1 – PSR2 : タイマ/カウンタ2 前置分周器リセット (Prescaler Reset Timer/Counter2)

このビットが1の時にタイマ/カウンタ2の前置分周器はリセットします。通常、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ2が非同期動作の時にこのビットが(1を)書かれると、このビットは前置分周器がリセットされてしまうまで1に留まります。TSMビットが設定(1)される場合、このビットはハードウェアによって解除(0)されません。タイマ/カウンタ同期(同時)動作の記載については66頁の「• ビット7 – TSM : タイマ/カウンタ同時動作」の記述を参照してください。

直列周辺インターフェース (SPI: Serial Peripheral Interface)

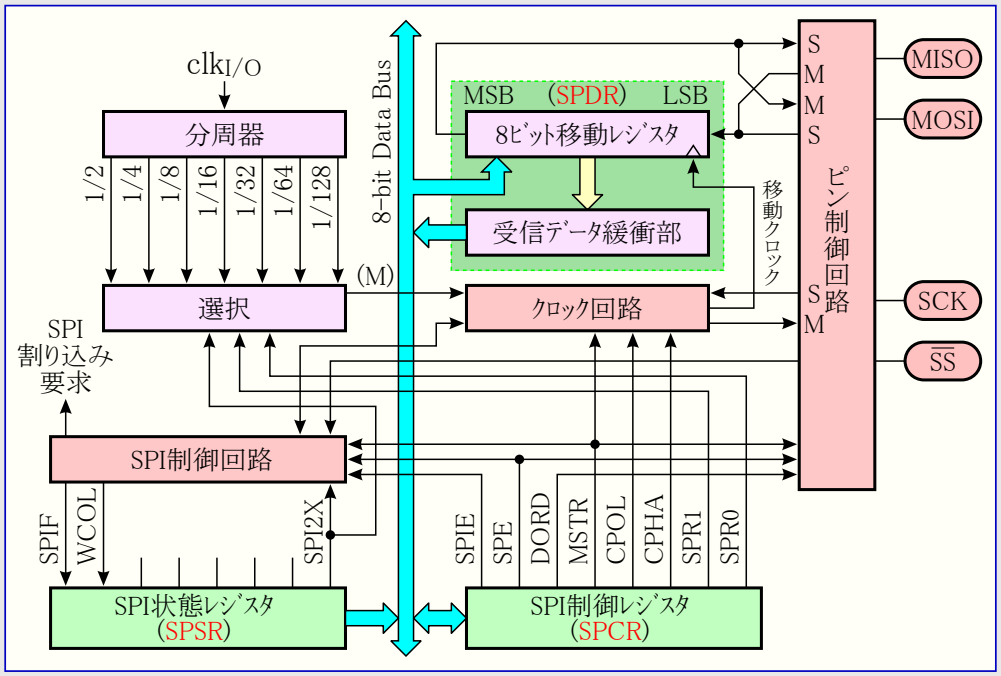
直列周辺インターフェースはATmega165と様々なAVRデバイスや周辺デバイス間の高速同期データ転送を許します。ATmega165のSPIは次の特徴を含みます。

- 全二重3線同期データ転送
- 主装置/従装置動作
- LSB/MSB先行データ転送
- 設定変更可能な7つのビット速度
- 送信完了割り込み要求フラグ
- 送信上書きフラグ保護
- アイドル動作からの起動
- 倍速(CK/2)主装置SPI動作

23頁の「電力削減レジスタ(PRR)」でのPRSPIビットはSPI部を許可するために0を書かれなければなりません。

SPIでの主装置と従装置のCPU間相互連結は図66.で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は希望した従装置の$\overline{SS}$(従装置選択)ピンをLowへ引き込む時に一群の通信を始めます。主装置と従装置は各々の移動レジスタで送るべきデータを用意し、主装置はデータを交換するのに必要なクロックパルスをSCK信号線に生成します。データは常にMOSI(Master Out Slave In)信号線を主装置から従装置へ、MISO(Master In Slave Out)信号線を従装置から主装置へ移動されます。各データパケット後、主装置は$\overline{SS}$(従装置選択)ピンをHighへ引き上げることによって従装置と同期を取ります。

図65. SPI構成図



注: SPIピン配置については2頁の「ピン配置」と41頁の表27.を参照してください。

主装置として設定されると、SPIインターフェースには$\overline{SS}$信号線の自動制御がありません。これは通信が開始できるのに先立って使用者ソフトウェアによって操作されなければなりません。これが行われると、SPIデータレジスタ(SPDR)へのバイト書き込みがSPIクロック発生器を始動し、ハードウェアが従装置内へ8ビットを移動します。1バイトの移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の転送完了フラグ(SPIF)を設定(1)します。SPI制御レジスタ(SPCR)でSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。主装置はSPDR内へ次バイトを書くことによって次バイトの移動を継続、または$\overline{SS}$(従装置選択)信号線をHighへ引き上げることによってパケットの終了を指示することができます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

従装置として設定されると、SPIインターフェースは$\overline{SS}$ピンがHighに駆動される限り、MISOをHi-Zにした休止状態に留まります。この状態でプログラムはSPIデータレジスタ(SPDR)の内容を更新できますが、そのデータは$\overline{SS}$ピンがLowに駆動されるまでSCKピンでの到着クロックパルスによって移動出力されません。1バイトが完全に移動されてしまうと転送完了フラグ(SPIF)が設定(1)されます。SPCRでSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置は受信データを読む前にSPDR内へ送られるべき次のデータの配置を続けられます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

このシステムは送信側で単一緩衝、受信側で2重緩衝です。これは一連の移動全体が完了される前に送信されるべきバイトがSPIデータレジスタ(SPDR)へ書けないことを意味します。しかし、データを受信するとき、次のデータが完全に移動入力される前に受信したデータがSPIデータレジスタ(SPDR)から読まれなければなりません。さもなければ始めのバイトは失われます。

SPI従装置動作では制御論理回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、LowとHighの最小周期は以下であるべきです。

- Low周期 ：2 CPUクロック周期より長い
- High周期 ：2 CPUクロック周期より長い

SPIが許可されると、MOSI, MISO, SCK, $\overline{SS}$ピンのデータ方向は表59.に従って無視されます。自動的なポート無視のより多くの詳細については、40頁の「交換ポート機能」を参照してください。

図66. SPI 主装置/従装置の連結

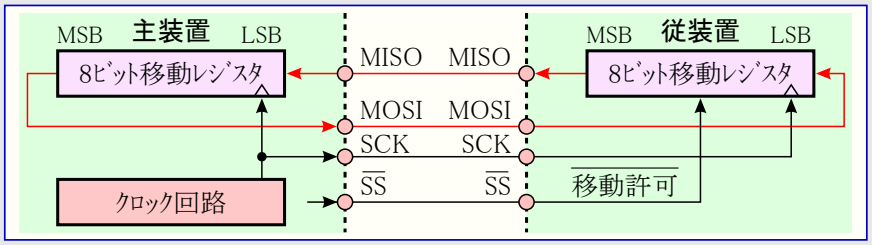


表59. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
$\overline{SS}$	ポートB方向レジスタ(DDRB)の指定	入力

注: 使用者定義SPIピンの方向定義方法の詳細記述については41頁の「ポートBの交換機能」を参照してください。

次のｺｰﾄﾞ例は主装置としてSPIを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR_SPIはSPIﾋﾟﾝを制御する実際のﾎﾟｰﾄ方向ﾚｼﾞｽﾀに置き換えられなければなりません。DD_MOSI, DD_MISO, DD_SCKはこれらのﾋﾟﾝに対する実際のﾎﾟｰﾄ方向ﾋﾞｯﾄに置き換えられなければなりません。例えばMOSIがPB5ﾋﾟﾝに配置されるなら、DD_MOSIはDDB5、DDR_SPIはDDRBに置き換えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_M_Init:  LDI     R17,(1<<DD_MOSI)|(1<<DD_SCK)        ;MOSI,SCK=出力、他は入力値を取得
             OUT     DDR_SPI,R17                         ;MOSI,SCK=出力、他は入力に設定
             LDI     R17,(1<<SPE)|(1<<MSTR)|(1<<SPR0)    ;SPI許可、主装置、16分周値を取得
             OUT     SPCR,R17                            ;SPI許可、主装置、16分周に設定
             RET                                         ;呼び出し元へ復帰

SPI_M_Tx:    OUT     SPDR,R16                            ;ﾃﾞｰﾀ(R16)送信開始
SPI_M_Tx_W:  SBIS    SPSR,SPIF                           ;転送完了ならばｽｷｯﾌﾟ
             RJMP    SPI_M_Tx_W                          ;転送完了まで待機
;
             RET                                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI)|(1<<DD_SCK);                  /* MOSI,SCK=出力、他は入力に設定 */
    SPCR = (1<<SPE)|(1<<MSTR)|(1<<SPR0);                 /* SPI許可、主装置、16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                        /* ﾃﾞｰﾀ送信開始 */
    while(!(SPSR & (1<<SPIF)));                          /* 転送完了まで待機 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

次のｺｰﾄﾞ例は従装置としてSPIを初期化する方法と簡単な受信を実行する方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_S_Init:  LDI     R17,(1<<DD_MISO)                    ;MISO出力、他は入力値を取得
             OUT     DDR_SPI,R17                         ;MISO出力、他は入力に設定
             LDI     R17,(1<<SPE)                        ;SPI許可値を取得
             OUT     SPCR,R17                            ;SPI許可設定
             RET                                         ;呼び出し元へ復帰

SPI_S_Rx:    SBIS    SPSR,SPIF                           ;受信(転送)完了ならばｽｷｯﾌﾟ
             RJMP    SPI_S_Rx                            ;受信(転送)完了まで待機
;
             IN      R16,SPDR                            ;受信ﾃﾞｰﾀを取得
             RET                                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                              /* MISO出力、他は入力に設定 */
    SPCR = (1<<SPE);                                     /* SPI許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                          /* 受信(転送)完了まで待機 */
    return SPDR;                                         /* 受信ﾃﾞｰﾀと共に復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

$\overline{SS}$ﾋﾟﾝの機能

従装置動作

SPIが従装置として設定されると、従装置選択($\overline{SS}$)ﾋﾟﾝは常に入力です。$\overline{SS}$がLowに保たれるとSPIは活性に(作動)され、使用者によってそのように設定されていればMISOは出力になります。他の全てのﾋﾟﾝは入力です。$\overline{SS}$がHighに駆動されると、出力として使用者設定され得るMISOを除く全てのﾋﾟﾝは入力、SPIは非活動で、それは到着ﾃﾞｰﾀを受信しないことを意味します。一旦$\overline{SS}$ﾋﾟﾝがHighに駆動されると、SPI論理回路がﾘｾｯﾄすることに注意してください。

この$\overline{SS}$ﾋﾟﾝはﾊﾟｹｯﾄ/ﾊﾞｲﾄ同期に対して、従装置ﾋﾞｯﾄ計数器が主装置ｸﾛｯｸ発生器との同期を保つのに有用です。$\overline{SS}$ﾋﾟﾝがHighに駆動されると、SPI従装置は直ちに送受信論理回路をﾘｾｯﾄし、それは移動ﾚｼﾞｽﾀ内で部分的に受信したどのﾃﾞｰﾀも取り落とします。

主装置動作

SPIが主装置(SPI制御ﾚｼﾞｽﾀ(SPCR)の主装置許可(MSTR)ﾋﾞｯﾄ=1)として設定されると、$\overline{SS}$ﾋﾟﾝの方向は使用者が決められます。

$\overline{SS}$が出力として設定されると、このﾋﾟﾝはSPIｼｽﾃﾑに影響を及ぼされない標準出力ﾋﾟﾝです。代表的にはこのﾋﾟﾝがSPI従装置の$\overline{SS}$ﾋﾟﾝを駆動するでしょう。

$\overline{SS}$が入力として設定されると、SPI主装置動作を保証するため、それはHighに保持されなければなりません。$\overline{SS}$ﾋﾟﾝが入力として定義されたSPI主装置として設定される時に周辺回路によって$\overline{SS}$ﾋﾟﾝがLowに駆動されると、SPIｼｽﾃﾑは他の主装置が従装置として選んでﾃﾞｰﾀ送信を始めると解釈します。ﾊﾞｽの衝突を避けるためにSPIｼｽﾃﾑは次の動作を行います。

1. SPCRで主/従選択(MSTR)ﾋﾞｯﾄが解除(0)され、SPIｼｽﾃﾑは従装置になります。SPIｼｽﾃﾑが従装置になる結果としてMOSIとSCKﾋﾟﾝが入力になります。
2. SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)され、そしてSPI割り込みが許可(SPCRのSPIE=1)され、且つｽﾃｰﾀｽﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)なら、割り込みﾙｰﾁﾝが実行されます。

従って割り込み駆動SPI送信が主装置動作で使われ、$\overline{SS}$がLowに駆動される可能性があるとき、その割り込み(処理)はMSTRﾋﾞｯﾄが未だ設定(1)されていることを常に検査すべきです。MSTRﾋﾞｯﾄが従装置選択によって解除(0)されてしまっていると、それはSPI主装置動作を再び許可するため、使用者によって設定(1)されなければなりません。

SPI制御ﾚｼﾞｽﾀ (SPI Control Register) **SPCR**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2C ($4C)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – SPIE : SPI割り込み許可** (SPI Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されて、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)されると、このﾋﾞｯﾄがSPI割り込みを実行させます。

- **ﾋﾞｯﾄ6 – SPE : SPI許可** (SPI Enable)

SPEﾋﾞｯﾄが1を書かれるとSPIが許可されます。どのSPI操作を許可するにも、このﾋﾞｯﾄが設定(1)されなければなりません。

- **ﾋﾞｯﾄ5 – DORD : ﾃﾞｰﾀ順選択** (Data Order)

DORDﾋﾞｯﾄが1を書かれるとﾃﾞｰﾀ語のLSBが最初に転送されます。DORDﾋﾞｯﾄが0を書かれるとMSBが最初に転送されます。

- **ﾋﾞｯﾄ4 – MSTR : 主装置/従装置選択** (Master/Slave Select)

このﾋﾞｯﾄは1を書かれると主装置動作、論理0を書かれると従装置動作を選びます。$\overline{SS}$が入力として設定され、MSTRが設定(1)の間にLowへ駆動されると、MSTRが解除(0)され、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)になります。その後に使用者はSPI主装置動作を再び許可するためにMSTRを設定(1)しなければなりません。

- **ﾋﾞｯﾄ3 – CPOL : SCK極性選択** (Clock Polarity)

このﾋﾞｯﾄが1を書かれると、ｱｲﾄﾞﾙ時にSCKはHighです。CPOLが0を書かれると、ｱｲﾄﾞﾙ時にSCKはLowです。例については**図67.**と**図68.**を参照してください。CPOL機能は右で要約されます。

表60. CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

- **ﾋﾞｯﾄ2 – CPHA : SCK位相選択** (Clock Phase)

このSCK位相選択(CPHA)ﾋﾞｯﾄの設定はﾃﾞｰﾀがSCKの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。例については**図67.**と**図68.**を参照してください。CPHA機能は右で要約されます。

表61. CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

• **ﾋﾞｯﾄ1,0 – SPR1,0 : SPIｸﾛｯｸ選択** (SPI Clock Rate Select 1 and 0)

これら2ﾋﾞｯﾄは主装置として設定されたﾃﾞﾊﾞｲｽのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKと(ｼｽﾃﾑ)発振器ｸﾛｯｸ周波数fOSC間の関連は次表で示されます。

表62. SCK速度選択 (fOSC=CPUｸﾛｯｸ周波数)

SPR1	0		0		1		1	
SPR0	0		1		0		1	
SPI2X	1	0	1	0	1	0	1	0
SCK周波数	fOSC/2	fOSC/4	fOSC/8	fOSC/16	fOSC/32	fOSC/64		fOSC/128

SPI状態ﾚｼﾞｽﾀ (SPI Status Register) **SPSR**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2D ($4D)	SPIF	WCOL	–	–	–	–	–	SPI2X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – SPIF : SPI割り込み要求ﾌﾗｸﾞ** (SPI Interrupt Flag)

直列転送が完了すると、このSPIFﾌﾗｸﾞが設定(1)されます。全割り込みが許可(ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ=1)されて、SPI制御ﾚｼﾞｽﾀ(SPCR)でSPI割り込み許可(SPIE)ﾋﾞｯﾄが設定(1)されるなら、割り込みが生成されます。SPIが主装置動作の時に$\overline{SS}$ﾋﾟﾝが入力でLowに駆動されるなら、これもこのSPIFﾌﾗｸﾞを同様に設定(1)します。対応する割り込み処理ﾍﾞｸﾀを実行する時にSPIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにSPIFが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによってもSPIFﾌﾗｸﾞは解除(0)されます。

• **ﾋﾞｯﾄ6 – WCOL : 上書き発生ﾌﾗｸﾞ** (Write Collision Flag)

ﾃﾞｰﾀ転送中にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)が書かれると、このWCOLﾋﾞｯﾄが設定(1)されます。WCOLﾋﾞｯﾄ(とSPIFﾋﾞｯﾄ)はWCOLが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによって解除(0)されます。

• **ﾋﾞｯﾄ5~1 – Res : 予約** (Reserved Bit)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ0 – SPI2X : SPI倍速許可** (Double SPI Speed Bit)

このﾋﾞｯﾄが論理1を書かれると、SPIが主装置動作の時にSCK速度(SCK周波数)が倍にされます(**表62.**参照)。これは最小SCK周期が2 CPUｸﾛｯｸ周期であることを意味します。SPIが従装置として設定される時に、SPIはfOSC(CPUｸﾛｯｸ周波数)/4またはそれ以下での動作のみ保証されます。

ATmega165のSPIｲﾝﾀｰﾌｪｰｽはﾌﾗｯｼｭ ﾒﾓﾘやEEPROMの書き換え(読み書き)にも使われます。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合については173頁をご覧ください。

SPIﾃﾞｰﾀ ﾚｼﾞｽﾀ (SPI Data Register) **SPDR**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2E ($4E)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIﾃﾞｰﾀ ﾚｼﾞｽﾀはSPI移動ﾚｼﾞｽﾀとﾚｼﾞｽﾀ ﾌｧｲﾙ(汎用ﾚｼﾞｽﾀ)間のﾃﾞｰﾀ転送に使われる読み書き可能なﾚｼﾞｽﾀです。このﾚｼﾞｽﾀへの書き込みがﾃﾞｰﾀ送信を開始します。このﾚｼﾞｽﾀの読み込みは移動ﾚｼﾞｽﾀの受信緩衝部読み出しを引き起こします。

ﾃﾞｰﾀ転送形式

直列ﾃﾞｰﾀに関してはSPI制御ﾚｼﾞｽﾀ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ﾋﾞｯﾄによって決定されるSCK位相と極性で4つの組み合わせがあります。このSPIﾃﾞｰﾀ転送形式は図67.と図68.で示されます。ﾃﾞｰﾀ ﾋﾞｯﾄは安定のためﾃﾞｰﾀ信号に対して充分な時間を保証するSCK信号の反対端で移動出力と(入力)ﾗｯﾁが行われます。これは以下で行われるように表60.と表61.を要約することによって明解にされます。

表63. CPOL,CPHA機能動作

SPI動作種別番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

図67. SPIﾃﾞｰﾀ転送形式 (CPHA=0)

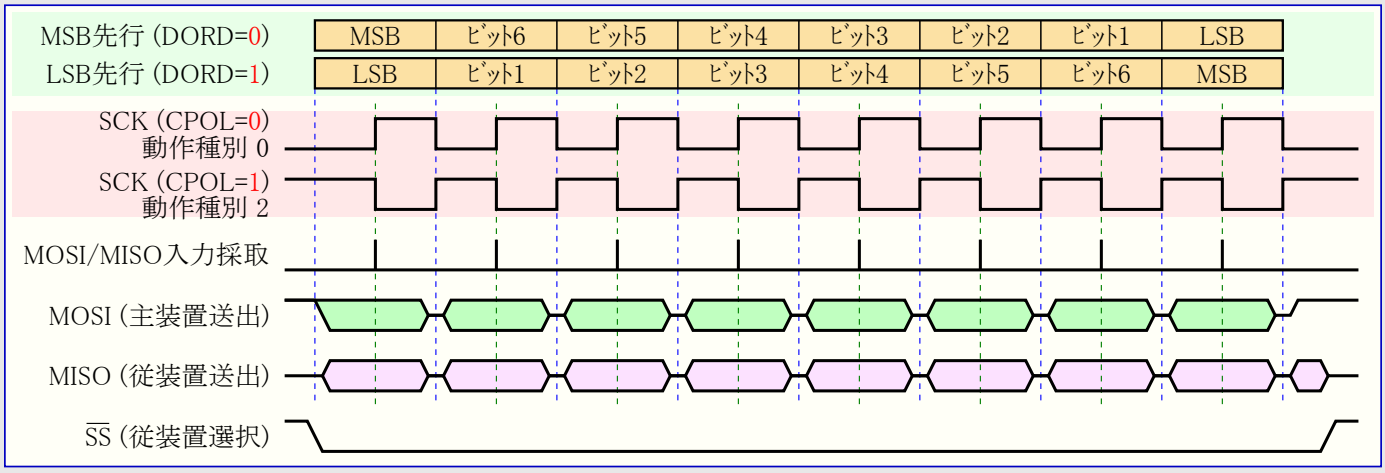
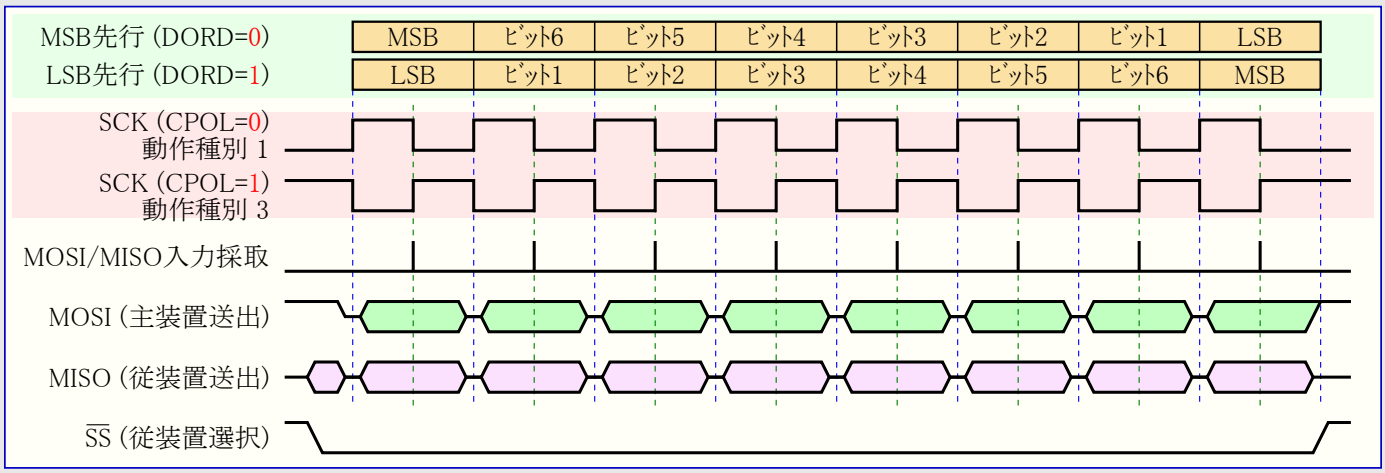


図68. SPIﾃﾞｰﾀ転送形式 (CPHA=1)



USART

USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は高い柔軟性をもつ直列通信機能です。主な特徴を次に示します。

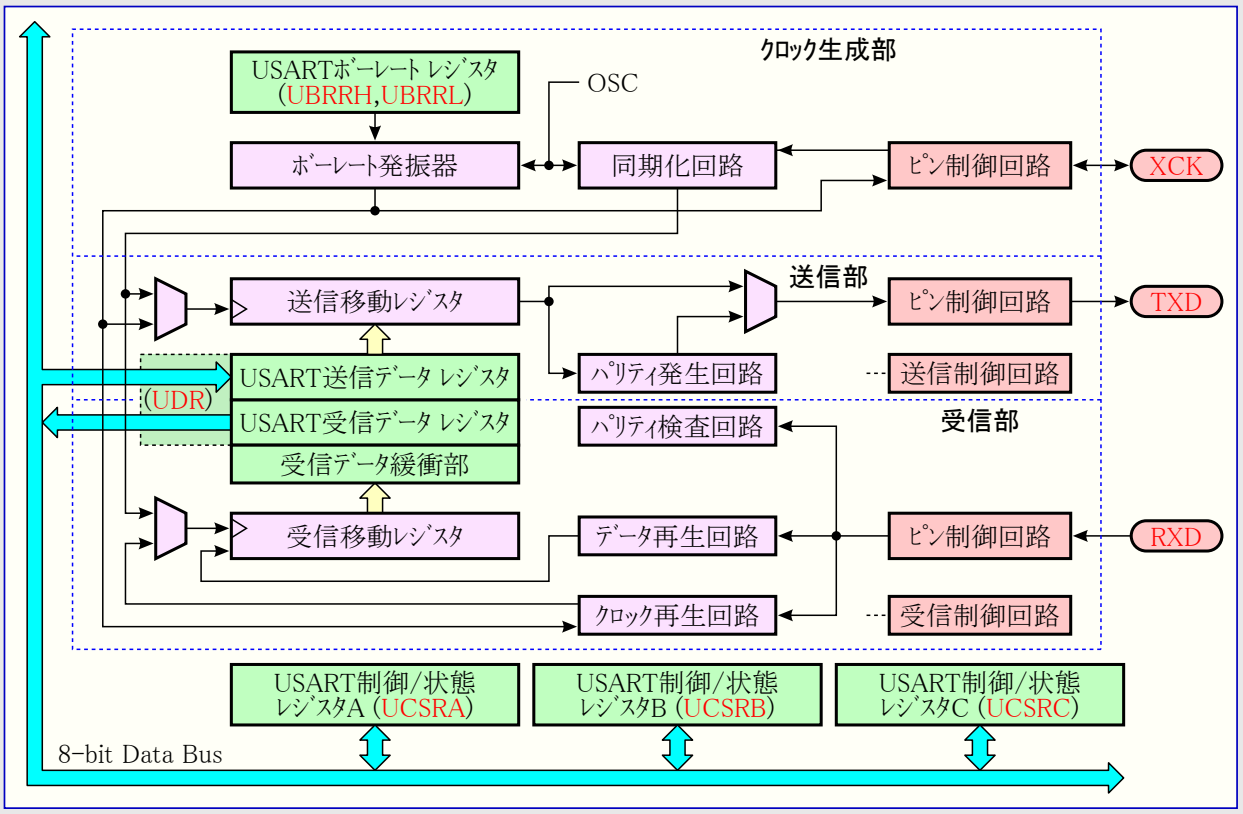
- 全二重動作 (独立した送受信ﾚｼﾞｽﾀ)
- 同期または非同期動作
- 同期ｸﾛｯｸ駆動された主装置/従装置動作
- 高分解能ﾎﾞｰﾚｰﾄ発振器
- 5, 6, 7, 8または9ﾋﾞｯﾄ ﾃﾞｰﾀと1または2停止ﾋﾞｯﾄの直列ﾌﾚｰﾑの支援
- ﾊｰﾄﾞｳｪｱによって支援された奇数または偶数ﾊﾟﾘﾃｨの生成と検査
- ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ検出
- ﾌﾚｰﾐﾝｸﾞ異常検出
- 不正開始ﾋﾞｯﾄ検出とﾃﾞｼﾞﾀﾙ低域通過濾波器を含む雑音濾波器
- 受信完了、送信完了、送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きの3つの分離した割り込み
- 複数ﾌﾟﾛｾｯｻ通信機能
- 倍速非同期通信動作

23頁の「電力削減ﾚｼﾞｽﾀ(PRR)」でのPRUSART0ﾋﾞｯﾄはUSART部を許可するために0を書かれなければなりません。

概要

USARTの簡単化した構成図は図69.で示されます。CPUがｱｸｾｽ可能なﾚｼﾞｽﾀとI/Oﾋﾟﾝは赤文字(訳注:原文は太字)で示されます。

図69. USART構成図



注: USARTﾋﾟﾝ配置については2頁の「ﾋﾟﾝ配置」、44頁の表32.を参照してください。

構成図内の破線はUSARTの3つの主要部分、(上から)ｸﾛｯｸ生成部、送信部、受信部を分けます。制御ﾚｼﾞｽﾀは全部によって共用されます。ｸﾛｯｸ生成論理部はﾎﾞｰﾚｰﾄ発振器と同期従装置動作によって使われる外部ｸﾛｯｸ入力に対する同期化論理回路から成ります。転送ｸﾛｯｸ(XCK)ﾋﾟﾝは同期転送動作だけで使われます。送信部は単一書き込み緩衝部(UDR)、直列移動ﾚｼﾞｽﾀ、ﾊﾟﾘﾃｨ発生器、異なる直列ﾌﾚｰﾑ形式を扱うための制御論理回路から成ります。書き込み緩衝部はどんなﾌﾚｰﾑ間の遅れもなくﾃﾞｰﾀの継続転送を許します。受信部はｸﾛｯｸとﾃﾞｰﾀの再生部のため、USART部の最も複雑な部分です。再生部は非同期ﾃﾞｰﾀ受信で使われます。再生部に加えて、受信部は2重の受信緩衝部(UDR)、移動ﾚｼﾞｽﾀ、ﾊﾟﾘﾃｨ検査器、制御論理回路を含みます。受信部は送信部と同じﾌﾚｰﾑ形式を支援し、ﾌﾚｰﾐﾝｸﾞ異常、ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生、ﾊﾟﾘﾃｨ誤りを検知できます。

UARTとの互換性

USARTはAVRのUARTと次の項目に関して完全な互換性があります。

- 全てのUSART側ﾚｼﾞｽﾀでのﾋﾞｯﾄ位置
- ﾎﾞｰﾚｰﾄ生成
- 送信操作
- 送信緩衝の動作
- 受信操作

けれども受信緩衝動作にはいくつかの特別な場合で互換性に影響を及ぼす2つの改良点があります。

- 第2受信緩衝部が追加されました。2つの緩衝ﾚｼﾞｽﾀは循環型FIFO緩衝部として動作します。従ってUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)は到着ﾃﾞｰﾀ毎に一度だけ読まれなければなりません。より重要なのは異常ﾌﾗｸﾞ(FEとDOR)と第9ﾃﾞｰﾀ ﾋﾞｯﾄ(RXB8)が受信緩衝部内のﾃﾞｰﾀと共に緩衝されることの事実です。従って状態ﾋﾞｯﾄは常にUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)が読まれる前に読まれなければなりません。さもなければ緩衝部の状態が失われるため、異常情報も失われます。
- 受信部移動ﾚｼﾞｽﾀは第3緩衝段のように動けます。これは緩衝ﾚｼﾞｽﾀが一杯の場合、新規開始ﾋﾞｯﾄが検出されるまで直列移動ﾚｼﾞｽﾀ(図69.参照)内に留まるのを受信したﾃﾞｰﾀに許すことによって行われます。従ってUSARTはﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ(DOR)異常条件により耐えます。

次の制御ﾋﾞｯﾄは名称変更されましたが、機能とﾚｼﾞｽﾀ(ﾋﾞｯﾄ)位置は同じです。

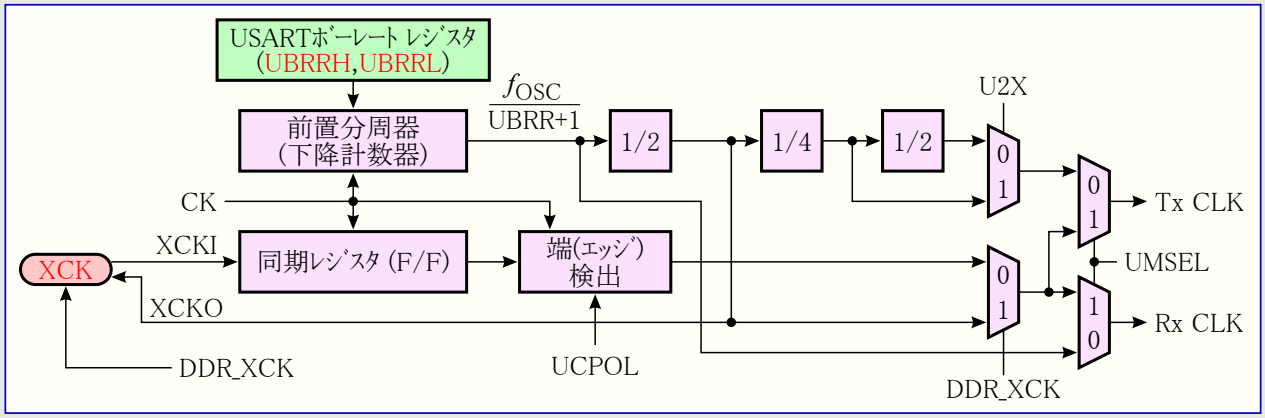
- 9ﾋﾞｯﾄ選択(CHR9)ﾋﾞｯﾄはﾃﾞｰﾀ長選択ﾋﾞｯﾄ2(UCSZ2)へ変更
- ｵｰﾊﾞｰﾗﾝ発生(OR)ﾌﾗｸﾞはｵｰﾊﾞｰﾗﾝ発生(DOR)ﾌﾗｸﾞへ変更
- ﾊﾟﾘﾃｨ誤り(PE)ﾌﾗｸﾞはﾊﾟﾘﾃｨ誤り(UPE)ﾌﾗｸﾞへ変更 (訳注:原書で欠落のため追加)

クロック生成

クロック生成論理回路は送受信部用基準クロックを生成します。USARTは標準非同期、倍速非同期、同期主装置、同期従装置の4つのクロック動作種別を支援します。USART制御/状態レジスタC(UCSRC)のUSART動作種別選択(UMSEL)ビットは同期動作と非同期動作のどちらかを選びます。倍速動作(非同期動作のみ)はUSART制御/状態レジスタA(UCSRA)にある倍速許可(U2X)ビットによって制御されます。同期動作(UMSEL=1)を使うとき、XCKピンに対する方向制御ビット(DDR_XCK)はクロック元が内部(主装置動作)または外部 (従装置動作)のどちらかを制御します。このXCKピンは同期動作を使う時だけ活性(有効)です。

図70.はクロック生成論理回路の構成図を示します。

図70. クロック生成部構成図



信号説明

Tx CLK	: 送信クロック (内部信号)
Rx CLK	: 受信クロック (内部信号)
XCKI	: XCKピンからの内部入力信号 (同期従装置時)
XCKO	: XCKピンへの内部出力信号 (同期主装置時)
DDR_XCK	: 対応するポート方向レジスタの方向ビット
f_{OSC}	: システム クロック周波数

ボーレート発振器での内部クロック発生

内部クロック生成は非同期と同期主装置動作種別に対して使われます。本項の記述は図70.を参照してください。

USARTボーレート レジスタ(UBRR(UBRRH:UBRRL))と下降計数器は設定変更可能な前置分周器またはボーレート発振器として機能するように接続されます。システム クロック(f_{OSC})で走行する下降計数器は0への下降計数時毎またはUBRRLレジスタが書かれる時にUBRR値で設定されます。1クロック(パルス)はカウンタが0に達する毎に生成されます。このクロックがボーレート発振器出力(=f_{OSC}/(UBRR+1))です。送信部は動作種別に依存してボーレート発振器出力を2,8,16分周します。ボーレート発振器出力は受信部クロックとデータ再生部によって直接使われます。しかし、再生部はUSART動作種別選択(UMSEL)、倍速許可(U2X)、DDR_XCKビットの状態によって設定される動作種別に依存して2,8,16段を使う順次処理回路を使います。

表64.は内部的に生成したクロック元を使う各動作種別に於けるボーレート(bps)とUBRR値の計算式を含みます。

表64. ボーレート レジスタ(UBRR)値計算式

動作種別	ボーレート計算式	UBRR値計算式
標準速非同期動作 (U2X=0)	$BAUD = \frac{f_{OSC}}{16 \times (UBRR+1)}$	$UBRR = \frac{f_{OSC}}{16 \times BAUD} - 1$
倍速非同期動作 (U2X=1)	$BAUD = \frac{f_{OSC}}{8 \times (UBRR+1)}$	$UBRR = \frac{f_{OSC}}{8 \times BAUD} - 1$
同期主装置動作	$BAUD = \frac{f_{OSC}}{2 \times (UBRR+1)}$	$UBRR = \frac{f_{OSC}}{2 \times BAUD} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BAUD : ボーレート (bps)
UBRR : UBRRHとUBRRLレジスタ値 (0～4095)
f_{OSC} : システム発振器クロック周波数

いくつかのシステム クロック周波数に対するいくつかのUBRR値の例は表72.で得られます(118～119頁参照)。

倍速動作 (U2X)

転送速度はUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)で倍速許可(U2X)ﾋﾞｯﾄを設定(1)することによって倍にできます。このﾋﾞｯﾄの設定は非同期動作に対してだけ有効です。同期動作を使うとき、このﾋﾞｯﾄは0に設定してください。

このﾋﾞｯﾄの設定(1)は事実上、非同期通信に対する転送速度を倍にするﾎﾞｰﾚｰﾄ分周器の分周数を16から8に減じます。けれども受信部がﾃﾞｰﾀ採取とｸﾛｯｸ再生に対して半分の(16から8に減じた)採取数をこの場合だけ使い、従ってこの動作種別が使われる時はｼｽﾃﾑ ｸﾛｯｸとﾎﾞｰﾚｰﾄ設定の精度がより必要とされることに注意してください。送信部についての低下要因はありません。

外部ｸﾛｯｸ

外部ｸﾛｯｸは同期従装置動作種別によって使われます。本項の記述での詳細については図70.を参照してください。

XCKﾋﾟﾝからの外部ｸﾛｯｸ入力は不確定ﾚﾍﾞﾙ状態(ﾒﾀｽﾃｰﾌﾞﾙ)の機会を最少とするために同期化ﾚｼﾞｽﾀによって採取されます。同期化ﾚｼﾞｽﾀからの出力は送受信部で使い得るのに先立って端(ｴｯｼﾞ)検出器を通過しなければなりません。この処理手順が2 CPUｸﾛｯｸ周期の遅延を持ち込み、このため最大外部XCKｸﾛｯｸ周波数は次式によって制限されます。

$$f_{XCK} < \frac{f_{OSC}}{4}$$

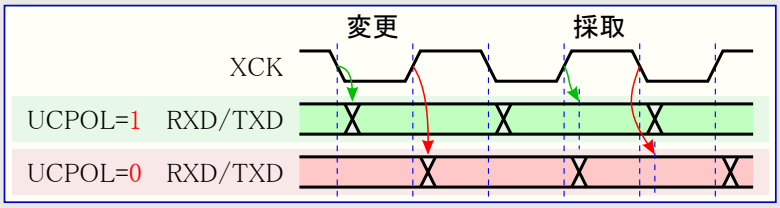
f_{OSC}がｼｽﾃﾑ ｸﾛｯｸ元の安定度に依存することに注意してください。従って周波数変動によるﾃﾞｰﾀ消失の可能性を避けるため、いくらかの余裕分を追加することが推奨されます。

同期ｸﾛｯｸ動作

同期動作が使われる(UMSEL=1)とき、XCKﾋﾟﾝはｸﾛｯｸ入力(従装置)またはｸﾛｯｸ出力(主装置)のどちらかとして使われます。ﾃﾞｰﾀ採取またはﾃﾞｰﾀ変更とｸﾛｯｸ端間の依存性は同じです。基本原則はﾃﾞｰﾀ出力(TXD)が変更される端と反対のXCKｸﾛｯｸ端でﾃﾞｰﾀ入力(RXD)が採取されることです。

USART制御/状態ﾚｼﾞｽﾀC(UCSRC)のXCK極性(UCPOL)ﾋﾞｯﾄはﾃﾞｰﾀ採取とﾃﾞｰﾀ変更に対してどちらのｸﾛｯｸ端が使われるかを選びます。図71.で示されるようにUCPOLが0のとき、ﾃﾞｰﾀはXCKの上昇端で変更され、下降端で採取されます。UCPOLが設定(1)の場合、ﾃﾞｰﾀはXCKの下降端で変更され、上昇端で採取されます。

図71. 同期動作XCKﾀｲﾐﾝｸﾞ



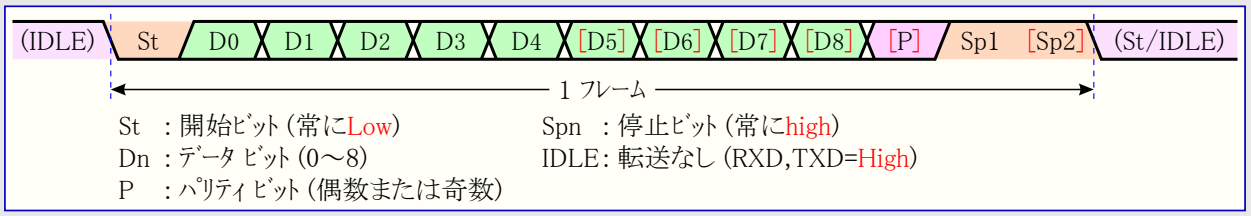
ﾌﾚｰﾑ形式

1つの直列ﾌﾚｰﾑは複数のﾃﾞｰﾀ ﾋﾞｯﾄと同期ﾋﾞｯﾄ(開始ﾋﾞｯﾄ、停止ﾋﾞｯﾄ)、任意の異常検査用ﾊﾟﾘﾃｨ ﾋﾞｯﾄで定義されます。USARTは有効なﾌﾚｰﾑ形式として以下の組み合わせ30種全てを受け入れます。

- 1 開始ﾋﾞｯﾄ
- 5, 6, 7, 8, 9 ﾋﾞｯﾄ ﾃﾞｰﾀ
- 奇数または偶数ﾊﾟﾘﾃｨ ﾋﾞｯﾄ、またはなし
- 1 または 2 停止ﾋﾞｯﾄ

ﾌﾚｰﾑは最下位ﾃﾞｰﾀ ﾋﾞｯﾄ(LSB)が次に続く開始ﾋﾞｯﾄで始まります。その後に次ﾃﾞｰﾀ ﾋﾞｯﾄが最後の最上位ﾃﾞｰﾀ ﾋﾞｯﾄ(MSB)まで(最大)合計9ﾋﾞｯﾄ続きます。許可したなら、ﾊﾟﾘﾃｨ ﾋﾞｯﾄがﾃﾞｰﾀ ﾋﾞｯﾄの後、停止ﾋﾞｯﾄの前に挿入されます。完全なﾌﾚｰﾑが送信されると、新規ﾌﾚｰﾑによって直ちに後続されるか、または通信線をｱｲﾄﾞﾙ状態(high)に設定できます。図72.は組み合わせ可能なﾌﾚｰﾑ形式を図解します。[ ]付きﾋﾞｯﾄは任意選択です。

図72. 1ﾌﾚｰﾑの構成



USARTによって使われるﾌﾚｰﾑ形式はUSART制御/状態ﾚｼﾞｽﾀBとC(UCSRB, UCSRC)でﾃﾞｰﾀ長選択(UCSZ2～0)ﾋﾞｯﾄ、ﾊﾟﾘﾃｨ選択(UPM1,0)ﾋﾞｯﾄ、停止ﾋﾞｯﾄ選択(USBS)ﾋﾞｯﾄによって設定されます。受信部と送信部は同じ設定を使います。これらのどのﾋﾞｯﾄの設定変更も、送受信部両方に対して進行中の通信を不正とすることに注意してください。

ﾃﾞｰﾀ長選択(UCSZ2～0)ﾋﾞｯﾄはﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄ数を選びます。ﾊﾟﾘﾃｨ選択(UPM1,0)ﾋﾞｯﾄはﾊﾟﾘﾃｨ ﾋﾞｯﾄの許可と種別(奇/偶)を設定します。1または2停止ﾋﾞｯﾄのどちらかの選択は停止ﾋﾞｯﾄ選択(USBS)ﾋﾞｯﾄによって行います。受信部は第2停止ﾋﾞｯﾄを無視します。従ってﾌﾚｰﾐﾝｸﾞ異常(FE)は最初の停止ﾋﾞｯﾄが0(Low)の場合にだけ検出されます。

ﾊﾟﾘﾃｨ ﾋﾞｯﾄの計算

ﾊﾟﾘﾃｨ ﾋﾞｯﾄは全ﾃﾞｰﾀ ﾋﾞｯﾄの排他的論理和(Ex-OR)を行うことによって計算されます。奇数ﾊﾟﾘﾃｨが使われる場合は排他的論理和の結果が反転されます。ﾊﾟﾘﾃｨ ﾋﾞｯﾄとﾃﾞｰﾀ ﾋﾞｯﾄの関係は次のとおりです。

偶数ﾊﾟﾘﾃｨ ﾋﾞｯﾄ = D0 Ex-OR D1 Ex-OR D2 Ex-OR ～ Ex-OR Dn-1
奇数ﾊﾟﾘﾃｨ ﾋﾞｯﾄ = D0 Ex-OR D1 Ex-OR D2 Ex-OR ～ Ex-OR Dn-1 Ex-OR 1 n：ﾃﾞｰﾀ ﾋﾞｯﾄ長

使った場合、ﾊﾟﾘﾃｨ ﾋﾞｯﾄは直列ﾌﾚｰﾑの最後のﾃﾞｰﾀ ﾋﾞｯﾄと最初の停止ﾋﾞｯﾄ間に配置されます。

USARTの初期化

何れかの通信が行えるのに先立ってUSARTは初期化されなければなりません。標準的な初期化手順は使用方法に依存するﾎﾞｰﾚｰﾄ設定、ﾌﾚｰﾑ形式設定、送受信部許可から成ります。割り込み駆動USART操作に関して初期化を行うとき、ｽﾃｰﾀｽ ﾚｼﾞｽﾀの全割り込み許可(I)ﾋﾞｯﾄは解除(0)される(そして全割り込みが禁止される)べきです。

ﾎﾞｰﾚｰﾄまたはﾌﾚｰﾑ形式の変更を伴う再初期化を行う前には、ﾚｼﾞｽﾀが変更される期間中に進行中の送信がないことを確実にしてください。USART制御/状態ﾚｼﾞｽﾀA(UCSRA)の送信完了(TXC)ﾌﾗｸﾞは送信部の全転送完了検査に使え、受信完了(RXC)ﾌﾗｸﾞは受信緩衝部内の未読ﾃﾞｰﾀ有無検査に使えます。この目的(次送信ﾀｲﾐﾝｸﾞ)にTXCﾌﾗｸﾞが使われる場合、各々の送信(USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)が書かれる)前にTXCﾌﾗｸﾞが解除(0)されなければならないことに注意してください。

次の簡単なUSART初期化ｺｰﾄﾞ例が示すｱｾﾝﾌﾞﾘ言語とC言語の関数は機能的に同じです。この例は固定ﾌﾚｰﾑ形式でﾎﾟｰﾘﾝｸﾞを使う(割り込み不許可)非同期動作と仮定します。ﾎﾞｰﾚｰﾄ(UBRR)値は関数の引数として与えられます。ｱｾﾝﾌﾞﾘ言語でのﾎﾞｰﾚｰﾄ引数はR17:R16ﾚｼﾞｽﾀに格納されると仮定されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Init:  OUT    UBRRH, R17                      ;ﾎﾞｰﾚｰﾄ設定(上位ﾊﾞｲﾄ)
             OUT    UBRRL, R16                      ;ﾎﾞｰﾚｰﾄ設定(下位ﾊﾞｲﾄ)
             LDI    R16, (1<<USBS)|(3<<UCSZ0)       ;ﾌﾚｰﾑ形式値を取得
             OUT    UCSRC, R16                      ;ﾌﾚｰﾑ形式設定(8ﾋﾞｯﾄ,2停止ﾋﾞｯﾄ)
             LDI    R16, (1<<RXEN)|(1<<TXEN)        ;送受信許可値を取得
             OUT    UCSRB, R16                      ;送受信許可
             RET                                    ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
#define FOSC 1843200                                /* MCUｸﾛｯｸ周波数 */
#define BAUD 9600                                   /* 目的USARTﾎﾞｰﾚｰﾄ速度 */
#define MYUBRR FOSC/16/BAUD-1                       /* 目的UBRR値 */

void main(void)
{
    ～
USART_Init(MYUBRR);                                 /* USART初期化 */
    ～
}

void USART_Init(unsigned int baud)
{
    UBRRH = (unsigned char)(baud>>8);               /* ﾎﾞｰﾚｰﾄ設定(上位ﾊﾞｲﾄ) */
    UBRRL = (unsigned char)baud;                    /* ﾎﾞｰﾚｰﾄ設定(下位ﾊﾞｲﾄ) */
    UCSRC = (1<<USBS)|(3<<UCSZ0):                   /* ﾌﾚｰﾑ形式設定(8ﾋﾞｯﾄ,2停止ﾋﾞｯﾄ) */
    UCSRB = (1<<RXEN)|(1<<TXEN);                    /* 送受信許可 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

割り込みの禁止や引数としてﾌﾚｰﾑ形式を含めるなどで、より進化した初期化ﾙｰﾁﾝが作成できます。けれども多くの応用はﾎﾞｰﾚｰﾄや制御ﾚｼﾞｽﾀの固定した設定が使われ、これらの応用形式での初期化ｺｰﾄﾞは主ﾙｰﾁﾝに直接置けるか、または他のI/Oの初期化ｺｰﾄﾞと併せられます。

USARTのﾃﾞｰﾀ送信

USART送信部はUSART制御/状態ﾚｼﾞｽﾀB(UCSRB)で送信許可(TXEN)ﾋﾞｯﾄを設定(1)することによって許可されます。送信部が許可されると、TXDﾋﾟﾝの標準ﾋﾟﾝ動作はUSARTによって無視され、送信部の直列出力としての機能を与えられます。何か送信を行う前に一度はﾎﾞｰﾚｰﾄ、ﾌﾚｰﾑ形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKﾋﾟﾝの(受信)ｸﾛｯｸは無視され、送信ｸﾛｯｸとして使われます。

5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ送信

ﾃﾞｰﾀ送信は送信されるべきﾃﾞｰﾀを送信緩衝部に設定することによって開始されます。CPUはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)I/O位置へ書くことによって送信緩衝部に設定できます。送信緩衝部内のﾃﾞｰﾀは移動ﾚｼﾞｽﾀが新規ﾌﾚｰﾑを送る準備が整った時に移動ﾚｼﾞｽﾀへ移されます。移動ﾚｼﾞｽﾀはｱｲﾄﾞﾙ状態(送信進行中以外)、または直前のﾌﾚｰﾑの最後の停止ﾋﾞｯﾄ送信後、直ちに新規ﾃﾞｰﾀが設定されます。移動ﾚｼﾞｽﾀが新規ﾃﾞｰﾀを設定されると、ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ(UBRRH:UBRRL)と倍速許可(U2X)ﾋﾞｯﾄ、また動作種別によってはXCKﾋﾟﾝによって与えられる速度で1つの完全なﾌﾚｰﾑを転送します。8ﾋﾞｯﾄ未満のﾌﾚｰﾑを使うとき、UDRに書かれた上位ﾋﾞｯﾄは無視されます。

次のｺｰﾄﾞ例はUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)の送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)ﾌﾗｸﾞのﾎﾟｰﾘﾝｸﾞを基準とした簡単なUSART送信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。ｱｾﾝﾌﾞﾘ言語での送るべきﾃﾞｰﾀはR16ﾚｼﾞｽﾀに格納されると仮定されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Tx:   SBIS    UCSRA,UDRE          ;送信緩衝部空きでｽｷｯﾌﾟ
            RJMP    USART_Tx            ;送信緩衝部空き待機
;
            OUT     UDR,R16             ;ﾃﾞｰﾀ送信(送信開始)
            RET                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void USART_Transmit(unsigned char data)
{
            while ( !(UCSRA & (1<<UDRE)) );     /* 送信緩衝部空き待機 */
            UDR = data;                         /* ﾃﾞｰﾀ送信(送信開始) */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

この関数は送信されるべき新規ﾃﾞｰﾀを設定する前に、UDREの検査によって送信緩衝部が空になるのを単純に待ちます。送信緩衝部空き割り込みが使われる場合、その割り込み処理ﾙｰﾁﾝがﾃﾞｰﾀを緩衝部内に書きます。

9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ送信

9ﾋﾞｯﾄ ﾃﾞｰﾀが使われる場合(UCSZ2～0=111)、ﾃﾞｰﾀの下位ﾊﾞｲﾄがUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)に書かれる前に、第9ﾋﾞｯﾄがUSART制御/状態ﾚｼﾞｽﾀB(UCSRB)の送信ﾃﾞｰﾀ ﾋﾞｯﾄ8(TXB8)ﾋﾞｯﾄに書かれなければなりません。次のｺｰﾄﾞ例は9ﾋﾞｯﾄ ﾃﾞｰﾀを扱う送信関数を示します。ｱｾﾝﾌﾞﾘ言語での送るべきﾃﾞｰﾀはR17:R16ﾚｼﾞｽﾀに格納されると仮定されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Tx:   SBIS    UCSRA,UDRE          ;送信緩衝部空きでｽｷｯﾌﾟ
            RJMP    USART_Tx            ;送信緩衝部空き待機
;
            CBI     UCSRB,TXB8          ;第9ﾋﾞｯﾄを0に仮設定
            SBRC    R17,0               ;送信すべき第9ﾋﾞｯﾄが0でｽｷｯﾌﾟ
            SBI     UCSRB,TXB8          ;第9ﾋﾞｯﾄを1に設定
            OUT     UDR,R16             ;ﾃﾞｰﾀ送信(送信開始)
            RET                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void USART_Transmit(unsigned int data)
{
            while ( !(UCSRA & (1<<UDRE)) );     /* 送信緩衝部空き待機 */
            UCSRB &= ~(1<<TXB8);                /* TXB8を0に仮設定 */
            if (data & 0x0100) UCSRB |= (1<<TXB8);  /* 第9ﾋﾞｯﾄをR17からTXB8へ複写 */
            UDR = data;                         /* ﾃﾞｰﾀ送信(送信開始) */
}
```

注: これらの送信関数は一般的な機能で書かれています。UCSRBの内容が静的(換言すると、UCSRBのTXB8ﾋﾞｯﾄが初期化後に使われるだけ)ならば最適化できます。
5頁の「ｺｰﾄﾞ例について」をご覧ください。

第9ﾋﾞｯﾄは複数ﾌﾟﾛｾｯｻ通信使用時のｱﾄﾞﾚｽ ﾌﾚｰﾑ識別、また例えば同期として扱う他の規約で使うことができます。

送信ﾌﾗｸﾞと割り込み

USART送信部には状態を示す2つのﾌﾗｸﾞ、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)と送信完了(TXC)があります。両ﾌﾗｸﾞは割り込みを発生するのに使えます。

USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)ﾌﾗｸﾞは送信緩衝部が新規ﾃﾞｰﾀを受け取る準備ができているかどうかを示します。このﾋﾞｯﾄは送信緩衝部が空の時に設定(1)され、送信緩衝部が移動ﾚｼﾞｽﾀに未だ移動されてしまっていない送信されるべきﾃﾞｰﾀを含む時に解除(0)されます。将来のﾃﾞﾊﾞｲｽとの共通性のため、USART制御/状態ﾚｼﾞｽﾀA(UCSRA)に書くとき、常にこのﾋﾞｯﾄに0を書いてください。

USART制御/状態ﾚｼﾞｽﾀB(UCSRB)でﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可(UDRIE)ﾋﾞｯﾄが1を書かれると、(全割り込みが許可されているならば)UDREﾌﾗｸﾞが設定(1)されている限り、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みが実行されます。UDREはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)書き込みによって解除(0)されます。割り込み駆動ﾃﾞｰﾀ送信が使われるとき、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みﾙｰﾁﾝはUDREを解除(0)するために新規ﾃﾞｰﾀをUDRに書くか、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みを禁止するかのどちらかを行わなければならず、さもなければ一旦割り込みﾙｰﾁﾝを終了しても新しい割り込みが(継続的に)起こります。

送信完了(TXC)ﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀ内の完全なﾌﾚｰﾑが移動出力されてしまい、送信緩衝部に新規ﾃﾞｰﾀが現在存在しない時に設定(1)されます。TXCﾌﾗｸﾞは送信完了割り込みが実行されるとき、自動的に解除(0)されるか、またはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)できます。TXCﾌﾗｸﾞは送信応用ﾌﾟﾛｸﾞﾗﾑが送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない(RS485規格のような)半二重(ﾊｰﾌﾃﾞｭｰﾌﾟﾚｯｸｽ)通信ｲﾝﾀｰﾌｪｰｽで有用です。

UCSRBで送信完了割り込み許可(TXCIE)ﾋﾞｯﾄが設定(1)され、(全割り込みが許可されていれば)TXCﾌﾗｸﾞが設定(1)になる時にUSART送信完了割り込みが実行されます。送信完了割り込みが使われるとき、割り込み処理ﾙｰﾁﾝはTXCﾌﾗｸﾞを解除(0)しなくてもよく、これは割り込みが実行されるとき、自動的に行われます。

ﾊﾟﾘﾃｨ発生器

ﾊﾟﾘﾃｨ発生器は直列ﾌﾚｰﾑ ﾃﾞｰﾀに対するﾊﾟﾘﾃｨ ﾋﾞｯﾄを計算します。ﾊﾟﾘﾃｨ ﾋﾞｯﾄが許可されると(UPM1=1)、送信部制御論理回路は送られているﾌﾚｰﾑの最終ﾃﾞｰﾀ ﾋﾞｯﾄと最初の停止ﾋﾞｯﾄ間にﾊﾟﾘﾃｨ ﾋﾞｯﾄを挿入します。

送信の禁止

送信部の禁止(UCSRBのUSART送信許可(TXEN)ﾋﾞｯﾄ=0)は進行中と保留中の送信が完了される(換言すると、送信移動ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信されるべきﾃﾞｰﾀを含まない時)まで有効になりません。禁止されると、送信部はもはやTXDﾋﾟﾝ(の標準ﾋﾟﾝ機能)を無効にしません。

USARTのﾃﾞｰﾀ受信

USART受信部はUSART制御/状態ﾚｼﾞｽﾀB(UCSRB)で受信許可(RXEN)ﾋﾞｯﾄに1を書くことによって許可されます。受信部が許可されると、RXDﾋﾟﾝの標準ﾋﾟﾝ動作はUSARTによって無視され、受信部の直列入力としての機能を与えられます。何か直列受信が行われ得る前に一度はﾎﾞｰﾚｰﾄ、ﾌﾚｰﾑ形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKﾋﾟﾝのｸﾛｯｸは転送ｸﾛｯｸとして使われます。

5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ受信

受信部は有効な開始ﾋﾞｯﾄを検出する時にﾃﾞｰﾀ受信を開始します。開始ﾋﾞｯﾄに続く各ﾋﾞｯﾄはﾎﾞｰﾚｰﾄまたはXCKｸﾛｯｸで採取され、ﾌﾚｰﾑの最初の停止ﾋﾞｯﾄが受信されるまで受信移動ﾚｼﾞｽﾀ内へ移動されます。第2停止ﾋﾞｯﾄは受信部によって無視されます。最初の停止ﾋﾞｯﾄが受信されると(換言すると、受信移動ﾚｼﾞｽﾀに完全なﾌﾚｰﾑが存在すると)、この移動ﾚｼﾞｽﾀの内容は受信緩衝部内へ移されます。受信緩衝部はUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)I/O位置を読むことによって読めます。8ﾋﾞｯﾄ未満のﾌﾚｰﾑを使うとき、UDRから読むﾃﾞｰﾀの上位ﾋﾞｯﾄは0で覆われます。

次のｺｰﾄﾞ例はUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)の受信完了(RXC)ﾌﾗｸﾞのﾎﾟｰﾘﾝｸﾞを基にした簡単なUSART受信関数を示します。この関数が指標され得る前にUSARTが初期化されなければなりません。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Rx:   SBIS    UCSRA, RXC          ;受信完了でｽｷｯﾌﾟ
            RJMP    USART_Rx            ;受信完了待機
;
            IN      R16, UDR            ;受信ﾃﾞｰﾀ取得
            RET                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char USART_Receive(void)
{
    while ( !(UCSRA & (1<<RXC)) );      /* 受信完了待機 */
    return UDR;                         /* 受信ﾃﾞｰﾀ取得 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

この関数は緩衝部を読んで値を戻す前に、RXCﾌﾗｸﾞの検査によって受信緩衝部にﾃﾞｰﾀが存在するのを単純に待ちます。

9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ受信

9ﾋﾞｯﾄ ﾃﾞｰﾀが使われる場合(UCSZ2～0=111)、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)から下位ﾊﾞｲﾄを読む前に、第9ﾋﾞｯﾄがUSART制御/状態ﾚｼﾞｽﾀB(UCSRB)の受信ﾃﾞｰﾀ ﾋﾞｯﾄ8(RXB8)ﾋﾞｯﾄから読まれなければなりません。この規則はﾌﾚｰﾐﾝｸﾞ異常(FE)、ｵｰﾊﾞｰﾗﾝ発生(DOR)、ﾊﾟﾘﾃｨ誤り(UPE)状態ﾌﾗｸﾞにも適用します。USART制御/状態ﾚｼﾞｽﾀA(UCSRA)から状態情報を読み、その後にUDRからﾃﾞｰﾀを読んでください。UDR I/O位置を読むことが受信FIFO緩衝部の状態を切り替え、その結果、FIFO内に保管されるRXB8,FE,DOR,UPEﾋﾞｯﾄ全てが切り替わります。

次のｺｰﾄﾞ例は9ﾋﾞｯﾄ ﾃﾞｰﾀと状態ﾋﾞｯﾄ両方を扱う簡単なUSART受信関数を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Rx:   SBIS    UCSRA,RXC                          ;受信完了でｽｷｯﾌﾟ
            RJMP    USART_Rx                           ;受信完了待機
;
            IN      R18,UCSRA                          ;状態ﾌﾗｸﾞ取得
            IN      R17,UCSRB                          ;受信第9ﾋﾞｯﾄ取得
            IN      R16,UDR                            ;受信ﾃﾞｰﾀ取得
            ANDI    R18,(1<<FE)|(1<<DOR)|(1<<UPE)      ;受信異常検査
            BREQ    USART_Rx_V                         ;異常なしで分岐
;
            LDI     R17,-1                             ;異常で-1値設定
            LDI     R16,-1                             ;
USART_Rx_V: LSR     R17                                ;RXB8ﾋﾞｯﾄをﾋﾞｯﾄ0位置へ移動
            ANDI    R17,$01                            ;RXB8ﾋﾞｯﾄのみ有効
            RET                                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int USART_Receive(void)
{
    unsigned char status, resh, resl;                  /* 一時変数定義 */
    while ( !(UCSRA & (1<<RXC)) );                     /* 受信完了待機 */
    status = UCSRA;                                    /* 状態ﾌﾗｸﾞ取得 */
    resh = UCSRB;                                      /* 受信第9ﾋﾞｯﾄ取得 */
    resl = UDR;                                        /* 受信ﾃﾞｰﾀ取得 */
    if ( status & ((1<<FE)|(1<<DOR)|(1<<UPE)) ) return -1;  /* 受信異常で-1値設定/復帰 */
    resh = (resh>>1) & 0x01;                           /* RXB8ﾋﾞｯﾄのみ有効最下位へ */
    return ((resh<<8) | resl);                         /* 結果9ﾋﾞｯﾄ ﾃﾞｰﾀ取得/復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

この受信関数例は何か評価を行う前に、全てのI/Oﾚｼﾞｽﾀをﾚｼﾞｽﾀ ﾌｧｲﾙに読みます。これは読まれた緩衝部位置が可能な限り早く新規ﾃﾞｰﾀを自由に受け入れできるため、最適な受信緩衝部利用になります。

受信完了ﾌﾗｸﾞと割り込み

USART受信部には受信部の状態を示す1つのﾌﾗｸﾞがあります。

USART受信完了(RXC)ﾌﾗｸﾞは未読ﾃﾞｰﾀが受信緩衝部に存在するかを示します。このﾌﾗｸﾞは受信緩衝部に未読ﾃﾞｰﾀが存在する時に1で、受信緩衝部が空の(換言すると、何も未読ﾃﾞｰﾀを含まない)時に0です。受信部が禁止される場合(RXEN=0)、受信緩衝部が破棄され、その結果としてRXCﾌﾗｸﾞは0になります。

USART制御/状態ﾚｼﾞｽﾀB(UCSRB)でUSART受信完了割り込み許可(RXCIE)ﾋﾞｯﾄが設定(1)されると、(全割り込みが許可されていれば)RXCﾌﾗｸﾞが設定(1)されている限り、USART受信完了割り込みが実行されます。割り込み駆動ﾃﾞｰﾀ受信が使われるとき、受信完了割り込みﾙｰﾁﾝはRXCﾌﾗｸﾞを解除(0)するためにUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)から受信したﾃﾞｰﾀを読まなければならず、さもなければ一旦割り込みﾙｰﾁﾝを終了しても新しい割り込みが(継続的に)起きます。

受信異常ﾌﾗｸﾞ

USART受信には3つの異常ﾌﾗｸﾞ、ﾌﾚｰﾐﾝｸﾞ異常(FE)、ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生(DOR)、ﾊﾟﾘﾃｨ誤り(UPE)があります。全てがUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)を読むことによってｱｸｾｽできます。異常ﾌﾗｸﾞに対する共通点は異常状態を示しているﾌﾚｰﾑと共に受信緩衝部に配置されることです。異常ﾌﾗｸﾞが緩衝されるため、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR) I/O位置を読むことが緩衝部読み出し位置を切り替えるので、UCSRAは受信緩衝部(UDR)の前に読まれなければなりません。異常ﾌﾗｸﾞに対するその他の共通点はｿﾌﾄｳｪｱがこのﾌﾗｸﾞ位置へ書き込みを行うことによって変更できないことです。しかし、将来のUSART(機能)実装の上位互換性のため、UCSRAが書かれるとき、全てのﾌﾗｸﾞは0に設定されなければなりません。異常ﾌﾗｸﾞはどれも割り込みを生成できません。

ﾌﾚｰﾐﾝｸﾞ異常(FE)ﾌﾗｸﾞは受信緩衝部に格納された、次に読み込み可能なﾌﾚｰﾑの第1停止ﾋﾞｯﾄの状態を示します。FEﾌﾗｸﾞは停止ﾋﾞｯﾄが正しく(Highとして)読まれた時に0で、停止ﾋﾞｯﾄが不正(Low)だった時にFEﾌﾗｸﾞは1です。このﾋﾞｯﾄは同期外れ状態の検出、中断状態検出、規約での操作に使えます。受信部が最初(第1)以外の全停止ﾋﾞｯﾄを無視するため、FEﾌﾗｸﾞはUSART制御/状態ﾚｼﾞｽﾀC(UCSRC)の停止ﾋﾞｯﾄ選択(USBS)ﾋﾞｯﾄ設定によって影響を及ぼされません。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生(DOR)ﾌﾗｸﾞは受信緩衝部が一杯状態のためのﾃﾞｰﾀ消失を示します。ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝは受信緩衝部(2ﾌﾚｰﾑ)が一杯で、(次の)新規ﾌﾚｰﾑ ﾃﾞｰﾀが受信移動 ﾚｼﾞｽﾀで待っており、(更に次の)新規開始ﾋﾞｯﾄが検出される時に起きます。DORﾌﾗｸﾞが設定(1)なら、最後にUDRから読んだﾌﾚｰﾑと次にUDRから読むﾌﾚｰﾑ間で1つ以上の直列ﾌﾚｰﾑが失われています。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRAに書くとき、常にこのﾋﾞｯﾄに0を書いてください。DORﾌﾗｸﾞは受信されたﾃﾞｰﾀが移動ﾚｼﾞｽﾀから受信緩衝部へ正常に移動された時に解除(0)されます。

ﾊﾟﾘﾃｨ誤り(UPE)ﾌﾗｸﾞは受信緩衝部内の次ﾌﾚｰﾑで、受信時にﾊﾟﾘﾃｨ異常があったことを示します。ﾊﾟﾘﾃｨ検査が許可されていない場合、UPEﾌﾗｸﾞは常に0が読めます。将来のﾃﾞﾊﾞｲｽとの共通性のため、UCSRAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。より多くの詳細については107頁の「**ﾊﾟﾘﾃｨ ﾋﾞｯﾄの計算**」と次の「**ﾊﾟﾘﾃｨ検査器**」をご覧ください。

ﾊﾟﾘﾃｨ検査器

ﾊﾟﾘﾃｨ検査器はﾊﾟﾘﾃｨ種別上位ﾋﾞｯﾄ(UPM1)が設定(1)されると活性(有効)になります。実行されるべきﾊﾟﾘﾃｨ検査の形式(偶数または奇数)はUPM0ﾋﾞｯﾄによって選ばれます。許可されると、ﾊﾟﾘﾃｨ検査器は到着ﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを計算し、その結果と(受信)直列ﾌﾚｰﾑ内のﾊﾟﾘﾃｨ ﾋﾞｯﾄを比較します。検査の結果は受信ﾃﾞｰﾀ、停止ﾋﾞｯﾄと共に受信緩衝部に格納されます。その後ﾊﾟﾘﾃｨ誤り(UPE)ﾌﾗｸﾞはﾌﾚｰﾑにﾊﾟﾘﾃｨ異常があるかを検査するため、ｿﾌﾄｳｪｱによって読むことができます。

UPEﾌﾗｸﾞは受信緩衝部から読まれ得る次ﾌﾚｰﾑで受信時にﾊﾟﾘﾃｨ 異常があり、その時点でﾊﾟﾘﾃｨ検査が許可されていた(UPM1=1)場合に設定(1)されます。このﾋﾞｯﾄはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)が読まれるまで有効です。

受信の禁止

送信部と対照的に受信部の禁止は即時です。従って受信進行中のﾃﾞｰﾀは失われます。禁止されると(換言すると、USART制御/状態ﾚｼﾞｽﾀB(UCSRB)のUSART受信許可(RXEN)ﾋﾞｯﾄが0に設定)、受信部はもはやRXDﾎﾟｰﾄ ﾋﾟﾝの標準機能を無効にしません。受信FIFO緩衝部は受信部が禁止されると破棄されます。緩衝部内の残ﾃﾞｰﾀは失われます。

受信緩衝部の破棄

受信FIFO緩衝部は受信が禁止されると破棄(換言すると、緩衝部は内容を空に)されます。未読ﾃﾞｰﾀは失われます。例えば異常状態のため、通常動作中に緩衝部が破棄されなければならない場合、USART制御/状態ﾚｼﾞｽﾀA(UCSRA)の受信完了(RXC)ﾌﾗｸﾞが解除(0)されるまでUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR) I/O位置を読んでください。次のｺｰﾄﾞ例は受信緩衝部の破棄方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
USART_Flush:  SBIS    UCSRA, RXC          ;未読ﾃﾞｰﾀありでｽｷｯﾌﾟ
              RET                         ;未読ﾃﾞｰﾀなしで復帰
;
              IN      R16, UDR            ;ﾃﾞｰﾀ受信
              RJMP    USART_Flush         ;未読ﾃﾞｰﾀなしまで継続
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void USART_Flush(void)
{
    unsigned char dummy;                  /* 一時変数定義 */
    while ( UCSRA & (1<<RXC) ) dummy=UDR; /* 未読ﾃﾞｰﾀ読み捨て */
}
```

注: 5頁の「**ｺｰﾄﾞ例について**」をご覧ください。

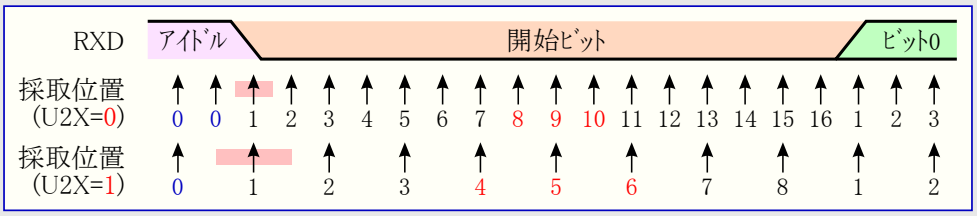
非同期受信

USARTは非同期ﾃﾞｰﾀ受信を扱うためのｸﾛｯｸ再生とﾃﾞｰﾀ再生部を含みます。ｸﾛｯｸ再生論理回路は内部的に生成したﾎﾞｰﾚｰﾄ ｸﾛｯｸをRXDﾋﾟﾝに到着する非同期直列ﾌﾚｰﾑに同期化するのに使われます。ﾃﾞｰﾀ再生論理回路は到着ﾋﾞｯﾄ毎に低域通過の濾波と採取をし、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は内部ﾎﾞｰﾚｰﾄ ｸﾛｯｸ精度、到着ﾌﾚｰﾑ速度、ﾌﾚｰﾑ長のﾋﾞｯﾄ数に依存します。

非同期ｸﾛｯｸ再生

ｸﾛｯｸ再生論理回路は内部ｸﾛｯｸを到着直列ﾌﾚｰﾑに同期化します。**図73.**は到着ﾌﾚｰﾑの開始ﾋﾞｯﾄ採取手順を図解します。採取速度は標準速動作でﾎﾞｰﾚｰﾄの16倍、倍速動作で8倍です。赤帯(**訳注**:原文は水平矢印)は採取処理のための同期変量を図示します。倍速動作(U2X=1)を使う時の広い変量時間に注意してください。採取番号0はRXD信号がｱｲﾄﾞﾙ(換言すると、通信の動きなし)の時に行われる採取です。

図73. 開始ﾋﾞｯﾄの採取

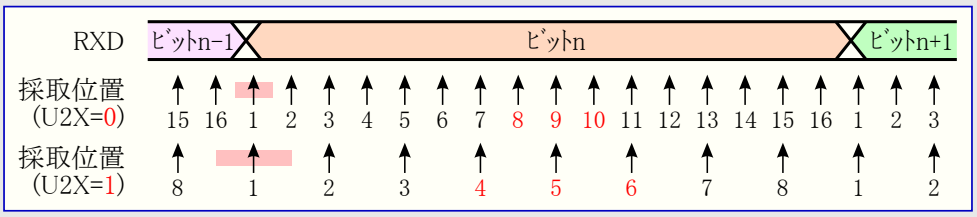


ｸﾛｯｸ再生論理回路がRXD信号線でHigh(ｱｲﾄﾞﾙ)からLow(開始)の遷移を検出すると、開始ﾋﾞｯﾄ検出手順が開始されます。図で示されるように採取1は最初のLow採取を意味します。その後にｸﾛｯｸ再生回路は有効な開始ﾋﾞｯﾄが受信されるかを決めるために、標準速動作に対して採取8,9,10、倍速動作に対して採取4,5,6(図の赤数字(**訳注**:原文は箱枠内)で示された採取番号)を使います。これら3回で2回以上の採取が論理Highﾚﾍﾞﾙの場合(多数決)、この開始ﾋﾞｯﾄは尖頭雑音として捨てられ、受信部は次のHighからLowの遷移を探し始めます。けれども有効な開始ﾋﾞｯﾄが検出されると、ｸﾛｯｸ再生論理回路は同期化され、ﾃﾞｰﾀ再生が開始されます。この同期化手順は各開始ﾋﾞｯﾄ毎に繰り返されます。

非同期ﾃﾞｰﾀ再生

受信部ｸﾛｯｸが開始ﾋﾞｯﾄに同期化されるとﾃﾞｰﾀ再生が始められます。ﾃﾞｰﾀ再生部は標準速動作で16段、倍速動作で8段の順列回路を使います。**図74.**はﾃﾞｰﾀ ﾋﾞｯﾄとﾊﾟﾘﾃｨ ﾋﾞｯﾄの採取を示します。各採取は再生部の各段に等しい番号を与えられます。

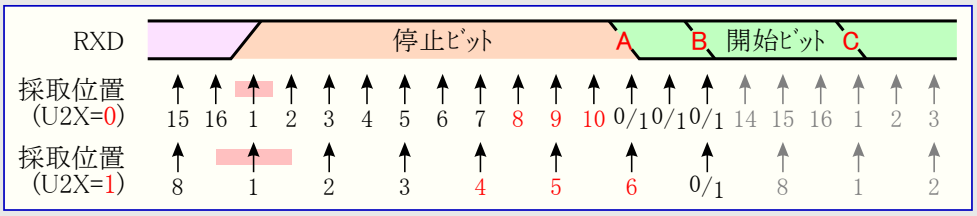
図74. ﾃﾞｰﾀ ﾋﾞｯﾄとﾊﾟﾘﾃｨ ﾋﾞｯﾄの採取



受信したﾋﾞｯﾄの論理値の決定は受信したﾋﾞｯﾄ中央の3採取で論理値の多数決を取ることによって行われます。この中央の3採取は図上の赤文字(**訳注**:原文は箱枠内)の採取番号によって強調されます。多数決の手順は次のように行われます。2または全3採取がHighﾚﾍﾞﾙならば受信したﾋﾞｯﾄは論理1が記録されます。2または全3採取がLowﾚﾍﾞﾙならば受信したﾋﾞｯﾄは論理0が記録されます。この多数決手順はRXDﾋﾟﾝの到着信号に対して低域通過濾波器(ﾛｰﾊﾟｽ ﾌｨﾙﾀ)のように働きます。この再生手順はその後に完全なﾌﾚｰﾑが受信されるまで繰り返されます。これには最初の(第1)停止ﾋﾞｯﾄを含みます。受信部がﾌﾚｰﾑの最初の停止ﾋﾞｯﾄだけを使うことに注意してください。

図75.は停止ﾋﾞｯﾄの採取と次ﾌﾚｰﾑの最も早い開始ﾋﾞｯﾄ開始の可能性を示します。

図75. 停止ﾋﾞｯﾄの採取と次の開始ﾋﾞｯﾄの採取



ﾌﾚｰﾑ内の他のﾋﾞｯﾄに対して行われるのと同じ多数決が停止ﾋﾞｯﾄにも行われます。停止ﾋﾞｯﾄが論理0値と記録されると、ﾌﾚｰﾐﾝｸﾞ異常(FE)ﾌﾗｸﾞが設定(1)されます。

新規ﾌﾚｰﾑの開始ﾋﾞｯﾄを示すHighからLowへの遷移は多数決に使った最後のﾋﾞｯﾄ後に実現できます。標準速動作での最初のLowﾚﾍﾞﾙ採取は**図75.**のA点で有り得ます。倍速動作での最初のLowﾚﾍﾞﾙはB点に遅れます。C点は完全な長さの停止ﾋﾞｯﾄ(の終点)を示します。この早い開始ﾋﾞｯﾄ検出は受信部の動作範囲に影響します。

非同期での動作範囲

受信部の動作範囲は受信したﾋﾞｯﾄ速度と内部的に生成したﾎﾞｰﾚｰﾄ間の不一致に依存します。送信部が速すぎるまたは遅すぎるﾋﾞｯﾄ速度でﾌﾚｰﾑを送出したり、内部的に発生した受信部のﾎﾞｰﾚｰﾄが類似した(**表65.**参照)基準周波数を持たない場合、受信部は開始ﾋﾞｯﾄでﾌﾚｰﾑを同期できません。

次式は到着ﾃﾞｰﾀ速度と内部受信部ﾎﾞｰﾚｰﾄ間の比率計算に使えます。

$$R_{slow} = \frac{(D+1)\times S}{S-1+D\times S+S_F} \qquad R_{fast} = \frac{(D+2)\times S}{(D+1)\times S+S_M}$$

D　：ﾃﾞｰﾀとﾊﾟﾘﾃｨのﾋﾞｯﾄ数 (5～10)
S　：ﾋﾞｯﾄあたりの採取数 (標準速=16、倍速=8)
S_F　：多数決に使う最初の採取番号 (標準速=8、倍速=4)
S_M　：多数決に使う中心の採取番号 (標準速=9、倍速=5)
R_{slow} ：は受信側ﾎﾞｰﾚｰﾄに対して許容できる最低受信ﾋﾞｯﾄ速度の比率です。
R_{fast} ：は受信側ﾎﾞｰﾚｰﾄに対して許容できる最高受信ﾋﾞｯﾄ速度の比率です。

表65.は許容できる最大受信部ﾎﾞｰﾚｰﾄ誤差一覧です。標準速動作には、より高いﾎﾞｰﾚｰﾄ変動許容力があることに注目してください。

表65. 標準速と倍速での受信部ﾎﾞｰﾚｰﾄ推奨最大許容誤差

D	標準速動作 (U2X=0)				倍速動作 (U2X=1)			
	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	−6.80～+6.67	±3.0	94.12	105.66	−5.88～+5.66	±2.5
6	94.12	105.79	−5.88～+5.79	±2.5	94.92	104.92	−5.08～+4.92	±2.0
7	94.81	105.11	−5.19～+5.11	±2.0	95.52	104.35	−4.48～+4.35	±1.5
8	95.36	104.58	−4.54～+4.58	±2.0	96.00	103.90	−4.00～+3.90	±1.5
9	95.81	104.14	−4.19～+4.14	±1.5	96.39	103.53	−3.61～+3.53	±1.5
10	96.17	103.78	−3.83～+3.78	±1.5	96.70	103.23	−3.30～+3.23	±1.0

注: Dはﾃﾞｰﾀ ﾋﾞｯﾄ数とﾊﾟﾘﾃｨ ﾋﾞｯﾄの合計ﾋﾞｯﾄ数です。
(**訳注**) 原書は**表65.**に標準速、**表66.**に倍速を記載していますが、比較が容易なように**表65.**として纏めました。

受信部ﾎﾞｰﾚｰﾄの推奨最大許容誤差は最大総合許容誤差を送信部と受信部で等分割するという仮定の元で作られました。

受信部ﾎﾞｰﾚｰﾄ誤差に対して2つの起こり得る原因があります。受信部のｼｽﾃﾑ ｸﾛｯｸ(XTAL)は供給電圧範囲と温度範囲に関して常に若干の不安定性があります。ｼｽﾃﾑ ｸﾛｯｸを生成するのにｸﾘｽﾀﾙ発振子を使う時は殆ど問題ありませんが、(ｾﾗﾐｯｸ)振動子でのｼｽﾃﾑ ｸﾛｯｸは振動子偏差に依存して2%を越えて異なるかもしれません。2つ目の誤り原因はより制御可能です。ﾎﾞｰﾚｰﾄ発振器は欲したﾎﾞｰﾚｰﾄを得るためにｼｽﾃﾑ周波数の正確な分周を常に行うことはできません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRR値が使えます。

複数ﾌﾟﾛｾｯｻ通信動作

USART制御/状態ﾚｼﾞｽﾀA(UCSRA)での複数ﾌﾟﾛｾｯｻ通信動作(MPCM)ﾋﾞｯﾄの設定(1)はUSART受信部によって受信された到着ﾌﾚｰﾑの選別機能を許可します。ｱﾄﾞﾚｽ情報を含まないﾌﾚｰﾑは無視され、受信緩衝部に格納されません。これは同一直列ﾊﾞｽ経由で通信する複数MCUのｼｽﾃﾑで、CPUによって扱われなければならない到着ﾌﾚｰﾑ数を効果的に減らします。送信部はMPCMﾋﾞｯﾄ設定によって影響されませんが、複数ﾌﾟﾛｾｯｻ通信動作を利用するｼｽﾃﾑの一部の時は違うふうに使われなければなりません。

受信部が5～8ﾃﾞｰﾀ ﾋﾞｯﾄを含むﾌﾚｰﾑを受信するように設定されるなら、最初の停止ﾋﾞｯﾄはﾃﾞｰﾀまたはｱﾄﾞﾚｽ情報を含むﾌﾚｰﾑかどうかを示します。受信部が9ﾃﾞｰﾀ ﾋﾞｯﾄのﾌﾚｰﾑに設定されるなら、USART制御/状態ﾚｼﾞｽﾀB(UCSRB)の受信第9(RXB8)ﾋﾞｯﾄがｱﾄﾞﾚｽとﾃﾞｰﾀのﾌﾚｰﾑを識別するのに使われます。ﾌﾚｰﾑ種別(最初の停止または第9)ﾋﾞｯﾄが1の時にﾌﾚｰﾑはｱﾄﾞﾚｽを含みます。ﾌﾚｰﾑ種別ﾋﾞｯﾄが0の時にそのﾌﾚｰﾑはﾃﾞｰﾀ ﾌﾚｰﾑです。

複数ﾌﾟﾛｾｯｻ通信動作は主MCUからのﾃﾞｰﾀを多くの従MCUで受信することを可能にします。これはどのMCUがｱﾄﾞﾚｽ指定されるかを検出するため、最初にｱﾄﾞﾚｽ ﾌﾚｰﾑを調べることによって行われます。特定の従MCUがｱﾄﾞﾚｽ指定されたなら、そのMCUは後続するﾃﾞｰﾀ ﾌﾚｰﾑを通常のように受信し、一方その他の従MCUは他のｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまで受信したﾌﾚｰﾑを無視します。

複数ﾌﾟﾛｾｯｻ通信の使用法

主MCUとして動作するMCUは9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式(UCSZ=7)を使えます。UCSRBの送信第9(TXB8)ﾋﾞｯﾄはｱﾄﾞﾚｽ ﾌﾚｰﾑ時に設定(1)、またはﾃﾞｰﾀ ﾌﾚｰﾑ時に解除(0)されて送信されなければなりません。この場合、従MCUは9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式の使用に設定されなければなりません。

複数ﾌﾟﾛｾｯｻ通信動作でﾃﾞｰﾀを交換するのに次の手順が使われるべきです。

1. 全ての従MCUは複数ﾌﾟﾛｾｯｻ通信動作です(UCSRAの複数ﾌﾟﾛｾｯｻ通信動作(MPCM)ﾋﾞｯﾄが設定(1))。
2. 主MCUはｱﾄﾞﾚｽ ﾌﾚｰﾑを送り、全ての従装置がこのﾌﾚｰﾑを受信し、これを読みます。従CPUでは通常のようにUCSRAで受信完了(RXC)ﾌﾗｸﾞが設定(1)されます。
3. 各従MCUはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(UDR)を読み、選ばれたかを判定します。選ばれた場合はUCSRAのMPCMﾋﾞｯﾄを解除(0)し、そうでなければ(非選択の場合は)MPCMﾋﾞｯﾄ設定を保ち、次のｱﾄﾞﾚｽ ﾌﾚｰﾑを待ちます。
4. ｱﾄﾞﾚｽ指定されたMCUは新規ｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまで全ﾃﾞｰﾀ ﾌﾚｰﾑを受信します。MPCMﾋﾞｯﾄが未だ設定(1)されている他の従CPUはこのﾃﾞｰﾀ ﾌﾚｰﾑを無視します。
5. 最後のﾃﾞｰﾀ ﾌﾚｰﾑがｱﾄﾞﾚｽ指定されたMCUによって受信されると、ｱﾄﾞﾚｽ指定されたMCUはMPCMﾋﾞｯﾄを設定(1)し、主装置からの新規ｱﾄﾞﾚｽ ﾌﾚｰﾑを待ちます。以降、手順は2.からを繰り返します。

5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式のどの使用も可能ですが、受信側が使うnとn+1ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ形式間を切り替えなければならないため非実用的です。これは送信部と受信部が同じﾃﾞｰﾀ ﾋﾞｯﾄ長設定を使うため、全二重(ﾌﾙﾃﾞｭｰﾌﾟﾚｯｸｽ)動作を困難にします。5～8ﾋﾞｯﾄﾃﾞｰﾀ ﾌﾚｰﾑが使われる場合、最初の停止ﾋﾞｯﾄがﾌﾚｰﾑ種別を示すのに使われるので、送信部は2停止ﾋﾞｯﾄ使用(USBS=1)に設定されなければなりません。

MPCMﾋﾞｯﾄを設定(1)または解除(0)するのに読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)命令(SBIとCBI)を使ってはいけません。MPCMﾋﾞｯﾄは送信完了(TXC)ﾌﾗｸﾞと同じI/O位置を共用しており、SBIまたはCBI命令を使うと偶然に解除(0)されるかもしれません。

(訳注) ATmega165ではUCSRnAのI/OｱﾄﾞﾚｽがSBI,CBI命令適用範囲外のため、上記記述は不適切です。
但し、命令の組み合わせによって同様処理を行う場合に対して、上記注意の本意は適切(有効)です。

USART用ﾚｼﾞｽﾀ

USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ (USART I/O Data Register) UDR

ﾋﾞｯﾄ ($C6)	7	6	5	4	3	2	1	0	
	R/TXB7	R/TXB6	R/TXB5	R/TXB4	R/TXB3	R/TXB2	R/TXB1	R/TXB0	UDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

同じI/Oｱﾄﾞﾚｽを共用するUSART受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀとUSART送信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀはUSARTﾃﾞｰﾀ ﾚｼﾞｽﾀまたはUDRとして引用しました。送信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀ(TXB)はUDRﾚｼﾞｽﾀ位置に書かれるﾃﾞｰﾀの転送先です。UDRﾚｼﾞｽﾀ位置読み込みは受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀ(RXB)の内容を返します。

5～7ﾋﾞｯﾄ ﾃﾞｰﾀでの上位未使用ﾋﾞｯﾄは送信部によって無視され、受信部によって0に設定されます。

送信緩衝部はUCSRAで送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)ﾌﾗｸﾞが設定(1)される時にだけ書けます。UDREﾌﾗｸﾞが設定(1)されない時にUDRへ書かれたﾃﾞｰﾀはUSART送信部によって無視されます。送信部が許可されて送信緩衝部にﾃﾞｰﾀが書かれると、送信部は送信移動ﾚｼﾞｽﾀが空きの時にそのﾃﾞｰﾀを送信移動ﾚｼﾞｽﾀへ設定(移動)します。その後にﾃﾞｰﾀはTXDﾋﾟﾝで直列送信されます。

受信緩衝部は2段のFIFOから成ります。このFIFOは受信緩衝部がｱｸｾｽされる毎にその状態を切り替えます。この受信緩衝部の動きのため、この位置に読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)命令(SBIとCBI)を使えません。ﾋﾞｯﾄ検査(SBICとSBIS)命令もFIFOの状態を換えるので、これらの命令を使う時は注意してください。

USART制御/状態ﾚｼﾞｽﾀA (USART Control and Status Register A) UCSRA

ﾋﾞｯﾄ ($C0)	7	6	5	4	3	2	1	0	
	RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM	UCSRA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – RXC : USART受信完了ﾌﾗｸﾞ** (USART Receive Complete)

このﾌﾗｸﾞは受信緩衝部に未読ﾃﾞｰﾀがある時に設定(1)され、受信緩衝部が空の(換言すると、どんな未読ﾃﾞｰﾀも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部が破棄され、その結果RXCﾌﾗｸﾞは0になります。RXCﾌﾗｸﾞは受信完了割り込みを発生するのに使えます(USART制御/状態ﾚｼﾞｽﾀB(UCSRB)の受信完了割り込み許可(RXCIE)ﾋﾞｯﾄをご覧ください)。

- **ﾋﾞｯﾄ6 – TXC : USART送信完了ﾌﾗｸﾞ** (USART Transmit Complete)

このﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀ内の完全なﾌﾚｰﾑが移動出力されてしまい、送信緩衝部(UDR)に新規ﾃﾞｰﾀが現状存在しない時に設定(1)されます。TXCﾌﾗｸﾞは送信完了割り込みが実行されるとき、自動的に解除(0)されるか、またはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)できます。TXCﾌﾗｸﾞは送信完了割り込みを発生できます(UCSRBの送信完了割り込み許可(TXCIE)ﾋﾞｯﾄをご覧ください)。

- **ﾋﾞｯﾄ5 – UDRE : USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空きﾌﾗｸﾞ** (USART Data Register Empty)

UDREﾌﾗｸﾞは送信緩衝部(UDR)が新規ﾃﾞｰﾀを受け取る準備ができているかどうかを示します。UDREが1ならば緩衝部は空で、従って書かれる準備ができています。UDREﾌﾗｸﾞは送信緩衝部空き割り込みを発生できます(UCSRBの送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可(UDRIE)ﾋﾞｯﾄをご覧ください)。 送信部が準備できているのを示すため、ﾘｾｯﾄ後のUDREは設定(1)です。

- **ﾋﾞｯﾄ4 – FE : ﾌﾚｰﾐﾝｸﾞ異常ﾌﾗｸﾞ** (Framing Error)

受信緩衝部の次ﾃﾞｰﾀが受信した時にﾌﾚｰﾐﾝｸﾞ異常(換言すると、受信緩衝部で次ﾃﾞｰﾀの最初の(第1)停止ﾋﾞｯﾄがLow)だった場合、このﾋﾞｯﾄが設定(1)されます。このﾌﾗｸﾞは受信緩衝部(UDR)が読まれるまで有効です。受信したﾃﾞｰﾀの停止ﾋﾞｯﾄがHighの時にFEﾌﾗｸﾞは0です。UCSRAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

- **ﾋﾞｯﾄ3 – DOR : ﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝ発生ﾌﾗｸﾞ** (Data OverRun)

このﾋﾞｯﾄはｵｰﾊﾞｰﾗﾝ状態が検出されると設定(1)されます。受信緩衝部(2ﾌﾚｰﾑ分)が一杯で、新規ﾌﾚｰﾑが受信移動ﾚｼﾞｽﾀ内で待機中に新規開始ﾋﾞｯﾄが検出されるとﾃﾞｰﾀ ｵｰﾊﾞｰﾗﾝが起こります。UCSRAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

- **ﾋﾞｯﾄ2 – UPE : ﾊﾟﾘﾃｨ誤りﾌﾗｸﾞ** (USART Parity Error)

受信緩衝部の次ﾃﾞｰﾀが受信した時にﾊﾟﾘﾃｨ異常があり、その時点でﾊﾟﾘﾃｨ検査が許可されていれば(UPM1=1)、このﾋﾞｯﾄが設定(1)されます。このﾌﾗｸﾞは受信緩衝部(UDR)が読まれるまで有効です。UCSRAに書くとき、常にこのﾋﾞｯﾄを0に設定してください。

- **ﾋﾞｯﾄ1 – U2X : 倍速許可** (Double the USART Transmission Speed)

このﾋﾞｯﾄは非同期動作でだけ有効です。同期動作を使うとき、このﾋﾞｯﾄに0を書いてください。

このﾋﾞｯﾄに1を書くことはﾎﾞｰﾚｰﾄ分周器の分周値を16から8に減らして事実上、非同期通信の転送速度を倍にします。

- **ﾋﾞｯﾄ0 – MPCM : 複数ﾌﾟﾛｾｯｻ通信動作** (Multi-Processor Communication Mode)

このﾋﾞｯﾄは複数ﾌﾟﾛｾｯｻ通信動作を許可します。MPCMﾋﾞｯﾄが1を書かれると、USART受信部で受信したｱﾄﾞﾚｽ情報を含まない全到着ﾌﾚｰﾑは無視されます。送信部はMPCM設定に影響されません。より多くの詳細情報については114頁の「**複数ﾌﾟﾛｾｯｻ通信動作**」をご覧ください。

USART制御/状態ﾚｼﾞｽﾀB (USART Control and Status Register B) UCSRB

ﾋﾞｯﾄ ($C1)	7	6	5	4	3	2	1	0	
	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	UCSRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – RXCIE : 受信完了割り込み許可** (Receive Complete Interrupt Enable)

このﾋﾞｯﾄに1を書くことはUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)の受信完了(RXC)ﾌﾗｸﾞでの割り込みを許可します。USART受信完了割り込みはRXCIEﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)で全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRAでRXCﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

• **ﾋﾞｯﾄ6 – TXCIE : 送信完了割り込み許可** (Transmit Complete Interrupt Enable)

このﾋﾞｯﾄに1を書くことはUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)の送信完了(TXC)ﾌﾗｸﾞでの割り込みを許可します。USART送信完了割り込みはTXCIEﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRAでTXCﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

• **ﾋﾞｯﾄ5 – UDRIE : 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込み許可** (Transmit Data Register Empty Interrupt Enable)

このﾋﾞｯﾄに1を書くことはUSART制御/状態ﾚｼﾞｽﾀA(UCSRA)の送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き(UDRE)ﾌﾗｸﾞでの割り込みを許可します。USART送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みはUDRIEﾋﾞｯﾄが1を書かれ、SREGで全割り込み許可(I)ﾋﾞｯﾄが1を書かれ、UCSRAでUDREﾌﾗｸﾞが設定(1)される場合にだけ生成されます。

• **ﾋﾞｯﾄ4 – RXEN : 受信許可** (Receiver Enable)

このﾋﾞｯﾄに1を書くことはUSART受信(部)を許可します。受信部は許可されるとRXDﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。受信(部)を禁止することは受信緩衝部を破棄し、ﾌﾚｰﾐﾝｸﾞ異常(FE)、ｵｰﾊﾞｰﾗﾝ(DOR)、ﾊﾟﾘﾃｨ誤り(UPE)のﾌﾗｸﾞを無効にします。

• **ﾋﾞｯﾄ3 – TXEN : 送信許可** (Transmitter Enable)

このﾋﾞｯﾄに1を書くことはUSART送信(部)を許可します。送信部は許可されるとTXDﾋﾟﾝの標準ﾎﾟｰﾄ動作を無効にします。送信(部)の禁止(TXEN=0書き込み)は進行中と保留中の送信が完了される(換言すると、送信移動ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信されるべきﾃﾞｰﾀを含まない)まで有効になりません。禁止したとき、送信部はもはやTXDﾎﾟｰﾄ(の標準I/O機能)を無効にしません。

• **ﾋﾞｯﾄ2 – UCSZ2 : ﾃﾞｰﾀ ﾋﾞｯﾄ長選択2** (Character Size)

USART制御/状態ﾚｼﾞｽﾀC(UCSRC)のUCSZ1,0ﾋﾞｯﾄと組み合わせたUCSZ2ﾋﾞｯﾄは送受信部で使うﾌﾚｰﾑのﾃﾞｰﾀ ﾋﾞｯﾄ数(Character size)を設定します。

• **ﾋﾞｯﾄ1 – RXB8 : 受信ﾃﾞｰﾀ ﾋﾞｯﾄ8** (Receive Data Bit 8)

RXB8は9ﾋﾞｯﾄ ﾃﾞｰﾀでの直列ﾌﾚｰﾑ操作時に受信したﾌﾚｰﾑの第9ﾃﾞｰﾀ ﾋﾞｯﾄ(ﾋﾞｯﾄ8)です。UDRから下位ﾋﾞｯﾄを読む前に読んでください。

• **ﾋﾞｯﾄ0 – TXB8 : 送信ﾃﾞｰﾀ ﾋﾞｯﾄ8** (Transmit Data Bit 8)

TXB8は9ﾋﾞｯﾄ ﾃﾞｰﾀでの直列ﾌﾚｰﾑ操作時に送信されるべきﾃﾞｰﾀの第9ﾃﾞｰﾀ ﾋﾞｯﾄ(ﾋﾞｯﾄ8)です。UDRへ下位ﾋﾞｯﾄを書く前に書いてください。

USART制御/状態ﾚｼﾞｽﾀC (USART Control and Status Register C) UCSRC

ﾋﾞｯﾄ ($C2)	7	6	5	4	3	2	1	0	
	–	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	UCSRC
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved) (訳注:共通性のため本項追加)

このﾋﾞｯﾄは将来使用するために予約されています。将来のﾃﾞﾊﾞｲｽとの共通性を保つため、UCSRCが書かれるとき、このﾋﾞｯﾄは0が書かれなければなりません。

• **ﾋﾞｯﾄ6 – UMSEL : USART動作選択** (USART Mode Select)

このﾋﾞｯﾄは非同期と同期の動作種別のどちらかを選びます。

表67. USART動作選択

UMSEL	動作種別
0	非同期動作
1	同期動作

• ﾋﾞｯﾄ5,4 – UPM1,0 : ﾊﾟﾘﾃｨ選択 (Parity Mode)

これらのﾋﾞｯﾄはﾊﾟﾘﾃｨの発生と検査の許可と種別を設定します。許可した場合、送信部は各ﾌﾚｰﾑ内での送信したﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを自動的に生成して送出します。受信部は到着ﾃﾞｰﾀからﾊﾟﾘﾃｨ値を生成し、UPM0設定と比較します。不一致が検出されると、USART制御/状態ﾚｼﾞｽﾀA(UCSRA)でﾊﾟﾘﾃｨ誤り(UPE)ﾌﾗｸﾞが設定(1)されます。

表68. ﾊﾟﾘﾃｨ選択

UPM1	UPM0	ﾊﾟﾘﾃｨ動作
0	0	禁止
0	1	(予約)
1	0	偶数ﾊﾟﾘﾃｨ許可
1	1	奇数ﾊﾟﾘﾃｨ許可

• ﾋﾞｯﾄ3 – USBS : 停止ﾋﾞｯﾄ選択 (Stop Bit Select)

このﾋﾞｯﾄは送信部によって挿入される停止ﾋﾞｯﾄ数を選びます。受信部はこの設定を無視します(訳補:常に第1停止ﾋﾞｯﾄだけが有効)。

表69. 停止ﾋﾞｯﾄ選択

USBS	停止ﾋﾞｯﾄ数
0	1ﾋﾞｯﾄ
1	2ﾋﾞｯﾄ

• ﾋﾞｯﾄ2,1 – UCSZ1,0 : ﾃﾞｰﾀ ﾋﾞｯﾄ長選択 (Character Size)

USART制御/状態ﾚｼﾞｽﾀB(UCSRB)のUCSZ2ﾋﾞｯﾄと組み合わせたUCSZ1,0ﾋﾞｯﾄは送受信部で使うﾌﾚｰﾑのﾃﾞｰﾀ ﾋﾞｯﾄ数(Character size)を設定します。

表70. ﾃﾞｰﾀ ﾋﾞｯﾄ長選択

UCSZ2～0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
ﾃﾞｰﾀ ﾋﾞｯﾄ数	5ﾋﾞｯﾄ	6ﾋﾞｯﾄ	7ﾋﾞｯﾄ	8ﾋﾞｯﾄ	(予約)	(予約)	(予約)	9ﾋﾞｯﾄ

• ﾋﾞｯﾄ0 – UCPOL : ｸﾛｯｸ極性選択 (Clock Polarity)

このﾋﾞｯﾄは同期動作に対してだけ使われます。非同期動作が使われるとき、このﾋﾞｯﾄに0を書いてください。UCPOLﾋﾞｯﾄは同期ｸﾛｯｸ(XCK)、ﾃﾞｰﾀ出力変更、ﾃﾞｰﾀ入力採取間の関係を設定します。

表71. XCKｸﾛｯｸ極性選択

UCPOL	送信ﾃﾞｰﾀ変更 (TXDﾋﾟﾝ出力)	受信ﾃﾞｰﾀ採取 (RXDﾋﾟﾝ入力)
0	XCKの上昇端	XCKの下降端
1	XCKの下降端	XCKの上昇端

USARTﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ (USART Baud Rate Register) UBRRH, UBRRL (UBRR)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($C5)	–	–	–	–	UBRR11	UBRR10	UBRR9	UBRR8	UBRRH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($C4)	UBRR7	UBRR6	UBRR5	UBRR4	UBRR3	UBRR2	UBRR1	UBRR0	UBRRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ15～12 – Res : 予約 (Reserved Bits)

これらのﾋﾞｯﾄは将来使用するために予約されています。将来のﾃﾞﾊﾞｲｽとの共通性のため、UBRRHが書かれるとき、これらのﾋﾞｯﾄは0が書かれなければなりません。

• ﾋﾞｯﾄ11～0 – UBRR11～0 : ﾎﾞｰﾚｰﾄ分周値 (USART Baud Rate Register)

これはUSARTのﾎﾞｰﾚｰﾄを含む12ﾋﾞｯﾄ ﾚｼﾞｽﾀです。UBRRHがUSARTﾎﾞｰﾚｰﾄの上位4ﾋﾞｯﾄを含み、UBRRLが下位8ﾋﾞｯﾄを含みます。ﾎﾞｰﾚｰﾄが変更されると、送受信部で進行中の転送は不正にされます。UBRRL書き込みはﾎﾞｰﾚｰﾄ前置分周器の更新を直ちに始めます。

ボーレート設定例

標準的なクリスタル発振子やセラミック振動子の周波数に対して最も一般的に使われる非同期動作のボーレートは表72.のUBRR設定を使うことによって生成できます。目的のボーレートに対して設定誤差1.5%(標準速:U2X=0)、1.0%(倍速:U2X=1)以上を赤字で示します(訳注:原書の本文は0.5%未満を太字)。より高い誤差率でも受け入れ可能ですが、特に長い直列フレーム(113頁の「非同期での動作範囲」参照)で誤差率が高いと、受信部は雑音耐性が低下します。誤差率は次式を使って計算されます。

$$\text{誤差率}(\%) = \left(\frac{\text{UBRR設定ボーレート(最近似値)}}{\text{目的のボーレート}} - 1 \right) \times 100(\%)$$

表72. Xtal、ボーレート対UBRRH,UBRRL設定 (UBRR=UBRRH:UBRRL)

ボーレート (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ボーレート (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注: 最高速はUBRR=0、誤差=0.0%です。 以降の周波数は次頁へ続く。

(訳注) 原書では頁割された表毎に表番号72.～75.となっていますが、共通性から纏めて表72.としました。
原書に対して数種の発振周波数を追加しました。

表72 (続き). Xtal、ボーレート対UBRRH,UBRRL設定 (UBRR=UBRRH:UBRRL)

ボーレート (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ボーレート (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

ボーレート (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注: 最高速はUBRR=0、誤差=0.0%です。

多用途直列インターフェース (USI: Universal Serial Interface)

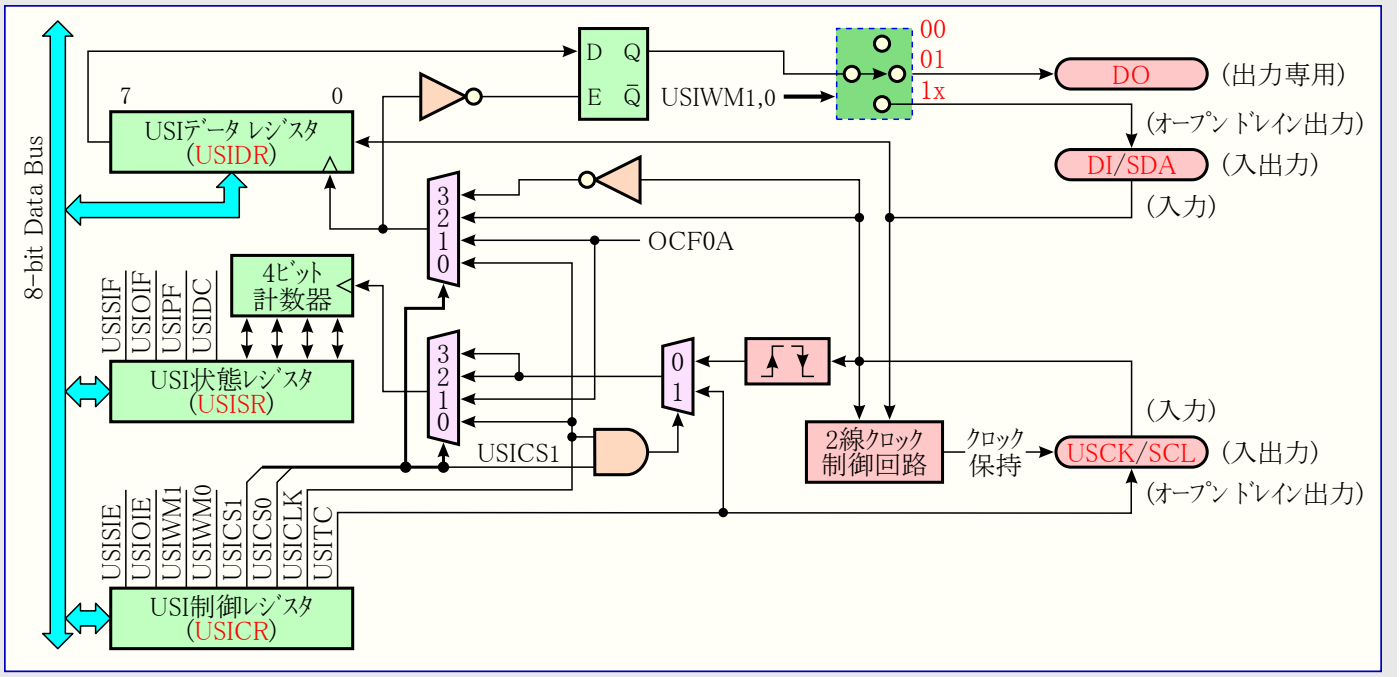
多用途直列インターフェース(USI)は直列通信で必要とされる基本的なハードウェア資源(機能)を提供します。最低限の制御ソフトウェアとの組み合わせで、USIはソフトウェアのみを元とした方法よりも少ないコード量と重要な高い転送レートを許します。プロセッサ負荷を最小とするために割り込みが含まれます。USIの主な特徴は次のとおりです。

- 2線同期データ転送 (主装置または従装置)
- 3線同期データ転送 (主装置または従装置)
- データ受信割り込み
- アイドル動作からの起動復帰
- 2線動作でのパワーダウン動作を含む全休止形態からの起動復帰
- 割り込み能力を持つ2線動作開始条件検出器

概要

USIの簡単化した構成図は図76.で示されます。実際のI/Oピンの配置は2頁の「ピン配置」を参照してください。I/OビットとI/Oピンを含みCPUがアクセス可能なI/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は125頁の「USI用レジスタ」で一覧されます。

図76. 多用途直列インターフェース構成図



8ビットの移動レジスタ(USIDR)はデータ バス経由で直接的にアクセス可能で、入って来るデータと出て行くデータを含みます。このレジスタは緩衝部を持たないので、データが失われないことを保証するためにデータは可能な限り早く読まなければなりません。最上位ビットは動作種別設定に依存して2つの出力ピンの1つに接続されます。トランスペアレント(透過型)ラッチは直列(移動)レジスタ出力と出力ピン間に挿入され、データの変更をデータ入力採取と逆のクロック端に遅らせます。直列入力は(種別)設定に拘らず、常にデータ入力(DI)ピンから採取されます。

4ビット計数器はデータ バス経由で読み書き両方ができ、溢れ割り込みを生成できます。この計数器と直列(移動)レジスタは同じクロック元によって同時にクロック駆動されます。これは受信または送信したビット数を数え、転送完了時に割り込みの生成を計数器に許します。外部クロック元が選ばれると、この計数器が両クロック端で計数することに注意してください。この場合、計数器はビット数ではなく、端(エッジ)数を数えます。クロックは3つの異なるクロック元(USCKピン、タイマ/カウンタ0の比較一致、ソフトウェア)から選べます。

2線クロック制御部(回路)は2線バスで開始条件が検出される時に割り込みを発生できます。開始条件検出後、または計数器溢れ後、クロック ピンをLowに保持することによって待ち状態を生成することもできます。

機能説明

3線動作

USIの3線動作は直列周辺インターフェース(SPI)の動作種別0と1に準拠していますが、従装置選択(SS)ピン機能を持ちません。けれども、この特性(機能)は必要ならばソフトウェアで実現できます。この動作で使われるピン名はDI,DO,USCKです。

図77. 3線動作簡略構成図

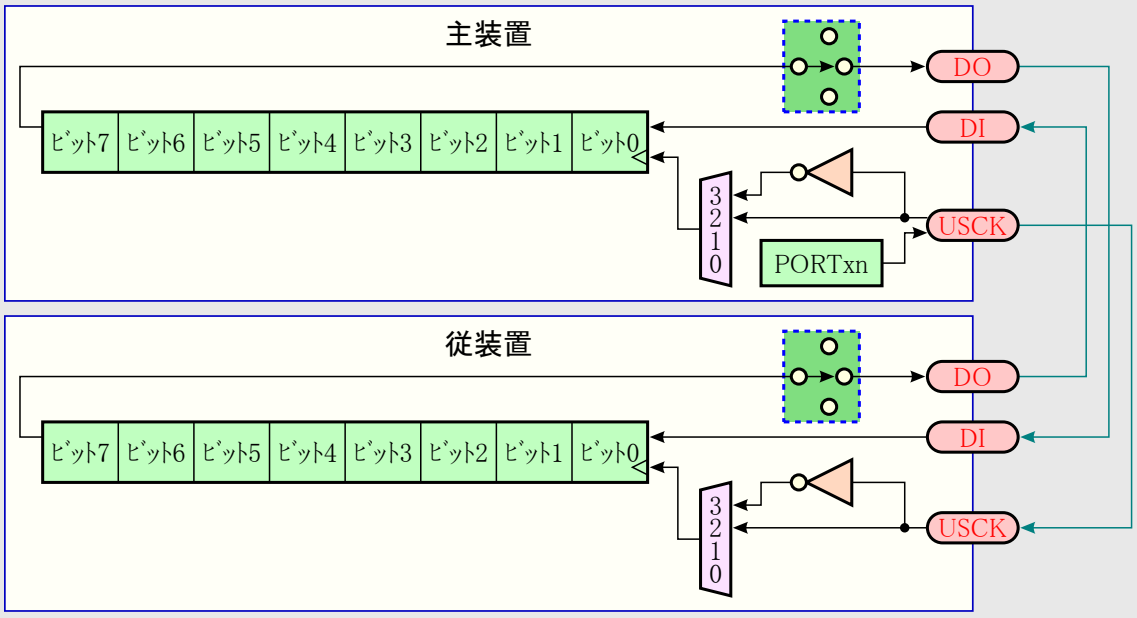
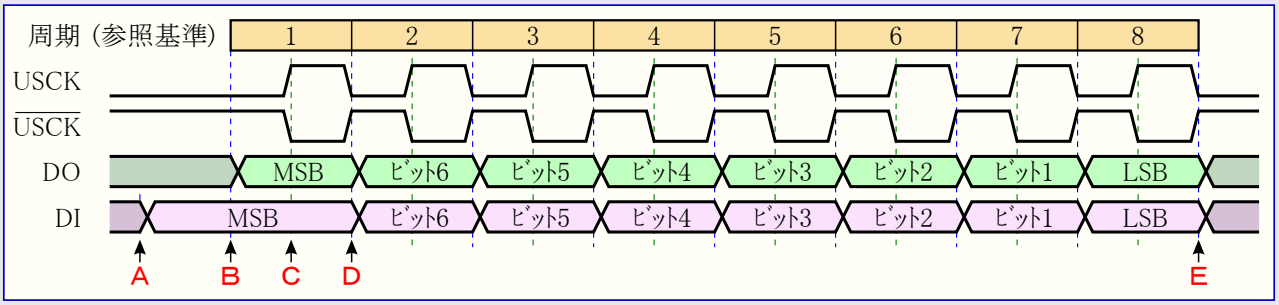


図77.は3線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。このような方法で連結された2つの移動レジスタは8 USCKクロック後、各々のレジスタのデータが交換されます。この同じクロック(USCK)がUSIの4ビット計数器も増加(+1)します。従って計数器溢れ割り込み要求フラグ(USIOIF)は転送が完了される時を決めるのに使えます。このクロックはPORTレジスタ経由USCKピン1/0交互切り替え、またはUSICRのUSITCビットへの1書き込みによる主装置装置ソフトウェアによって生成されます。

図78. 3線動作タイミング



3線動作タイミングは図78.で示されます。図の最上部はUSCK周期参照基準です。これらの各周期に対して1ビットがUSI移動レジスタ(USIDR)に移動されます。USCKタイミングは両方の外部クロック動作について示されます。外部クロック動作0(USICS0=0)でのDIは上昇端で採取され、DOは下降端で変更(USIDRが1つ移動)されます。外部クロック動作1(USICS0=1)は外部クロック動作0に対して逆端を使用、換言すると下降端でデータを採取、上昇端で出力を変更します。USIクロック動作種別はSPIデータ動作種別0と1に対応します。

このタイミング図(図78.)を参照すると、バス転送は次の手順を含みます。

1. 主装置と従装置はデータ出力を設定し、使用規約に依存して出力駆動部を許可します(AとB)。この出力は直列データ レジスタへの送信されるべきデータ書き込みによって設定します。出力の許可はポート方向レジスタの対応するビット設定によって行います。A点とB点はどんな特別な順番もありませんが、両方共にデータが採取されるC点よりも最低1/2 USCK周期前でなければならないことに注意してください。これはデータ設定の必要条件を満足させるのを保証するために行わなければなりません。4ビット計数器は0にリセットします。
2. 主装置はUSCK線をソフトウェアで2度切り替えることによってクロック パルスを生成します(CとD)。主装置と従装置のデータ入力(DI)ピンのビット値は最初の端(エッジ)(C)でUSIによって採取され、データ出力は逆端(D)で変更されます。4ビット計数器は両端で計数します。
3. レジスタ(バイト)転送完了のために手順2.が8回繰り返されます。
4. 8クロック パルス(換言すると16クロック端)後、計数器が溢れて転送完了を示します。転送したバイト データは新規転送が開始され得るのに先立って直ぐに処置されなければなりません。溢れ割り込みはプロセッサがアイドル動作に設定されているなら、プロセッサを起動復帰します。使用規約によって、従装置は直ぐに出力をHi-Z設定にできます。

SPI主装置操作例

次のｺｰﾄﾞはSPI主装置としてのUSI部使用法を実際に示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPIM:     STS    USIDR,R16                                        ;送信ﾃﾞｰﾀを設定
          LDI    R16,(1<<USIOIF)                                  ;USIOIFﾋﾞｯﾄのみ1値を取得
          STS    USISR,R16                                        ;ﾌﾗｸﾞ解除/計数器初期化
          LDI    R16,(1<<USIWM0)|(1<<USICS1)|(1<<USICLK)|(1<<USITC)  ;3線動作ｸﾛｯｸ生成値を取得
;
SPIM_LP:  STS    USICR,R16                                        ;USCKｸﾛｯｸ端発生
          LDS    R16,USISR                                        ;USI状態ﾌﾗｸﾞを取得
          SBRS   R16,USIOIF                                       ;計数器溢れでｽｷｯﾌﾟ
          RJMP   SPIM_LP                                          ;計数器溢れまで継続
;
          LDS    R16,USIDR                                        ;受信ﾃﾞｰﾀを取得
          RET                                                     ;呼び出し元へ復帰
```

このｺｰﾄﾞは9命令(+RET)のみ使用の容量最適化です。このｺｰﾄﾞ例はDOとUSCKﾋﾟﾝがDDREﾚｼﾞｽﾀで出力として許可されると仮定します。この関数が呼び出される前にR16ﾚｼﾞｽﾀへ格納した値は従装置に転送され、転送が完了された時に従装置から受信したﾃﾞｰﾀがR16ﾚｼﾞｽﾀに格納されて戻ります。

2行目と3行目の命令は計数器溢れ割り込み要求ﾌﾗｸﾞ(USIOIF)を解除(0)し、USI 4ﾋﾞｯﾄ計数器値を解除(=0)します。4行目と6行目の命令は3線動作、上昇端移動ﾚｼﾞｽﾀ ｸﾛｯｸ、USITCｽﾄﾛｰﾌﾞ計数、USCK出力交互切り替えを設定します。この繰り返しは16回繰り返されます。

次のｺｰﾄﾞは最高速($f_{USCK}=f_{CK}/4$)でのSPI主装置としてのUSI部使用法を実際に示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPIM_F:   STS    USIDR,R16                                        ;送信ﾃﾞｰﾀを設定
          LDI    R16,(1<<USIWM0)|(0<<USICS0)|(1<<USITC)           ;3線動作初期値を取得
          LDI    R17,(1<<USIWM0)|(0<<USICS0)|(1<<USITC)|(1<<USICLK)  ;3線動作ｸﾛｯｸ生成値を取得
;
          STS    USICR,R16                                        ;MSB転送
          STS    USICR,R17                                        ;
          STS    USICR,R16                                        ;ﾋﾞｯﾄ6転送
          STS    USICR,R17                                        ;
          STS    USICR,R16                                        ;ﾋﾞｯﾄ5転送
          STS    USICR,R17                                        ;
          STS    USICR,R16                                        ;ﾋﾞｯﾄ4転送
          STS    USICR,R17                                        ;
          STS    USICR,R16                                        ;ﾋﾞｯﾄ3転送
          STS    USICR,R17                                        ;
          STS    USICR,R16                                        ;ﾋﾞｯﾄ2転送
          STS    USICR,R17                                        ;
          STS    USICR,R16                                        ;ﾋﾞｯﾄ1転送
          STS    USICR,R17                                        ;
          STS    USICR,R16                                        ;LSB転送
          STS    USICR,R17                                        ;
;
          LDS    R16,USIDR                                        ;受信ﾃﾞｰﾀを取得
          RET                                                     ;呼び出し元へ復帰
```

SPI従装置操作例

次のｺｰﾄﾞはSPI従装置としてのUSI部使用法を実際に示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
init:     LDI    R16,(1<<USIWM0)|(1<<USICS1)      ;3線動作,外部ｸﾛｯｸ値を取得
          STS    USICR,R16                        ;3線動作,外部ｸﾛｯｸ設定
                 ≀
SPIS:     STS    USIDR,R16                        ;送信ﾃﾞｰﾀを設定
          LDI    R16,(1<<USIOIF)                  ;USIOIFﾋﾞｯﾄのみ1値を取得
          STS    USISR,R16                        ;ﾌﾗｸﾞ解除/計数器初期化
;
SPIS_LP:  LDS    R16,USISR                        ;USI状態ﾌﾗｸﾞを取得
          SBRS   R16,USIOIF                       ;計数器溢れでｽｷｯﾌﾟ
          RJMP   SPIS_LP                          ;計数器溢れまで継続
;
          LDS    R16,USIDR                        ;受信ﾃﾞｰﾀを取得
          RET                                     ;呼び出し元へ復帰
```

このｺｰﾄﾞは9命令(+RET)のみ使用の容量最適化です。このｺｰﾄﾞ例はDDREﾚｼﾞｽﾀでDOﾋﾟﾝが出力、USCKﾋﾟﾝが入力として設定されると仮定します。この関数が呼び出される前にR16ﾚｼﾞｽﾀへ格納した値は主装置に転送され、転送が完了された時に主装置から受信したﾃﾞｰﾀがR16ﾚｼﾞｽﾀに格納されて戻ります。

最初の2命令は初期化用だけで、一度だけ実行されるのを必要とすることに注意してください。これらの命令は3線動作と上昇端移動ﾚｼﾞｽﾀ ｸﾛｯｸを設定します。この繰り返しはUSI計数器溢れﾌﾗｸﾞが設定(1)されるまで繰り返されます。

2線動作

USIの2線動作はI²C(TWI)ﾊﾞｽ規約に準拠していますが、出力のｽﾘｭｰﾚｰﾄ制限と入力雑音濾波器がありません。この動作で使われるﾋﾟﾝ名はSCLとSDAです。

図79. 2線動作簡略構成図

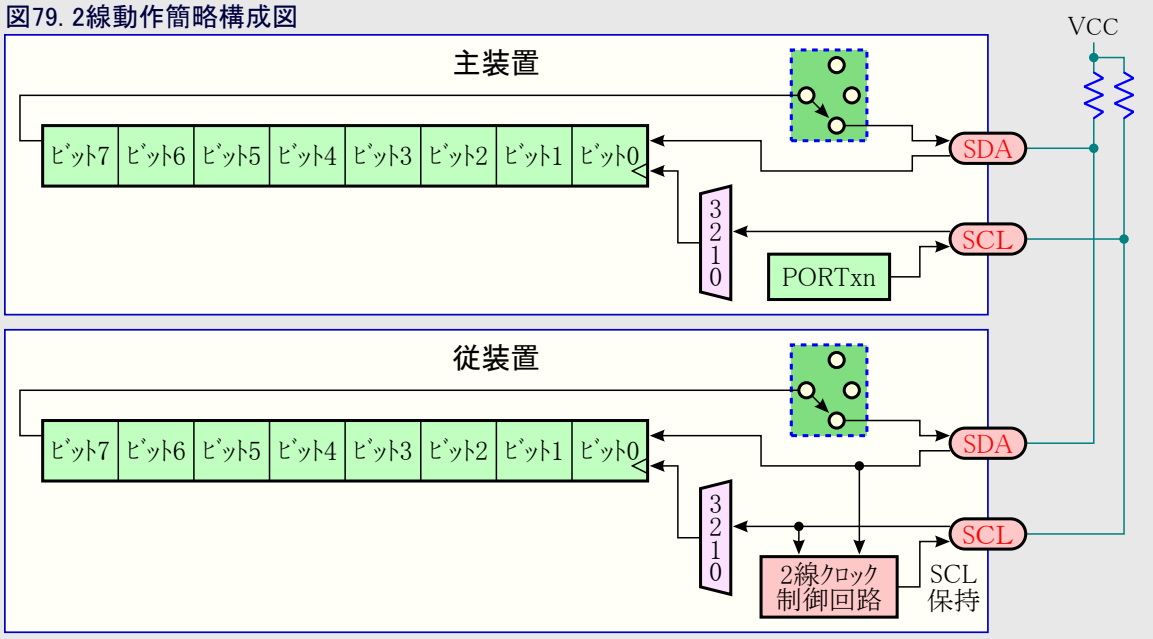


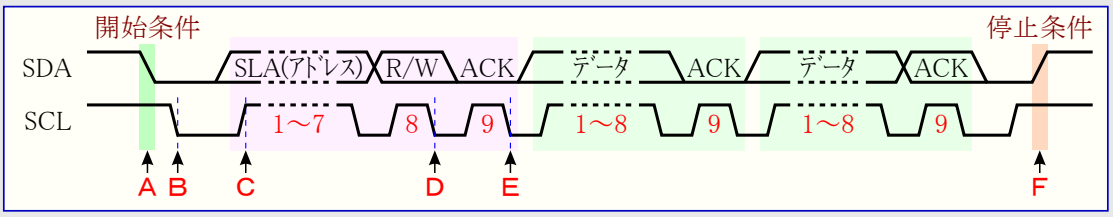
図79.は2線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。ｼｽﾃﾑ動作が使用通信構造に大きく依存するために示されるのは物理層のみです。この段階での主装置動作と従装置動作間の主な違いは常に主装置によって行われる直列ｸﾛｯｸ生成と、従装置だけがｸﾛｯｸ制御部(回路)を使うことです。ｸﾛｯｸ生成はｿﾌﾄｳｪｱで実行されなければなりませんが、移動動作は両装置で自動的に行われます。ﾃﾞｰﾀの移動に関してこの動作種別で下降端でのｸﾛｯｸだけを実際に使うことに注意してください。従装置はSCLｸﾛｯｸをLowに強制することにより、転送の開始と終了で待ち状態(ｳｪｲﾄ ｽﾃｰﾄ)を挿入できます。これは(主装置が)上昇端を生成してしまった後に主装置はSCL線が実際に開放されたかを常に検査しなければならないことを意味します。

このｸﾛｯｸが(4ﾋﾞｯﾄ)計数器も増加(+1)するため、計数器溢れ(USIOIF)は転送が完了されたことを示すのに使えます。このｸﾛｯｸは主装置によるPORTEﾚｼﾞｽﾀ経由のSCLﾋﾟﾝ交互切り替えによって生成されます。

ﾃﾞｰﾀ方向は物理層によって与えられません。ﾃﾞｰﾀの流れを制御するためにTWIﾊﾞｽで使ったような或る種の規約が実装されなければなりません。

このタイミング図(図80.)を参照すると、バス転送は次の手順を含みます。

図80. 代表的な2線動作タイミング



1. 開始条件は主装置によるSCL線High中のSDA線Low強制によって生成されます(A)。SDAは移動レジスタのビット7への0書き込みか、またはPORTレジスタで対応ビットを0に設定のどちらかによって強制実行できます。出力が許可されるにはデータ方向(DDR)レジスタのビットが1に設定されなければならないことに注意してください。従装置の開始条件検出器論理回路(図81.参照)が開始条件を検出してUSISIFフラグを設定(1)します。このフラグは必要ならば割り込みを発生できます。
2. 加えて開始条件検出器は主装置がSCL線で上昇端を強制してしまった後にSCL線をLowに保持します(B)。これはアドレスを受信するために移動レジスタを設定する前に休止形態から起動復帰または他の処理を完了することを従装置に許します。これ(保持解除)は(4ビット)計数器をリセット(=0)して開始条件検出フラグ(USISIF)を解除(0)することによって行われます。
3. 主装置は転送されるべき最初のビットを設定してSCL線を開放します(C)。従装置はSCLクロックの上昇端でデータを採取して移動レジスタへ移動します。
4. 従装置アドレスとデータ方向(R/W)を含む8ビットが転送された後、従装置の(4ビット)計数器が溢れてSCL線がLowを強制されます(D)。従装置は主装置の1つがアドレス指定してしまわない場合、SCL線を開放して新規開始条件を待ちます。
5. 従装置がアドレス指定されると、再びSCL線をLowに保持する前の応答(ACK)周期の間中、SDA線をLowに保持します(換言するとD点でSCLを開放する前に(4ビット)計数器レジスタは14に設定されなければなりません)。R/Wビットに依存して主装置か従装置は出力を許可します。このビットが設定(1)の場合、主装置読み込み動作が進行中です(換言すると従装置がSDA線を駆動します)。従装置は応答後(E)にSCL線をLowに保持することができます。
6. 主装置によって停止条件(F)か新規開始条件(再送開始条件)が与えられるまで全て同方向で複数バイトが直ぐに転送できます。

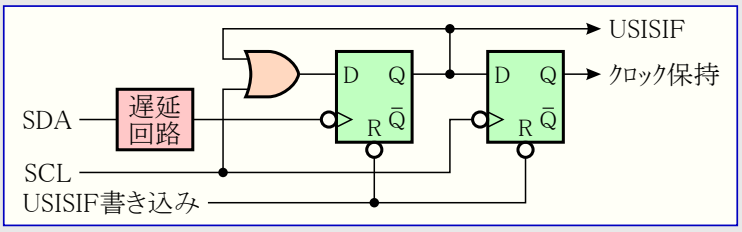
従装置はより多くのデータを受信できない場合、最後に受信したバイト データに応答しません。主装置が読み込み動作を行うとき、最後のバイトが転送された後の応答ビットをLowに強制することよってこの動作を終了しなければなりません。

開始条件検出器

開始条件検出器は図81.で示されます。SDA線はSCL線の有効な採取を保証するために(50～300nsの範囲で)遅延されます。開始条件検出器は2線動作でだけ許可されます。

開始条件検出器は非同期に動作し、従ってパワーダウン休止動作からプロセッサを起動できます。けれども使う規約がSCL保持時間で制限を持つかもしれません。従ってこの場合にこの特徴(機能)を使う時にCKSELヒューズで設定する発振器起動時間(16頁の「クロック系統とその配給」参照)も考慮内に取り入れられなければなりません。より多くの詳細については125頁のUSISIFフラグ記述を参照してください。

図81. 開始条件検出器回路構成



クロック速度の考察

SCLとUSCKに対する最大周波数は$f_{CK}/4$です。これは2線と3線の両動作での最大データ転送と受信速度でもあります。2線従装置動作では従装置が更にデータを受信する準備ができるまで、2線クロック制御部がSCLを保持します。これは2線動作で実データ速度を減らすかもしれません。

USIでの代替使用

USI部を直列通信に使わないなら、柔軟な設計のため、代替処理を行うように設定できます。

半二重非同期データ転送

3線動作で移動レジスタを使うことによってソフトウェアだけよりも簡潔で高性能のUART実装が可能です。

4ビット計数器

4ビット計数器は溢れ割り込みとの自立型計数器として使えます。この計数器が外部的にクロック駆動される場合、両クロック端が増加(+1)を発生することに注意してください。

12ビット計数器

USIの4ビット計数器とタイマ/カウンタ0の組み合わせは12ビット計数器としての使用を許します。

端(エッジ)起動外部割り込み

4ビット計数器を最大値($F)に設定することによって追加外部割り込みとして機能できます。溢れフラグと割り込み許可ビットはこの外部割り込みに対して使われます。この特徴(機能)はUSICS1ビットによって選択(=1)されます。

ソフトウェア割り込み

4ビット計数器の溢れ割り込みはクロック ストローブによって起動するソフトウェア割り込みとして使えます。

USI用 ﾚｼﾞｽﾀ

USIﾃﾞｰﾀ ﾚｼﾞｽﾀ (USI Data Register) USIDR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($BA)	(MSB)							(LSB)	USIDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

USIは直列(移動)ﾚｼﾞｽﾀの緩衝を使いません、換言するとﾃﾞｰﾀ ﾚｼﾞｽﾀ(USIDR)をｱｸｾｽする時に直列ﾚｼﾞｽﾀは直接的にｱｸｾｽされます。ﾚｼﾞｽﾀが書かれるのと同じ周期で直列ｸﾛｯｸが起こると、ﾚｼﾞｽﾀは書いた値を含み、移動は実行されません。(左)移動動作はUSICS1,0ﾋﾞｯﾄ設定に従って実行されます。この移動動作は外部ｸﾛｯｸ端、ﾀｲﾏ/ｶｳﾝﾀ0比較一致により、またはUSICLKｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うｿﾌﾄｳｪｱによって直接的に制御できます。2または3線動作種別が選ばれない(USIWM1,0=00)時でも、外部ﾃﾞｰﾀ入力(DI/SDA)と外部ｸﾛｯｸ入力(USCK/SCL)の両方が未だ移動ﾚｼﾞｽﾀによって使われ得ることに注意してください。

動作種別に従って使う出力ﾋﾟﾝ(DOまたはSDA)は出力ﾗｯﾁを経由してﾃﾞｰﾀ ﾚｼﾞｽﾀの最上位ﾋﾞｯﾄ(ﾋﾞｯﾄ7)に接続されます。この出力ﾗｯﾁは外部ｸﾛｯｸ元が選ばれる(USICS1=1)時に直列ｸﾛｯｸ周期の前半中が透過(ﾄﾗﾝｽﾍﾟｱﾚﾝﾄ)で、内部ｸﾛｯｸ元が使われる(USICS1=0)時に定常的な透過です。ﾗｯﾁが透過である限り、新規MSBが書かれると、出力は直ちに変更されます。このﾗｯﾁは違う(逆の) ｸﾛｯｸ端でﾃﾞｰﾀ入力が採取され、ﾃﾞｰﾀ出力が変更されるのを保証します。

移動ﾚｼﾞｽﾀからの出力ﾃﾞｰﾀを許可するために、ﾋﾟﾝに対応するﾃﾞｰﾀ方向ﾚｼﾞｽﾀ(DDxn)が1に設定されなければならないことに注意してください。

USI状態ﾚｼﾞｽﾀ (USI Status Register) USISR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($B9)	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	USISR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この状態ﾚｼﾞｽﾀは割り込み要求ﾌﾗｸﾞ、状態ﾌﾗｸﾞ、計数器値を含みます。

- **ﾋﾞｯﾄ7 – USISIF : 開始条件検出割り込み要求ﾌﾗｸﾞ** (Start Condition Interrupt Flag)

2線動作が選ばれるとき、開始条件が検出されると、USISIFﾌﾗｸﾞが設定(1)されます。出力禁止動作または3線動作が選ばれ、(USICS1,0=11且つUSICLK=0)または(USICS1,0=10且つUSICLK=0)の時にUSCKﾋﾟﾝのどの端(ｴｯｼﾞ)もがこのﾌﾗｸﾞを設定(1)します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとUSI制御ﾚｼﾞｽﾀ(USICR)で開始条件検出許可(USISIE)ﾋﾞｯﾄが設定(1)されている間中にこのﾌﾗｸﾞが設定(1)されると、割り込みが生成されます。このﾌﾗｸﾞはUSISIFﾋﾞｯﾄへの論理1書き込みによってのみ解除(0)されます。このﾋﾞｯﾄの解除(0)は2線動作でのSCLの開始条件保持を解除(開放)します。

開始条件検出割り込みは全ての休止形態からﾌﾟﾛｾｯｻを起動します。

- **ﾋﾞｯﾄ6 – USIOIF : 計数器溢れ割り込み要求ﾌﾗｸﾞ** (Counter Overflow Interrupt Flag)

このﾌﾗｸﾞは4ﾋﾞｯﾄ計数器が溢れると(換言すると15から0への遷移で)設定(1)されます。SREGの全割り込み許可(I)ﾋﾞｯﾄとUSICRで計数器溢れ割り込み許可(USIOIE)ﾋﾞｯﾄが設定(1)されている間に本ﾌﾗｸﾞが設定(1)されると、割り込みが生成されます。本ﾌﾗｸﾞはUSIOIFﾋﾞｯﾄへの論理1書き込みによってのみ解除(0)されます。本ﾋﾞｯﾄの解除(0)は2線動作でのSCLの計数器溢れ保持を解除(開放)します。

計数器溢れ割り込みはｱｲﾄﾞﾙ休止動作からﾌﾟﾛｾｯｻを起動します。

- **ﾋﾞｯﾄ5 – USIPF : 停止条件検出ﾌﾗｸﾞ** (Stop Condition Flag)

2線動作が選ばれた時に停止条件が検出されると、USIPFﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄへの1書き込みによって解除(0)されます。これが割り込み要求ﾌﾗｸﾞでないことに注意してください。この合図は2線ﾊﾞｽ主装置調停の実装時に有用です。

- **ﾋﾞｯﾄ4 – USIDC : 出力ﾃﾞｰﾀ衝突ﾌﾗｸﾞ** (Data Output Collision Flag)

移動ﾚｼﾞｽﾀのﾋﾞｯﾄ7(MSB)が物理ﾋﾟﾝ値と異なる時にこのﾋﾞｯﾄは論理1です。このﾌﾗｸﾞは2線動作が使われる時にだけ有効です。この合図は2線ﾊﾞｽ主装置調停の実装時に有用です。

- **ﾋﾞｯﾄ3~0 – USICNT3~0 : 計数器値** (Counter Value)

これらのﾋﾞｯﾄは現在の4ﾋﾞｯﾄ計数器値を反映します。この4ﾋﾞｯﾄ計数器値はCPUによって直接的に読み書きできます。

この4ﾋﾞｯﾄ計数器は外部ｸﾛｯｸ端検出器、ﾀｲﾏ/ｶｳﾝﾀ0比較一致、USICLKまたはUSITCｽﾄﾛｰﾌﾞ ﾋﾞｯﾄを使うｿﾌﾄｳｪｱのどれかによって生成した各ｸﾛｯｸに対して1つ増加します。このｸﾛｯｸ元はUSICS1,0ﾋﾞｯﾄ設定に依存します。外部ｸﾛｯｸ動作に対してUSITCｽﾄﾛｰﾌﾞ ﾋﾞｯﾄへの書き込みによって生成されることをｸﾛｯｸに許す、特別な特徴が付加されます。この特徴は外部ｸﾛｯｸ元(USICS1=1)設定中のUSICLKへの1書き込みによって許可されます。

出力禁止動作(USIWM1,0=00)が選ばれている時でも、外部ｸﾛｯｸ入力(USCK/SCL)が未だ計数器によって使われることに注意してください。

USI制御ﾚｼﾞｽﾀ (USI Control Register) **USICR**

ﾋﾞｯﾄ ($B8)	7	6	5	4	3	2	1	0	
	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	USICR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	W	W	
初期値	0	0	0	0	0	0	0	0	

この制御ﾚｼﾞｽﾀは割り込み許可制御、動作種別設定、ｸﾛｯｸ選択設定、ｸﾛｯｸ ｽﾄﾛｰﾌﾞを含みます。

- **ﾋﾞｯﾄ7 – USISIE : 開始条件検出割り込み許可** (Start Condition Interrupt Enable)

このﾋﾞｯﾄを1に設定することが開始条件検出割り込みを許可します。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとUSISIEﾋﾞｯﾄが設定(1)される時に保留割り込みなら、これは直ちに実行されます。より多くの詳細については125頁の開始条件検出割り込み要求ﾌﾗｸﾞ(USISIF)記述を参照してください。

- **ﾋﾞｯﾄ6 – USIOIE : 計数器溢れ割り込み許可** (Counter Overflow Interrupt Enable)

このﾋﾞｯﾄを1に設定することが計数器溢れ割り込みを許可します。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとUSIOIEﾋﾞｯﾄが設定(1)される時に保留割り込みなら、これは直ちに実行されます。より多くの詳細については125頁の計数器溢れ割り込み要求ﾌﾗｸﾞ(USIOIF)記述を参照してください。

- **ﾋﾞｯﾄ5,4 – USIWM1,0 : 動作種別選択** (Wire Mode)

これらのﾋﾞｯﾄは使われるべき動作種別(2または3線動作)を設定します。基本的に出力の機能だけがこれらのﾋﾞｯﾄによって影響を及ぼされます。ﾃﾞｰﾀとｸﾛｯｸ入力は選んだ動作種別によって影響を及ぼされず、常に同じ機能を持ちます。従って出力が禁止される時でも移動ﾚｼﾞｽﾀと計数器は外部的にｸﾛｯｸ駆動でき、入力ﾃﾞｰﾀが採取されます。USI操作とUSIWM1,0間の関連は**表76.**で要約されます。

表76. USI操作とUSIWM1,0の関係

USIWM1	USIWM0	説明
0	0	出力、ｸﾛｯｸ保持、開始条件検出器は禁止。ﾎﾟｰﾄ ﾋﾟﾝは標準として動作。
0	1	3線動作。DO,DI,USCKﾋﾟﾝを使用。 ﾃﾞｰﾀ出力(DO)ﾋﾟﾝはこの動作でPORTﾚｼﾞｽﾀの対応ﾋﾞｯﾄを無視します。けれども対応するDDRﾋﾞｯﾄは未だﾃﾞｰﾀ方向を制御します。ﾎﾟｰﾄ ﾋﾟﾝが入力として設定(DDxn=0)されると、そのﾋﾟﾝのﾌﾟﾙｱｯﾌﾟはPORTﾋﾞｯﾄによって制御されます。 ﾃﾞｰﾀ入力(DI)と直列ｸﾛｯｸ(USCK)ﾋﾟﾝは標準ﾎﾟｰﾄ操作に影響を及ぼしません。主装置として動作する時のｸﾛｯｸ ﾊﾟﾙｽはﾃﾞｰﾀ方向が出力に設定されている(DDxn=1)間のPORTﾚｼﾞｽﾀの交互切り替えによってｿﾌﾄｳｪｱで生成されます。USICRのUSITCﾋﾞｯﾄがこの目的に使えます。
1	0	2線動作。SDA(DI)とSCL(USCK)ﾋﾟﾝを使用。(注1) 直列ﾃﾞｰﾀ(SDA)と直列ｸﾛｯｸ(SCL)ﾋﾟﾝは双方向でｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ出力駆動を使います。この出力駆動部はDDRﾚｼﾞｽﾀでSDAとSCLに対応するﾋﾞｯﾄの設定(=1)によって許可されます。 SDAﾋﾟﾝに対して出力駆動部が許可されると、出力駆動部は移動ﾚｼﾞｽﾀの出力またはPORTﾚｼﾞｽﾀの対応ﾋﾞｯﾄが0ならばSDA線をLowに強制します。さもなければ、SDA線は駆動されません(換言すると開放されます)。SCLﾋﾟﾝ出力駆動部が許可されると、SCL線はPORTﾚｼﾞｽﾀの対応ﾋﾞｯﾄが0なら、または開始条件検出器によってLowを強制されます。さもなければSCL線は駆動されません。 SCL線は出力が許可され、開始条件検出器が開始条件を検出すると、Lowに保持されます。開始条件検出ﾌﾗｸﾞ(USISIF)の解除(0)がその線を開放します。SDAとSCLﾋﾟﾝ入力はこの動作の許可によって影響を及ぼされません。SDAとSCLﾋﾟﾝのﾌﾟﾙｱｯﾌﾟは2線動作で禁止されます。
1	1	2線動作。SDAとSCLﾋﾟﾝを使用。 SCL線は計数器溢れが起こる時にもLowへ保持され、計数器溢れﾌﾗｸﾞ(USIOIF)が解除(0)されるまでLowに保持されることを除いて、上で記述される2線動作と同じ動作です。

注1: DIとUSCKﾋﾟﾝは動作種別間での混乱を避けるため、各々直列ﾃﾞｰﾀ(SDA)と直列ｸﾛｯｸ(SCL)に改称されます。

• ﾋﾞｯﾄ3,2 – USICS1,0 : ｸﾛｯｸ選択 (Clock Source Select)

これらのﾋﾞｯﾄは移動ﾚｼﾞｽﾀと計数器に対するｸﾛｯｸ元を設定します。外部ｸﾛｯｸ元(USCK/SCL)を使う時にﾃﾞｰﾀ出力ﾗｯﾁはﾃﾞｰﾀ入力(DI/SDA)の採取の逆端で出力が変更されるのを保証します。ﾀｲﾏ/ｶｳﾝﾀ0比較一致またはｿﾌﾄｳｪｱ ｽﾄﾛｰﾌﾞが選ばれると、出力ﾗｯﾁは透過で、従って出力は直ちに変更されます。USICS1,0ﾋﾞｯﾄの解除(=00)がｿﾌﾄｳｪｱ ｽﾄﾛｰﾌﾞ選択を許可します。この選択を使う時のUSICLKﾋﾞｯﾄへの1書き込みは移動ﾚｼﾞｽﾀと計数器の両方をｸﾛｯｸ駆動します。外部ｸﾛｯｸ元(USICS1=1)に対してUSICLKﾋﾞｯﾄはもはやｽﾄﾛｰﾌﾞとして使われませんが、外部ｸﾛｯｸとUSITCｽﾄﾛｰﾌﾞ ﾋﾞｯﾄによるｿﾌﾄｳｪｱ ｸﾛｯｸ間を選びます。

表77.は移動ﾚｼﾞｽﾀと4ﾋﾞｯﾄ計数器に対して使われるｸﾛｯｸ元とUSICS1,0、USICLK設定間の関連を示します。

表77. USICS1,0とUSICLK設定との関係

USICS1	USICS0	USICLK	移動ﾚｼﾞｽﾀ ｸﾛｯｸ元	4ﾋﾞｯﾄ計数器ｸﾛｯｸ元
0	0	0	ｸﾛｯｸなし	ｸﾛｯｸなし
		1	ｿﾌﾄｳｪｱ ｸﾛｯｸ ｽﾄﾛｰﾌﾞ (USICLK)	ｿﾌﾄｳｪｱ ｸﾛｯｸ ｽﾄﾛｰﾌﾞ (USICLK)
	1	X	ﾀｲﾏ/ｶｳﾝﾀ0 比較一致	ﾀｲﾏ/ｶｳﾝﾀ0 比較一致
1	0	0	外部ｸﾛｯｸ上昇端	外部ｸﾛｯｸ両端
	1		外部ｸﾛｯｸ下降端	
	0	1	外部ｸﾛｯｸ上昇端	ｿﾌﾄｳｪｱ ｸﾛｯｸ ｽﾄﾛｰﾌﾞ (USITC)
	1		外部ｸﾛｯｸ下降端	

• ﾋﾞｯﾄ1 – USICLK : ｸﾛｯｸ ｽﾄﾛｰﾌﾞ (Clock Strobe)

ｿﾌﾄｳｪｱ ｽﾄﾛｰﾌﾞ選択が選ばれるように行うことによってUSICS1,0ﾋﾞｯﾄがｾﾞﾛ(=00)に設定されるなら、このﾋﾞｯﾄ位置への1書き込みは移動ﾚｼﾞｽﾀを1段移動して計数器を1つ増加します。このｸﾛｯｸ ｽﾄﾛｰﾌﾞが実行される時、直ちに、換言すると同じ命令周期内で出力が替わります。移動ﾚｼﾞｽﾀ内に移動した値は直前の命令周期で採取されます。このﾋﾞｯﾄは0として読みます。

外部ｸﾛｯｸ元が選ばれる(USICS1=1)と、USICLK機能はｸﾛｯｸ ｽﾄﾛｰﾌﾞからｸﾛｯｸ選択ﾚｼﾞｽﾀに変更されます。この場合のUSICLKﾋﾞｯﾄの設定(1)は4ﾋﾞｯﾄ計数器に対するｸﾛｯｸ元としてのUSITCｽﾄﾛｰﾌﾞを選びます(表77.参照)。

• ﾋﾞｯﾄ0 – USITC : ｸﾛｯｸ値切り替え (Toggle Clock Port Pin)

このﾋﾞｯﾄ位置に1を書くことはUSCK/SCL値を0から1、または1から0のどちらかへ切り替えます。この切り替えはﾃﾞｰﾀ方向ﾚｼﾞｽﾀでの設定と無関係ですが、PORT値がﾋﾟﾝで見られるべきなら、DDE4が出力として設定(=1)されなければなりません。この特徴は主装置を実現する時の容易なｸﾛｯｸ生成を許します。このﾋﾞｯﾄは0として読みます。

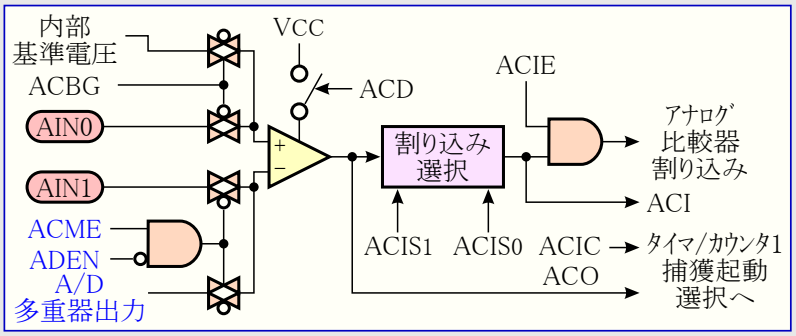
外部ｸﾛｯｸ元が選ばれ(USICS1=1)、USICLKﾋﾞｯﾄが1に設定されると、USITCｽﾄﾛｰﾌﾞ ﾋﾞｯﾄへの書き込みは直接的に4ﾋﾞｯﾄ計数器をｸﾛｯｸ駆動します。これは主装置として動作する時に転送が行われる時の早い検出を許します。

アナログ比較器

アナログ比較器は非反転入力AIN0ピンと反転入力AIN1ピンの入力値を比較します。非反転AIN0ピンの電圧が反転AIN1ピンの電圧よりも高い時にACSRのアナログ比較器出力(ACO)ビットが設定(1)されます。この比較器出力はタイマ/カウンタ1の捕獲機能を起動するように設定できます。加えて、この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図82.で示されます。

ADC入力(A/D多重器出力)の使用を可能とするには、23頁の「**電力削減レジスタ(PRR)**」のPRADCビットが論理0を書かれることで(電力削減を)禁止されなければなりません。

図82. アナログ比較器部構成図



注: A/D多重器出力については129頁の**表79.**をご覧ください。
アナログ比較器ピン配置については2頁の「**ピン配置**」と44頁の**表32.**を参照してください。

アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) **ACSR**

ビット	7	6	5	4	3	2	1	0	
$30 ($50)	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

• **ビット7 – ACD : アナログ比較器禁止** (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でも設定(1)できます。これは活動動作やアイドル動作で電力消費を削減します。ACDビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起こり得ます。

• **ビット6 – ACBG : 基準電圧選択** (Analog Comparator Bandgap Select)

このビットが設定(1)されると、内部基準電圧(公称1.1V)がアナログ比較器への非反転入力に置き換わります。本ビットが解除(0)されると、AIN0がアナログ比較器の非反転入力に印加されます。27頁の「**内部基準電圧**」をご覧ください。

• **ビット5 – ACO : アナログ比較器出力** (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後に直接ACOへ接続されます。この同期化は1～2クロック周期の遅延をもたらします。

• **ビット4 – ACI : アナログ比較器割り込み要求フラグ** (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRのアナログ比較器割り込み条件(ACIS1,0)ビットによって定義した割り込み方法で起動する時に設定(1)されます。ACSRのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもACIは解除(0)されます。

• **ビット3 – ACIE : アナログ比較器割り込み許可** (Analog Comparator Interrupt Enable)

ACIEビットが論理1を書かれ、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

• **ビット2 – ACIC : アナログ比較器捕獲起動許可** (Analog Comparator Input Capture Enable)

論理1を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタ1の捕獲機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ1捕獲割り込みの雑音消去機能と端(エッジ)選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。論理0を書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ1捕獲割り込みを起動するには、タイマ/カウンタ1割り込み許可レジスタ(TIMSK1)の捕獲割り込み許可(ICIE1)ビットが設定(1)されなければなりません。

• **ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件** (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するのかを決めます。各種設定は**表78.**で示されます。

ACIS1,ACIS0ビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表78. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

A/D変換制御/状態ﾚｼﾞｽﾀB (ADC Control and Status Register B) ADCSRB

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($7B)	–	ACME	–	–	–	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ6 – ACME : ｱﾅﾛｸﾞ比較器多重器許可** (Analog Comparator Multiplexer Enable)

このﾋﾞｯﾄが論理1を書かれ、A/D変換部がOFF(ADCSRAのADENﾋﾞｯﾄが0)にされると、A/D変換の多重器がｱﾅﾛｸﾞ比較器への反転入力を選びます。このﾋﾞｯﾄが論理0を書かれると、AIN1がｱﾅﾛｸﾞ比較器の反転入力に印加されます。このﾋﾞｯﾄの詳細な記述については次の「**ｱﾅﾛｸﾞ比較器入力選択**」をご覧ください。

ｱﾅﾛｸﾞ比較器入力選択

ｱﾅﾛｸﾞ比較器への反転入力を取り替えるのにADC7～0のどれかを選ぶことができます。A/D変換の多重器がこの入力選択に使われ、従ってこの機能を利用するためにA/D変換部がOFF(動作禁止)にされなければなりません。ADCSRBのｱﾅﾛｸﾞ比較器多重器許可(ACME)ﾋﾞｯﾄが設定(1)され、A/D変換部がOFF(ADCSRAのADENﾋﾞｯﾄが0)にされていれば、**表79.**で示されるようにADMUXのﾁｬﾈﾙ選択(MUX2～0)ﾋﾞｯﾄがｱﾅﾛｸﾞ比較器への反転入力を取り替えるための入力ﾋﾟﾝを選びます。ACMEが解除(0)、またはADENが設定(1)されると、AIN1がｱﾅﾛｸﾞ比較器への反転入力に印加されます。

表79. ｱﾅﾛｸﾞ比較器反転入力選択

ACME	ADEN	MUX2～0	ｱﾅﾛｸﾞ比較器反転入力	備考
0	x	x x x	AIN1	
1	1	x x x	AIN1	
	0	0 0 0	ADC0	
		0 0 1	ADC1	
		0 1 0	ADC2	
		0 1 1	ADC3	
		1 0 0	ADC4	
		1 0 1	ADC5	
		1 1 0	ADC6	
		1 1 1	ADC7	

ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ1 (Digital Input Disable Register 1) DIDR1

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($7F)	–	–	–	–	–	–	AIN1D	AIN0D	DIDR1
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ1,0 – AIN1D,AIN0D : AIN1,AIN0 ﾃﾞｼﾞﾀﾙ入力禁止** (AIN1,AIN0 Digital Input Disable)

このﾋﾞｯﾄが論理1を書かれると、AIN1/0ﾋﾟﾝのﾃﾞｼﾞﾀﾙ入力緩衝部が禁止されます。このﾋﾞｯﾄが設定(1)されると、対応するﾎﾟｰﾄ入力ﾚｼﾞｽﾀのﾋﾞｯﾄ(PINx)は常に0として読みます。AIN1/0ﾋﾟﾝにｱﾅﾛｸﾞ信号が印加され、そのﾋﾟﾝからのﾃﾞｼﾞﾀﾙ入力が必要とされない時にﾃﾞｼﾞﾀﾙ入力緩衝部での消費電力を削減するため、このﾋﾞｯﾄは論理1を書かれるべきです。

A/D変換器

A/D変換部の主な機能を次に示します。

- 10ﾋﾞｯﾄ分解能
- 積分非直線性誤差0.5 LSB
- 絶対精度±2 LSB
- 変換時間13～260μs (50kHz～1MHz変換ｸﾛｯｸ)
- 最大分解能で15kSPS(採取/s)まで (200kHz変換ｸﾛｯｸ)
- 8ﾁｬﾈﾙのｼﾝｸﾞﾙ ｴﾝﾄﾞ入力多重器内蔵
- 7ﾁｬﾈﾙの差動入力ﾁｬﾈﾙ (訳注:共通性から追加)
- A/D変換結果読み出しに対する任意の左揃え
- 0～VCC A/D変換入力電圧範囲
- 選択可能な1.1V A/D変換基準電圧
- 連続と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- 休止形態雑音低減機能

ATmega165は10ﾋﾞｯﾄ逐次比較A/D変換器が特徴です。このA/D変換器はﾎﾟｰﾄFのﾋﾟﾝから構成された8つのｼﾝｸﾞﾙ ｴﾝﾄﾞ電圧入力を許す8ﾁｬﾈﾙ ｱﾅﾛｸﾞ多重器に接続されます。このｼﾝｸﾞﾙ ｴﾝﾄﾞ電圧入力は0V(GND)が基準です。

ﾃﾞﾊﾞｲｽは16通りの差動電圧入力も支援します。7つの差動ｱﾅﾛｸﾞ入力は共通反転端子(ADC1)を共用し、一方他のADC入力は非反転入力端子として選べます。(訳注:共通性から直前の2行追加)

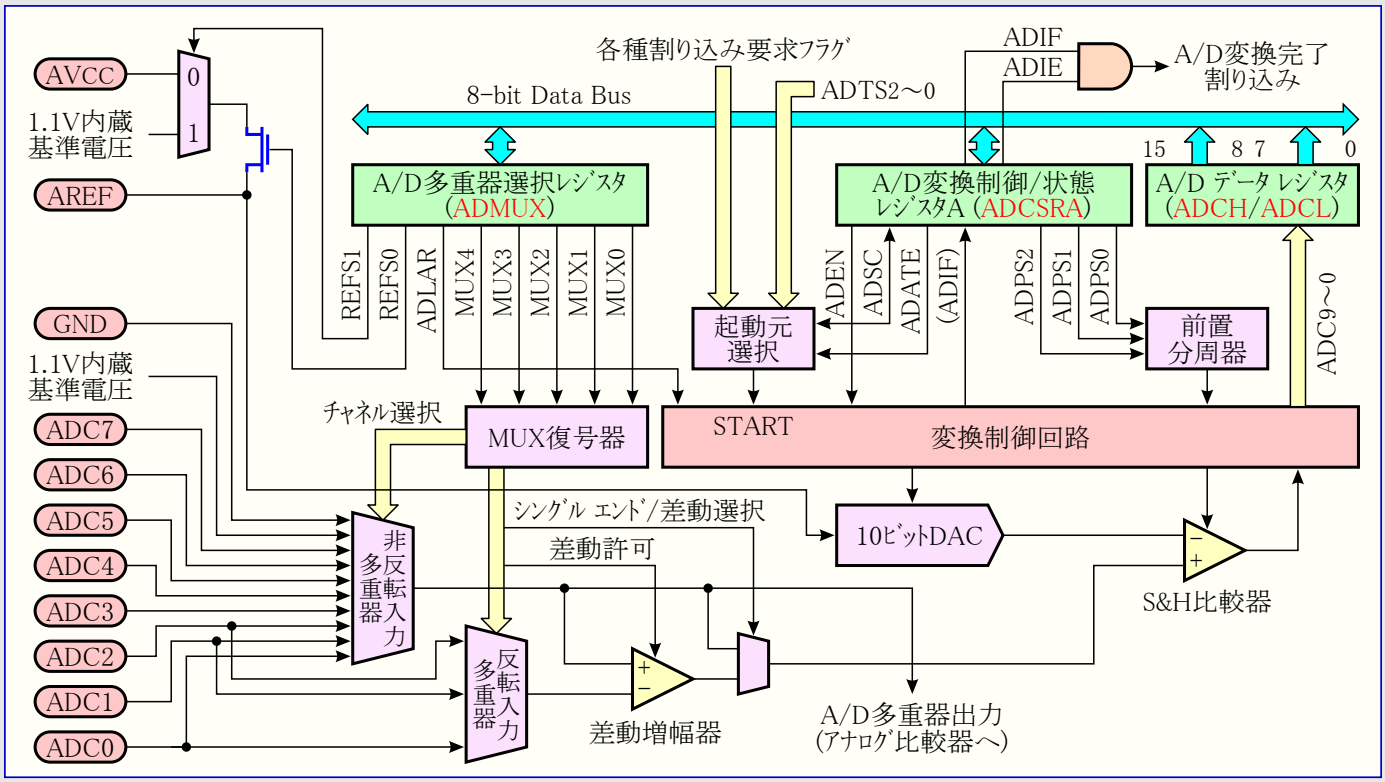
このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は図83.で示されます。

A/D変換部には分離されたｱﾅﾛｸﾞ電源供給ﾋﾟﾝ(AVCC)があります。AVCCはVCCから±0.3Vよりも多く違ってはなりません。このﾋﾟﾝの接続方法は135頁の「雑音低減技術」項をご覧ください。

公称1.1Vの内蔵基準電圧またはAVCCがﾁｯﾌﾟ上で提供されます。この基準電圧は雑音特性向上のため、ｺﾝﾃﾞﾝｻによってAREFﾋﾟﾝで外部的にﾃﾞｶｯﾌﾟ(雑音分離)できます。

23頁の「電力削減ﾚｼﾞｽﾀ(PRR)」でのPRADCﾋﾞｯﾄはA/D変換部を許可するために0を書かれなければなりません。

図83. A/D変換器部構成図



操作

A/D変換部は逐次比較を通してｱﾅﾛｸﾞ入力電圧を10ﾋﾞｯﾄのﾃﾞｼﾞﾀﾙ値に変換します。最小値はGNDを表し、最大値はAREFﾋﾟﾝの電圧-1 LSBを表します。A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)の基準電圧選択(REFS1,0)ﾋﾞｯﾄへの書き込みにより、任意でAVCCまたは内部1.1V基準電圧がAREFﾋﾟﾝに接続できます。従ってこの内部基準電圧は雑音耐性を改善するためにAREFﾋﾟﾝで外部ｺﾝﾃﾞﾝｻによってﾃﾞｶｯﾌﾟ(雑音結合減少)ができます。

ｱﾅﾛｸﾞ入力ﾁｬﾈﾙはADMUXのﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄへの書き込みによって選ばれます。GNDと固定基準電圧(1.1V内蔵基準電圧(V_{BG}))だけでなく、どのADC入力ﾋﾟﾝ(ADC7～0)もがA/D変換器のｼﾝｸﾞﾙ ｴﾝﾄﾞ入力として選べます。A/D変換部はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D許可(ADEN)ﾋﾞｯﾄの設定(1)によって(動作が)許可されます。基準電圧と入力ﾁｬﾈﾙの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)で示される10ﾋﾞｯﾄの結果を生成します。既定では、この結果は右揃え(16ﾋﾞｯﾄのﾋﾞｯﾄ0側10ﾋﾞｯﾄ)で表されますが、ADMUXで左揃え選択(ADLAR)ﾋﾞｯﾄを設定(1)することにより、任意で左揃え(16ﾋﾞｯﾄのﾋﾞｯﾄ15側10ﾋﾞｯﾄ)で表せます。

この結果が左揃え補正され、8ﾋﾞｯﾄを越える精度が必要とされない場合はADCHを読むことで足ります。さもなければﾃﾞｰﾀ ﾚｼﾞｽﾀの内容が同じ変換に属すこと(からの結果)を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)ｱｸｾｽが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのﾚｼﾞｽﾀ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器ｱｸｾｽが再び許可されます。

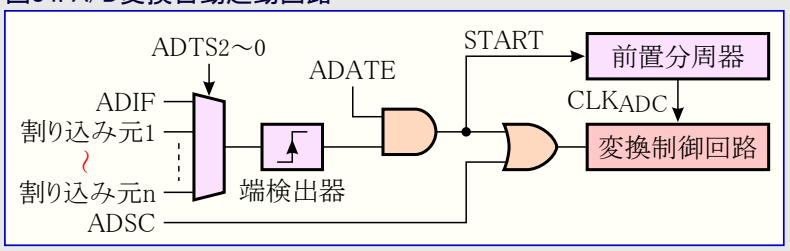
A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀへのA/D変換器ｱｸｾｽがADCLとADCHの読み込み間で禁止されている場合、例えその変換結果が失われても割り込みは起動します。

変換の開始

単独変換はADCSRAで変換開始(ADSC)ﾋﾞｯﾄに論理1を書くことによって開始されます。このﾋﾞｯﾄは変換が進行中である限り、1に留まり、変換が完了されるとﾊｰﾄﾞｳｪｱによって解除(0)されます。変換が進行中に違う入力ﾁｬﾈﾙが選ばれると、A/D変換部はそのﾁｬﾈﾙ変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D変換自動起動許可(ADATE)ﾋﾞｯﾄの設定(1)によって許可されます。起動元はA/D変換制御/状態ﾚｼﾞｽﾀB(ADCSRB)のA/D変換起動元選択(ADTS2～0)ﾋﾞｯﾄの設定によって選ばれます(起動元の一覧についてはADTSﾋﾞｯﾄの記述をご覧ください)。選んだ起動信号上に上昇端が起きると、A/D変換用前置分周器がﾘｾｯﾄし、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だ設定(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の上昇端が起きると、その端(ｴｯｼﾞ)は無視されます。指定した割り込みが禁止またはｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが解除(0)でも、割り込み要求ﾌﾗｸﾞが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求ﾌﾗｸﾞは解除(0)されなければなりません。

図84. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ更新を行ないます。最初の変換はADCSRAでADSCﾋﾞｯﾄに論理1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)が解除(0)されるかどうかに拘らず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCﾋﾞｯﾄに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使えます。ADSCﾋﾞｯﾄは変換がどう開始されたかに拘らず、変換中は1として読みます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はｱｲﾄﾞﾙ休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については135頁の「**雑音低減機能**」をご覧ください。(**訳注**:共通性から2行追加)

前置分周と変換ﾀｲﾐﾝｸﾞ

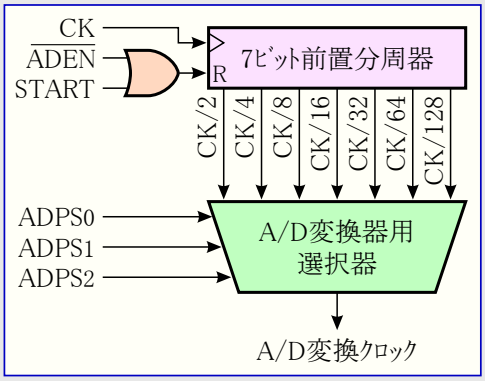
既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力ｸﾛｯｸ周波数を必要とします。10ﾋﾞｯﾄよりも低い分解能が必要とされるなら、A/D変換器への入力ｸﾛｯｸ周波数はより高い採取速度を得るために200kHzよりも高くできます。

A/D変換部は100kHz以上のどんなCPUｸﾛｯｸからも受け入れ可能なA/D変換ｸﾛｯｸ周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/Dｸﾛｯｸ選択(ADPS2～0)ﾋﾞｯﾄによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ﾋﾞｯﾄの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENﾋﾞｯﾄが設定(1)される限り走行を保ち、ADENが0の時は継続的にﾘｾｯﾄします。

ADCSRAのA/D変換開始(ADSC)ﾋﾞｯﾄの設定(1)によってｼﾝｸﾞﾙ ｴﾝﾄﾞ入力の変換を起動すると、その変換は直後の変換ｸﾛｯｸの上昇端で始まります。

通常の変換は13変換ｸﾛｯｸ周期で行われます。A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はｱﾅﾛｸﾞ回路を初期化するために25変換ｸﾛｯｸ周期で行われます。

図85. A/D変換前置分周器部構成



実際の採取&保持(保持開始点)は通常変換の開始後1.5変換ｸﾛｯｸ周期、初回変換の開始後13.5変換ｸﾛｯｸ周期で行われます。変換が完了すると、結果がA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求ﾌﾗｸﾞ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ﾋﾞｯﾄが解除(0)されます。その後にｿﾌﾄｳｪｱは再びADSCを設定(1)でき、新規変換は変換ｸﾛｯｸの最初の上昇端で開始されます。

自動起動が使われると、前置分周器は起動要因発生時にﾘｾｯﾄされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換ｸﾛｯｸ周期で採取が行われます。同期化論理回路(端(ｴｯｼﾞ)検出器)に対して、追加の3 CPUｸﾛｯｸ周期が費やされます。A/D変換完了以外の要因からの自動起動を伴う差動動作を使うとき、各変換は25変換ｸﾛｯｸを必要とします。これはA/D変換器が毎変換後、禁止そして再許可されなければならないからです。

連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。変換時間の概要については表80.をご覧ください。

図86. 初回変換ﾀｲﾐﾝｸﾞ (単独変換動作)

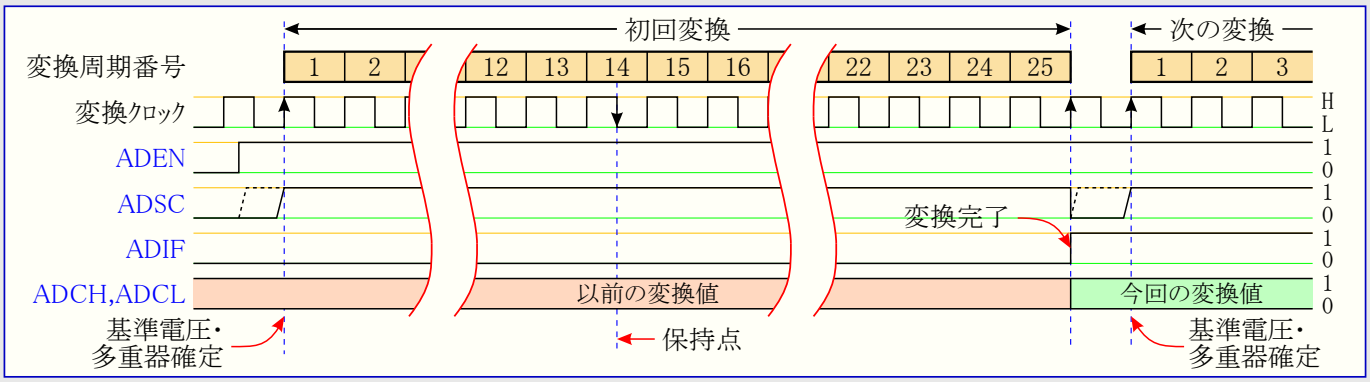


図87. 通常変換ﾀｲﾐﾝｸﾞ (単独変換動作)

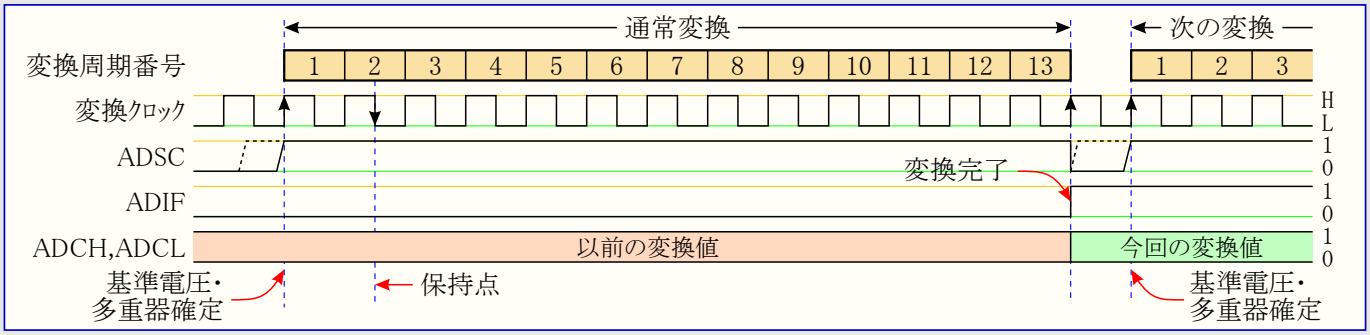


図88. 通常変換ﾀｲﾐﾝｸﾞ（自動起動変換動作）

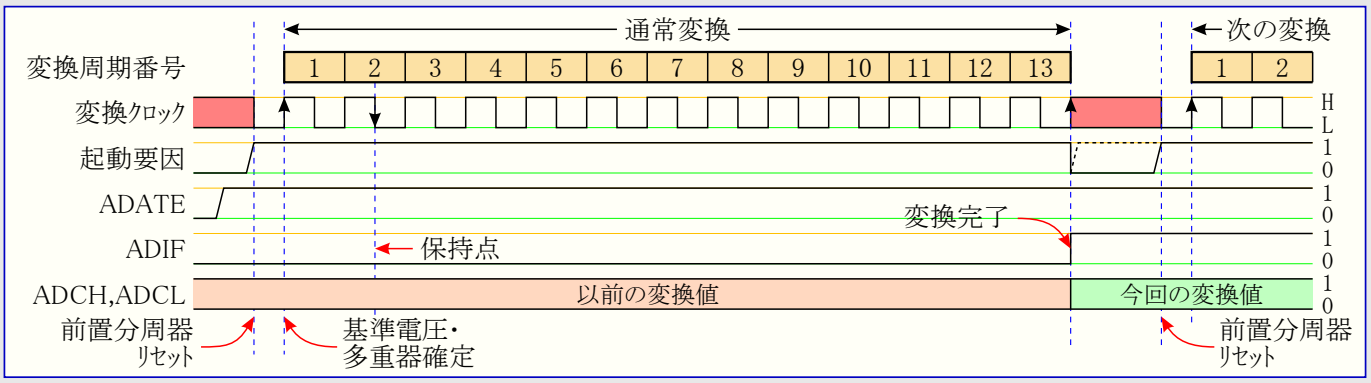


図89. 連続変換動作ﾀｲﾐﾝｸﾞ

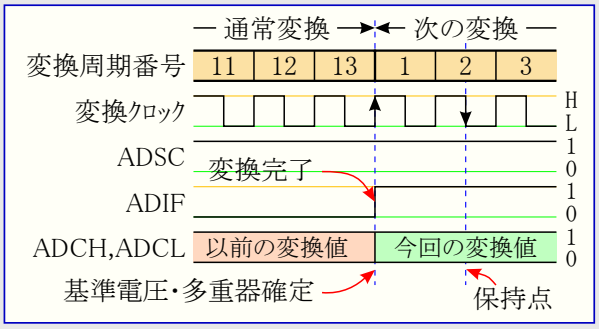


表80. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力通常変換	1.5	13
自動起動変換	1.5 (2)	13.5

注: 変換時間を除く各値は変換開始からの変換ｸﾛｯｸ数です。

ﾁｬﾈﾙ変更と基準電圧選択

A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)のﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄと基準電圧選択(REFS1,0)ﾋﾞｯﾄはCPUが乱順にｱｸｾｽするための一時ﾚｼﾞｽﾀを通して単独緩衝されます。これはﾁｬﾈﾙと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。ﾁｬﾈﾙと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して充分な採取/変換時間を保証するためにﾁｬﾈﾙと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換ｸﾛｯｸ周期で再開します。ADCSRAの変換開始(ADSC)ﾋﾞｯﾄが書かれた後の次の変換ｸﾛｯｸの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換ｸﾛｯｸ周期(経過)まで新しいﾁｬﾈﾙまたは基準電圧選択値をADMUXに書かないことが推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が祓われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

- ADENまたはADATEが解除(0)されているとき。
- 変換開始後、最低1変換ｸﾛｯｸ周期経過後の変換中。
- 変換後から、変換起動元として使った割り込みﾌﾗｸﾞが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

JTAGｲﾝﾀｰﾌｪｰｽが許可されると、PORTF7～4のADC入力ﾁｬﾈﾙ機能が無効にされます。46頁の**表35.**を参照してください。
(**訳注**:共通性のため上記行追加)

A/D入力ﾁｬﾈﾙ

ﾁｬﾈﾙ選択を変更する時に使用者は正しいﾁｬﾈﾙが選ばれることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にﾁｬﾈﾙを選んでください。ﾁｬﾈﾙ選択はADSCへの1書き込み後、1変換ｸﾛｯｸ周期で変更されるかもしれません。とは言え、最も簡単な方法はﾁｬﾈﾙ選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にﾁｬﾈﾙを選んでください。ﾁｬﾈﾙ選択はADSCへの1書き込み後、1変換ｸﾛｯｸ周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にﾁｬﾈﾙ選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のﾁｬﾈﾙ選択を反映します。それに続く変換は新しいﾁｬﾈﾙ選択を反映します。

A/D変換基準電圧

このA/D変換用の基準電圧(V_{REF})はA/D変換に対する変換範囲を示します。V_{REF}を越えるｼﾝｸﾞﾙ ｴﾝﾄﾞ入力ﾁｬﾈﾙは$3FFで打ち切る符号に帰着します。$V_{REF}$はAVCC、内部1.1V基準電圧、外部AREFﾋﾟﾝのどれかとして選べます。

AVCCは受動型ｽｲｯﾁを通してA/D変換部に接続されます。内部1.1V基準電圧は内蔵基準(ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ)電圧(V_{BG})から内部増幅器を通して生成されます。どちらの場合でも外部AREFﾋﾟﾝは直接的にA/D変換部へ接続され、AREFﾋﾟﾝとGND間にｺﾝﾃﾞﾝｻを接続することにより、基準電圧は雑音耐性をより高められます。V_{REF}(電圧)は高入力ｲﾝﾋﾟｰﾀﾞﾝｽ電圧計とAREFﾋﾟﾝで測定することもできます。V_{REF}は高ｲﾝﾋﾟｰﾀﾞﾝｽ出力で、容量性負荷のみがｼｽﾃﾑ内で接続されるべきであることに注意してください。

使用者がAREFﾋﾟﾝに接続された固定電圧源にするなら、この外部電圧がその他の内部基準電圧と短絡してしまうため、使用者はこの応用内で他の基準電圧選択を使ってはなりません。外部電圧がAREFﾋﾟﾝに印加されないなら、使用者は基準電圧選択としてAVCCと内部1.1V基準電圧間の切り替えができます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

雑音低減機能

このA/D変換部はCPUｺｱと他の周辺I/Oが誘導した雑音を削減するために休止形態中の変換を可能にする雑音低減機能が特徴です。この機能はA/D変換雑音低減動作とｱｲﾄﾞﾙ動作で使えます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADATE=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されていなければなりません。
2. A/D変換雑音低減(またはｱｲﾄﾞﾙ)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みﾙｰﾁﾝを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで活動動作に留まります。

ｱｲﾄﾞﾙ動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADENへ0を書くことが推奨されます。

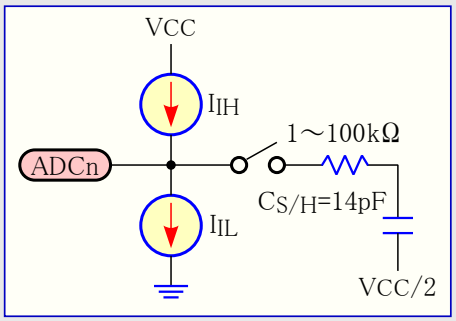
ｱﾅﾛｸﾞ入力回路

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力ﾁｬﾈﾙのｱﾅﾛｸﾞ回路は図90.で図示されます。ADCnに印加したｱﾅﾛｸﾞ(信号)源はそのﾁｬﾈﾙがADC入力として選ばれているかどうかに拘らず、ﾋﾟﾝ容量とそのﾋﾟﾝの漏れ電流に左右されます。そのﾁｬﾈﾙが選ばれると、(ｱﾅﾛｸﾞ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hｺﾝﾃﾞﾝｻを駆動しなければなりません。

A/D変換部は概ね10kΩ若しくはそれ以下の出力ｲﾝﾋﾟｰﾀﾞﾝｽのｱﾅﾛｸﾞ信号用に最適化されています。このような(ｱﾅﾛｸﾞ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いｲﾝﾋﾟｰﾀﾞﾝｽの(ｱﾅﾛｸﾞ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hｺﾝﾃﾞﾝｻを充電するために(ｱﾅﾛｸﾞ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hｺﾝﾃﾞﾝｻへの充放電を最小とするため、使用者は緩やかに変化する低ｲﾝﾋﾟｰﾀﾞﾝｽ(ｱﾅﾛｸﾞ信号)源だけを使うことが推奨されます。

特定できない信号の渦からの歪を避けるために、どのﾁｬﾈﾙに対してもﾅｲｷｽﾄ周波数($f_{ADC}/2$)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に低域通過濾波器(ﾛｰﾊﾟｽ ﾌｨﾙﾀ)で高い周波数成分を取り除くことが推奨されます。

図90. ｱﾅﾛｸﾞ入力回路

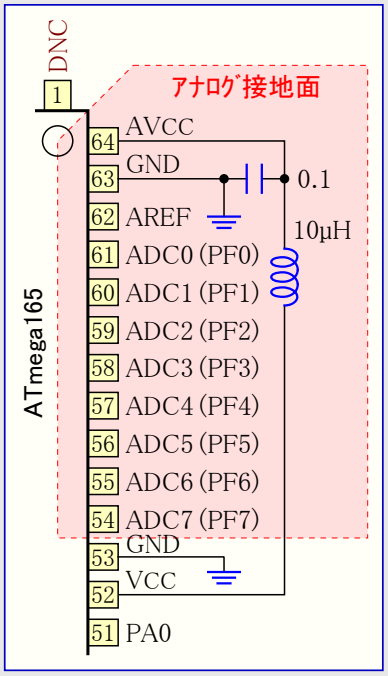


ｱﾅﾛｸﾞ雑音低減技術

ﾃﾞﾊﾞｲｽ内外のﾃﾞｼﾞﾀﾙ回路がｱﾅﾛｸﾞ測定の精度に影響を及ぼすかもしれないEMIを発生します。精密な変換精度が必要な場合、次の技法を適用することによって雑音ﾚﾍﾞﾙを低減できます。

1. ｱﾅﾛｸﾞ信号経路を可能な限り最短にしてください。ｱﾅﾛｸﾞ信号線がｱﾅﾛｸﾞGND面上を走ることに注意し、高速切り替えﾃﾞｼﾞﾀﾙ信号線から充分離すことを守ってください。
2. ﾃﾞﾊﾞｲｽのAVCCﾋﾟﾝは図91.で示されるようにLC濾波器を経由してﾃﾞｼﾞﾀﾙ供給電圧(VCC)に接続されるべきです。
3. CPUからの誘導雑音を低減するためにA/D変換の雑音低減機能を使ってください。
4. どれかのADCﾎﾟｰﾄ ﾋﾟﾝがﾃﾞｼﾞﾀﾙ出力として使われる場合、これらが変換進行中に切り替わらないことが重要です。

図91. A/D変換部電源接続



A/D変換の精度定義

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力電圧のnﾋﾞｯﾄA/D変換はGNDとVREF間を2^nで直線的に変換します。最低値符号は0として読み、最高値符号は2^n-1として読みます。以下の各種ﾊﾟﾗﾒｰﾀは理想状態からの偏差を表します。

- **変位(ｵﾌｾｯﾄ)誤差 – 図92.**

最初の遷移点($000から$001)で理想遷移点(差0.5 LSB)と比べた偏差です。理想値は0 LSBです。

- **利得誤差 – 図93.**

変位誤差補正後の最後の遷移点($3FEから$3FF)で理想遷移点(最大差1.5 LSB以下)と比べた偏差です。理想値は0 LSBです。

- **積分非直線性誤差 (INL) – 図94.**

変位誤差と利得誤差補正後の全ての遷移点で理想遷移点と比べた最大偏差です。理想値は0 LSBです。

- **微分非直線性誤差 (DNL) – 図95.**

実際の符号の幅(隣接する2つの遷移点間)で理想符号幅(1 LSB)と比べた最大偏差です。理想値は0 LSBです。

- **量子化誤差**

有限数の符号で入力電圧を量子化するため、1 LSB幅となる入力電圧範囲は同じ値の符号になります。この値は常に±0.5 LSBです。

- **絶対精度**

補正しない全ての遷移点で理想遷移点と比べた最大偏差です。これは、変位誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は±0.5 LSBです。

図92. 変位(ｵﾌｾｯﾄ)誤差

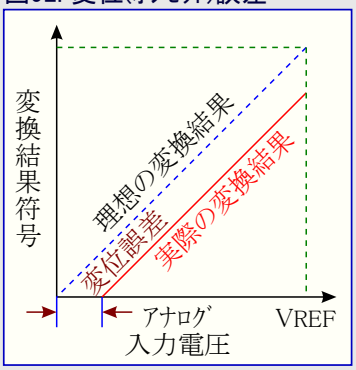


図93. 利得誤差

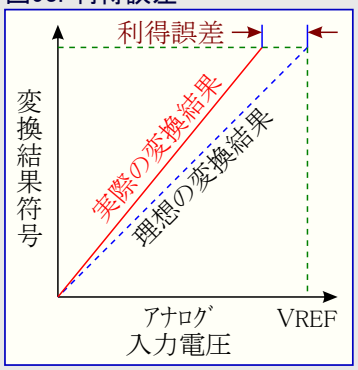


図94. 積分非直線性誤差

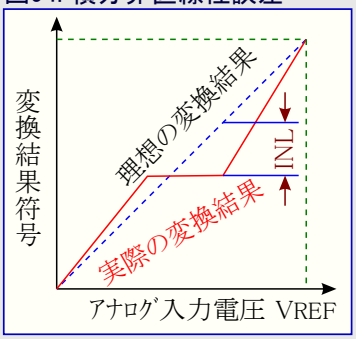
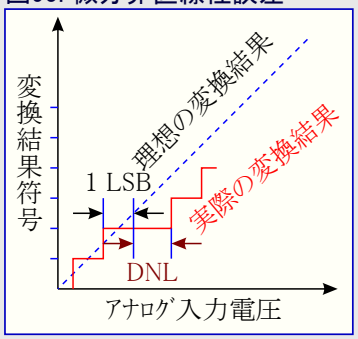


図95. 微分非直線性誤差



A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ(ADCH, ADCL)で得られます。

ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換での結果は右式で示されます。V_{IN}は選んだ入力ﾋﾟﾝの電圧で、V_{REF}は選んだ基準電圧です(137頁の表82.と表83.をご覧ください)。$000はｱﾅﾛｸﾞGNDを表し、$3FFは選んだ基準電圧-1 LSBを表します。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

差動ﾁｬﾈﾙが使われると、その結果は右式で示されます。V_{POS}は非反転入力ﾋﾟﾝの電圧、V_{NEG}は反転入力ﾋﾟﾝの電圧、V_{REF}は選んだ基準電圧です。この結果は-512($200)～+511($1FF)の2の補数形式で示されます。使用者が結果の符号を素早く検査したいなら、結果のMSB(ADCHのADC9)を読むことで充分なことに注目してください。このﾋﾞｯﾄが1ならばその結果は－、0ならばその結果は＋です。図96.は差動入力範囲の符号化を示します。

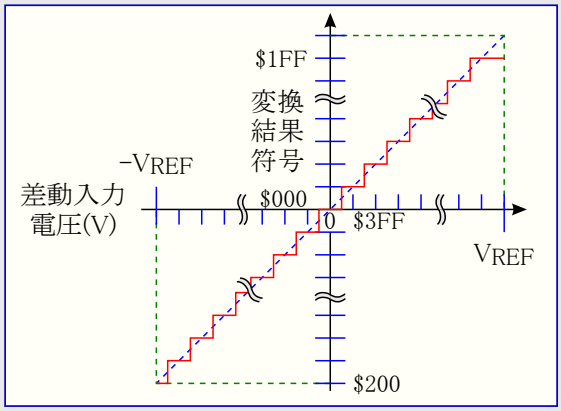
$$ADC = \frac{(V_{POS} - V_{NEG}) \times 512}{V_{REF}}$$

表81.は差動入力ﾁｬﾈﾙの組(ADCn-ADCm)が基準電圧(V_{REF})で選ばれた場合の出力符号の結果を示します。

表81. 入力電圧と出力符号の関係

V_{ADCn}	読み出し符号	対応する10進値
$V_{ADCm}+V_{REF}$	$1FF	511
$V_{ADCm}+(511/512)V_{REF}$	$1FF	511
$V_{ADCm}+(510/512)V_{REF}$	$1FE	510
≀	≀	≀
$V_{ADCm}+(1/512)V_{REF}$	$001	1
V_{ADCm}	$000	0
$V_{ADCm}-(1/512)V_{REF}$	$3FF	-1
≀	≀	≀
$V_{ADCm}-(511/512)V_{REF}$	$201	-511
$V_{ADCm}-V_{REF}$	$200	-512

図96. 差動入力計測範囲



例: ADMUX=$ED(ADC3とADC2差動入力、$V_{REF}$=1.1V、左揃え)で、ADC3が300mV、ADC2が500mVの場合、A/D変換値は512×(300-500)÷1100=-93=$3A3、従って、ADCH=$D8, ADCL=$C0、ADLAR=0なら、ADCH=$03, ADCL=$A3。

A/D変換用ﾚｼﾞｽﾀ

A/D多重器選択ﾚｼﾞｽﾀ (ADC Multiplexer Select Register) ADMUX

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($7C)	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7,6 – REFS1,0 : 基準電圧選択 (Reference Select Bits 1, 0)

これらのﾋﾞｯﾄは表82.で示されるようにA/D変換器の基準電圧を選びます。これらのﾋﾞｯﾄが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。AREFﾋﾟﾝに外部基準電圧が印加される場合、内部の基準電圧が使われてはなりません。

表82. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AREFﾋﾟﾝの外部基準電圧 (AVCCと内部1.1V基準電圧は切り離されます。)
0	1	AVCC (内部1.1V基準電圧は切り離されますが、AREFにﾃﾞｶｯﾌﾟ用ｺﾝﾃﾞﾝｻが接続できます。)
1	0	(予約)
1	1	内部1.1V基準電圧 (AVCCは切り離されますが、AREFにﾃﾞｶｯﾌﾟ用ｺﾝﾃﾞﾝｻが接続できます。)

• ﾋﾞｯﾄ5 – ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARﾋﾞｯﾄはA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARﾋﾞｯﾄの変更はどんな進行中の変換にも拘らず、直ちにA/Dﾃﾞｰﾀ ﾚｼﾞｽﾀの内容に影響を及ぼします。このﾋﾞｯﾄの完全な記述については139頁の「A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ」をご覧ください。

• ﾋﾞｯﾄ4~0 – MUX4~0 : A/Dﾁｬﾈﾙ選択 (Analog Channel Select Bits 4～0)

これらﾋﾞｯﾄの値はA/D変換器にどのｱﾅﾛｸﾞ入力の組み合わせが接続されるかを選びます。詳細については表83.をご覧ください。これらのﾋﾞｯﾄが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

表83. ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ選択

MUX4～0	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力	差動入力		MUX4～0	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力	差動入力	
		非反転入力	反転入力			非反転入力	反転入力
00000	ADC0			10000		ADC0	ADC1
00001	ADC1			10001		ADC1	ADC1
00010	ADC2			10010		ADC2	ADC1
00011	ADC3			10011		ADC3	ADC1
00100	ADC4			10100		ADC4	ADC1
00101	ADC5			10101		ADC5	ADC1
00110	ADC6			10110		ADC6	ADC1
00111	ADC7			10111		ADC7	ADC1
01000	(利用不可)			11000		ADC0	ADC2
01001				11001		ADC1	ADC2
01010				11010		ADC2	ADC2
01011				11011		ADC3	ADC2
01100				11100		ADC4	ADC2
01101				11101		ADC5	ADC2
01110				11110	1.1V(V_{BG})		
01111				11111	0V(GND)		

A/D変換 制御/状態ﾚｼﾞｽﾀA (ADC Control and Status Register A) ADCSRA

ﾋﾞｯﾄ ($7A)	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – ADEN : A/D許可** (ADC Enable)

このﾋﾞｯﾄに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

• **ﾋﾞｯﾄ6 – ADSC : A/D変換開始** (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのﾋﾞｯﾄへ1を書いてください。連続変換動作で最初の変換を始めるにはこのﾋﾞｯﾄへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の13に代わって25変換ｸﾛｯｸ周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読みます。変換が完了すると0に戻ります。このﾋﾞｯﾄへの0書き込みは無効です。

• **ﾋﾞｯﾄ5 – ADATE : A/D変換自動起動許可** (ADC Auto Trigger Enable)

このﾋﾞｯﾄが1を書かれると、A/D変換の自動起動が許可されます。A/D変換器は選んだ起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態ﾚｼﾞｽﾀB(ADCSRB)のA/D変換起動要因選択(ADTS2～0)ﾋﾞｯﾄ設定によって選ばれます。

• **ﾋﾞｯﾄ4 – ADIF : A/D変換完了割り込み要求ﾌﾗｸﾞ** (ADC Interrupt Flag)

A/D変換が完了し、A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀが更新されると、このﾌﾗｸﾞが設定(1)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとA/D変換完了割り込み許可(ADIE)ﾋﾞｯﾄが設定(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ﾍﾞｸﾀを実行する時にADIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞｨﾌｧｲ ﾗｲﾄ)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます(**訳注**:ｱﾄﾞﾚｽ範囲外のため、本行は不適切です)。

• **ﾋﾞｯﾄ3 – ADIE : A/D変換完了割り込み許可** (ADC Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、SREGの全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、A/D変換完了割り込みが活性に(許可)されます。このﾋﾞｯﾄが解除(0)されると、この割り込みは禁止されます(**訳注**:共通性のため本行追加)。

• **ﾋﾞｯﾄ2～0 – ADPS2～0 : A/D変換ｸﾛｯｸ選択** (ADC Prescaler Select Bits)

これらのﾋﾞｯﾄはXTAL(ｼｽﾃﾑ)周波数とA/D変換部への入力ｸﾛｯｸ間の分周値を決めます。

表84. A/D変換ｸﾛｯｸ選択 (CK=ｼｽﾃﾑ ｸﾛｯｸ)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換ｸﾛｯｸ	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

A/D変換 制御/状態ﾚｼﾞｽﾀB (ADC Control and Status Register B) ADCSRB

ﾋﾞｯﾄ ($7B)	7	6	5	4	3	2	1	0	
	–	ACME	–	–	–	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7,5～3 – Res : 予約** (Reserved Bits)

これらのﾋﾞｯﾄは将来の使用に対して予約されています。将来のﾃﾞﾊﾞｲｽとの共通性のため、ADCSRBが書かれるとき、これらのﾋﾞｯﾄは0が書かれなければなりません。

• **ﾋﾞｯﾄ2～0 – ADTS2～0 : A/D変換自動起動要因選択** (ADC Auto Trigger Source)

A/D変換制御/状態ﾚｼﾞｽﾀA(ADCSRA)のA/D変換自動起動許可(ADATE)ﾋﾞｯﾄが1を書かれると、これらのﾋﾞｯﾄの値はどの起動元がA/D変換を起動するのかを選びます。ADATEが解除(0)されると、ADTS2～0設定は無効です。変換は選んだ割り込みﾌﾗｸﾞの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが、起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ﾋﾞｯﾄが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2～0=0)への切り替えはA/D変換完了割り込み要求ﾌﾗｸﾞが設定(1)されていても、起動事象を引き起こしません。(**訳補**:起動元一覧表は次頁参照)

表85. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	ｱﾅﾛｸﾞ比較器
0	1	0	外部割り込み要求0
0	1	1	ﾀｲﾏ/ｶｳﾝﾀ0比較一致
1	0	0	ﾀｲﾏ/ｶｳﾝﾀ0溢れ
1	0	1	ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
1	1	0	ﾀｲﾏ/ｶｳﾝﾀ1溢れ
1	1	1	ﾀｲﾏ/ｶｳﾝﾀ1捕獲要求

A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀ (ADC Data Register) **ADCH,ADCL**

ADLAR=0時

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($79)	–	–	–	–	–	–	ADC9	ADC8	ADCH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($78)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ADLAR=1時

15	14	13	12	11	10	9	8	
ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
7	6	5	4	3	2	1	0	
ADC1	ADC0	–	–	–	–	–	–	ADCL

A/D変換が完了すると、その結果がこれら2つのﾚｼﾞｽﾀで得られます。差動ﾁｬﾈﾙが使われると、結果は2の補数形式で表されます(訳補:本行追加)。

ADCLが読まれると、A/Dﾃﾞｰﾀ ﾚｼﾞｽﾀはADCHが読まれるまで更新されません。従ってこの結果が左揃えで、且つ8ﾋﾞｯﾄ(差動入力ﾁｬﾈﾙについては符号+7ﾋﾞｯﾄ)を越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなければADCLが先に、その後にADCHが読まれなければなりません。

A/D多重器選択ﾚｼﾞｽﾀ(ADMUX)の左揃え選択(ADLAR)ﾋﾞｯﾄとA/Dﾁｬﾈﾙ選択(MUX4～0)ﾋﾞｯﾄは本ﾚｼﾞｽﾀから結果を読む方法に影響を及ぼします。ADLARが設定(1)ならば結果は左揃えにされます。ADLARが解除(0:既定)ならば結果は右揃えにされます。

- **ADC9~0 : A/D変換結果** (ADC Conversion result)

これらのﾋﾞｯﾄは136頁の「**A/D変換の結果**」で詳述されるように変換での結果を表します。

ﾃﾞｼﾞﾀﾙ入力禁止ﾚｼﾞｽﾀ0 (Digital Input Disable Register 0) **DIDR0**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($7E)	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~0 – ADC7D~ADC0D : ADC7~0 ﾃﾞｼﾞﾀﾙ入力禁止** (ADC7～0 Digital Input Disable)

このﾋﾞｯﾄが論理1を書かれると、対応するADCnﾋﾟﾝのﾃﾞｼﾞﾀﾙ入力緩衝部が禁止されます。このﾋﾞｯﾄが設定(1)されると、対応するﾎﾟｰﾄ入力ﾚｼﾞｽﾀのﾋﾞｯﾄ(PINx)は常に0として読みます。ｱﾅﾛｸﾞ信号がADCnﾋﾟﾝに印加され、そのﾋﾟﾝからのﾃﾞｼﾞﾀﾙ入力が必要とされない時にﾃﾞｼﾞﾀﾙ入力緩衝部での消費電力を削減するため、そのﾋﾞｯﾄは論理1を書かれるべきです。

JTAGインターフェースと内蔵デバッグ機能

特徴

- JTAGインターフェース (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- デバッガは各部のアクセスが可能
  - 全ての内蔵周辺機能
  - 内部及び外部RAM
  - 内蔵レジスタ ファイル
  - プログラム カウンタ
  - EEPROM及びフラッシュ メモリ
- 中断(BREAK)によって支援される広範囲な内蔵デバッグ機能
  - AVRのBREAK命令
  - プログラムの流れ変更での停止
  - 1命令実行(シングル ステップ)停止
  - プログラム メモリ上の単一アドレスまたはアドレス範囲による中断点(ブレークポイント)
  - データ メモリ上の単一アドレスまたはアドレス範囲による中断点
- JTAGインターフェースを介してのフラッシュ メモリ、EEPROM、ヒューズ ビット、施錠ビットの読み書き(プログラミング)
- AVR Studioによる内蔵デバッグ機能の支援

概要

AVRのIEEE標準1149.1準拠JTAGインターフェースは以下について使えます。

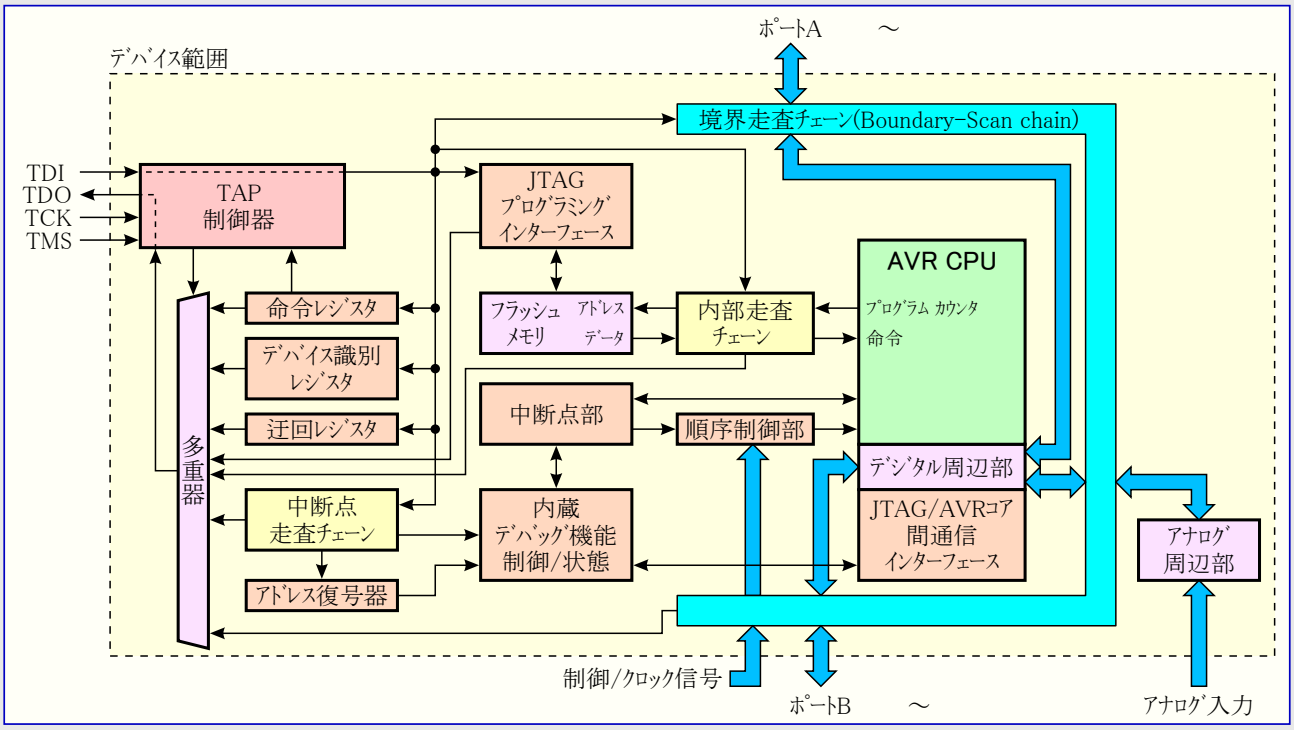
- JTAG境界走査(Boudary-Scan)能力による基板などの試験
- 不揮発性メモリ、ヒューズ ビット、施錠ビットの読み書き(プログラミング)
- 内蔵デバッグ機能による実装デバッグ

簡単な記述は次節で与えられます。JTAGインターフェース経由のプログラミングと境界走査(Boundary-Scan)チェーンに関する詳細な記述は、各々175頁の「JTAGインターフェース経由のプログラミング」と144頁の「IEEE 1149.1(JTAG)境界走査(Boundary-Scan)」で得られます。内蔵デバッグ機能の支援は独自JTAG命令で考慮されており、Atmelと選ばれた業者のみに配布されます。

図97.はJTAGインターフェースと内蔵デバッグ機能の構成図を示します。TAP(検査入出力ポート)制御器はTMSとTCKによって制御される順次回路です。TAP制御器はTDI入力とTDO出力間の走査チェーン(移動レジスタ接続)として、JTAG命令レジスタまたは各種データ レジスタの1つのどれかを選びます。JTAG命令レジスタはデータ レジスタの動きを制御するJTAG命令を保持します。

デバイス識別(Identification)レジスタ、迂回(Bypass)レジスタ、境界走査チェーン(Boundary-Scan chain)の各データ レジスタは基板段階の試験に使われます。(実際には現実と仮想の各種データ レジスタで構成する)JTAGプログラミング インターフェースはJTAGインターフェース経由での直列プログラミングに使われます。内部走査チェーン(Scan chain)と中断点(ブレークポイント)走査チェーンは内部デバッグ機能だけで使われます。

図97. JTAGインターフェースと内蔵デバッグ機能の構成図



検査入出力ﾎﾟｰﾄ (TAP:Test Access Port)

JTAGｲﾝﾀｰﾌｪｰｽはAVRの4つのﾋﾟﾝを通してｱｸｾｽされます。JTAG用語ではこれらのﾋﾟﾝが検査入出力ﾎﾟｰﾄ(TAP)を構成します。

- TMS：検査種別選択。このﾋﾟﾝはTAP制御器順次回路を通しての指示に使われます。
- TCK：検査ｸﾛｯｸ。JTAG操作はTCKに同期します。
- TDI ：検査ﾃﾞｰﾀ入力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀ(走査ﾁｪｰﾝ)内に移動されるべき直列入力ﾃﾞｰﾀです。
- TDO：検査ﾃﾞｰﾀ出力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀからの直列出力ﾃﾞｰﾀです。

IEEE標準1149.1では任意TAP信号の検査ﾘｾｯﾄ(TRST)も記載されていますが、この信号は提供されません。

JTAGENﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)の時にこれら4つのTAPﾋﾟﾝは標準ﾎﾟｰﾄ ﾋﾟﾝで、TAP制御器はﾘｾｯﾄです。ﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されると、TAP信号入力は内部的にHighへ引かれ、JTAGは境界走査(Boundary-Scan)とﾌﾟﾛｸﾞﾗﾐﾝｸﾞに関して許可されます。このﾃﾞﾊﾞｲｽはこのﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されて出荷されます。

内蔵ﾃﾞﾊﾞｯｸﾞ機能ではJTAGｲﾝﾀｰﾌｪｰｽ ﾋﾟﾝに加え、外部ﾘｾｯﾄ元が検知できるため、RESETﾋﾟﾝがﾃﾞﾊﾞｯｶﾞによって監視されます。応用でﾘｾｯﾄ信号線にｵｰﾌﾟﾝ ｺﾚｸﾀ(ﾄﾞﾚｲﾝ)だけが使われるとすれば、ﾃﾞﾊﾞｯｶﾞは全ｼｽﾃﾑをﾘｾｯﾄするためにRESETﾋﾟﾝをLowにすることもできます。

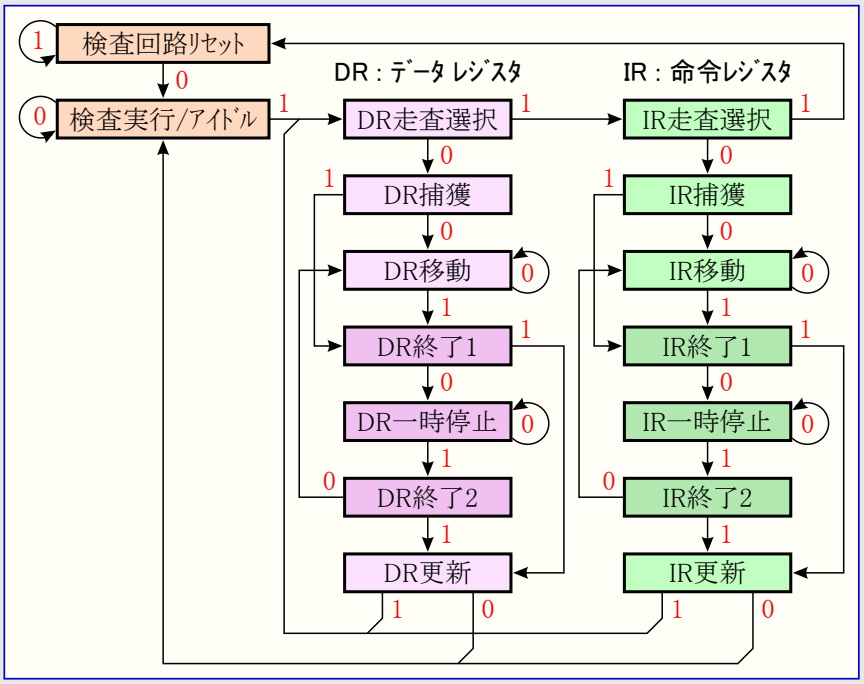
TAP制御器

TAP制御器は境界走査(Boundary-Scan)回路、JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ回路、内蔵ﾃﾞﾊﾞｯｸﾞ機能の働きを制御する16段の無限順次回路です。図98.に描かれた状態遷移はTCKｸﾛｯｸの上昇時の(各状態遷移付近で示される)TMS上に存在する信号に依存します。電源投入ﾘｾｯﾄ後の初期状態は検査回路ﾘｾｯﾄです。

この文書内の定義として、全ての移動ﾚｼﾞｽﾀに関して入出力ともLSBが最初に移動されます。

検査実行/ｱｲﾄﾞﾙ状態が現在の状態と仮定した、JTAGｲﾝﾀｰﾌｪｰｽを使うための典型的な手順を次に示します。

図98. TAP制御器状態遷移図



- 命令ﾚｼﾞｽﾀ(IR)移動状態へ移行するためにTCKの上昇でTMSへ順次1,1,0,0を与えます。この状態中、TCKの上昇端でTDI入力からJTAG命令ﾚｼﾞｽﾀ内に4ﾋﾞｯﾄのJTAG命令を移動します。TMS入力はIR移動状態に留まるために3 LSBの入力中、Lowに保持されなければなりません。命令のMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。命令がTDIﾋﾟﾝから移動されている間、捕獲されたIRの状態($01)がTDOﾋﾟﾝへ移動出力されます。JTAG命令はTDIとTDO間に通す(接続する)特定のﾃﾞｰﾀ ﾚｼﾞｽﾀを選び、選んだﾃﾞｰﾀ ﾚｼﾞｽﾀ周辺回路を制御します。
- 検査実行/ｱｲﾄﾞﾙ状態へ再度移行するためにTMSへ順次1,1,0を与えます。この(JTAG)命令はIR更新状態通過で移動ﾚｼﾞｽﾀから並列出力にﾗｯﾁされます。IR終了1、IR一時停止、IR終了2の各状態は順次回路の誘導操作のためだけに使われます。
- ﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)移動状態へ移行するためにTCKの上昇端でTMSへ順次1,0,0を与えます。この状態中、TCKの上昇端でTDI入力から(JTAG命令ﾚｼﾞｽﾀ内の現在のJTAG命令で)選んだﾃﾞｰﾀ ﾚｼﾞｽﾀに値を移動入力します。DR移動状態に留まるためにMSBを除く全ﾋﾞｯﾄの入力中、TMS入力はLowに保持されなければなりません。ﾃﾞｰﾀのMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。ﾃﾞｰﾀ ﾚｼﾞｽﾀがTDIﾋﾟﾝから移動入力される間、DR捕獲状態(1,0)でﾃﾞｰﾀ ﾚｼﾞｽﾀに捕獲した並列入力がTDOﾋﾟﾝへ移動出力されます。
- 検査実行/ｱｲﾄﾞﾙ状態へ再移行するためにTMSへ順次1,1,0を与えます。選んだﾃﾞｰﾀ ﾚｼﾞｽﾀがﾗｯﾁした並列出力を持つ場合、DR更新状態でﾗｯﾁを行います。DR終了1、DR一時停止、DR終了2の各状態は順次回路の誘導操作のためだけに使われます。

状態遷移図で示されるように検査実行/ｱｲﾄﾞﾙ状態はJTAG命令の選択とﾃﾞｰﾀ ﾚｼﾞｽﾀの使用間で移行される必要はなく、また、いくつかのJTAG命令は検査実行/ｱｲﾄﾞﾙ状態で実行されるべき必然的な機能を選ぶかもしれず、それはｱｲﾄﾞﾙ状態として不適当になります。

注: TAP制御器の初期状態に関係なく、5 TCKｸﾛｯｸ周期に対してTMSをHighに保持することにより、常に検査回路ﾘｾｯﾄ状態へ移行することができます。

JTAG仕様の詳細情報については143頁の「参考文献」に記載された文献を参照してください。

境界走査ﾁｪｰﾝ(Boundary-Scan Chain)の使用

境界走査能力の完全な説明は144頁の「IEEE 1149.1(JTAG)境界走査(Boundary-Scan)」項で与えられます。

内蔵ﾃﾞﾊﾞｯｸﾞ機能の使用

図97.で示されるように内蔵ﾃﾞﾊﾞｯｸﾞに関するﾊｰﾄﾞｳｪｱ支援は主に次の部分から成ります。

- 内部AVR CPUｺｱと内部周辺機能部間ｲﾝﾀｰﾌｪｰｽの走査ﾁｪｰﾝ(Scan chain)
- 中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)部
- CPUとJTAGｼｽﾃﾑ間の通信ｲﾝﾀｰﾌｪｰｽ

ﾃﾞﾊﾞｯｶﾞの実行で必要とされる全ての読み込みまたは変更/書き込みは内部AVR CPU走査ﾁｪｰﾝ(Scan chain)経由のAVR命令によって行われます。CPUはCPUとJTAGｼｽﾃﾑ間の通信ｲﾝﾀｰﾌｪｰｽ部分が配置されるI/Oﾒﾓﾘ位置に結果を送ります。

中断点部はﾌﾟﾛｸﾞﾗﾑの流れ変更での一時停止(Break)、1命令実行(Single Step Break)、2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ用中断点、2つの複合中断点を実行します。合わせて4つ中断点は次のどれかとして設定ができます。

- 4つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点
- 3つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾃﾞｰﾀ ﾒﾓﾘ単一中断点
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 2つのﾃﾞｰﾀ ﾒﾓﾘ単一中断点
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ範囲中断点 (中断点と遮蔽)
- 2つのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ単一中断点 ＋ 1つのﾃﾞｰﾀ ﾒﾓﾘ範囲中断点 (中断点と遮蔽)

けれどもAVR Studio®のようなﾃﾞﾊﾞｯｶﾞは最終使用者への柔軟性をより少なくする内部目的にこれら資源の1つまたはそれ以上を使うかもしれません。

内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令の一覧は「内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令」で与えられます。

JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されなければなりません。加えて内蔵ﾃﾞﾊﾞｯｸﾞ機能で作業するには更にOCDENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、施錠ﾋﾞｯﾄが施錠なしに設定されなければなりません。何れかの施錠ﾋﾞｯﾄが設定(0)されると、保護機能で内蔵ﾃﾞﾊﾞｯｸﾞ機能が禁止されます。そうでなければ内蔵ﾃﾞﾊﾞｯｸﾞ機能が保護されたﾃﾞﾊﾞｲｽへの裏口を提供することになっていたでしょう(**訳補**:保護の意味がなくなるの意)。

AVR Studioは使用者にﾁｯﾌﾟ内蔵ﾃﾞﾊﾞｯｸﾞ能力(機能)、AVRｲﾝｻｰｷｯﾄ ｴﾐｭﾚｰﾀ、または(AVR Studio)組み込みAVR命令一式ｼﾐｭﾚｰﾀでAVRﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾑ実行を完全に制御することを可能にします。AVR StudioはAtmel AVRｱｾﾝﾌﾞﾗでｱｾﾝﾌﾞﾙしたｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑと他業者製ｺﾝﾊﾟｲﾗでｺﾝﾊﾟｲﾙしたC言語ﾌﾟﾛｸﾞﾗﾑのｿｰｽ ﾚﾍﾞﾙ実行を支援します。

AVR StudioはMicrosoft Windows® 98/2000、Windows NT®、Windows XP®、Windows Vista®下で走行します。

AVR Studioの完全な記述についてはAVR Studio使用者の手引きを参照してください。要点だけが本文書で示されます。

全ての必要な実行指令はAVR Studio内のｿｰｽ ﾚﾍﾞﾙと逆ｱｾﾝﾌﾞﾘ ﾚﾍﾞﾙの両方で利用できます。使用者はﾌﾟﾛｸﾞﾗﾑの実行、1命令実行(Single Step)、内側(関数内)実行、外側(関数外)実行、命令行へのｶｰｿﾙ配置と命令行が(ｶｰｿﾙ行へ)到達されるまでの実行、一時停止、実行対象のﾘｾｯﾄができます。加えて使用者は無制限数のｺｰﾄﾞの中断点(BREAK命令使用)と、2つまでのﾃﾞｰﾀ ﾒﾓﾘの中断点か、代わりに遮蔽による範囲指定(複合)中断点を持てます。

内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令

内蔵ﾃﾞﾊﾞｯｸﾞの支援は独自JTAG命令で考慮され、Atmelと選ばれた業者だけに配布されます。参考のため、命令ｺｰﾄﾞの一覧が示されます。

- **独自命令0**：$8 (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令1**：$9 (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令2**：$A (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)
- **独自命令3**：$B (内蔵ﾃﾞﾊﾞｯｸﾞ機能ｱｸｾｽ用独自JTAG命令)

内蔵ﾃﾞﾊﾞｯｸﾞに関連するI/Oﾒﾓﾘ内のﾚｼﾞｽﾀ

内蔵ﾃﾞﾊﾞｯｸﾞ ﾚｼﾞｽﾀ (On-chip Debug Register) OCDR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$31 ($51)	IDRD/MSB							LSB	OCDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

OCDRはﾏｲｸﾛ ｺﾝﾄﾛｰﾗ内の実行ﾌﾟﾛｸﾞﾗﾑからﾃﾞﾊﾞｯｶﾞへの通信ﾁｬﾈﾙを提供します。CPUはこの位置へ書くことによってﾃﾞﾊﾞｯｶﾞへﾊﾞｲﾄを転送できます。このﾚｼﾞｽﾀが書かれてしまっているのをﾃﾞﾊﾞｯｶﾞに示すため、同時に内部ﾌﾗｸﾞIDRD(I/Oﾃﾞﾊﾞｯｸﾞ ﾚｼﾞｽﾀ更新)が設定(1)されます。CPUがOCDRを読むとき、LSB 7ﾋﾞｯﾄがOCDRからで、一方MSBはIDRDﾋﾞｯﾄです。ﾃﾞﾊﾞｯｶﾞはこの情報を読む時にIDRDﾋﾞｯﾄを解除(0)します。

いくつかのAVRﾃﾞﾊﾞｲｽに於いてこのﾚｼﾞｽﾀは標準I/O位置で共用されます。この場合、OCDRは内蔵ﾃﾞﾊﾞｯｸﾞ許可(OCDEN)ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)された場合にだけｱｸｾｽでき、ﾃﾞﾊﾞｯｶﾞがOCDRへｱｸｾｽできます。他の全ての場合、標準I/O位置がｱｸｾｽされます。

このﾚｼﾞｽﾀの使用法のより多くの情報はﾃﾞﾊﾞｯｶﾞの資料を参照してください。

JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力の使用

JTAG経由AVRﾃﾞﾊﾞｲｽ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは4ﾋﾟﾝのJTAGﾎﾟｰﾄ、TCK,TMS,TDI,TDO経由で実行されます。これらはJTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行のために(電源ﾋﾟﾝに加えて)制御/監視される必要があるﾋﾟﾝだけです。外部的な12V印加は必要とされません。JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されなければなりません。

JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力は以下を支援します。

- ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- EEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- ﾋｭｰｽﾞ ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合
- 施錠ﾋﾞｯﾄのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合

施錠ﾋﾞｯﾄ保護は丁度並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのようです。施錠ﾋﾞｯﾄLB1またはLB2がﾌﾟﾛｸﾞﾗﾑ(0)されると、先にﾁｯﾌﾟ消去を行わない限り、OCDENﾋｭｰｽﾞはﾌﾟﾛｸﾞﾗﾑ(0)できません。これは保護されたﾃﾞﾊﾞｲｽの内容を読み出す裏口が存在しないことを保証する保護機能です。

JTAGｲﾝﾀｰﾌｪｰｽを通すﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令の記述は175頁の「**JTAGｲﾝﾀｰﾌｪｰｽ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」項で与えられます。

参考文献

一般的な境界走査(Boudary-Scan)についての詳細は次の文献を参照してください。

- IEEE : IEEE Std 1149.1-1990. IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE, 1993
- Colin Maunder : The Board Designers Guide to Testable Logic Circuits, Addison Wesley, 1992

IEEE 1149.1 (JTAG) 境界走査(Boundary-Scan)

特徴

- JTAGｲﾝﾀｰﾌｪｰｽ (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- ﾁｯﾌﾟ外接続を持つｱﾅﾛｸﾞ回路は勿論、全てのﾎﾟｰﾄ機能の完全な走査(Scan)
- 任意IDCODE命令の支援
- AVRﾘｾｯﾄ用公開AVR_RESET命令の追加

概要

境界走査ﾁｪｰﾝ(Boundary-Scan chain)にはﾃﾞｼﾞﾀﾙI/Oﾋﾟﾝは勿論、ﾁｯﾌﾟ外接続を持つｱﾅﾛｸﾞ回路のｱﾅﾛｸﾞとﾃﾞｼﾞﾀﾙ間境界の論理値を駆動、監視する能力があります。ｼｽﾃﾑ上ではJTAG能力を持つ全てのICがTDIとTDOの接続により長い移動ﾚｼﾞｽﾀの形態で接続されます。外部制御器がこれらの出力ﾋﾟﾝで値を駆動するようにﾃﾞﾊﾞｲｽを設定し、他のﾃﾞﾊﾞｲｽから受け取った入力値を監視します。この制御器は予測される結果と受信した値を比較します。この方法で境界走査(Boundary-Scan)は4つのTAP信号だけを使うことにより、基板上の部品全般と内部結線の検査機構を提供します。

IEEE 1149.1で定義された4つの必須JTAG命令、IDCODE, BYPASS, SAMPLE/PRELOAD, EXTESTだけでなく、AVR特殊公開JTAG命令のAVR_RESETも基板検査に使えます。既定JTAG命令がIDCODEなので、ﾃﾞｰﾀ ﾚｼﾞｽﾀ経路の初期走査はﾃﾞﾊﾞｲｽの識別符号(ID-code)を示します。検査動作中にﾘｾｯﾄ(状態)のAVRﾃﾞﾊﾞｲｽがあることは好都合かもしれません。ﾘｾｯﾄでない場合、ﾃﾞﾊﾞｲｽの入力は走査動作によって決定されるかもしれず、検査動作を終了する時に内部ｿﾌﾄｳｪｱが未確定状態になってしまうかもしれません。ﾘｾｯﾄへの移行で、どのﾎﾟｰﾄ ﾋﾟﾝの出力も直ちにHi-Z状態に移行し、HIGHZ命令が不要になります。必要とされるなら、ﾃﾞﾊﾞｲｽを通過する走査ﾁｪｰﾝを可能な限り最短とするのにBYPASS命令が発行できます。外部RESETﾋﾟﾝをLowに引き込むか、またはﾘｾｯﾄﾃﾞｰﾀ ﾚｼﾞｽﾀの適切な設定によるAVR_RESET命令の発行でﾃﾞﾊﾞｲｽをﾘｾｯﾄ状態に設定できます。

EXTEST命令は外部ﾋﾟﾝの採取と出力ﾋﾟﾝの値設定に使われます。EXTEST命令がJTAG命令ﾚｼﾞｽﾀ(IR)に設定されると、直ちに出力ﾗｯﾁからの値がﾋﾟﾝで出力駆動されます。このため、最初にEXTEST命令を発行する時に基板の損傷を避けるため、走査ﾁｪｰﾝ内に初期値を設定するのにSAMPLE/PRELOAD命令も使われるべきです。SAMPLE/PRELOAD命令は通常動作中ﾃﾞﾊﾞｲｽの外部ﾋﾟﾝの高速監視にも使えます。

JTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTD)ﾋﾞｯﾄが解除(0)されなければなりません。

境界走査(Boundary-Scan)にJTAGｲﾝﾀｰﾌｪｰｽを使う場合、内部ﾁｯﾌﾟ周波数よりも高いJTAG TCKｸﾛｯｸ周波数の使用が可能です。ﾁｯﾌﾟのｸﾛｯｸは走行に必要とされません。

ﾃﾞｰﾀ ﾚｼﾞｽﾀ

境界走査(Boundary-Scan)に関連するﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)を次に示します。

- 迂回(Bypass)ﾚｼﾞｽﾀ
- ﾃﾞﾊﾞｲｽ識別(Device Identification)ﾚｼﾞｽﾀ
- ﾘｾｯﾄ(Reset)ﾚｼﾞｽﾀ
- 境界走査ﾁｪｰﾝ(Boundary-Scan chain)

迂回 (Bypass) ﾚｼﾞｽﾀ

迂回ﾚｼﾞｽﾀは1段の移動ﾚｼﾞｽﾀから成ります。TDIとTDO間の経路として迂回ﾚｼﾞｽﾀが選ばれると、このﾚｼﾞｽﾀはTAP制御器がﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)捕獲状態を抜ける時に0へﾘｾｯﾄされます。迂回ﾚｼﾞｽﾀは他のﾃﾞﾊﾞｲｽが検査される時にｼｽﾃﾑ上の走査ﾁｪｰﾝ(Scan chain)を短くするのに使えます。

ﾃﾞﾊﾞｲｽ識別 (Device Identification) ﾚｼﾞｽﾀ

図99.はﾃﾞﾊﾞｲｽ識別ﾚｼﾞｽﾀの構造を示します。

図99. ﾃﾞﾊﾞｲｽ識別ﾚｼﾞｽﾀの形式

ﾋﾞｯﾄ	31 28	27 12	11 1	0
ﾃﾞﾊﾞｲｽ識別	版番号	部品番号	製造者識別	1
ﾋﾞｯﾄ数	4	16	11	1

版番号 版番号は部品(ﾃﾞﾊﾞｲｽ)の改訂を示す4ﾋﾞｯﾄです。JTAG版番号はﾃﾞﾊﾞｲｽの改訂版に従います。改訂Aは$00, 改訂Bは$01, 以下同様です。

部品番号 部品番号は部品(名)を示す16ﾋﾞｯﾄです。ATmega165のJTAG部品番号は165頁の表104.で示されます。

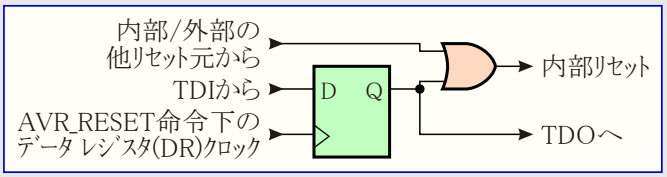
製造者識別 製造者識別は製造業者を示す11ﾋﾞｯﾄです。AtmelのJTAG製造者識別は165頁の表104.で示されます。

リセット (Reset) レジスタ

リセット レジスタはデバイスのリセットに使われる検査データ レジスタです。リセットによってAVRのポート ピンがHi-Z状態となるので、未実装の任意JTAG命令HIGHZ機能の代わりにできます。

リセット レジスタ内の値1は外部RESETピンをLowに引っ張るのと同じです。デバイスはリセット レジスタ内の値が1である限り、リセットです。リセット レジスタの開放後、デバイスはクロック選択用ヒューズ ビットの設定に従ってリセット起動遅延時間(17頁の「**クロック元**」参照)、リセットに留まります。**図100.**で示されるようにこのデータ レジスタからの出力はラッチされず、直ちにリセットが行われます。

図100. リセット レジスタ



境界走査チェーン(Boundary-Scan Chain)

境界走査チェーンにはデジタルI/Oピンは勿論、チップ外の接続を持つアナログ回路のアナログとデジタル間境界の論理値上の設定と監視能力があります。

完全な記述については147頁の「**境界走査チェーン**(Boundary-Scan chain)」をご覧ください。

境界走査(Boundary-Scan)用JTAG命令

命令レジスタ(IR)は16種までの命令を支援する4ビット幅です。以下に示した一覧は境界走査(Boundary-Scan)操作に有用なJTAG命令です。全ポート ピンをHi-Z状態にするための任意HIGHZ命令は実装されませんが、AVR_RESET命令を使うことによって全出力がHi-Z状態に設定できることに注目してください。

このデータシート内の定義として、全ての移動レジスタに関して入出力ともLSBが最初に移動されます。

各命令の命令コードは命令名下の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選ばれるデータ レジスタを記述します。(**訳注**:配置構成変更により、内容を一部変更)

EXTEST – $0

AVRデバイスに外部回路的検査を行うためにデータ レジスタ(DR)として境界走査チェーン(Boundary-Scan chain)を選ぶための必須JTAG命令です。ポート ピンは方向、プルアップ、出力値、入力値は走査チェーン(Scan chain)内で全てアクセス可能です。チップ外接続を持つアナログ回路についてはアナログとデジタル論理間のインターフェースが走査チェーン内になります。境界走査チェーンのラッチした出力値はJTAG命令レジスタ(IR)にEXTEST命令が設定されると直ぐに駆動されます。本命令が有効な状態を次に示します。

- **DR捕獲**：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動**：内部走査チェーンがTCKクロック入力によって移されます。
- **DR更新**：走査チェーンからの値が出力ピンに印加(出力)されます。

IDCODE – $1

データ レジスタ(DR)として32ビットのデバイス識別(ID)レジスタを選ぶ任意JTAG命令です。デバイス識別レジスタは版番号、デバイス番号と、JEDECによって決められた製造者符号から成ります。これは電源投入後の既定命令です。本命令が有効な状態を次に示します。

- **DR捕獲**：デバイス識別レジスタ内の値が境界走査チェーン内に採取されます。
- **DR移動**：内部走査チェーン(デバイス識別レジスタ値)がTCKクロック入力によって移されます。

SAMPLE_PRELOAD – $2

システム動作に影響を与えずに入出力ピンの状態採取、出力ラッチの事前設定を行うための必須JTAG命令です。けれども出力ラッチはピンに接続されません。データ レジスタ(DR)として境界走査チェーン(Boundary-Scan chain)が選ばれます。本命令が有効な状態を次に示します。

- **DR捕獲**：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動**：境界走査チェーンがTCKクロック入力によって移されます。
- **DR更新**：境界走査チェーンからの値が出力ラッチに印加(設定)されます。けれども出力ラッチはピンに接続されません。

AVR_RESET – $C

AVRデバイスを強制的にリセット状態、またはJTAGリセット元から開放するためのAVR特殊公開JTAG命令です。この命令で検査入出力ポート(TAP)制御器はリセットされません。データ レジスタ(DR)として1ビットのリセット レジスタが選ばれます。リセット チェーン(レジスタ)が論理1である限り、リセットが活性(有効)なことに注意してください。このチェーンからの出力はラッチされません。本命令が有効な状態を次に示します。

- **DR移動**：走査チェーン(リセット レジスタ)がTCKクロック入力によって移されます。

BYPASS – $F

データ レジスタ(DR)に迂回(Bypass)レジスタを選ぶ必須JTAG命令です。本命令が有効な状態を次に示します。

- **DR捕獲**：迂回レジスタに論理0を設定します。
- **DR移動**：TDIとTDO間の迂回レジスタ(セル)が移されます。

境界走査(Boundary-Scan)に関連するI/Oメモリ内のレジスタ

MCU制御レジスタ (MCU Control Register) MCUCR

MCU制御レジスタは一般MCU機能制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
$35 ($55)	JTD	–	–	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R/W	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – JTD : JTAGインターフェース禁止** (JTAG interface disable)

このビットが0の時にJTAGENヒューズがプログラム(0)されていれば、JTAGインターフェースが許可されます。このビットが1の場合、JTAGインターフェースは禁止されます。JTAGインターフェースの予期せぬ許可や禁止を避けるためにこのビットを変更する時は時間制限手順に従わなければなりません。この値を変更するために応用ソフトウェアは4周期以内に希望する値をこのビットへ2回書かなければなりません。内蔵デバッグシステム使用時、このビットが切り替えられてはならないことに注意してください。

JTAGインタフェースが他のJTAG回路に接続されないままにされる場合、このJTDビットは1に設定されるべきです。この理由はJTAGインターフェースのTDOピンの静止時電流を避けるためです。

MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはMCUリセットを起こしたリセット元の情報を提供します。

ビット	7	6	5	4	3	2	1	0	
$34 ($54)	–	–	–	JTRF	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

• **ビット4 – JTRF : JTAG リセット フラグ** (JTAG Reset Flag)

このビットはJTAG命令AVR_RESETによって選んだJTAG リセット レジスタ内の論理1でリセットが起こされると設定(1)されます。このビットは電源ONリセットまたはこのフラグへの論理0書き込みによってリセット(0)されます。

境界走査ﾁｪｰﾝ(Boundary-Scan Chain)

境界走査ﾁｪｰﾝにはﾃﾞｼﾞﾀﾙI/Oﾋﾟﾝは勿論、ﾁｯﾌﾟ外の接続を持つｱﾅﾛｸﾞ回路のｱﾅﾛｸﾞとﾃﾞｼﾞﾀﾙ間境界の論理値の設定と監視の能力があります。

ﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝの走査

図101.はﾌﾟﾙｱｯﾌﾟ機能付き双方向ﾎﾟｰﾄ ﾋﾟﾝ用境界走査(Boundary-Scan)ｾﾙを示します。このｾﾙはﾌﾟﾙｱｯﾌﾟ許可(PUExn)用標準境界走査(Boundary-Scan)ｾﾙと3つの信号、出力(方向)制御(OCxn)、出力ﾃﾞｰﾀ(ODxn)、入力ﾃﾞｰﾀ(IDxn)の組み合わせの双方向ﾋﾟﾝ用ｾﾙの2段の移動ﾚｼﾞｽﾀだけから成ります。ﾎﾟｰﾄとﾋﾟﾝの添え字は続く記述で使われません。

境界走査(Boundary-Scan)論理回路はﾃﾞｰﾀｼｰﾄ内の図に含まれません。図102.は37頁の「入出力ﾎﾟｰﾄ」章で記載される単純なﾃﾞｼﾞﾀﾙﾎﾟｰﾄ ﾋﾟﾝを示します。図101.からの境界走査ｾﾙの詳細が図102.上の破線内に置き換わります。

交換ﾎﾟｰﾄ機能が存在しない場合、入力ﾃﾞｰﾀ(ID)はPINxnﾚｼﾞｽﾀ値(しかしIDは同期化回路を持たない)、出力ﾃﾞｰﾀ(OD)はPORTxnﾚｼﾞｽﾀ、出力制御(OC)はDDxn方向ﾚｼﾞｽﾀ、ﾌﾟﾙｱｯﾌﾟ許可(PUE)は論理合成値(PUD AND DDxn AND PORTxn)に各々対応します。

ﾃﾞｼﾞﾀﾙ交換ﾎﾟｰﾄ(ﾋﾟﾝ)機能は走査ﾁｪｰﾝ(Scan chain)が実際のﾋﾟﾝ値を読むために図102.内の破線外側に接続されます。ｱﾅﾛｸﾞ機能について、それらは外部ﾋﾟﾝからｱﾅﾛｸﾞ回路へ直結で、走査ﾁｪｰﾝはｱﾅﾛｸﾞ回路とﾃﾞｼﾞﾀﾙ論理回路間のｲﾝﾀｰﾌｪｰｽに挿入されます。

図101. ﾌﾟﾙｱｯﾌﾟ機能付き双方向ﾎﾟｰﾄ用境界走査(Boundary-Scan)ｾﾙ構成図

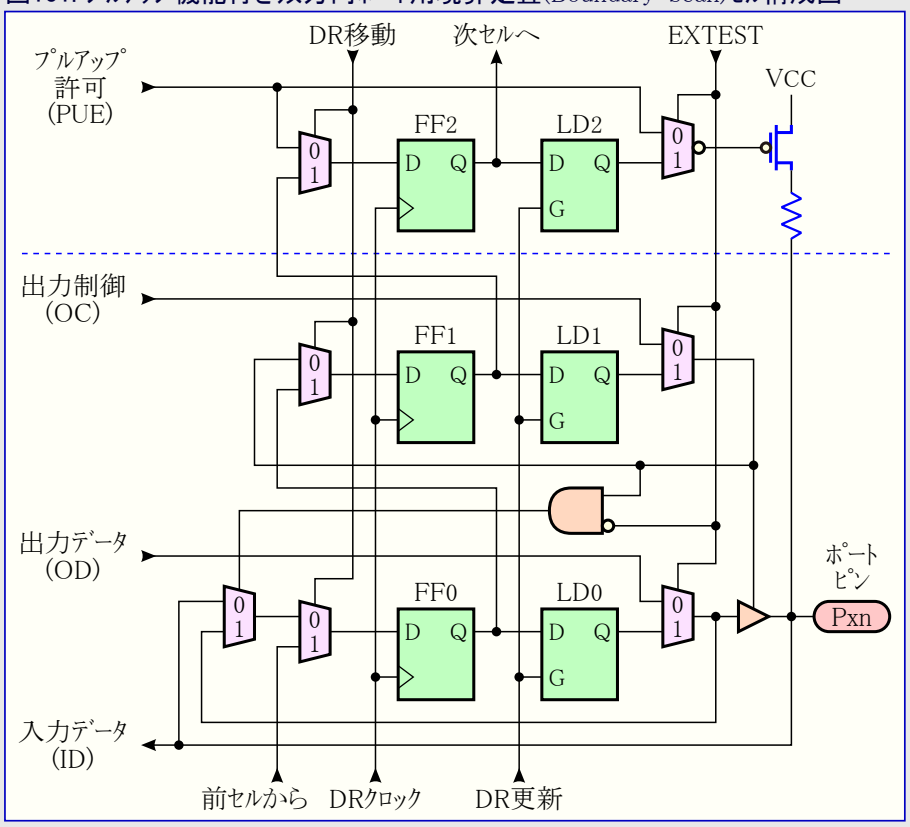
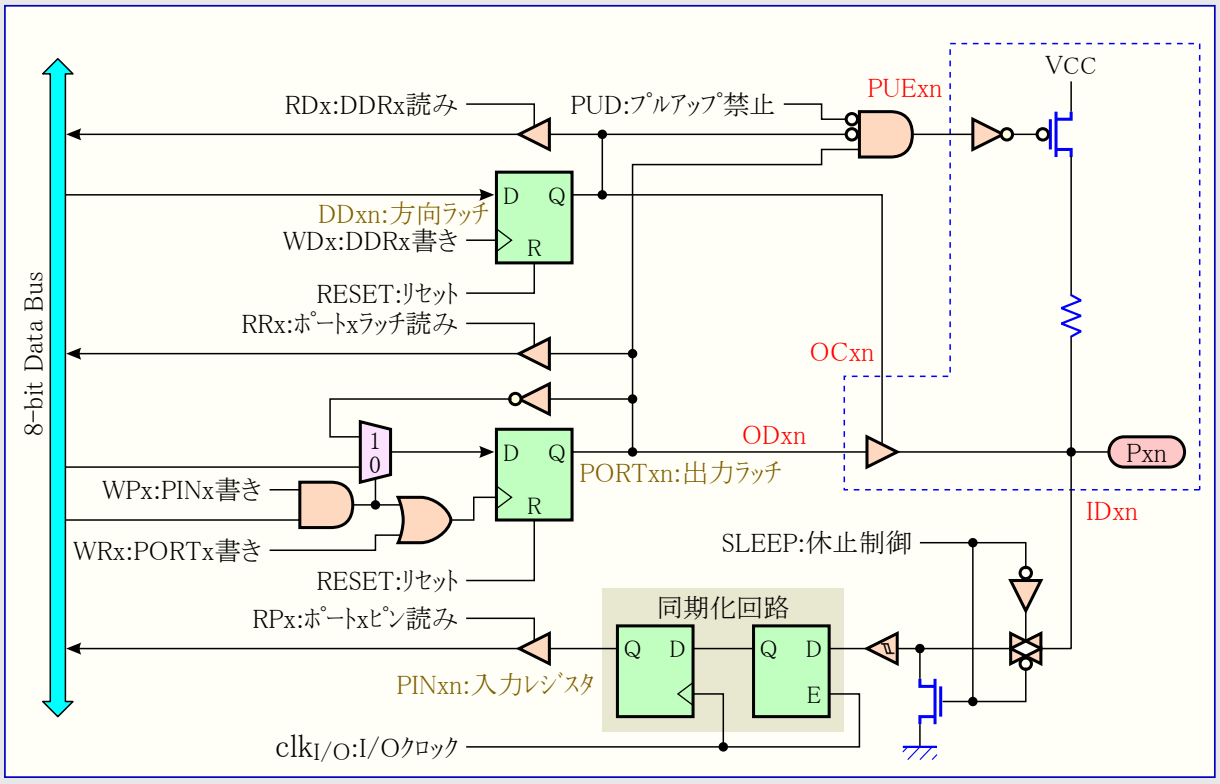


図102. 標準ﾎﾟｰﾄ ﾋﾟﾝ構成図

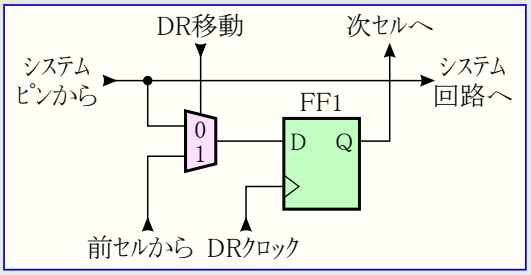


注: 詳細については境界走査(Boundary-Scan)をご覧ください。

RESETﾋﾟﾝの走査

RESETﾋﾟﾝは標準ﾘｾｯﾄ動作について5V負論理(Low有効)、高電圧並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞについて12V正論理(High有効)を受け入れます。図103.で示される監視専用ｾﾙが5Vﾘｾｯﾄ信号(RSTT)と12Vﾘｾｯﾄ信号(RSTHV)の両方に挿入されます。

図103. 監視専用境界走査ｾﾙ構成図



ｸﾛｯｸ ﾋﾟﾝの走査

AVRﾃﾞﾊﾞｲｽにはﾋｭｰｽﾞによって選択可能な多くのｸﾛｯｸ種別があります。これらは校正付き内蔵RC発振器、外部RC発振器、外部ｸﾛｯｸ信号、(高周波数)ｸﾘｽﾀﾙ発振子、低周波数ｸﾘｽﾀﾙ発振子、ｾﾗﾐｯｸ振動子です。

図104.は走査ﾁｪｰﾝ内で支援される各発振器と外部接続を示します。許可信号は標準境界走査ｾﾙで支援され、一方発振器/ｸﾛｯｸ出力には監視専用ｾﾙが付随されます。主ｸﾛｯｸに加え、ﾀｲﾏ用発振器も同じ方法で走査されます。校正付き内蔵RC発振器からの出力はこの発振器が外部接続を持たないので走査されません。

図104. ｸﾛｯｸ機能と発振器用境界走査ｾﾙ構成図

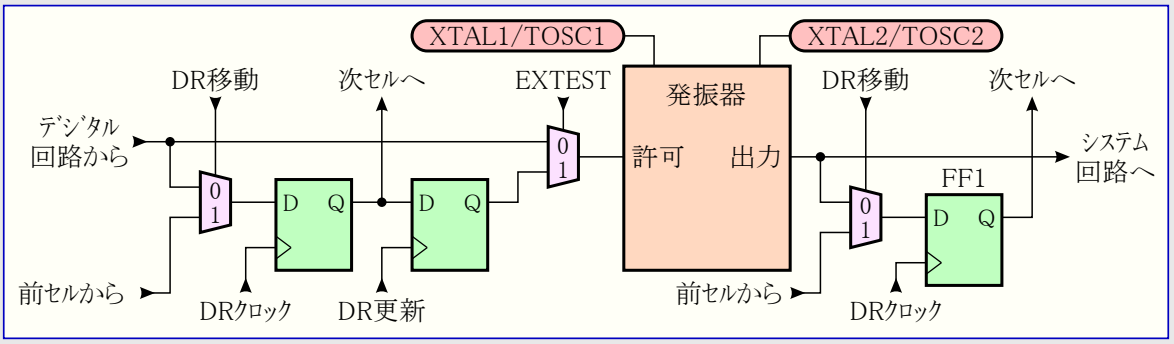


表86.はﾀｲﾏ用32kHz発振器は勿論、外部ｸﾛｯｸ ﾋﾟﾝXTAL1、XTAL1/XTAL2接続の発振器に対する走査ﾚｼﾞｽﾀの一覧です。

表86. 発振器用走査信号

許可信号	走査ｸﾛｯｸ信号線	ｸﾛｯｸ種別	未使用時値
EXTCLKEN	EXTCLK(XTAL1)	外部ｸﾛｯｸ信号	0
OSCON	OSCCK	外部ｸﾘｽﾀﾙ発振子 外部ｾﾗﾐｯｸ振動子	1
OSC32EN	OSC32CK	低周波数外部ｸﾘｽﾀﾙ	1

注: 1. 主ｸﾛｯｸとして同時に1つよりも多くのｸﾛｯｸ元を許可してはいけません。
2. 発振器出力の走査は内部発振器とJTAGのTCKｸﾛｯｸ間の周波数偏差のため、予期せぬ結果を与えます。可能なら、外部ｸﾛｯｸでの走査が望まれます。
3. ｸﾛｯｸ設定はﾋｭｰｽﾞによってﾌﾟﾛｸﾞﾗﾐﾝｸﾞされます。ﾋｭｰｽﾞは実行動作時に変更されないので、ｸﾛｯｸ設定は与えられた応用について考慮して決定されます。使用者は最終ｼｽﾃﾑで使われるのと同じｸﾛｯｸ選択で走査することを推奨されます。ｼｽﾃﾑ論理回路が休止形態でｸﾛｯｸ選択(元)を禁止できるため、許可信号は走査ﾁｪｰﾝ内で支援され、それ(その禁止)によって(ｸﾛｯｸが)供給されない場合、発振器ﾋﾟﾝを走査経路から切り離します。

ｱﾅﾛｸﾞ比較器の走査

境界走査に関する比較器関連の信号は図105.で示されます。図106.の境界走査ｾﾙがこれら信号の各々に付随します。この信号は表87.で記述されます。

この比較器は全てのｱﾅﾛｸﾞ入力がﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝとしても兼用されるため、純粋な接続試験用に使われる必要がありません。

図105. ｱﾅﾛｸﾞ比較器部構成図

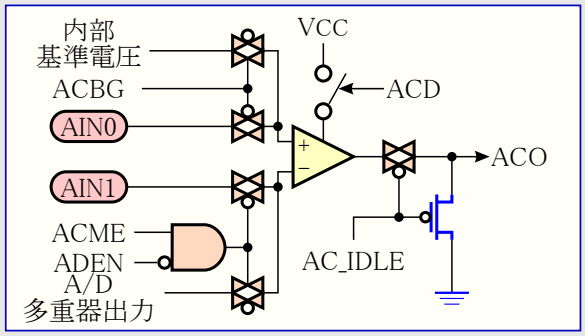


図106. 比較器、A/D変換用標準境界走査ｾﾙ構成図

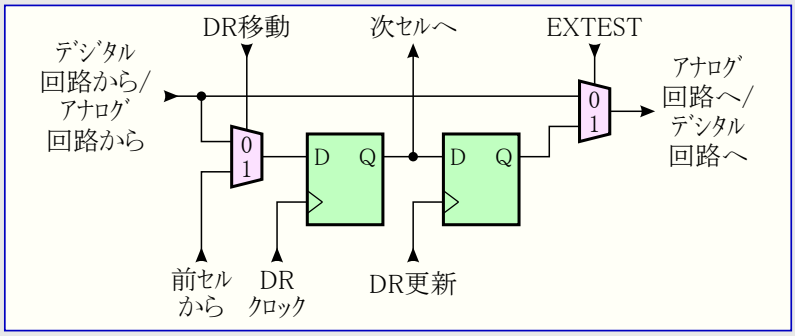


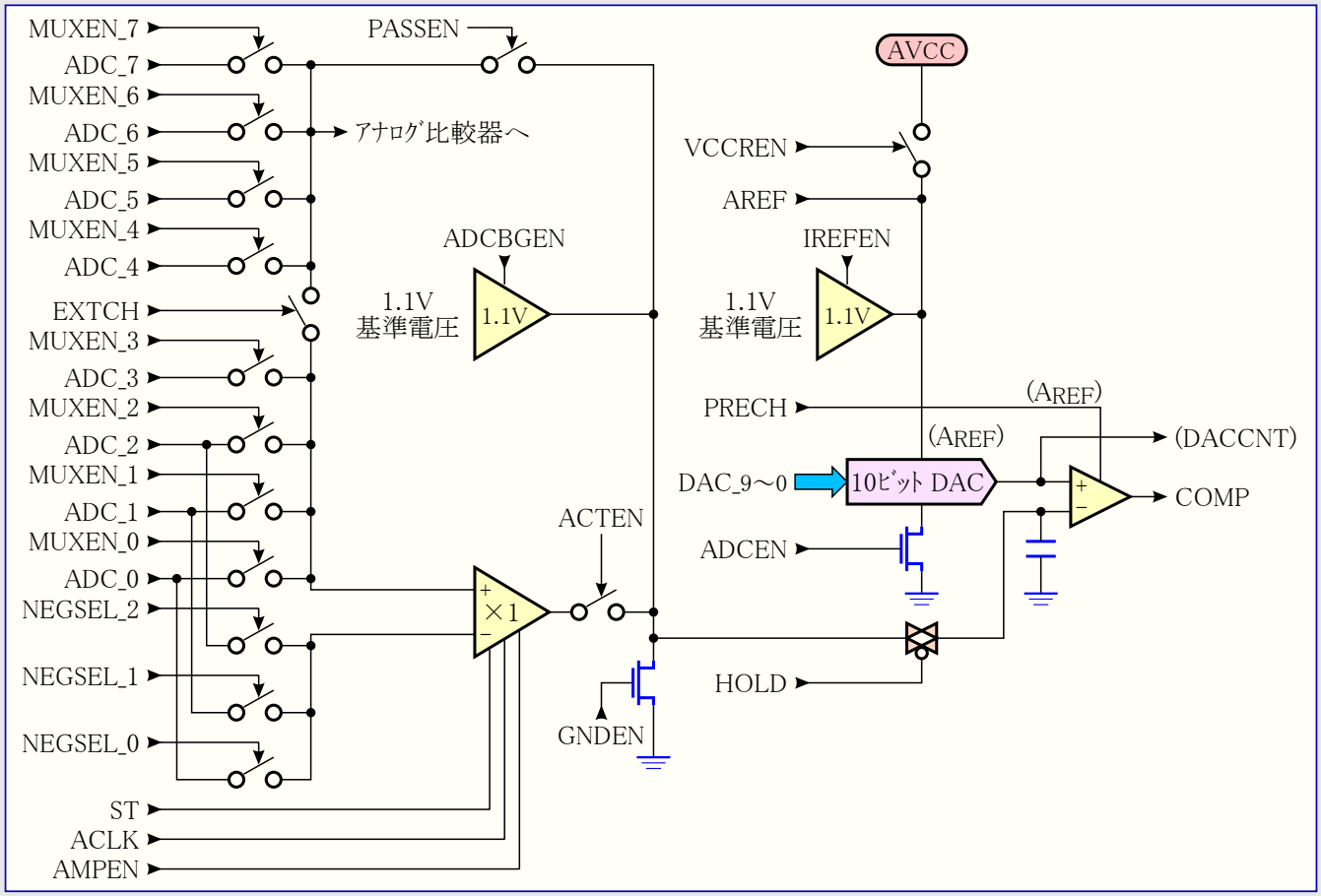
表87. ｱﾅﾛｸﾞ比較器用境界走査信号

信号名	比較器側での方向	意味	未使用時推奨入力値	推奨入力時出力値
AC_IDLE	入力	真の時にｱﾅﾛｸﾞ比較器OFF	1	CPU実行に依存
ACO	出力	ｱﾅﾛｸﾞ比較器出力	CPU実行時入力	0
ACME	入力	真の時にA/D多重器出力使用	0	CPU実行に依存
ACBG	入力	内蔵基準電圧許可	0	CPU実行に依存

A/D変換器の走査

図107.はA/D変換部と関連する制御と監視信号の構成図を示します。図106.の境界走査ｾﾙがこれら信号の各々に付随されます。このA/D変換器は全ｱﾅﾛｸﾞ入力がﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝとしても兼用されるため、純粋な接続試験に使われる必要がありません。

図107. A/D変換部構成図



各信号の概要は表88.で示されます。

表88. A/D変換用境界走査信号

信号名	A/D変換器側での方向	意味	未使用時推奨入力値	推奨入力または未使用時出力値
COMP	出力	比較器出力	0	0
ACLK	入力	差動段のｽｲｯﾁﾄ ｷｬﾊﾟｼﾀのｸﾛｯｸ	0	0
ACTEN	入力	差動段⇒比較器接続許可	0	0
ADCBGEN	入力	比較器反転入力へ内部1.1V基準電圧接続	0	0
ADCEN	入力	A/D変換器電源ON信号	0	0
AMPEN	入力	差動段電源ON信号	0	0
DAC_9	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ9	1	1
DAC_8	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ8	0	0
DAC_7	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ7	0	0
DAC_6	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ6	0	0
DAC_5	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ5	0	0
DAC_4	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ4	0	0
DAC_3	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ3	0	0
DAC_2	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ2	0	0
DAC_1	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ1	0	0
DAC_0	入力	D/A変換器ﾃﾞｼﾞﾀﾙ入力ﾋﾞｯﾄ0	0	0
EXTCH	入力	ADC3～0の差動段迂回接続	1	1
GNDEN	入力	比較器反転入力GND接続	0	0
HOLD	入力	S&H信号。0=採取、1=保持。差動段使用の場合ACLK=1の時に切り替えなければなりません。	1	1
IREFEN	入力	D/A変換器へのAREFとして内部1.1V基準電圧許可	0	0
MUXEN_7	入力	ADC7 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_6	入力	ADC6 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_5	入力	ADC5 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_4	入力	ADC4 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_3	入力	ADC3 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_2	入力	ADC2 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_1	入力	ADC1 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	0	0
MUXEN_0	入力	ADC0 ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ接続	1	1
NEGSEL_2	入力	ADC2⇒反転差動入力接続	0	0
NEGSEL_1	入力	ADC1⇒反転差動入力接続	0	0
NEGSEL_0	入力	ADC0⇒反転差動入力接続	0	0
PASSEN	入力	差動段迂回路許可	1	1
PRECH	入力	比較器出力ﾗｯﾁのﾌﾟﾘﾁｬｰｼﾞ（負論理）	1	1
ST	入力	AMPEN=1後の最初の2ACLK周期間1ならば、差動段出力がより早く安定	0	0
VCCREN	入力	D/A変換器へのAREFとしてAVCC許可	0	0

注: 図107.内の不正なｽｲｯﾁ設定は信号衝突の原因になり、ﾃﾞﾊﾞｲｽを損傷するかもしれません。それらは多くの入力を図107.で出力比較器の反転入力のS&Hへ選びます。1つのADCﾋﾟﾝ、内部基準電圧、GNDのどれか1つの経路だけが選ばれることを確認してください。

走査中にA/D変換器が使われないなら、表88.の推奨入力値が使われるべきです。使用者は走査中に差動段を使わないことが推奨されます。ｽｲｯﾁﾄ ｷｬﾊﾟｼﾀを基にした差動段は走査ﾁｪｰﾝ内で使われる時に達成が難しい高速な操作とﾀｲﾐﾝｸﾞ精度が必要です。従って差動段の操作に関する詳細は提供されません。

AVRのA/D変換部はﾃﾞｼﾞﾀﾙ論理回路内に実装した逐次比較方式と図107.で示したｱﾅﾛｸﾞ回路が基です。境界走査使用時、問題は印加したｱﾅﾛｸﾞ電圧が或る範囲内で計測されるのを常に保証することです。これは逐次比較動作を行わずして容易に実行でき、DAC_9～0ﾃﾞｼﾞﾀﾙ(信号)線に下限値を加え、比較器からの出力がLow(0)であるのを確認し、その後DAC_9～0ﾃﾞｼﾞﾀﾙ(信号)線に上限値を加え、比較器からの出力がHigh(1)であるのを検証します。

このA/D変換器は全てのｱﾅﾛｸﾞ入力がﾃﾞｼﾞﾀﾙ ﾎﾟｰﾄ ﾋﾟﾝとしても兼用されるため、純粋な接続試験に使われる必要がありません。

A/D変換を使う時に次のことに留意してください。

- ADCﾁｬﾈﾙで使うﾎﾟｰﾄ ﾋﾟﾝは信号の衝突を避けるため、ﾌﾟﾙｱｯﾌﾟを禁止した入力に設定されなければなりません。
- 通常動作ではA/D変換部許可時に(10回の比較で構成される)擬似変換が実行されます。使用者はA/D変換許可後、A/D変換信号の制御/監視をする前に最低200ns待機するか、または最初の変換結果を使う前に擬似変換の実行を推奨されます。
- DAC値はHOLD信号がLow(0:採取)の時に中間値($200)で安定していなければなりません。

例として、電源電圧5VでAREFが外部的にVCCへ接続される時のADCﾁｬﾈﾙ3で1.5V±5%の入力信号を検証する手順を考察してください。

上限：1024×1.5V×1.05÷5V=323=$143
下限：1024×1.5V×0.95÷5V=291=$123

表89.の手順内で他の値が与えられる以外は表88.の推奨値が使われます。(表89.には)走査ﾁｪｰﾝのDAC値とﾎﾟｰﾄ ﾋﾟﾝ値だけが示されます。「動作」欄は続く行内の値で境界走査ﾁｪｰﾝ ﾚｼﾞｽﾀを満たす前にどのJTAG命令を使うべきかを記述します。表の同一列上のﾃﾞｰﾀを走査入力する時に走査出力のﾃﾞｰﾀで検証が行われるべきです。

表89. A/D変換使用手順

手順番号	動作	ADCEN	DAC_9～0	MUXEN_7～0	HOLD	PRECH	PF3 ﾃﾞｰﾀ	PF3 制御	PF3 ﾌﾟﾙｱｯﾌﾟ許可
1	SAMPLE_PRELOAD	1	$200	$08	1	1	0	0	0
2	EXTEST	1	$200	$08	0	1	0	0	0
3		1	$200	$08	1	1	0	0	0
4		1	$123	$08	1	1	0	0	0
5		1	$123	$08	1	0	0	0	0
6	0となるべきCOMP走査出力の検証	1	$200	$08	1	1	0	0	0
7		1	$200	$08	0	1	0	0	0
8		1	$200	$08	1	1	0	0	0
9		1	$143	$08	1	1	0	0	0
10		1	$143	$08	1	0	0	0	0
11	1となるべきCOMP走査出力の検証	1	$200	$08	1	1	0	0	0

この手法の使用ではHOLD信号の束縛ﾀｲﾐﾝｸﾞがTCKｸﾛｯｸ周波数を押さえます。手順の第5段階でのHOLDのHigh(1)に保持で、TCKｸﾛｯｸ周波数は最大保持時間(t_{hold_max})で割られた走査ﾋﾞｯﾄ数の最低5倍でなければなりません。

ATmega165の境界走査(Boundary-Scan)順

表90.は境界走査チェーンがデータ経路として選ばれる時のTDIとTDO間の走査順を示します。ビット0が最下位ビットで走査の最初に入出力されます。走査順は可能な限りピン配置順に従います。このためにポートAのビットは他のポートと違うビット順で走査されます。この規則の例外はアナログ回路が接続される物理ピンに関係なく走査チェーンの最上位を構成するアナログ回路用走査チェーンです。図101.上で、Pxn出力はFF0、Pxn制御はFF1、Pxnプルアップ許可はFF2に各々対応します。ポートFのビット4,5,6,7はJTAG許可時にTAPピンを構成するので走査チェーンには存在しません。

表90. ATmega165境界走査(Boundary-Scan)順

ビット	信号名	基本単位
197	AC_IDLE	アナログ比較器
196	ACO	
195	ACME	
194	ACBG	
193	COMP	A/D変換
192	ACLK	
191	ACTEN	
190	PRIVATE_SIGNAL1	(注)
189	ADCBGEN	
188	ADCEN	
187	AMPEN	
186	DAC_9	
185	DAC_8	
184	DAC_7	
183	DAC_6	
182	DAC_5	
181	DAC_4	
180	DAC_3	
179	DAC_2	
178	DAC_1	
177	DAC_0	
176	EXTCH	
175	GNDEN	
174	HOLD	
173	IREFEN	
172	MUXEN_7	
171	MUXEN_6	
170	MUXEN_5	
169	MUXEN_4	
168	MUXEN_3	
167	MUXEN_2	
166	MUXEN_1	
165	MUXEN_0	
164	NEGSEL_2	
163	NEGSEL_1	
162	NEGSEL_0	
161	PASSEN	
160	PRECH	
159	ST	
158	VCCREN	
157	PE0.Data	ポートE
156	PE0.Control	
155	PE0.Pullup_Enable	
154	PE1.Data	
153	PE1.Control	
152	PE1.Pullup_Enable	
151	PE2.Data	
150	PE2.Control	
149	PE2.Pullup_Enable	
148	PE3.Data	
147	PE3.Control	
146	PE3.Pullup_Enable	
145	PE4.Data	
144	PE4.Control	ポートE
143	PE4.Pullup_Enable	
142	PE5.Data	
141	PE5.Control	
140	PE5.Pullup_Enable	
139	PE6.Data	
138	PE6.Control	
137	PE6.Pullup_Enable	
136	PE7.Data	
135	PE7.Control	
134	PE7.Pullup_Enable	
133	PB0.Data	
132	PB0.Control	
131	PB0.Pullup_Enable	
130	PB1.Data	
129	PB1.Control	
128	PB1.Pullup_Enable	
127	PB2.Data	
126	PB2.Control	
125	PB2.Pullup_Enable	
124	PB3.Data	
123	PB3.Control	
122	PB3.Pullup_Enable	
121	PB4.Data	
120	PB4.Control	
119	PB4.Pullup_Enable	
118	PB5.Data	
117	PB5.Control	
116	PB5.Pullup_Enable	
115	PB6.Data	
114	PB6.Control	
113	PB6.Pullup_Enable	
112	PB7.Data	
111	PB7.Control	
110	PB7.Pullup_Enable	
109	PG3.Data	ポートG
108	PG3.Control	
107	PG3.Pullup_Enable	
106	PG4.Data	
105	PG4.Control	
104	PG4.Pullup_Enable	
103	PRIVATE_SIGNAL2	(注)
102	RSTT	リセット回路(監視専用セル)
101	RSTHV	
100	EXTCLKEN	主クロック/発振器用許可信号
99	OSCON	
98	RCOSCEN	
97	OSC32EN	
96	EXTCLK(XTAL1)	主クロック用入力/発振器(監視専用セル)
95	OSCCK	
94	RCCK	
93	OSC32CK	
92	PD0.Data	ポートD
91	PD0.Control	ポートD
90	PD0.Pullup_Enable	
89	PD1.Data	
88	PD1.Control	
87	PD1.Pullup_Enable	
86	PD2.Data	
85	PD2.Control	
84	PD2.Pullup_Enable	
83	PD3.Data	
82	PD3.Control	
81	PD3.Pullup_Enable	
80	PD4.Data	
79	PD4.Control	
78	PD4.Pullup_Enable	
77	PD5.Data	
76	PD5.Control	
75	PD5.Pullup_Enable	
74	PD6.Data	
73	PD6.Control	
72	PD6.Pullup_Enable	
71	PD7.Data	
70	PD7.Control	
69	PD7.Pullup_Enable	
68	PG0.Data	ポートG
67	PG0.Control	
66	PG0.Pullup_Enable	
65	PG1.Data	
64	PG1.Control	
63	PG1.Pullup_Enable	
62	PC0.Data	ポートC
61	PC0.Control	
60	PC0.Pullup_Enable	
59	PC1.Data	
58	PC1.Control	
57	PC1.Pullup_Enable	
56	PC2.Data	
55	PC2.Control	
54	PC2.Pullup_Enable	
53	PC3.Data	
52	PC3.Control	
51	PC3.Pullup_Enable	
50	PC4.Data	
49	PC4.Control	
48	PC4.Pullup_Enable	
47	PC5.Data	
46	PC5.Control	
45	PC5.Pullup_Enable	
44	PC6.Data	
43	PC6.Control	
42	PC6.Pullup_Enable	
41	PC7.Data	
40	PC7.Control	
39	PC7.Pullup_Enable	

注: PRIVATE_SIGNAL1とPRIVATE_SIGNAL2は常に0として走査されるべきです。

次頁へ続く

表90 (続き). ATmega165境界走査(Boundary-Scan)順

ﾋﾞｯﾄ	信号名	基本単位
38	PG2.Data	ﾎﾟｰﾄG
37	PG2.Control	
36	PG2.Pullup_Enable	
35	PA7.Data	ﾎﾟｰﾄA
34	PA7.Control	
33	PA7.Pullup_Enable	
32	PA6.Data	
31	PA6.Control	
30	PA6.Pullup_Enable	
29	PA5.Data	
28	PA5.Control	
27	PA5.Pullup_Enable	
26	PA4.Data	

ﾋﾞｯﾄ	信号名	基本単位
25	PA4.Control	ﾎﾟｰﾄA
24	PA4.Pullup_Enable	
23	PA3.Data	
22	PA3.Control	
21	PA3.Pullup_Enable	
20	PA2.Data	
19	PA2.Control	
18	PA2.Pullup_Enable	
17	PA1.Data	
16	PA1.Control	
15	PA1.Pullup_Enable	
14	PA0.Data	
13	PA0.Control	

ﾋﾞｯﾄ	信号名	基本単位
12	PA0.Pullup_Enable	ﾎﾟｰﾄA
11	PF3.Data	ﾎﾟｰﾄF
10	PF3.Control	
9	PF3.Pullup_Enable	
8	PF2.Data	
7	PF2.Control	
6	PF2.Pullup_Enable	
5	PF1.Data	
4	PF1.Control	
3	PF1.Pullup_Enable	
2	PF0.Data	
1	PF0.Control	
0	PF0.Pullup_Enable	

境界走査記述言語(Boundary-Scan Description Language)ﾌｧｲﾙ

境界走査記述言語(BSDL)ﾌｧｲﾙは境界走査が可能なﾃﾞﾊﾞｲｽを自動検査生成ｿﾌﾄｳｪｱによって使われる標準形式で記述します。境界走査ﾃﾞｰﾀ ﾚｼﾞｽﾀ内のﾋﾞｯﾄの順番と機能がこの記述内に含まれます。ATmega165用のBSDLﾌｧｲﾙは入手可能です。

ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾞｰﾄ ﾛｰﾀﾞ支援はMCU自身によるﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞのﾀﾞｳﾝﾛｰﾄﾞとｱｯﾌﾟﾛｰﾄﾞ用の真の書き込み中の読み出しが可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機構を提供します。この特徴はﾌﾗｯｼｭ ﾒﾓﾘに常駐するﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑを使うMCUによって制御される柔軟な応用ｿﾌﾄｳｪｱ更新を可能にします。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑはﾌﾗｯｼｭ ﾒﾓﾘ内にｺｰﾄﾞを書き(ﾌﾟﾛｸﾞﾗﾑ)、ｺｰﾄﾞを読み、またはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘからｺｰﾄﾞを読むのに、利用可能なﾃﾞｰﾀ ｲﾝﾀｰﾌｪｰｽと関連する規約のどれもが使えます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域内のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘを含むﾌﾗｯｼｭ ﾒﾓﾘ全体を書く能力を持ちます。従ってﾌﾞｰﾄ ﾛｰﾀﾞは自身をも変更でき、この機能がそれ以上必要とされないなら、そのｺｰﾄﾞから自身を消去することもできます。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘの容量はﾋｭｰｽﾞで設定可能で、ﾌﾞｰﾄ ﾛｰﾀﾞは個別に設定可能な2組の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。

特徴

- **書き込み中読める**(Read-While-Write)**自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**
- **柔軟性のあるﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘ容量**
- **高い安全性** (柔軟な保護用の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄ)
- **ﾘｾｯﾄ ﾍﾞｸﾀ選択用の独立したﾋｭｰｽﾞ**
- **最適化されたﾍﾟｰｼﾞ容量** (注1)
- **効率的なｺｰﾄﾞ手法**
- **効率的な読み-変更-書き**(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)**支援**

注1: ﾍﾟｰｼﾞはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に使われる多数のﾊﾞｲﾄから成るﾌﾗｯｼｭ ﾒﾓﾘの区画です(165頁の表105.参照)。このﾍﾟｰｼﾞ構成は通常動作に影響を及ぼしません。

ﾌﾗｯｼｭ ﾒﾓﾘの応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域

ﾌﾗｯｼｭ ﾒﾓﾘは応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の2つの主な領域で構成されます(図109.参照)。各領域の容量は162頁の表96.と図109.で示されるようにBOOTSZﾋｭｰｽﾞによって設定されます。これら2つの領域は個別の施錠ﾋﾞｯﾄの組を持つため、異なる保護基準を持てます。

応用領域

応用領域は応用ｺｰﾄﾞを格納するのに使われるﾌﾗｯｼｭ ﾒﾓﾘの領域です。応用領域用保護基準は応用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ0)によって選べます(156頁の表92.参照)。応用領域から実行される時にSPM命令が禁止されるので、応用領域はどんなﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞも決して格納し得ません。

ﾌﾞｰﾄ ﾛｰﾀﾞ領域 (BLS)

応用領域が応用ｺｰﾄﾞ格納用に使われるのに対して、SPM命令はBLSから実行する時にだけﾌﾟﾛｸﾞﾗﾐﾝｸﾞを始められるので、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはBLSに格納されなければなりません。SPM命令はBLS自身を含む全てのﾌﾗｯｼｭ ﾒﾓﾘをｱｸｾｽできます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域用保護基準はﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1)によって選べます(156頁の表93.参照)。

ﾌﾗｯｼｭ ﾒﾓﾘの書き込み中に読み出し可能な領域と不能な領域

どちらのｱﾄﾞﾚｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞされるかによって、CPUが書き込み中の読み出しを支援するか、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中にCPUが停止されるかのどちらです。上で記述されるようなBOOTSZﾋｭｰｽﾞによって設定可能な2つの領域に加え、ﾌﾗｯｼｭ ﾒﾓﾘは書き込み中読み出し可能な(RWW)領域と書き込み中読み出し不能な(NRWW)領域の2つの固定領域にも分けられます。RWWとNRWW領域間の境界は155頁の図109.と162頁の表97.で与えられます。この2つの領域間の主な違いを次に示します。

- RWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、NRWW領域はその動作中に読むことができます。
- NRWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、その全ての動作中にCPUは停止されます。

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ動作中、使用者ｿﾌﾄｳｪｱがRWW領域側に配置されるどのｺｰﾄﾞも決して読めないことに注意してください。「書き込み中読み出し可能領域」という記述はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(消去または書き込み)される領域としての引用で、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中に実際に読まれる領域ではありません。

訳補: 上の記述はNRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞするという前提で、消去または書き込みを行う側ではなく、行われる側でこの名称が定義されていることを意味します。即ち、NRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞすると、NRWW領域のﾌﾟﾛｸﾞﾗﾑは通常通り動作する(即ち読める)ので、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞされる側はRWW領域と名付けられ、この逆ではCPUが停止する(即ち読めない)ので、NRWW領域と名付けられているという意味です。

RWW – 書き込み中読み出し可能領域

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ更新がRWW領域側のﾍﾟｰｼﾞをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする場合、ﾌﾗｯｼｭ ﾒﾓﾘからｺｰﾄﾞを読むことが可能ですが、NRWW領域に配置されるｺｰﾄﾞだけです。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行中、そのｿﾌﾄｳｪｱはRWW領域が決して読まれないことを保証しなければなりません。使用者ｿﾌﾄｳｪｱがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に(例えば、CALL,JMP,LPM系命令または割り込みによって)RWW領域側に配置されるｺｰﾄﾞを読もうとすると、そのｿﾌﾄｳｪｱは未知の状態へ行き着くかもしれません。これを避けるために割り込みは禁止、またはﾌﾞｰﾄ ﾛｰﾀﾞ領域へ移動のどちらかにされるべきです。ﾌﾞｰﾄ ﾛｰﾀﾞ領域は常にNRWW領域に配置されます。RWW領域が読み出しに対して妨げられている限り、SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)のRWW領域多忙(RWWSB)ﾋﾞｯﾄは論理1として読みます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後、RWW領域に配置したｺｰﾄﾞを読む前にRWWSBはｿﾌﾄｳｪｱによって解除(0)されなければなりません。RWWSBを解除(0)する方法の詳細については157頁の「SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)」をご覧ください。

NRWW – 書き込み中読み出し不能領域

NRWW領域に配置したｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱがRWW領域内のﾍﾟｰｼﾞを更新する時に読めます。ﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞがNRWW領域を更新するとき、全てのﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み動作中にCPUが停止されます。

表91. 書き込み中読み出し可能機能

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にZﾎﾟｲﾝﾀで指定される領域	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に読める領域	CPU動作	RWW機能支援
RWW領域	NRWW領域	通常動作	あり
NRWW領域	なし	停止	なし

図108. RWW領域とNRWW領域の関係

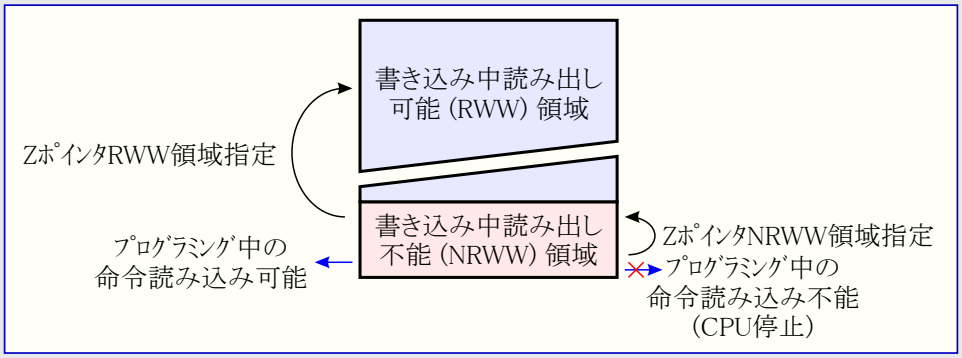
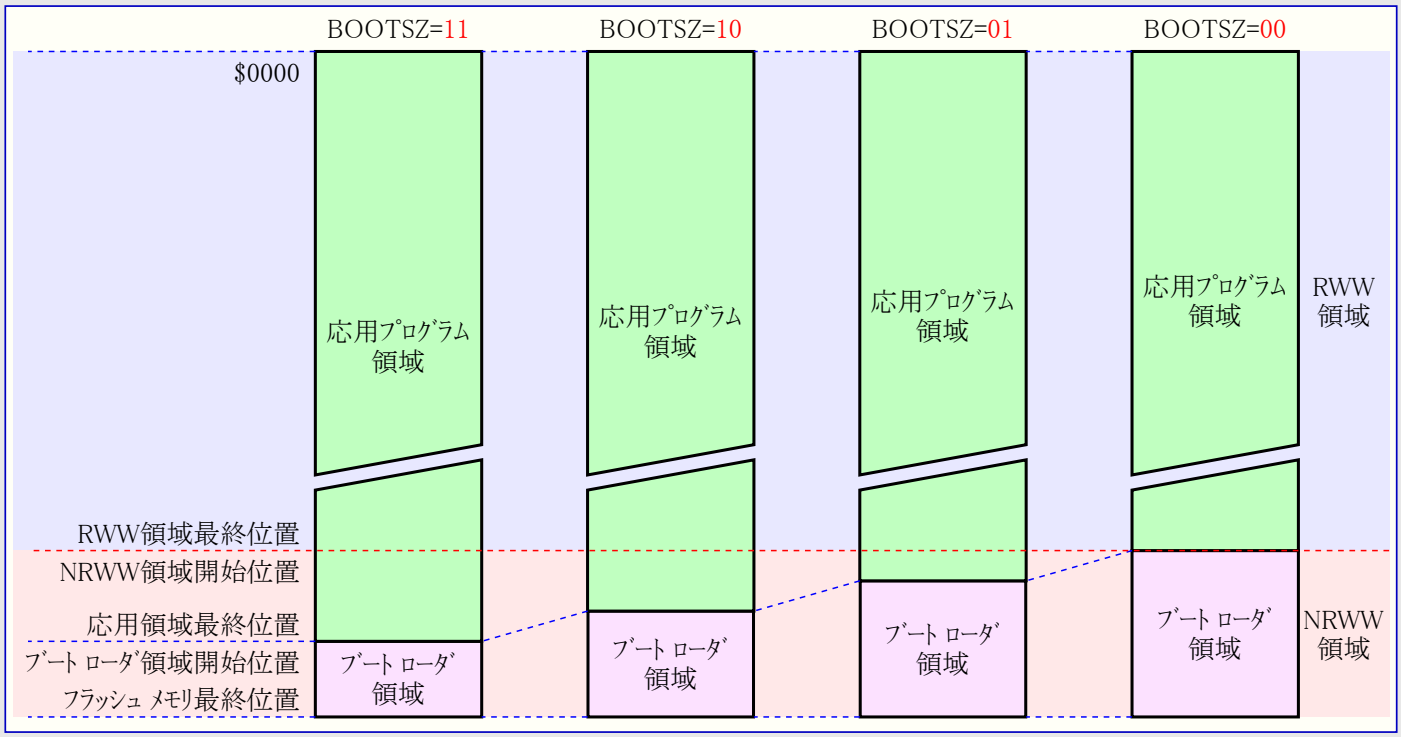


図109. 選択によるﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘの領域分割



注: 図内の各ﾊﾟﾗﾒｰﾀについては162頁の表96.で与えられます。

ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ

ﾌﾞｰﾄ ﾛｰﾀﾞ能力が必要とされないなら、ﾌﾗｯｼｭ ﾒﾓﾘ全体が応用ｺｰﾄﾞ用に利用可能です。ﾌﾞｰﾄ ﾛｰﾀﾞは個別に設定可能な独立した2組のﾌﾞｰﾄ施錠ﾋﾞｯﾄを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。

使用者は以下を選べます。

- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘ全体を保護
- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄ ﾛｰﾀﾞ領域だけを保護
- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘの応用領域だけを保護
- ﾌﾗｯｼｭ ﾒﾓﾘ全体で更新するｿﾌﾄｳｪｱを許可

より多くの詳細については表92.と表93.をご覧ください。ﾌﾞｰﾄ施錠ﾋﾞｯﾄはｿﾌﾄｳｪｱと直列または並列のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作で設定(0)できますが、これらのﾋﾞｯﾄはﾁｯﾌﾟ消去指令によってのみ解除(1)できます。一般書き込み禁止(LB動作種別2)はSPM命令によるﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞを制御しません。同様に、試みられたなら、一般読み書き禁止(LB動作種別3)はLPM命令とSPM命令による読み込みも書き込みも制御しません。(訳補:一般LBはLPM/SPM命令に関して無関係の意)

表92. 応用領域に対する保護種別 (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BLB0 動作種別	BLB02	BLB01	保護種別
1	1	1	LPM, SPM命令が応用領域をｱｸｾｽすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ﾌﾞｰﾄ ﾛｰﾀﾞ領域でのLPM命令による応用領域からの読み込みが許されません。(注)
4	0	1	ﾌﾞｰﾄ ﾛｰﾀﾞ領域でのLPM命令による応用領域からの読み込みが許されません。(注)

注: BLB02=0で、割り込みﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

表93. ﾌﾞｰﾄ ﾛｰﾀﾞ領域に対する保護種別 (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BLB1 動作種別	BLB12	BLB11	保護種別
1	1	1	LPM, SPM命令がﾌﾞｰﾄ ﾛｰﾀﾞ領域をｱｸｾｽすることに対して制限はありません。
2	1	0	SPM命令はﾌﾞｰﾄ ﾛｰﾀﾞ領域に書くことを許されません。
3	0	0	SPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ領域への書き込みと、応用領域でのLPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ領域からの読み込みが許されません。(注)
4	0	1	応用領域でのLPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ領域からの読み込みが許されません。(注)

注: BLB12=0で、割り込みﾍﾞｸﾀが応用領域に配置されていると、ﾌﾞｰﾄ ﾛｰﾀﾞ領域での実行時に割り込みが禁止されます。

ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑへの移行

ﾌﾞｰﾄ ﾛｰﾀﾞへの移行は応用ﾌﾟﾛｸﾞﾗﾑから分岐(Jump)または呼び出し(Call)によって行います。これはUSARTやSPIｲﾝﾀｰﾌｪｰｽ経由で受信した指令のような起点によって始められるかもしれません。代わりに、ﾘｾｯﾄ後にﾘｾｯﾄ ﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域開始ｱﾄﾞﾚｽを指示するようにﾌﾞｰﾄ ﾘｾｯﾄ(BOOTRST)ﾋｭｰｽﾞをﾌﾟﾛｸﾞﾗﾑ(0)できます。この場合、ﾌﾞｰﾄ ﾛｰﾀﾞがﾘｾｯﾄ後に開始されます。応用ｺｰﾄﾞが設定された(書かれた)後、そのﾌﾟﾛｸﾞﾗﾑ(ﾌﾞｰﾄ ﾛｰﾀﾞ)は応用ｺｰﾄﾞの実行を始めることができます。このﾋｭｰｽﾞがMCU自身によって変更できないことに注意してください。これは一旦ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾘｾｯﾄ ﾍﾞｸﾀは常にﾌﾞｰﾄ ﾛｰﾀﾞ ﾘｾｯﾄを指示し、このﾋｭｰｽﾞが直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ、並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたはJTAGｲﾝﾀｰﾌｪｰｽを通してのみ変更できることを意味します。

表94. ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞ (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BOOTRST	ﾘｾｯﾄ後実行開始ｱﾄﾞﾚｽ (ﾘｾｯﾄ ﾍﾞｸﾀ)	
0	ﾌﾞｰﾄ ﾛｰﾀﾞ ﾘｾｯﾄ	ﾌﾞｰﾄ ﾛｰﾀﾞ開始ｱﾄﾞﾚｽ(162頁の表96.参照)
1	応用ﾘｾｯﾄ	$0000

SPM命令制御/状態ﾚｼﾞｽﾀ (Store Program Memory Control and Status Register) SPMCSR

このﾚｼﾞｽﾀはﾌﾞｰﾄ ﾛｰﾀﾞ動作を制御するために必要とされる制御ﾋﾞｯﾄを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$37 ($57)	SPMIE	RWWSB	–	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	SPMCSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ﾋﾞｯﾄ7 – SPMIE : SPM操作可割り込み許可 (SPM Interrupt Enable)

SPMIEﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRのSPM操作許可(SPMEN)ﾋﾞｯﾄが解除(0)されている限り実行されます。

• ﾋﾞｯﾄ6 – RWWSB : RWW領域多忙 (Read-While-Write Section Busy)

RWW領域に自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み)操作が開始されると、RWWSBがﾊｰﾄﾞｳｪｱによって設定(1)されます。RWWSBﾋﾞｯﾄが設定(1)されると、RWW領域はｱｸｾｽできません。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了された後にRWWSREﾋﾞｯﾄが1を書かれると、このRWWSBﾋﾞｯﾄは解除(0)されます。同様に、ﾍﾟｰｼﾞ設定操作が開始されると、RWWSBﾋﾞｯﾄは自動的に解除(0)されます。

• ﾋﾞｯﾄ5 – Res : 予約 (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

• ﾋﾞｯﾄ4 – RWWSRE : RWW領域読み出し許可 (Read-While-Write Section Read Enable)

RWW領域にﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み)すると、RWW領域は(RWWSBがﾊｰﾄﾞｳｪｱによって設定(1)され)読み出しに対して防がれます。RWW領域を再許可するために使用者ｿﾌﾄｳｪｱはﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了(SPMENが解除(0))されるまで待たねばなりません。その後、RWWSREﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令がRWW領域を再許可します。ﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込みでﾌﾗｯｼｭ ﾒﾓﾘが多忙(SPMEN=1)の間、RWW領域は再許可できません。ﾌﾗｯｼｭ ﾒﾓﾘが設定されている間にRWWSREﾋﾞｯﾄが書かれると、ﾌﾗｯｼｭ ﾒﾓﾘ設定操作は失敗し、設定したﾃﾞｰﾀが失われます。

• ﾋﾞｯﾄ3 – BLBSET : ﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定 (Boot Lock Bits Set)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令はR0のﾃﾞｰﾀに従ったﾌﾞｰﾄ施錠ﾋﾞｯﾄを設定します。R1のﾃﾞｰﾀとZﾎﾟｲﾝﾀのｱﾄﾞﾚｽは無視されます。BLBSETﾋﾞｯﾄは施錠ﾋﾞｯﾄの設定完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。

SPMCSRでBLBSETとSPMENが設定(1)された後の3ｸﾛｯｸ周期内のLPM命令は(ZﾎﾟｲﾝﾀのZ0によって)ﾋｭｰｽﾞ ﾋﾞｯﾄまたは施錠ﾋﾞｯﾄのどちらかを転送先ﾚｼﾞｽﾀに読みます。詳細については160頁の「**ｿﾌﾄｳｪｱからのﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し**」をご覧ください。

• ﾋﾞｯﾄ2 – PGWRT : ﾍﾟｰｼﾞ書き込み (Page Write)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令は一時緩衝部に格納したﾃﾞｰﾀでﾍﾟｰｼﾞ書き込みを実行します。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀの上位部から取得されます。R1とR0のﾃﾞｰﾀは無視されます。PGWRTﾋﾞｯﾄはﾍﾟｰｼﾞ書き込みの完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がｱﾄﾞﾚｽ指定されると、ﾍﾟｰｼﾞ全体の書き込み動作中にCPUは停止されます。

• ﾋﾞｯﾄ1 – PGERS : ﾍﾟｰｼﾞ消去 (Page Erase)

このﾋﾞｯﾄがSPMENと同時に1を書かれると、次の4ｸﾛｯｸ周期内のSPM命令はﾍﾟｰｼﾞ消去を実行します。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀの上位部から取得されます。R1とR0のﾃﾞｰﾀは無視されます。PGERSﾋﾞｯﾄはﾍﾟｰｼﾞ消去の完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。NRWW領域がｱﾄﾞﾚｽ指定されると、ﾍﾟｰｼﾞ全体の消去中にCPUは停止されます。

• ﾋﾞｯﾄ0 – SPMEN : SPM操作許可 (Store Program Memory Enable)

このﾋﾞｯﾄは次の4ｸﾛｯｸ周期間のSPM命令を許可します。このﾋﾞｯﾄがRWWSRE, BLBSET, PGWRT, PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます(上の記述をご覧ください)。SPMENだけが書かれると、続くSPM命令はZﾎﾟｲﾝﾀによってｱﾄﾞﾚｽ指定したﾍﾟｰｼﾞ一時緩衝部へR1:R0の値を格納します。Zﾚｼﾞｽﾀの最下位ﾋﾞｯﾄは無視されます。SPMENﾋﾞｯﾄはSPM命令の完了で、または4ｸﾛｯｸ周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み中、SPMENﾋﾞｯﾄはその動作が完了されるまで1に留まります。

下位5ﾋﾞｯﾄに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定

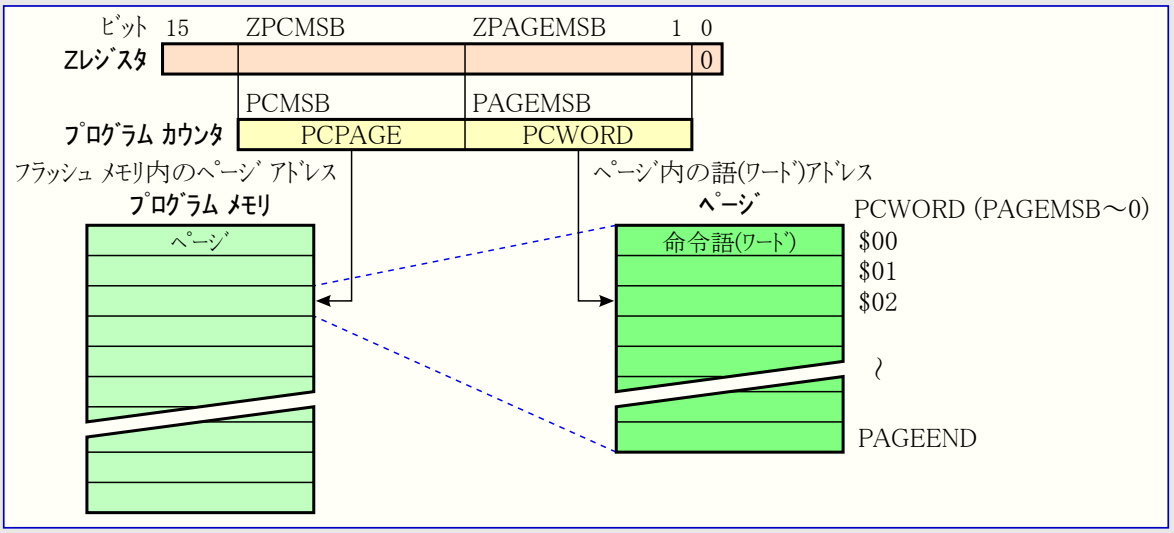
Zﾎﾟｲﾝﾀ(ﾚｼﾞｽﾀ)はSPM命令でのｱﾄﾞﾚｽ指定に使われます。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

ﾌﾗｯｼｭ ﾒﾓﾘがﾍﾟｰｼﾞで構成されるため(165頁の**表105.**参照)、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ)は2つの違う領域を持つように取り扱われます。1つの領域は下位側ﾋﾞｯﾄから成り、ﾍﾟｰｼﾞ内の語(ﾜｰﾄﾞ)をｱﾄﾞﾚｽ指定し、一方上位側ﾋﾞｯﾄはそのﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定します。これは**図110.**で示されます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作が個別にｱﾄﾞﾚｽ指定されることに注意してください。従ってﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが最も重要です。一旦ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が開始されると、このｱﾄﾞﾚｽはﾗｯﾁされ、Zﾎﾟｲﾝﾀは他の操作に使えます。

Zﾎﾟｲﾝﾀを使わないSPM操作はﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ設定だけです。この操作でZﾚｼﾞｽﾀの内容は無視され、無効です。LPM命令もｱﾄﾞﾚｽを格納するのにZﾎﾟｲﾝﾀを使います。この命令はﾌﾗｯｼｭ ﾒﾓﾘのﾊﾞｲﾄ単位をｱﾄﾞﾚｽ指定するので、Zﾎﾟｲﾝﾀの最下位ﾋﾞｯﾄ(Z0)も使われます。

図110. SPM操作中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定



注: 図内で使った各変数は162頁の**表98.**で一覧されます。
PCPAGEとPCWORDは165頁の**表105.**で一覧されます。

ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘはﾍﾟｰｼﾞ単位形式で更新されます。ﾍﾟｰｼﾞ一時緩衝部へ格納したﾃﾞｰﾀでﾍﾟｰｼﾞを書く前にそのﾍﾟｰｼﾞが消去されなければなりません。ﾍﾟｰｼﾞ一時緩衝部はSPM命令使用時毎の1語(ﾜｰﾄﾞ)で満たされ、この緩衝部はﾍﾟｰｼﾞ消去命令前、またはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作間のどちらかで満たすことができます。

手段1 (ﾍﾟｰｼﾞ消去前の一時緩衝部格納)

- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

手段2 (ﾍﾟｰｼﾞ消去後の一時緩衝部格納)

- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

ﾍﾟｰｼﾞの一部の変更だけが必要な場合、消去前にﾍﾟｰｼﾞの残す部分は(例えばﾍﾟｰｼﾞ一時緩衝部に)保存されなければならず、その後に改めて書かれます。**手段1.**を使う場合、初めにﾍﾟｰｼﾞを読んで必要な変更を行い、その後に変更したﾃﾞｰﾀを書き戻すことを使用者ｿﾌﾄｳｪｱに許す効率的な読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)機能をﾌﾞｰﾄ ﾛｰﾀﾞが提供します。**手段2.**が使われる場合、ﾍﾟｰｼﾞが既に消去されているため、格納中の旧ﾃﾞｰﾀを読むことができません。ﾍﾟｰｼﾞ一時緩衝部は乱順でｱｸｾｽできます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で使われるﾍﾟｰｼﾞ ｱﾄﾞﾚｽは同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが非常に重要です。ｱｾﾝﾌﾞﾘ言語でのｺｰﾄﾞ例については161頁の「**ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例**」をご覧ください。

SPM命令によるﾍﾟｰｼﾞ消去の実行

ﾍﾟｰｼﾞ消去を実行するにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)に'X0000011'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀのPCPAGEに書かれなければなりません。この操作中、Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄは無視されます。

- RWW領域のﾍﾟｰｼﾞ消去　：ﾍﾟｰｼﾞ消去中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ消去 ：ﾍﾟｰｼﾞ消去中、CPUは停止されます。

ﾍﾟｰｼﾞ一時緩衝部の設定 (ﾍﾟｰｼﾞ設定)

命令語(ﾜｰﾄﾞ)を(ﾍﾟｰｼﾞ一時緩衝部に)書くにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽ、R1:R0にﾃﾞｰﾀを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。ZﾎﾟｲﾝﾀのPCWORDの内容は一時緩衝部のﾃﾞｰﾀのｱﾄﾞﾚｽに使われます。一時緩衝部はﾍﾟｰｼﾞ書き込み操作後、またはSPMCSRのRWWSREﾋﾞｯﾄ書き込みによって自動的に消去されます。ｼｽﾃﾑ ﾘｾｯﾄ後も消去されています。一時緩衝部を消去せずに各ｱﾄﾞﾚｽへ複数回書くことができないことに注意してください。

SPMﾍﾟｰｼﾞ設定操作の途中でEEPROMが書かれると、設定した全ﾃﾞｰﾀが失われます。

ﾍﾟｰｼﾞ書き込みの実行

ﾍﾟｰｼﾞ書き込みを行うにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPMCSRに'X0000101'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽは(Zﾎﾟｲﾝﾀの)PCPAGEに書かれなければなりません。この操作中にZﾎﾟｲﾝﾀの他のﾋﾞｯﾄは0を書かれなければなりません。

- RWW領域のﾍﾟｰｼﾞ書き込み　：ﾍﾟｰｼﾞ書き込み中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ書き込み ：ﾍﾟｰｼﾞ書き込み中、CPUは停止されます。

SPM操作可割り込みの使用法

SPM操作可割り込みが許可されると、SPMCSRのSPMENﾋﾞｯﾄが解除(0)されている時にSPM操作可割り込みが継続的に発生します。これはｿﾌﾄｳｪｱでSPMCSRをﾎﾟｰﾘﾝｸﾞする代わりにこの割り込みが使えることを意味します。SPM操作可割り込みを使うとき、割り込みが読み出しに対して防がれる時にRWW領域をｱｸｾｽするのを避けるために、割り込みﾍﾞｸﾀはﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるべきです。割り込み(ﾍﾞｸﾀ)の移動法は30頁の「**割り込み**」で記述されます。

ﾌﾞｰﾄ ﾛｰﾀﾞ領域更新中の考慮

ﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)が非ﾌﾟﾛｸﾞﾗﾑ(1)にされたままとすることによって使用者がﾌﾞｰﾄ ﾛｰﾀﾞ領域に更新を許す場合、特別な注意が祓われなければなりません。ﾌﾞｰﾄ ﾛｰﾀﾞ自身への予期せぬ書き込みはﾌﾞｰﾄ ﾛｰﾀﾞ全体を不正にし得て、更にｿﾌﾄｳｪｱの更新が不可能になるかもしれません。ﾌﾞｰﾄ ﾛｰﾀﾞ自体の変更が必要ないなら、内部ｿﾌﾄｳｪｱのどんな変更からもﾌﾞｰﾄ ﾛｰﾀﾞを保護するためにﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)をﾌﾟﾛｸﾞﾗﾑ(0)することが推奨されます。

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のRWW領域読み込みの防止

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中(ﾍﾟｰｼﾞ消去もﾍﾟｰｼﾞ書き込みも)、RWW領域は読み出しに対して常に防がれます。使用者ｿﾌﾄｳｪｱそれ自身が自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作中にこの領域がｱﾄﾞﾚｽ指定されるのを防止しなければなりません。SPMCSRのRWWSBはRWW領域が多忙である限り設定(1)されます。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の割り込みﾍﾞｸﾀ表は30頁の「**割り込み**」で記述されるようにﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるべきか、または割り込みが禁止されなければなりません。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後にRWW領域をｱﾄﾞﾚｽ指定する前に、使用者ｿﾌﾄｳｪｱはRWWSREの書き込みによってRWWSBを解除(0)しなければなりません。例については161頁の「**ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例**」をご覧ください。

SPM命令によるﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄと一般施錠ﾋﾞｯﾄの設定

ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄと一般施錠ﾋﾞｯﾄを解除(0)するには希望したﾃﾞｰﾀをR0に設定してSPMCSRに'X0001001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ﾌﾗｯｼｭ ﾒﾓﾘのｱｸｾｽに影響を及ぼすﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄの各種設定法については**表92.**と**表93.**をご覧ください。

R0のﾋﾞｯﾄ5～0が解除(0)される場合、SPMCSRでSPMENとﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定(BLBSET)ﾋﾞｯﾄが設定(1)された後4ｸﾛｯｸ周期内にSPM命令が実行されると、対応する施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されます。この操作中、Zﾎﾟｲﾝﾀは関係ありませんが、将来との共通性のために(施錠ﾋﾞｯﾄ読み出しに使われるのと同じ)$0001でZﾎﾟｲﾝﾀを設定することが推奨されます。将来との共通性のため、施錠ﾋﾞｯﾄ書き込み時にR0のﾋﾞｯﾄ7,6は1に設定することも推奨されます。施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾐﾝｸﾞするとき、この操作中に全てのﾌﾗｯｼｭ ﾒﾓﾘは読むことができます。

SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がﾌﾗｯｼｭ ﾒﾓﾘへの全ｿﾌﾄｳｪｱ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを妨げることに注意してください。ｿﾌﾄｳｪｱからのﾋｭｰｽﾞと施錠ﾋﾞｯﾄ読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROM書き込み許可(EEWE)ﾋﾞｯﾄを検査し、SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)へ書く前にこのﾋﾞｯﾄが解除(0)されているのを確認することが推奨されます。

ｿﾌﾄｳｪｱからのﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ｿﾌﾄｳｪｱからﾋｭｰｽﾞと施錠ﾋﾞｯﾄの両方を読むことが可能です。施錠ﾋﾞｯﾄを読むにはZﾎﾟｲﾝﾀに$0001を設定してSPMCSRのSPMENとﾌﾞｰﾄ施錠ﾋﾞｯﾄ設定(BLBSET)ﾋﾞｯﾄを設定(1)してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRに設定された後、3 CPU周期内にLPM命令が実行されると、施錠ﾋﾞｯﾄの値が転送先ﾚｼﾞｽﾀに格納されます。SPMENとBLBSETﾋﾞｯﾄは施錠ﾋﾞｯﾄ読み出しの完了で、または3 CPU周期内にLPM命令が実行されないか、または4 CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。SPMENとBLBSETﾋﾞｯﾄが解除(0)されると、LPMは命令一式手引書で記述されるように動作します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	–	–	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ﾋｭｰｽﾞ下位ﾋﾞｯﾄを読む手順は上記の施錠ﾋﾞｯﾄ読み出しと同様です。ﾋｭｰｽﾞ下位ﾋﾞｯﾄを読み出すにはZﾎﾟｲﾝﾀに$0000を設定してSPMCSRのSPMENとBLBSETﾋﾞｯﾄを設定(1)してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRに設定された後、3 CPU周期内にLPM命令が実行されると、以下で示されるようにﾋｭｰｽﾞ下位ﾋﾞｯﾄ(FLB)の値が転送先ﾚｼﾞｽﾀに格納されます。ﾋｭｰｽﾞ下位ﾋﾞｯﾄの配置と詳細な記述については164頁の表103.を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ﾋｭｰｽﾞ上位ﾋﾞｯﾄを読むにはZﾎﾟｲﾝﾀに$0003を設定してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRで設定(1)された後、3周期内にLPM命令が実行されると、以下で示されるようにﾋｭｰｽﾞ上位ﾋﾞｯﾄ(FHB)の値が転送先ﾚｼﾞｽﾀに格納されます。ﾋｭｰｽﾞ上位ﾋﾞｯﾄの配置と詳細な記述については164頁の表102.を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

拡張ﾋｭｰｽﾞ ﾋﾞｯﾄを読む時はZﾎﾟｲﾝﾀに$0002を設定してください。SPMENとBLBSETﾋﾞｯﾄがSPMCSRで設定(1)された後、3周期内にLPM命令が実行されると、以下で示されるように拡張ﾋｭｰｽﾞ ﾋﾞｯﾄ(EFB)の値が転送先ﾚｼﾞｽﾀに格納されます。拡張ﾋｭｰｽﾞ ﾋﾞｯﾄの配置と詳細な記述については164頁の表101.を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
Rd	–	–	–	–	EFB3	EFB2	EFB1	–

ﾌﾟﾛｸﾞﾗﾑ(0)されたﾋｭｰｽﾞと施錠ﾋﾞｯﾄは0として読みます。非ﾌﾟﾛｸﾞﾗﾑ(1)にされたﾋｭｰｽﾞと施錠ﾋﾞｯﾄは1として読みます。

ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ化けの防止

低VCCの期間中、CPUとﾌﾗｯｼｭ ﾒﾓﾘの正しい動作に対して供給電圧が低すぎるためにﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾑが不正にされ得ます。これらの問題はﾌﾗｯｼｭ ﾒﾓﾘを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾑ化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてﾌﾗｯｼｭ ﾒﾓﾘへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

ﾌﾗｯｼｭ ﾒﾓﾘ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- そのｼｽﾃﾑでﾌﾞｰﾄ ﾛｰﾀﾞ更新が必要ない場合、どんなﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ更新をも防ぐためにﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾑ(0)してください。
- 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCﾘｾｯﾄ保護回路が使えます。書き込み操作進行中にﾘｾｯﾄが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- 低VCCの期間中、AVRｺｱをﾊﾟﾜｰﾀﾞｳﾝ休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSR従ってﾌﾗｯｼｭ ﾒﾓﾘを予期せぬ書き込みから効果的に保護します。

SPM命令使用時のﾌﾗｯｼｭ ﾒﾓﾘ用ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)時間

校正された内蔵RC発振器がﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽ時間に使われます。表95.はCPUからのﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽに対する代表的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間を示します。

表95. SPM命令によるﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

項目	最小	最大
SPM命令によるﾌﾗｯｼｭ書き込み (ﾍﾟｰｼﾞ消去、ﾍﾟｰｼﾞ書き込み、施錠ﾋﾞｯﾄ書き込み)	3.7ms	4.5ms

ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例

このﾙｰﾁﾝはRAMからﾌﾗｯｼｭ ﾒﾓﾘへ1ﾍﾟｰｼﾞのﾃﾞｰﾀを書きます。RAM内の最初のﾃﾞｰﾀ位置はYﾚｼﾞｽﾀによって指示され、ﾌﾗｯｼｭ ﾒﾓﾘ内の最初のﾃﾞｰﾀ位置はZﾚｼﾞｽﾀによって指示されます。異常処理は含まれません。このﾙｰﾁﾝ(少なくともSPMJｻﾌﾞﾙｰﾁﾝ)はﾌﾞｰﾄ ﾛｰﾀﾞ領域側に配置されなければなりません。NRWW領域側のｺｰﾄﾞだけが自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み)中に読めます。使用ﾚｼﾞｽﾀはR0,R1,TMP,CNTL,CNTH,SPMCで、ﾚｼﾞｽﾀの保存と復帰はこのﾙｰﾁﾝ内に含まれず、使用ﾚｼﾞｽﾀはｺｰﾄﾞ量を犠牲にすれば最適化できます。割り込み表がﾌﾞｰﾄ ﾛｰﾀﾞ領域に移動されるか、割り込みが禁止されるかのどちらかが前提です。

ﾍﾟｰｼﾞ内ﾃﾞｰﾀが256ﾊﾞｲﾄ以下の場合は計数器上位が不要になります。また関連する命令も変更になります。これらの部分を赤字で示します(訳注:本行は以下のﾌﾟﾛｸﾞﾗﾑ補正に対応して追加しました)。

```
ﾗﾍﾞﾙ    命令                                    注釈
        .EQU    PGSZB = PAGESIZE*2              ; PGSZBはﾍﾟｰｼﾞ内のﾊﾞｲﾄ数です。(PAGESIZEは語(ﾜｰﾄﾞ)数)
        .ORG    SMALLBOOTSTART                  ;

                                                ; [ ﾍﾟｰｼﾞ消去 ]
WRPG:   LDI     SPMC,(1<<PGERS)+(1<<SPMEN)      ; ﾍﾟｰｼﾞ消去SPMCSR値を取得
        CALL    SPMJ                            ; ﾍﾟｰｼﾞ消去
                                                ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        CALL    SPMJ                            ; RWW領域読み出し許可
                                                ; [ RAMからﾌﾗｯｼｭ ﾍﾟｰｼﾞ一時緩衝部へ転送 ]
        LDI     CNTL,LOW(PGSZB)                 ; ﾊﾞｲﾄ計数器を初期化
        LDI     CNTH,HIGH(PGSZB)                ; (削除)
WLP:    LD      R0,Y+                           ; RAM上の下位ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
        LD      R1,Y+                           ; RAM上の上位ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
        LDI     SPMC,(1<<SPMEN)                 ; ﾍﾟｰｼﾞ一時緩衝部書き込みSPMCSR値を取得
        CALL    SPMJ                            ; 対応語(ﾜｰﾄﾞ)ﾃﾞｰﾀをﾍﾟｰｼﾞ一時緩衝部に設定
        ADIW    ZH:ZL,2                         ; ﾍﾟｰｼﾞ一時緩衝部ﾎﾟｲﾝﾀ進行
        SBIW    CNTH:CNTL,2                     ; 計数器を減数 (SUBI)
        BRNE    WLP                             ; 指定ﾊﾞｲﾄ数分継続
                                                ; [ ﾍﾟｰｼﾞ書き込み ]
        SUBI    ZL,LOW(PGSZB)                   ; ﾍﾟｰｼﾞ一時緩衝部先頭にﾎﾟｲﾝﾀを復帰
        SBCI    ZH,HIGH(PGSZB)                  ; (削除)
        LDI     SPMC,(1<<PGWRT)+(1<<SPMEN)      ; ﾌﾗｯｼｭ書き込みSPMCSR値を取得
        CALL    SPMJ                            ; ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ書き込み
                                                ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        CALL    SPMJ                            ; RWW領域読み出し許可
                                                ; [ 読み戻し照合 (任意) ]
        LDI     CNTL,LOW(PGSZB)                 ; ﾊﾞｲﾄ計数器を初期化
        LDI     CNTH,HIGH(PGSZB)                ; (削除)
        SUBI    YL,LOW(PGSZB)                   ; RAMﾃﾞｰﾀ先頭にﾎﾟｲﾝﾀを復帰
        SBCI    YH,HIGH(PGSZB)                  ;
RLP:    LPM     R0,Z+                           ; ﾌﾗｯｼｭ ﾒﾓﾘから1ﾊﾞｲﾄ取得(ﾎﾟｲﾝﾀ進行)
        LD      R1,Y+                           ; RAMから1ﾊﾞｲﾄ ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
        CPSE    R0,R1                           ; 値一致でｽｷｯﾌﾟ
        JMP     ERROR                           ; 不一致で異常処理へ
;
        SBIW    CNTH:CNTL,1                     ; 計数器を減数 (SUBI)
        BRNE    RLP                             ; 指定ﾊﾞｲﾄ数分継続
:                                               ; [ RWW領域へ復帰 ]
RTN:    IN      TMP,SPMCSR                      ; SPM命令制御/状態ﾚｼﾞｽﾀ値を取得
        SBRS    TMP,RWWSB                       ; RWW領域多忙でｽｷｯﾌﾟ
        RET                                     ; 準備可で呼び出し元へ復帰
;                                               ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        CALL    SPMJ                            ; RWW領域読み出し許可
        RJMP    RTN                             ; RWW領域準備可まで待機へ
                                                ; [ SPM命令実行ｻﾌﾞﾙｰﾁﾝ ]
SPMJ:   IN      TMP,SPMCSR                      ; SPM命令制御/状態ﾚｼﾞｽﾀ値を取得
        SBRC    TMP,SPMEN                       ; 操作可能(直前のSPM完了)でｽｷｯﾌﾟ
        RJMP    SPMJ                            ; 操作可まで待機
;
        IN      TMP,SREG                        ; ｽﾃｰﾀｽ ﾚｼﾞｽﾀ値を保存
        CLI                                     ; 全割り込み禁止
WAIT:   SBIC    EECR,EEWE                       ; EEPROM書き込み中以外でｽｷｯﾌﾟ
        RJMP    WAIT                            ; EEPROM書き込み完了まで待機
;
        OUT     SPMCSR,SPMC                     ; SPM動作指定
        SPM                                     ; 対応SPM動作実行
        OUT     SREG,TMP                        ; ｽﾃｰﾀｽ ﾚｼﾞｽﾀ値を復帰
        RET                                     ; 呼び出し元へ復帰
```

ATmega165用ﾌﾞｰﾄ ﾛｰﾀﾞのﾊﾟﾗﾒｰﾀ

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの記述で使ったﾊﾟﾗﾒｰﾀは表96.～98.で与えられます。

表96. 応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の分割設定

BOOTSZ1	BOOTSZ0	ﾌﾞｰﾄ ﾛｰﾀﾞ領域		ｱﾄﾞﾚｽ範囲		
		容量（語）	ﾍﾟｰｼﾞ数	応用ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ
1	1	128	2	$0000～$1F7F	$1F80～$1FFF	$1F80
1	0	256	4	$0000～$1EFF	$1F00～$1FFF	$1F00
0	1	512	8	$0000～$1DFF	$1E00～$1FFF	$1E00
0	0	1024	16	$0000～$1BFF	$1C00～$1FFF	$1C00

注: 各種BOOTSZﾋｭｰｽﾞ設定は図109.で示されます。

表97. RWW領域とNRWW領域の範囲

領域	ﾍﾟｰｼﾞ数	ｱﾄﾞﾚｽ範囲
書き込み中読み出し可能(RWW)領域	112	$0000～$1BFF
書き込み中読み出し不能(NRWW)領域	16	$1C00～$1FFF

注: これら2つの領域についての詳細に関しては155頁の「RWW – 書き込み中読み出し可能領域」と「NRWW – 書き込み中読み出し不能領域」をご覧ください。

表98. 図110.で使った各変数説明とZﾎﾟｲﾝﾀの配置

変数名	対応値		意味
	PC	Zﾎﾟｲﾝﾀ（注）	
PCMSB	PC12		ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀの最上位ﾋﾞｯﾄ。（ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは13ﾋﾞｯﾄ、PC12～0）
PAGEMSB	PC5		1ﾍﾟｰｼﾞ内に使われる語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽの最上位ﾋﾞｯﾄ。 (ﾍﾟｰｼﾞ内の64語(ﾜｰﾄﾞ)には6ﾋﾞｯﾄ PC5～0が必要)
ZPCMSB		Z13	PCMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPCMSB=PCMSB+1)
ZPAGEMSB		Z6	PAGEMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPAGEMSB=PAGEMSB+1)
PCPAGE	PC12～6	Z13～7	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ ﾍﾟｰｼﾞ ｱﾄﾞﾚｽ：ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み用のﾍﾟｰｼﾞ選択
PCWORD	PC5～0	Z6～1	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ 語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽ：一時緩衝部格納用語(ﾜｰﾄﾞ)選択 (ﾍﾟｰｼﾞ書き込み操作中は0でなければなりません。)

注: Z15～14：常に無視されます。

Z0：全てのSPM命令に対して0であるべきで、LPM命令に対するﾊﾞｲﾄ選択です。

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のZﾎﾟｲﾝﾀの使用についての詳細に関しては158頁の「自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定」をご覧ください。

メモリ プログラミング

プログラム メモリとデータ メモリ用施錠ビット

ATmega165は非プログラム(1)のままか、表100.で一覧される付加機能を得るためにプログラム(0)できる6つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ1に消去できます。

表99. 施錠ビット バイトの内容

名称	ビット番号	意味	既定値 (注)
–	7		1 (非プログラム)
–	6		1 (非プログラム)
BLB12	5	ブート ローダ領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB11	4		1 (非プログラム)
BLB02	3	応用領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB01	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表100. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはJTAG経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズ ビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズ ビットとブート施錠ビットが固定されます。(注1)
LB0 種別	BLB02	BLB01	フラッシュ メモリの応用プログラム領域に対する保護
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
4	0	1	ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
LB1 種別	BLB12	BLB11	フラッシュ メモリのブート ローダ プログラム領域に対する保護
1	1	1	LPM, SPM命令がブート ローダ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブート ローダ領域に書くことを許されません。
3	0	0	SPM命令によるブート ローダ領域への書き込みと、応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(注3)
4	0	1	応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(注3)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズ ビットとブート施錠ビットを書いてください。

注2: BLB02=0で、割り込みベクタがブート ローダ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

注3: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブート ローダ領域での実行時に割り込みが禁止されます。

ﾋｭｰｽﾞ ﾋﾞｯﾄ

ATmega165には3つのﾋｭｰｽﾞ ﾊﾞｲﾄがあります。表101.～103.は全てのﾋｭｰｽﾞの概略機能とﾋｭｰｽﾞ ﾊﾞｲﾄ内でどのように配置されるかを示します。ﾋｭｰｽﾞはﾌﾟﾛｸﾞﾗﾑされると、論理0として読まれることに注意してください。

表101. 拡張ﾋｭｰｽﾞ ﾊﾞｲﾄ一覧

名称	ﾋﾞｯﾄ	意味	既定値
–	7		1 (非ﾌﾟﾛｸﾞﾗﾑ)
–	6		1 (非ﾌﾟﾛｸﾞﾗﾑ)
–	5		1 (非ﾌﾟﾛｸﾞﾗﾑ)
–	4		1 (非ﾌﾟﾛｸﾞﾗﾑ)
BODLEVEL2	3	低電圧検出(BOD)ﾘｾｯﾄの制御と検出電圧選択。 (注1)	1 (非ﾌﾟﾛｸﾞﾗﾑ)
BODLEVEL1	2		1 (非ﾌﾟﾛｸﾞﾗﾑ)
BODLEVEL0	1		1 (非ﾌﾟﾛｸﾞﾗﾑ)
(予約)	0	注: 本ﾋﾞｯﾄは決してﾌﾟﾛｸﾞﾗﾑ(0)されるべきではありません。	1 (非ﾌﾟﾛｸﾞﾗﾑ)

注1: BODLEVELﾋｭｰｽﾞの符号化については26頁の表17.をご覧ください。

表102. ﾋｭｰｽﾞ上位ﾊﾞｲﾄ一覧

名称	ﾋﾞｯﾄ	意味	既定値
OCDEN (注4)	7	内蔵ﾃﾞﾊﾞｯｸﾞ機能(OCD)許可。	1 (非ﾌﾟﾛｸﾞﾗﾑ) OCD禁止
JTAGEN (注5)	6	JTAGｲﾝﾀｰﾌｪｰｽ許可。	0 (ﾌﾟﾛｸﾞﾗﾑ) JTAG許可
SPIEN (注1)	5	直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可。	0 (ﾌﾟﾛｸﾞﾗﾑ) 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可
WDTON (注3)	4	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ常時有効。	1 (非ﾌﾟﾛｸﾞﾗﾑ) WDTはWDTCRで許可
EESAVE	3	ﾁｯﾌﾟ消去からEEPROM内容を保護。	1 (非ﾌﾟﾛｸﾞﾗﾑ) EEPROMは未保護
BOOTSZ1	2	ﾌﾞｰﾄ ﾛｰﾀﾞ容量選択。(表96.参照) (注2)	0 (ﾌﾟﾛｸﾞﾗﾑ)
BOOTSZ0	1		0 (ﾌﾟﾛｸﾞﾗﾑ)
BOOTRST	0	ﾘｾｯﾄ ﾍﾞｸﾀ(応用領域またはﾌﾞｰﾄ ﾛｰﾀﾞ領域)選択。	1 (非ﾌﾟﾛｸﾞﾗﾑ) 応用領域

注1: SPIENﾋｭｰｽﾞは直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでｱｸｾｽできません。

注2: BOOTSZ1,0既定値は最大ﾌﾞｰﾄ ﾛｰﾀﾞ容量になります。162頁の表96.をご覧ください。

注3: 詳細については28頁の「ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ(WDTCR)」をご覧ください。

注4: 施錠ﾋﾞｯﾄやJTAGENﾋｭｰｽﾞの設定に拘らず、OCDENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)された製品の出荷は決してありません。ﾌﾟﾛｸﾞﾗﾑ(0)されたOCDENﾋｭｰｽﾞは全休止形態でｸﾛｯｸ系の一部を許可します。これは消費電力の増加になってしまいます。

注5: JTAGｲﾝﾀｰﾌｪｰｽが未接続のままにされる場合、JTAGENﾋｭｰｽﾞは可能ならば禁止されるべきです。これはJTAGｲﾝﾀｰﾌｪｰｽのTDOﾋﾟﾝの静止時電流を避けるためです。

表103. ﾋｭｰｽﾞ下位ﾊﾞｲﾄ一覧

名称	ﾋﾞｯﾄ	意味	既定値
CKDIV8 (注4)	7	ｼｽﾃﾑ ｸﾛｯｸ 8分周選択。	0 (ﾌﾟﾛｸﾞﾗﾑ) 8分周
CKOUT (注3)	6	ｼｽﾃﾑ ｸﾛｯｸ出力許可。	1 (非ﾌﾟﾛｸﾞﾗﾑ) 不許可
SUT1	5	起動時間選択。 (注1)	1 (非ﾌﾟﾛｸﾞﾗﾑ)
SUT0	4		0 (ﾌﾟﾛｸﾞﾗﾑ)
CKSEL3	3	ｸﾛｯｸ種別選択。 (注2)	0 (ﾌﾟﾛｸﾞﾗﾑ)
CKSEL2	2		0 (ﾌﾟﾛｸﾞﾗﾑ)
CKSEL1	1		1 (非ﾌﾟﾛｸﾞﾗﾑ)
CKSEL0	0		0 (ﾌﾟﾛｸﾞﾗﾑ)

注1: SUT1,0の既定値は最大起動時間になります。詳細については18頁の表9.をご覧ください。

注2: CKSEL3～0の既定設定は8MHz校正付き内蔵RC発振器になります。詳細については17頁の表2.をご覧ください。

注3: CKOUTはﾎﾟｰﾄE7に出力することをｼｽﾃﾑ ｸﾛｯｸに許します。詳細については19頁の「ｸﾛｯｸ出力緩衝部」をご覧ください。

注4: 詳細については20頁の「ｼｽﾃﾑ ｸﾛｯｸ前置分周器」をご覧ください。

ﾋｭｰｽﾞ ﾋﾞｯﾄの状態はﾁｯﾌﾟ消去によって影響されません。施錠ﾋﾞｯﾄ1(LB1)がﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾋｭｰｽﾞ ﾋﾞｯﾄが固定されることに注意してください。施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾑ(0)する前にﾋｭｰｽﾞ ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)してください。

ﾋｭｰｽﾞのﾗｯﾁ

ﾋｭｰｽﾞ値はﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作へ移行する時にﾗｯﾁされ、ﾋｭｰｽﾞ値の変更はﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を去るまで無効です。これは一旦ﾌﾟﾛｸﾞﾗﾑ(0)されると直ぐに効果があるEESAVEﾋｭｰｽﾞには適用されません。ﾋｭｰｽﾞは通常動作での電源投入でもﾗｯﾁされます。

識票ﾊﾞｲﾄ

全てのAtmelﾏｲｸﾛ ｺﾝﾄﾛｰﾗはﾃﾞﾊﾞｲｽを識別する3ﾊﾞｲﾄの識票符号を持っています。この符号は直列と並列の両ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作で、またﾃﾞﾊﾞｲｽが施錠されていても読めます。この3ﾊﾞｲﾄは分離された空間に存在します。ATmega165の識票ﾊﾞｲﾄを右に示します。

表104. ﾃﾞﾊﾞｲｽとJTAGの識別番号(ID)

部品番号	識票ﾊﾞｲﾄ ｱﾄﾞﾚｽ			JTAG	
	$0000	$0001	$0002	部品番号	製造者ID
ATmega165	$1E	$94	$07	$9407	$01F

校正ﾊﾞｲﾄ

ATmega165は内蔵RC発振器用に1ﾊﾞｲﾄの校正値を持ちます。このﾊﾞｲﾄは識票ｱﾄﾞﾚｽ空間でｱﾄﾞﾚｽ$0000の上位ﾊﾞｲﾄにあります。ﾘｾｯﾄ中、校正付き内蔵RC発振器の正しい周波数を保証するために、このﾊﾞｲﾄが発振校正(OSCCAL)ﾚｼﾞｽﾀへ自動的に書かれます。

ﾍﾟｰｼﾞ容量

表105. ﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ数とﾍﾟｰｼﾞの語数

全容量	ﾍﾟｰｼﾞ容量	PCWORD	ﾍﾟｰｼﾞ数	PCPAGE	PCMSB
8K語 (16Kﾊﾞｲﾄ)	64語	PC5～0	128	PC12～6	12

表106. EEPROMﾒﾓﾘのﾍﾟｰｼﾞ数とﾍﾟｰｼﾞの語数

全容量	ﾍﾟｰｼﾞ容量	PCWORD	ﾍﾟｰｼﾞ数	PCPAGE	EEAMSB
512ﾊﾞｲﾄ	4ﾊﾞｲﾄ	EEA1～0	128	EEA8～2	8

並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

この項はATmega165のﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、ﾃﾞｰﾀ用EEPROM、ﾒﾓﾘの施錠ﾋﾞｯﾄ、ﾋｭｰｽﾞ ﾋﾞｯﾄの並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合の方法を記述します。特記事項を除いて、ﾊﾟﾙｽ幅は最低250nsと仮定されます。

信号名

本章でATmega165のいくつかのﾋﾟﾝは並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の機能を表す信号名で参照されます。図111.と表107.をご覧ください。後続の表で示されないﾋﾟﾝはﾋﾟﾝ名によって参照されます。

XA0とXA1ﾋﾟﾝはXTAL1ﾋﾟﾝが正ﾊﾟﾙｽを与えられる時に実行される動作を決めます。このﾋﾞｯﾄ符号化は表109.で示されます。

WRまたはOEﾊﾟﾙｽ送出時、設定された指令が決める動作が実行されます。各種指令は表110.で示されます。

図111. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図

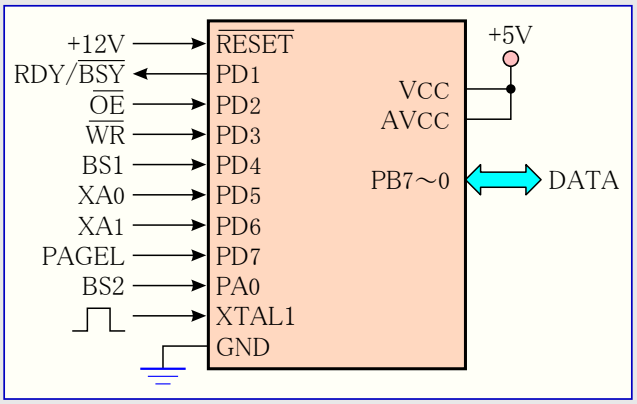


表107. 信号名とﾋﾟﾝ名の関係

信号名	ﾋﾟﾝ名	入出力	機能
RDY/BSY	PD1	出力	0(Low)：多忙(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中)　1(High)：準備可(指令受付可)
OE	PD2	入力	出力許可(負論理)
WR	PD3	入力	書き込みﾊﾟﾙｽ(負論理)
BS1	PD4	入力	上位/下位ﾊﾞｲﾄ選択1 (0:下位, 1:上位)　(一般用)
XA0	PD5	入力	XTAL動作ﾋﾞｯﾄ0
XA1	PD6	入力	XTAL動作ﾋﾞｯﾄ1
PAGEL	PD7	入力	ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘとEEPROMﾃﾞｰﾀをﾍﾟｰｼﾞ一時緩衝部に設定
BS2	PA0	入力	上位/下位ﾊﾞｲﾄ選択2 (0:下位, 1:上位)　(ﾋｭｰｽﾞ ﾋﾞｯﾄ用)
DATA	PB7～0	入出力	双方向ﾃﾞｰﾀ ﾊﾞｽ (OE=Low時出力)

表108. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作移行時のﾋﾟﾝ値

ﾋﾟﾝ名	ｼﾝﾎﾞﾙ	値
PAGEL	Prog_enable[3]	0
XA1	Prog_enable[2]	0
XA0	Prog_enable[1]	0
BS1	Prog_enable[0]	0

表109. XA0とXA1の符号化(機能)

XA1	XA0	XTAL1ﾊﾟﾙｽ時の動作
0	0	ﾌﾗｯｼｭまたはEEPROMのｱﾄﾞﾚｽ設定 (上位/下位はBS1で指定)
0	1	ﾃﾞｰﾀ設定 (ﾌﾗｯｼｭの上位/下位はBS1で指定)
1	0	指令設定
1	1	ｱｲﾄﾞﾙ (動作なし)

表110. 指令ﾊﾞｲﾄのﾋﾞｯﾄ符号化

指令ﾊﾞｲﾄ	指令の機能	指令ﾊﾞｲﾄ	指令の機能
$80 (1000 0000)	ﾁｯﾌﾟ消去	$08 (0000 1000)	識票ﾊﾞｲﾄ、校正ﾊﾞｲﾄ読み出し
$40 (0100 0000)	ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み	$04 (0000 0100)	ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ読み出し
$20 (0010 0000)	施錠ﾋﾞｯﾄ書き込み	$02 (0000 0010)	ﾌﾗｯｼｭ ﾒﾓﾘ読み出し
$10 (0001 0000)	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み	$03 (0000 0011)	EEPROM読み出し
$11 (0001 0001)	EEPROM書き込み		

(訳注) 原書本位置の表111.は共通性のため「直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」項へ移動しました。

並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

次に示す方法がﾃﾞﾊﾞｲｽを並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作にします。

① VCCとGND間に4.5～5.5Vを印加し、最低100µs待ちます。
② $\overline{\text{RESET}}$をLow(0)にし、XTAL1を少なくとも6回、交互に(High/Low)切り替えます。
③ 表108.で一覧されるProg_enableﾋﾟﾝを全てLow(0)に設定し、最低100ns待ちます。
④ $\overline{\text{RESET}}$に11.5～12.5Vを印加します。+12Vが$\overline{\text{RESET}}$に印加されてしまった後100ns以内のProg_enableﾋﾟﾝのどんな動きも、ﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行を失敗させます。
⑤ 新規指令送出前に少なくとも50µs間待ちます。

効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞへの考慮

設定した指令とｱﾄﾞﾚｽはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、維持されます。効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行うために次を考慮すべきです。

- 複数のﾒﾓﾘ領域を読み書きする時に指令設定は一度だけ必要です。
- ﾁｯﾌﾟ消去後のﾌﾗｯｼｭ ﾒﾓﾘと(EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合を除き)EEPROM全体の内容は$FFなので、値が$FFのﾃﾞｰﾀ書き込みを飛ばします。
- ｱﾄﾞﾚｽ上位ﾊﾞｲﾄはﾌﾗｯｼｭ ﾒﾓﾘで新規256語(ﾜｰﾄﾞ)枠、EEPROMで新規256ﾊﾞｲﾄ枠の読み書き前に一度だけ必要です。この考慮は識票ﾊﾞｲﾄ読み出しにも適用されます。

ﾁｯﾌﾟ消去

ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM(注1)、施錠ﾋﾞｯﾄを消去します。施錠ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘが完全に消去されてしまうまでﾘｾｯﾄ(消去)されません。ﾋｭｰｽﾞ ﾋﾞｯﾄは変更されません。ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されていると、EEPROMはﾁｯﾌﾟ消去中、保護されます。

「ﾁｯﾌﾟ消去」指令設定

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② BS1をLow(0)に設定します。
③ DATAを$80(1000 0000)に設定します。これはﾁｯﾌﾟ消去指令です。
④ XTAL1に正ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去指令を設定します。
⑤ $\overline{\text{WR}}$に負ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去を開始します。RDY/$\overline{\text{BSY}}$がLow(0)になります。
⑥ 次の指令を設定する前にRDY/$\overline{\text{BSY}}$がHigh(1)になるまで待ちます。

フラッシュ メモリ書き込み (図113.タイミングを参照)

フラッシュ メモリはページで構成されます(165頁の表105.参照)。フラッシュ メモリへ書く時にプログラム データはページ緩衝部にラッチされます。これは同時に書かれることをプログラム データの1ページに許します。次の手順は完全なフラッシュ メモリの書き込み方法を記述します。

A. 「フラッシュ メモリ書き込み」指令設定

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② BS1をLow(0)に設定します。
③ DATAを$10(0001 0000)に設定します。これはフラッシュ メモリ書き込み指令です。
④ XTAL1に正パルスを与えます。これはフラッシュ メモリ書き込み指令を設定します。

B. アドレス下位バイト設定

① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
② BS1をLow(0)に設定します。これは下位アドレス(バイト)を選びます。
③ DATAにアドレス下位バイト($00～$FF)を設定します。
④ XTAL1に正パルスを与えます。これはアドレス下位バイトを設定します。

C. データ下位バイト設定

① XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
② DATAにデータ下位バイト($00～$FF)を設定します。
③ XTAL1に正パルスを与えます。これはデータ下位バイトを設定します。

D. データ上位バイト設定

① BS1をHigh(1)に設定します。これは上位バイトを選びます。
② XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
③ DATAにデータ上位バイト($00～$FF)を設定します。
④ XTAL1に正パルスを与えます。これはデータ上位バイトを設定します。

E. 語(ワード)データをページ一時緩衝部に設定

① BS1をHigh(1)にします。これは上位バイトを選びます。
② PAGELに正パルスを与えます。これは語データをページ一時緩衝部にラッチ(設定)します。

F. 緩衝部全体が満たされるか、または(必要な)全てのデータが緩衝部内に設定されるまで、B～Eを繰り返し

アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュ メモリ内のページをアドレス指定します。これは図112.で図示されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量<256)、アドレス下位バイトの最上位(側)ビットがページ書き込み実行時のページ アドレスに使われることに注意してください。

G. アドレス上位バイト設定

① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
② BS1をHigh(1)に設定します。これは上位アドレス(バイト)を選びます。
③ DATAにアドレス上位バイト($00～$1F)を設定します。
④ XTAL1に正パルスを与えます。これはアドレス上位バイトを設定します。

H. ページ書き込み

① BS1をLow(0)に設定します。
② $\overline{WR}$に負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/$\overline{BSY}$がLow(0)になります。
③ RDY/$\overline{BSY}$がHigh(1)になるまで待ちます。

I. フラッシュ メモリ全部が書かれるか、または(必要な)全データが書かれてしまうまで、B～Hを繰り返し

J. ページ書き込み終了

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② DATAを$00(0000 0000)にします。これは無操作指令です。
③ XTAL1に正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図112. ページで構成されたフラッシュ メモリのアドレス指定

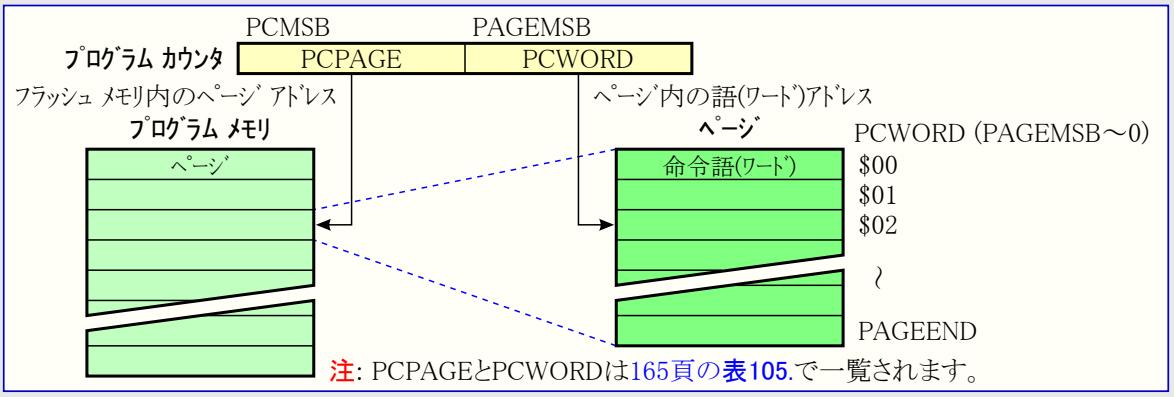
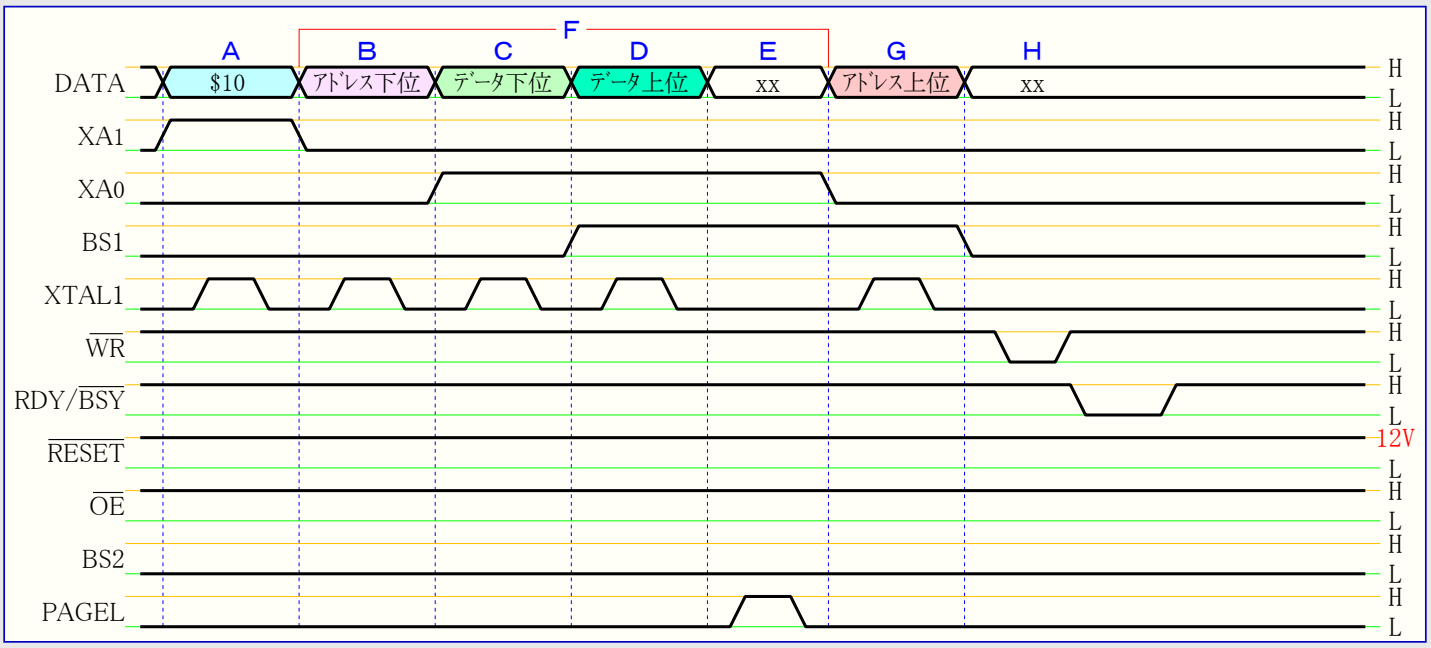


図113. フラッシュ メモリ書き込みタイミング



注: xx値は無関係です。A～Hは前記プログラミングを参照してください。

EEPROM書き込み

EEPROMはページで構成されます(165頁の表106.参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(指令、アドレス、データ設定の詳細については167頁の「フラッシュ メモリの書き込み」を参照。図114.タイミング参照。)

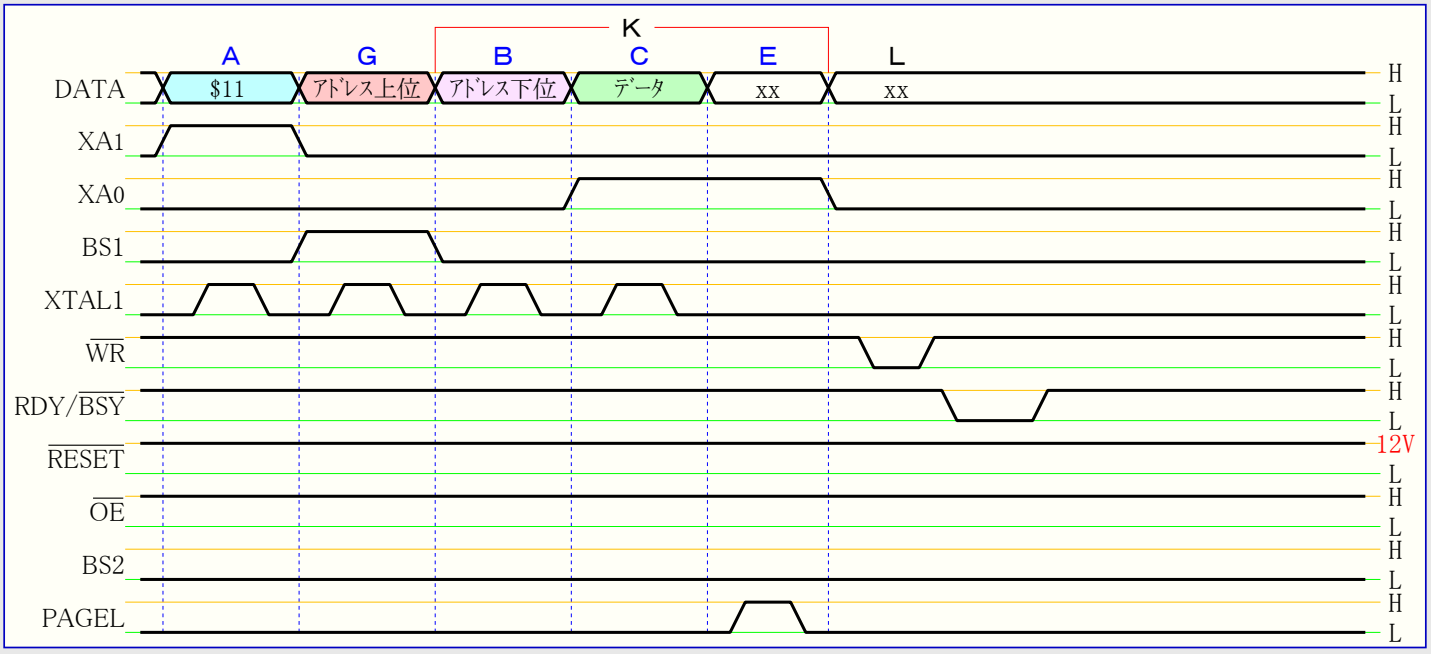
1. EEPROM書き込み指令$11(0001 0001)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$01)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. データ バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のCを参照)
5. データをラッチします(PAGELに正パルスを与えます)。(「フラッシュ メモリ書き込み」のEを参照)

K. 緩衝部全体が満たされるまで3～5を繰り返します。

L. EEPROMページ書き込み

① BS1をLow(0)に設定します。
② $\overline{WR}$に負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/$\overline{BSY}$がLow(0)になります。
③ 次のページを書く前に、RDY/$\overline{BSY}$がHigh(1)になるまで待ちます。

図114. EEPROM書き込みタイミング



フラッシュ メモリ読み出し

フラッシュ メモリの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については167頁の「フラッシュ メモリの書き込み」を参照)

1. フラッシュ メモリ読み出し指令$02(0000 0010)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$1F)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。フラッシュ メモリ語(ワード)の下位バイトが直ぐにDATAで読めます。
5. BS1をHigh(1)に設定します。フラッシュ メモリ語(ワード)の上位バイトが直ぐにDATAで読めます。
6. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

EEPROM読み出し

データ用EEPROMの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については167頁の「フラッシュ メモリの書き込み」を参照

1. EEPROM読み出し指令$03(0000 0011)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$01)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。EEPROMのバイト データが直ぐにDATAで読めます。
5. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

ヒューズ ビット書き込み (訳注:原書での拡張/上位/下位ヒューズ項を1つに纏めました。)

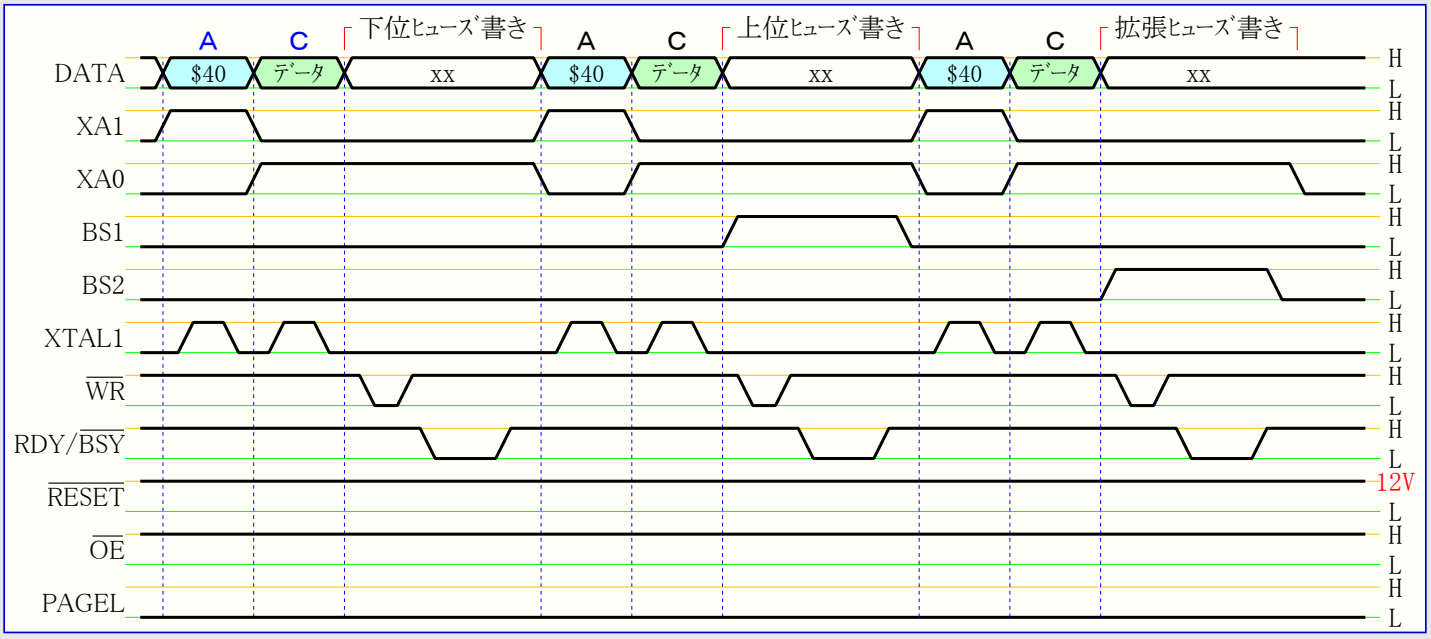
各ヒューズ バイトの書き込み方法は次のとおりです。(指令とデータ設定の詳細については167頁の「フラッシュ メモリの書き込み」を参照)

1. ヒューズ ビット書き込み指令$40(0100 0000)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュ メモリ書き込み」のCを参照)
3. BS1とBS2を右表の目的バイトに対応する設定にします。
4. $\overline{WR}$に負パルスを与え、RDY/$\overline{BSY}$がHighになるまで待ちます。
5. 3.でHighに設定したBS1、BS2をLow(0)に戻します。これはデータ下位バイトを選びます。

表A. ヒューズ バイト対応BS1,BS2設定

ヒューズ バイト	BS1	BS2
拡張バイト	Low(0)	High(1)
上位バイト	High(1)	Low(0)
下位バイト	Low(0)	Low(0)

図115. ヒューズ書き込みタイミング



施錠ﾋﾞｯﾄ書き込み

施錠ﾋﾞｯﾄの書き込み方法は次のとおりです。(指令とﾃﾞｰﾀ設定の詳細については167頁の「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」を参照)

1. 施錠ﾋﾞｯﾄ書き込み指令$20(0010 0000)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」のAを参照)
2. ﾃﾞｰﾀ下位ﾊﾞｲﾄ(としてﾃﾞｰﾀ)を設定します。0=ﾌﾟﾛｸﾞﾗﾑ,1=無変化です。LB保護種別3が設定(LB1とLB2がﾌﾟﾛｸﾞﾗﾑ(0))されると、どの外部的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作種別によってもﾌﾞｰﾄ施錠ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾐﾝｸﾞできません。(「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」のCを参照)
3. $\overline{\text{WR}}$に負ﾊﾟﾙｽを与え、RDY/$\overline{\text{BSY}}$がHighになるまで待ちます。

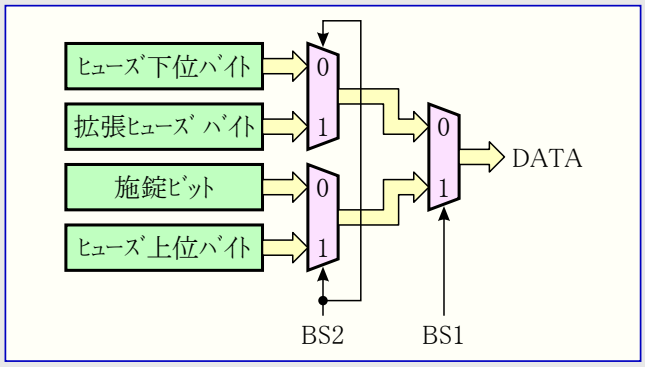
施錠ﾋﾞｯﾄはﾁｯﾌﾟ消去の実行によってのみ解除(1)できます。

ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し方法は次のとおりです。(指令設定の詳細については167頁の「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」を参照)

1. ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し指令$04(0000 0100)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」のAを参照)
2. BS1とBS2をLow(0)、$\overline{\text{OE}}$をLow(0)に設定します。ﾋｭｰｽﾞ下位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
3. BS1とBS2をHigh(1)、$\overline{\text{OE}}$をLow(0)に設定します。ﾋｭｰｽﾞ上位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
4. BS1をLow(0)、BS2をHigh(1)、$\overline{\text{OE}}$をLow(0)に設定します。拡張ﾋｭｰｽﾞ ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
5. $\overline{\text{BS1}}$をhigh(1)、BS2をLow(0)、$\overline{\text{OE}}$をLow(0)に設定します。施錠ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
6. $\overline{\text{OE}}$をHigh(1)に設定します。DATAはHi-Zになります。

図116. ﾋｭｰｽﾞ,施錠ﾋﾞｯﾄ読み出し中のBS1, BS2との関係



識票ﾊﾞｲﾄ読み出し

識票ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については167頁の「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」を参照

1. 識票ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$02)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」のBを参照)
3. $\overline{\text{BS1}}$をLow(0)、$\overline{\text{OE}}$をLow(0)に設定します。選んだ識票ﾊﾞｲﾄが直ぐにDATAで読めます。
4. $\overline{\text{OE}}$をHigh(1)に設定します。DATAはHi-Zになります。

校正ﾊﾞｲﾄ読み出し

校正ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については167頁の「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」を参照)

1. 校正ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄに$00を設定します。(「**ﾌﾗｯｼｭ ﾒﾓﾘの書き込み**」のBを参照)
3. $\overline{\text{BS1}}$をHigh(1)、$\overline{\text{OE}}$をLow(0)に設定します。校正ﾊﾞｲﾄが直ぐにDATAで読めます。
4. $\overline{\text{OE}}$をHigh(1)に設定します。DATAはHi-Zになります。

並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図117. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (一般的な必要条件)

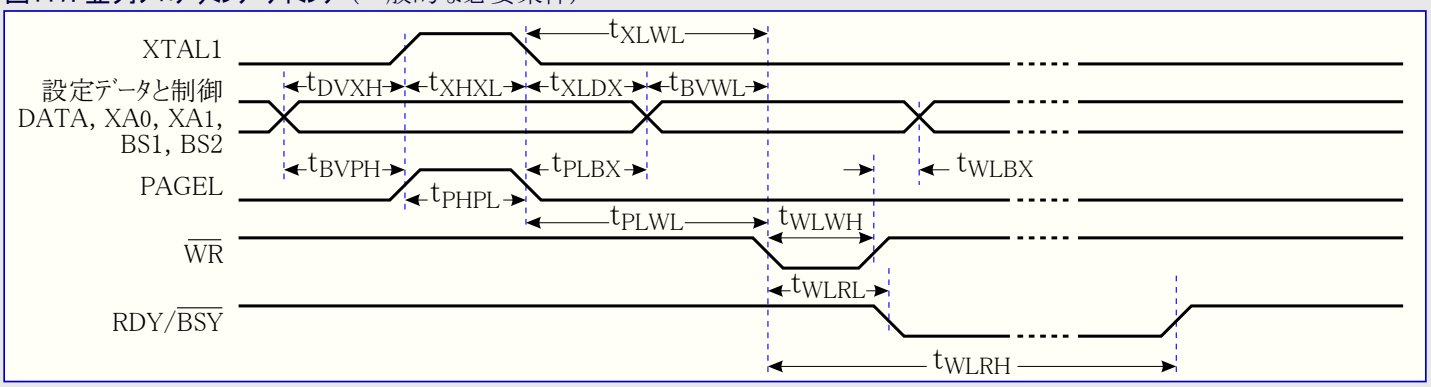
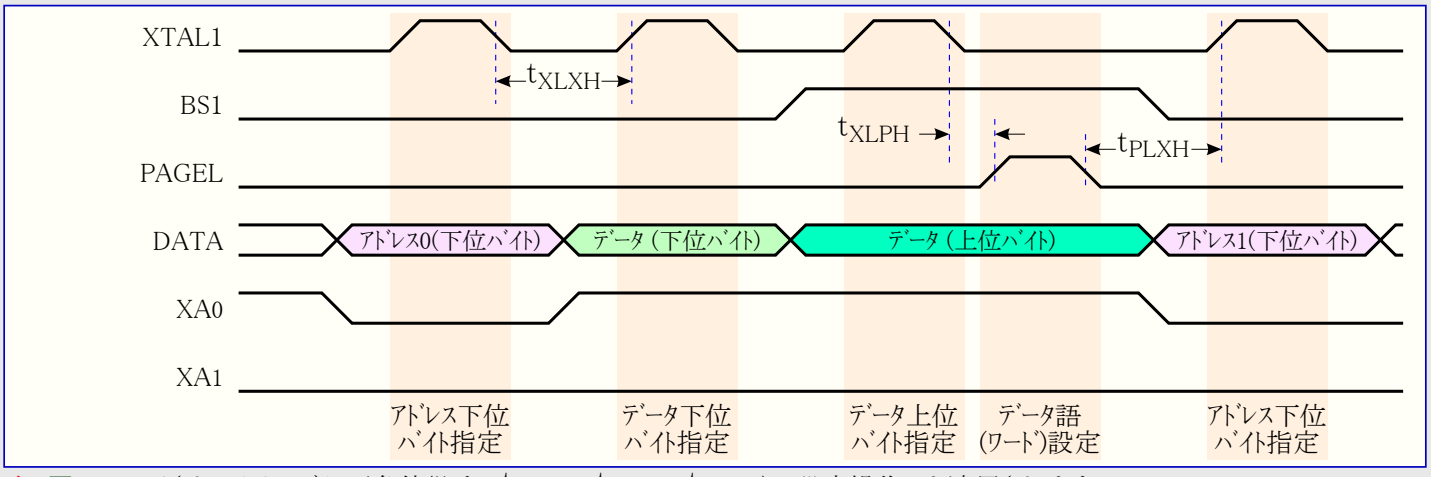
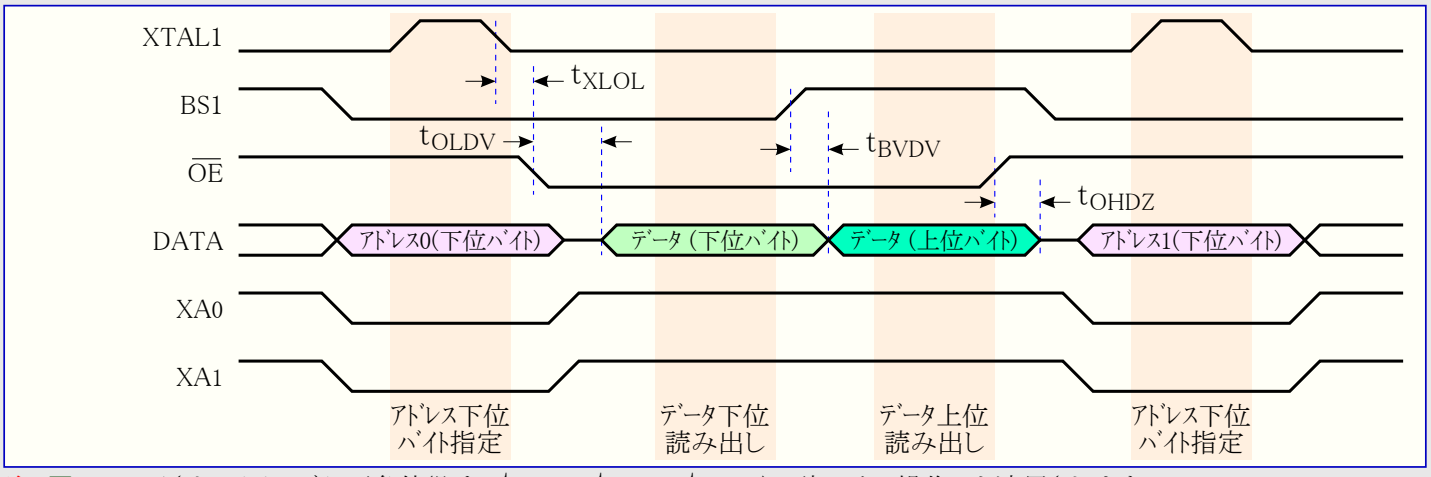


図118. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (ﾍﾟｰｼﾞ設定での必要条件)



注: 図117.で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、t_{DVXH}、t_{XHXL}、t_{XLDX})は設定操作にも適用されます。

図119. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (同一ﾍﾟｰｼﾞ読み出しでの必要条件)



注: 図117.で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、t_{DVXH}、t_{XHXL}、t_{XLDX})は読み出し操作にも適用されます。

表112. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 (VCC=5V±10%)

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
V_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電圧	11.5		12.5	V
I_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電流			250	µA
t_{DVXH}	XTAL1↑に対するﾃﾞｰﾀと制御の準備時間	67			ns
t_{XLXH}	XTAL1↓から次XTAL1↑までの待機時間	200			
t_{XHXL}	XTAL1 Highﾊﾟﾙｽ幅	150			
t_{XLDX}	XTAL1ﾊﾟﾙｽ↓後のﾃﾞｰﾀと制御の保持時間	67			
t_{XLWL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{WR}$↓待機時間	0			
t_{XLPH}	XTAL1ﾊﾟﾙｽ↓後のPAGELﾊﾟﾙｽ↑待機時間	0			
t_{PLXH}	PAGELﾊﾟﾙｽ↓後のXTAL1ﾊﾟﾙｽ↑待機時間	150			
t_{BVPH}	PAGELﾊﾟﾙｽ↑に対するBS1準備時間	67			
t_{PHPL}	PAGEL Highﾊﾟﾙｽ幅	150			
t_{PLBX}	PAGELﾊﾟﾙｽ↓後のBS1保持時間	67			
t_{WLBX}	$\overline{WR}$ﾊﾟﾙｽ↓後のBS1,BS2保持時間	67			
t_{PLWL}	PAGELﾊﾟﾙｽ↓後の$\overline{WR}$ﾊﾟﾙｽ↓待機時間	67			
t_{BVWL}	$\overline{WR}$ﾊﾟﾙｽ↓に対するBS1準備時間	67			
t_{WLWH}	$\overline{WR}$ Lowﾊﾟﾙｽ幅	150			
t_{WLRL}	$\overline{WR}$ﾊﾟﾙｽ↓後のRDY/$\overline{BSY}$↓遅延時間	0		1	µs
t_{WLRH}	書き込み時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注1)	3.7		4.5	ms
t_{WLRH_CE}	ﾁｯﾌﾟ消去時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注2)	7.5		9	
t_{XLCL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{OE}$↓待機時間	0			ns
t_{BVDV}	BS1有効からのDATA遅延時間	0		250	
t_{OLDV}	$\overline{OE}$↓後のDATA出力遅延時間			250	
t_{OHDZ}	$\overline{OE}$↑後のDATA Hi-Z遅延時間			250	

注1: ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ書き込み指令に対して有効です。

注2: ﾁｯﾌﾟ消去指令に対して有効です。

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの両方はRESETがGNDに引かれている間に直列SPIﾊﾞｽを使ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞできます。この直列ｲﾝﾀｰﾌｪｰｽはSCK入力、MOSI入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令が初めに実行されることを必要とします。注意、表111.でSPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のﾋﾟﾝ配置が一覧されます。全てのﾃﾞﾊﾞｲｽが内部SPIｲﾝﾀｰﾌｪｰｽに対する専用SPIﾋﾟﾝを使うとは限りません。

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾋﾟﾝ配置

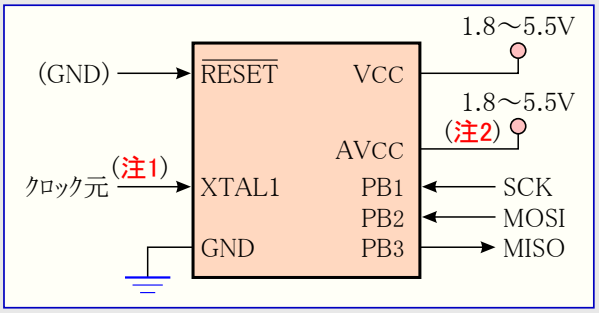
表111. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾋﾟﾝ配置

信号名	ﾋﾟﾝ名	入出力	機能
SCK	PB1	入力	直列ｸﾛｯｸ
MOSI	PB2	入力	直列ﾃﾞｰﾀ入力
MISO	PB3	出力	直列ﾃﾞｰﾀ出力

EEPROMをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする時に自動消去周期が自動書き込み動作内に組み入れられ(直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞのみ)、ﾁｯﾌﾟ消去命令を初めに実行する必要がありません。ﾁｯﾌﾟ消去操作はﾌﾟﾛｸﾞﾗﾑ(ﾌﾗｯｼｭ ﾒﾓﾘ)とEEPROM両方の全てのﾒﾓﾘ位置の内容を$FFにします。

CKSELﾋｭｰｽﾞによる有効なｸﾛｯｸが与えられなければなりません。直列ｸﾛｯｸ(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

図120. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



注1: ﾃﾞﾊﾞｲｽが内蔵発振器で動作する場合、XTAL1ﾋﾟﾝにｸﾛｯｸ元を接続する必要はありません。

注2: VCC-0.3V<AVCC<VCC+0.3Vですが、AVCCは常に1.8～5.5V内にすべきです。

f_{CK}＜12MHz：Low区間 ＞ 2 CPUｸﾛｯｸ周期　f_{CK}＜12MHz：High区間 ＞ 2 CPUｸﾛｯｸ周期
f_{CK}≧12MHz：Low区間 ＞ 3 CPUｸﾛｯｸ周期　f_{CK}≧12MHz：High区間 ＞ 3 CPUｸﾛｯｸ周期

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

ATmega165に直列ﾃﾞｰﾀを書く時にﾃﾞｰﾀはSCKの上昇端で行われ、ATmega165から読む時にﾃﾞｰﾀはSCKの下降端で行われます。ﾀｲﾐﾝｸﾞの詳細については図121.をご覧ください。

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのATmega165のﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合は次の手順が推奨されます(表114.の命令一式参照)。

1. 電源投入手順:
   RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのｼｽﾃﾑで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2 CPUｸﾛｯｸ周期幅の正ﾊﾟﾙｽを与えられなければなりません。
2. 最低20ms待ち、MOSIﾋﾟﾝにﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を送ることによって直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可してください。
3. 通信が同期を外していると、直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令は動作しません。同期していると、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令の第3ﾊﾞｲﾄ送出時に第2ﾊﾞｲﾄ($53)が戻ります。この戻りが正しいかどうかによらず、命令の4ﾊﾞｲﾄ全てが送信されなければなりません。$53が戻らない場合、RESETに正ﾊﾟﾙｽを与え、新規ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を行ってください。
4. ﾌﾗｯｼｭ ﾒﾓﾘは1ﾍﾟｰｼﾞ単位で書かれます。ﾍﾟｰｼﾞ容量は165頁の表105.で得られます。このﾒﾓﾘ ﾍﾟｰｼﾞはﾍﾟｰｼﾞ設定命令と共にｱﾄﾞﾚｽの下位6+1ﾋﾞｯﾄとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄづつ設定されます。ﾍﾟｰｼﾞが正しく設定されるのを保証するため、与えられたｱﾄﾞﾚｽにﾃﾞｰﾀ上位ﾊﾞｲﾄが適用される前にﾃﾞｰﾀ下位ﾊﾞｲﾄが設定されなければなりません。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのﾍﾟｰｼﾞはｱﾄﾞﾚｽの上位7ﾋﾞｯﾄを含むﾍﾟｰｼﾞ書き込み命令の設定によって(ﾌﾗｯｼｭ ﾒﾓﾘに)格納されます。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、使用者は次のﾍﾟｰｼﾞを行う前に最低t_{WD_FLASH}(表113.参照)待たなければなりません。ﾌﾗｯｼｭ書き込み操作完了前の(ﾎﾟｰﾘﾝｸﾞ以外の)直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽでのｱｸｾｽは不正な書き込み結果になり得ます。
5. EEPROMはﾍﾟｰｼﾞ単位かﾊﾞｲﾄ単位のどちらかでﾌﾟﾛｸﾞﾗﾐﾝｸﾞできます。
   ﾊﾞｲﾄ単位: EEPROMは適切なEEPROM書き込み命令と共にｱﾄﾞﾚｽとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄ単位で書かれます。EEPROMのﾒﾓﾘ位置は新規ﾃﾞｰﾀが書かれるのに先立って始めで自動的に消去されます。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、次のﾊﾞｲﾄを行う前に最低t_{WD_EEPROM}(表113.参照)待たなければなりません。
   ﾍﾟｰｼﾞ単位: EEPROMの1ﾍﾟｰｼﾞはEEPROMﾍﾟｰｼﾞ設定命令と共にｱﾄﾞﾚｽの下位2ﾋﾞｯﾄとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄづつ設定されます。EEPROMﾍﾟｰｼﾞはｱﾄﾞﾚｽの上位7ﾋﾞｯﾄを含むEEPROMﾍﾟｰｼﾞ書き込み命令によって(EEPROMに)格納されます。EEPROMﾍﾟｰｼﾞ ｱｸｾｽ使用時、EEPROMﾍﾟｰｼﾞ設定命令で設定したﾊﾞｲﾄ位置だけが変更されます。残りの位置は無変化で留まります。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、次ﾍﾟｰｼﾞ(表106.参照)を行う前に最低t_{WD_EEPROM}(表113.参照)待たなければなりません。ﾁｯﾌﾟ消去されたﾃﾞﾊﾞｲｽでの$FFﾃﾞｰﾀは書かれる必要がありません。
6. どのﾒﾓﾘ位置も選んだｱﾄﾞﾚｽの内容を直列出力MISOに読み戻す読み出し命令を使うことによって照合できます。
7. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。
8. 電源OFF手順 (必要とされるならば)
   - RESETをHigh(1)に設定します。
   - VCC電源をOFFにします。

表113. ﾋｭｰｽﾞ, ﾌﾗｯｼｭ, EEPROM次位置書き込み前の待機時間

ｼﾝﾎﾞﾙ	最低待機時間	備考
t_{WD_FUSE}	4.5ms	ﾋｭｰｽﾞ書き込み
t_{WD_FLASH}	4.5ms	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み
t_{WD_EEPROM}	9.0ms	EEPROM書き込み
t_{WD_ERASE}	9.0ms	ﾁｯﾌﾟ消去

図121. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾊﾞｲﾄ通信波形

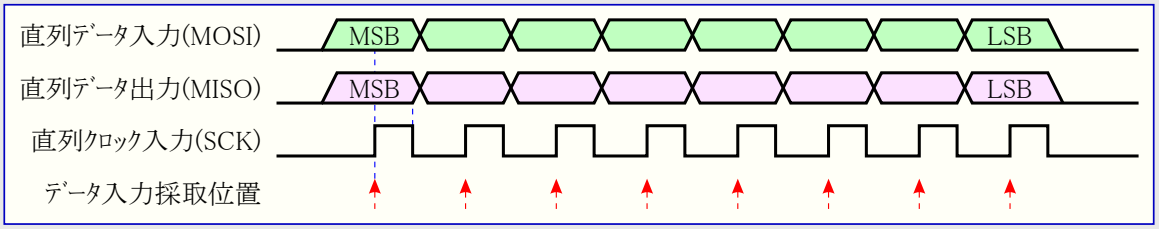


表114. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令	命令形式				動作	
	第1ﾊﾞｲﾄ	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ	第4ﾊﾞｲﾄ		
ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	$\overline{\text{RESET}}$=Low後のﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可します。	
ﾁｯﾌﾟ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	ﾌﾗｯｼｭ ﾒﾓﾘ,EEPROM,施錠ﾋﾞｯﾄを消去します。	
ﾌﾗｯｼｭ ﾒﾓﾘ読み出し	0010 P000	000H HHHH	LLLL LLLL	RRRR RRRR	ｱﾄﾞﾚｽH:LのP(H/L)ﾊﾞｲﾄを読み出します。	
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ設定	0100 P000	0000 xxxx	xxLL LLLL	WWWW WWWW	緩衝部ｱﾄﾞﾚｽLのP(H/L)ﾊﾞｲﾄに書き込みます。	
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み	0100 1100	000H HHHH	LLxx xxxx	xxxx xxxx	ｱﾄﾞﾚｽH:Lのﾍﾟｰｼﾞに書き込みます。	
EEPROM読み出し	1010 0000	000x xxxH	LLLL LLLL	RRRR RRRR	ｱﾄﾞﾚｽH:Lのﾊﾞｲﾄを読み出します。	
EEPROMﾊﾞｲﾄ書き込み	1100 0000	000x xxxH	LLLL LLLL	WWWW WWWW	ｱﾄﾞﾚｽH:Lのﾊﾞｲﾄに書き込みます。	
EEPROMﾍﾟｰｼﾞ設定	1100 0001	0000 0000	0000 00LL	WWWW WWWW	緩衝部ｱﾄﾞﾚｽLのﾊﾞｲﾄに書き込みます。	
EEPROMﾍﾟｰｼﾞ書き込み	1100 0010	00xx xxxH	LLLL LL00	xxxx xxxx	ｱﾄﾞﾚｽH:Lのﾍﾟｰｼﾞに書き込みます。	
施錠ﾋﾞｯﾄ読み出し	0101 1000	0000 0000	xxxx xxxx	xxRR RRRR	施錠ﾋﾞｯﾄ (163頁の表99.参照)	を読み出します。
施錠ﾋﾞｯﾄ書き込み	1010 1100	111x xxxx	xxxx xxxx	11WW WWWW		に書き込みます。
ﾋｭｰｽﾞ下位読み出し	0101 0000	0000 0000	xxxx xxxx	RRRR RRRR	ﾋｭｰｽﾞ下位ﾋﾞｯﾄ (164頁の表103.参照)	を読み出します。
ﾋｭｰｽﾞ下位書き込み	1010 1100	1010 0000	xxxx xxxx	WWWW WWWW		に書き込みます。
ﾋｭｰｽﾞ上位読み出し	0101 1000	0000 1000	xxxx xxxx	RRRR RRRR	ﾋｭｰｽﾞ上位ﾋﾞｯﾄ (164頁の表102.参照)	を読み出します。
ﾋｭｰｽﾞ上位書き込み	1010 1100	1010 1000	xxxx xxxx	WWWW WWWW		に書き込みます。
拡張ﾋｭｰｽﾞ読み出し	0101 0000	0000 1000	xxxx xxxx	xxxR RRRx	拡張ﾋｭｰｽﾞ ﾋﾞｯﾄ (164頁の表101.参照)	を読み出します。
拡張ﾋｭｰｽﾞ書き込み	1010 1100	1010 0100	xxxx xxxx	xxxW WWWx		に書き込みます。
識票ﾊﾞｲﾄ読み出し	0011 0000	000x xxxx	xxxx xxLL	RRRR RRRR	ｱﾄﾞﾚｽLの識票ﾊﾞｲﾄを読み出します。	
校正ﾊﾞｲﾄ読み出し	0011 1000	000x xxxx	0000 0000	RRRR RRRR	校正ﾊﾞｲﾄを読み出します。	
多忙/準備可検査	1111 0000	0000 0000	xxxx xxxx	xxxx xxxR	R=1で多忙、他の操作前に0まで待機します。	

H = ｱﾄﾞﾚｽ上位ﾊﾞｲﾄのﾋﾞｯﾄ　L = ｱﾄﾞﾚｽ下位ﾊﾞｲﾄのﾋﾞｯﾄ　P = 0=下位ﾊﾞｲﾄ、1=上位ﾊﾞｲﾄ
R = 読み出しﾃﾞｰﾀ (MCU出力)　W = 書き込みﾃﾞｰﾀ (MCU入力)　x = 0または1 (無意味/不定)

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

SPI部の特性については184頁の「SPIﾀｲﾐﾝｸﾞ特性」を参照してください。

JTAGインターフェース経由のプログラミング

JTAGインターフェースを通すプログラミングは4つのJTAG仕様ピン、TCK,TMS,TDI,TDOの制御が必要です。RESETピンとクロック ピンの制御は必要とされません。

JTAGインターフェースが使われ得るにはJTAGENヒューズがプログラム(0)されなければなりません。このデバイスは既定でこのヒューズがプログラム(0)されて出荷されます。更にMCU制御レジスタ(MCUCR)のJTAGインターフェース禁止(JTD)ビットが解除(0)されなければなりません。JTDビットが設定(1)の場合、代わりに外部リセットを強制的なLowにできます。その後、2チップ(CPU)クロック後にJTDビットが解除(0)され、JTAGピンはプログラミングに利用できます。これはJTAGインターフェース経由実装書き込みを許すにも拘らず、一方、実行動作で標準ポート ピンとしてJTAGピンを使う手段を提供します。境界走査(Boundary-Scan)や内蔵デバッグ機能にJTAGピンを使う時にこの手法が使えないことに注意してください。これらの場合のJTAGピンはその目的専用にされなければなりません。

プログラミング中、TCK入力のクロック周波数はチップの最高周波数よりも低くなければなりません。システム クロック前置分周器はTCKクロック入力を充分に低い周波数へ分周するのには使えません。

この文書内の定義では全ての移動レジスタについて入出力ともLSBが最初に移動されます。

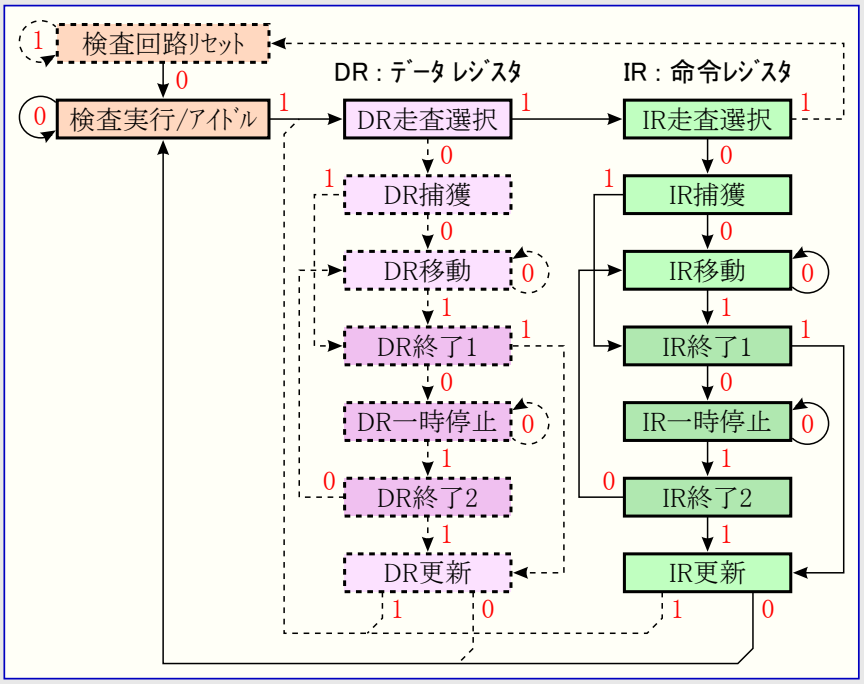
プログラミング特殊JTAG命令

命令レジスタ(IR)は4ビット長で、16種類までの命令を支援します。以下に示される一覧はプログラミングに有用なJTAG命令です。

各命令の命令コードは命令名後の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選ばれるデータ レジスタを記述します。

検査入出力ポート(TAP)制御器の検査実行/アイドル状態は内部クロックの発生に使われます。また、JTAG手順間のアイドル状態としても使えます。命令を切り替えるための順次回路の順番は図122.で示されます。

図122. 命令語変更手順時順次回路状態遷移図



AVR_RESET ($C)

AVRデバイスをリセット状態へ、またはリセット状態から開放するためのAVR固有公開JTAG命令です。この命令によって検査入出力ポート(TAP)制御器はリセットされません。1ビットのリセット レジスタがデータ レジスタ(DR)として選ばれます。リセット チェーンに論理1がある限り、リセットが有効であることに注意してください。このチェーンからの出力はラッチされません。本命令が有効な状態を次に示します。

- **DR移動** : リセット レジスタがTCKクロック入力によって移されます。

PROG_ENABLE ($4)

JTAGポート経由のプログラミングを許可するためのAVR固有公開JTAG命令です。16ビット長のプログラミング許可レジスタがデータ レジスタ(DR)として選ばれます。本命令が有効な状態を次に示します。

- **DR移動** : プログラミング許可識別子がデータ レジスタに移動入力されます。
- **DR更新** : プログラミング許可識別子が正規値と比較され、識別子が有効なら、プログラミング動作に移行されます。

PROG_COMMANDS ($5)

JTAGポート経由のプログラミング命令移行用のAVR固有公開JTAG命令です。15ビット長のプログラミング命令レジスタがデータ レジスタ(DR)として選ばれます。本命令が有効な状態を次に示します。

- **DR捕獲** : 直前の命令の結果がデータ レジスタに設定されます。
- **DR移動** : データ レジスタがTCK入力により移され、直前の命令の結果を移動出力し、新規命令を移動入力します。
- **DR更新** : プログラミング命令がフラッシュ メモリ入力に適用されます。
- **検査実行/アイドル** : 1つのクロック周期が生成され、適用された命令を実行します(常に必要とされる訳でなく、以降の表115.をご覧ください)。

PROG_PAGELOAD ($6)

JTAGﾎﾟｰﾄ経由でﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ ﾃﾞｰﾀを直接設定するためのAVR固有公開JTAG命令です。8ﾋﾞｯﾄ ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選ばれます。これは物理的にﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令ﾚｼﾞｽﾀの下位8ﾋﾞｯﾄです。活性(有効)状態は以下です。

- **DR移動** ：ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀがTCKｸﾛｯｸ入力によって移動されます。
- **DR更新** ：ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀの内容が一時ﾚｼﾞｽﾀに複写されます。11 TCK周期で開始される書き込み(設定)手順が一時ﾚｼﾞｽﾀの内容をﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部に設定します。AVRはPROG_PAGELOAD命令移行後出会った最初のDR更新に対して下位ﾊﾞｲﾄで始め、新規DR更新状態毎に上位/下位ﾊﾞｲﾄ書き込み間を自動的に切り替えます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは最初の書き込みﾊﾞｲﾄを除き、下位ﾊﾞｲﾄ書き込み前に予め増加(+1)されます。これは最初のﾃﾞｰﾀがPROG_COMMANDSによって設定したｱﾄﾞﾚｽに書かれ、ﾍﾟｰｼﾞ緩衝部の最終位置設定がﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀを次ﾍﾟｰｼﾞへ増加しないことを保証します。

PROG_PAGEREAD ($7)

JTAGﾎﾟｰﾄ経由でﾌﾗｯｼｭ ﾒﾓﾘ内容を直接捕獲するためのAVR固有公開JTAG命令です。8ﾋﾞｯﾄ ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀがﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として選ばれます。これは物理的にﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令ﾚｼﾞｽﾀの下位8ﾋﾞｯﾄです。活性(有効)状態は以下です。

- **DR捕獲** ：選んだﾌﾗｯｼｭ ﾒﾓﾘ ﾊﾞｲﾄの内容がﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀに捕獲されます。AVRはPROG_PAGEREAD命令移行後に出会った最初のDR捕獲に対して下位ﾊﾞｲﾄで始め、新規DR捕獲状態毎に上位/下位ﾊﾞｲﾄ読み込み間を自動的に切り替えます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは最初の読み込みﾊﾞｲﾄを含め、各上位ﾊﾞｲﾄ読み込み後に増加(+1)されます。これは最初のﾃﾞｰﾀがPROG_COMMANDSによって設定した先頭ｱﾄﾞﾚｽから捕獲され、ﾍﾟｰｼﾞの最終位置読み込みがﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀを次ﾍﾟｰｼﾞへ増加(進行)することを保証します。
- **DR移動** ：ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀがTCKｸﾛｯｸ入力によって移動されます。

ﾃﾞｰﾀ ﾚｼﾞｽﾀ

ﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)は175頁の「ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特殊JTAG命令」項で記載されたJTAG命令ﾚｼﾞｽﾀ(IR)によって選ばれます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作に関連するﾃﾞｰﾀ ﾚｼﾞｽﾀを次に示します。

- **ﾘｾｯﾄ**(Reset)**ﾚｼﾞｽﾀ**
- **ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令**(Programing Command)**ﾚｼﾞｽﾀ**
- **ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可**(Programing Enable)**ﾚｼﾞｽﾀ**
- **ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ**(Flash Data Byte)**ﾚｼﾞｽﾀ**

ﾘｾｯﾄ (Reset) ﾚｼﾞｽﾀ

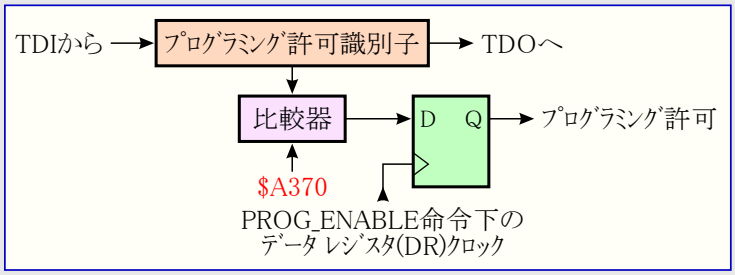
ﾘｾｯﾄ ﾚｼﾞｽﾀはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、ﾃﾞﾊﾞｲｽをﾘｾｯﾄするのに使われる検査ﾃﾞｰﾀ ﾚｼﾞｽﾀです。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行に先立ってﾃﾞﾊﾞｲｽをﾘｾｯﾄするのに必要とされます。

ﾘｾｯﾄ ﾚｼﾞｽﾀ内の値1は外部RESETをLowに引き込むことに相当します。ﾘｾｯﾄ ﾚｼﾞｽﾀ内の値が1である限り、ﾃﾞﾊﾞｲｽはﾘｾｯﾄされます。ﾘｾｯﾄ ﾚｼﾞｽﾀの開放後、ﾃﾞﾊﾞｲｽはｸﾛｯｸ種別ﾋｭｰｽﾞ設定に従ってﾘｾｯﾄ起動遅延時間(17頁の「ｸﾛｯｸ元」参照)分ﾘｾｯﾄを維持します。145頁の図100.で示されるようにこのﾃﾞｰﾀ ﾚｼﾞｽﾀからの出力はﾗｯﾁされず、それ故ﾘｾｯﾄが直ちに起こります。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可 (Programing Enable) ﾚｼﾞｽﾀ

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀは16ﾋﾞｯﾄ長のﾚｼﾞｽﾀです。このﾚｼﾞｽﾀの内容はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子$A370(1010 0011 0111 0000)と比較されます。このﾚｼﾞｽﾀの内容がﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可識別子と一致すると、JTAGﾎﾟｰﾄ経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞが許可されます。このﾚｼﾞｽﾀは電源ONﾘｾｯﾄで0にﾘｾｯﾄされ、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を抜ける時には常にﾘｾｯﾄされるべきです。

図123. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可 ﾚｼﾞｽﾀ



ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令 (Programing Command) ﾚｼﾞｽﾀ

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令ﾚｼﾞｽﾀは15ﾋﾞｯﾄ長のﾚｼﾞｽﾀです。このﾚｼﾞｽﾀはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を連続的に移動入力し、直前のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令の結果を連続的に移動出力するのに使われます。JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式は表115.で示されます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を移動入力する時の状態順は図125.で図解されます。

図124. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令 ﾚｼﾞｽﾀ

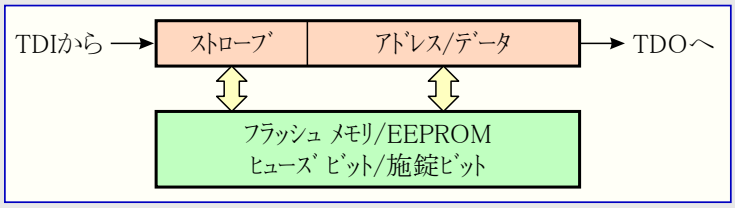


表115. JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式 (手順)

命令			TDI入力	TDO出力	備考
チップ消去	1①	ﾁｯﾌﾟ消去	010 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0001 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
	1②	ﾁｯﾌﾟ消去完了検査	011 0011 1000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュメモリ書き込み	2①	ﾌﾗｯｼｭ書き込み移行	010 0011 0001 0000	xxx xxxx xxxx xxxx	
	2②	ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	2③	ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	2④	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	2⑤	ﾃﾞｰﾀ上位ﾊﾞｲﾄ設定	001 0111 WWWW WWWW	xxx xxxx xxxx xxxx	
	2⑥	ﾃﾞｰﾀ ﾗｯﾁ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2⑦	ﾍﾟｰｼﾞ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2⑧	ﾍﾟｰｼﾞ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュ読出し	3①	ﾌﾗｯｼｭ読み出し移行	010 0011 0000 0010	xxx xxxx xxxx xxxx	
	3②	ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	3③	ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	3④	ﾃﾞｰﾀ下位/上位ﾊﾞｲﾄ取得	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位ﾊﾞｲﾄ
			011 0111 0000 0000	xxx xxxx RRRR RRRR	上位ﾊﾞｲﾄ
EEPROM書き込み	4①	EEPROM書き込み移行	010 0011 0001 0001	xxx xxxx xxxx xxxx	
	4②	ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	4③	ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	4④	ﾃﾞｰﾀ ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	4⑤	ﾃﾞｰﾀ ﾗｯﾁ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	4⑥	EEPROM書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	4⑦	EEPROM書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
EEPROM読出し	5①	EEPROM読み出し移行	010 0011 0000 0011	xxx xxxx xxxx xxxx	
	5②	ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定	000 0111 HHHH HHHH	xxx xxxx xxxx xxxx	(注10)
	5③	ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	5④	EEPROM読み出し	011 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
			011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
ヒューズ ビット書き込み	6①	ﾋｭｰｽﾞ書き込み移行	010 0011 0100 0000	xxx xxxx xxxx xxxx	
	6②	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ﾋﾞｯﾄ配置は164頁の表101.参照
	6③	拡張ﾋｭｰｽﾞ書き込み	011 1011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 1001 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
	6④	拡張ﾋｭｰｽﾞ書き込み完了検査	011 1011 0000 0000	xxx xxSx xxxx xxxx	(注2)
	6⑤	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ﾋﾞｯﾄ配置は164頁の表102.参照
	6⑥	上位側ﾋｭｰｽﾞ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	6⑦	上位ﾋｭｰｽﾞ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
	6⑧	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	(注3) ﾋﾞｯﾄ配置は164頁の表103.参照
	6⑨	下位側ﾋｭｰｽﾞ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	6⑩	下位ﾋｭｰｽﾞ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)

次頁へ続く

表115 (続き). JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令			TDI入力	TDO出力	備考
施錠ﾋﾞｯﾄ書き込み	7①	施錠ﾋﾞｯﾄ書き込み移行	010 0011 0010 0000	xxx xxxx xxxx xxxx	
	7②	ﾃﾞｰﾀ下位ﾊﾞｲﾄ設定	001 0011 11WW WWWW	xxx xxxx xxxx xxxx	(注4) ﾋﾞｯﾄ配置は163頁の表99.参照
	7③	施錠ﾋﾞｯﾄ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	7④	施錠ﾋﾞｯﾄ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し	8①	ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し移行	010 0011 0000 0100	xxx xxxx xxxx xxxx	
	8②	拡張ﾋｭｰｽﾞ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	(注5) ﾋﾞｯﾄ配置は164頁の表101.参照
			011 1011 0000 0000	xxx xxxx RRRR RRRR	
	8③	上位側ﾋｭｰｽﾞ読み出し	011 1110 0000 0000	xxx xxxx xxxx xxxx	(注5) ﾋﾞｯﾄ配置は164頁の表102.参照
			011 1111 0000 0000	xxx xxxx RRRR RRRR	
	8④	下位側ﾋｭｰｽﾞ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	(注5) ﾋﾞｯﾄ配置は164頁の表103.参照
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
	8⑤	施錠ﾋﾞｯﾄ読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	(注5) ﾋﾞｯﾄ配置は163頁の表99.参照
			011 0111 0000 0000	xxx xxxx xxRR RRRR	
	8⑥	ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	
			011 1110 0000 0000	xxx xxxx RRRR RRRR	拡張ﾋｭｰｽﾞ (注5)
			011 0010 0000 0000	xxx xxxx RRRR RRRR	上位ﾋｭｰｽﾞ
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位ﾋｭｰｽﾞ
			011 0111 0000 0000	xxx xxxx RRRR RRRR	施錠ﾋﾞｯﾄ
識票ﾊﾞｲﾄ	9①	識票ﾊﾞｲﾄ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	9②	ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	9③	識票ﾊﾞｲﾄ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
校正ﾊﾞｲﾄ	10①	校正ﾊﾞｲﾄ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	10②	ｱﾄﾞﾚｽ ﾊﾞｲﾄ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	10③	校正ﾊﾞｲﾄ読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx RRRR RRRR	
	11①	無操作設定	010 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	

H = ｱﾄﾞﾚｽ上位ﾊﾞｲﾄのﾋﾞｯﾄ　L = ｱﾄﾞﾚｽ下位ﾊﾞｲﾄのﾋﾞｯﾄ　S = 動作完了ﾌﾗｸﾞ
R = 読み出しﾃﾞｰﾀ (MCU出力)　W = 書き込みﾃﾞｰﾀ (MCU入力)　x = 0か1 (無効/無意味)

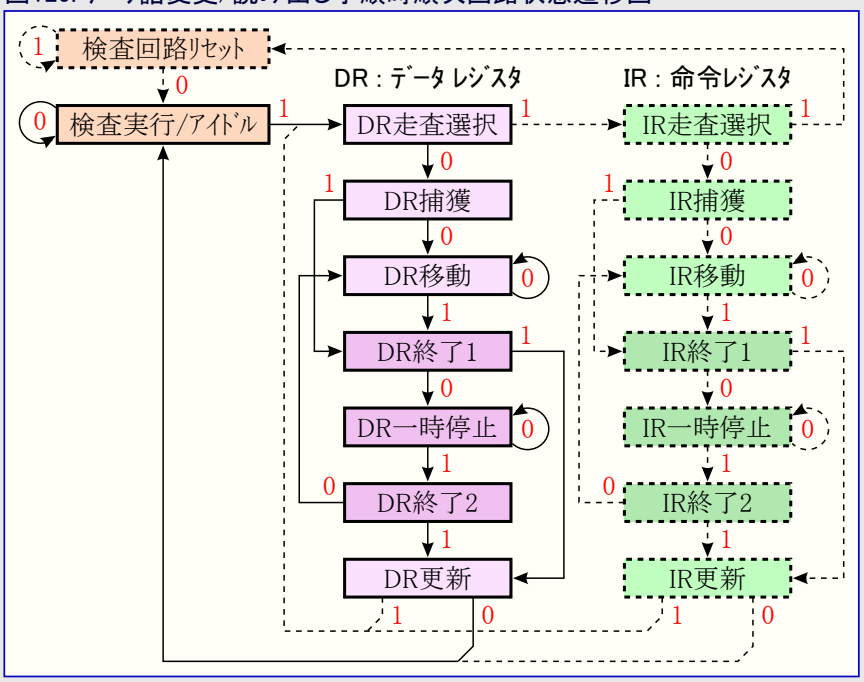
注1 ：この命令は直前の命令手順によって上位7ﾋﾞｯﾄが正しく設定されている(通常の)場合、必要ではありません。
注2 ：Sが1になるまで繰り返します。(待機)
注3 ：設定値0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑです。
注4 ：設定値0でﾌﾟﾛｸﾞﾗﾑ、1では施錠ﾋﾞｯﾄが変化しません。
注5 ：読み出し値0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑです。
(訳注) 原書での注6～9は表内備考欄に直接記載しました。
注10：PCMSB(表105.参照)とEEAMSB(表106.参照)を越えるｱﾄﾞﾚｽ ﾋﾞｯﾄは無効です。
注11：全てのTDIとTDO手順は2進数で示されています。

ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ (Flash Data Byte) ﾚｼﾞｽﾀ

ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀはﾍﾟｰｼﾞ書き込み実行前のﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部全体設定、またはﾌﾗｯｼｭ ﾒﾓﾘ内容の読み出しや照合の効率的な方法を提供します。順次回路はﾌﾗｯｼｭ ﾒﾓﾘへの制御信号を設定し、ﾌﾗｯｼｭ ﾒﾓﾘからのｽﾄﾛｰﾌﾞ信号を判断し、従って移動入出力されるためのﾃﾞｰﾀ語だけが必要です。

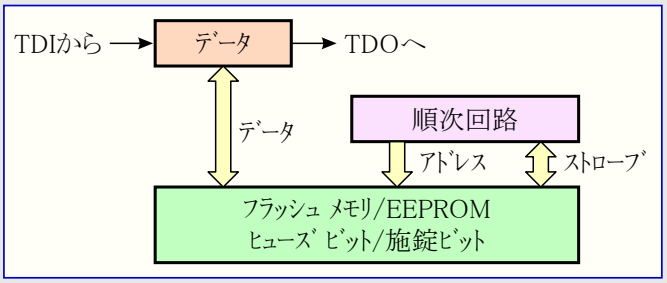
実際のﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀは8ﾋﾞｯﾄの走査ﾁｪｰﾝと8ﾋﾞｯﾄの一時ﾚｼﾞｽﾀから成ります。ﾍﾟｰｼﾞ設定中、DR更新状態は走査ﾁｪｰﾝによる内容を一時ﾚｼﾞｽﾀへ複写し、11 TCK周期内で一時ﾚｼﾞｽﾀの内容をﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部へ設定する書き込み(設定)手順を始めます。AVRはPROG_PAGELOAD命令移行後に出会った最初のDR更新に対して下位ﾊﾞｲﾄで始め、新規DR更新毎に上位/下位ﾊﾞｲﾄ書き込み間を自動的に切り替えます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは最初の書き込みﾊﾞｲﾄを除き、下位ﾊﾞｲﾄ書き込み前に予め増加(+1)されます。これはPROG_COMMANDSによって設定したｱﾄﾞﾚｽに最初のﾃﾞｰﾀが書かれ、ﾍﾟｰｼﾞ緩衝部の最終位置設定がﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀを次ﾍﾟｰｼﾞに増加しないことを保証します。

図125. ﾃﾞｰﾀ語変更/読み出し手順時順次回路状態遷移図



ﾍﾟｰｼﾞ読み込み中、選んだﾌﾗｯｼｭ ﾒﾓﾘのﾊﾞｲﾄの内容はDR捕獲状態中にﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀ内に捕獲されます。AVRはPROG_PAGEREAD命令移行後に出会った最初のDR捕獲に対して下位ﾊﾞｲﾄで始め、新規DR捕獲毎に上位/下位ﾊﾞｲﾄ読み込み間を自動的に切り替えます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは最初の読み込みﾊﾞｲﾄを含め、各上位ﾊﾞｲﾄ読み込み後に増加(+1)されます。これは最初のﾃﾞｰﾀがPROG_COMMANDSによって設定した先頭ｱﾄﾞﾚｽから捕獲され、ﾍﾟｰｼﾞの最終位置読み込みがﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀを次ﾍﾟｰｼﾞに増加(進行)することを保証します。

図126. ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀ



ﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀを制御する順次回路はTCKによってｸﾛｯｸ駆動されます。通常動作中内でﾌﾗｯｼｭ ﾒﾓﾘの各ﾊﾞｲﾄに対して8ﾋﾞｯﾄが移動され、TAP制御器を通して誘導するために必要としたこのｸﾛｯｸ周期はﾌﾗｯｼｭ ﾊﾞｲﾄ ﾃﾞｰﾀ ﾚｼﾞｽﾀに対し、それが使用者にとって明白に操作を完了するための充分なｸﾛｯｸ ﾊﾟﾙｽ数で順次回路を自動的に送ります。けれどもﾍﾟｰｼﾞ設定中に各DR更新状態間で更に数ﾋﾞｯﾄが移動される場合、各DR更新状態間の最小11 TCK周期を保証するためのいくつかのTCK周期に対し、TAP制御器は検査実行/ｱｲﾄﾞﾙ状態に留まるべきです。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手法

1①、1②形式のような以下の全ての参照は表115.を参照してください。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

1. JTAG命令AVR_RESETを入力し、ﾘｾｯﾄ ﾚｼﾞｽﾀに1を移動します。
2. PROG_ENABLE命令を入力し、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀに$A370(1010 0011 0111 0000)を移動します。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作からの抜け出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 無操作命令(11①参照)により、全てのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令を禁止します。
3. PROG_ENABLE命令を入力し、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可ﾚｼﾞｽﾀに$0000(0000 0000 0000 0000)を移動します。
4. JTAG命令AVR_RESETを入力し、ﾘｾｯﾄ ﾚｼﾞｽﾀに0を移動します。

ﾁｯﾌﾟ消去の実行

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾁｯﾌﾟ消去命令(1①参照)を使い、ﾁｯﾌﾟ消去を開始します。
3. ﾁｯﾌﾟ消去完了検査(1②参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、t_{WLRH_CE}(172頁の表112.参照)時間待ちます。

フラッシュ メモリの書き込み

フラッシュ メモリへ書き込む前にチップ消去が実行されなければなりません。179頁の「チップ消去の実行」をご覧ください。

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ書き込み移行命令(2①参照)を使い、フラッシュ メモリ書き込みを許可します。
3. アドレス上位設定命令(2②参照)を使い、書き込みアドレス上位バイトを設定します。
4. アドレス下位設定命令(2③参照)を使い、書き込みアドレス下位バイトを設定します。
5. データ設定命令(2④, 2⑤, 2⑥参照)を使い、書き込みデータを設定します。
6. ページ内の全語(ワード)数分4.と5.を繰り返します。
7. ページ書き込み命令(2⑦参照)を使い、ページをフラッシュ メモリに書き込みます。
8. ページ書き込み完了検査(2⑧参照)を使い、完了までポーリングするか、tWLRH_FLASH(172頁の表112.参照)時間待ちます。
9. 全データ書き込みまで3.～8.を繰り返します。

より効率的なデータ転送はPROG_PAGELOAD命令を使うことで達せられます。

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ書き込み移行命令(2①参照)を使い、フラッシュ メモリ書き込みを許可します。
3. アドレス設定命令(2②, 2③参照)を使い、ページ アドレスを設定します。ページ内アドレスにはPCWORD(165頁の表105.参照)が使われ、これらのビットは0として書かれなければなりません。
4. JTAG命令PROG_PAGELOADを入力します。
5. 先頭命令のLSBから始まって最終命令のMSBで終わるページ内にバイト単位で全命令語を移動入力することによってページ全体を設定します。フラッシュ バイト データ レジスタの内容をフラッシュ ページ位置に複写し、各新規語(ワード)前にプログラム カウンタを自動増加するのにDR更新を使います。
6. JTAG命令PROG_COMMANDSを入力します。
7. ページ書き込み命令(2⑦参照)を使い、ページをフラッシュ メモリに書き込みます。
8. ページ書き込み完了検査(2⑧参照)を使い、完了までポーリングするか、tWLRH_FLASH(172頁の表112.参照)時間待機します。
9. 全データ書き込みまで3.～8.を繰り返します。

フラッシュ メモリの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ読み出し移行命令(3①参照)を使い、フラッシュ メモリ読み出しを許可します。
3. アドレス設定命令(3②, 3③参照)を使い、読み出しアドレスを設定します。
4. データ読み出し命令(3④参照)を使い、データを読み出します。
5. 全データ読み出しまで3.～4.を繰り返します。

より効率的なデータ転送はPROG_PAGEREAD命令を使うことで達せられます。

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ読み出し移行命令(3①参照)を使い、フラッシュ メモリ読み出しを許可します。
3. アドレス設定命令(3②, 3③参照)を使い、ページ アドレスを設定します。ページ内アドレスにはPCWORD(165頁の表105.参照)が使われ、これらのビットは0として書かれなければなりません。
4. JTAG命令PROG_PAGEREADを入力します。
5. 先頭命令のLSBから始まって最終命令のMSBで終わるページ(またはフラッシュ)内で全命令語を移動出力することで、ページ(またはフラッシュ)全体を読みます。DR捕獲状態はフラッシュ メモリからのデータ捕獲と各語(ワード)が読まれた後にプログラム カウンタも自動増加します。DR移動に先立ってDR捕獲が起きることに注意してください。従って移動出力される先頭バイトは有効なデータを含みます。
6. JTAG命令PROG_COMMANDSを入力します。
7. 全データ読み出しまで3.～6.を繰り返します。

EEPROMの書き込み

EEPROMへ書き込む前にチップ消去が実行されなければなりません。179頁の「チップ消去の実行」をご覧ください。

1. JTAG命令PROG_COMMANDSを入力します。
2. EEPROM書き込み移行命令(4①参照)を使い、EEPROMメモリ書き込みを許可します。
3. アドレス上位設定命令(4②参照)を使い、書き込みアドレス上位バイトを設定します。
4. アドレス下位設定命令(4③参照)を使い、書き込みアドレス下位バイトを設定します。
5. データ設定命令(4④, 4⑤参照)を使い、書き込みデータを設定します。
6. ページ内の全バイト数分4.と5.を繰り返します。
7. EEPROM書き込み命令(4⑥参照)を使い、データをEEPROMメモリに書き込みます。
8. EEPROM書き込み完了検査(4⑦参照)を使い、完了までポーリングするか、tWLRH(172頁の表112.参照)時間待ちます。
9. 全データ書き込みまで3.～8.を繰り返します。

PROG_PAGELOAD命令がEEPROM書き込み時に使えないことに注意してください。

EEPROMの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. EEPROM読み出し移行命令(5①参照)を使い、EEPROMﾒﾓﾘ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(5②, 5③参照)を使い、読み出しｱﾄﾞﾚｽを設定します。
4. ﾃﾞｰﾀ読み出し命令(5④参照)を使い、ﾃﾞｰﾀを読み出します。
5. 全ﾃﾞｰﾀが読み出されてしまうまで3.～4.を繰り返します。

PROG_PAGEREAD命令がEEPROM読み出し時に使えないことに注意してください。

ﾋｭｰｽﾞ ﾋﾞｯﾄの書き込み (訳注:本項は修正してあります。)

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾋｭｰｽﾞ書き込み移行命令(6①参照)を使い、ﾋｭｰｽﾞ書き込みを許可します。
3. 拡張ﾃﾞｰﾀ設定命令(6②参照)を使い、拡張ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
4. 拡張ﾋｭｰｽﾞ書き込み命令(6③参照)を使い、拡張ﾋｭｰｽﾞを書き込みます。
5. ﾋｭｰｽﾞ書き込み完了検査(6④参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(172頁の表112.参照)時間待ちます。
6. 上位ﾃﾞｰﾀ設定命令(6⑤参照)を使い、上位側ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
7. 上位ﾋｭｰｽﾞ書き込み命令(6⑥参照)を使い、上位側ﾋｭｰｽﾞを書き込みます。
8. ﾋｭｰｽﾞ書き込み完了検査(6⑦参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(172頁の表112.参照)時間待ちます。
9. 下位ﾃﾞｰﾀ設定命令(6⑧参照)を使い、下位側ﾋｭｰｽﾞ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)
10. 下位ﾋｭｰｽﾞ書き込み命令(6⑨参照)を使い、下位側ﾋｭｰｽﾞを書き込みます。
11. ﾋｭｰｽﾞ書き込み完了検査(6⑩参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(172頁の表112.参照)時間待ちます。

施錠ﾋﾞｯﾄの書き込み

1. JTAG命令PROG_COMMANDSを入力します。
2. 施錠ﾋﾞｯﾄ書き込み移行命令(7①参照)を使い、施錠ﾋﾞｯﾄ書き込みを許可します。
3. ﾃﾞｰﾀ設定命令(7②参照)を使い、施錠ﾋﾞｯﾄ値を設定します。(0=ﾌﾟﾛｸﾞﾗﾑ、1=無変化)
4. 施錠ﾋﾞｯﾄ書き込み命令(7③参照)を使い、施錠ﾋﾞｯﾄに書き込みます。
5. 施錠ﾋﾞｯﾄ書き込み完了検査(7④参照)を使い、完了までﾎﾟｰﾘﾝｸﾞするか、tWLRH(172頁の表112.参照)時間待ちます。

ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄの読み出し (訳注:本項は修正してあります。)

1. JTAG命令PROG_COMMANDSを入力します。
2. ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し移行命令(8①参照)を使い、ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出しを許可します。
3. 全てのﾋｭｰｽﾞと施錠ﾋﾞｯﾄを読むにはﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ読み出し命令(8⑥参照)を使います。
   拡張ﾋｭｰｽﾞ ﾋﾞｯﾄのみを読み出す場合は拡張ﾋｭｰｽﾞ読み出し命令(8②参照)を使います。
   上位側ﾋｭｰｽﾞ ﾋﾞｯﾄだけを読むには上位ﾋｭｰｽﾞ読み出し命令(8③参照)を使います。
   下位側ﾋｭｰｽﾞ ﾋﾞｯﾄだけを読むには下位ﾋｭｰｽﾞ読み出し命令(8④参照)を使います。
   施錠ﾋﾞｯﾄだけを読むには施錠ﾋﾞｯﾄ読み出し命令(8⑤参照)を使います。

識票ﾊﾞｲﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 識票読み出し移行命令(9①参照)を使い、識票読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(9②参照)を使い、読み出しｱﾄﾞﾚｽ$00を設定します。
4. ﾃﾞｰﾀ読み出し命令(9③参照)を使い、識票ﾊﾞｲﾄを読み出します。
5. 第2、第3ﾊﾞｲﾄを読むためにｱﾄﾞﾚｽを$01,$02として各々3.～4.を繰り返します。

校正ﾊﾞｲﾄの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 校正ﾊﾞｲﾄ読み出し移行命令(10①参照)を使い、校正ﾊﾞｲﾄ読み出しを許可します。
3. ｱﾄﾞﾚｽ設定命令(10②参照)を使い、読み出しｱﾄﾞﾚｽ$00を設定します。
4. ﾃﾞｰﾀ読み出し命令(10③参照)を使い、校正ﾊﾞｲﾄを読み出します。

電気的特性

絶対最大定格 (警告)

動作温度	-55℃ ～ +125℃
保存温度	-65℃ ～ +150℃
RESETを除くﾋﾟﾝ許容電圧	-0.5V ～ VCC+0.5V
RESETﾋﾟﾝ許容電圧	-0.5V ～ +13.0V
最大動作電圧	6.0V
入出力ﾋﾟﾝ出力電流	40.0mA
消費電流	400.0mA

(警告)

絶対最大定格を超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

DC特性

TA=-40℃～85℃, VCC=1.8V～5.5V (特記事項を除く)

ｼﾝﾎﾞﾙ	項目		条件	最小	代表	最大	単位
VIL	Lowﾚﾍﾞﾙ入力電圧 (XTAL1,RESETを除く)		VCC=1.8～2.4V	-0.5		0.2VCC (注1)	V
			VCC=2.4～5.5V	-0.5		0.3VCC (注1)	
VIL1	Lowﾚﾍﾞﾙ入力電圧 (XTAL1)		VCC=1.8～5.5V	-0.5		0.1VCC (注1)	
VIH	Highﾚﾍﾞﾙ入力電圧 (XTAL1,RESETを除く)		VCC=1.8～2.4V	0.7VCC (注2)		VCC+0.5	
			VCC=2.4～5.5V	0.6VCC (注2)		VCC+0.5	
VIH1	Highﾚﾍﾞﾙ入力電圧 (XTAL1)		VCC=1.8～2.4V	0.8VCC (注2)		VCC+0.5	
			VCC=2.4～5.5V	0.7VCC (注2)		VCC+0.5	
VIH2	Highﾚﾍﾞﾙ入力電圧 (RESET)		VCC=1.8～5.5V	0.9VCC (注2)		VCC+0.5	
VOL	Lﾚﾍﾞﾙ出力電圧 (注3)	ﾎﾟｰﾄB以外	IOL=10mA, VCC=5V			0.7	
			IOL=5mA, VCC=3V			0.5	
VOL1		ﾎﾟｰﾄB	IOL=20mA, VCC=5V			0.7	
			IOL=10mA, VCC=3V			0.5	
VOH	Hﾚﾍﾞﾙ出力電圧(注4)	ﾎﾟｰﾄB以外	IOH=-10mA, VCC=5V	4.2			
			IOH=-5mA, VCC=3V	2.3			
VOH1		ﾎﾟｰﾄB	IOH=-20mA, VCC=5V	4.2			
			IOH=-10mA, VCC=3V	2.3			
IIL	I/Oﾋﾟﾝ Lowﾚﾍﾞﾙ入力漏れ電流		VCC=5.5V 確実なH/L範囲			1	μA
IIH	I/Oﾋﾟﾝ Highﾚﾍﾞﾙ入力漏れ電流					1	
RRST	RESETﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			30		60	kΩ
RPU	I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			20		50	
ICC	活動動作消費電流 (電力削減ﾚｼﾞｽﾀ(PRR)全ﾋﾞｯﾄ=1)		VCC=2V, 1MHz			0.44	mA
			VCC=3V, 4MHz			2.5	
			VCC=5V, 8MHz			9.5	
	ｱｲﾄﾞﾙ動作消費電流 (電力削減ﾚｼﾞｽﾀ(PRR)全ﾋﾞｯﾄ=1)		VCC=2V, 1MHz			0.2	
			VCC=3V, 4MHz			0.8	
			VCC=5V, 8MHz			3.3	
	ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流		VCC=3V, WDT有効		<8	10	μA
			VCC=3V, WDT禁止		<1	2	
VACIO	ｱﾅﾛｸﾞ比較器入力変位(ｵﾌｾｯﾄ)電圧		VCC=5V, Vin=VCC/2		<10	40	mV
IACLK	ｱﾅﾛｸﾞ比較器入力漏れ電流			-50		50	nA
tACPD	ｱﾅﾛｸﾞ比較器伝播遅延時間		VCC=2.7V		750		ns
			VCC=4.0V		500		

注1: Lowﾚﾍﾞﾙの認識が保証される最高電圧です。

注2: Highﾚﾍﾞﾙの認識が保証される最低電圧です。

(注3)～(注4)は次頁を参照してください。

注3: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(ポートBはVCC=3Vで10mA,VCC=5Vで20mA、他のポートはVCC=3Vで5mA,VCC=5Vで10mA)よりも多くの吸い込み電流を流すことができますが、次の条件を厳守しなければなりません。

1. 全ポートのIOLの合計が400mAを超えるべきではありません。
2. ポートA7～0、C7～4、G2のIOLの合計が100mAを超えるべきではありません。
3. ポートB7～0、E7～0、G5～3のIOLの合計が100mAを超えるべきではありません。
4. ポートC3～0、D7～0、G1～0のIOLの合計が100mAを超えるべきではありません。
5. ポートF7～0のIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件よりも大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(ポートBはVCC=3Vで10mA,VCC=5Vで20mA、他のポートはVCC=3Vで5mA,VCC=5Vで10mA)よりも多くの吐き出し電流を流すことができますが、次の条件を厳守しなければなりません。

1. 全ポートのIOHの合計が400mAを超えるべきではありません。
2. ポートA7～0、C7～4、G2のIOHの合計が100mAを超えるべきではありません。
3. ポートB7～0、E7～0、G5～3のIOHの合計が100mAを超えるべきではありません。
4. ポートC3～0、D7～0、G1～0のIOHの合計が100mAを超えるべきではありません。
5. ポートF7～0のIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件よりも大きな吐き出し電流を流すことは保証されません。

外部クロック特性

図127. 外部クロック駆動波形

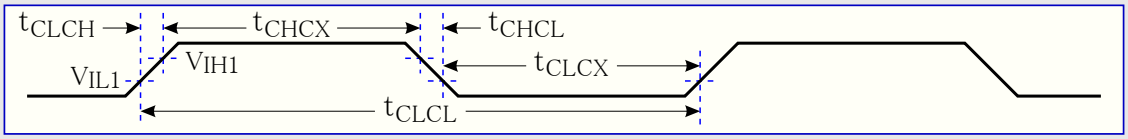


表116. 外部クロック特性

シンボル	項目	VCC=1.8～5.5V		VCC=2.7～5.5V		VCC=4.5～5.5V		単位
		最小	最大	最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	1	0	8	0	16	MHz
tCLCL	クロック周期	1000		125		62.5		ns
tCHCX	Highレベル時間	400		50		25		ns
tCLCX	Lowレベル時間	400		50		25		ns
tCLCH	上昇時間		2.0		1.6		0.5	µs
tCHCL	下降時間		2.0		1.6		0.5	µs
⊿tCLCL	隣接クロック周期間の変化率		2		2		2	%

注: 詳細については19頁の「外部クロック信号」を参照してください。

最高速と動作電圧

最高周波数は動作電圧に依存します。図128.と図129.で示されるように最高周波数対動作電圧曲線は1.8～4.5V間で直線です。本区間で与えられた電圧での最高周波数を計算するには①式を使ってください。与えられた周波数に対して必要な電圧を計算するには②式を使ってください。

①式・・・周波数=a×(電圧−Vx)+Fy　　②式・・・電圧=b×(周波数−Fy)+Vx

3Vでの周波数は8÷1.8×(3−2.7)+8でVCC=3V時の最高周波数は9.33MHzです。6MHzでの電圧は1.8÷8×(6−4)+1.8で、最高周波数6MHzにはVCC=2.25Vが必要です。

表117. 最高速対動作電圧計算に使用される定数

電圧,周波数範囲	a	b	Vx	Fy
2.7～4.5V,8～16MHz	8/1.8	1.8/8	2.7	8
1.8～2.7V,4～8MHz			1.8	4

図128. ATmega165Vの最高周波数対VCC

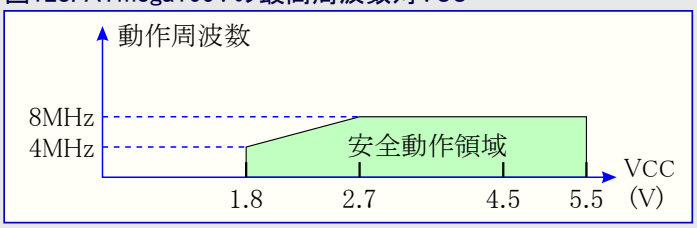
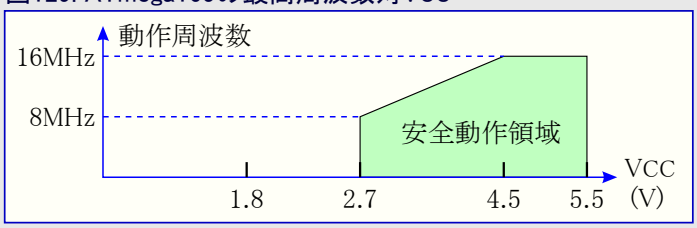


図129. ATmega165の最高周波数対VCC



SPIﾀｲﾐﾝｸﾞ特性

図130. SPI ﾀｲﾐﾝｸﾞ必要条件 (主装置動作)

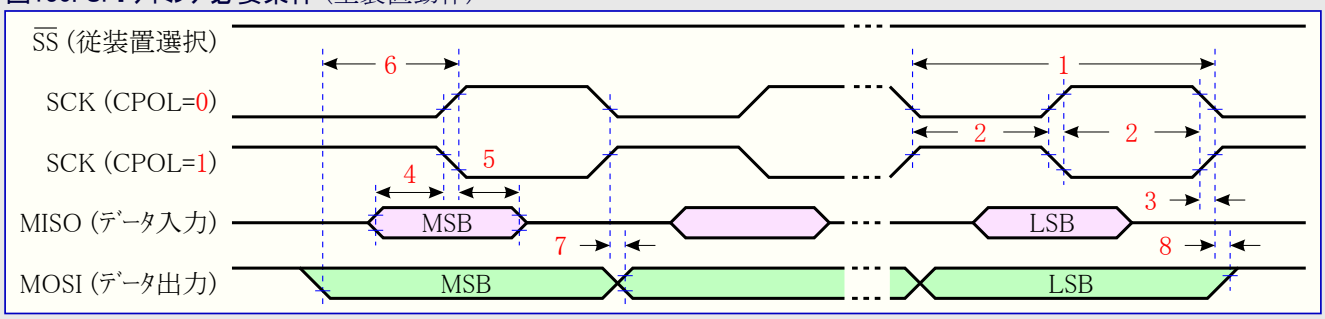


図131. SPI ﾀｲﾐﾝｸﾞ必要条件 (従装置動作)

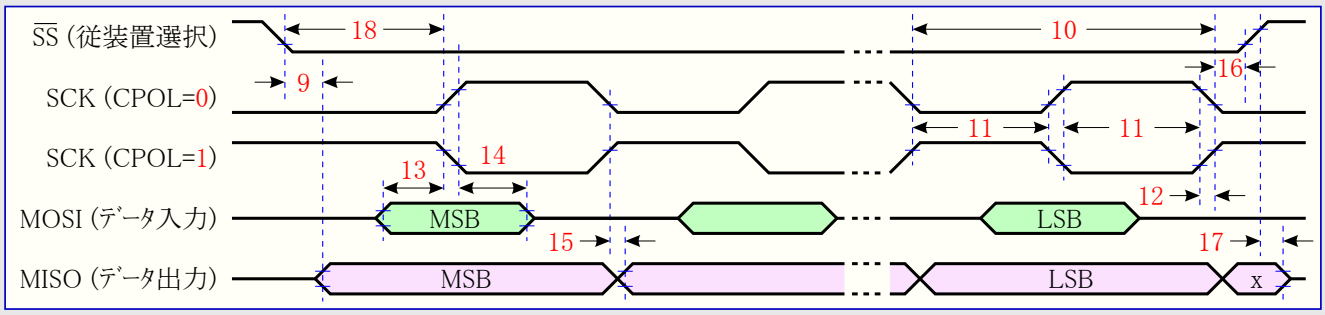


表118. SPI ﾀｲﾐﾝｸﾞ特性

番号	項目	動作種別	最小	代表	最大	単位
1	SCK周期	主装置		表62.参照		ns
2	SCK High/Low期間	主装置		50%ﾃﾞｭｰﾃｨ比		
3	SCK上昇/下降時間	主装置		3.6		
4	入力ﾃﾞｰﾀ 準備時間	主装置		10		
5	入力ﾃﾞｰﾀ 保持時間	主装置		10		
6	出力からSCK変移時間	主装置		$0.5t_{SCK}$		
7	SCKからの出力遅延時間	主装置		10		
8	SCKからのHigh出力時間	主装置		10		
9	$\overline{SS}$↓からの出力遅延時間	従装置		15		
10	SCK周期	従装置	$4t_{CK}$			
11	SCK High/Low期間 (注)	従装置	$2t_{CK}$			
12	SCK上昇/下降時間	従装置		1.6		µs
13	入力ﾃﾞｰﾀ 準備時間	従装置	10			ns
14	入力ﾃﾞｰﾀ 保持時間	従装置	t_{CK}			
15	SCKからの出力遅延時間	従装置		15		
16	SCKからの$\overline{SS}$↑遅延時間	従装置	20			
17	$\overline{SS}$↑からの出力Hi-Z遅延時間	従装置		10		
18	$\overline{SS}$↓からのSCK遅延時間	従装置	$20t_{CK}$			

注: SPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞでの最小SCK High/Low期間は、$2t_{CLCL}$(t_{CK}＜12MHz)、$3t_{CLCL}$(t_{CK}≧12MHz)です。

A/D変換器特性 (暫定)

表119. A/D変換特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
	分解能	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換			10		ﾋﾞｯﾄ
		差動入力変換			8		
	絶対精度 (積分非直線性誤差、 微分非直線性誤差、 量子化誤差、利得誤差、 変位(ｵﾌｾｯﾄ)誤差を含む)	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換 VCC=4V VREF=4V	変換ｸﾛｯｸ=200kHz		2	2.5	LSB
			変換ｸﾛｯｸ=1MHz		4.5		
			変換ｸﾛｯｸ=200kHz 雑音低減動作		2		
			変換ｸﾛｯｸ=1MHz 雑音低減動作		4.5		
	積分非直線性誤差	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換 VCC=4V、VREF=4V 変換ｸﾛｯｸ=200kHz			0.5		
	微分非直線性誤差				0.25		
	利得誤差				2		
	変位(ｵﾌｾｯﾄ)(ｾﾞﾛ)誤差				2		
	変換時間	連続変換動作		13		260	μs
	変換ｸﾛｯｸ周波数			0.05		1	MHz
AVCC	ｱﾅﾛｸﾞ供給電圧			VCC−0.3		VCC+0.3	V
VREF	基準電圧	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換		1.0		AVCC	
		差動入力変換		1.0		AVCC−0.5	
VIN	入力電圧	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換		GND		VREF	
		差動入力変換		0		AVCC（注1）	
	入力周波数帯域	ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力変換			38.5		kHz
		差動入力変換			4		
VINT	内蔵基準電圧			1.0	1.1	1.2	V
RREF	基準電圧入力ｲﾝﾋﾟｰﾀﾞﾝｽ				32		kΩ
RAIN	ｱﾅﾛｸﾞ入力ｲﾝﾋﾟｰﾀﾞﾝｽ				100		MΩ

注1: VDIFF(差動入力差電圧)はVREF以下でなければなりません。

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

活動動作とアイドル動作の全ての消費電流測定は電力削減レジスタ(PRR)の全ビットが設定(1)で行なわれ、従って関係周辺機能部はOFFにされます。これらの測定中にアナログ比較器も禁止されます。**表120.**と**表121.**はPRRによって制御される全周辺機能部に関して活動動作とアイドル動作のICCに対する追加消費電流を示します。詳細については23頁の「**電力削減レジスタ(PRR)**」をご覧ください。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) C_L(負荷容量)×VCC(動作電圧)×f(I/Oピンの平均切り替え周波数) として推測できます。

デバイスは検査範囲よりも高い周波数特性を示します。デバイスは注文番号が示す周波数よりも高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマによって引き込んだ(消費した)差電流を表します。

活動動作消費電流

図132. 活動動作消費電流 対 周波数 (100kHz～1MHz)

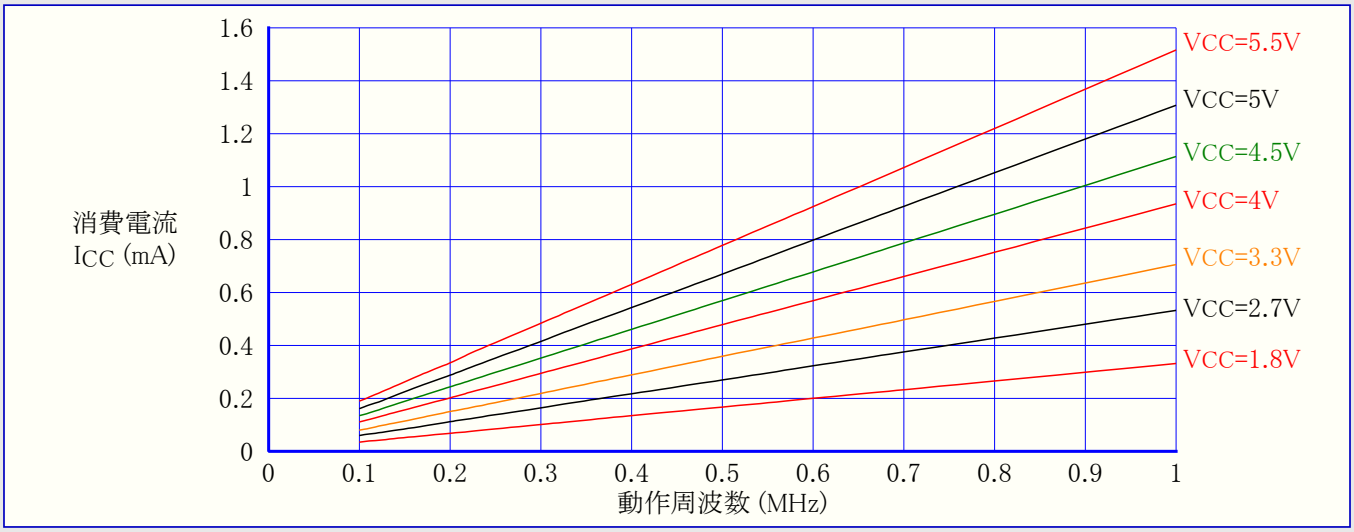


図133. 活動動作消費電流 対 周波数 (1MHz～20MHz)

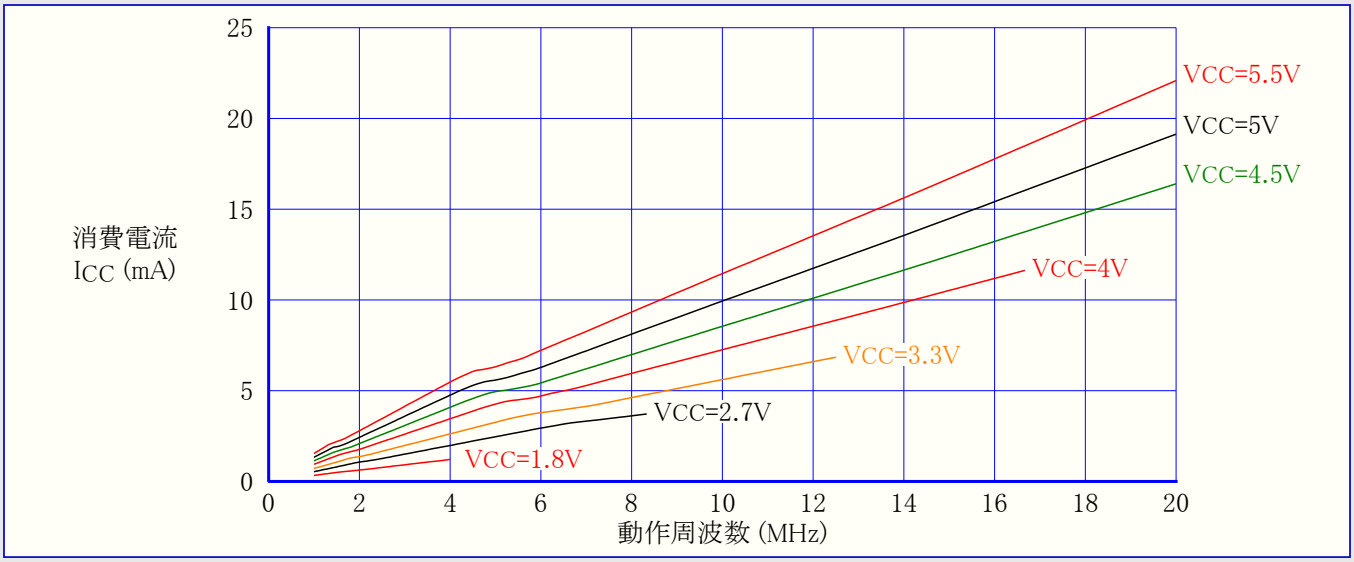


図134. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

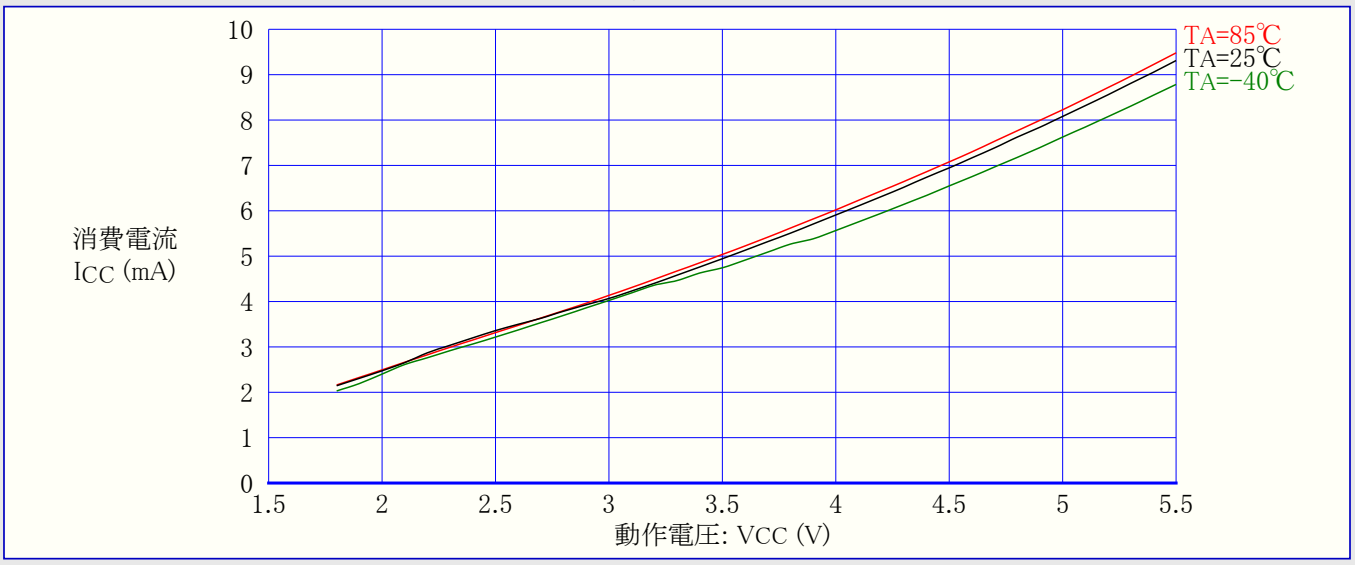


図135. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=ﾌﾟﾛｸﾞﾗﾑ(0),1MHz)

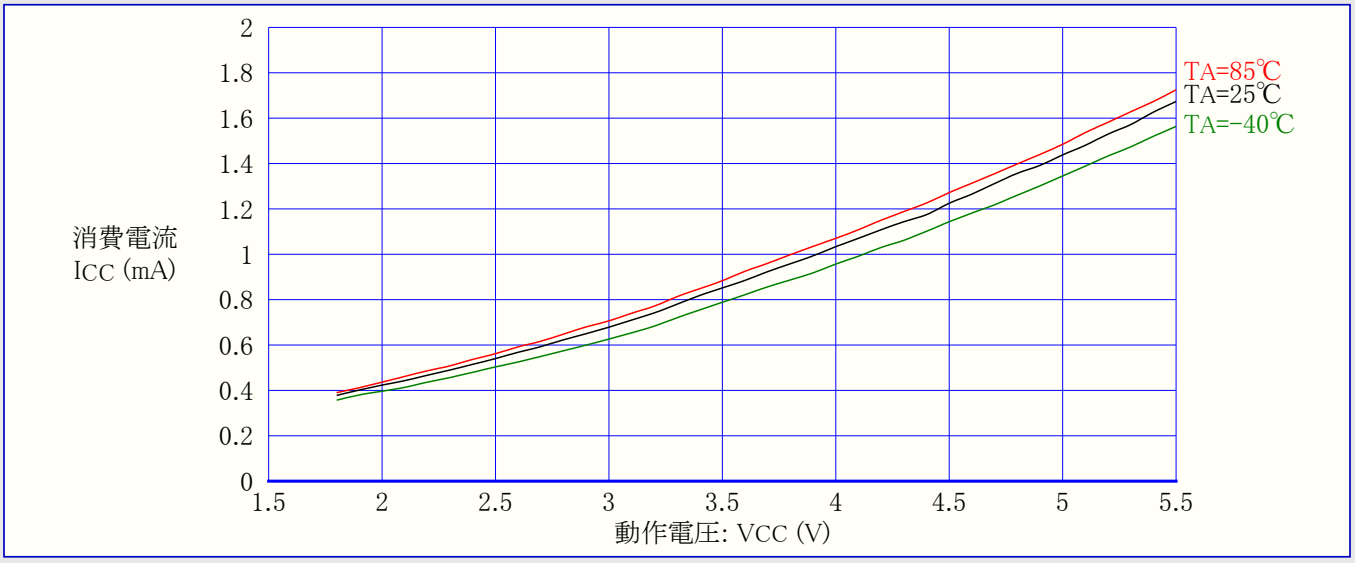
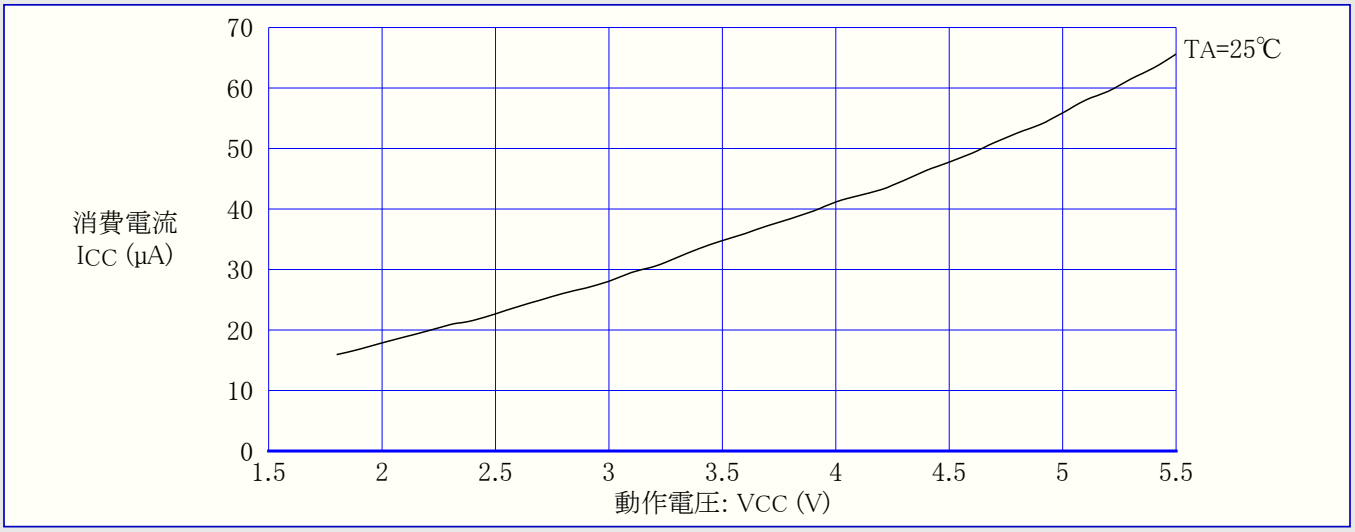


図136. 活動動作消費電流 対 動作電圧 (32kHzｸﾘｽﾀﾙ発振子)



ｱｲﾄﾞﾙ動作消費電流

図137. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (100kHz～1MHz)

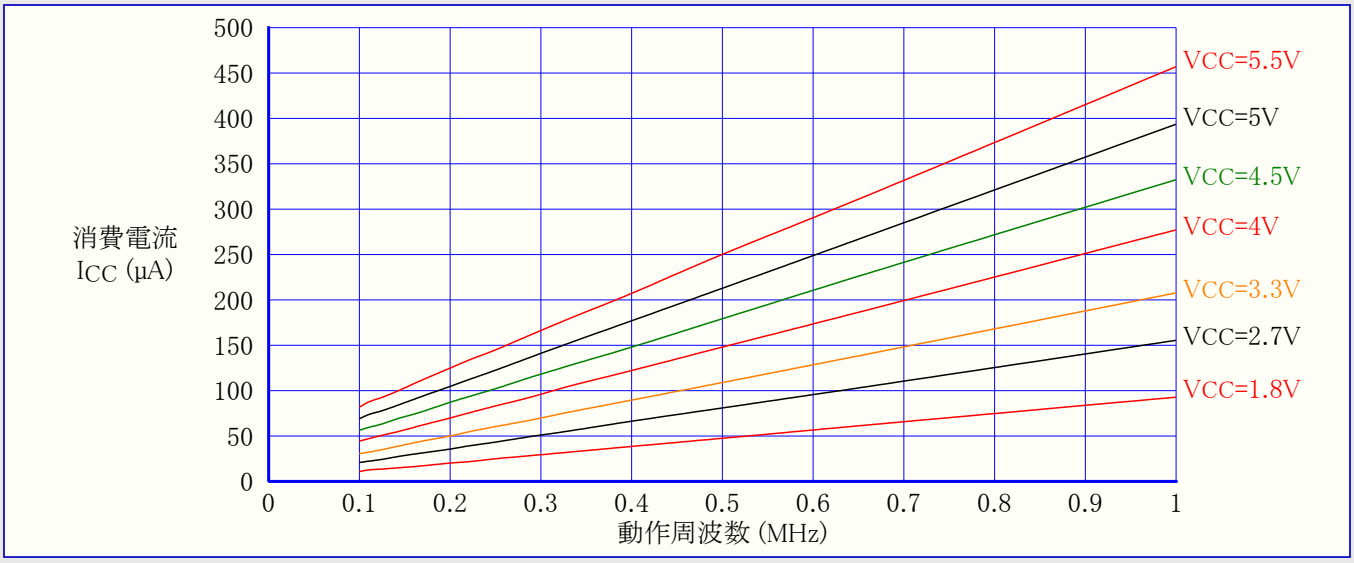


図138. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (1MHz～20MHz)

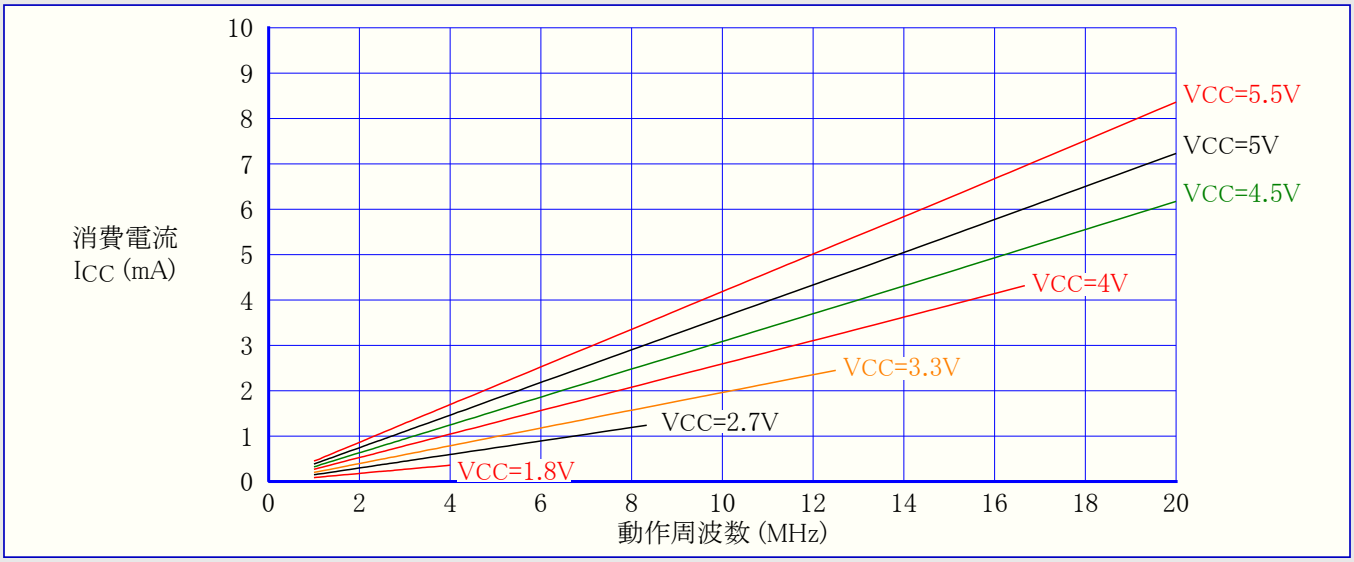


図139. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

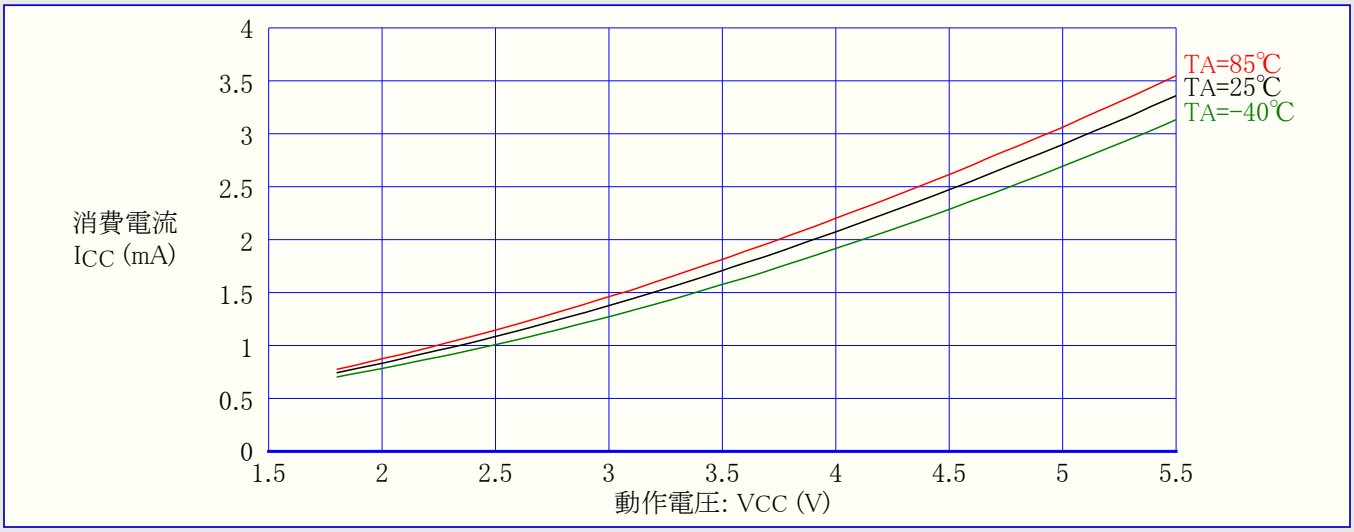


図140. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=ﾌﾟﾛｸﾞﾗﾑ(0),1MHz)

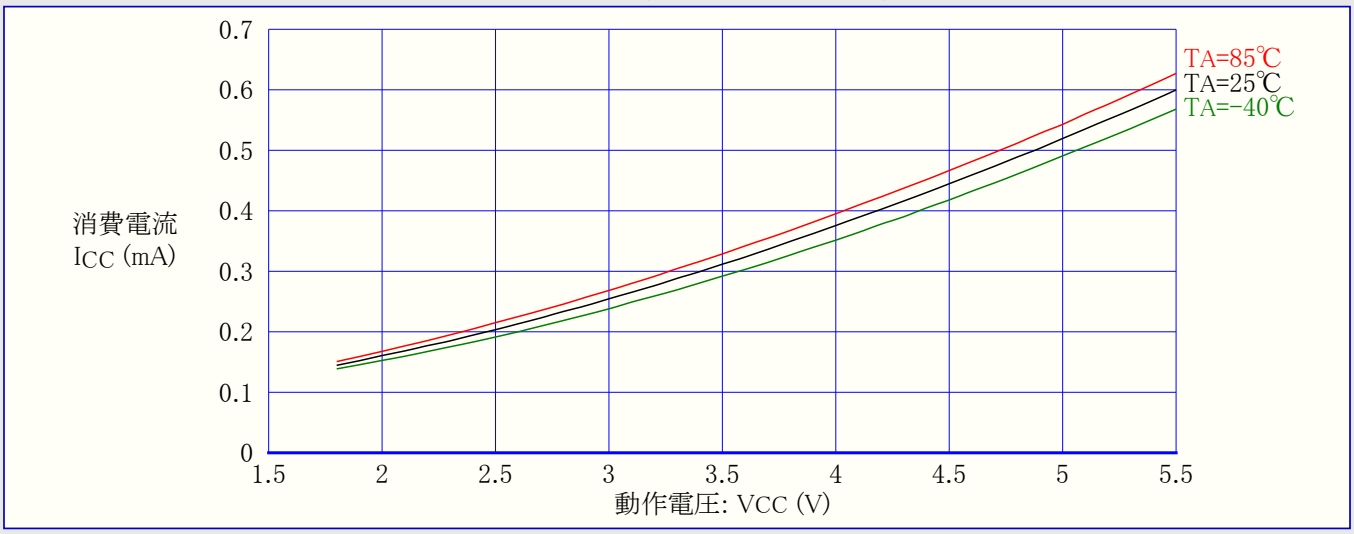
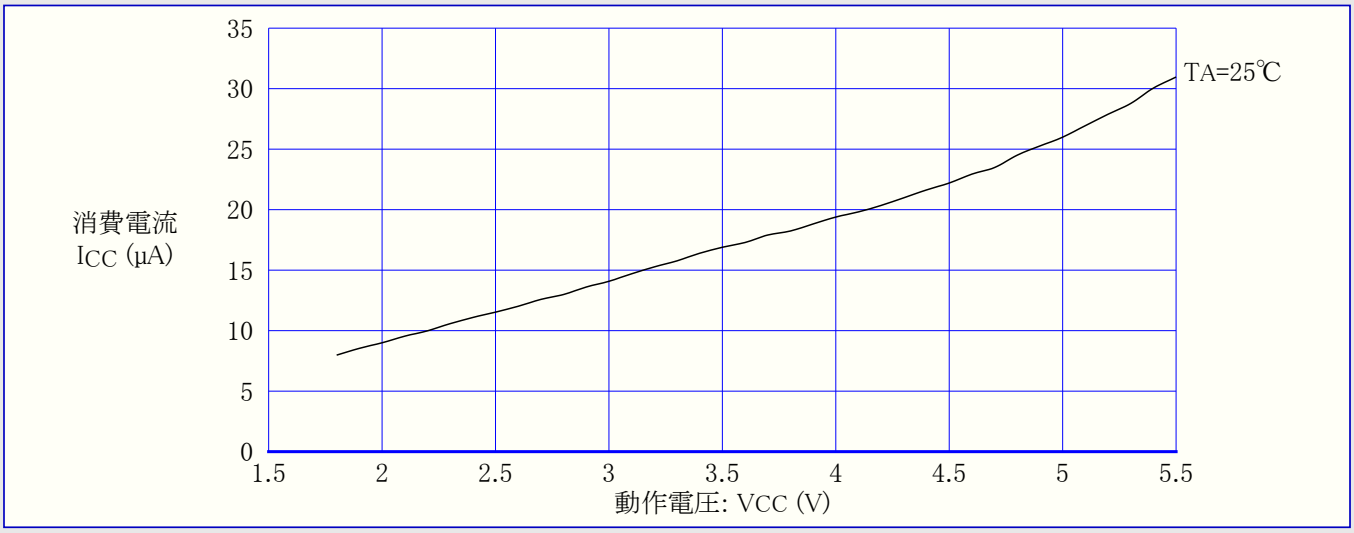


図141. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (32kHzｸﾘｽﾀﾙ発振子)



周辺機能部供給電流

以下の表と式は活動動作とｱｲﾄﾞﾙ動作で個別周辺機能部対する追加消費電流の計算に使えます。周辺機能部の許可や禁止は電力削減ﾚｼﾞｽﾀによって制御されます。詳細については23頁の「電力削減ﾚｼﾞｽﾀ(PRR)」をご覧ください。

表120. 各部追加消費電流 (絶対値:μA)

PRR内ﾋﾞｯﾄ	1MHz,2V	2MHz,4V	8MHz,5V
PRADC	18	116	495
PRUSART0	11	79	313
PRSPI	10	72	283
PRTIM1	19	117	481
PRLCD	19	124	531

表121. 各部追加消費電流 (相対値:%)

PRR内ﾋﾞｯﾄ	活動動作(図132,図133)	ｱｲﾄﾞﾙ動作(図137,図138)
PRADC	5.6	18.7
PRUSART0	3.7	12.4
PRSPI	3.2	10.8
PRTIM1	5.6	18.8
PRLCD	5.9	19.9

表120.で一覧される以外のVCCと周波数設定については表121.からの数値を元に代表的な消費電流を計算できます。

例1: VCC=3V, f=1MHzでUSART0,SPI,ﾀｲﾏ/ｶｳﾝﾀ1が許可されたｱｲﾄﾞﾙ動作での予測される消費電流を計算します。表121.のｱｲﾄﾞﾙ動作列からUSART0が12.4%、SPIが10.8%、ﾀｲﾏ/ｶｳﾝﾀ1が18.6%追加する必要を知ります。図137.を読み、VCC=3V, f=1MHzでのｱｲﾄﾞﾙ動作消費電流が約0.18mAである事を得ます。USART0,SPI,ﾀｲﾏ/ｶｳﾝﾀ1許可のｱｲﾄﾞﾙ動作での総消費電流を得ます。

総消費電流＝0.18mA×(1+0.124+0.108+0.186)≒0.26mA

例2: 例1と同じ条件ですが、代わりに活動動作です。表121.の活動動作列からUSART0が3.7%、SPIが3.2%、ﾀｲﾏ/ｶｳﾝﾀ1が5.6%追加する必要を知ります。図132.を読み、VCC=3V, f=1MHzでの活動動作消費電流が約0.6mAであることを得ます。USART0,SPI, ﾀｲﾏ/ｶｳﾝﾀ1許可の活動動作での総消費電流を得ます。

総消費電流＝0.6mA×(1+0.037+0.032+0.056)≒0.68mA

例3: VCC=3.3V, f=10MHzで全周辺機能部許可の活動動作での予測消費電流を計算します。周辺機能部を除く活動動作消費電流が約5.6mAであることを得ます(図133.より)。そして表121.の活動動作列からの数値を使い、総消費電流を得ます。

総消費電流＝5.6mA×(1+0.056+0.037+0.032+0.056+0.059)≒6.9mA

ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流

図142. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

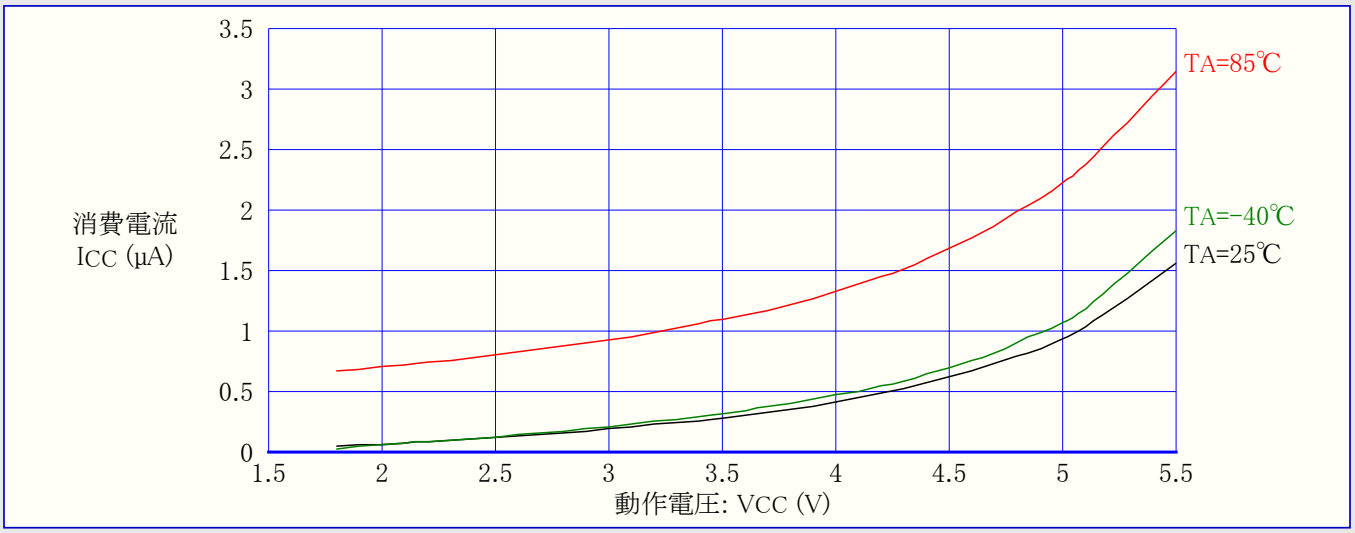
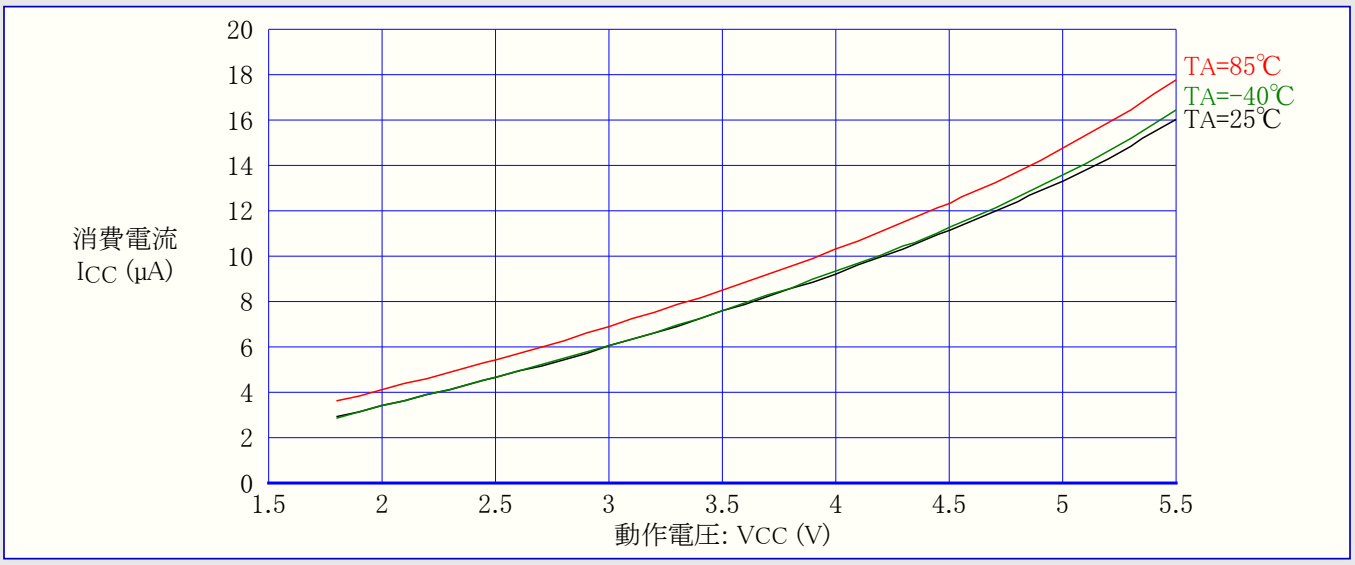
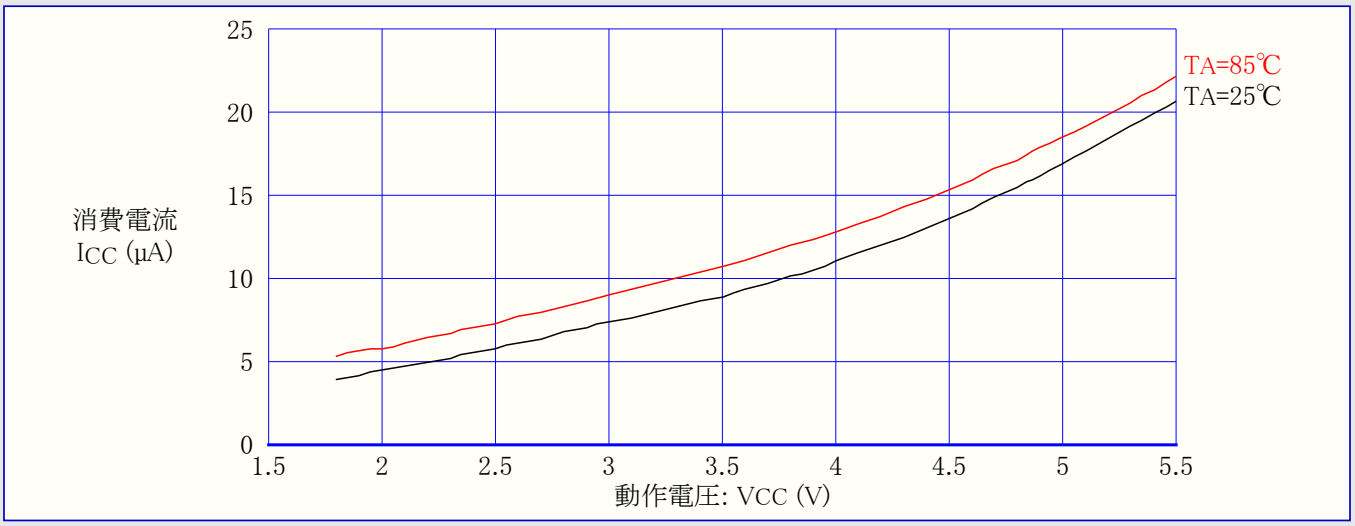


図143. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ許可)



ﾊﾟﾜｰｾｰﾌﾞ動作消費電流

図144. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)



ｳｫｯﾁﾄﾞｯｸﾞ禁止でのﾊﾟﾜｰｾｰﾌﾞ動作と32kHz TOSC間の消費電流差はﾀｲﾏ/ｶｳﾝﾀ2の吸い込み電流を示します。

ｽﾀﾝﾊﾞｲ動作消費電流

図145. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (455kHzｾﾗﾐｯｸ振動子、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

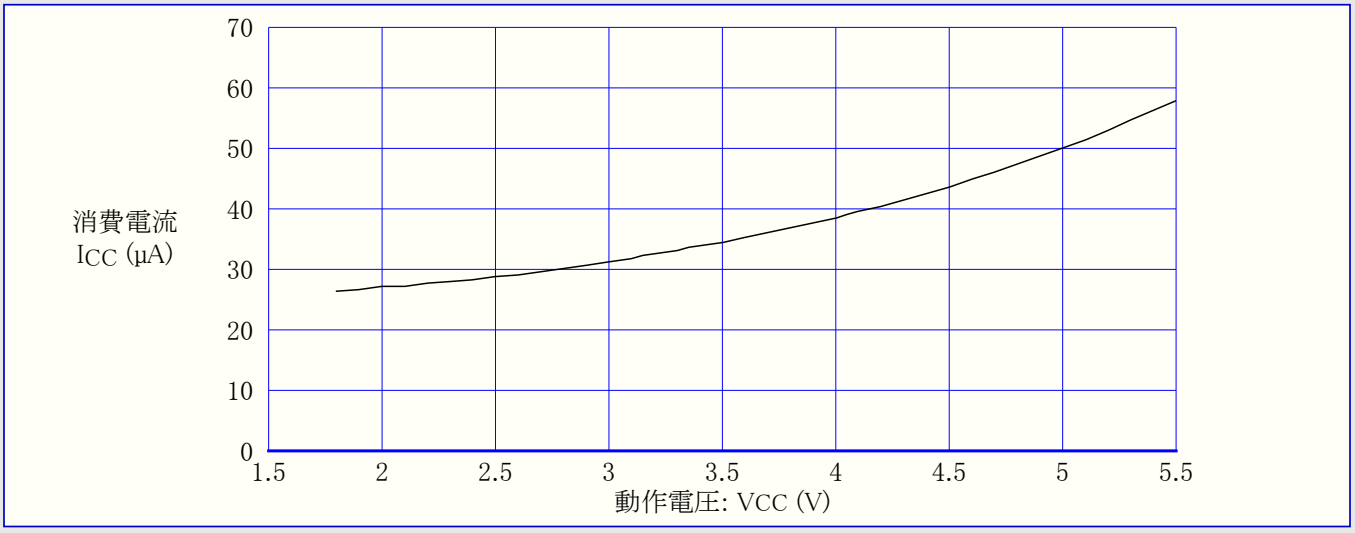


図146. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (1MHzｾﾗﾐｯｸ振動子、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

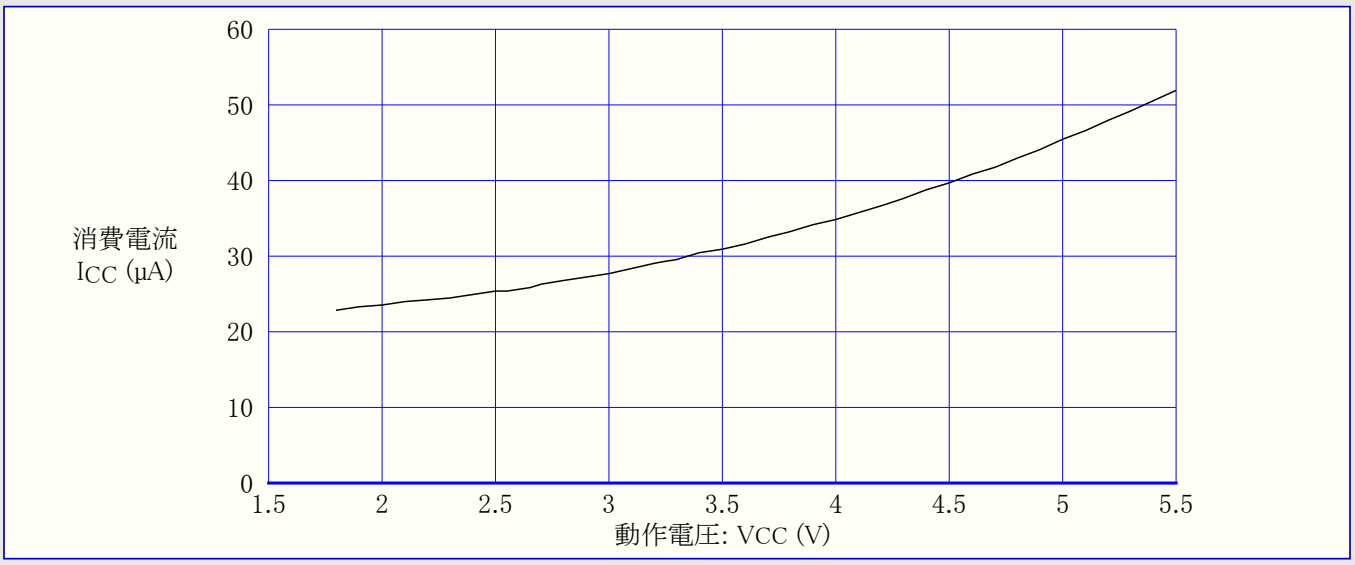


図147. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (2MHzｾﾗﾐｯｸ振動子、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

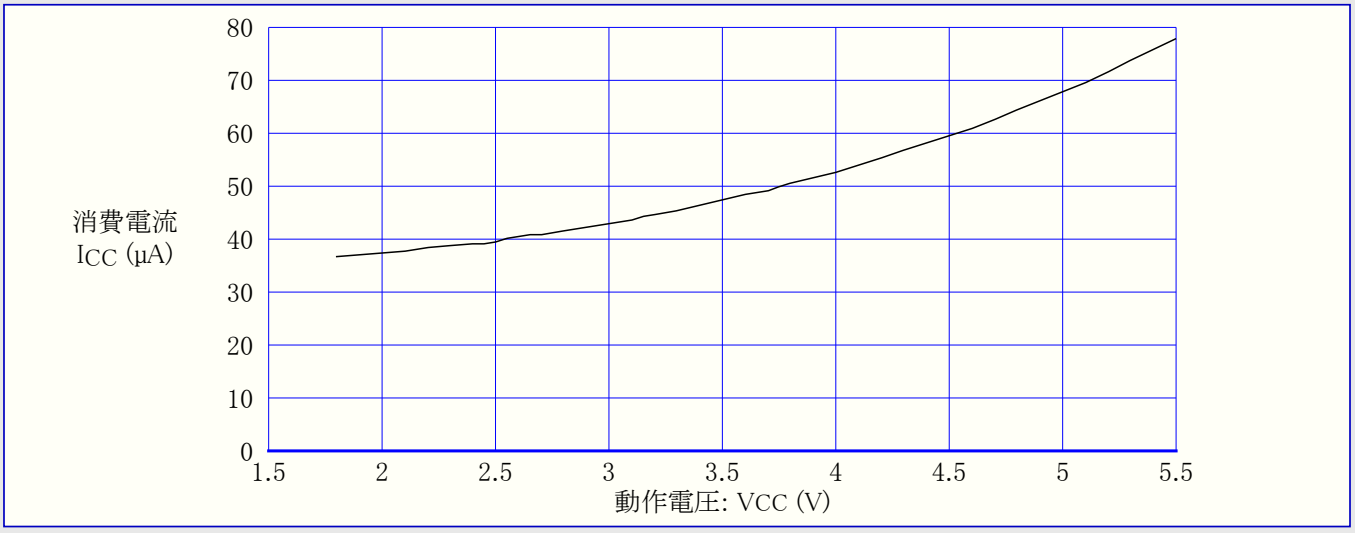


図148. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (2MHzｸﾘｽﾀﾙ発振子、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

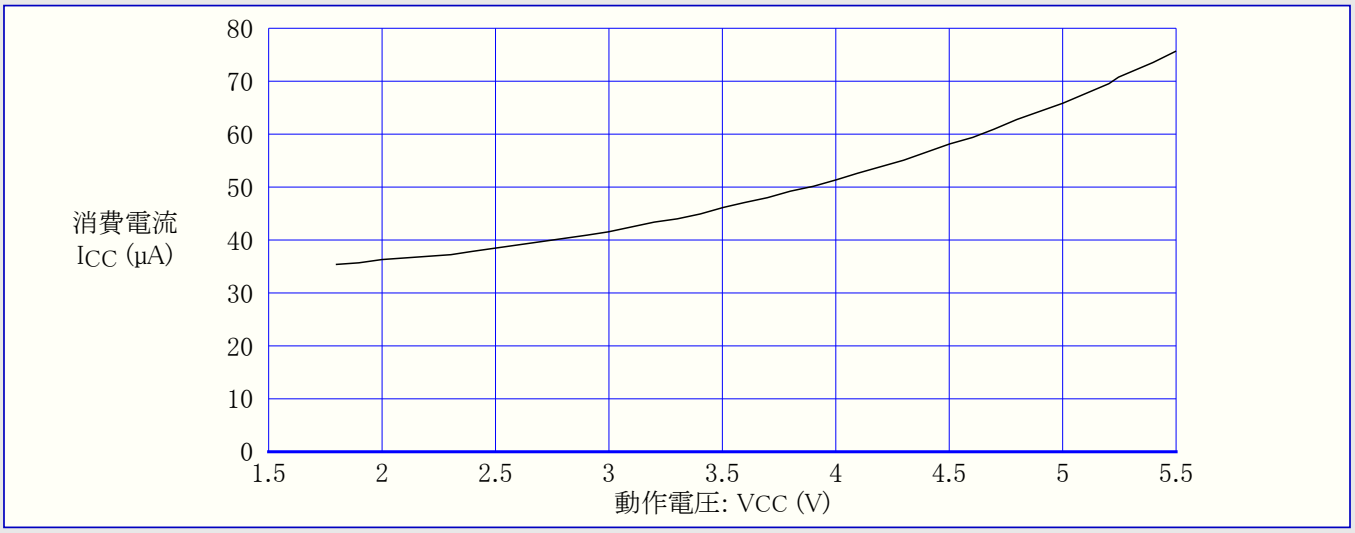


図149. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (4MHzｾﾗﾐｯｸ振動子、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

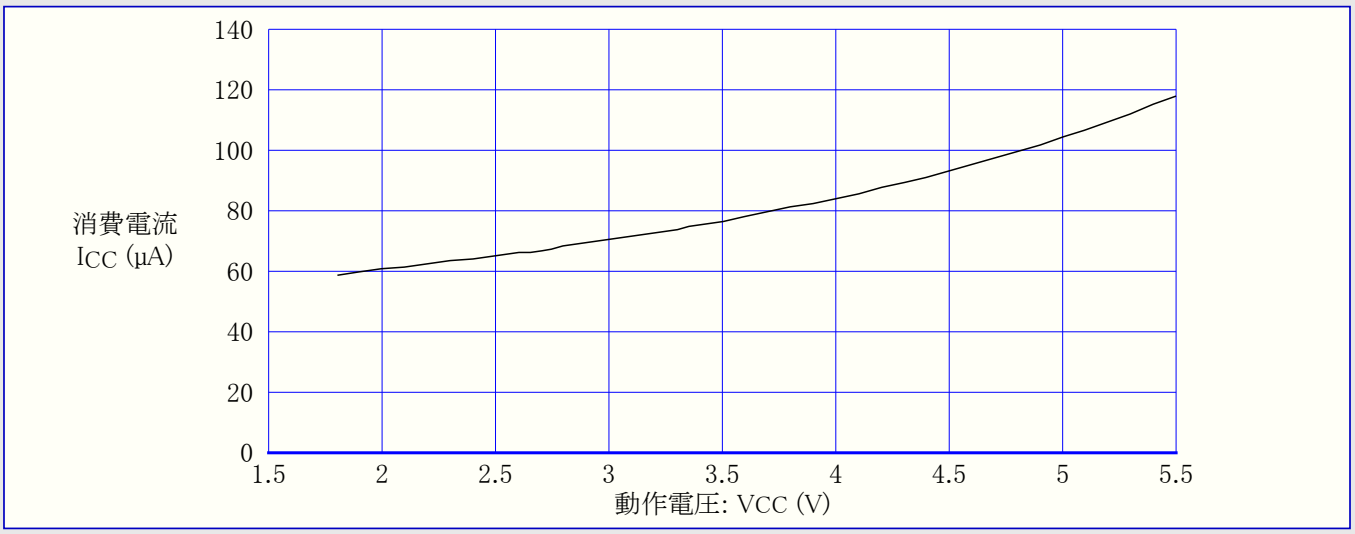


図150. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (4MHzｸﾘｽﾀﾙ発振子、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

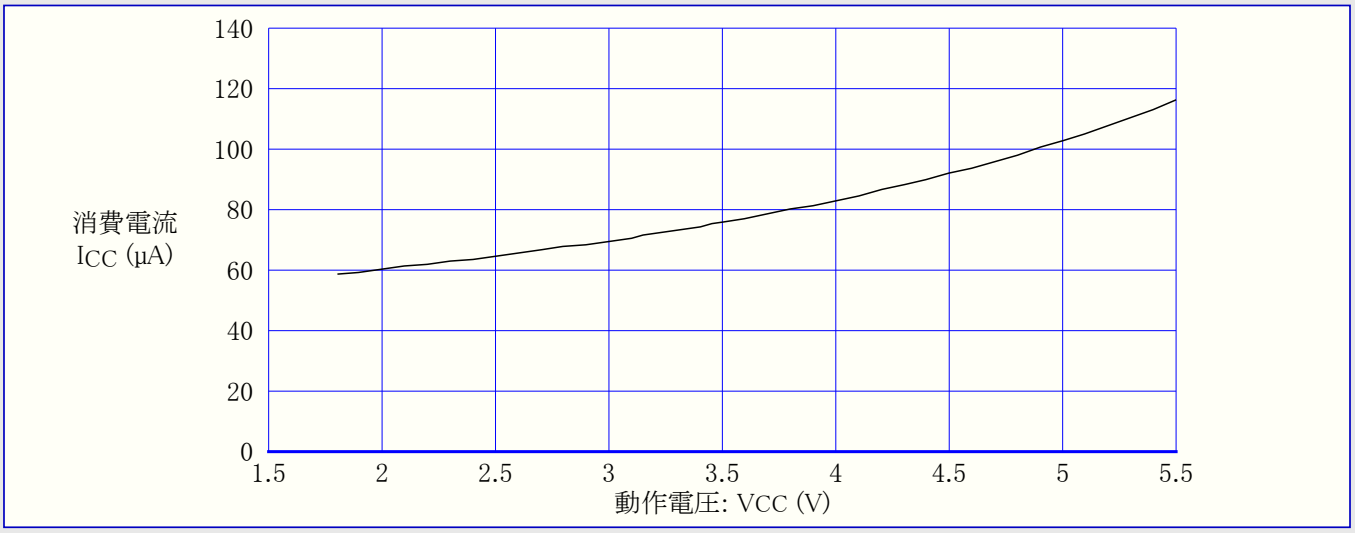


図151. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (6MHzｾﾗﾐｯｸ振動子、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)

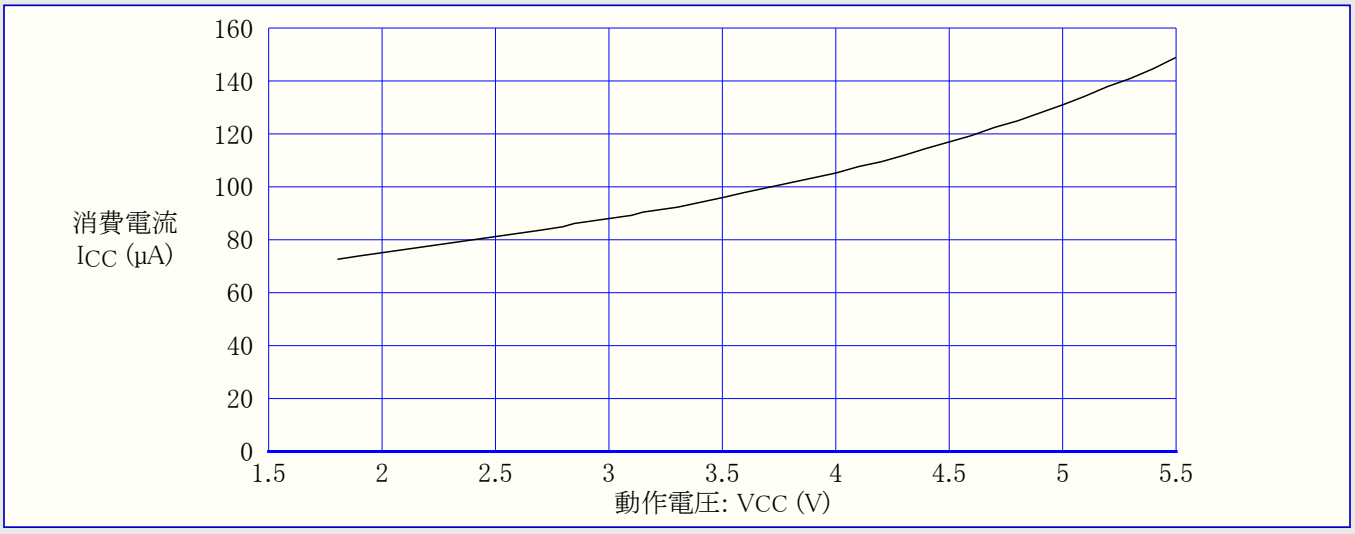
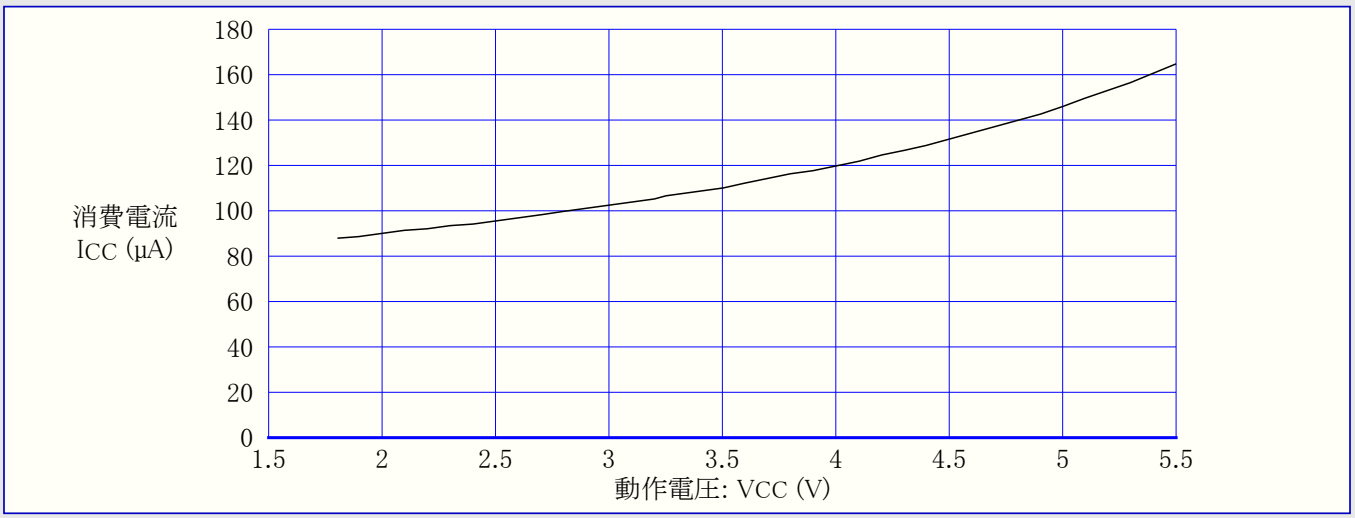


図152. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (6MHzｸﾘｽﾀﾙ発振子、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)



ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ

図153. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=5V)

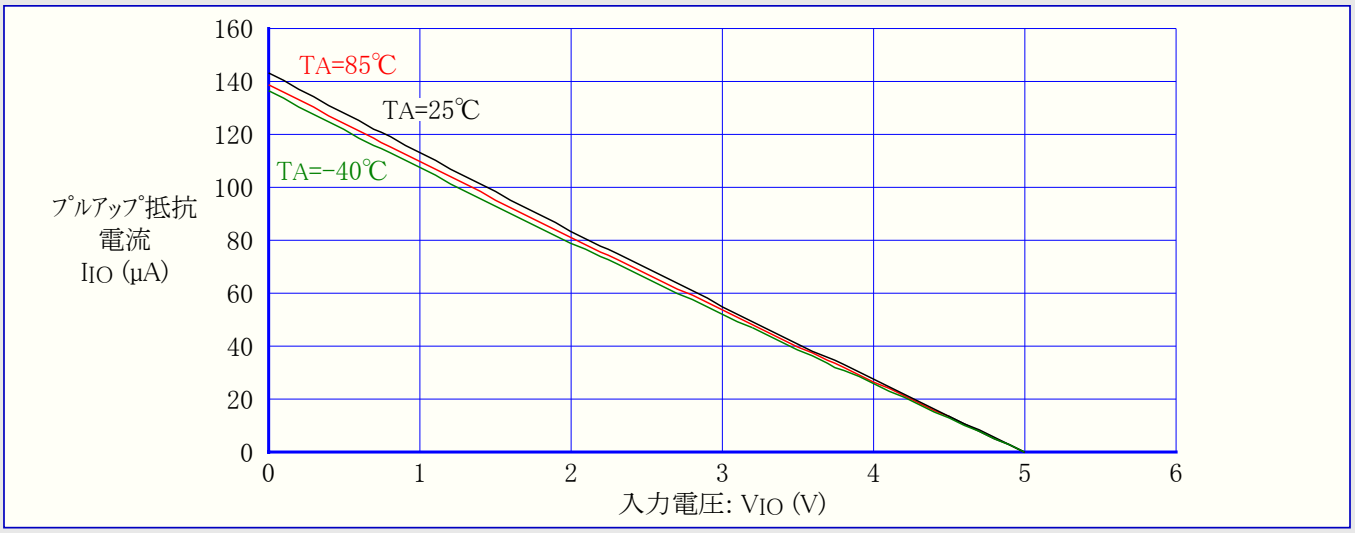


図154. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=2.7V)

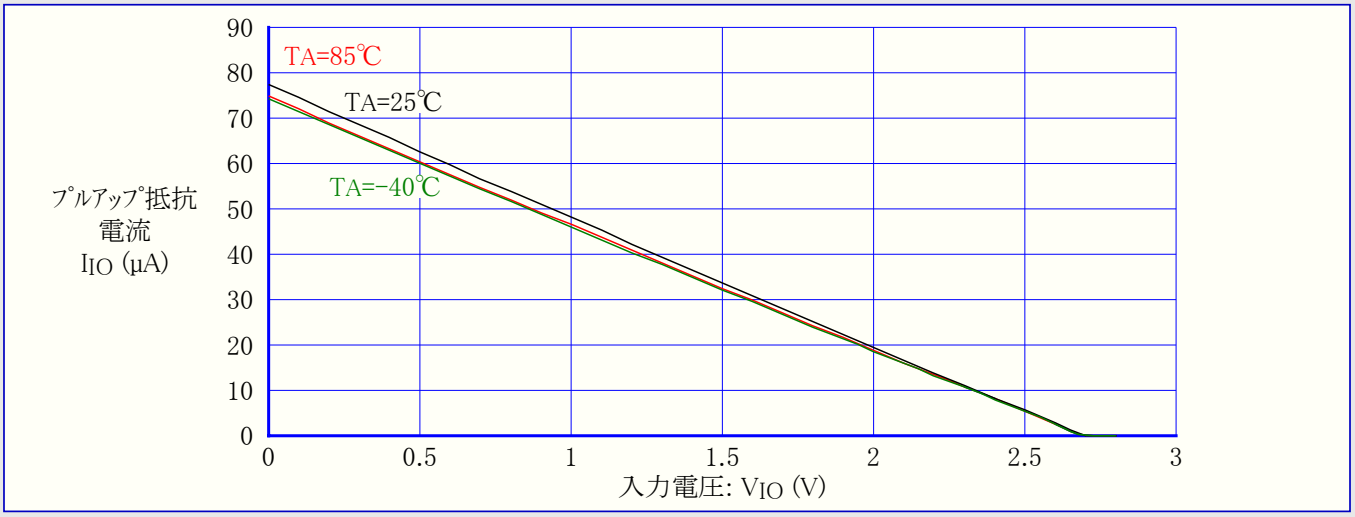


図155. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

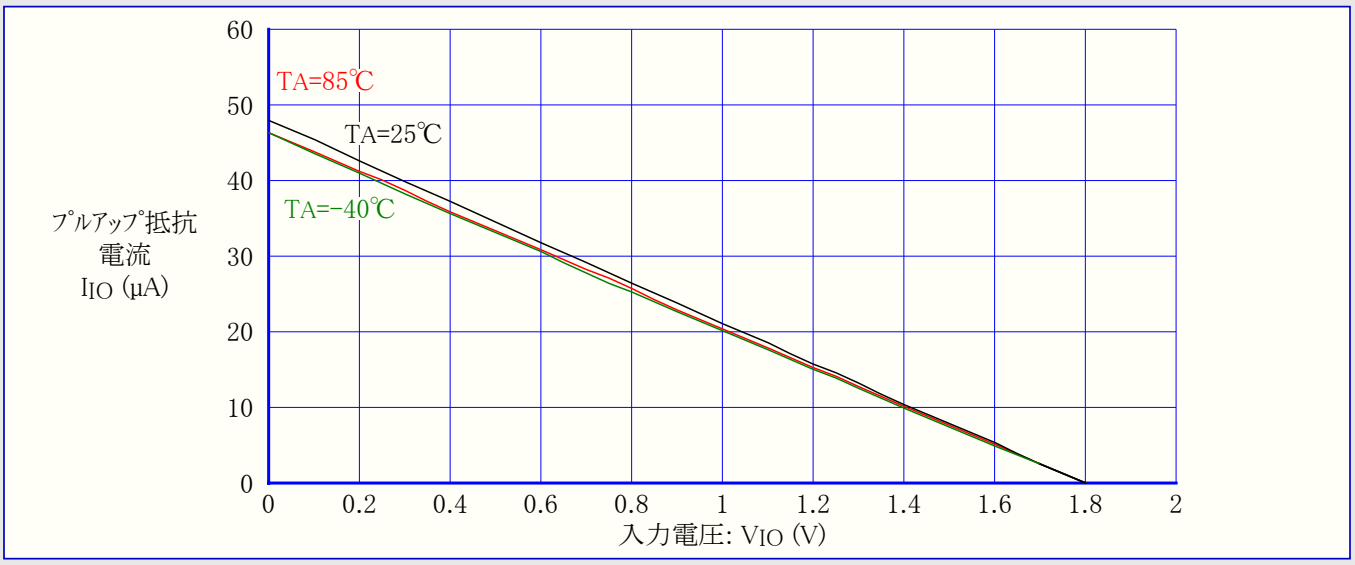


図156. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)

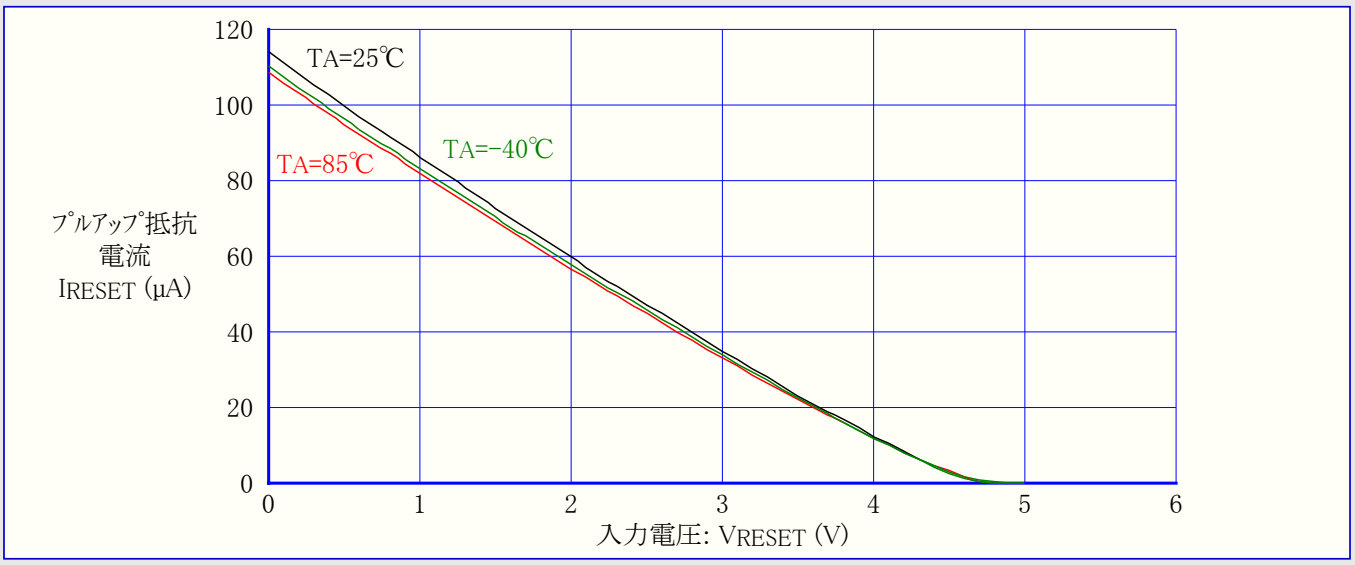


図157. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

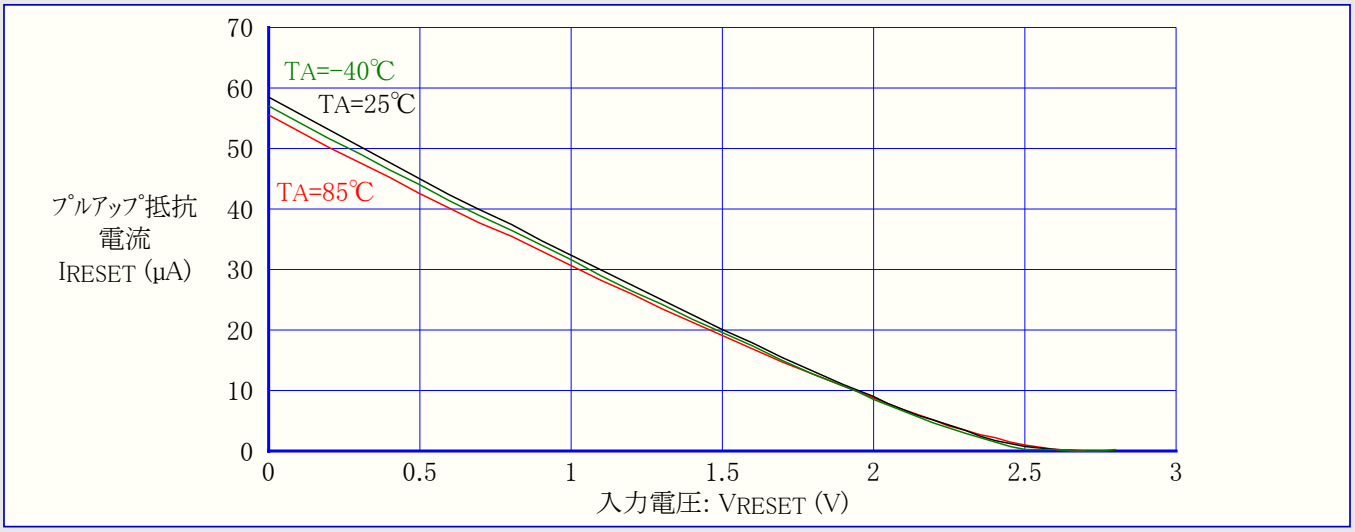
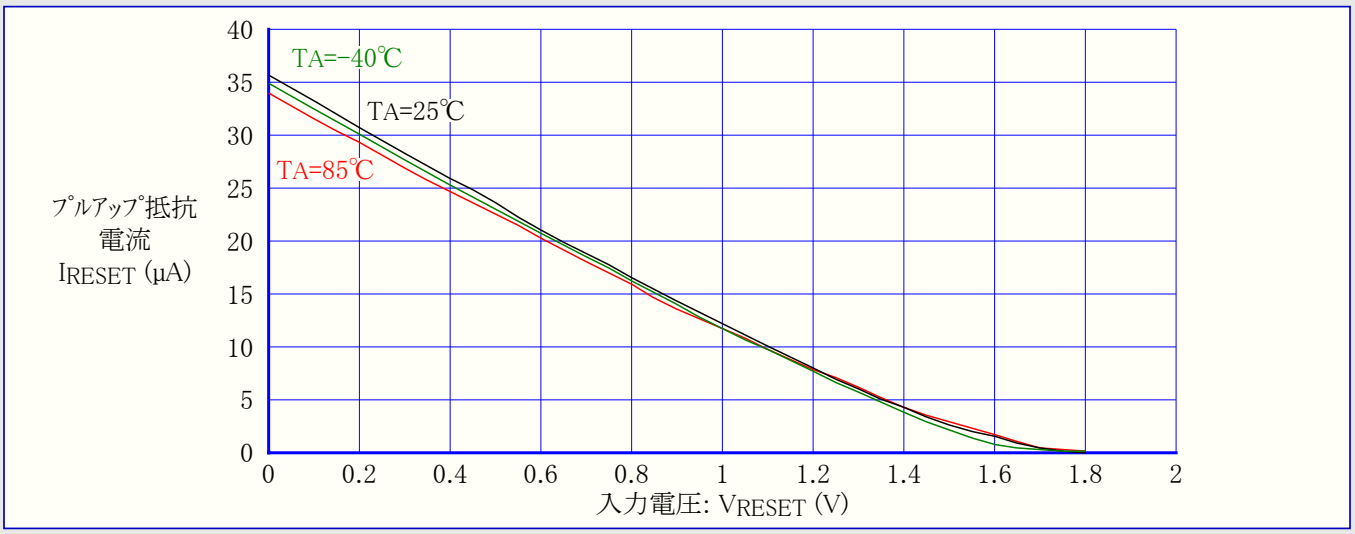


図158. RESETﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=1.8V)



ﾋﾟﾝ駆動能力

図159. I/Oﾋﾟﾝ(ﾎﾟｰﾄA,C,D,E,F,G) 吐き出し電流 対 出力電圧 (VCC=5V)

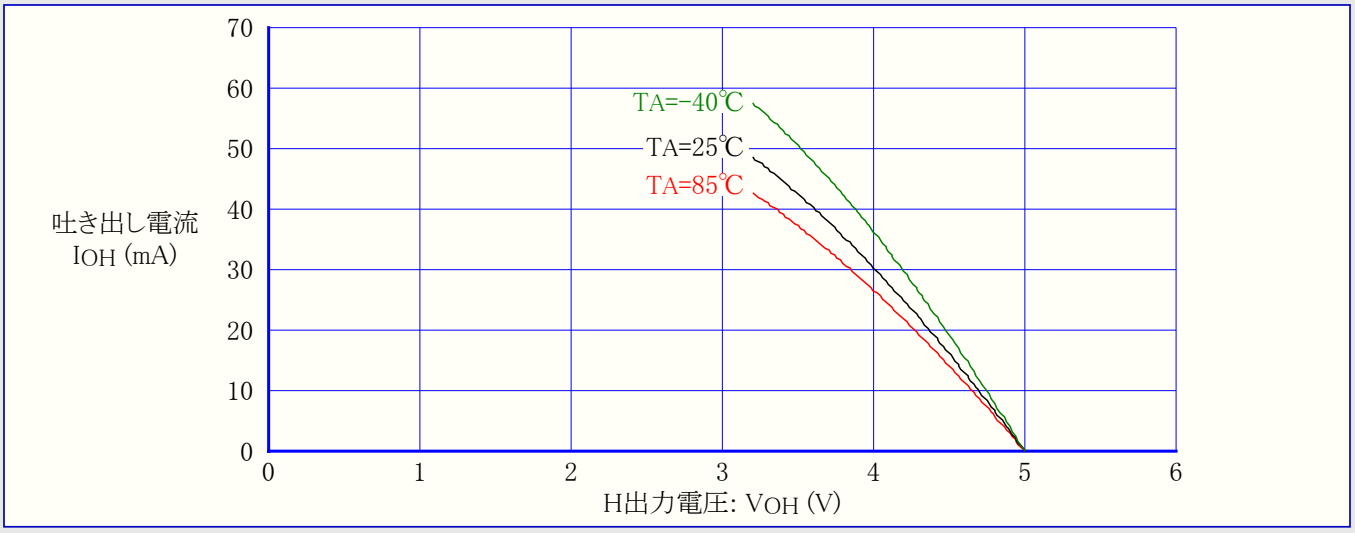


図160. I/Oﾋﾟﾝ(ﾎﾟｰﾄA,C,D,E,F,G) 吐き出し電流 対 出力電圧 (VCC=2.7V)

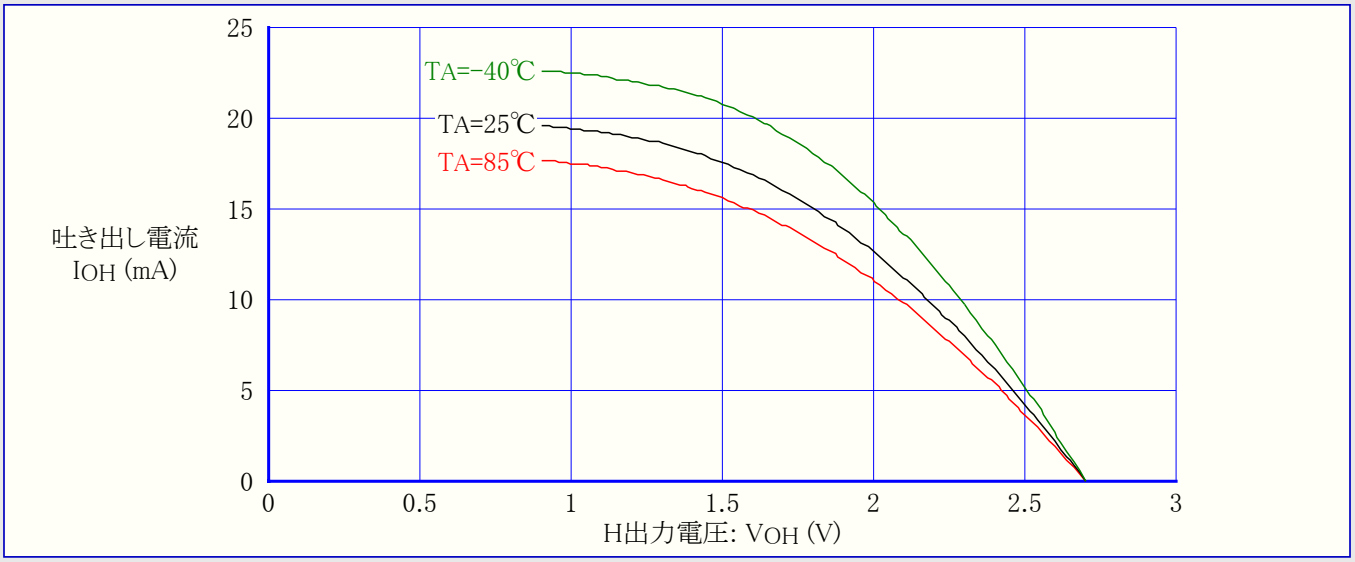


図161. I/Oピン(ポートA,C,D,E,F,G) 吐き出し電流 対 出力電圧 (VCC=1.8V)

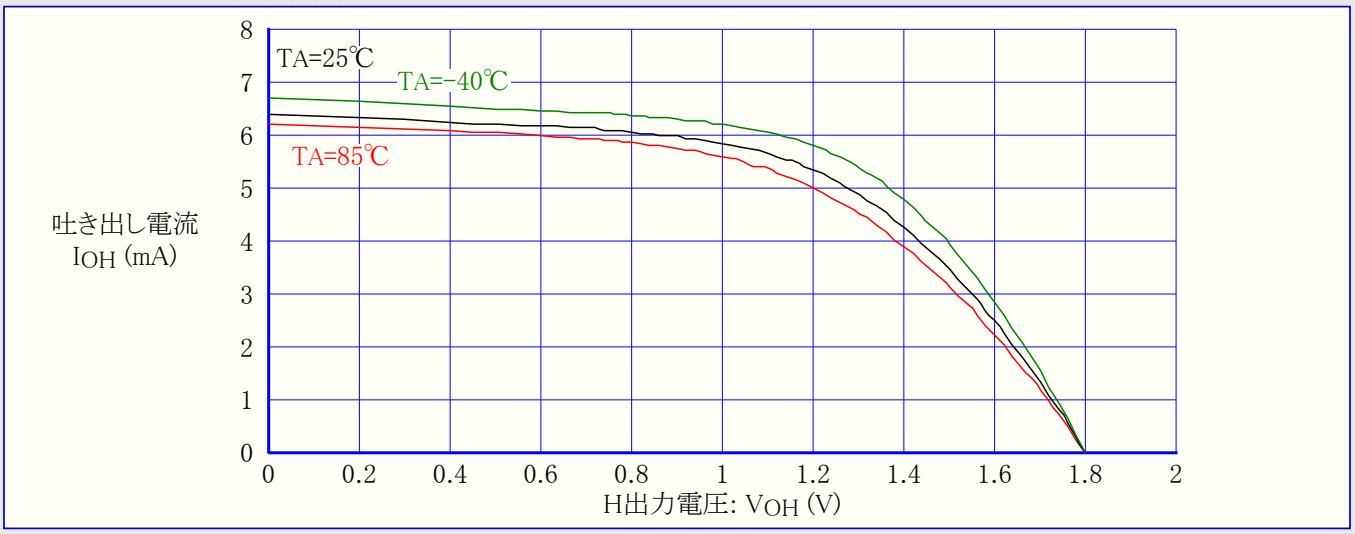


図162. I/Oピン(ポートB) 吐き出し電流 対 出力電圧 (VCC=5V)

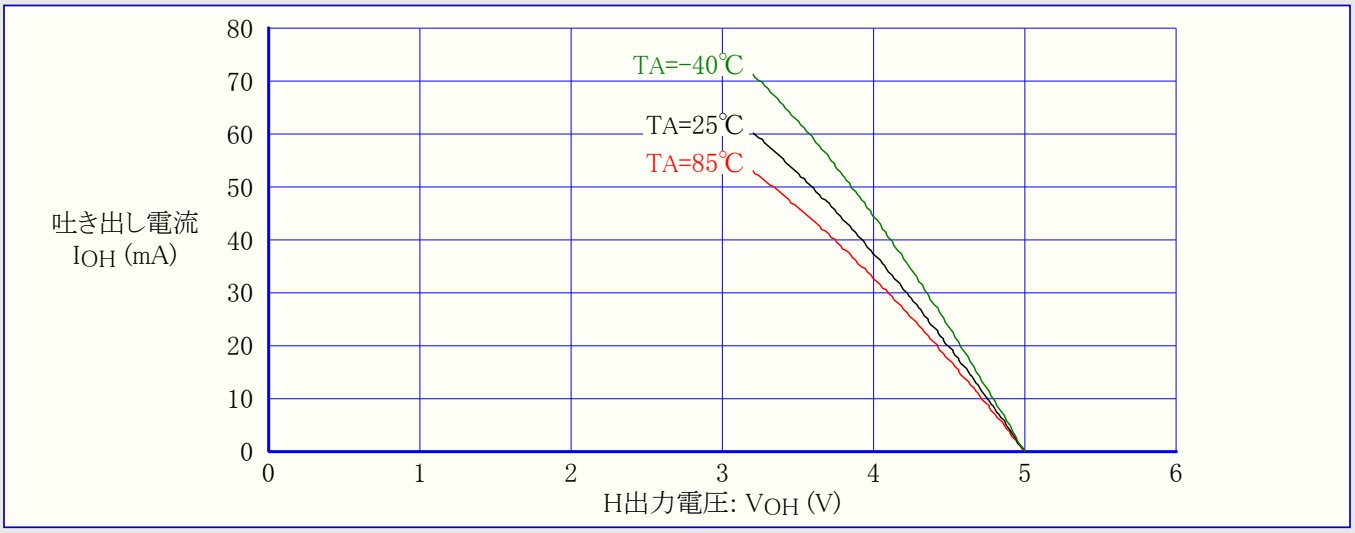


図163. I/Oピン(ポートB) 吐き出し電流 対 出力電圧 (VCC=2.7V)

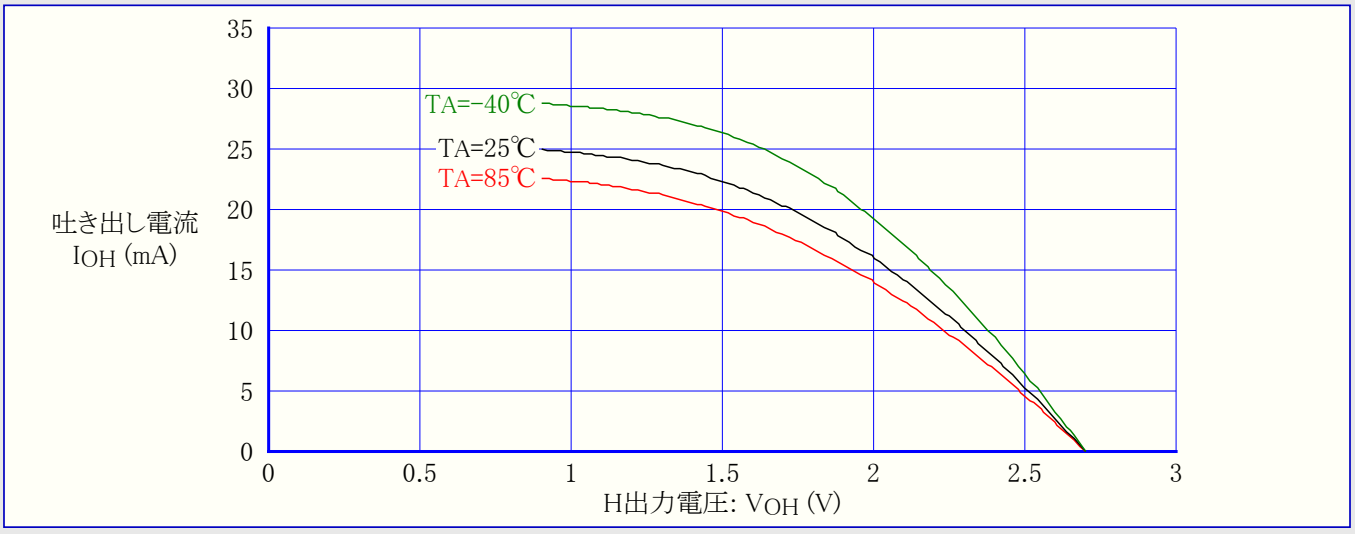


図164. I/Oピン(ポートB) 吐き出し電流 対 出力電圧 (VCC=1.8V)

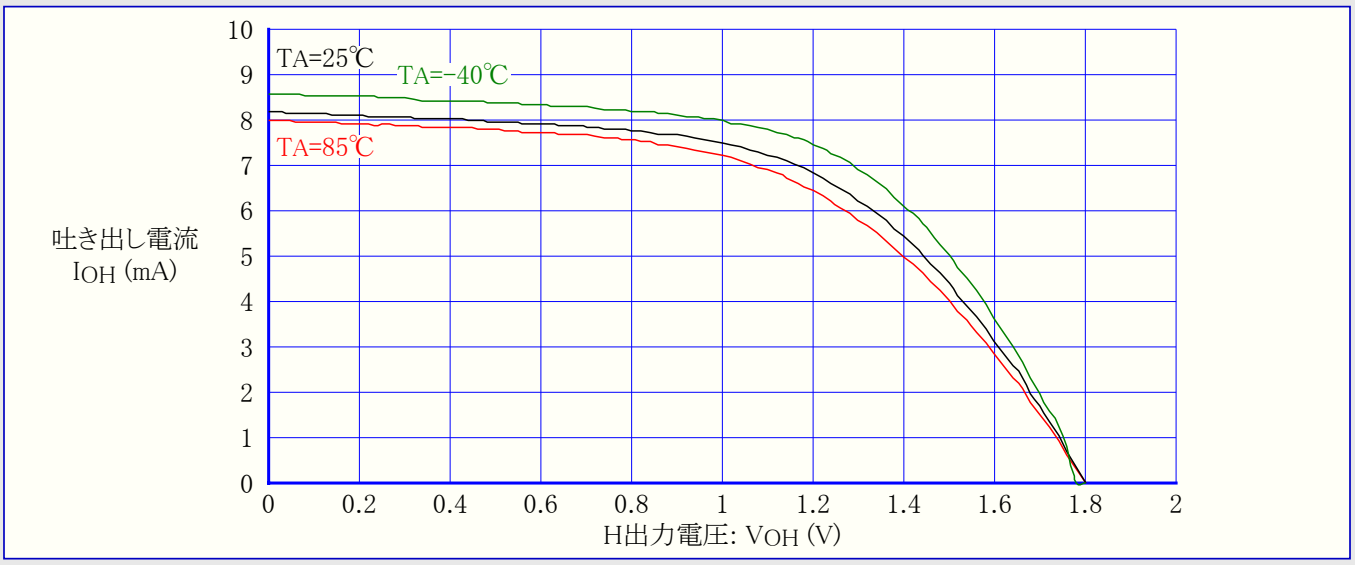


図165. I/Oピン(ポートA,C,D,E,F,G) 吸い込み電流 対 出力電圧 (VCC=5V)

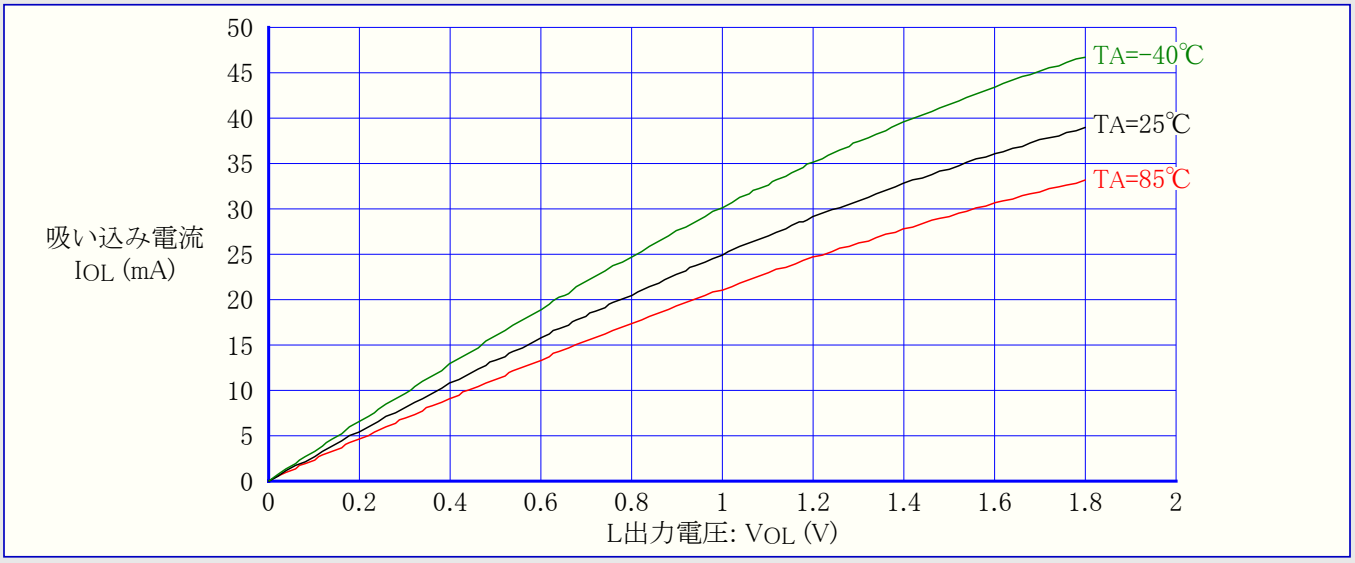


図166. I/Oピン(ポートA,C,D,E,F,G) 吸い込み電流 対 出力電圧 (VCC=2.7V)

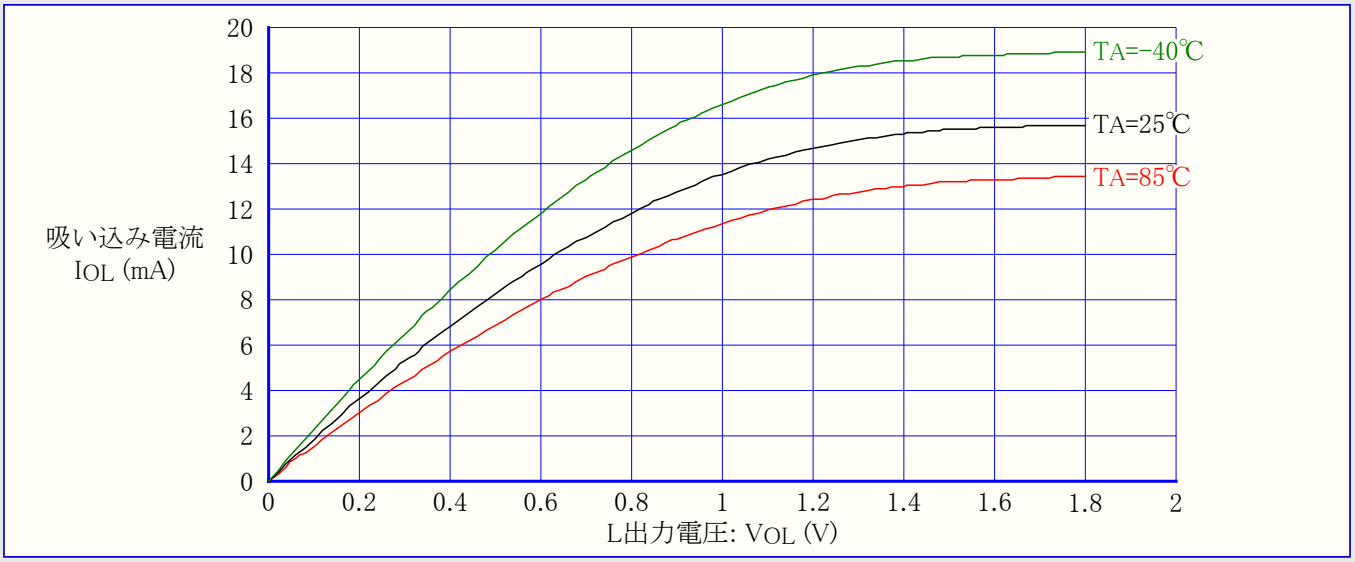


図167. I/Oピン(ポートA,C,D,E,F,G) 吸い込み電流 対 出力電圧 (VCC=1.8V)

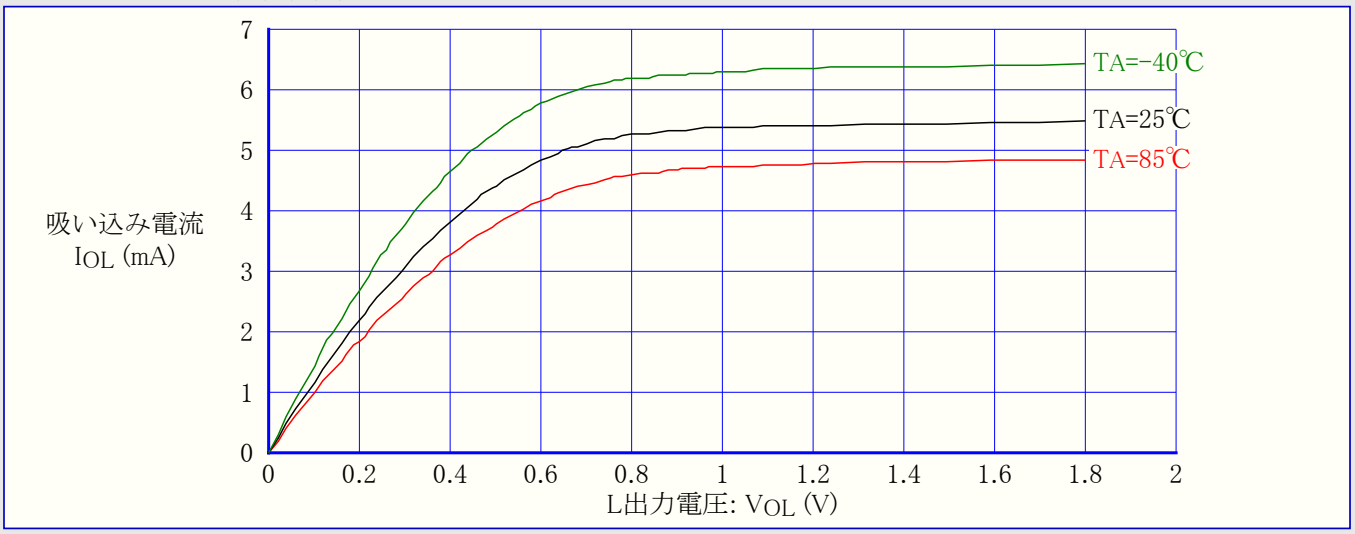


図168. I/Oピン(ポートB) 吸い込み電流 対 出力電圧 (VCC=5V)

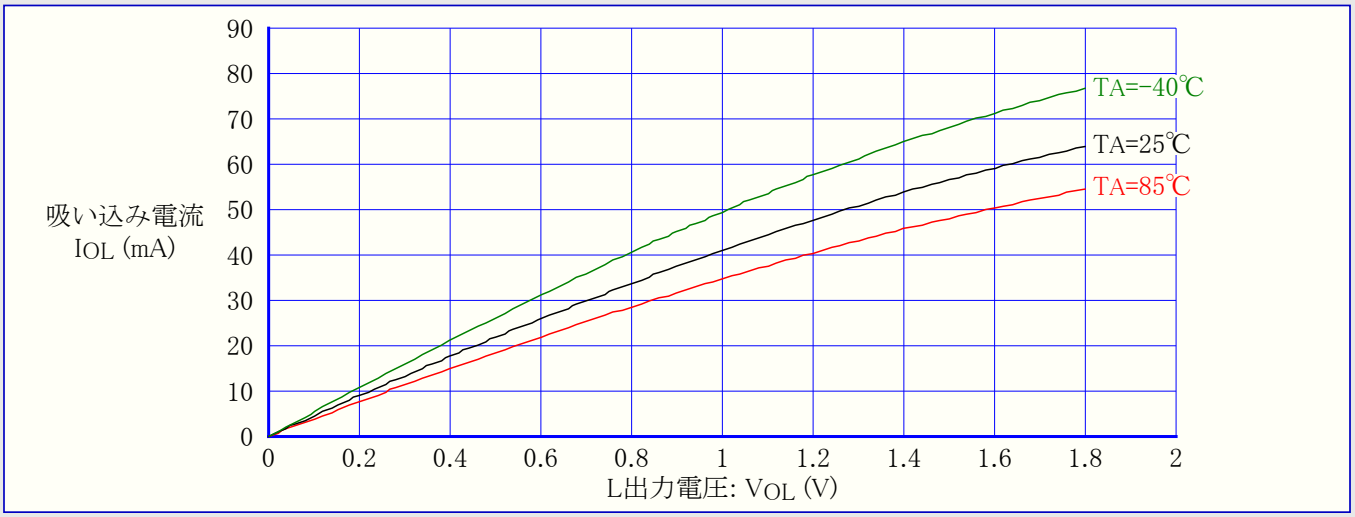


図169. I/Oピン(ポートB) 吸い込み電流 対 出力電圧 (VCC=2.7V)

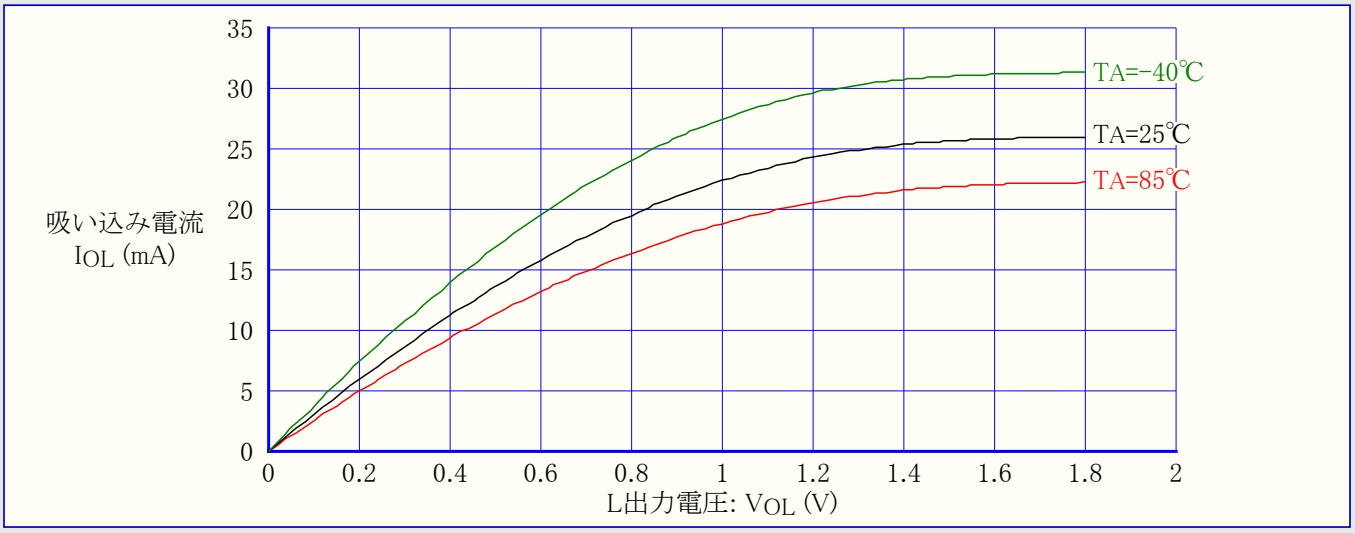
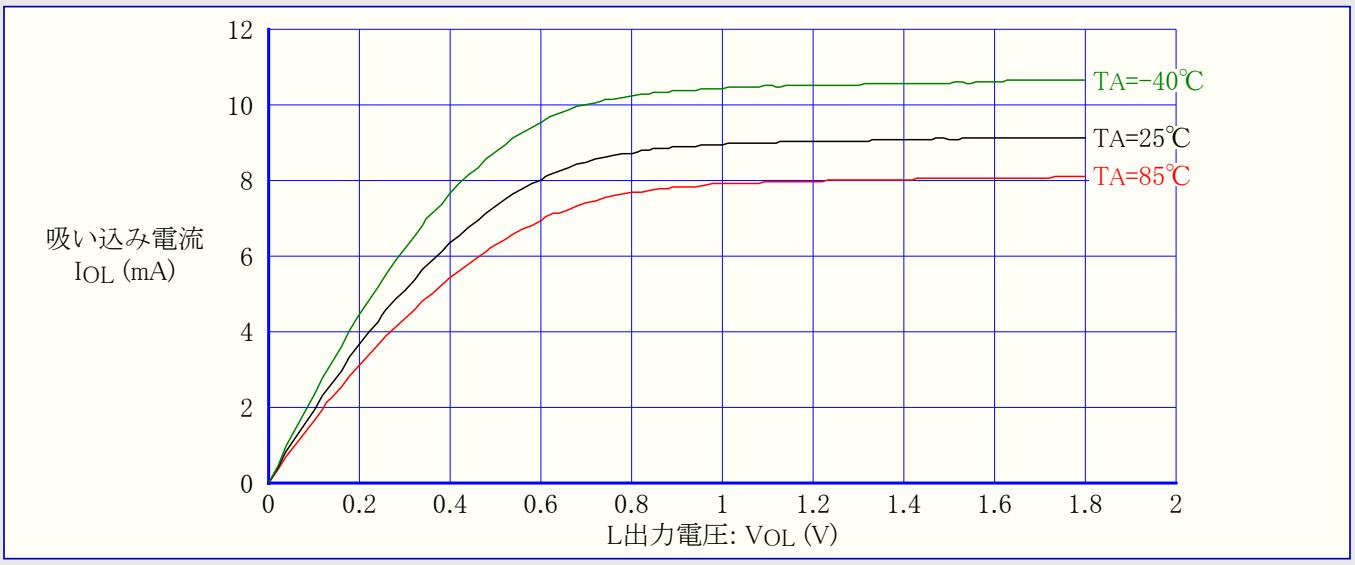


図170. I/Oピン(ポートB) 吸い込み電流 対 出力電圧 (VCC=1.8V)



ピン 閾値とヒステリシス

図171. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)

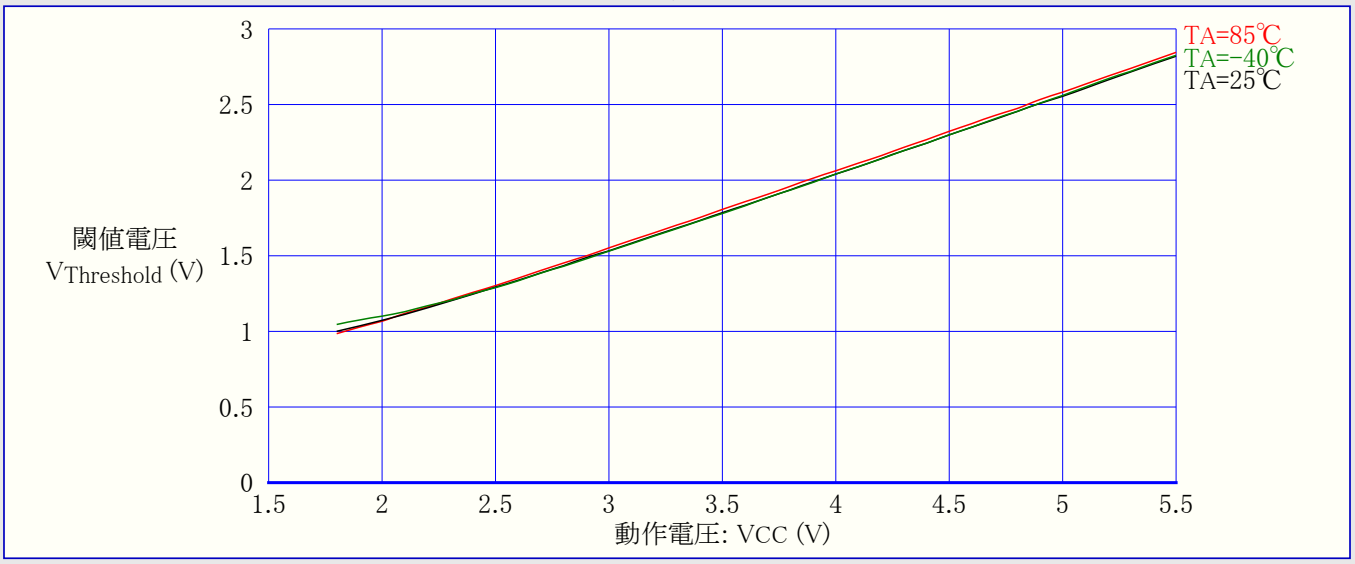


図172. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)

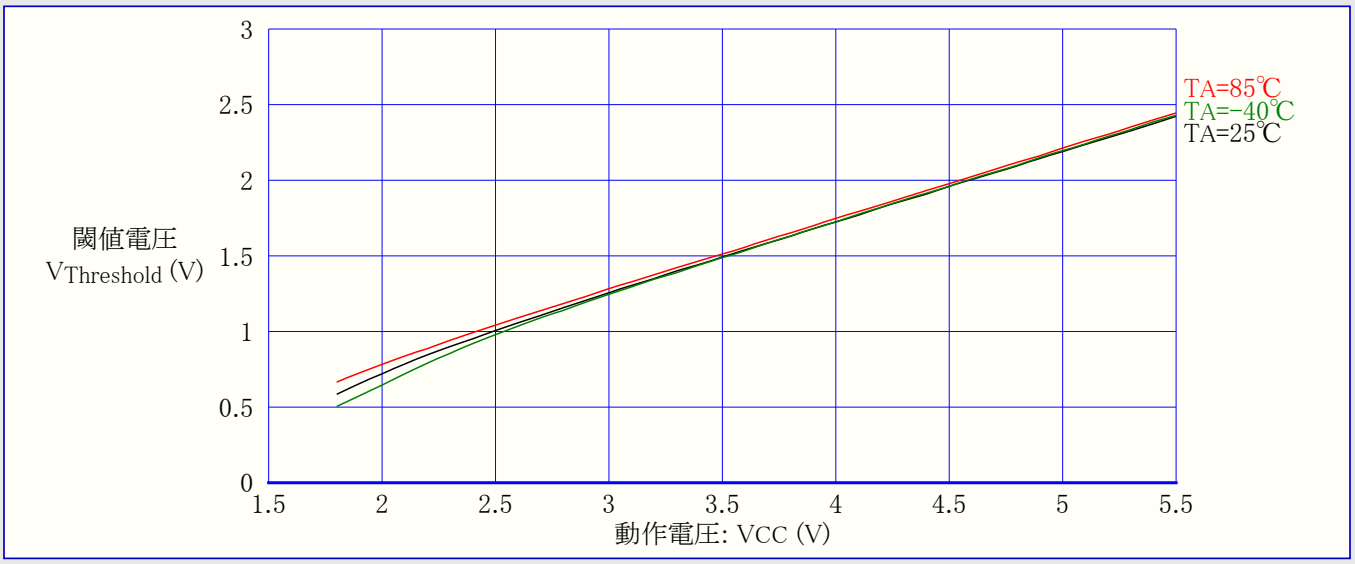


図173. I/Oﾋﾟﾝ入力ﾋｽﾃﾘｼｽ電圧 対 動作電圧

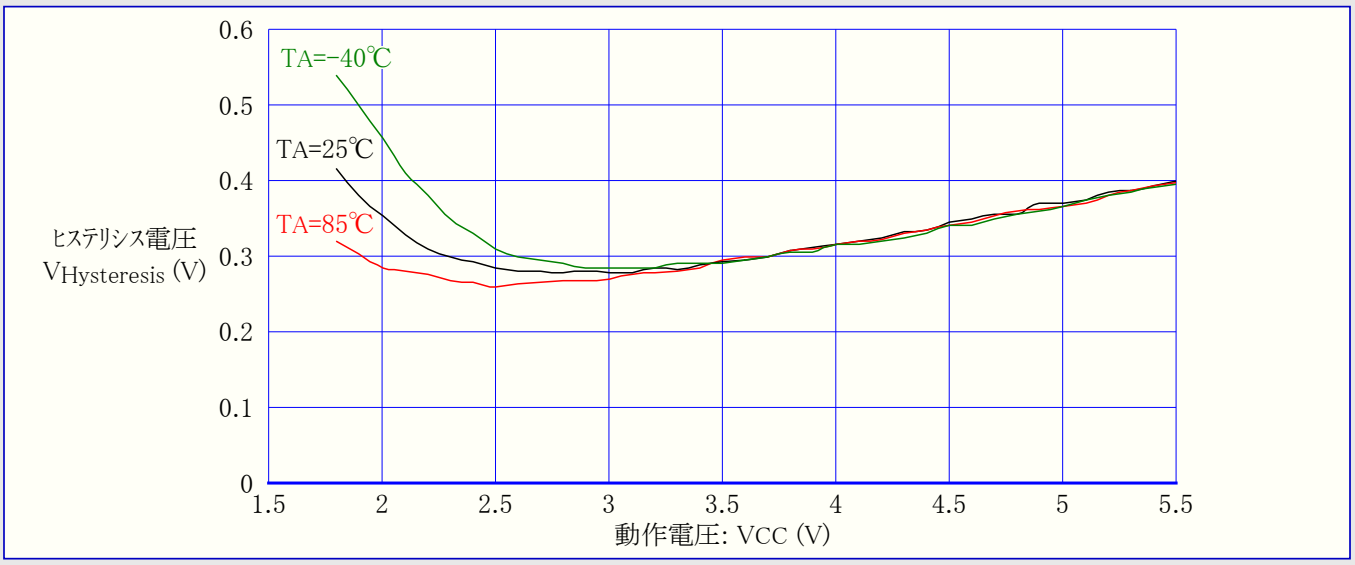


図174. RESET入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIH,1読み値)

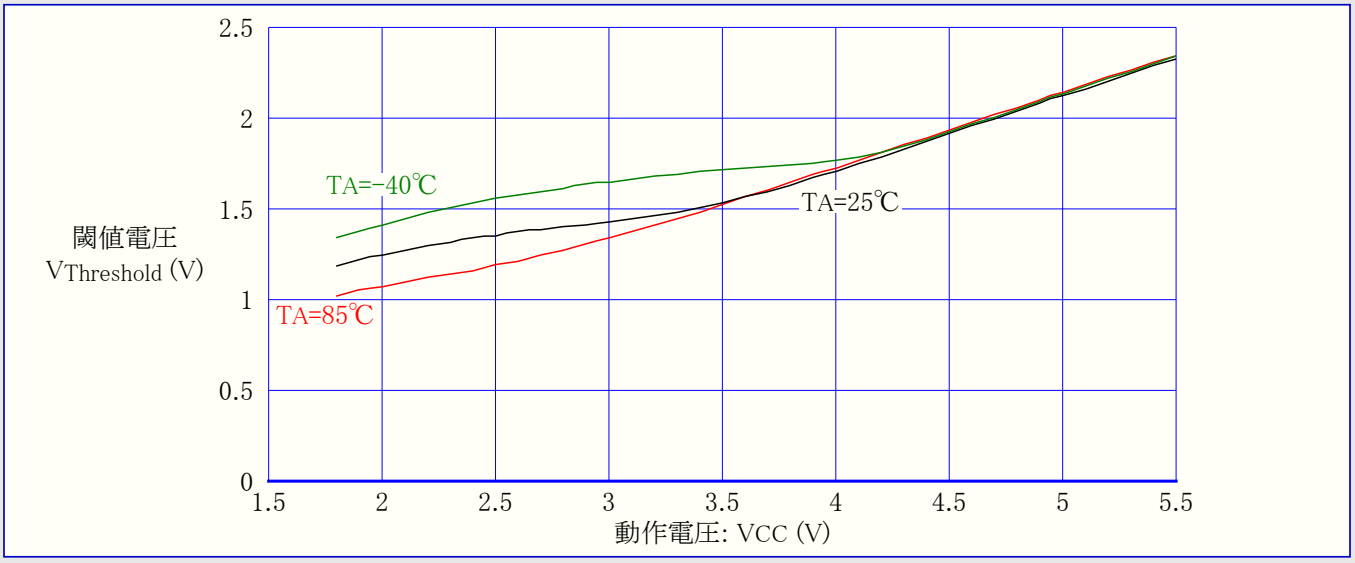


図175. RESET入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIL,0読み値)

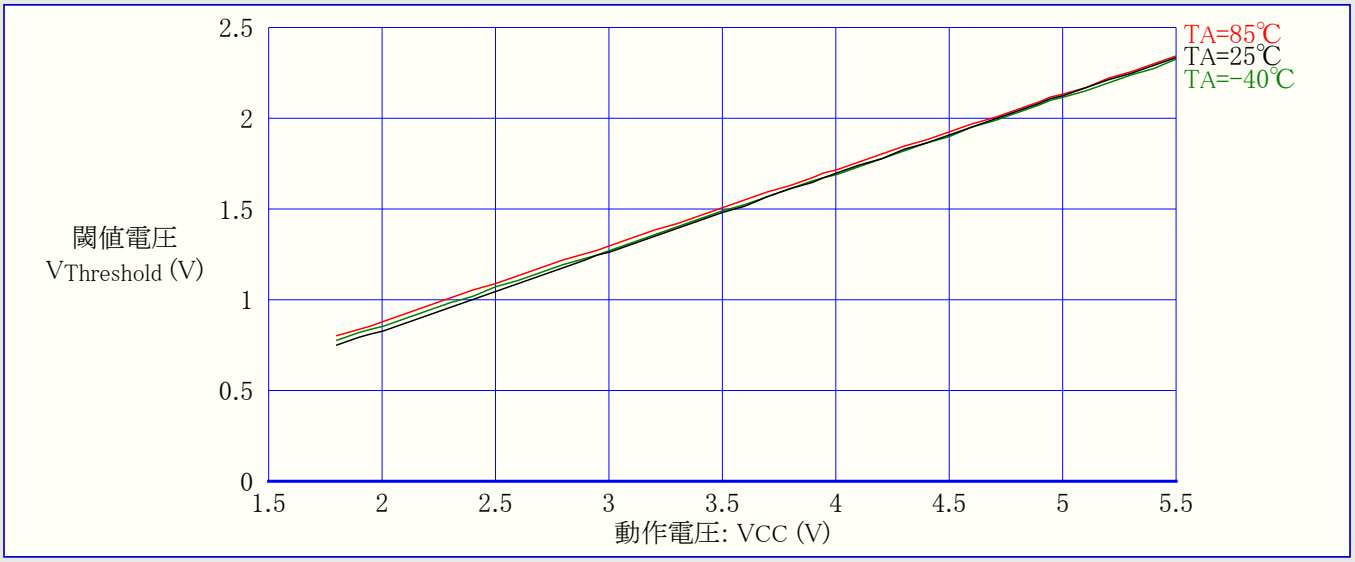
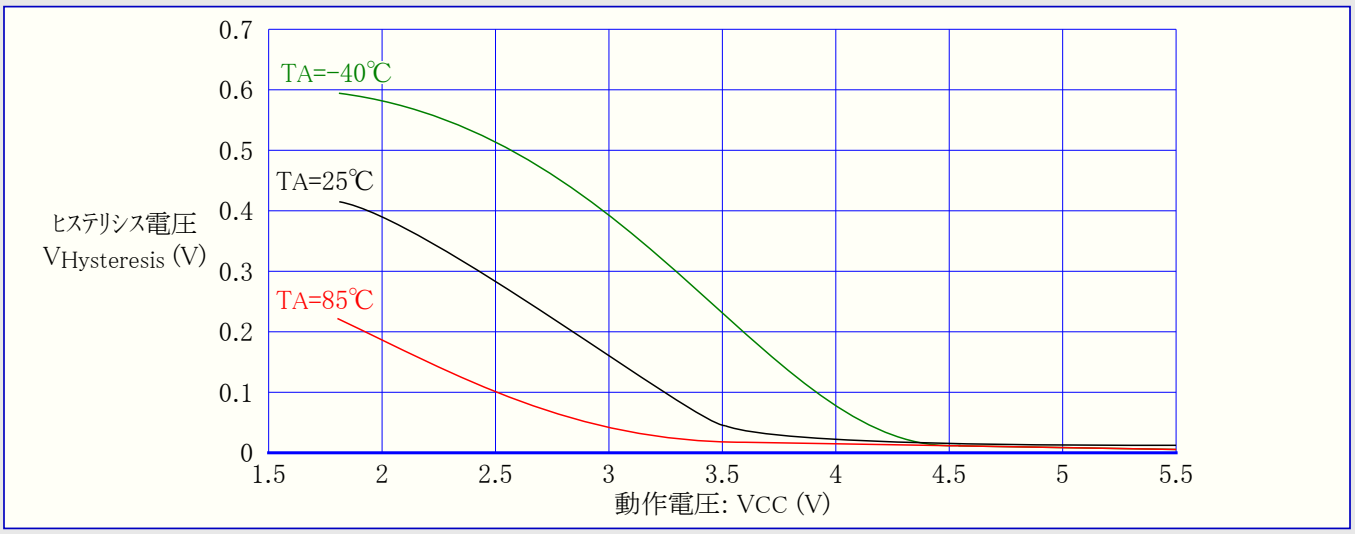


図176. RESET入力ﾋｽﾃﾘｼｽ電圧 対 動作電圧



低電圧検出器(BOD)閾値とｱﾅﾛｸﾞ比較器変位(ｵﾌｾｯﾄ)

図177. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧4.3V)

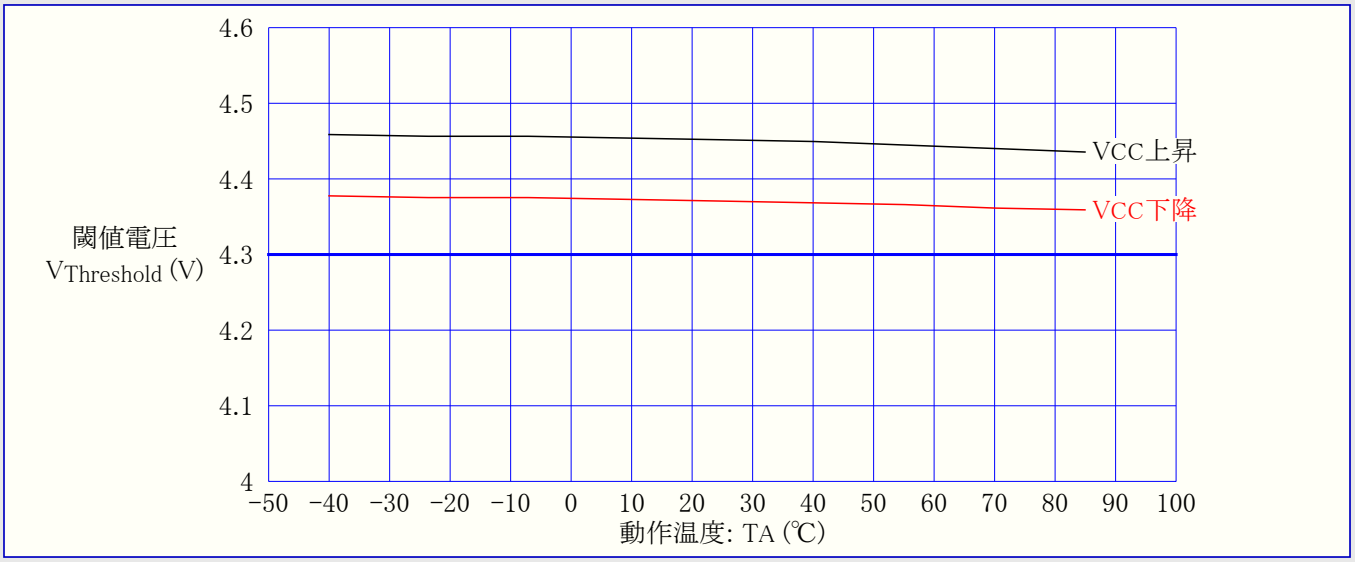


図178. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧2.7V)

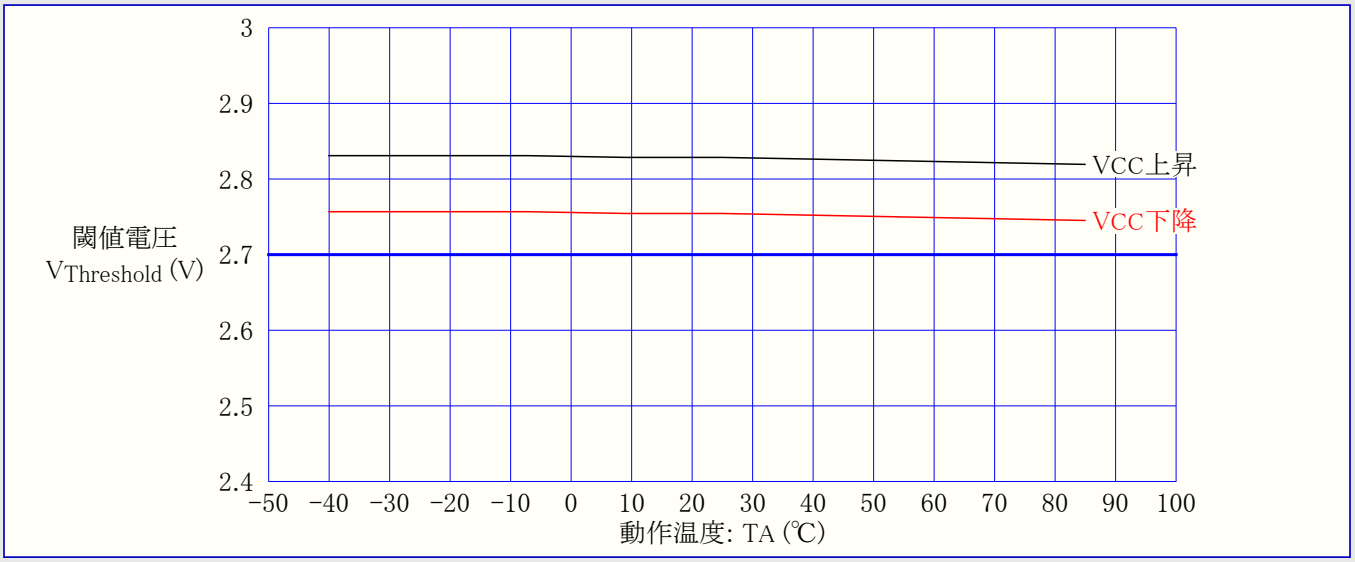


図179. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧1.8V)

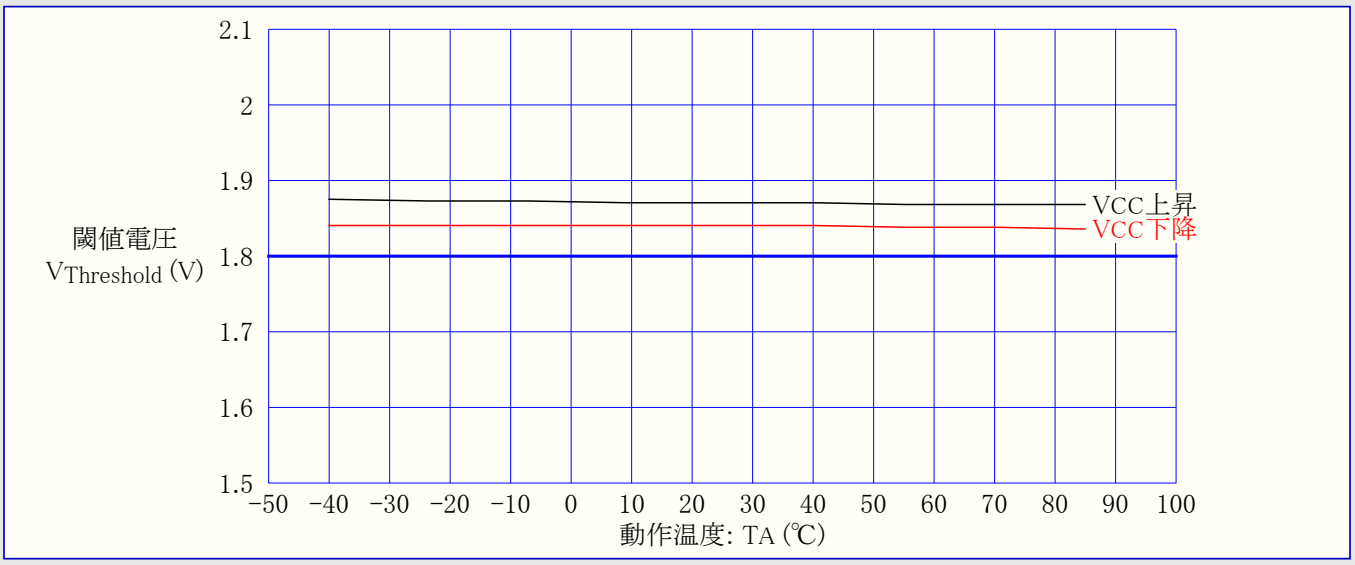


図180. 内部基準(ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ)電圧 対 動作電圧

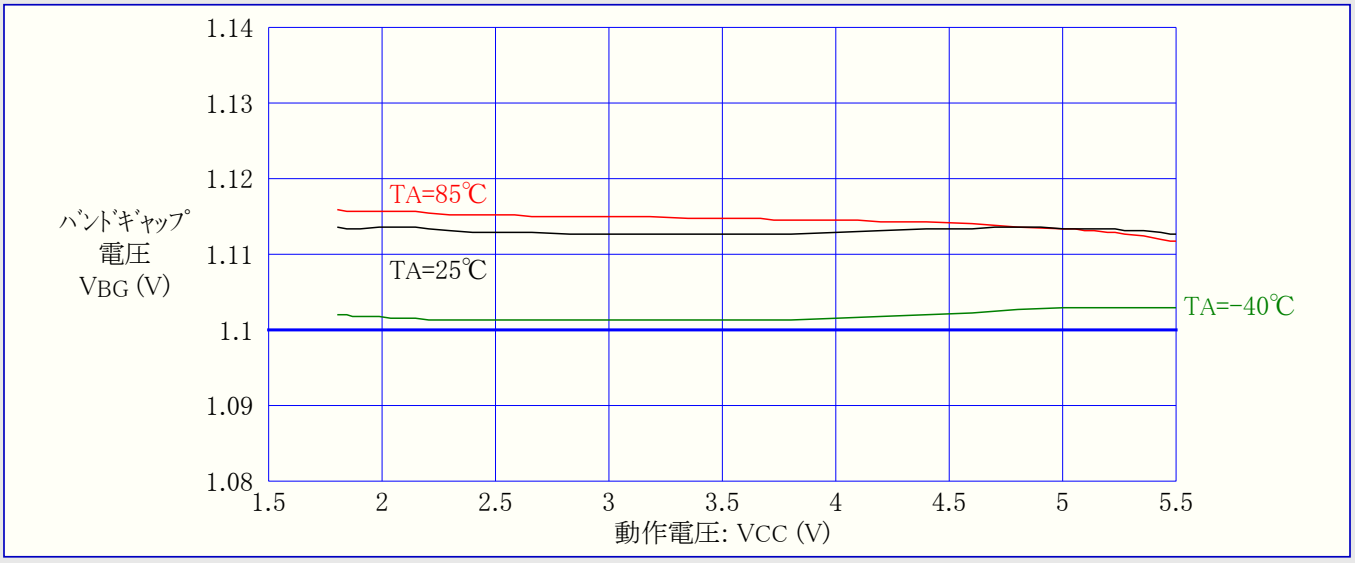


図181. ｱﾅﾛｸﾞ比較器変位(ｵﾌｾｯﾄ)電圧 対 同相入力電圧 (VCC=5V)

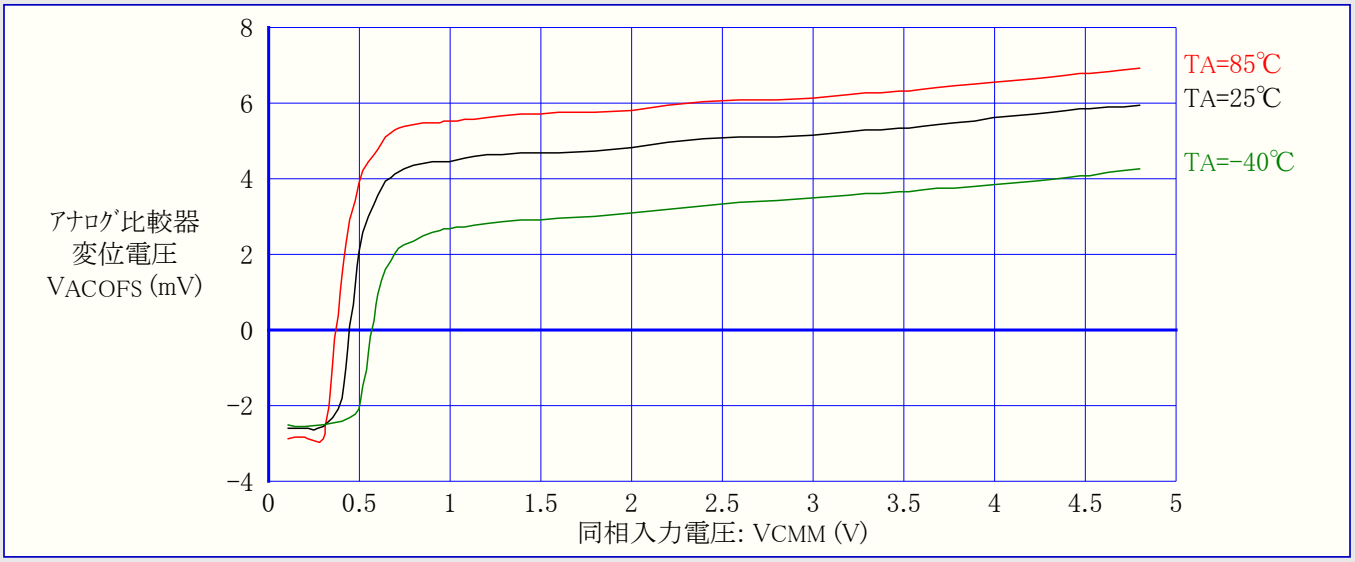
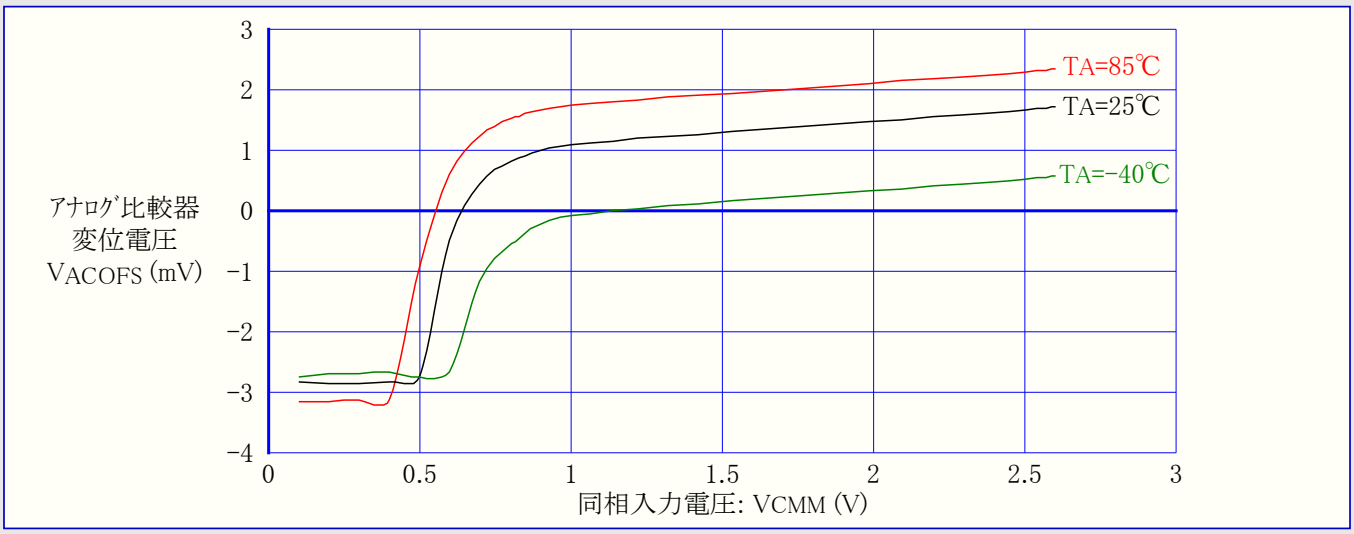


図182. ｱﾅﾛｸﾞ比較器変位(ｵﾌｾｯﾄ)電圧 対 同相入力電圧 (VCC=2.7V)



内部発振器周波数

図183. ｳｫｯﾁﾄﾞｯｸﾞ発振器周波数 対 動作電圧

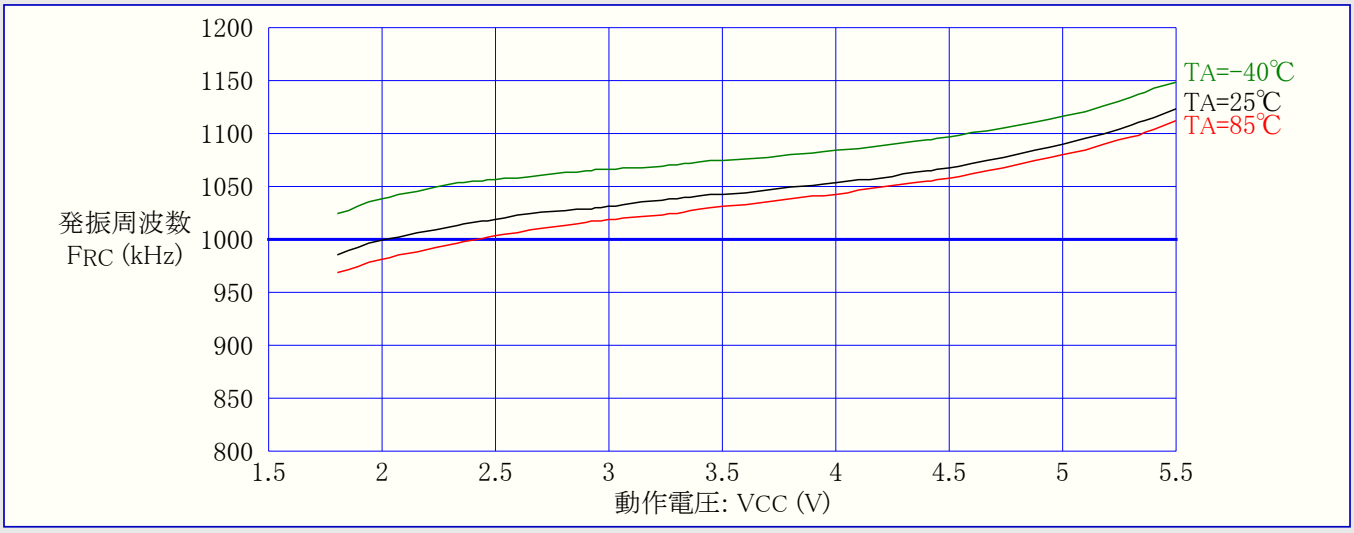


図184. 校正済み8MHz内蔵RC発振器周波数 対 動作温度

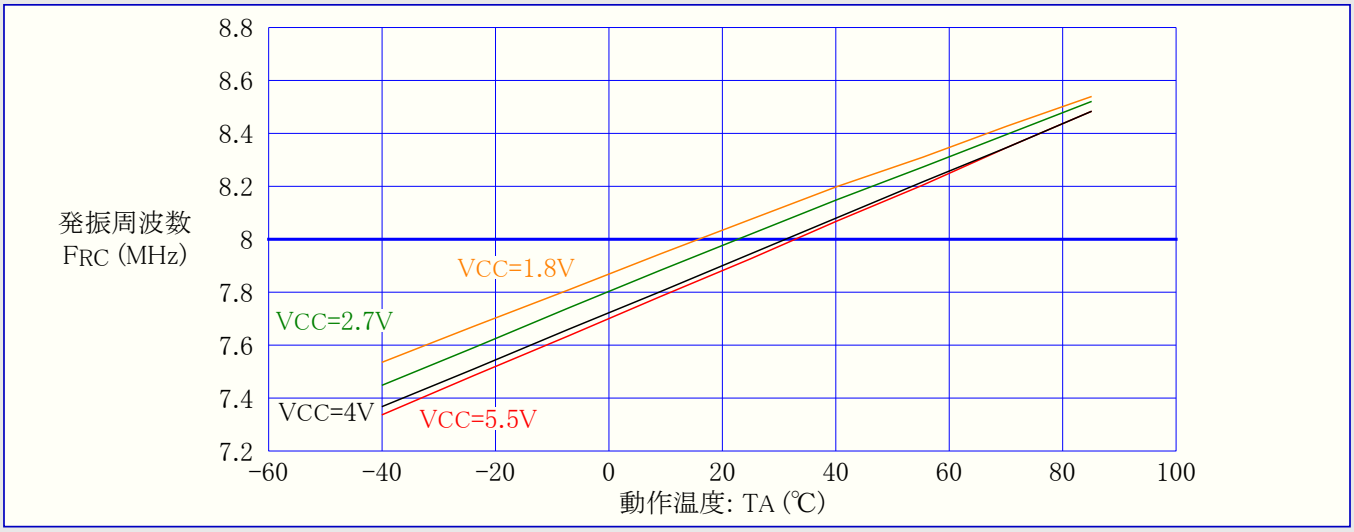


図185. 校正済み8MHz内蔵RC発振器周波数 対 動作電圧

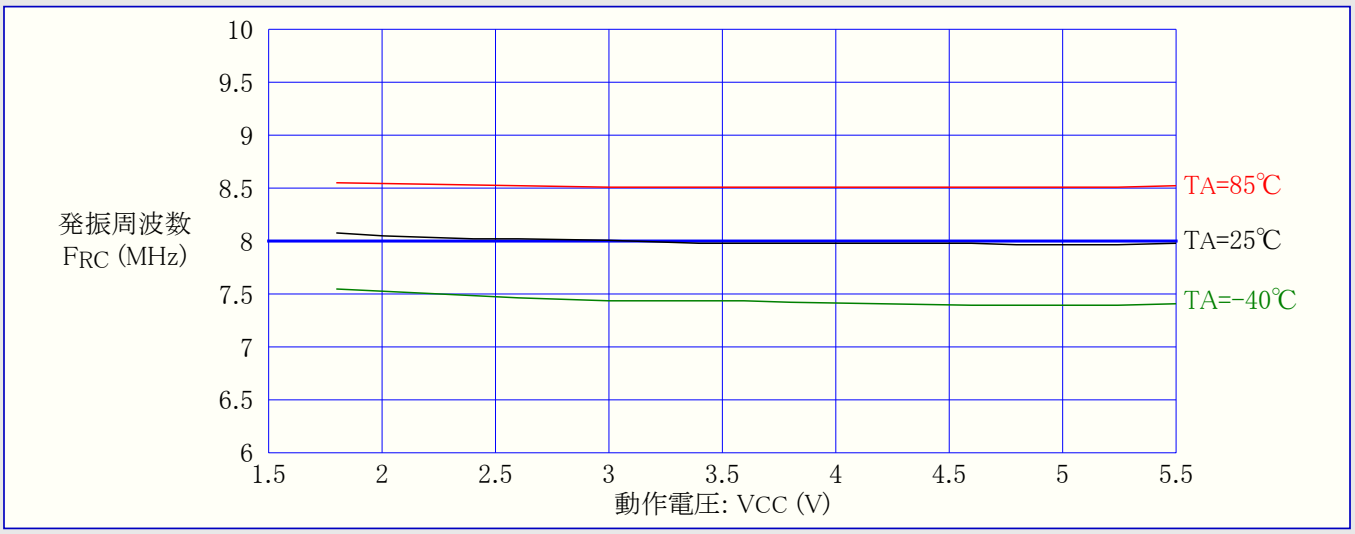
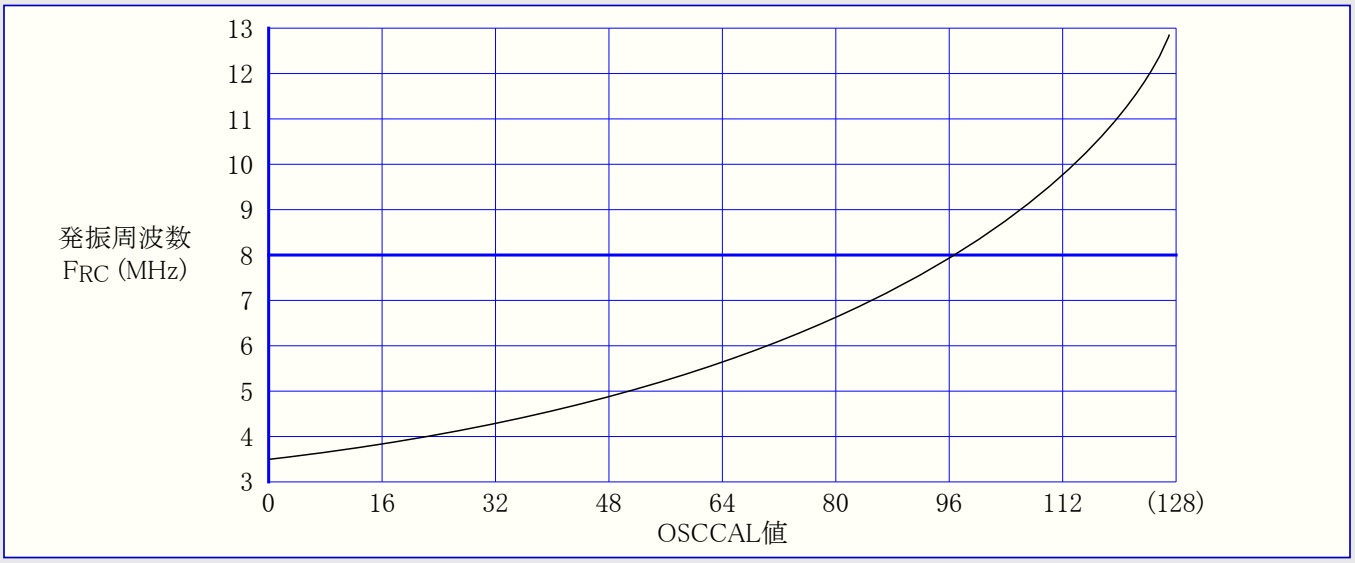


図186. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値



周辺機能部消費電流

図187. 低電圧検出器(BOD)消費電流 対 動作電圧

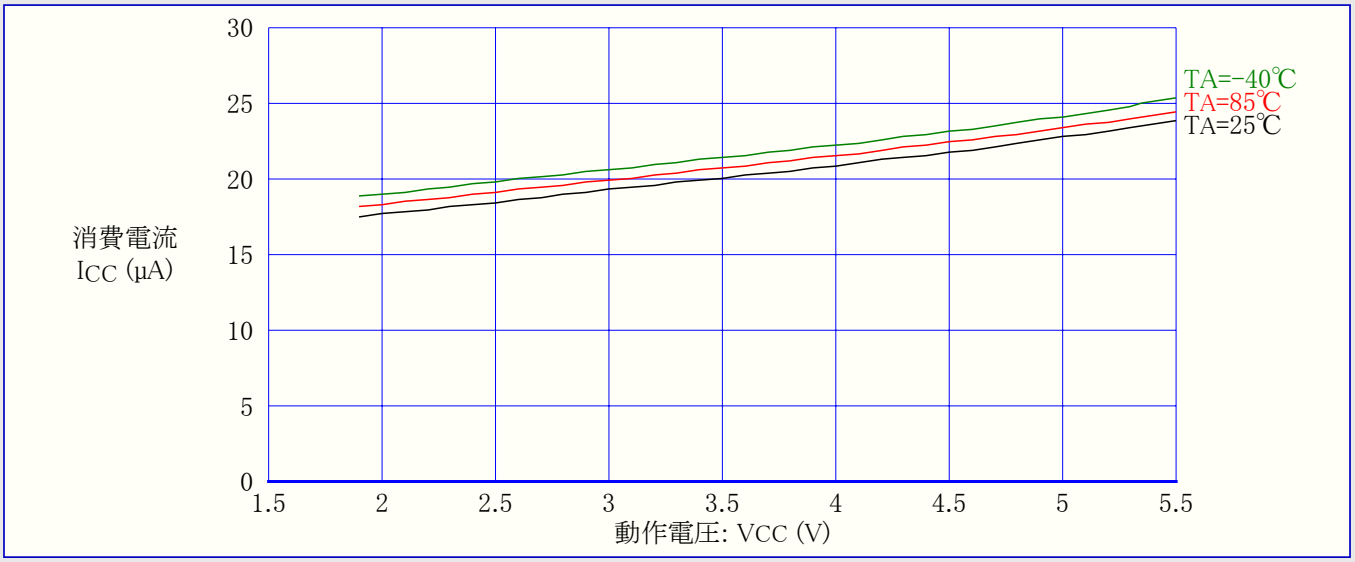


図188. A/D変換器消費電流 対 動作電圧 (AREF=AVCC)

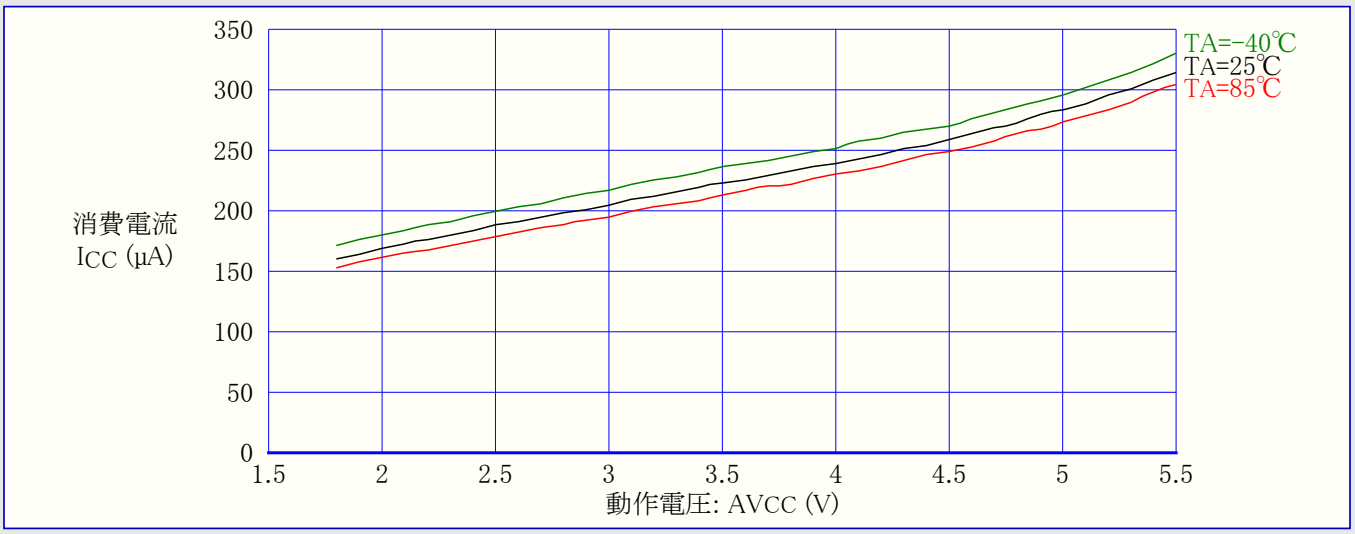


図189. 外部基準電圧(AREF)電流 対 動作電圧

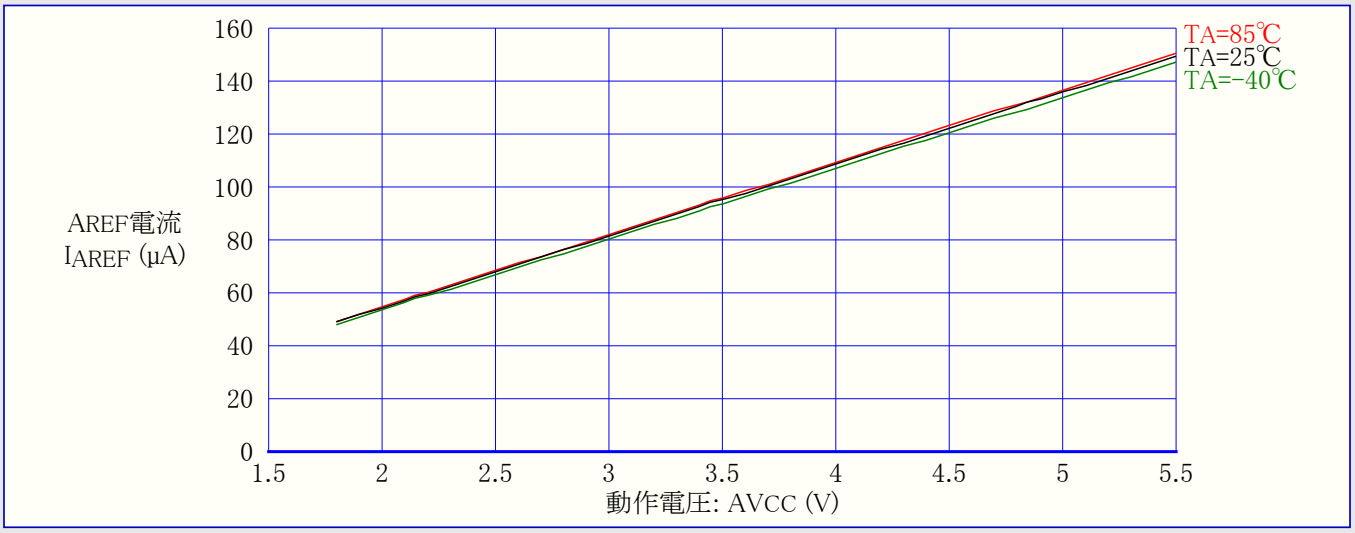
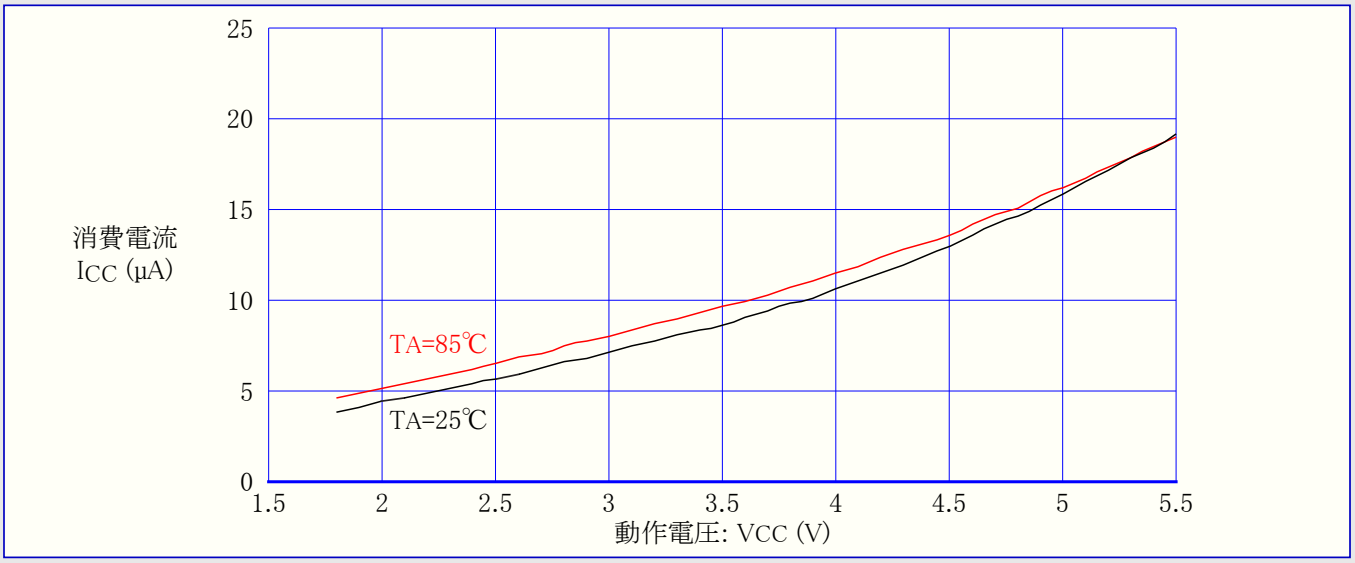


図190. 32kHz発振器(TOSC)消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ禁止)



ｳｫｯﾁﾄﾞｯｸﾞ禁止でのﾊﾟﾜｰｾｰﾌﾞ動作と32kHz TOSC間の消費電流差はﾀｲﾏ/ｶｳﾝﾀ2の吸い込み電流を示します。

図191. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ消費電流 対 動作電圧

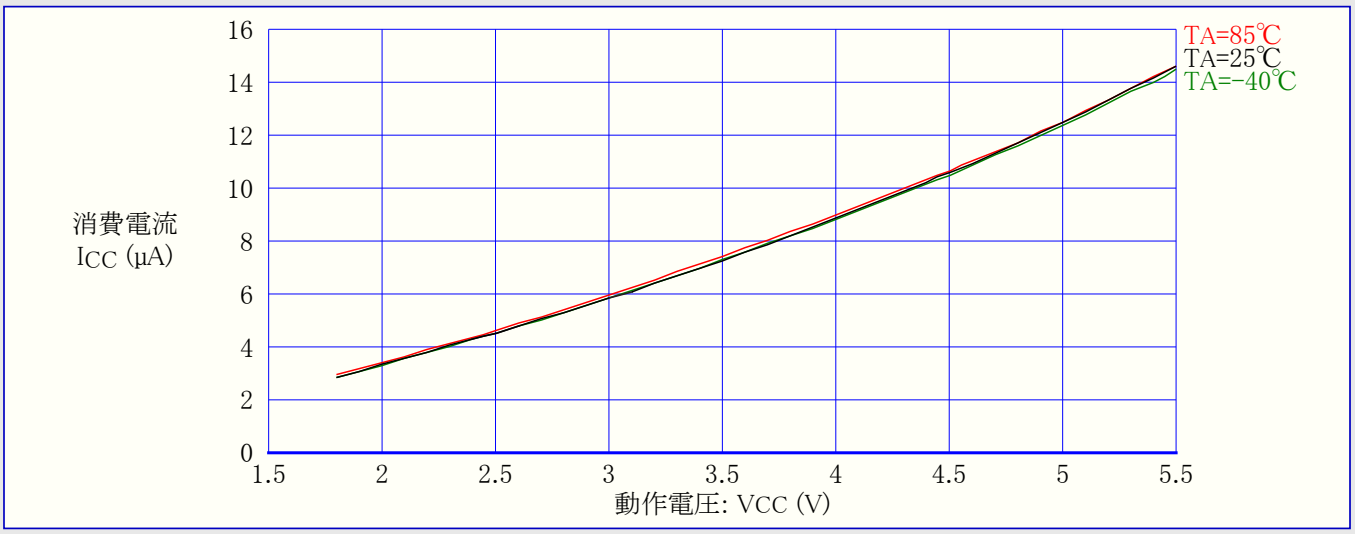


図192. ｱﾅﾛｸﾞ比較器消費電流 対 動作電圧

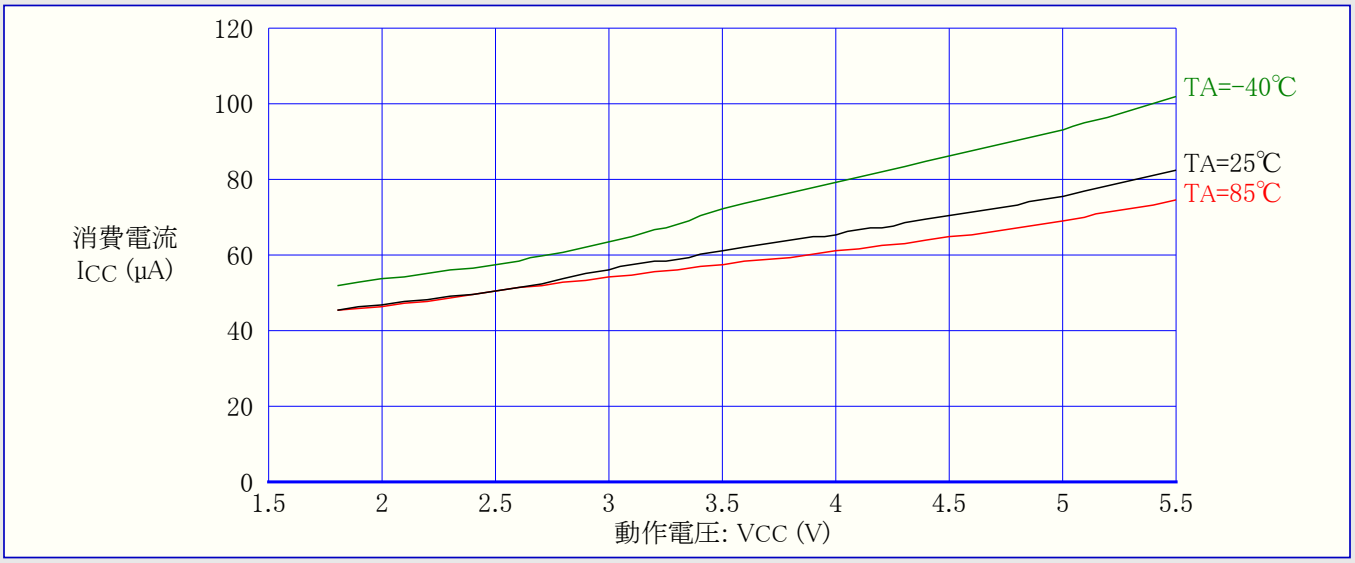
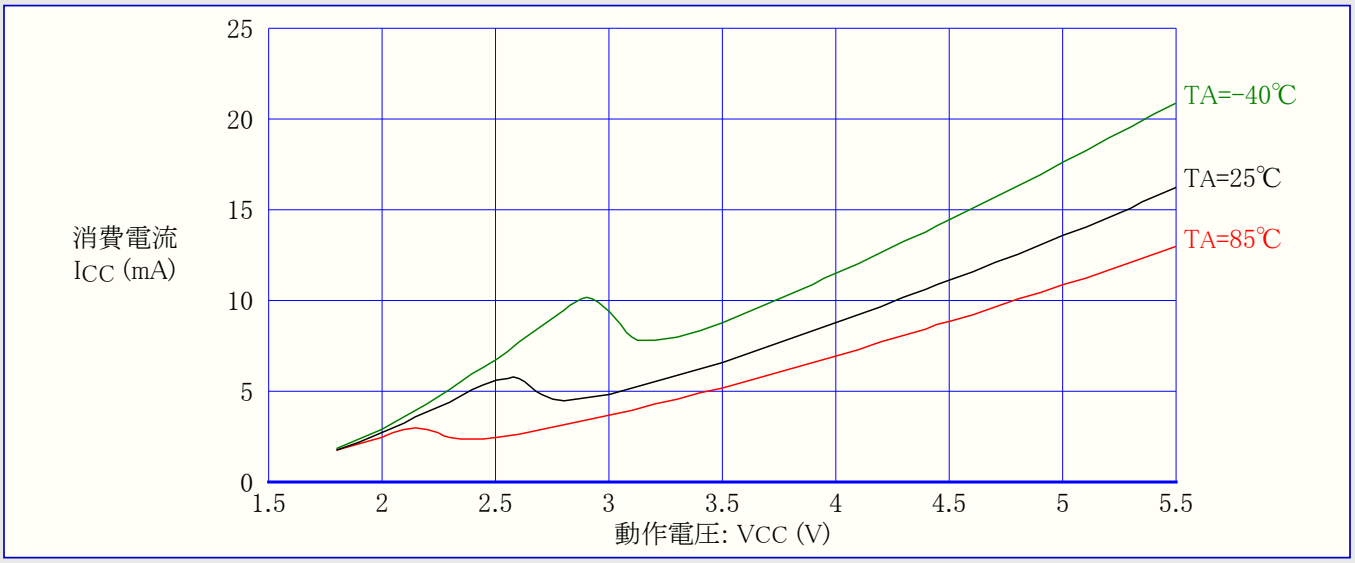


図193. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ電流 対 動作電圧



リセット消費電流とリセット パルス幅

図194. リセット消費(供給)電流 対 周波数 (100kHz～1MHz、RESETプルアップ電流を除く)

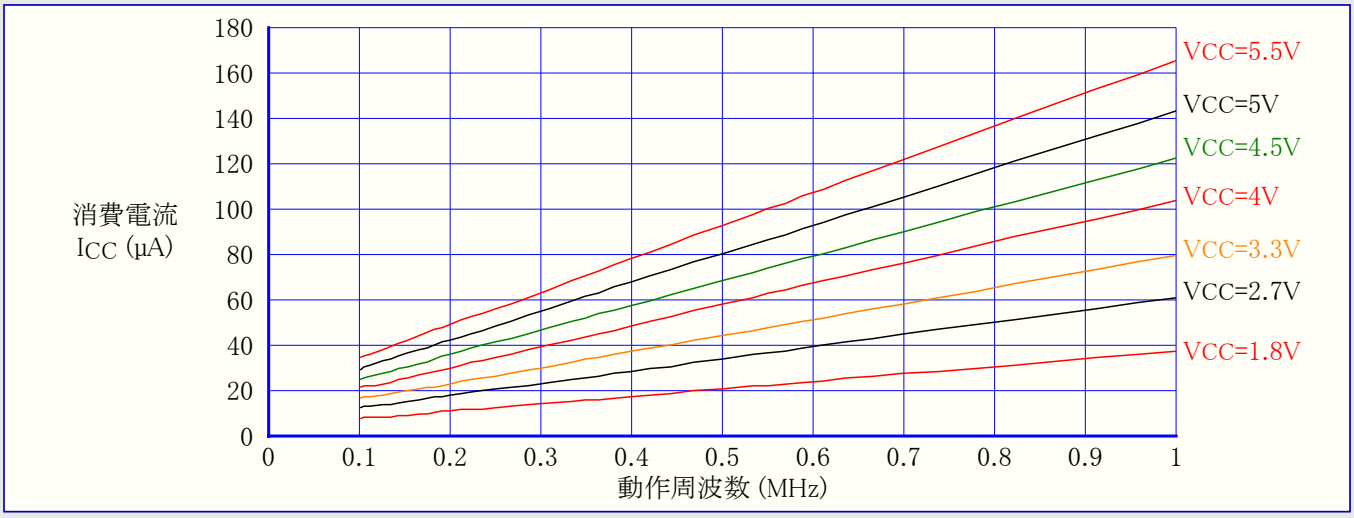


図195. リセット消費(供給)電流 対 周波数 (1MHz～20MHz、RESETプルアップ電流を除く)

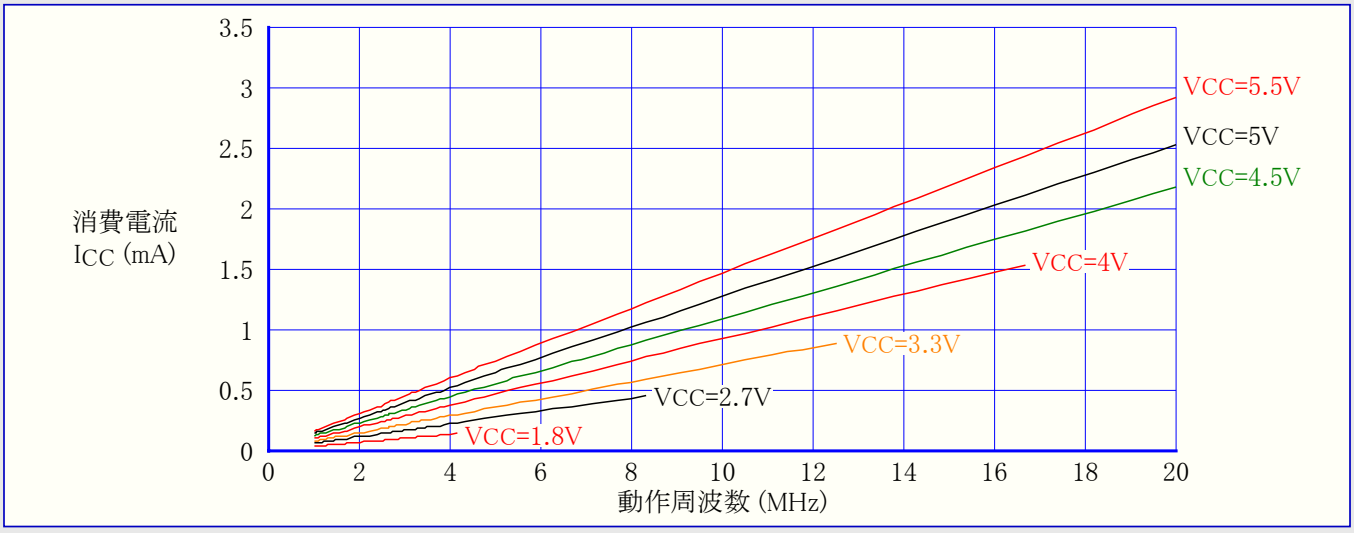
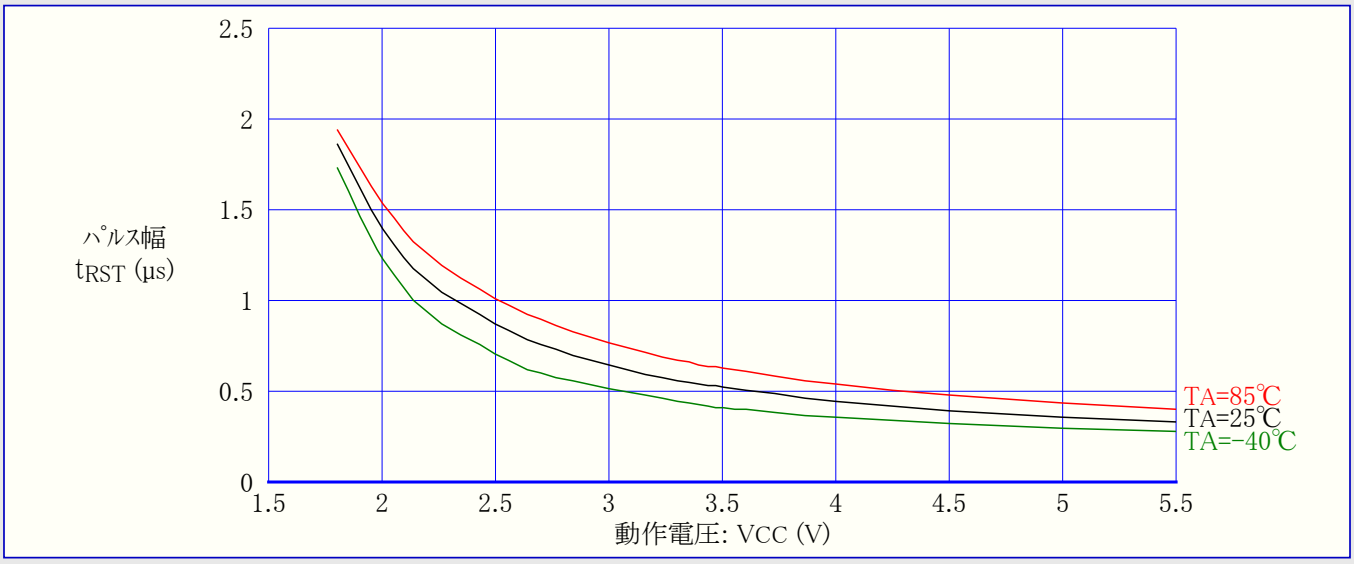


図196. リセット パルス幅 対 動作電圧



レジスタ要約

拡張I/Oレジスタ領域 (1/2)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(～$FF)	予約									
($C7)	予約									
($C6)	UDR	USART データ レジスタ								115
($C5)	UBRRH	–	–	–	–	USART ボーレート レジスタ上位 (UBRR11～8)				117
($C4)	UBRRL	USART ボーレート レジスタ下位 (UBRR7～0)								
($C3)	予約									
($C2)	UCSRC	–	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	116
($C1)	UCSRB	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	116
($C0)	UCSRA	RXC	TXC	UDRE	FE	DOR	UPE	U2X0	MPCM	115
($BF)	予約									
($BE)	予約									
($BD)	予約									
($BC)	予約									
($BB)	予約									
($BA)	USIDR	USI データ レジスタ								125
($B9)	USISR	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	125
($B8)	USICR	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	126
($B7)	予約									
($B6)	ASSR	–	–	–	EXCLK	AS2	TCN2UB	OCR2UB	TCR2UB	95
($B5)	予約									
($B4)	予約									
($B3)	OCR2A	タイマ/カウンタ2 比較Aレジスタ								93
($B2)	TCNT2	タイマ/カウンタ2								93
($B1)	予約									
($B0)	TCCR2A	FOC2A	WGM20	COM2A1	COM2A0	WGM21	CS22	CS21	CS20	92
($AF)	予約									
($AE)	予約									
($AD)	予約									
($AC)	予約									
($AB)	予約									
($AA)	予約									
($A9)	予約									
($A8)	予約									
($A7)	予約									
($A6)	予約									
($A5)	予約									
($A4)	予約									
($A3)	予約									
($A2)	予約									
($A1)	予約									
($A0)	予約									
($9F)	予約									
($9E)	予約									
($9D)	予約									
($9C)	予約									
($9B)	予約									
($9A)	予約									
($99)	予約									
($98)	予約									
($97)	予約									
($96)	予約									
($95)	予約									
($94)	予約									
($93)	予約									
($92)	予約									
($91)	予約									
($90)	予約									

拡張I/Oレジスタ領域 (2/2)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
($8F)	予約									
($8E)	予約									
($8D)	予約									
($8C)	予約									
($8B)	OCR1BH	タイマ/カウンタ1 比較Bレジスタ 上位バイト								82
($8A)	OCR1BL	タイマ/カウンタ1 比較Bレジスタ 下位バイト								
($89)	OCR1AH	タイマ/カウンタ1 比較Aレジスタ 上位バイト								82
($88)	OCR1AL	タイマ/カウンタ1 比較Aレジスタ 下位バイト								
($87)	ICR1H	タイマ/カウンタ1 捕獲レジスタ 上位バイト								82
($86)	ICR1L	タイマ/カウンタ1 捕獲レジスタ 下位バイト								
($85)	TCNT1H	タイマ/カウンタ1 上位バイト								81
($84)	TCNT1L	タイマ/カウンタ1 下位バイト								
($83)	予約									
($82)	TCCR1C	FOC1A	FOC1B	–	–	–	–	–	–	81
($81)	TCCR1B	ICNC1	ICES1	–	WGM13	WGM12	CS12	CS11	CS10	80
($80)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	–	–	WGM11	WGM10	79
($7F)	DIDR1	–	–	–	–	–	–	AIN1D	AIN0D	129
($7E)	DIDR0	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	139
($7D)	予約									
($7C)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	137
($7B)	ADCSRB	–	ACME	–	–	–	ADTS2	ADTS1	ADTS0	129,138
($7A)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	138
($79)	ADCH	A/Dデータ レジスタ上位バイト (ADC9～8またはADC9～2)								139
($78)	ADCL	A/Dデータ レジスタ下位バイト (ADC7～0またはADC1～0)								
($77)	予約									
($76)	予約									
($75)	予約									
($74)	予約									
($73)	予約									
($72)	予約									
($71)	予約									
($70)	TIMSK2	–	–	–	–	–	–	OCIE2A	TOIE2	94
($6F)	TIMSK1	–	–	ICIE1	–	–	OCIE1B	OCIE1A	TOIE1	83
($6E)	TIMSK0	–	–	–	–	–	–	OCIE0A	TOIE0	62
($6D)	予約									
($6C)	PCMSK1	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8	36
($6B)	PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	36
($6A)	予約									
($69)	EICRA	–	–	–	–	–	–	ISC01	ISC00	34
($68)	予約									
($67)	予約									
($66)	OSCCAL	–	内蔵RC発振器 発振校正値レジスタ							18
($65)	予約									
($64)	PRR	–	–	–	–	PRTIM1	PRSPI	PRUSART0	PRADC	23
($63)	予約									
($62)	予約									
($61)	CLKPR	CLKPCE	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	20
($60)	WDTCR	–	–	–	WDCE	WDE	WDP2	WDP1	WDP0	28

注意:
- 将来のデバイスとの共通性のため、アクセスされる場合の予約ビットは0を書かれるべきです。予約したI/Oメモリ アドレスは決して書かれるべきではありません。
- アドレス範囲$00～$1F内のI/OレジスタはSBIとCBI命令を使う直接ビット アクセスが可能です。これらのレジスタではSBISとSBIC命令を使うことによって単一ビット値が検査できます。
- いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけ操作し、故にこのような状態フラグを含むレジスタで使えます。CBIとSBI命令は$00～$1Fのレジスタだけで動作します。
- I/O指定命令INとOUTを使う時はI/Oアドレス$00～$3Fが使われなければなりません。LDとST命令を使ってデータ空間としてI/Oレジスタをアドレス指定する時はこれらのアドレスに$20が加算されなければなりません。ATmega165はINとOUT命令で予約した64位置で支援できるよりも多くの周辺部(機能)の複合マイクロ コントローラです。SRAM(データ空間)内の拡張I/O空間はST/STS/STDとLD/LDS/LDD命令だけが使えます。

標準I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
$3F ($5F)	SREG	I	T	H	S	V	N	Z	C	7
$3E ($5E)	SPH	–	–	–	–	–	SP10	SP9	SP8	8
$3D ($5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
$3C ($5C)	予約									
$3B ($5B)	予約									
$3A ($5A)	予約									
$39 ($59)	予約									
$38 ($58)	予約									
$37 ($57)	SPMCSR	SPMIE	RWWSB	–	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	157
$36 ($56)	予約									
$35 ($55)	MCUCR	JTD	–	–	PUD	–	–	IVSEL	IVCE	146,41,33
$34 ($54)	MCUSR	–	–	–	JTRF	WDRF	BORF	EXTRF	PORF	146,27
$33 ($53)	SMCR	–	–	–	–	SM2	SM1	SM0	SE	21
$32 ($52)	予約									
$31 ($51)	OCDR	IDRD/ OCDR7	OCDR6	OCDR5	OCDR4	OCDR3	OCDR2	OCDR1	OCDR0	142
$30 ($50)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	128
$2F ($4F)	予約									
$2E ($4E)	SPDR	SPI データ レジスタ								101
$2D ($4D)	SPSR	SPIF	WCOL	–	–	–	–	–	SPI2X	101
$2C ($4C)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	100
$2B ($4B)	GPIOR2	汎用I/Oレジスタ2								15
$2A ($4A)	GPIOR1	汎用I/Oレジスタ1								15
$29 ($49)	予約									
$28 ($48)	予約									
$27 ($47)	OCR0A	タイマ/カウンタ0 比較Aレジスタ								61
$26 ($46)	TCNT0	タイマ/カウンタ0								61
$25 ($45)	予約									
$24 ($44)	TCCR0A	FOC0A	WGM00	COM0A1	COM0A0	WGM01	CS02	CS01	CS00	60
$23 ($43)	GTCCR	TSM	–	–	–	–	–	PSR2	PSR10	97,64
$22 ($42)	EEARH	–	–	–	–	–	–	–	EEAR8	12
$21 ($41)	EEARL	EEPROMアドレス レジスタ下位バイト (EEAR7～0)								
$20 ($40)	EEDR	EEPROMデータ レジスタ								12
$1F ($3F)	EECR	–	–	–	–	EERIE	EEMWE	EEWE	EERE	12
$1E ($3E)	GPIOR0	汎用I/Oレジスタ0								15
$1D ($3D)	EIMSK	PCIE1	PCIE0	–	–	–	–	–	INT0	35
$1C ($3C)	EIFR	PCIF1	PCIF0	–	–	–	–	–	INTF0	35
$1B ($3B)	予約									
$1A ($3A)	予約									
$19 ($39)	予約									
$18 ($38)	予約									
$17 ($37)	TIFR2	–	–	–	–	–	–	OCF2A	TOV2	94
$16 ($36)	TIFR1	–	–	ICF1	–	–	OCF1B	OCF1A	TOV1	83
$15 ($35)	TIFR0	–	–	–	–	–	–	OCF0A	TOV0	62
$14 ($34)	PORTG	–	–	–	PORTG4	PORTG3	PORTG2	PORTG1	PORTG0	48
$13 ($33)	DDRG	–	–	–	DDG4	DDG3	DDG2	DDG1	DDG0	48
$12 ($32)	PING	–	–	–	PING4	PING3	PING2	PING1	PING0	48
$11 ($31)	PORTF	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0	47
$10 ($30)	DDRF	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0	48
$0F ($2F)	PINF	PINF7	PINF6	PINF5	PINF4	PINF3	PINF2	PINF1	PINF0	48
$0E ($2E)	PORTE	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	47
$0D ($2D)	DDRE	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	47
$0C ($2C)	PINE	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	47
$0B ($2B)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	47
$0A ($2A)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	47
$09 ($29)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	47
$08 ($28)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	46
$07 ($27)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	46
$06 ($26)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	46
$05 ($25)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	46
$04 ($24)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	46
$03 ($23)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	46
$02 ($22)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	46
$01 ($21)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	46
$00 ($20)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	46

(訳注) 原書本位置の注意は前頁に移動しました。

命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
		算術、論理演算命令			
ADD	Rd,Rr	汎用レジスタ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	RdH:RdL ← RdH:RdL + K6	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd ← Rd − Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd ← Rd − K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	RdH:RdL ← RdH:RdL − K6	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd ← Rd − Rr − C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd ← Rd − K − C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF − Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 − Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	Rd ← Rd AND ($FF − K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(−1)	Rd ← Rd − 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	R1:R0 ← Rd×Rr (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	R1:R0 ← Rd×Rr (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1:R0 ← Rd×Rr (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×U)	I,T,H,S,V,N,Z,C	2
		分岐命令			
RJMP	k	相対無条件分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	3
CALL	k	絶対サブルーチン呼び出し	STACK ← PC, PC ← k	I,T,H,S,V,N,Z,C	4
RET		サブルーチンからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	PC ← STACK	1,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd − Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd − Rr − C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd − K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータス フラグが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータス フラグが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリー フラグが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリー フラグが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの<で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	−(マイナス)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリー フラグが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数　P : I/Oレジスタ　Rd, Rr : 汎用レジスタ(R0～R31)　X, Y, Z : X, Y, Zレジスタ
b : ビット(0～7)　k : アドレス定数(7,12,16ビット)　q : 符号なし6ビット定数(変位)　s : ステータス フラグ(C,Z,N,V,X,H,T,I)

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾃﾞｰﾀ移動命令					
MOV	Rd,Rr	汎用ﾚｼﾞｽﾀ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用ﾚｼﾞｽﾀ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xﾚｼﾞｽﾀ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXﾚｼﾞｽﾀ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXﾚｼﾞｽﾀ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yﾚｼﾞｽﾀ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYﾚｼﾞｽﾀ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zﾚｼﾞｽﾀ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZﾚｼﾞｽﾀ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	ﾃﾞｰﾀ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xﾚｼﾞｽﾀ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXﾚｼﾞｽﾀ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXﾚｼﾞｽﾀ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yﾚｼﾞｽﾀ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYﾚｼﾞｽﾀ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYﾚｼﾞｽﾀ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYﾚｼﾞｽﾀ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zﾚｼﾞｽﾀ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZﾚｼﾞｽﾀ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZﾚｼﾞｽﾀ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZﾚｼﾞｽﾀ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2
STS	k,Rr	ﾃﾞｰﾀ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2
LPM		ﾌﾟﾛｸﾞﾗﾑ領域からZﾚｼﾞｽﾀ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	3
SPM		ﾌﾟﾛｸﾞﾗﾑ領域へZ ﾚｼﾞｽﾀ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oﾚｼﾞｽﾀからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oﾚｼﾞｽﾀへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用ﾚｼﾞｽﾀをｽﾀｯｸへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	2
POP	Rd	ｽﾀｯｸから汎用ﾚｼﾞｽﾀへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2
ﾋﾞｯﾄ関係命令					
SBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ﾋﾞｯﾄ移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	ｷｬﾘｰを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	ｷｬﾘｰを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ﾆﾌﾞﾙ(4ﾋﾞｯﾄ)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄを一時ﾌﾗｸﾞへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時ﾌﾗｸﾞを汎用ﾚｼﾞｽﾀのﾋﾞｯﾄへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		ｷｬﾘｰ ﾌﾗｸﾞを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		ｷｬﾘｰ ﾌﾗｸﾞを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負ﾌﾗｸﾞを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負ﾌﾗｸﾞを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ｾﾞﾛ ﾌﾗｸﾞを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ｾﾞﾛ ﾌﾗｸﾞを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号ﾌﾗｸﾞを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号ﾌﾗｸﾞを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れﾌﾗｸﾞを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れﾌﾗｸﾞを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時ﾌﾗｸﾞを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時ﾌﾗｸﾞを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵ﾃﾞﾊﾞｯｸﾞ機能専用	I,T,H,S,V,N,Z,C	N/A

注文情報

速度(MHz)	電源電圧	注文符号	外囲器	動作範囲
8 (注3)	1.8～5.5V	ATmega165V-8AI	64A	工業用 (-40℃～85℃)
		ATmega165V-8AU (注2)		
		ATmega165V-8MI	64M1	
		ATmega165V-8MU (注2)		
16 (注3)	2.7～5.5V	ATmega165-16AI	64A	
		ATmega165-16AU (注2)		
		ATmega165-16MI	64M1	
		ATmega165-16MU (注2)		

注: このﾃﾞﾊﾞｲｽはｳｪﾊｰ(ﾁｯﾌﾟ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛ﾌﾘｰ製品。またﾊﾛｹﾞﾝ化合物ﾌﾘｰで完全に安全です。

注3: 速度と電源電圧の関係については183頁の図128.と図129.をご覧ください。

外囲器形式	
64A	64ﾘｰﾄﾞ 1.0mm厚 ﾌﾟﾗｽﾃｨｯｸ4方向平板外囲器 (TQFP)
64M1	64ﾊﾟｯﾄﾞ 9×9×1mm 0.5mmﾋﾟｯﾁ 4方向平板ﾘｰﾄﾞなし/小ﾘｰﾄﾞ枠外囲器 (QFN/MLF)

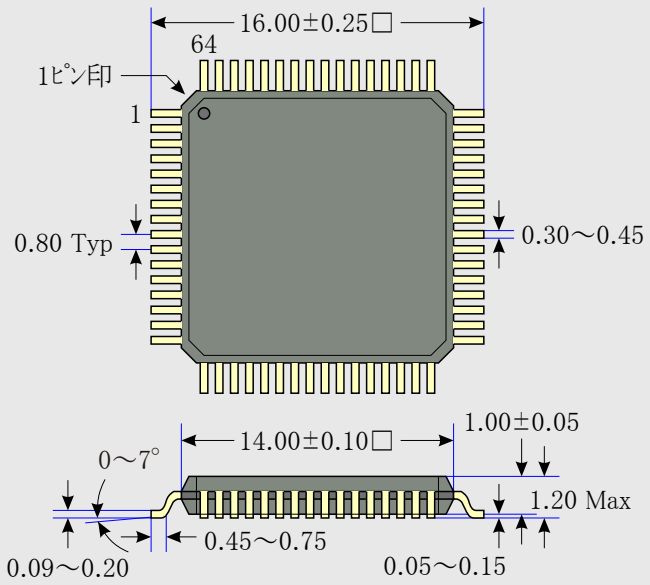
外囲器情報

64A

64ﾘｰﾄﾞ 0.8mmﾋﾟｯﾁ ﾌﾟﾗｽﾃｨｯｸ4方向平板外囲器 (TQFP)

寸法: mm

JEDEC規格 MS-026 AEB

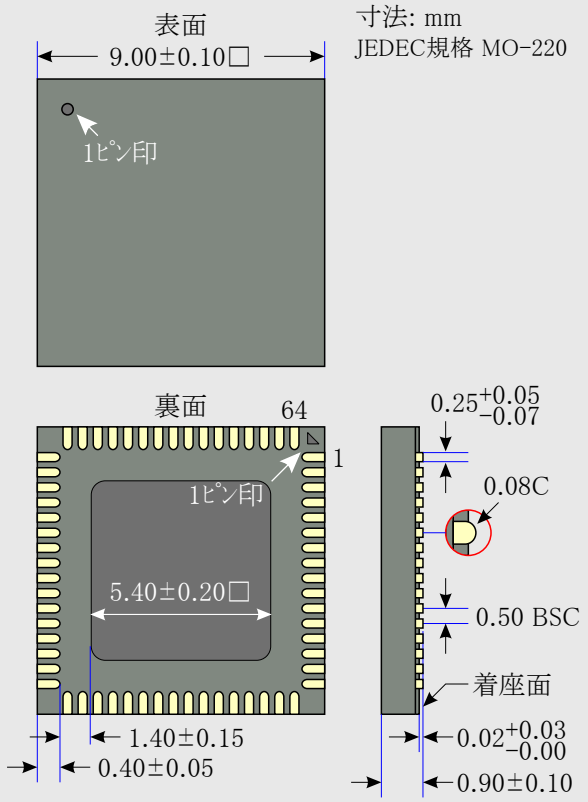


64M1

64ﾊﾟｯﾄﾞ 0.5mmﾋﾟｯﾁ 4方向平板ﾘｰﾄﾞなし/小ﾘｰﾄﾞ枠外囲器 (QFN/MLF)

寸法: mm

JEDEC規格 MO-220



ﾃﾞｰﾀｼｰﾄ改訂履歴

この章内の参照頁番号はこの文書が参照されていることに注意してください。この章内の改訂番号は文書の改訂番号を参照してください。

2573A – 2004年6月から2573B – 2005年3月への変更

1. MLF外囲器を"4方向平板ﾘｰﾄﾞなし/小ﾘｰﾄﾞ枠外囲器(QFN/MLF)"に代替変更
2. 25頁の**表16.**,79頁の**表49.**と**表50.**,144頁の**表86.**(訳注:**表101.**に統合),174頁の**表114.**を更新
3. 34頁に「**ﾋﾟﾝ変化割り込みﾀｲﾐﾝｸﾞ**」を追加
4. 107頁の「**USART初期化**」でCｺｰﾄﾞ例を更新
5. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ構成表とEEPROMﾍﾟｰｼﾞ構成表を165頁の「**ﾍﾟｰｼﾞ容量**」へ移動
6. 209頁の「**ﾚｼﾞｽﾀ要約**」を更新
7. 169頁の**図115.**を更新
8. 214頁の「**注文情報**」を更新

2573B – 2005年3月から2573C – 2006年3月への変更

1. 「新規設計で推奨されません」を追加
2. 26頁の**表17.**「**BODLEVELﾋｭｰｽﾞ設定**」を更新

2573C – 2006年3月から2573D – 2006年3月への変更

1. 汎用I/Oﾋﾟﾝ数を53から54に更新(訳注:この更新が矛盾するため本書では無視)
2. 98頁の「**直列周辺ｲﾝﾀｰﾌｪｰｽ** (SPI)」を更新

2573D – 2006年3月から2573E – 2006年7月への変更

1. 75頁の「**高速PWM動作**」を更新
2. 120頁の「**多用途直列ｲﾝﾀｰﾌｪｰｽ** (USI)」内で特徴を更新
3. 60頁の**表42.**,**表44.**, 79頁の**表49.**,**表50.**, 80頁の**表51.**, 92頁の**表54.**,**表56.**を更新
4. 216頁で「**障害情報**」を追加

2573E – 2006年7月から2573F – 2006年8月への変更

1. 144頁の「**ﾃﾞﾊﾞｲｽ識別ﾚｼﾞｽﾀ**」を更新
2. 163頁の「**識票ﾊﾞｲﾄ**」を更新
3. 163頁で「**ﾃﾞﾊﾞｲｽとJTAGの識別番号(ID)**」(の表)を追加

2573F – 2006年8月から2573G – 2009年7月への変更

1. 216頁の「**障害情報**」を更新
2. Atmelの新住所で最終頁を更新

障害情報

この章の改訂番号はATmega165/Vﾃﾞﾊﾞｲｽの改訂版を参照してください。

改訂A

- 非同期ﾀｲﾏでﾀｲﾏ ﾚｼﾞｽﾀ書き込み時に割り込みが失われる可能性　A

1. **非同期ﾀｲﾏ/ｶｳﾝﾀでﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀ書き込み時に割り込みが失われる可能性 (A)**

   非同期ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀ(TCNTx)が$00の時に同期ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸのﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀが書かれる場合に割り込みが失われるでしょう。

   対策/対処

   非同期ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀ(TCCRx)、非同期ﾀｲﾏ/ｶｳﾝﾀ(TCNTx)ﾚｼﾞｽﾀまたは非同期ﾀｲﾏ/ｶｳﾝﾀ比較ﾚｼﾞｽﾀ(OCRx)を書く前に、常に非同期ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀが$FFまたは$00のどちらの値でもないことを調べてください。

目次

特徴 ・・・ 1
ピン配置 ・・・ 2
お断り ・・・ 2
概要 ・・・ 3
構成図 ・・・ 3
ピン説明 ・・・ 4
コード例について ・・・ 5
AVR CPU コア ・・・ 6
序説 ・・・ 6
構造概要 ・・・ 6
ALU (Arithmetic Logic Unit) ・・・ 6
ステータス レジスタ ・・・ 7
汎用レジスタ ファイル ・・・ 8
スタック ポインタ ・・・ 8
命令実行タイミング ・・・ 9
リセットと割り込みの扱い ・・・ 9
AVR ATmega165のメモリ ・・・ 11
実装書き換え可能なプログラム用フラッシュ メモリ ・・・ 11
データ用SRAMメモリ ・・・ 11
データ用EEPROMメモリ ・・・ 12
I/Oメモリ (レジスタ) ・・・ 15
システム クロックとクロック選択 ・・・ 16
クロック系統とその配給 ・・・ 16
クロック元 ・・・ 17
既定のクロック元 ・・・ 17
クリスタル用発振器 ・・・ 17
低周波数クリスタル用発振器 ・・・ 18
校正付き内蔵RC発振器 ・・・ 18
外部クロック信号 ・・・ 19
システム クロック出力緩衝部 ・・・ 19
タイマ/カウンタ用発振器 ・・・ 19
システム クロック前置分周器 ・・・ 20
電力管理と休止形態 ・・・ 21
アイドル動作 ・・・ 21
A/D変換雑音低減動作 ・・・ 21
パワーダウン動作 ・・・ 22
パワーセーブ動作 ・・・ 22
スタンバイ動作 ・・・ 22
電力削減(電力削減レジスタ) ・・・ 23
消費電力の最小化 ・・・ 24
システム制御とリセット ・・・ 25
内部基準電圧 ・・・ 27
ウォッチドッグ タイマ ・・・ 28
ウォッチドッグ タイマ設定変更の時間制限手順 ・・・ 29
割り込み ・・・ 30
ATmega165の割り込みベクタ ・・・ 30
外部割り込み ・・・ 34
ピン変化割り込みタイミング ・・・ 34
入出力ポート ・・・ 37
序説 ・・・ 37
標準デジタル入出力としてのポート ・・・ 37
交換ポート機能 ・・・ 40
I/Oポート用レジスタ ・・・ 49
8ビット タイマ/カウンタ0 (PWM) ・・・ 52
概要 ・・・ 52
タイマ/カウンタのクロック ・・・ 53
計数器部 ・・・ 53
比較出力部 ・・・ 54
比較一致出力部 ・・・ 55
動作種別 ・・・ 56
タイマ/カウンタのタイミング ・・・ 59
8ビット タイマ/カウンタ0用レジスタ ・・・ 60
タイマ/カウンタ0とタイマ/カウンタ1の前置分周器 ・・・ 63
16ビット タイマ/カウンタ1 ・・・ 65
概要 ・・・ 65
16ビット レジスタのアクセス ・・・ 67
タイマ/カウンタのクロック ・・・ 69
計数器部 ・・・ 69
捕獲入力部 ・・・ 70
比較出力部 ・・・ 71
比較一致出力部 ・・・ 73
動作種別 ・・・ 74
タイマ/カウンタのタイミング ・・・ 78
16ビット タイマ/カウンタ1用レジスタ ・・・ 79
8ビット タイマ/カウンタ2 (PWM,非同期動作) ・・・ 84
概要 ・・・ 84
タイマ/カウンタのクロック ・・・ 85
計数器部 ・・・ 85
比較出力部 ・・・ 86
比較一致出力部 ・・・ 87
動作種別 ・・・ 88
タイマ/カウンタのタイミング ・・・ 91
8ビット タイマ/カウンタ2用レジスタ ・・・ 92
タイマ/カウンタ2の非同期動作 ・・・ 95
タイマ/カウンタ2の前置分周器 ・・・ 97
SPI (直列周辺インターフェース) ・・・ 98
SSピンの機能 ・・・ 100
データ転送形式 ・・・ 102
USART ・・・ 103
概要 ・・・ 103
クロック生成 ・・・ 105
フレーム形式 ・・・ 106
USARTの初期化 ・・・ 107
USARTのデータ送信 ・・・ 108
USARTのデータ受信 ・・・ 109
非同期受信 ・・・ 112
複数プロセッサ通信動作 ・・・ 114
USART用レジスタ ・・・ 115
ボーレート設定例 ・・・ 118
多用途直列インターフェース (USI) ・・・ 120
概要 ・・・ 120
機能説明 ・・・ 121
USIでの代替使用 ・・・ 124
USI用レジスタ ・・・ 125
アナログ比較器 ・・・ 128
アナログ比較器入力選択 ・・・ 129
A/D変換器 ・・・ 130
特徴 ・・・ 130
操作 ・・・ 131
変換の開始 ・・・ 131
前置分周と変換タイミング ・・・ 132
チャネル変更と基準電圧選択 ・・・ 134
雑音低減機能 ・・・ 135

A/D変換の結果 ・・・・・・・・・・・・・・・・・・・・・・・ 136
A/D変換用ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・・・・ 137
JTAGｲﾝﾀｰﾌｪｰｽと内蔵ﾃﾞﾊﾞｯｸﾞ機能 ・・・・・ 140
特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 140
概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 140
検査入出力ﾎﾟｰﾄ (TAP:Test Access Port) ・・ 141
TAP制御器 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 141
境界走査ﾁｪｰﾝ(Boundary-Scan Chain)の使用 ・・・・ 142
内蔵ﾃﾞﾊﾞｯｸﾞ機能の使用 ・・・・・・・・・・・・・・・・・ 142
内蔵ﾃﾞﾊﾞｯｸﾞ特殊JTAG命令 ・・・・・・・・・・・・・・ 142
内蔵ﾃﾞﾊﾞｯｸﾞ関連I/Oﾒﾓﾘ内のﾚｼﾞｽﾀ ・・・・・・・ 142
JTAGﾌﾟﾛｸﾞﾗﾐﾝｸﾞ能力の使用 ・・・・・・・・・・・・・ 143
参考文献 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 143
IEEE1149.1(JTAG)境界走査・・・・・・・・・・・・・ 144
特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 144
概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 144
ﾃﾞｰﾀ ﾚｼﾞｽﾀ ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 144
境界走査(Boundary-Scan)用JTAG命令 ・・・・ 145
境界走査関連I/Oﾒﾓﾘ内のﾚｼﾞｽﾀ ・・・・・・・・・ 146
境界走査ﾁｪｰﾝ(Boundary-Scan Chain) ・・・・ 147
ATmega165の境界走査順 ・・・・・・・・・・・・・・・ 152
境界走査記述言語(BSDL)ﾌｧｲﾙ ・・・・・・・・・・ 153
ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – RWW 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ・・・ 154
特徴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 154
ﾌﾗｯｼｭ ﾒﾓﾘの応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域 ・・・ 154
書き中に読みが可能な領域と不能な領域 ・・ 154
ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ ・・・・・・・・・・・・・・・・・・・ 156
ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑへの移行 ・・・・・・・・・・・・・ 156
自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでのﾌﾗｯｼｭ ｱﾄﾞﾚｽ指定 ・・・・・ 158
ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・・・・・・ 158
ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・・・・・・・・・・・・・・・・・ 163
ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘとﾃﾞｰﾀ ﾒﾓﾘ用施錠ﾋﾞｯﾄ ・・・・・・・ 163
ﾋｭｰｽﾞ ﾋﾞｯﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 164
識票ﾊﾞｲﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 165
校正ﾊﾞｲﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 165
ﾍﾟｰｼﾞ容量 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 165
並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・・・・・・・・・・・・・・・・・ 165
並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順 ・・・・・・・・・・・・・・・・・・・ 166
直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ・・・・・・・・・・・・・・・・・・・・・・・ 173
直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順 ・・・・・・・・・・・・・・・・・・・ 173
JTAGｲﾝﾀｰﾌｪｰｽ経由ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ・・・・・・・・・・ 175
電気的特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 182
絶対最大定格 ・・・・・・・・・・・・・・・・・・・・・・・・・ 182
DC特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 182
外部ｸﾛｯｸ特性 ・・・・・・・・・・・・・・・・・・・・・・・・・ 183
最高速と動作電圧 ・・・・・・・・・・・・・・・・・・・・・・ 183
SPI ﾀｲﾐﾝｸﾞ特性 ・・・・・・・・・・・・・・・・・・・・・・・・ 184
A/D変換器特性 (暫定) ・・・・・・・・・・・・・・・・・・ 185
代表特性 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 186
活動動作消費電流 ・・・・・・・・・・・・・・・・・・・・・・ 186
ｱｲﾄﾞﾙ動作消費電流 ・・・・・・・・・・・・・・・・・・・・・ 188
周辺機能部供給電流 ・・・・・・・・・・・・・・・・・・・・ 190
ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 ・・・・・・・・・・・・・・・・・・ 190
ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 ・・・・・・・・・・・・・・・・・・ 191
ｽﾀﾝﾊﾞｲ動作消費電流 ・・・・・・・・・・・・・・・・・・・・ 191
ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ ・・・・・・・・・・・・・・・・・・・・・・・・・・ 194
ﾋﾟﾝ駆動能力 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 196
ﾋﾟﾝ 閾値とﾋｽﾃﾘｼｽ ・・・・・・・・・・・・・・・・・・・・・ 200
低電圧検出器(BOD)閾値とｱﾅﾛｸﾞ比較器変位(ｵﾌｾｯﾄ) ・・・・・・・・・・・・・ 202
内部発振器周波数 ・・・・・・・・・・・・・・・・・・・・・・ 204
周辺機能部消費電流 ・・・・・・・・・・・・・・・・・・・・ 205
ﾘｾｯﾄ消費電流とﾘｾｯﾄ ﾊﾟﾙｽ幅 ・・・・・・・・・・・ 208
ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 209
命令要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 212
注文情報 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 214
外囲器情報 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 214
ﾃﾞｰﾀｼｰﾄ改訂履歴 ・・・・・・・・・・・・・・・・・・・・・・ 215
障害情報 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 216

本社

Atmel Corporation
2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia
Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe
Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan
104-0033 東京都中央区
新川1-24-8
東熱新川ﾋﾞﾙ 9F
ｱﾄﾒﾙ ｼﾞｬﾊﾟﾝ株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ｳｪﾌﾞｻｲﾄ
www.atmel.com

技術支援
avr@atmel.com

販売窓口
www.atmel.com/contacts

文献請求
www.atmel.com/literature

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。**Atmelのｳｪﾌﾞｻｲﾄに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。**Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2009. **不許複製** Atmel®、ﾛｺﾞとそれらの組み合わせ、AVR®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© *HERO* 2022.

本ﾃﾞｰﾀｼｰﾄはAtmelのATmega165英語版ﾃﾞｰﾀｼｰﾄ(改訂2573G-07/09)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。