ATmega16HVB, ATmega32HVB

16/32Kﾊﾞｲﾄ実装書き込み可能ﾌﾗｯｼｭ ﾒﾓﾘ付き Atmel 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ

ﾃﾞｰﾀｼｰﾄ

特徴

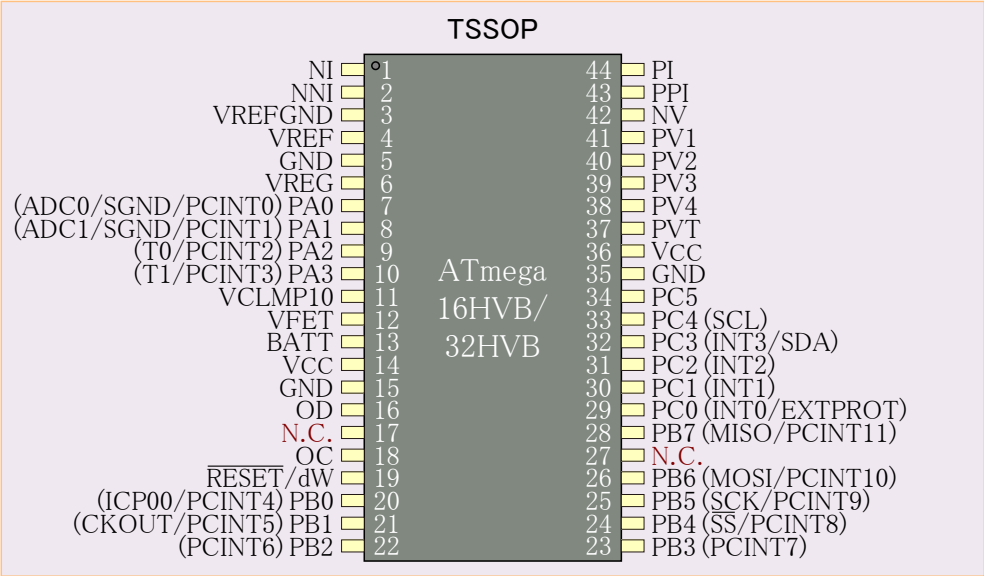
- 高性能、低消費AVR® 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ
- 進化したRISC構造
  - 強力な131命令(多くは1周期で実行)
  - 32個の1ﾊﾞｲﾄ長汎用ﾚｼﾞｽﾀ
  - 完全なｽﾀﾃｨｯｸ動作
  - 8MHz時、8MIPSに達する高速動作
- ﾃﾞｰﾀ ﾒﾓﾘと不揮発性ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ
  - 実装自己書き換え可能な16K/32Kﾊﾞｲﾄ(8K/16K語)ﾌﾗｯｼｭ ﾒﾓﾘ
  - 512/1KﾊﾞｲﾄのEEPROM
  - 1K/2Kﾊﾞｲﾄの内蔵SRAM
  - 書き換え回数: 10,000/ﾌﾗｯｼｭ, 100,000/EEPROM
  - ﾃﾞｰﾀ保持力: 20年/85℃, 100年/25℃
  - 個別施錠ﾋﾞｯﾄを持つ任意のﾌﾞｰﾄ ｺｰﾄﾞ領域
    - ﾁｯﾌﾟ内ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑによる実装書き換え
    - 真の書き込み中の読み出し動作
  - ｿﾌﾄｳｪｱ保護用の設定可能な施錠機能
- 電池管理機能
  - 直列2、3、4ｾﾙ
  - 高電流保護 (充電と放電)
  - 過電流保護 (充電と放電)
  - 短絡保護 (放電)
  - 充放電Nch-FET駆動用高電圧出力
  - 任意の深下電圧回復(DUVR)動作 – 外部予備充電FETなしでの0Vからの充電許容
  - 任意の高電圧ｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ出力 – 外部予備充電FETなしでの0Vからの充電許容
  - 統合されたｾﾙ平衡FET(内蔵)
- 内蔵周辺機能
  - 独立した前置分周器と任意選択の捕獲、比較、CTC動作付きの2つの構成設定可能な8または16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - SPI – 直列周辺ｲﾝﾀｰﾌｪｰｽ
  - 外部6と内部1入力の12ﾋﾞｯﾄ 電圧A/D変換器
  - 電流測定用高分解能ｸｰﾛﾝ ｶｳﾝﾀA/D変換器
  - SMﾊﾞｽ実装を支援する2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)
  - 設定可能なｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ
- 特殊ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ機能
  - ﾃﾞﾊﾞｯｸﾞWIRE内蔵ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑ
  - SPIﾎﾟｰﾄ経由での実装書き換え
  - 電源ONﾘｾｯﾄ
  - 短絡回路監視ｲﾝﾀｰﾌｪｰｽ付き内蔵電圧調整器
  - 外部及び内部の割り込み
  - ｱｲﾄﾞﾙ、A/D変換雑音低減、ﾊﾟﾜｰｾｰﾌﾞ、ﾊﾟﾜｰｵﾌの4つの低消費動作
- NDA(機密保持契約)下でのみ利用可能な追加の安全認証機能
- 外囲器
  - 44ﾘｰﾄﾞTSSOP
- 動作電圧：4～18V
- 最大耐電圧(高電圧ﾋﾟﾝ)：35V
- 温度範囲：-40～85℃
- 動作周波数：1～8MHz

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 8042E-09/2013, 8042EJ4-08/2022

1. ﾋﾟﾝ配置

1.1. TSSOP



1.2. ﾋﾟﾝ説明

1.2.1. VFET

高電圧供給ﾋﾟﾝ。このﾋﾟﾝは86頁の「**電圧調整器**」で記述される内部電圧調整器に対する供給として使われます。

1.2.2. VCLMP10

外部ﾃﾞｶｯﾌﾟ(雑音分離)用VFET電圧の内部10Vｸﾗﾝﾌﾟ電圧。

1.2.3. VCC

ﾃﾞｼﾞﾀﾙ供給電圧(電源)。通常、VREGに接続されます。

1.2.4. VREG

内部電圧調整器からの出力。安定な調整動作を保証するため、外部ﾃﾞｶｯﾌﾟ(雑音分離)に使ってください。詳細については86頁の「**電圧調整器**」をご覧ください。

1.2.5. VREF

外部ﾃﾞｶｯﾌﾟ(雑音分離)用内部基準電圧。詳細については81頁の「**基準電圧と温度感知器**」をご覧ください。

1.2.6. VREFGND

内部基準電圧のﾃﾞｶｯﾌﾟ(雑音分離)用接地。詳細については81頁の「**基準電圧と温度感知器**」をご覧ください。基板上のGNDまたはSGNDへ接続しないでください。

1.2.7. GND

接地。

1.2.8. PA3～PA0 (ﾎﾟｰﾄA)

ﾎﾟｰﾄAは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付き低電圧4ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄとして扱います。入力時にﾌﾟﾙｱｯﾌﾟ抵抗が有効の場合、外部的にLowへ引き込まれたﾎﾟｰﾄAﾋﾟﾝに吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になると、ｸﾛｯｸが動作していなくても、ﾎﾟｰﾄAﾋﾟﾝはHi-Zになります。

ﾎﾟｰﾄAは47頁の「**ﾎﾟｰﾄAの交換機能**」で一覧されるAtmel ATmega16HVB/32HVBの様々な特殊機能も扱います。

1.2.9. PB7～PB0 (ﾎﾟｰﾄB)

ﾎﾟｰﾄBは(ﾋﾞｯﾄ毎に選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗付きの低電圧8ﾋﾞｯﾄ双方向入出力ﾎﾟｰﾄです。入力時にﾌﾟﾙｱｯﾌﾟ抵抗が有効の場合、外部的にLowへ引き込まれたﾎﾟｰﾄBﾋﾟﾝには吐き出し電流が流れます。ﾘｾｯﾄ条件が有効になると、ｸﾛｯｸが動作していなくても、ﾎﾟｰﾄBﾋﾟﾝはHi-Zになります。

ﾎﾟｰﾄBは48頁の「**ﾎﾟｰﾄBの交換機能**」で一覧されるATmega16HVB/32HVBの様々な特殊機能も扱います。

1.2.10. PC5 (ﾎﾟｰﾄC)

PC5は高電圧ｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ出力ﾎﾟｰﾄです。

1.2.11. PC4～PC0 (ﾎﾟｰﾄC)

PC4～0は高電圧ｵｰﾌﾟﾝﾄﾞﾚｲﾝ双方向入出力ﾎﾟｰﾄです。

1.2.12. OC, OD

充電と放電のFET駆動高電圧出力。詳細については96頁の「**FET駆動部**」をご覧ください。

1.2.13. PI, NI

電池ﾊﾟｯｸの充放電電流の流れを測定するためにｸｰﾛﾝ ｶｳﾝﾀADCによって使われる、外部電流検出抵抗からの濾波された正(+)/負(−)入力です。

1.2.14. PPI, NNI

過電流と短絡検出に関して電池保護回路によって使われる、外部電流検出抵抗器からの濾波されない正(+)/負(−)入力です。詳細については88頁の「**電池保護**」をご覧ください。

1.2.15. NV, PV1, PV2, PV3, PV4

NV,PV1,PV2,PV3,PV4は各ｾﾙ電圧を測定するために電圧A/D変換器によって使われる、電池ｾﾙ1,2,3,4用の入力です。詳細については77頁の「**電圧A/D変換器 (7ﾁｬﾈﾙ汎用12ﾋﾞｯﾄ⊿ΣA/D変換器)**」をご覧ください。

1.2.16. PVT

充電FET駆動部に対するｿｰｽ電圧水準を定義します。詳細については96頁の「**FET駆動部**」をご覧ください。

1.2.17. BATT

充電器接続時の検出用入力。放電FET駆動部に対するｿｰｽ電圧水準を定義します。詳細については96頁の「**FET駆動部**」をご覧ください。

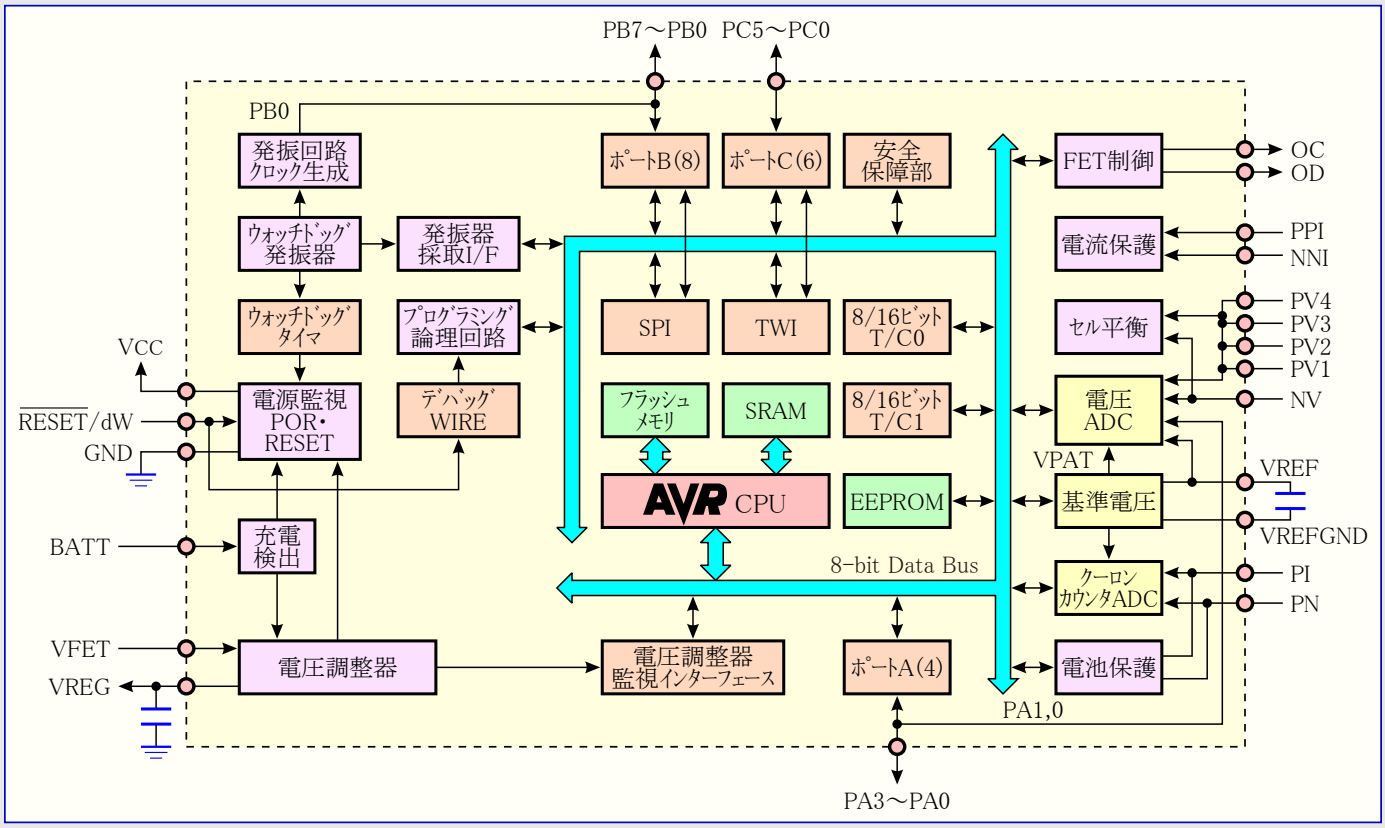
1.2.18. $\overline{\text{RESET}}$/dW

ﾘｾｯﾄ入力。ｸﾛｯｸが動作してなくても、最小ﾊﾟﾙｽ幅より長い本ﾋﾟﾝのLowﾚﾍﾞﾙはﾘｾｯﾄを生成します。最小ﾊﾟﾙｽ幅は151頁の**表32-3.**で与えられます。より短いﾊﾟﾙｽはﾘｾｯﾄの生成が保証されません。このﾋﾟﾝはﾃﾞﾊﾞｯｸﾞWIRE通信ﾋﾟﾝとしても使われます。

2. 概要

Atmel ATmega16HVB/32HVBは安全認証を含む最高の安全性、低費用、高いｾﾙ ｴﾈﾙｷﾞｰ利用に集中した3または4ｾﾙのLi-ion応用に対する監視回路と保護回路です。ﾃﾞﾊﾞｲｽは充放電中の自律的な電池保護だけでなく安全認証機能も含みます。外部保護入力は外部部品を用いる他の電池保護機構の実装に使え、例えば高すぎる充電電圧に対する保護は少しの安価な受動部品で容易に実装することができます。これらの機能一式は高い安全、電池保護、高いｼｽﾃﾑ利用率、低費用に注目するどのｼｽﾃﾑでもATmega16HVB/32HVBを中核部品にします。

図2-1. 構成図



ATmega16HVB/32HVBは電池が重大な破壊状況で保護されるのを保証するための豊富な必要物をﾁｯﾌﾟ上で提供します。ﾁｯﾌﾟはﾋﾟﾝ短絡、(電池ﾊﾟｯｸ短絡またはVCC短絡のどちらかによって引き起こされる)電力損失、充電器不正接続、またはｿﾌﾄｳｪｱ暴走の場合に電池ｾﾙに対する安全性を提供します。これは高い安全性に集中する応用に対してATmega16HVB/32HVBを理想的な1ﾁｯﾌﾟ解決物にします。

ATmega16HVB/32HVBは4～18Vの広い入力電圧範囲で動作する統合された電圧調整器が特徴です。この電圧は統合された論理回路とｱﾅﾛｸﾞ機能に対して公称3.3V一定の供給電圧に調整されます。節電動作での極端に低い電力消費と結合した電圧調整器の能力は既存の方法と比べてｾﾙ ｴﾈﾙｷﾞｰ利用を大きく増強します。ﾁｯﾌﾟは独立した予備充電FETを使うことなく、過放電した電池ｾﾙの予備充電を支援するAtmel特許の深下電圧回復(DUVR)動作を利用します。DUVR動作形態は2ｾﾙ応用で使うことができません。多くの既存電池充電構成に統合するために任意で予備充電FETが支援されます。

電池保護は不正状態を検知するために電池電圧と充放電電流を監視し、必要な時にそれらから電池を保護します。12ﾋﾞｯﾄ電圧A/D変換器は高精度で各ｾﾙの個別電圧開始をｿﾌﾄｳｪｱに許します。このA/D変換器はﾁｯﾌﾟ上温度を測定するための1つの内部入力ﾁｬﾈﾙと外部ｻｰﾐｽﾀを意図した2つの入力ﾁｬﾈﾙも提供します。ｸｰﾛﾝ ｶｳﾝﾀ用に最適化した18ﾋﾞｯﾄのA/D変換器は充放電電流を累積し、高い分解能と精度で累積電流を報告します。これは13ﾋﾞｯﾄ分解能での瞬時電流測定を提供するのにも使えます。統合(内蔵)されたｾﾙ平衡FETはｿﾌﾄｳｪｱで実装されるべきｾﾙ平衡算法を許します。

MCUは書き中読み能力の16K/32Kﾊﾞｲﾄの実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘと512/1Kﾊﾞｲﾄの EEPROM、1K/2Kﾊﾞｲﾄの SRAM、32個の汎用作業ﾚｼﾞｽﾀ、12本の汎用入出力線、5本の汎用高電圧ｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ入出力線、1本の汎用超高電圧ｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ出力、ﾁｯﾌﾟ内ﾃﾞﾊﾞｯｸﾞ用のﾃﾞﾊﾞｯｸﾞWIREと実装ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のSPI、SMﾊﾞｽ適合の2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)、捕獲と比較動作を含む柔軟性のある2つのﾀｲﾏ/ｶｳﾝﾀ、内部及び外部の割り込み、電圧と温度計測用の12ﾋﾞｯﾄ⊿ΣA/D変換器、ｸｰﾛﾝ計測と瞬時電流計測用の高分解能⊿ΣA/D変換器、追加の安全認証機能、自律型電池保護部、設定可能な内部発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、ｿﾌﾄｳｪｱで選べる節電動作を含みます。

AVRｺｱは32の汎用作業ﾚｼﾞｽﾀと豊かな命令群を結合します。32のﾚｼﾞｽﾀの全ては論理演算部(ALU)へ直結され、1つの単独命令で入出力される2つの独立したﾚｼﾞｽﾀが1ｸﾛｯｸ周期で実行されるのを可能にします。その結果の構造はよりもっと効率的なｺｰﾄﾞと同時に現状のCISC型ﾏｲｸﾛ ｺﾝﾄﾛｰﾗよりも最大10倍の処理量を達成します。

本ﾃﾞﾊﾞｲｽはAtmelの高電圧高密度不揮発性ﾒﾓﾘ技術を使って製造されています。内蔵の実装書き換え(ISP)可能なﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘは規定の不揮発性ﾒﾓﾘ書き込み器またはAVRｺｱ上のﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑの実行によって再書き込みができます。ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑは応用領域ﾌﾗｯｼｭ ﾒﾓﾘ内の応用ﾌﾟﾛｸﾞﾗﾑの読み込みにどのｲﾝﾀｰﾌｪｰｽでも使えます。ﾌﾞｰﾄ領域ﾌﾗｯｼｭ ﾒﾓﾘ内のﾌﾟﾛｸﾞﾗﾑは真の「書き込み中の読み出し可」動作により、応用領域ﾌﾗｯｼｭ ﾒﾓﾘ更新中も実行を継続します。ﾓﾉﾘｼｯｸ ﾁｯﾌﾟ上の実装自己書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘを持つ8ﾋﾞｯﾄRISC型CPUと高い精度のｱﾅﾛｸﾞ前処理部との組み合わせによるAtmel ATmega16HVB/32HVBは高い柔軟性と対費用効果をもたらす強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。これはﾘﾁｳﾑ ｲｵﾝ電池ｾﾙに対する安全認証、正確な監視、自律型保護を提供するAVR電池管理系列の一員です。

ATmega16HVB/32HVB AVRはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾌﾟﾛｸﾞﾗﾑ ﾃﾞﾊﾞｯｶﾞ/ｼﾐｭﾚｰﾀ、内蔵ﾃﾞﾊﾞｯｶﾞを含む専用のﾌﾟﾛｸﾞﾗﾑ及びｼｽﾃﾑ開発ﾂｰﾙで支援されます。

2.1. Atmel ATmega16HVBとAtmel ATmega32HVB間の違い

ATmega16HVBとATmega32HVBはﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、内部SRAMのﾒﾓﾘ量が異なるだけです。表2-1.は2つのﾃﾞﾊﾞｲｽに対する異なる形態を要約します。

表2-1. 形態要約

ﾃﾞﾊﾞｲｽ名	ﾌﾗｯｼｭ ﾒﾓﾘ	EEPROM	SRAM
ATmega16HVB	16Kﾊﾞｲﾄ	512ﾊﾞｲﾄ	1Kﾊﾞｲﾄ
ATmega32HVB	32Kﾊﾞｲﾄ	1Kﾊﾞｲﾄ	2Kﾊﾞｲﾄ

3. お断り

本ﾃﾞｰﾀｼｰﾄに含まれる全てのﾊﾟﾗﾒｰﾀはAtmel ATmega16HVB/32HVBの特性付けに基き、暫定です。

4. 資料

包括的なﾃﾞｰﾀｼｰﾄ、応用記述、開発ﾂｰﾙ群はhttp://www.atmel.com/avrでのﾀﾞｳﾝﾛｰﾄﾞで利用可能です。

5. ｺｰﾄﾞ例について

この文書はﾃﾞﾊﾞｲｽの様々な部分の使用法を手短に示す簡単なｺｰﾄﾞ例を含みます。これらのｺｰﾄﾞ例はｱｾﾝﾌﾞﾙまたはｺﾝﾊﾟｲﾙに先立ってﾃﾞﾊﾞｲｽ定義ﾍｯﾀﾞ ﾌｧｲﾙがｲﾝｸﾙｰﾄﾞされると仮定します。全てのCｺﾝﾊﾟｲﾗ製造業者がﾍｯﾀﾞﾌｧｲﾙ内にﾋﾞｯﾄ定義を含めるとは限らず、またCでの割り込みの扱いがｺﾝﾊﾟｲﾗに依存することに注意してください。より多くの詳細についてはCｺﾝﾊﾟｲﾗの資料で確認してください。

拡張I/O領域に配置したI/Oﾚｼﾞｽﾀに対し、IN, OUT, SBIS, SBIC, CBI, SBI命令は拡張I/O領域へのｱｸｾｽを許す命令に置き換えられなければなりません。代表的にはSBRS, SBRC, SBR, CBR命令と組み合わせたLDS, STS命令です。

6. ﾃﾞｰﾀ保持力

信頼性証明結果はﾃﾞｰﾀ保持誤り率の反映を示し、20年以上/85℃または100年以上/25℃で1PPMよりずっと小さな値です。

7. AVR CPU ｺｱ

7.1. 概要

本節は一般的なAtmel AVRｺｱ構造について説明します。このCPUｺｱの主な機能は正しいﾌﾟﾛｸﾞﾗﾑ実行を保証することです。従ってCPUはﾒﾓﾘ ｱｸｾｽ、計算実行、周辺制御、割り込み操作ができなければなりません。

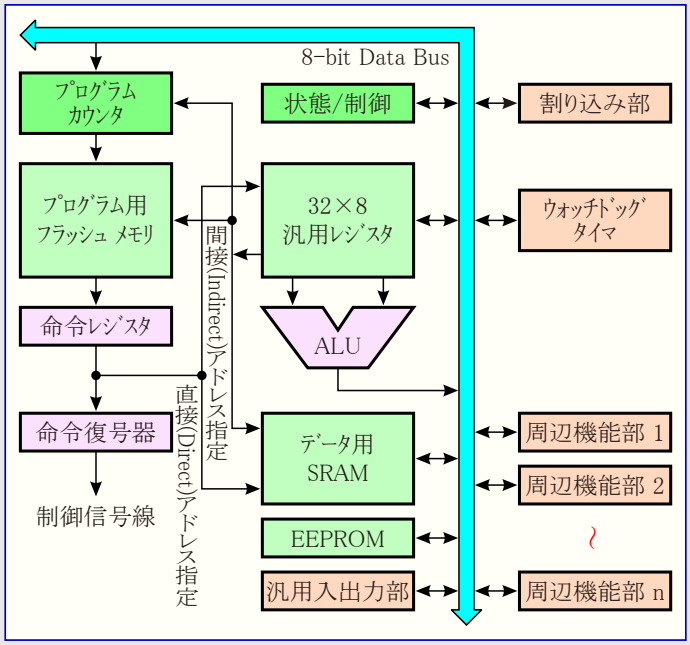
最大効率と平行処理のため、AVRはﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀに対してﾒﾓﾘとﾊﾞｽを分離するﾊｰﾊﾞｰﾄﾞ構造を使います。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の命令は、単一段のﾊﾟｲﾌﾟﾗｲﾝで実行されます。1命令の実行中に次の命令がﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから事前取得されます。この概念は全部のｸﾛｯｸ周期で命令実行を可能にします。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは実装書き換え可能なﾌﾗｯｼｭ ﾒﾓﾘです。

高速ﾚｼﾞｽﾀ ﾌｧｲﾙは1ｸﾛｯｸ周期ｱｸｾｽの32個の8ﾋﾞｯﾄ長汎用ﾚｼﾞｽﾀを含みます。これは1ｸﾛｯｸ周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのｵﾍﾟﾗﾝﾄﾞがﾚｼﾞｽﾀ ﾌｧｲﾙからの出力で、1ｸﾛｯｸ周期内でその操作が実行され、その結果がﾚｼﾞｽﾀ ﾌｧｲﾙに書き戻されます。

32個中の6つのﾚｼﾞｽﾀは、効率的なｱﾄﾞﾚｽ計算ができるﾃﾞｰﾀ空間ｱﾄﾞﾚｽ指定用に、3つの16ﾋﾞｯﾄ長間接ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ用ﾚｼﾞｽﾀとして使われます。これらｱﾄﾞﾚｽ ﾎﾟｲﾝﾀの1つはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の定数表参照用ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとしても使えます。これら16ﾋﾞｯﾄ長付加機能ﾚｼﾞｽﾀはX,Y,Zﾚｼﾞｽﾀで、本章内で後述されます。

ALUはﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の算術及び論理操作を支援します。単一ﾚｼﾞｽﾀ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)が更新されます。

図7-1. AVR構造の構成図



ﾌﾟﾛｸﾞﾗﾑの流れは条件/無条件分岐や呼び出し命令によって提供され、全ｱﾄﾞﾚｽ空間を直接ｱﾄﾞﾚｽ指定できます。AVR命令の多くは16ﾋﾞｯﾄ語(ﾜｰﾄﾞ)形式です。全てのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのｱﾄﾞﾚｽは(**訳注**:定数のみを除き)16または32ﾋﾞｯﾄ長命令を含みます。

割り込みやｻﾌﾞﾙｰﾁﾝ呼び出し中、戻りｱﾄﾞﾚｽを示すﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)はｽﾀｯｸに保存されます。ｽﾀｯｸは一般的なﾃﾞｰﾀ用SRAM上に実際には割り当てられ、従ってｽﾀｯｸ容量は全SRAM容量とSRAM使用量でのみ制限されます。全ての使用者ﾌﾟﾛｸﾞﾗﾑはﾘｾｯﾄ処理ﾙｰﾁﾝで(ｻﾌﾞﾙｰﾁﾝ呼び出しや割り込みが実行される前に)、ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)を初期化しなければなりません。SPはI/O空間で読み書きｱｸｾｽが可能です。ﾃﾞｰﾀ用SRAMはAVR構造で支援される5つの異なるｱﾄﾞﾚｽ指定種別を通して容易にｱｸｾｽできます。

AVR構造に於けるﾒﾓﾘ空間は全て直線的な普通のﾒﾓﾘ配置です。

柔軟な割り込み部にはI/O空間の各制御ﾚｼﾞｽﾀとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の特別な全割り込み許可(I)ﾋﾞｯﾄがあります。全ての割り込みは割り込みﾍﾞｸﾀ表に個別の割り込みﾍﾞｸﾀを持ちます。割り込みには割り込みﾍﾞｸﾀ表の位置に従う優先順があります。下位側割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが高い優先順位です。

I/Oﾒﾓﾘ空間は制御ﾚｼﾞｽﾀと他のI/O機能としてCPU周辺機能用の64ｱﾄﾞﾚｽを含みます。I/Oﾒﾓﾘは直接またはﾚｼﾞｽﾀ ﾌｧｲﾙの次のﾃﾞｰﾀ空間位置$20～$5Fとしてｱｸｾｽできます。加えてAtmel ATmega16HVB/32HVBにはST/STS/STDとLD/LDS/LDD命令だけが使えるSRAM内の$60～$FFに拡張I/O空間があります。

7.2. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用ﾚｼﾞｽﾀとの直結で動作します。汎用ﾚｼﾞｽﾀ間または汎用ﾚｼﾞｽﾀと即値間の演算操作は単一ｸﾛｯｸ周期内で実行されます。ALU操作は算術演算、論理演算、ﾋﾞｯﾄ操作の3つの主な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「**命令要約**」をご覧ください。

7.3. ｽﾃｰﾀｽ ﾚｼﾞｽﾀ

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのﾌﾟﾛｸﾞﾗﾑの流れ変更に使えます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀは「**命令一式手引書**」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないｺｰﾄﾞに帰着します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは割り込み処理ﾙｰﾁﾝ移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはｿﾌﾄｳｪｱによって扱われなければなりません。

7.3.1. SREG – ｽﾃｰﾀｽ ﾚｼﾞｽﾀ (Status Register)

AVRのｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は次のように定義されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3F ($5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – I : 全割り込み許可** (Global Interrupt Enable)

全割り込み許可ﾋﾞｯﾄは割り込みが許可されるために設定(1)されなければなりません。そのとき、個別割り込み許可制御は独立した制御ﾚｼﾞｽﾀで行われます。全割り込み許可ﾋﾞｯﾄが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iﾋﾞｯﾄは割り込みが起こされた後にﾊｰﾄﾞｳｪｱにより解除(0)され、後続の割り込みを許可するため、RETI命令によって設定(1)されます。Iﾋﾞｯﾄは「**命令一式手引書**」で記述されるようにSEIやCLI命令で応用(ﾌﾟﾛｸﾞﾗﾑ)により設定(1)や解除(0)もできます。

- **ﾋﾞｯﾄ6 – T : ﾋﾞｯﾄ変数** (Bit Copy Storage)

ﾋﾞｯﾄ複写命令、BLD(Bit LoaD)とBST(Bit STore)は操作したﾋﾞｯﾄの転送元または転送先として、このTﾋﾞｯﾄを使います。ﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀからのﾋﾞｯﾄはBST命令によりTに複写でき、TのﾋﾞｯﾄはBLD命令によりﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀ内のﾋﾞｯﾄに複写できます。

- **ﾋﾞｯﾄ5 – H : ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞ** (Half Carry Flag)

ﾊｰﾌｷｬﾘｰ(H)ﾌﾗｸﾞはいくつかの算術操作でのﾊｰﾌｷｬﾘｰを示します。ﾊｰﾌｷｬﾘｰはBCD演算に有用です。詳細情報については「**命令要約**」記述をご覧ください。

- **ﾋﾞｯﾄ4 – S : 符号** (Sign Bit, S= N Ex-OR V)

Sﾌﾗｸﾞは常に負(N)ﾌﾗｸﾞと2の補数溢れ(V)ﾌﾗｸﾞの排他的論理和です。詳細情報については「**命令要約**」記述をご覧ください。

- **ﾋﾞｯﾄ3 – V : 2の補数溢れﾌﾗｸﾞ** (2's Complement Overflow Flag)

2の補数溢れ(V)ﾌﾗｸﾞは2の補数算術演算を支援します。詳細情報については「**命令要約**」記述をご覧ください。

- **ﾋﾞｯﾄ2 – N : 負ﾌﾗｸﾞ** (Negative Flag)

負(N)ﾌﾗｸﾞは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「**命令要約**」記述をご覧ください。

- **ﾋﾞｯﾄ1 – Z : ｾﾞﾛ ﾌﾗｸﾞ** (Zero Flag)

ｾﾞﾛ(Z)ﾌﾗｸﾞは算術及び論理操作でのｾﾞﾛ(0)の結果を示します。詳細情報については「**命令要約**」記述をご覧ください。

- **ﾋﾞｯﾄ0 – C : ｷｬﾘｰ ﾌﾗｸﾞ** (Carry Flag)

ｷｬﾘｰ(C)ﾌﾗｸﾞは算術及び論理操作でのｷｬﾘｰ(またはﾎﾞﾛｰ)を示します。詳細情報については「**命令要約**」記述をご覧ください。

7.4. 汎用ﾚｼﾞｽﾀ ﾌｧｲﾙ

このﾚｼﾞｽﾀ ﾌｧｲﾙはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がﾚｼﾞｽﾀ ﾌｧｲﾙによって支援されます。

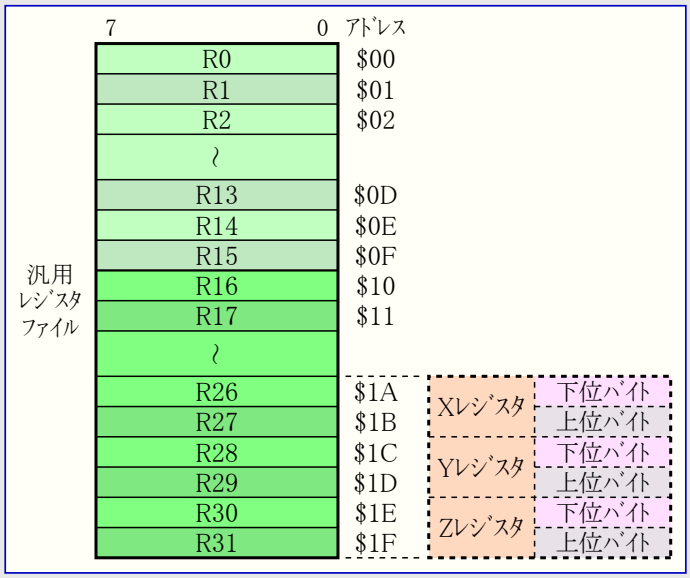
- 1つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力
- 1つの16ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力

図7-2.はCPU内の32個の汎用作業ﾚｼﾞｽﾀの構造を示します。

ﾚｼﾞｽﾀ ﾌｧｲﾙを操作する殆どの命令は全てのﾚｼﾞｽﾀに直接ｱｸｾｽし、それらの殆どは単一周期命令です。

図7-2.で示されるように各ﾚｼﾞｽﾀは使用者ﾃﾞｰﾀ空間の最初の32位置へ直接的に配置することで、それらはﾃﾞｰﾀ ﾒﾓﾘ ｱﾄﾞﾚｽも割り当てられます。例え物理的にSRAM位置として実装されていなくても、X,Y,Zﾚｼﾞｽﾀ(ﾎﾟｲﾝﾀ)がﾚｼﾞｽﾀ ﾌｧｲﾙ内のどのﾚｼﾞｽﾀの指示にも設定できるように、このﾒﾓﾘ構成は非常に柔軟なﾚｼﾞｽﾀのｱｸｾｽを提供します。

図7-2. AVR CPU 汎用ﾚｼﾞｽﾀ構成図

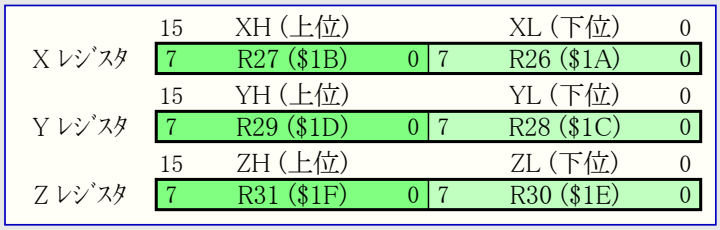


7.4.1. Xﾚｼﾞｽﾀ, Yﾚｼﾞｽﾀ, Zﾚｼﾞｽﾀ

R26～R31ﾚｼﾞｽﾀには通常用途の使用にいくつかの追加機能があります。これらのﾚｼﾞｽﾀはﾃﾞｰﾀ空間の間接ｱﾄﾞﾚｽ指定用の16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀです。3つのX,Y,Z間接ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは図7-3.で記載したように定義されます。

種々のｱﾄﾞﾚｽ指定動作種別で、これらのｱﾄﾞﾚｽ ﾚｼﾞｽﾀは固定変位、自動増加(+1)、自動減少(-1)としての機能を持ちます(詳細については「**命令一式手引書**」をご覧ください)。

図7-3. X,Y,Zﾚｼﾞｽﾀ構成図



7.5. ｽﾀｯｸ ﾎﾟｲﾝﾀ

ｽﾀｯｸは主に一時ﾃﾞｰﾀの保存、局所変数の保存、割り込みとｻﾌﾞﾙｰﾁﾝ呼び出し後の戻りｱﾄﾞﾚｽの保存に使われます。ｽﾀｯｸ ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀは常にこのｽﾀｯｸの先頭(**訳注**:次に使われるべき位置)を指し示します。ｽﾀｯｸが高位ﾒﾓﾘから低位ﾒﾓﾘへ伸長するように実行されることに注意してください。これはｽﾀｯｸへのPUSH命令はｽﾀｯｸ ﾎﾟｲﾝﾀを減少するという意味です。

ｽﾀｯｸ ﾎﾟｲﾝﾀはｻﾌﾞﾙｰﾁﾝや割り込みのｽﾀｯｸが配置されるﾃﾞｰﾀSRAMのｽﾀｯｸ領域を指し示します。ﾃﾞｰﾀSRAM内のｽﾀｯｸ空間はｻﾌﾞﾙｰﾁﾝ呼び出しの実行や割り込みの許可の何れにも先立ってﾌﾟﾛｸﾞﾗﾑによって定義されなければなりません。ｽﾀｯｸ ﾎﾟｲﾝﾀは$100以上を指示するように設定されなければなりません。ｽﾀｯｸ ﾎﾟｲﾝﾀはPUSH命令でﾃﾞｰﾀがｽﾀｯｸに格納されると-1され、ｻﾌﾞﾙｰﾁﾝ呼び出しや割り込みで戻りｱﾄﾞﾚｽがｽﾀｯｸに格納されると-2されます。ｽﾀｯｸ ﾎﾟｲﾝﾀはPOP命令でﾃﾞｰﾀがｽﾀｯｸから引き出されると+1され、ｻﾌﾞﾙｰﾁﾝからの復帰(RET)命令や割り込みからの復帰(RETI)命令でｱﾄﾞﾚｽがｽﾀｯｸから引き出されると+2されます。

AVRのｽﾀｯｸ ﾎﾟｲﾝﾀはI/O空間内の2つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀとして実装されます。実際に使われるﾋﾞｯﾄ数は(そのﾃﾞﾊﾞｲｽ)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(ﾃﾞﾊﾞｲｽ)のﾃﾞｰﾀ空間もあることに注意してください。その場合、SPH ﾚｼﾞｽﾀは存在しません。

7.5.1. SPH,SPL (SP) – ｽﾀｯｸ ﾎﾟｲﾝﾀ (Stack Pointer)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
$3E ($5E)	SP15	SP14	SP13	SP12	(SP11)	SP10	SP9	SP8	SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3D ($5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	

(**訳補**) 内蔵SRAMはATmega16HVBが1Kﾊﾞｲﾄ($0100～$04FF)、ATmega32HVBが2Kﾊﾞｲﾄ($0100～$08FF)です。従ってATmega16HVBではSPHのSP11が利用できません。RAMENDはATmega16HVBが$04FF(0000 0100 1111 1111)、ATmega32HVBが$08FF(0000 1000 1111 1111)になります。

7.6. 命令実行ﾀｲﾐﾝｸﾞ

本項は命令実行の一般的なｱｸｾｽ ﾀｲﾐﾝｸﾞの概念を記述します。ATMRL AVR CPUはﾁｯﾌﾟ(ﾃﾞﾊﾞｲｽ)用に選んだｸﾛｯｸ元から直接的に生成したCPUｸﾛｯｸ(clk_{CPU})によって駆動されます。内部ｸﾛｯｸ分周は使われません。

図7-4.はﾊｰﾊﾞｰﾄﾞ構造と高速ｱｸｾｽ ﾚｼﾞｽﾀ ﾌｧｲﾙの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対ｸﾛｯｸ、機能対電源部に関する好結果と対応するMHzあたり1 MIPSを達成するための基本的なﾊﾟｲﾌﾟﾗｲﾝの概念です。

図7-5.はﾚｼﾞｽﾀ ﾌｧｲﾙに対する内部ﾀｲﾐﾝｸﾞの概念を示します。単一ｸﾛｯｸ周期で2つのﾚｼﾞｽﾀ ｵﾍﾟﾗﾝﾄﾞを使うALU操作が実行され、その結果が転送先ﾚｼﾞｽﾀへ書き戻されます。

図7-4. 命令の取得と実行の並列動作

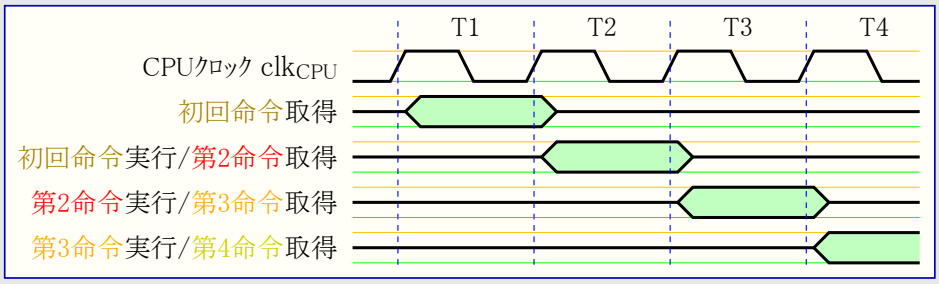
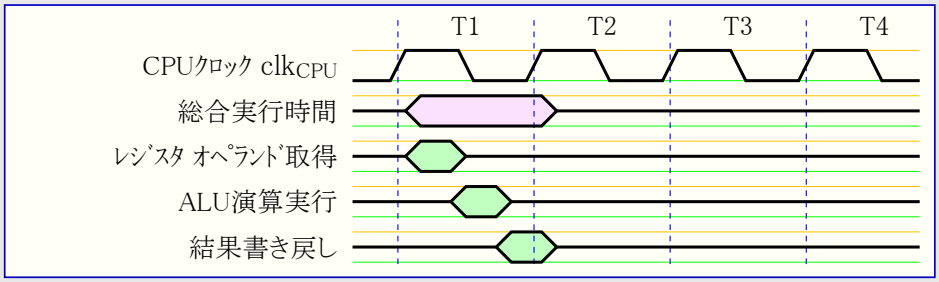


図7-5. 1周期ALU命令



7.7. ﾘｾｯﾄと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したﾘｾｯﾄ ﾍﾞｸﾀ各々はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間内に独立したﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀを持ちます。全ての割り込みは割り込みを許可するために、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと共に論理1が書かれなければならない個別の許可ﾋﾞｯﾄを割り当てられます。

既定でのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間の最下位ｱﾄﾞﾚｽはﾘｾｯﾄと割り込みﾍﾞｸﾀとして定義されます。ﾍﾞｸﾀの完全な一覧は33頁の「**割り込み**」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側ｱﾄﾞﾚｽがより高い優先順位です。ﾘｾｯﾄが最高優先順位です。

割り込みが起こると全割り込み許可(I)ﾋﾞｯﾄが解除(0)され、全ての割り込みは禁止されます。使用者ｿﾌﾄｳｪｱは多重割り込みを許可するため、全割り込み許可(I)ﾋﾞｯﾄへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みﾙｰﾁﾝで割り込めます。全割り込み許可(I)ﾋﾞｯﾄは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求ﾌﾗｸﾞを設定(I)する事象によって起動されます。これらの割り込みでは割り込み処理ﾙｰﾁﾝを実行するために、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは対応する現実の割り込みﾍﾞｸﾀを指示し、ﾊｰﾄﾞｳｪｱが対応する割り込み要求ﾌﾗｸﾞを解除(0)します。割り込み要求ﾌﾗｸﾞは解除(0)されるべきﾌﾗｸﾞのﾋﾞｯﾄ位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ﾋﾞｯﾄが解除(0)されている間に割り込み条件が起こると、割り込み要求ﾌﾗｸﾞが設定(1)され、割り込みが許可されるか、またはこのﾌﾗｸﾞがｿﾌﾄｳｪｱによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ﾋﾞｯﾄが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求ﾌﾗｸﾞが設定(1)されて全割り込み許可(I)ﾋﾞｯﾄが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求ﾌﾗｸﾞを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主ﾌﾟﾛｸﾞﾗﾑへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は割り込みﾙｰﾁﾝへ移行時の保存も、復帰時の再設定も自動的に行われないことに注意してください。これはｿﾌﾄｳｪｱによって扱われなければなりません。

割り込みを禁止するためにCLI命令を使うと、割り込みは直ちに禁止されます。CLI命令と同時に割り込みが起こっても、CLI命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使用できるかを示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
IN      R16, SREG          ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存
CLI                        ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE        ;EEPROM主書き込み許可
SBI     EECR, EEPE         ;EEPROM書き込み開始
OUT     SREG, R16          ;ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
char cSREG;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ保存変数定義 */
cSREG = SREG;              /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを保存 */
_CLI() ;                   /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);        /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);         /* EEPROM書き込み開始 */
SREG = cSREG:              /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀを復帰 */
```

割り込みを許可するためにSEI命令を使うと、次例で示されるようにどの保留割り込みにも先立ってSEI命令の次の命令が実行されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SEI                        ;全割り込み許可
SLEEP                      ;休止形態移行 (割り込み待ち)
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
_SEI() ;                   /* 全割り込み許可 */
_SLEEP();                  /* 休止形態移行 (割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

7.7.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4ｸﾛｯｸ周期です。4ｸﾛｯｸ周期後、実際の割り込み処理ﾙｰﾁﾝに対するﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀ ｱﾄﾞﾚｽが実行されます。この4ｸﾛｯｸ周期時間中にﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)がｽﾀｯｸ上に保存(ﾌﾟｯｼｭ)されます。このﾍﾞｸﾀは標準的に割り込み処理ﾙｰﾁﾝへの無条件分岐で、この分岐は3ｸﾛｯｸ周期要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4ｸﾛｯｸ周期増やされます。この増加は選んだ休止形態からの起動時間に加えてです。

割り込み処理ﾙｰﾁﾝからの復帰は4ｸﾛｯｸ周期要します。これらの4ｸﾛｯｸ周期中、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC:2ﾊﾞｲﾄ)がｽﾀｯｸから取り戻され(ﾎﾟｯﾌﾟ)、ｽﾀｯｸ ﾎﾟｲﾝﾀは増加され(+2)、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されます。

8. AVR メモリ

8.1. 概要

この節はAtmel ATmega16HVB/32HVBの各種メモリを記述します。AVR構造にはプログラム メモリ空間とデータ メモリ空間の2つの主なメモリ空間があります。加えてATmega16HVB/32HVBはデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的且つ直線的なアドレスです。

8.2. 実装書き換え可能なプログラム用フラッシュ メモリ

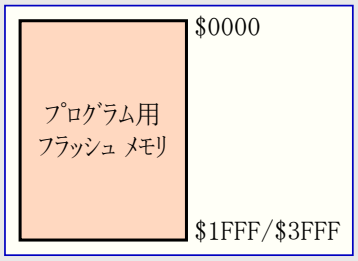
ATmega16HVB/32HVBはプログラム保存用に実装書き換え可能な16K/32Kバイトのフラッシュ メモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュ メモリは8K/16K×16ビットとして構成されます。

フラッシュ メモリは最低10,000回の消去/書き込み回数の耐久性があります。ATmega16HVB/32HVBのプログラム カウンタ(PC)は13/14ビット幅、従って8K/16Kプログラム メモリ位置のアドレス指定です。ブート プログラム領域の操作と関係するソフトウェア保護用ブート施錠ビットは123頁の「**ブート ローダ支援 – 書き込み中読み出し可能な自己プログラミング**」で詳細に記述されます。134頁の「**メモリ プログラミング**」はフラッシュ プログラミングの詳細な記述を含みます。

定数表は全てのプログラム メモリ アドレス空間に配置できます。(LPM命令記述参照)

命令の取得と実行のタイミング図は9頁の「**命令実行タイミング**」で示されます。

図8-1. プログラム メモリ配置図



8.3. データ用SRAM メモリ

図8-2.はATmega16HVB/32HVBのSRAMメモリ構成方法を示します。

Atmel ATmega16HVB/32HVBはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O空間に対してLD/LDS/LDDとST/STS/STD命令だけが使えます。

下位1280/2304データ メモリ位置はレジスタ ファイル、I/Oメモリ、拡張I/Oメモリ、データ用内蔵SRAMに充てます。先頭の32位置はレジスタ ファイル、次の64位置は標準I/Oメモリ、その次の160位置は拡張I/Oメモリ、そして次の1K/2K位置はデータ用内蔵SRAMに充てます。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定動作種別でデータ メモリ(空間)を網羅します。レジスタ ファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われる)X,Y,Zアドレス レジスタは減少(-1)または増加(+1)されます。

ATmega16HVB/32HVBの32個の汎用レジスタ、64個のI/Oレジスタ、160個の拡張I/Oレジスタ、1K/2Kバイトのデータ用内蔵SRAMはこれら全てのアドレス指定動作種別を通して全部アクセスできます。レジスタ ファイルは8頁の「**汎用レジスタ ファイル**」で記述されます。

図8-2. データ メモリ配置図

		アドレス
レジスタ ファイル (32×8)	R0 ～ R31	$0000 ～ $001F
I/Oレジスタ (64×8)	$00 ～ $3F	$0020 ～ $005F
拡張I/Oレジスタ (160×8)	$0060 ～ $00FF	$0060 ～ $00FF
内蔵SRAM (1K/2K×8)	$0100 ～ $0xFF	$0100 ～ $04FF/$08FF

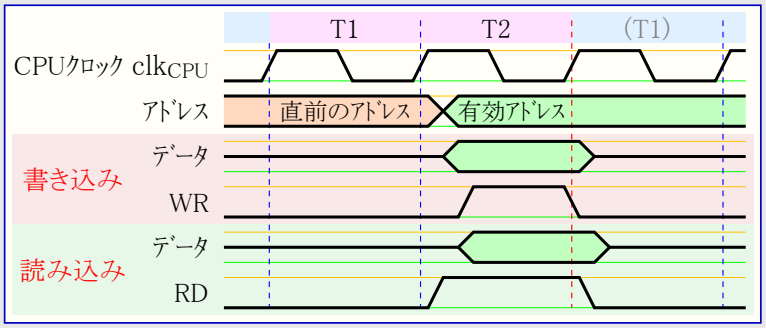
注:赤字はI/Oアドレス

8.3.1. データ メモリ アクセス タイミング

本節は内部メモリ アクセスに対する一般的なアクセス タイミングの概念を記述します。データ用内蔵SRAMアクセスは図8-3.で記載されるように2 clk_{CPU}周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図8-3. データ用内蔵SRAMアクセス周期



8.4. データ用EEPROMメモリ

ATmega16HVB/32HVBは512/1Kバイトのデータ EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降のEEPROMアドレス レジスタ、EEPROMデータ レジスタ、EEPROM制御レジスタで詳細に記述されます。

EEPROMプログラミングの詳細記述については各々137頁と140頁をご覧ください。

8.4.1. EEPROMアクセス

EEPROMアクセス レジスタはI/O空間でアクセス可能です。

EEPROMの書き込み(訳注:原文はアクセス)時間は表8-1.で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは次バイトが書ける時を検知してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。

予期せぬEEPROM書き込みを防止するため、特別な書き込み手順に従わなければなりません。この詳細については「EECR – EEPROM制御レジスタ」を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

8.4.A. 非分離バイト プログラミング (訳注: 共通性のため8.4.A.～D.頁を追加しました。)

非分離バイト プログラミングの使用は最も簡単な動作です。EEPROMにバイトを書くとき、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPMnビットが'00'ならば、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは消去/書き込み動作を起動します。消去と書き込みの両周期は1操作で行われ、総プログラミング時間は表8-1.で与えられます。EEPEビットは消去と書き込み動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

8.4.B. 分離バイト プログラミング

2つの異なる操作として消去と書き込み周期を分離することが可能です。これは或る時間制限(代表的には電源電圧不足)に対してシステムが短いアクセス時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み操作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をシステムが許す時(代表的には電源投入後)に消去操作を行うことが可能です。

8.4.C. 消去

バイトを消去するにはアドレスがEEARに書かれなければなりません。EEPMnビットが'01'なら、(EEMPEが1を書かれた後の4周期内の)EEPEの1書き込みは消去動作だけを起動します(プログラミング時間は表8-1.で与えられます)。EEPEビットは消去動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

8.4.D. 書き込み

(特定)位置を書くため、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPMnビットが'10'なら、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは書き込み動作だけを起動します(プログラミング時間は表8-1.で与えられます)。EEPEビットは書き込み動作が完了されるまで設定(1)に留まります。書かれるべき位置が書き込み前に消去されてしまっていなければ、元の保存したデータは失ったとみなされなければなりません。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

8.5. I/O メモリ (レジスタ)

ATmega16HVB/32HVBのI/O空間定義は171頁の「レジスタ要約」で示されます。

ATmega16HVB/32HVBの全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲$00～$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビット アクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「命令要約」を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス$00～$3Fが使われなければなりません。LD命令とST命令を使い、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに$20が加算されなければなりません。Atmel ATmega16HVB/32HVBはINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロ コントローラです。SRAM(データ空間)内$60～$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使えます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリ アドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに注意してください。CBIとSBI命令は(I/Oアドレス)$00～$1FのレジスタでのみI/Oと周辺制御レジスタは以降の節で説明されます。

8.5.1. 汎用I/Oレジスタ

ATmega16HVB/32HVBは3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使え、特に全体変数や状態フラグの格納に有用です。(I/O)アドレス範囲$00～$1FのI/OレジスタはSBI,CBI,SBIS,SBIC命令の使用で直接ビット アクセスが可能です。

8.6. メモリ関係レジスタ

8.6.1. EEAR – EEPROMアドレス レジスタ (EEPROM Address Register)

ビット	15	14	13	12	11	10	9	8	
$22 ($42)	–	–	–	–	–	–	(EEAR9)	EEAR8	EEARH
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	不定	不定	
ビット	7	6	5	4	3	2	1	0	
$21 ($41)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● **ビット15~10/9 – 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

● **ビット9/8~0 – EEAR9/8~0 : EEPROMアドレス** (EEPROM Address)

EEPROMアドレス レジスタ(EEAR)は512/1KバイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータ バイトは0～511/1023間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれねばなりません。

8.6.2. EEDR – EEPROMデータ レジスタ (EEPROM Data Register)

ビット	7	6	5	4	3	2	1	0	
$20 ($40)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – EEDR7~0 : EEPROMデータ** (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレス レジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

8.6.3. EECR – EEPROM制御レジスタ (EEPROM Control Register)

ビット	7	6	5	4	3	2	1	0	
$1F ($3F)	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

● **ビット7,6 – 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

● **ビット5,4 – EEPM1,0 : EEPROMプログラミング種別** (EEPROM Programing Mode Bits)

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可(EEPE)書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作(旧値消去と新値書き込み)、または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする(書く)ことが可能です。各動作に対するプログラミング時間は表8-1.で示されます。EEPEが設定(1)されている間はEEPMnへのどの書き込みも無視されます。リセット中、EEPMnビットはEEPROMがプログラミング作業中を除いて'00'にリセットされます。

表8-1. EEPROMプログラミング種別 (fosc=4MHz)

EEPM1	EEPM0	プログラミング時間	動作
0	0	3.4ms	1操作での消去と書き込み(非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	–	将来使用に予約

注: 実際のタイミングは校正付き高速RC発振器の周波数に依存します。

● **ビット3 – EERIE : EEPROM操作可割り込み許可** (EEPROM Ready Interrupt Enable)

EERIEの1書き込みはステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性メモリ(フラッシュ メモリとEEPROM)がプログラミングの準備可ならば継続する割り込みを発生します。

● **ビット2 – EEMPE : EEPROM主プログラム許可** (EEPROM Master Program Enable)

EEMPEビットはEEPROMプログラム許可(EEPE)ビットの1書き込みが有効か無効かどちらかを決めます。EEMPEが設定(1)されると、4クロック周期内のEEPE設定(1)は選んだアドレスのEEPROMをプログラムします。EEMPEが0なら、EEPE設定(1)は無効です。EEMPEがソフトウェアによって設定(1)されてしまうと、4クロック周期後にハードウェアがこのビットを0に解除します。EEPROM書き込み手順については次のEEPE記述をご覧ください。

● ﾋﾞｯﾄ1 – EEPE : EEPROMﾌﾟﾛｸﾞﾗﾑ許可 (EEPROM Program Enable)

EEPROMﾌﾟﾛｸﾞﾗﾑ許可信号(EEPE)はEEPROMへのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可信号です。EEPEが(1を)書かれると、EEPROMはEEPMnﾋﾞｯﾄ設定に従ってﾌﾟﾛｸﾞﾗﾑされます。論理1がEEPEへ書かれる前にEEPROM主ﾌﾟﾛｸﾞﾗﾑ許可(EEMPE)ﾋﾞｯﾄは1を書かれなければならず、さもなければEEPROM書き込み(消去)は行われません。EEPROMを書くとき、次の手順に従うべきです(手順2.と3.の順番は重要ではありません)。

1. EEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄが0になるまで待ちます。
2. 今回のEEPROMｱﾄﾞﾚｽをEEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)に書きます。(任意、省略可)
3. 今回のEEPROMﾃﾞｰﾀをEEPROMﾃﾞｰﾀ ﾚｼﾞｽﾀ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROM主ﾌﾟﾛｸﾞﾗﾑ許可(EEMPE)ﾋﾞｯﾄに1を、EEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄに0を同時に書きます。
5. EEMPEﾋﾞｯﾄ設定後4ｸﾛｯｸ周期内にEEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄへ論理1を書きます。

警告: 手順4.と5.間の割り込みはEEPROM主ﾌﾟﾛｸﾞﾗﾑ許可が時間超過するため、書き込み周期失敗になります。EEPROMをｱｸｾｽする割り込みﾙｰﾁﾝが他のEEPROMｱｸｾｽを中断し、EEARかEEDRが変更されると、中断したEEPROMｱｸｾｽを失敗させます。これらの問題を避けるため、全ての手順中、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄは解除(0)されていることが推奨されます。

書き込み(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ)ｱｸｾｽ時間が経過されると、EEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)ﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって解除(0)されます。EEPEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

警告: EEPROM書き込み中の低電圧検出(BOD)ﾘｾｯﾄは進行中の操作結果を無効にします。

● ﾋﾞｯﾄ0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みｽﾄﾛｰﾌﾞです。EEARに正しいｱﾄﾞﾚｽが設定されると、EEPROM読み出しを起動するためにEEREﾋﾞｯﾄは1を書かれなければなりません。EEPROM読み出しｱｸｾｽは(その)1命令で行われ、要求したﾃﾞｰﾀは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。

使用者は読み込み操作を始める前にEEPEﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞすべきです。書き込み(ﾌﾟﾛｸﾞﾗﾑ)操作実行中の場合、EEPROMｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(EEAR)の変更もEEPROM読み込みもできません。

EEPROMｱｸｾｽの時間に校正済み内蔵RC発振器が使われます。表8-2.はCPUからのEEPROMｱｸｾｽに対する代表的な書き込み時間を示します。

表8-2. EEPROM書き込み時間

項目	校正付き内蔵RC発振器周期数	代表
EEPROM書き込み(CPU)	27,200	3.4ms

次のｺｰﾄﾞ例はｱｾﾝﾌﾞﾘ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はｿﾌﾄｳｪｱ内にﾌﾗｯｼｭ ﾌﾞｰﾄ ﾛｰﾀﾞが無い前提でもあります。そのようなｺｰﾄﾞが存在する場合、EEPROM書き込み関数は何れかが実行するSPM命令の完了も待たねばなりません。(訳注:共通性から次例は補足修正しています。)

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
EEPROM_WR:  SBIC    EECR,EEPE                   ;EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了ならばｽｷｯﾌﾟ
            RJMP    EEPROM_WR                   ;以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機
;
            LDI     R19,(0<<EEPM1)|(0<<EEPM0)   ;ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別値取得(本例は非分離)
            OUT     EECR,R19                    ;対応ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別設定
            OUT     EEARH,R18                   ;EEPROMｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定
            OUT     EEARL,R17                   ;EEPROMｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定
            OUT     EEDR,R16                    ;EEPROM書き込み値を設定
            SBI     EECR,EEMPE                  ;EEPROM主ﾌﾟﾛｸﾞﾗﾑ許可ﾋﾞｯﾄ設定
            SBI     EECR,EEPE                   ;EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始(ﾌﾟﾛｸﾞﾗﾑ許可ﾋﾞｯﾄ設定)
            RET                                 ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEPE));                    /* 以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機 */
    EECR = (0<<EEPM1)|(0<<EEPM0);               /* 対応ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ種別設定 */
    EEAR = uiAddress;                           /* EEPROMｱﾄﾞﾚｽ設定 */
    EEDR = ucData;                              /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                         /* EEPROM主ﾌﾟﾛｸﾞﾗﾑ許可 */
    EECR |= (1<<EEPE);                          /* EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始 */
}
```

次のｺｰﾄﾞ例はｱｾﾝﾌﾞﾘ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
EEPROM_RD:  SBIC    EECR,EEPE                   ;EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了ならばｽｷｯﾌﾟ
            RJMP    EEPROM_RD                   ;以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機
;
            OUT     EEARH,R18                   ;EEPROMｱﾄﾞﾚｽ上位ﾊﾞｲﾄ設定
            OUT     EEARL,R17                   ;EEPROMｱﾄﾞﾚｽ下位ﾊﾞｲﾄ設定
            SBI     EECR,EERE                   ;EEPROM読み出し開始(読み込み許可ﾋﾞｯﾄ設定)
            IN      R16,EEDR                    ;EEPROM読み出し値を取得
            RET                                 ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEPE));                    /* 以前のEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機 */
    EEAR = uiAddress;                           /* EEPROMｱﾄﾞﾚｽ設定 */
    EECR |= (1<<EERE);                          /* EEPROM読み出し開始 */
    return EEDR;                                /* EEPROM読み出し値を取得,復帰 */
}
```

8.6.4. GPIOR2 – 汎用I/Oレジスタ2 (General Purpose I/O Register 2)

ビット	7	6	5	4	3	2	1	0	
$2B ($4B)	(MSB)							(LSB)	GPIOR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

8.6.5. GPIOR1 – 汎用I/Oレジスタ1 (General Purpose I/O Register 1)

ビット	7	6	5	4	3	2	1	0	
$2A ($4A)	(MSB)							(LSB)	GPIOR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

8.6.6. GPIOR0 – 汎用I/Oレジスタ0 (General Purpose I/O Register 0)

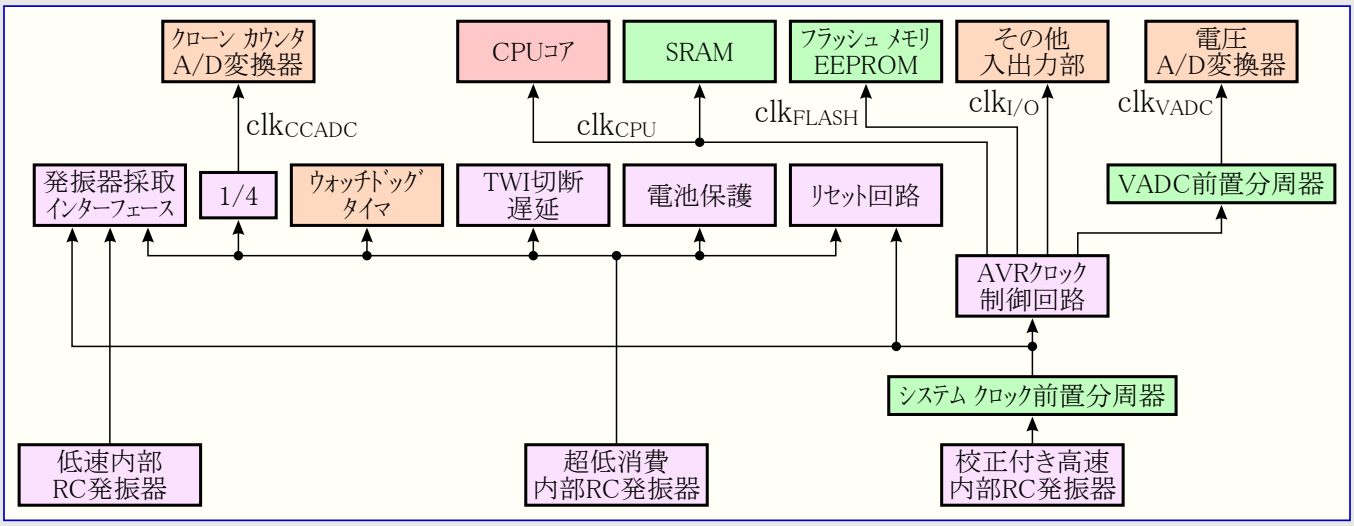
ビット	7	6	5	4	3	2	1	0	
$1E ($3E)	(MSB)							(LSB)	GPIOR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

9. システム クロックとクロック任意選択

9.1. クロック系統とその配給

図9-1.はAVR内の主要なクロック系統とその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、23頁の「電力管理と休止形態」で記述される各種休止形態の使用によって、使われない部分のクロックを停止することができます。クロック系統は以下で詳細に示されます。

図9-1. クロックの配給



9.1.1. CPU クロック – clk_{CPU}

CPUクロックはAVRコアの動作と関係する系統の部分に配給されます。このような部分の例は汎用レジスタ ファイル、ステータス レジスタ、スタック ポインタを保持するデータ メモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

9.1.2. I/O クロック – $clk_{I/O}$

I/OクロックはI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えI/Oクロックが停止されても検出されるのをこのような割り込みに許す、非同期論理回路によって検出されることに注意してください。

9.1.3. フラッシュ クロック – clk_{FLASH}

フラッシュ クロックはフラッシュ メモリ インターフェースの動作を制御します。このフラッシュ クロックは常にCPUクロックと同時に活動します。

9.1.4. 電圧A/D変換クロック – clk_{VADC}

電圧A/D変換器は専用のクロック範囲を提供されます。VADCクロックはVADC前置分周器によってシステム クロック前置分周器設定に比例して前置分周され、1MHz固定のVADCクロックを生じます。

9.1.5. クーロン カウンタA/D変換クロック – clk_{CCADC}

クーロン カウンタA/D変換器は専用のクロック範囲を提供されます。継続電流測定についてパワーセーブのような低電力動作でのクーロン カウンタA/D変換器の動作を許します。

9.1.6. ウォッチドッグ タイマと電池保護

ウォッチドッグ タイマと電池保護は専用のクロック範囲を提供されます。これはパワーオフ動作を除く全ての動作種別での動作を許します。この目的専用の超低電力RC発振器を用いることによって超低電力動作を許します。

9.2. クロック元

以降の項はデバイスで利用可能なクロック元を記述します。クロックはAVR クロック発生器に入力され、適切な単位部へ配給されます。ATmega16HVB/32HVBは内部論理回路をクロック駆動するのに使う3つのチップ上発振器を持ちます。表9-1.はクロック元とそれらの使用法を示します。

表9-1. 利用可能なクロック元

クロック元	使用法
校正付き高速RC発振器	CPU、I/O、フラッシュ メモリ、電圧A/D変換器用のクロック元
超低電力RC発振器	ウォッチドッグ タイマ、電池保護、バンドギャップ緩衝短絡検出器、SMBus接続/切断用のクロック元
低速RC発振器	クーロン カウンタA/D変換器、発振器採取インターフェース(OSI)で使用

9.2.1. 校正付き高速RC発振器

校正された高速RC発振器は既定で8.0MHzクロックを供給します。この周波数は25℃での公称値です。このクロックは外部部品なしで動きます。リセット中、ハードウェアが高速RC発振器校正(FOSCCAL)レジスタに校正値バイトを設定し、これによって高速RC発振器を自動的に校正します。25℃で、この校正は8MHz±1%の周波数を与えます。この発振器はFOSCCALレジスタを変更することによって7.3～8.1MHz範囲のどの周波数にも校正できます。予め設定された校正値のより多くの情報については129頁の「**ソフトウェアからの識票列読み出し**」項をご覧ください。システム クロックの周波数が19頁の「**システム クロック前置分周器**」によって与えられることに注意してください。

この発振器が選ばれると、起動時間は**表9-2.**で定義されるようにSUTヒューズによって決められます。

表9-2. 校正付き高速RC発振器用起動遅延時間

SUT2~0	パワーセーブからの起動遅延時間	リセットからの(注2)付加遅延時間
0 0 0	6×CK	14×CK+4ms
0 0 1	6×CK	14×CK+8ms
0 1 0	6×CK	14×CK+16ms
0 1 1	6×CK	14×CK+32ms
1 0 0	6×CK	14×CK+64ms
1 0 1	6×CK	14×CK+128ms
1 1 0	6×CK	14×CK+256ms
1 1 1	(注1) 6×CK	14×CK+512ms

注1: デバイスはこの選択で出荷されます。

注2: 実付加値、選択可能な4～512ms遅延は「**超低電力RC発振器**」の実際の周波数に依存します。**表9-3.**と150頁の「**電気的特性**」をご覧ください。

9.2.2. 低速RC発振器

低速RC発振器は131kHzクロック(代表値、150頁の「**電気的特性**」を参照)を供給します。この発振器はクーロン カウンタA/D変換器(CC-ADC)単位部用のクロックを提供します。これは高速RC発振器の走行時校正用の基準タイミングとして、そして実際のULP発振器周波数を正確に測定するのにも使うことができます。詳細については19頁の「**OSI - 発振器採取インターフェース**」を参照してください。

タイミング基準として使う時に良好な精度を提供するために低速RC発振器は識票アドレス空間に格納された校正バイトを持ちます。詳細については129頁の「**ソフトウェアからの識票列読み出し**」項を参照してください。温度の関数としてのμsでの実際のクロック周期は次式によって与えられます。

$$\text{低速RC発振器周期} = \frac{\text{低速RC発振器周期} - \text{低速RC発振器温度予測語} - \frac{(T - T_{HOT})}{64}}{1024}$$

ここでTはケルビン温度でのダイ温度で、T_{HOT}は識票列に格納された校正温度です。ダイ温度は電圧ADCを使って得ることができます。詳細については77頁の「**電圧A/D変換器 (7チャネル汎用12ビット⊿ΣA/D変換器)**」項を参照してください。

9.2.3. 超低電力RC発振器

超低電力RC発振器(ULP発振器)は128kHzのクロック(代表値、150頁の「**電気的特性**」を参照)を供給します。この発振器はウォッチドッグタイマと電池保護部用のクロックを提供します。実際のULP発振器周波数は工程変化と温度に依存します。150頁の「**電気的特性**」をご覧ください。この発振器は全ての動作種別で自動的に許可されます。これはリセットの間も許可されます。ULP発振器の実際のクロック周期を測定するには3つの代替方法があります。

1. ダイ温度の関数として正確なクロック周期を決めるには、応用によって必要とされるなら、発振器採取インターフェースが使われるべきです。詳細については19頁の「**OSI - 発振器採取インターフェース**」を参照してください。
2. ダイ温度の関数として正確なクロック周期を決める代替法は、識票アドレス空間から校正バイトを読んで、ダイ温度の関数としてクロック周期を計算することで、詳細については129頁の「**ソフトウェアからの識票列読み出し**」項を参照してください。温度の関数としてのμsでのULP RC発振器の実際のクロック周期は次のように与えられます。

$$\text{超低電力RC発振器周期} = \frac{\text{超低電力RC発振器周期} - \text{超低電力RC発振器温度予測語} - \frac{(T - T_{HOT})}{64}}{1024}$$

   ここでTはケルビン温度でのダイ温度で、T_{HOT}は識票列に格納された校正温度です。ダイ温度は電圧ADCを使って得ることができ、詳細については77頁の「**電圧A/D変換器 (7チャネル汎用12ビット⊿ΣA/D変換器)**」項を参照してください。
3. ダイ温度と無関係に実際のクロック周期に対する固定値を決める、例えば電池保護タイミングの最良設定を決めるには、識票アドレス空間に格納された"超低電力RC発振器周波数"校正バイトを使ってください。詳細については129頁の「**ソフトウェアからの識票列読み出し**」項を参照してください。

9.3. クロック起動手順

CPUがパワーセーブから起動するとき、命令実行を始める前の安定なクロックを保証する起動時間にCPUクロック元が使われます。CPUがリセットから始まるとき、電圧調整器が通常動作を始める前に安定なレベルに達するのを可能にするのが付加遅延です。超低電力RC発振器は起動時間のこの実時間部のタイミングに使われます。起動時間は表9-2.で示されるようにSUTヒューズによって決められます。各時間経過に使われる超低電力RC発振器周期数は表9-3.で示されます。

表9-3. 超低電力RC発振器周期数

代表時間経過 (注)	周期数
4ms	512
8ms	1K
16ms	2K
32ms	4K
64ms	8K
128ms	16K
256ms	32K
512ms	64K

注: 実際の値は超低電力RC発振器の実際のクロック周期に依存します。詳細については「超低電力RC発振器」を参照してください。

9.4. クロック出力

2分周されたCPUクロックをPB1ピンに出力することができます。CPUはMCU制御レジスタ(MCUCR)のクロック出力許可(CKOE)ビットを設定(1)することによってクロック出力機能を許可にできます。このクロックはどの休止形態でも動作しません。

9.5. システム クロック前置分周器

Atmel ATmega16HVB/32HVBは校正付き高速RC発振器を前置分周するために使われるシステム クロック前置分周器を持ちます。システム クロックはクロック前置分周レジスタ(CLKPR)の設定によって分周することができ、これは電力消費と処理能力の変化に対する必要条件としてシステム クロック周波数の増減を使用者に許します。このシステム クロックはCPUと全同期周辺機能のクロック周波数に影響を及ぼします。clk_{CPU}、clk_{FLASH}、$clk_{I/O}$は22頁の表9-4.で示された値によって分周されます。

前置分周器設定間を切り替えるとき、システム クロック前置分周器はクロック系で不具合が起きないことを保証します。また、中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロック系で不具合が起きないことも保証します。

前置分周器として実行するリプル カウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2～T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

1. クロック分周値変更許可(CLKPCE)ビットに1、CLKPR内の他の全ビットに0を書きます。
2. (次からの)4周期以内にCLKPCEビットを0とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

9.6. 電圧A/D変換器(VADC)クロック前置分周器

VADCクロックはシステム クロック前置分周器設定に比例して自動的に前置分周されます。「システム クロック前置分周器」をご覧ください。クロック分周値選択(CLKPS1,0)ビットに依存して、VADCクロック(clk_{VADC})は22頁の表9-5.で示されるように1,2,4分周されます。

9.7. OSI – 発振器採取インターフェース

9.7.1. 特徴

- 走行時に選択可能な発振器入力(低速RCまたはULP RC発振器)
- 選んだ発振器の7ビット前置分周
- 前置分周したクロックの位相へのソフトウェア読み込みアクセス
- タイマ/カウンタ0用捕獲起動元

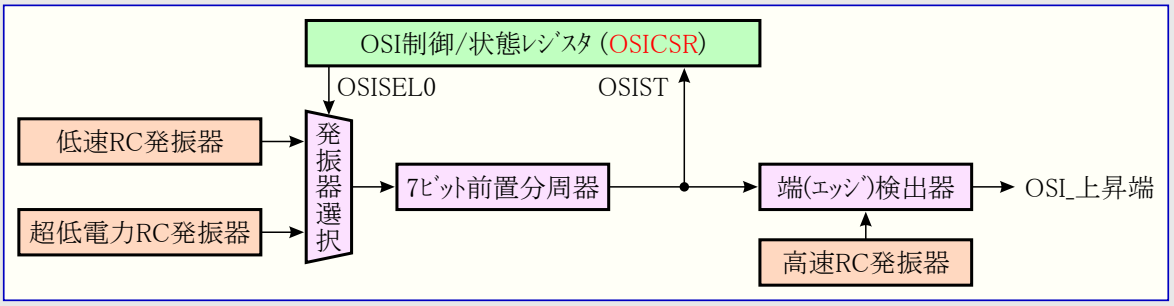
9.7.2. 概要

発振器採取インターフェース(OSI)はAtmel ATmega16HVB/32HVBの低速RCと超低電力(ULP)RC発振器の採取を可能にします。OSIは高速RC発振器走行時に高い精度で校正するのに使うことができます。OSIはULP発振器周波数偏移補償用の正確な基準を提供することもできます。

前置分周された発振器位相はOSI制御/状態レジスタ(OSICSR)を通してCPUによって継続的に読むことができます。加えて、タイマ/カウンタ0の捕獲機能は前置分周したクロックの上昇端での起動に設定することができます。これは高速RC発振器に比例する発振器周波数の正確な測定を可能にします。

発振器採取インターフェースの簡単化した構成図は図9-2.で示されます。

図9-2. 発振器採取インターフェース構成図



"OSI_上昇端"信号は前置分周したクロックの各上昇端でのパルスです。この信号はCPUによって直接アクセスできませんが、タイマ/カウンタ0の捕獲機能を起動するのに使うことができます。タイマ/カウンタ0の捕獲機能との組み合わせでのOSI使用は最小CPU計算での発振器周波数の正確な測定を容易にします。捕獲機能の許可方法の詳細に関しては53頁の「タイマ/カウンタ (T/C0,T/C1)」を参照してください。

9.7.3. 使用法

低速RC発振器は全温度範囲に渡って高く予想可能で正確なクロック元に相当し、高速RC発振器走行時校正用の優秀な基準を提供します。代表的に、温度範囲全体での非同期直列通信に対して正確な高速RC発振器周波数を提供するために実行時校正が必要とされます。

85℃での低速RC発振器周波数と低速RC発振器温度係数は識票列に格納されています。これらの特性は与えられた温度で実際の低速RCクロック周期を高精度で計算するのに用いることができます。詳細に関しては18頁の「低速RC発振器」を参照してください。

1つ以上の前置分周された低速RCクロック周期のCPU周期数を測定することによって、実際の高速RC発振器クロック周期を測定することができます。そして高速RCクロック周期は高速RC発振校正(FOSCCAL)レジスタへの書き込みによって調節することができます。校正後の新しい高速RCクロック周期は測定を繰り返すことによって検証され、必要ならば校正を繰り返すべきです。低速RCクロック周期の関数としての高速RCクロック周期は次式で与えられます。

$$T_{FastRC} = T_{SlowRC} \times \frac{128 \times n}{\text{前置分周された低速RCクロック}n\text{周期でのCPU周期数}}$$

ここでのnは測定に使われた前置分周した低速RCの周期数です。より多くの前置分周された低速RC周期は測定誤差を減らしますが、校正に対する消費時間を増やします。低速RC発振器がOSI部によって許可された後の安定に非常に短い時間を必要とすることに注目してください。従って、校正方法は校正用の基準時間として最初と2番目の"OSI_上昇端"間の時間を使えるかもしれません。

OSIの別な使用法はULP周波数の正確な測定です。85℃でのULP周波数とULP温度係数は識票列に格納されており、ULP周波数の直接計算を可能にします。けれども、ULP周波数は温度に対して低速RC発振器周波数より低い予測可能性で、従ってより高い精度の結果は低速RCとULP発振器間の比率を計算することによって得られます。これはULPと低速RC発振器の両方を採取してその結果を比較することによって行われます。この比率が既知のとき、実際のULP周波数は高精度で決めることができます。低速RCクロック周期の関数としてのULP RCクロック周期は次式によって与えられます。

$$T_{ULPRC} = T_{SlowRC} \times \frac{\text{前置分周されたULP RCクロック}n\text{周期でのCPU周期数}}{\text{前置分周された低速RCクロック}n\text{周期でのCPU周期数}}$$

ここでのnは測定に使われた前置分周したULP RCと低速RCの周期数です。より多くの前置分周されたULP RCと低速RC周期は測定誤差を減らしますが、校正に対する消費時間を増やします。正確な結果を保証するためにこの操作の間にFOSCCALレジスタが一定値で維持されなければならないことに注意してください。

これらのクロック周期計算は直前の校正のためにダイ温度で意味ある変化がある時に再び実行されるべきです。ダイ温度は電圧A/D変換を使って得られます。詳細に関しては77頁の「電圧A/D変換器 (7チャネル汎用12ビット⊿ΣA/D変換器)」項を参照してください。

9.8. クロック関係レジスタ

9.8.1. FOSCCAL – 高速RC発振器校正レジスタ (Oscillator Calibration Register)

ビット	7	6	5	4	3	2	1	0	
($66)	FCAL7	FCAL6	FCAL5	FCAL4	FCAL3	FCAL2	FCAL1	FCAL0	FOSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

● **ビット7~0 – FCAL7~0 : 高速RC発振器校正値** (Fast RC Oscillator Calibration Value)

高速RC発振器校正レジスタは発振器周波数の偏差処理を省くための高速RC発振器の調整に使われます。リセット中、25℃で概ね8MHzの発振器周波数を与える工場校正値がこのレジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は7.3～8.1MHz範囲のどの周波数にも走行時校正することができます。この範囲外は保証されません。

この発振器はフラッシュ メモリとEEPROMの書き込みアクセス時間に使われ、これらの書き込み時間がそれに応じて影響されることに注意してください。フラッシュ メモリまたはEEPROMが書かれる場合、8.1MHzより高く校正してはいけません。さもなければ、フラッシュ メモリまたはEEPROM書き込みは失敗するかもしれません。

FCAL7～5ビットは発振器に対する操作範囲を決めます。これらのビットの'000'設定は最低周波数側範囲になり、'111'設定は最高周波数側範囲になります。周波数範囲は重なっています。例えばFOSCCAL=$1F設定はFOSCCAL=$20設定より高い周波数になります。

FCAL4～0ビットは選んだ範囲内の周波数調整に使われます。$00設定はその範囲の最低周波数になり、$1F設定はその範囲の最高周波数になります。FCAL4～0での1増加は7.3～8.1MHz周波数範囲で1%未満の周波数増加になります。正確な時間基準とで校正後に±0.5%の発振器精度が達成できます。周波数は温度で偏移し、故に精度を維持するために走行時校正が必要とされるでしょう。詳細に関しては19頁の「**OSI – 発振器採取インターフェース**」を参照してください。

9.8.2. MCUCR – MCU制御レジスタ (MCU Control Register)

ビット	7	6	5	4	3	2	1	0	
$35 ($55)	–	–	CKOE	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R	R	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット5 – CKOE : クロック出力許可** (Clock Output)

このビットが1を書かれると、2分周されたCPUクロックがPB1ピンに出力されます。

9.8.3. CLKPR – クロック前置分周レジスタ (Clock Prescale Register)

ビット	7	6	5	4	3	2	1	0	
($61)	CLKPCE	–	–	–	–	–	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	1	1	

● **ビット7 – CLKPCE : クロック分周値変更許可** (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するために、CLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれる時だけ更新されます。CLKPCEは書き込み後4クロック周期またはCLKPSビット書き込み時、ハードウェアによって解除(0)されます。この制限時間(4クロック周期)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(0)も行いません。

● **ビット1,0 – CLKPS1,0 : クロック分周値選択** (Clock Prescaler Select Bits 1～0)

これらのビットは選んだクロック元と内部システム クロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使われると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は**表9-4.**で与えられます。システム クロック前置分周選択ビットへの書き込みがどんな実行中の電圧A/D(VADC)変換も中止することに注意してください。

CKDIV8ヒューズ(135頁の**表30-3.**をご覧ください。)がCLKPSビットの初期値を決めます。CKDIV8が非プログラム(1)にされると、CLKPSビットは"00"にリセットされます。CKDIV8がプログラム(0)されると、CLKPSビットは始動で8分周係数を与える、"11"にリセットされます(既定工場設定)。

CKDIV8ヒューズ設定に拘らず、CLKPSビットにどんな値を書くことができることに留意してください。

表9-4. システム クロック前置分周器選択

CLKPS1	CLKPS0	クロック分周
0	0	1分周(分周なし)
0	1	2分周
1	0	4分周
1	1	8分周

表9-5. 電圧A/D変換器クロック前置分周 (注)

CLKPS1	CLKPS0	VADCクロック分周
0	0	8分周
0	1	4分周
1	0	2分周
1	1	1分周

注: 前置分周値変更時、VADC前置分周器はVADCクロック周波数を自動的に変更してどんな実行中の変換も中止します。

9.8.4. OSICSR – 発振器採取インターフェース制御/状態レジスタ (Oscillator Sampling Interface Control and Statud Register)

ビット	7	6	5	4	3	2	1	0	
$17 ($37)	–	–	–	OSISEL0	–	–	OSIST	OSIEN	OSICSR
Read/Write	R	R	R	R/W	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~5,3,2 – 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

● **ビット4 – OSISEL0 : 発振器採取インターフェース選択0** (Oscillator Sampling Interface Select 0)

表9-6. OSISELビット内容

OSISEL0	発振器元
0	ULP発振器
1	低速RC発振器

● **ビット1 – OSIST : 発振器採取インターフェース状態フラグ** (Oscillator Sampling Interface Status)

このビットは前置分周されたクロックの位相を継続的に表示します。このビットは前置分周されたクロックの上昇端と下降端を測定するためにCPUによってポーリングすることができます。

● **ビット0 – OSIEN : 発振器採取インターフェース許可** (Oscillator Sampling Interface Enable)

このビットの設定(1)が発振器採取インターフェースを許可します。このビットが解除(0)されると、発振器採取インターフェースは禁止されます。

注: OSICSRレジスタが書かれる度毎に前置分周器がリセットし、従ってその度毎に新しい発振器元が選ばれます。

10. 電力管理と休止形態

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

10.1. 休止形態種別

17頁の図9-1.はAtmel ATmega16HVB/32HVBの各種ｸﾛｯｸ系統とその配給を示します。この図は適切な休止形態を選ぶ助けになります。各種休止形態とそれらの起動元は表10-1.で要約され、図10-1.が休止形態状態図を示します。

表10-1. 休止形態に対する復帰起動元

休止種別	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ緩衝器短絡検出	調整器電流での起動	電池保護割り込み	外部割り込み	ｳｫｯﾁﾄﾞｯｸﾞﾀｲﾏ	SPM/EEPROM操作可	ｸｰﾛﾝｶｳﾝﾀA/D変換完了	電圧A/D変換完了	その他I/O	充電器接続	SMBusｱﾄﾞﾚｽ一致･ﾊﾞｽ接続/切断	電圧調整器警告
ｱｲﾄﾞﾙ	○	○	○	○	○	○	○	○	○	①,②	○	○
A/D変換雑音低減	○	○	○	○	○	○	○	○		①,②	○	○
ﾊﾟﾜｰｾｰﾌﾞ	○	○	○	○	○		○			①,②	○	
ﾊﾟﾜｰｵﾌ										①,②		

①：充電器検出が活性(有効)であるには放電FETがOFFにされていなければなりません。

②：ﾊﾟﾜｰｵﾌからの起動時、充電器検出は電源ONﾘｾｯﾄ(POR)を生成します。他の休止形態からは充電器検出割り込みがﾁｯﾌﾟを起動します。

休止形態の何れかへ移行するには休止形態制御ﾚｼﾞｽﾀ(SMCR)の休止許可(SE)ﾋﾞｯﾄが論理1を書かれ、SLEEP命令が実行されなければなりません。SMCRの休止種別選択(SM2～0)ﾋﾞｯﾄはSLEEP命令によって活性(有効)にされる休止形態のどれかを選びます。一覧については表10-3.をご覧ください。

MCUが休止形態中に許可した割り込みが起こると、MCUは起動します。その時MCUは起動時間に加えて4周期停止され、割り込みﾙｰﾁﾝを実行し、そしてSLEEP命令の次の命令から実行を再開します。ﾃﾞﾊﾞｲｽがﾊﾟﾜｰｵﾌを除く休止形態から起動するとき、ﾚｼﾞｽﾀﾌｧｲﾙとSRAMの内容は変えられません。休止形態中にﾘｾｯﾄが起こると、MCUは起動し、ﾘｾｯﾄ ﾍﾞｸﾀから実行します。

図10-1. 休止形態状態遷移図

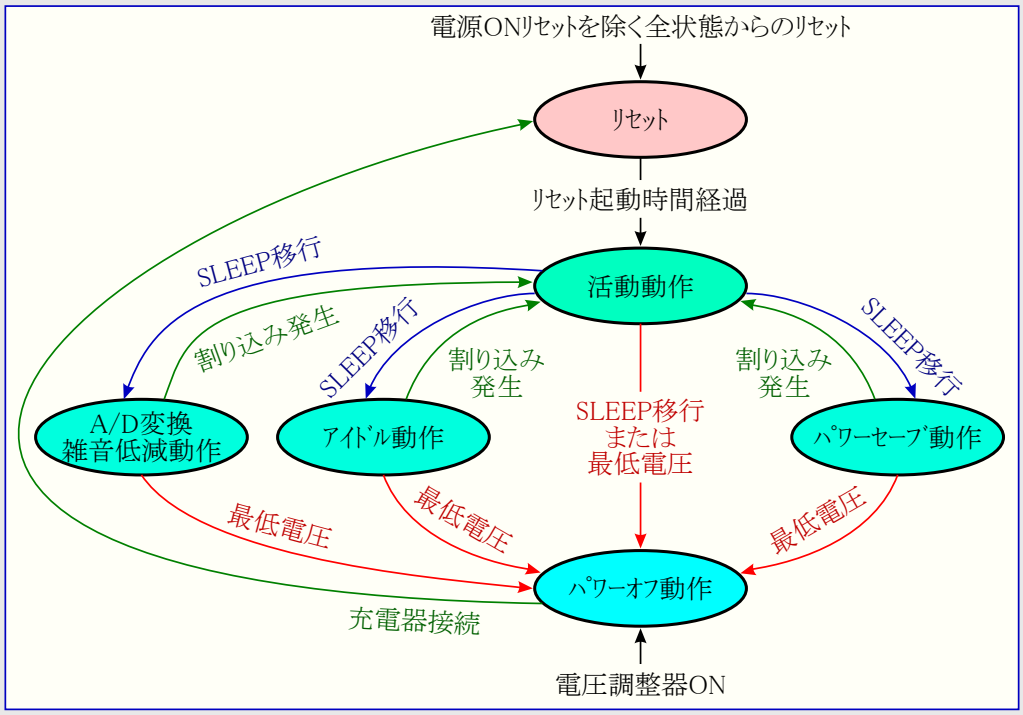


表10-2. 各休止形態に於ける活動単位部

単位部	活動動作	休止種別			
		ｱｲﾄﾞﾙ	A/D変換雑音低減	ﾊﾟﾜｰｾｰﾌﾞ	ﾊﾟﾜｰｵﾌ
高速RC発振器	○	○	○	○	
超低電力RC発振器	○	○	○	○	
低速RC発振器	①	①	②	②	
発振器採取ｲﾝﾀｰﾌｪｰｽ(OSI)	○	○			
CPU	○				
ﾌﾗｯｼｭ ﾒﾓﾘ	○				
ﾀｲﾏ/ｶｳﾝﾀn	○	○			
TWI/SMBus	○	○	③	③	
直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)	○	○			
電圧A/D変換器(V-ADC)	○	○	○		
ｸｰﾛﾝ ｶｳﾝﾀA/D変換器(CC-ADC)	○	○	○	○	
外部割り込み	○	○	○	○	
電池保護(CBP)	○	○	○	○	
ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ	○	○	○	○	
電圧調整器	○	○	○	⑤	
ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧	○	○	○	○	
FET駆動部	○	○	○	○	
充電器検出　(④)	○	○	○	○	○

①：発振器採取ｲﾝﾀｰﾌｪｰｽ(OSI)が許可され、OSIの供給元として低速RC発振器が選ばれている時にだけ動作します。
②：発振器採取ｲﾝﾀｰﾌｪｰｽ(OSI)が許可されている時にだけ動作します。
③：ｱﾄﾞﾚｽ一致とﾊﾞｽ接続/切断起動のみ。
④：充電器検出が許可されるには放電FETがOFFされなければなりません。
⑤：VREG監視割り込み(調整器動作条件警告)は利用できません。

10.2. ｱｲﾄﾞﾙ動作

休止種別選択(SM2～0)ﾋﾞｯﾄが'000'を書かれるとき、SLEEP命令はMCUをｱｲﾄﾞﾙ動作へ移行させ、CPUを停止しますが、全周辺機能の継続動作を許します。この休止形態は基本的にclk_{CPU}とclk_{FLASH}を停止する一方、他のｸﾛｯｸに走行を許します。ｱｲﾄﾞﾙ動作はMCUにﾀｲﾏ溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。

10.3. A/D変換雑音低減動作

SM2～0ﾋﾞｯﾄが'001'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させてCPUを停止しますが、電圧A/D変換器(VADC)、電圧調整監視器(VREGMON)、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)、ｸｰﾛﾝ ｶｳﾝﾀA/D変換器(CCADC)、電池電流保護(CBP)、(CCA DCが許可ならば)低速RC発振器、超低電力(ULP)RC発振器の継続動作を許します。この休止形態は基本的に$clk_{I/O}$, clk_{CPU}, clk_{FLASH}を停止する一方、他のｸﾛｯｸに走行を許します。

これは電圧A/D変換に対する雑音環境を改善し、より高い精度の測定を可能にします。

10.4. ﾊﾟﾜｰｾｰﾌﾞ動作

休止種別選択(SM2～0)ﾋﾞｯﾄが'011'を書かれると、SLEEP命令はMCUをﾊﾟﾜｰｾｰﾌﾞ動作へ移行させます。この動作では内蔵高速RC発振器が停止される一方、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)、ｸｰﾛﾝ ｶｳﾝﾀA/D変換器(CCADC)、電池電流保護(CBP)、(CCA DCが許可ならば)低速RC発振器、超低電力(ULP)RC発振器は継続して動作します。

本動作は応用ｿﾌﾄｳｪｱが内蔵高速RC発振器で走行するCPU、ﾌﾗｯｼｭ ﾒﾓﾘと周辺機能部のどれもの動作を必要としない時の既定動作です。

検出抵抗器を通る電流がｸｰﾛﾝ ｶｳﾝﾀA/D変換器で正確に測定できない程小さいなら、消費電力削減のために定常電流検出が許可されるべきです。起動ﾀｲﾏが時間を見失わないようにするので、電池の自己放電は計算できます。

ﾚﾍﾞﾙで起動した割り込みがﾊﾟﾜｰｾｰﾌﾞ動作からの復帰に使われる場合、MCUを起動するためには変更したﾚﾍﾞﾙが一定時間保持されなければならないことに注意してください。詳細については37頁の「**外部割り込み**」を参照してください。

ﾊﾟﾜｰｾｰﾌﾞ動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをｸﾛｯｸに許します。この起動(遅延)時間は17頁の「**ｸﾛｯｸ元**」で定義されます。

10.5. パワーオフ動作

休止種別選択(SM2～0)ビットが'110'を書かれると、SLEEP命令はCPUに対して電圧調整器を停止させ、充電器検出回路の動作だけを残したままにさせます。意図する時にだけMCUがパワーオフ動作へ移行するのを保証するため、SLEEP命令はSM2～0ビットが書かれた後の4クロック周期以内に実行されなければなりません。パワーオフ動作から復帰するとき、MCUはリセットします。

注: パワーオフ休止動作へ移行する前にソフトウェアによって割り込みは禁止されるべきです。さもなければ制限時間内に実行されるべきSLEEP命令を妨げるかもしれません。

10.6. 電力削減

電力削減レジスタ(PRR0)は消費電力を削減するために個別周辺機能へのクロックを停止する方法を提供します(26頁の「PRR0 – 電力削減レジスタ0」をご覧ください)。周辺機能は現状で固定化され、I/Oレジスタは書けません。クロックを停止している時に周辺機能によって使われていた資源は占有されたままですので、その周辺機能は殆どの場合、クロックを停止する前に禁止されるべきです。周辺機能部の起動は電力削減レジスタ(PRR0)のビットを解除(0)することによって行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力の削減のために、活動動作とアイドル動作で使えます。その他の休止形態ではクロックが予め停止されます。

10.7. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するデバイスの機能が可能な限り少なくなるように選ばれるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

10.7.1. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFにされるべきです。ウォッチドッグ タイマが許可されているとパワーオフ動作を除く全休止形態で許可されます。ウォッチドッグ タイマ消費電流はパワーセーブ動作でだけ重要です。ウォッチドッグ タイマ設定法の詳細については29頁の「ウォッチドッグ タイマ」をご覧ください。

10.7.2. ポート ピン

休止形態へ移行するとき、全てのポート ピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック($clk_{I/O}$)と電圧A/D変換クロック(clk_{VADC})の両方が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については45頁の「デジタル入力許可と休止形態」をご覧ください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVREG/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでのVREG/2付近のアナログ信号入力は活動動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ(DIDR0)の書き込みによって禁止できます。詳細については80頁の「DIDR0 – デジタル入力禁止レジスタ0」を参照してください。

10.7.3. 内蔵デバッグ機能

プログラム(0)されたDWENヒューズはクロック系のいくつかの部分に全休止形態での動作を許可します。これは休止の間の消費電力を増加するでしょう。従って、デバッグWIREが使われない時にDWENヒューズは禁止されるべきです。

10.7.4. 電池保護

電池保護機能の1つが応用で必要とされないなら、その機能は禁止されるべきです。91頁「BPCR – 電池保護制御レジスタ」をご覧ください。電池保護回路の消費電流はパワーセーブ動作でだけ重要です。両FETの禁止は消費電力最小化のために電池保護単位部を自動的に禁止します。電池保護が許可される時は必ず、バンドギャップ基準電圧が常に許可されるべきです。

10.7.5. 電圧A/D変換器

許可なら、電圧A/D変換器は休止形態と無関係に電力を消費します。節電のため、使われないとき、パワーセーブ休止動作へ移行する前に禁止されるべきです。電圧A/D変換器操作の詳細については77頁の「電圧A/D変換器 (7チャネル汎用12ビット⊿ΣA/D変換器)」をご覧ください。

10.7.6. クーロン カウンタA/D変換器

許可なら、クーロン カウンタA/D変換器は休止形態と無関係に電力を消費します。節電のため、使われない時に禁止、または定常電流検出動作に設定されるべきです。クーロン カウンタA/D変換器操作の詳細については70頁の「クーロン カウンタ (容量/残量計専用⊿ΣA/D変換器)」をご覧ください。

10.7.7. バンドギャップ基準電圧

許可なら、バンドギャップ基準電圧は休止形態と無関係に電力を消費します。節電のために電圧A/D変換器、クーロン カウンタA/D変換器、または電池保護に対する基準電圧として使われない時に禁止されるべきです。詳細については81頁の「基準電圧と温度感知器」をご覧ください。

10.8. 電力管理用ﾚｼﾞｽﾀ

10.8.1. SMCR – 休止形態制御ﾚｼﾞｽﾀ (Sleep Mode Control Register)

この休止形態制御ﾚｼﾞｽﾀは電力管理用の制御ﾋﾞｯﾄを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$33 ($53)	–	–	–	–	SM2	SM1	SM0	SE	SMCR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ3~1 – SM2~0 : 休止種別選択** (Sleep Mode Select Bit 2, 1 and 0)

これらのﾋﾞｯﾄは表10-3.で示される利用可能な4つの休止形態の1つを選びます。

● **ﾋﾞｯﾄ0 – SE : 休止許可** (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ﾋﾞｯﾄが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ﾋﾞｯﾄを設定(1)し、起動後直ちに解除(0)することが推奨されます。

表10-3. 休止形態種別選択

SM2	SM1	SM0	休止形態種別
0	0	0	ｱｲﾄﾞﾙ動作
0	0	1	A/D変換雑音低減動作
0	1	0	(予約)
0	1	1	ﾊﾟﾜｰｾｰﾌﾞ動作
1	0	0	ﾊﾟﾜｰｵﾌ動作
1	0	1	(予約)
1	1	0	(予約)
1	1	1	(予約)

10.8.2. PRR0 – 電力削減ﾚｼﾞｽﾀ0 (Power Reduction Register 0)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($64)	–	PRTWI	PRVRM	–	PRSPI	PRTIM1	PRTIM0	PRVADC	PRR0
Read/Write	R	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6,4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、PRR0が書かれる時にこれらのﾋﾞｯﾄは0が書かれなければなりません。

● **ﾋﾞｯﾄ6 – PRTWI : 2線直列ｲﾝﾀｰﾌｪｰｽ電力削減** (Power Reduction TWI)

このﾋﾞｯﾄへの1書き込みはこの部分へのｸﾛｯｸ停止によって2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を停止します。TWIの再起動時、TWIは正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ5 – PRVRM : 電圧調整監視器電力削減** (Power Reduction Voltage Regulator Monitor)

このﾋﾞｯﾄへの1書き込みはこの部分へのｸﾛｯｸ停止によって電圧調整監視器を停止します。

● **ﾋﾞｯﾄ3 – PRSPI : 直列周辺ｲﾝﾀｰﾌｪｰｽ電力削減** (Power Reduction SPI)

このﾋﾞｯﾄへの1書き込みはこの部分へのｸﾛｯｸ停止によって直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)を停止します。SPIの再起動時、SPIは正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ2 – PRTIM1 : ﾀｲﾏ/ｶｳﾝﾀ1電力削減** (Power Reduction Timer/Counter1)

このﾋﾞｯﾄへの1書き込みはﾀｲﾏ/ｶｳﾝﾀ1部を停止します。ﾀｲﾏ/ｶｳﾝﾀ1が許可されると、停止前と同様に動作は継続します。

● **ﾋﾞｯﾄ1 – PRTIM0 : ﾀｲﾏ/ｶｳﾝﾀ0電力削減** (Power Reduction Timer/Counter0)

このﾋﾞｯﾄへの1書き込みはﾀｲﾏ/ｶｳﾝﾀ0部を停止します。ﾀｲﾏ/ｶｳﾝﾀ0が許可されると、停止前と同様に動作は継続します。

● **ﾋﾞｯﾄ0 – PRVADC : 電圧A/D変換器電力削減** (Power Reduction V-ADC)

このﾋﾞｯﾄへの1書き込みは電圧A/D変換器(V-ADC)を停止します。電圧A/D変換器は停止前に禁止されなければなりません。

注: 例えPRVADCﾋﾞｯﾄが設定(1)されていても、V-ADC制御ﾚｼﾞｽﾀは更新することができます。

11. システム制御とリセット

11.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセット ベクタから実行を開始します。リセット ベクタに配置される命令は、きっとリセット処理ルーチンへのJMP(絶対分岐)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラム コードが配置できます。これはリセット ベクタが応用領域の一方、割り込みベクタがブート領域の場合やその逆も同様です。**図11-1.**の回路構成図はリセット論理回路を示します。151頁の**表32-3.**はリセット回路の電気的特性を定義します。

AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。

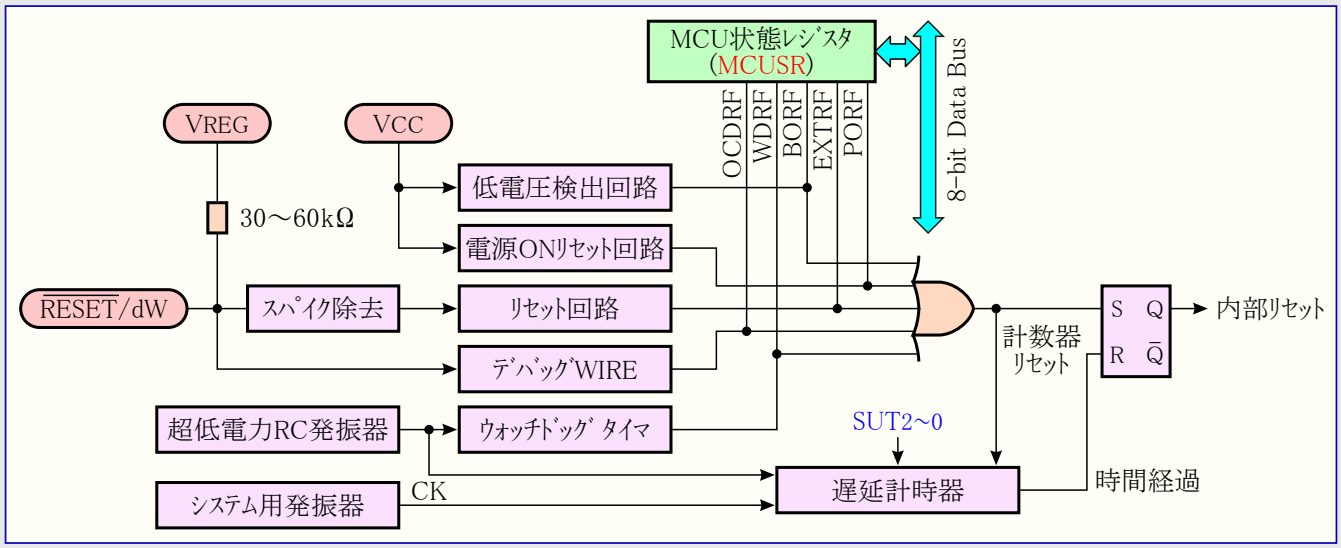
全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電圧調整器に許します。遅延タイマの遅延時間はSUTヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は17頁の「**クロック元**」で示されます。

11.2. リセット元

Atmel ATmega16HVB/32HVBには次の各種リセット元があります。

- **電源ONリセット** ・・・・・・ チップがパワーオフ動作で、充電器が接続されると、充電器検出部はリセット パルスを生成します。詳細については次頁の「**電源ONリセットと充電器接続**」をご覧ください。
- **外部リセット** ・・・・・・・・・ $\overline{\text{RESET}}$ピンに最小パルス幅より長くLowレベルが存在すると、MCUはリセットされます。詳細については次頁の「**外部リセット**」をご覧ください。
- **ウォッチドッグ リセット** ・・・・ ウォッチドッグ システム リセット動作が許可され、ウォッチドッグ タイマ時間が終了すると、MCUはリセットされます。詳細については次頁の「**ウォッチドッグ リセット**」をご覧ください。
- **低電圧リセット** ・・・・・・・ VREGが低電圧検出電圧(V_{BOT})以下のとき、MCUはリセットされます。詳細については次頁の「**低電圧検出**」をご覧ください。
- **デバッグWIREリセット** ・・・ チップ内デバッグ動作でのデバッグWIREリセットはリセット命令を与える時にMCUをリセットします。

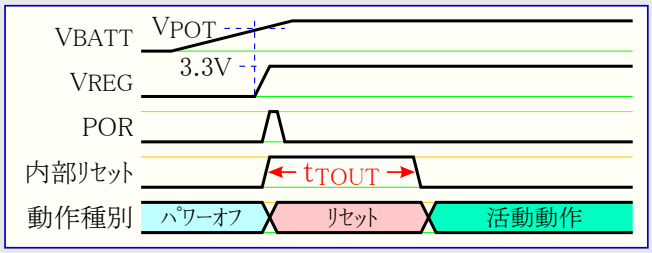
図11-1. リセット回路構成



11.2.1. 電源ONリセットと充電器接続

電圧調整器は充電器検出部がこれを許可するまで始動しません。これが起きる前のチップはパワーオフ動作で充電器検出部だけが許可されています。充電器検出部が電圧調整器を許可するためには、BATTピン電圧が電源ON閾値電圧(VPOT)を越えていなければなりません。BATTピン電圧がVPOTを越える時に電圧調整器が始動してチップがリセット動作へ移行します。遅延カウンタが計時を終了すると、チップは活動動作へ移行します(図11-1.参照)。詳細については84頁の「**充電器検出**」をご覧ください

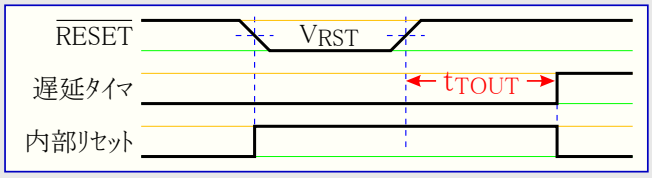
図11-2. ATmega16HVB/32HVBの電源投入



11.2.2. 外部リセット

外部リセットは$\overline{\text{RESET}}$ピンのLowレベルによって生成されます。例えクロックが動いていなくても、最小パルス幅(151頁の**表32-3.**参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセットの生成が保証されません。印加された信号の上昇がリセット閾値電圧(VRST)に達すると(遅延カウンタを起動し)、遅延計数器は遅延時間(t_{TOUT})経過後にMCUを始動します。

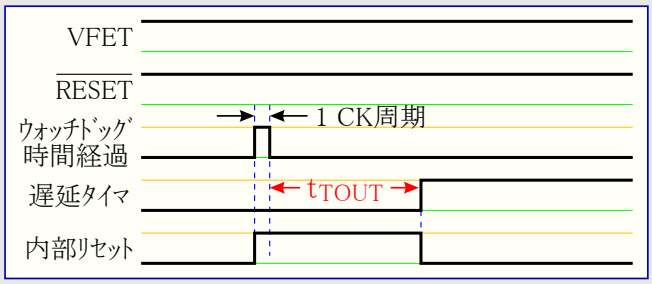
図11-3. 動作中の外部リセット



11.2.3. ウォッチドッグ リセット

ウォッチドッグ時間経過時、(内部的に)1CK周期幅の短いリセット パルスを生成します。このパルスの下降端で、遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ タイマ操作の詳細については29頁を参照してください。

図11-4. 動作中のウォッチドッグ リセット

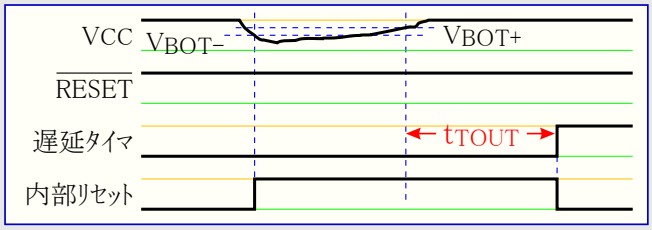


11.2.4. 低電圧(ブラウンアウト)検出リセット

ATmega16HVB/32HVBには固定化された起動(検出)電圧(VBOT)と比較することで動作中のVCCを監視するチップ上の低電圧検出(BOD)回路があります。この起動電圧はスパイク対策BODを保証するためにヒステリシスを持ちます。この検出電圧のヒステリシスは$V_{BOT+}=V_{BOT}+V_{HYST}/2$と$V_{BOT-}=V_{BOT}-V_{HYST}/2$と解釈されるべきです。

BOD許可時、VCCが起動(検出)電圧以下の値に下降すると(**図11-5.**のV_{BOT-})、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(**図11-5.**のV_{BOT+})、(遅延計数器が起動され、)遅延計数器は遅延時間(t_{TOUT})経過後にMCUを始動します。

図11-5. 動作中の低電圧リセット



11.3. リセットと基準電圧

基準電圧はVREF電圧が様々な単位部で基準電圧として使われるため、システムの性能に関して重要です。従ってリセット状態後にVREF電圧が正確になるのに先立って基準電圧が校正と安定を必要とすることに注意してください。基準電圧の校正と安定時間の詳細については81頁の「**基準電圧と温度感知器**」をご覧ください。

11.4. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

11.4.1. 特徴

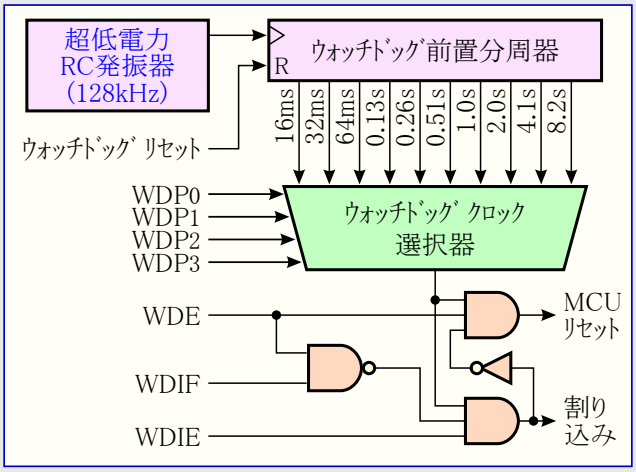
- 独立した内蔵発振器からのｸﾛｯｸ駆動
- 3つの動作種別
  - 割り込み
  - ｼｽﾃﾑ ﾘｾｯﾄ
  - 割り込みとｼｽﾃﾑ ﾘｾｯﾄ
- 選択可能な16ms～8sの計時完了時間
- 安全動作用のｳｫｯﾁﾄﾞｯｸﾞ常時ON(WDTON)ﾊｰﾄﾞｳｪｱ ﾋｭｰｽﾞ

11.4.2. 概要

Atmel ATmega16HVB/16HVBには強化されたｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)があります。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)は超低電力発振器の周期で計時するﾀｲﾏです。WDTは計数器が与えられた計時完了値に達した時に割り込みまたはｼｽﾃﾑ ﾘｾｯﾄを生じます。通常動作では計時完了値へ達する前に計数器を再始動するために、ｼｽﾃﾑはｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ(WD R)命令を使う必要があります。ｼｽﾃﾑが計数器を再始動しなければ、割り込みまたはｼｽﾃﾑ ﾘｾｯﾄが起こるでしょう。

割り込み動作ではﾀｲﾏ計時完了時にWDTが割り込みを生じます。この割り込みは休止形態からﾃﾞﾊﾞｲｽを起動するためや、一般的なｼｽﾃﾑ ﾀｲﾏとしても使えます。1つの例は或る動作に対して許された最大時間を制限することで、その動作が予測されたより長く走行する時に割り込みを生じます。ｼｽﾃﾑ ﾘｾｯﾄ動作種別ではﾀｲﾏ計時完了時にWDTがﾘｾｯﾄを生じます。これは一般的にｺｰﾄﾞ外走行の場合の中断を防止するのに使われます。3つ目の動作種別は先に割り込みを与え、その後にｼｽﾃﾑ ﾘｾｯﾄ動作種別に切り替えることで、他の2つの動作種別の組み合わせとなる、割り込み及びｼｽﾃﾑ ﾘｾｯﾄ動作種別です。この動作種別は例えばｼｽﾃﾑ ﾘｾｯﾄに先立って重要なﾊﾟﾗﾒｰﾀを保存することによって安全な停止を許します。

図11-6. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ構成図



ｳｫｯﾁﾄﾞｯｸﾞ常時ON(WDTON)ﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏをｼｽﾃﾑ ﾘｾｯﾄ動作種別に強制します。このﾋｭｰｽﾞのﾌﾟﾛｸﾞﾗﾑ(0)でｼｽﾃﾑ ﾘｾｯﾄ動作(WDE)ﾋﾞｯﾄと割り込み動作(WDIE)ﾋﾞｯﾄは各々、'1'と'0'に固定されます。更にﾌﾟﾛｸﾞﾗﾑ保護を保証するために、ｳｫｯﾁﾄﾞｯｸﾞ設定の変更は時間制限手順に従わなければなりません。ｼｽﾃﾑ ﾘｾｯﾄ許可(WDE)の解除と計時完了時間設定の変更についての手順は次のとおりです。

1. 同じ操作(命令)でｳｫｯﾁﾄﾞｯｸﾞ変更許可(WDCE)とWDEに論理1を書きます。WDEﾋﾞｯﾄの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4ｸﾛｯｸ周期内に同じ操作(命令)で欲したWDEとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択(WDP3～0)ﾋﾞｯﾄを書きますが、WDCEﾋﾞｯﾄは解除(0)されてです。これは1操作(命令)で行わなければなりません。

次のｺｰﾄﾞ例はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏをOFFに切り替えるｱｾﾝﾌﾞﾘ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WDT_OFF:    CLI                                     ;全割り込み禁止
            WDR                                     ;ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ
            IN      R16, MCUSR                      ;MCUSR値を取得
            ANDI    R16, ~(1<<WDRF)                 ;WDRF論理0値を取得
            OUT     MCUSR, R16                      ;ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ(WDRF)解除
            LDS     R16, WDTCSR                     ;現WDTCSR値を取得(他ﾋﾞｯﾄ保護用)
            ORI     R16, (1<<WDCE)|(1<<WDE)         ;WDCEとWDE論理1値を設定
            STS     WDTCSR, R16                     ;WDCEとWDEに論理1書き込み
            LDI     R16, (0<<WDE)                   ;WDE論理0値を取得
            STS     WDTCSR, R16                     ;ｳｫｯﾁﾄﾞｯｸﾞ禁止
            SEI                                     ;全割り込み許可
            RET                                     ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void WDT_off(void)
{
    __disable_interrupt();                          /* 全割り込み禁止 */
    __watchdog_reset();                             /* ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ */
    MCUSR &= ~(1<<WDRF);                            /* ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ(WDRF)解除 */
    WDTCSR |= (1<<WDCE)|(1<<WDE);                   /* WDCEとWDEに論理1書き込み */
    WDTCSR = 0x00;                                  /* ｳｫｯﾁﾄﾞｯｸﾞ禁止 */
    __enable_interrupt();                           /* 全割り込み許可 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

注: ｳｫｯﾁﾄﾞｯｸﾞが偶然に許可されると(例えばﾎﾟｲﾝﾀの逸脱や低電圧(ﾌﾞﾗｳﾝｱｳﾄ)状態)、ﾃﾞﾊﾞｲｽはﾘｾｯﾄし、ｳｫｯﾁﾄﾞｯｸﾞは許可に留まります。ｺｰﾄﾞがｳｫｯﾁﾄﾞｯｸﾞ操作の初期設定をしなければ、これは計時完了の無限繰り返しを引き起こすかもしれません。この状態を避けるため、応用ｿﾌﾄｳｪｱは例えｳｫｯﾁﾄﾞｯｸﾞが使われなくても、初期化ﾙｰﾁﾝでWDRFﾌﾗｸﾞとWDE制御ﾋﾞｯﾄを常に解除(0)すべきです。

次のｺｰﾄﾞ例はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの計時完了値変更用のｱｾﾝﾌﾞﾘ言語とC言語の関数を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WDT_PRS:    CLI                                     ;全割り込み禁止
            WDR                                     ;ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ
            LDS     R16, WDTCSR                     ;現WDTCSR値を取得(他ﾋﾞｯﾄ保護用)
            ORI     R16, (1<<WDCE)|(1<<WDE)         ;WDCEとWDE論理1値を設定
            STS     WDTCSR, R16                     ;WDCEとWDEに論理1書き込み
            LDI     R16, (1<<WDE)|(1<<WDP2)|(1<<WDP0)  ;WDE=1,計時間隔=0.5s値を取得
            STS     WDTCSR, R16                     ;0.5s監視間隔ﾘｾｯﾄ動作開始
            SEI                                     ;全割り込み許可
            RET                                     ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void WDT_off(void)
{
    __disable_interrupt();                          /* 全割り込み禁止 */
    __watchdog_reset();                             /* ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ */
    WDTCSR |= (1<<WDCE)|(1<<WDE);                   /* WDCEとWDEに論理1書き込み */
    WDTCSR = (1<<WDE)|(1<<WDP2)|(1<<WDP0);          /* 0.5s監視間隔ﾘｾｯﾄ動作開始 */
    __enable_interrupt();                           /* 全割り込み許可 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

注: ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択(WDP3～0)ﾋﾞｯﾄの変更がより短い計時完了周期に変わってしまう結果になり得るため、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏはWDPﾋﾞｯﾄのどんな変更にも先立ってﾘｾｯﾄ(WDR命令)されるべきです。

11.5. リセット関係用レジスタ

11.5.1. MCUSR – MCU状態レジスタ (MCU Status Register)

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
$34 ($54)	–	–	–	OCDRF	WDRF	BODRF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

- **ビット7~5 – 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

- **ビット4 – OCDRF : チップ内デバッグ リセット フラグ** (OCD Reset Flag)

このビットはデバッグWIREリセットが起きる場合に設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット3 – WDRF : ウォッチドッグ リセット フラグ** (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット2 – BODRF : 低電圧リセット フラグ** (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。電源ONリセットの場合はBODRFとPORFの両方が設定(1)されます。BODRFはこのフラグへの論理0書き込みによってリセット(0)されます。

- **ビット1 – EXTRF : 外部リセット フラグ** (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット0 – PORF : 電源ONリセット フラグ** (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセット フラグを使うため、使用者はプログラム内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセット フラグを調べることによって得られます。

11.5.2. WDTCSR – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ (Watchdog Timer Control Register)

ﾋﾞｯﾄ ($60)	7	6	5	4	3	2	1	0	
	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

● **ﾋﾞｯﾄ7 – WDIF : ｳｫｯﾁﾄﾞｯｸﾞ割り込み要求ﾌﾗｸﾞ** (Watchdog Interrupt Flag)

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが割り込みに設定され、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏで計時完了が起こると、本ﾋﾞｯﾄが設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、WDIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにWDIFはこのﾌﾗｸﾞへの論理1書き込みによっても解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとｳｫｯﾁﾄﾞｯｸﾞ割り込み許可(WDIE)が設定(1)されていれば、ｳｫｯﾁﾄﾞｯｸﾞ計時完了割り込みが実行されます。

● **ﾋﾞｯﾄ6 – WDIE : ｳｫｯﾁﾄﾞｯｸﾞ割り込み許可** (Watchdog Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ｳｫｯﾁﾄﾞｯｸﾞ割り込みが許可されます。この設定(=1)との組み合わせでｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ許可(WDE)ﾋﾞｯﾄが解除(0)されると、割り込み動作種別になり、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏで計時完了が起こると、対応する割り込みが実行されます。

WDEが設定(1)されると、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは割り込み及びｼｽﾃﾑ ﾘｾｯﾄ動作種別になります。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏでの最初の計時完了がｳｫｯﾁﾄﾞｯｸﾞ割り込み要求(WDIF)ﾌﾗｸﾞを設定(1)します。対応する割り込みﾍﾞｸﾀの実行はﾊｰﾄﾞｳｪｱによってWDIEとWDIFを自動的に解除(0)します。これは割り込みを使う間のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ保護を維持するために有用です。割り込み及びｼｽﾃﾑ ﾘｾｯﾄ動作種別に留まるには、各割り込み後にWDIEが設定(1)されなければなりません。然しながら、ｳｫｯﾁﾄﾞｯｸﾞ ｼｽﾃﾑ ﾘｾｯﾄ動作種別の安全機能に危険を及ぼすかもしれないため、これは割り込み処理ﾙｰﾁﾝ自身内で行われるべきではありません。次の計時完了に先立って割り込みが実行されない場合、ｼｽﾃﾑ ﾘｾｯﾄが適用(実行)されます。

表11-1. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ設定

WDTON	WDE	WDIE	動作種別	計時完了での動作
1	0	0	停止	なし
1	0	1	割り込み	割り込み
1	1	0	ｼｽﾃﾑ ﾘｾｯﾄ	ﾘｾｯﾄ
1	1	1	割り込み及びｼｽﾃﾑ ﾘｾｯﾄ	割り込み、その後ｼｽﾃﾑ ﾘｾｯﾄ動作種別
0	x	x	ｼｽﾃﾑ ﾘｾｯﾄ	ﾘｾｯﾄ

注: WDTONﾋｭｰｽﾞは0でﾌﾟﾛｸﾞﾗﾑ、1で非ﾌﾟﾛｸﾞﾗﾑに設定です。

● **ﾋﾞｯﾄ4 – WDCE : ｳｫｯﾁﾄﾞｯｸﾞ変更許可** (Watchdog Change Enable)

このﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ許可(WDE)と前置分周器ﾋﾞｯﾄの変更用の時間制限手順で使われます。WDEﾋﾞｯﾄの解除(0)や前置分周器ﾋﾞｯﾄ変更のため、WDCEは設定(1)されなければなりません。

一旦1を書かれると、4ｸﾛｯｸ周期後にﾊｰﾄﾞｳｪｱがWDCEを解除(0)します。

● **ﾋﾞｯﾄ3 – WDE : ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ許可** (Watchdog System Reset Enable)

WDEはMCU状態ﾚｼﾞｽﾀ(MCUSR)のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ(WDRF)によって無効にされます。これはWDRFが設定(1)されると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するにはWDRFが先に解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数ﾘｾｯﾄと失敗後の安全な起動を保証します。

● **ﾋﾞｯﾄ5,2~0 – WDP3~0 : ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択** (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3～0ﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが走行する時のｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの前置分周を決めます。各種前置分周値と対応する計時完了周期は**表11-2.**で示されます。

表11-2. ｳｫｯﾁﾄﾞｯｸﾞ前置分周選択

WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)					
代表的な計時完了周期 (注1)	16ms	32ms	64ms	0.13s	0.26s	0.51s	1.0s	2.0s	4.1s	8.2s						

注1: 実際の計時完了周期は実際の超低電力RC発振器ｸﾛｯｸ周期に依存します。詳細に関しては18頁の「**超低電力RC発振器**」を参照してください。

注2: ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ内の同期化論理回路のため、連続する2つのWDT計時完了間の時間は一覧にされた数値よりも3周期長くなります。

12. 割り込み

12.1. 概要

本章はATmega16HVB/32HVBによって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については9頁の「リセットと割り込みの扱い」を参照してください。

12.2. Atmel ATmega16HVB/32HVBの割り込みﾍﾞｸﾀ

表12-1. リセットと割り込みのﾍﾞｸﾀ

ﾍﾞｸﾀ番号	ﾌﾟﾛｸﾞﾗﾑ ｱﾄﾞﾚｽ (注2)	発生元	備考
1	$0000 (注1)	ﾘｾｯﾄ	外部ﾋﾟﾝ, 電源ON, WDT, BOD等の各種ﾘｾｯﾄ
2	$0002	BPINT	電池保護割り込み
3	$0004	VREGMON	電圧調整監視器割り込み
4	$0006	INT0	外部割り込み要求0
5	$0008	INT1	外部割り込み要求1
6	$000A	INT2	外部割り込み要求2
7	$000C	INT3	外部割り込み要求3
8	$000E	PCINT1 (PCI0)	ﾋﾟﾝ変化0群割り込み要求
9	$0010	PCINT1 (PCI1)	ﾋﾟﾝ変化1群割り込み要求
10	$0012	ｳｫｯﾁﾄﾞｯｸﾞ WDT	ｳｫｯﾁﾄﾞｯｸﾞ計時終了
11	$0014	BGSCD	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ緩衝短絡検出
12	$0016	CHDET	充電器検出
13	$0018	ﾀｲﾏ/ｶｳﾝﾀ1 IC1	ﾀｲﾏ/ｶｳﾝﾀ1捕獲発生
14	$001A	ﾀｲﾏ/ｶｳﾝﾀ1 COMPA1	ﾀｲﾏ/ｶｳﾝﾀ1比較A一致
15	$001C	ﾀｲﾏ/ｶｳﾝﾀ1 COMPB1	ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
16	$001E	ﾀｲﾏ/ｶｳﾝﾀ1 OVF1	ﾀｲﾏ/ｶｳﾝﾀ1溢れ
17	$0020	ﾀｲﾏ/ｶｳﾝﾀ0 IC0	ﾀｲﾏ/ｶｳﾝﾀ0捕獲発生
18	$0022	ﾀｲﾏ/ｶｳﾝﾀ0 COMP0A	ﾀｲﾏ/ｶｳﾝﾀ0比較A一致
19	$0024	ﾀｲﾏ/ｶｳﾝﾀ0 COMP0B	ﾀｲﾏ/ｶｳﾝﾀ0比較B一致
20	$0026	ﾀｲﾏ/ｶｳﾝﾀ0 OVF0	ﾀｲﾏ/ｶｳﾝﾀ0溢れ
21	$0028	2線直列ｲﾝﾀｰﾌｪｰｽ TWI_BUS	2線直列ｲﾝﾀｰﾌｪｰｽ ﾊﾞｽ接続/切断
22	$002A	2線直列ｲﾝﾀｰﾌｪｰｽ TWI	2線直列ｲﾝﾀｰﾌｪｰｽ状態変化
23	$002C	SPI STC	SPI 転送完了
24	$002E	電圧A/D変換器 VADC	電圧A/D変換完了
25	$0030	CC-A/D変換器 CCADC	ｸｰﾛﾝ ｶｳﾝﾀA/D変換器瞬間電流変換完了
26	$0032	CC-A/D変換器 CCADC_REG_C	ｸｰﾛﾝ ｶｳﾝﾀA/D変換器定常電流比較
27	$0034	CC-A/D変換器 CCADC_ACC	ｸｰﾛﾝ ｶｳﾝﾀA/D変換器累積電流変換完了
28	$0036	EEPROM EE_RDY	EEPROM 操作可
29	$0038	SPM命令 SPM_RDY	SPM命令操作可

注1: BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾃﾞﾊﾞｲｽはﾘｾｯﾄでﾌﾞｰﾄ ﾛｰﾀﾞ ｱﾄﾞﾚｽへ飛びます。123頁の「ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」をご覧ください。

注2: MCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭(部)へ移動されます。そして各割り込みﾍﾞｸﾀのｱﾄﾞﾚｽは、この表のｱﾄﾞﾚｽがﾌﾞｰﾄ ﾌﾗｯｼｭ領域の先頭ｱﾄﾞﾚｽに加算されます。

表12-2.はBOOTRST(ﾋｭｰｽﾞ)とIVSEL(割り込みﾍﾞｸﾀ選択ﾋﾞｯﾄ)の様々な組み合わせに対するﾘｾｯﾄと割り込みﾍﾞｸﾀの配置を示します。ﾌﾟﾛｸﾞﾗﾑが決して割り込み元を許可しないなら、割り込みﾍﾞｸﾀは使われず、これらの位置に通常のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞが置けます。これはﾘｾｯﾄ ﾍﾞｸﾀが応用領域の一方、割り込みﾍﾞｸﾀがﾌﾞｰﾄ領域、またはその逆の場合でも同様です。

表12-2. リセットと割り込みﾍﾞｸﾀの配置

BOOTRST	IVSEL	ﾘｾｯﾄ ﾍﾞｸﾀ ｱﾄﾞﾚｽ	割り込みﾍﾞｸﾀ先頭ｱﾄﾞﾚｽ
非ﾌﾟﾛｸﾞﾗﾑ (1)	0	$0000	$0002
	1	$0000	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ＋$0002
ﾌﾟﾛｸﾞﾗﾑ (0)	0	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ	$0002
	1	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ	ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽ＋$0002

注: ﾌﾞｰﾄ領域先頭ｱﾄﾞﾚｽは132頁の表29-5.で示されます。

ATmega16HVB/32HVBでの最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

ｱﾄﾞﾚｽ	ﾗﾍﾞﾙ	命令		注釈
$0000		JMP	RESET	;各種ﾘｾｯﾄ
$0002		JMP	BPINT	;電池保護割り込み
$0004		JMP	VREGMON_INT	;電圧調整監視器割り込み
$0006		JMP	EXT_INT0	;外部割り込み要求0
$0008		JMP	EXT_INT1	;外部割り込み要求1
$000A		JMP	EXT_INT2	;外部割り込み要求2
$000C		JMP	EXT_INT3	;外部割り込み要求3
$000E		JMP	PCINT0	;ﾋﾟﾝ変化0群割り込み要求
$0010		JMP	PCINT1	;ﾋﾟﾝ変化1群割り込み要求
$0012		JMP	WDT	;ｳｫｯﾁﾄﾞｯｸﾞ計時終了
$0014		JMP	BGSCD	;ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ緩衝短絡検出
$0016		JMP	CHDET	;充電器検出
$0018		JMP	TIM1_IC	;ﾀｲﾏ/ｶｳﾝﾀ1捕獲発生
$001A		JMP	TIM1_COMPA	;ﾀｲﾏ/ｶｳﾝﾀ1比較A一致
$001C		JMP	TIM1_COMPB	;ﾀｲﾏ/ｶｳﾝﾀ1比較B一致
$001E		JMP	TIM1_OVF	;ﾀｲﾏ/ｶｳﾝﾀ1溢れ
$0020		JMP	TIM0_IC	;ﾀｲﾏ/ｶｳﾝﾀ0捕獲発生
$0022		JMP	TIM0_COMPA	;ﾀｲﾏ/ｶｳﾝﾀ0比較A一致
$0024		JMP	TIM0_COMPB	;ﾀｲﾏ/ｶｳﾝﾀ0比較B一致
$0026		JMP	TIM0_OVF	;ﾀｲﾏ/ｶｳﾝﾀ0溢れ
$0028		JMP	TWI_BUS_CD	;2線直列ｲﾝﾀｰﾌｪｰｽ ﾊﾞｽ接続/切断
$002A		JMP	TWI	;2線直列ｲﾝﾀｰﾌｪｰｽ状態変化
$002C		JMP	SPI_STC	;直列周辺ｲﾝﾀｰﾌｪｰｽ転送完了
$002E		JMP	VADC	;電圧A/D変換完了
$0030		JMP	CCADC_CONV	;ｸｰﾛﾝ ｶｳﾝﾀA/D変換器瞬間電流変換完了
$0032		JMP	CCADC_REG_CUR	;ｸｰﾛﾝ ｶｳﾝﾀA/D変換器定常電流比較
$0034		JMP	CCADC_ACC	;ｸｰﾛﾝ ｶｳﾝﾀA/D変換器累積電流変換完了
$0036		JMP	EE_RDY	;EEPROM操作可
$0038		JMP	SPM_RDY	;SPM命令操作可
;				
$003A	RESET:	LDI	R16, HIGH(RAMEND)	;RAM最終ｱﾄﾞﾚｽ上位を取得
$003B		OUT	SPH, R16	;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$003C		LDI	R16, LOW(RAMEND)	;RAM最終ｱﾄﾞﾚｽ下位を取得
$003D		OUT	SPL, R16	;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
		～		;以下、I/O初期化など

BOOTRSTﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)、ﾌﾞｰﾄ領域容量が4Kﾊﾞｲﾄに設定され、どの割り込みが許可されるのにも先立ってMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

ｱﾄﾞﾚｽ	ﾗﾍﾞﾙ	命令		注釈
$0000	RESET:	LDI	R16, HIGH(RAMEND)	;RAM最終ｱﾄﾞﾚｽ上位を取得 (応用ﾌﾟﾛｸﾞﾗﾑ開始)
$0001		OUT	SPH, R16	;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$0002		LDI	R16, LOW(RAMEND)	;RAM最終ｱﾄﾞﾚｽ下位を取得
$0003		OUT	SPL, R16	;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
		～		;以下、I/O初期化など
		.ORG	$1802/$3802	;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が4Kﾊﾞｲﾄの場合
$1802/$3802		JMP	BPINT	;電池保護割り込み
$1804/$3804		JMP	VREGMON_INT	;電圧調整監視器割り込み
		～		
$1838/$3838		JMP	SPM_RDY	;SPM命令操作可

BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)、ﾌﾞｰﾄ領域容量が4Kﾊﾞｲﾄに設定される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ          ﾗﾍﾞﾙ     命令                          注釈
                        .ORG    $0002                 ;割り込みﾍﾞｸﾀ先頭

$0002                   JMP     BPINT                 ;電池保護割り込み
$0004                   JMP     VREGMON_INT           ;電圧調整監視器割り込み
                            ≀
$0038                   JMP     SPM_RDY               ;SPM命令操作可
                            ≀                         ;以下、ﾌﾟﾛｸﾞﾗﾑなど

                        .ORG    $1800/$3800           ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が4Kﾊﾞｲﾄの場合

$1800/$3800  RESET:     LDI     R16,HIGH(RAMEND)      ;RAM最終ｱﾄﾞﾚｽ上位を取得 (ﾌﾟﾛｸﾞﾗﾑ開始)
$1801/$3801             OUT     SPH,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$1802/$3802             LDI     R16,LOW(RAMEND)       ;RAM最終ｱﾄﾞﾚｽ下位を取得
$1803/$3803             OUT     SPL,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                            ≀                         ;以下、I/O初期化など
```

BOOTRSTﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)、ﾌﾞｰﾄ領域容量が4Kﾊﾞｲﾄに設定され、どの割り込みが許可されるのにも先立ってMCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄが設定(1)される時の最も代表的且つ一般的なﾘｾｯﾄと割り込みのﾍﾞｸﾀ ｱﾄﾞﾚｽ用設定を次に示します。

```
ｱﾄﾞﾚｽ          ﾗﾍﾞﾙ     命令                          注釈
                        .ORG    $1800/$3800           ;ﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域が4Kﾊﾞｲﾄの場合

$1800/$3800             JMP     RESET                 ;各種ﾘｾｯﾄ (BOOTRSTﾋｭｰｽﾞ=0)
$1802/$3802             JMP     BPINT                 ;電池保護割り込み
$1804/$3804             JMP     VREGMON_INT           ;電圧調整監視器割り込み
                            ≀
$1838/$3838             JMP     SPM_RDY               ;SPM命令操作可
;
$183A/$383A  RESET:     LDI     R16,HIGH(RAMEND)      ;RAM最終ｱﾄﾞﾚｽ上位を取得 (ﾌﾟﾛｸﾞﾗﾑ開始)
$183B/$383B             OUT     SPH,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ上位を初期化
$183C/$383C             LDI     R16,LOW(RAMEND)       ;RAM最終ｱﾄﾞﾚｽ下位を取得
$183D/$383D             OUT     SPL,R16               ;ｽﾀｯｸ ﾎﾟｲﾝﾀ下位を初期化
                            ≀                         ;以下、I/O初期化など
```

12.3. 応用領域とﾌﾞｰﾄ領域間の割り込みﾍﾞｸﾀ移動

MCU制御ﾚｼﾞｽﾀ(MCUCR)は割り込みﾍﾞｸﾀ表の配置を制御します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
MOVE_IVT:   IN      R16,MCUCR          ;現MCUCR値取得
            MOV     R17,R16            ;現MCUCR値複写
            ORI     R16,(1<<IVCE)      ;IVCE論理1値を取得
            OUT     MCUCR,R16          ;IVCEに論理1書き込み
            ORI     R17,(1<<IVSEL)     ;IVSEL論理1値を取得
            OUT     MCUCR,R17          ;ﾌﾞｰﾄ領域へ割り込みﾍﾞｸﾀを移動
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void Move_interrupts(void)
{
    uchr temp;                         /* 一時定数定義 */
    temp = MCUCR;                      /* 現MCUCR値取得 */
    MCUCR = temp|(1<<IVCE);            /* IVCEに論理1書き込み */
    MCUCR = temp|(1<<IVSEL);           /* ﾌﾞｰﾄ領域へ割り込みﾍﾞｸﾀを移動 */
}
```

12.4. 割り込みﾍﾞｸﾀ移動用ﾚｼﾞｽﾀ

12.4.1. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$35 ($55)	–	–	CKOE	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R	R	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ1 – IVSEL : 割り込みﾍﾞｸﾀ選択** (Interrupt Vector Select)

IVSELﾋﾞｯﾄが解除(0)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭ ﾒﾓﾘの先頭に配置されます。このﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄ ﾛｰﾀﾞ領域の始まりへ移動されます。ﾌﾞｰﾄ ﾌﾗｯｼｭ領域先頭の実際のｱﾄﾞﾚｽはBOOTSZﾋｭｰｽﾞによって決定されます。詳細については123頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」章を参照してください。割り込みﾍﾞｸﾀ表の予期せぬ変更を防ぐため、IVSELﾋﾞｯﾄの変更は特別な書き込み手順に従わなければなりません。

1. 割り込みﾍﾞｸﾀ変更許可(IVCE)ﾋﾞｯﾄに1を書きます。
2. 4周期内に、欲した値をIVSELに書き、同時に0をIVCEへ書きます。

この手順が実行される間、割り込みは自動的に禁止されます。割り込みはIVCEが設定(1)される周期で禁止され、後続のIVSELに書く命令の後まで禁止されたままです。IVSELが書かれなければ、割り込みは4周期間禁止されたままです。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄはこの自動禁止によって影響されません。

注: 割り込みﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域に配置され、BLB02ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、応用領域から実行する間中、割り込みが禁止されます。割り込みﾍﾞｸﾀが応用領域に配置され、BLB12ﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾌﾞｰﾄ ﾛｰﾀﾞ領域から実行する間中、割り込みが禁止されます。ﾌﾞｰﾄ施錠ﾋﾞｯﾄの詳細については123頁の「**ﾌﾞｰﾄ ﾛｰﾀﾞ支援 – 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」を参照してください。

● **ﾋﾞｯﾄ0 – IVCE : 割り込みﾍﾞｸﾀ変更許可** (Interrupt Vector Change Enable)

IVCEﾋﾞｯﾄは割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄの変更を許可するために論理1を書かれなければなりません。IVCEはIVSELが書かれる時、またはIVCEが書かれた後の4周期後、ﾊｰﾄﾞｳｪｱによって解除(0)されます。上記IVSELで説明されるようにIVCEﾋﾞｯﾄの設定(1)は割り込みを(一時的に)禁止します。ｺｰﾄﾞ例をご覧ください。

13. 外部割り込み

13.1. 概要

外部割り込みはINT0～3ﾋﾟﾝまたはPCINT0～11ﾋﾟﾝの何れかによって起動されます。許可したなら、例えINT0～3またはPCINT0～11ﾋﾟﾝが出力として設定されても、割り込みが起動することに注目してください。この特徴はｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。

INT0～3割り込みは上昇端または下降端(含む両端)、またはLowﾚﾍﾞﾙによって起動できます。これは外部割り込み制御ﾚｼﾞｽﾀA(EICRA)の詳述で示される設定です。INT0～3割り込みがﾚﾍﾞﾙ起動として設定、且つ許可されると、そのﾋﾟﾝがLowに保持される限り、割り込みは(継続的に)起動します。割り込みは非同期に検知されます。これはそれらの割り込みがﾊﾟﾜｰｵﾌ動作を除いて、ｱｲﾄﾞﾙ動作以外の休止形態からもﾃﾞﾊﾞｲｽを起動するのに使えることを意味します。I/Oｸﾛｯｸはｱｲﾄﾞﾙ動作を除く全休止形態で停止されます。

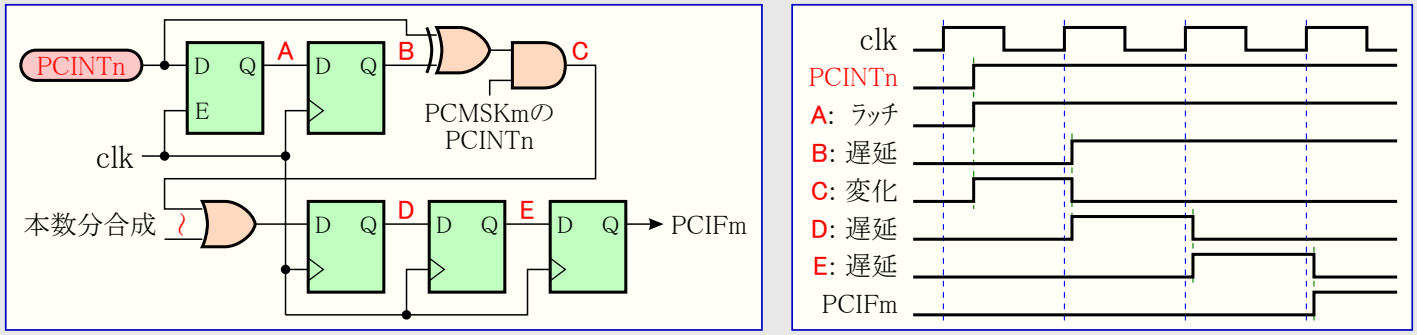
ﾋﾟﾝ変化割り込みのPCI1は許可したPCINT4～11の何れかが切り替わると起動し、PCI0は許可したPCINT0～3の何れかが切り替わると起動します。ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀn(PCMSK1,PCMSK0)は、どのﾋﾟﾝがﾋﾟﾝ変化割り込み要因となるかを制御します。PCINT0～11のﾋﾟﾝ変化割り込みは非同期に検知されます。これはそれらの割り込みがﾊﾟﾜｰｵﾌ動作を除いて、ｱｲﾄﾞﾙ動作以外の休止形態からもﾃﾞﾊﾞｲｽを起動するのに使えることを意味します。

ﾚﾍﾞﾙ起動割り込みがﾊﾟﾜｰｾｰﾌﾞ動作からの起動に使われる場合、必要とするﾚﾍﾞﾙはﾚﾍﾞﾙ割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保たれなければならないことに注意してください。このﾚﾍﾞﾙが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は17頁の「ｸﾛｯｸ系統とその配給」で示されるようにSUTﾋｭｰｽﾞによって定義されます。

13.2. ﾋﾟﾝ変化割り込みﾀｲﾐﾝｸﾞ (訳注:共通性から本項追加)

ﾋﾟﾝ変化割り込みの例は図13-1.で示されます。

図13-1. ﾋﾟﾝ変化割り込みﾀｲﾐﾝｸﾞ



13.3. 外部割り込み用ﾚｼﾞｽﾀ

13.3.1. EICRA – 外部割り込み制御ﾚｼﾞｽﾀA (External Interrupt Control Register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($69)	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	EICRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～0 – ISC31,0～ISC01,0 : 外部割り込み3～0条件制御** (External Interrupt3～0 Sense Control Bits)

外部割り込み3～0はｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の対応する割り込み許可ﾋﾞｯﾄが設定(1)される場合のINT3～0外部ﾋﾟﾝによって活性(有効)にされます。割り込みを活性にする外部INT3～0ﾋﾟﾝの端(ｴｯｼﾞ)とﾚﾍﾞﾙは表13-1.で定義されます。INT3～0の端は非同期に記録されます。154頁の表32-11.で与えられる最小ﾊﾟﾙｽ幅より広いINT3～0のﾊﾟﾙｽは割り込みを生成します。より短いﾊﾟﾙｽは割り込み発生が保証されません。Lowﾚﾍﾞﾙ割り込みが選ばれる場合、Lowﾚﾍﾞﾙは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。許可したなら、ﾚﾍﾞﾙで起動する割り込みはそのﾋﾟﾝがLowを保持される限り割り込み要求を(連続的に)生成します。ISCnﾋﾞｯﾄ変更時、割り込みが起き得ます。従って最初にEIMSKの割り込み許可ﾋﾞｯﾄを解除(0)することによってINTn割り込みを禁止することが推奨されます。その後、ISCnﾋﾞｯﾄは変更できます。最後にINTn割り込み要求ﾌﾗｸﾞは割り込み再許可前に外部割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(EIFR)の外部割り込みn要求(INTFn)ﾌﾗｸﾞに論理1を書くことによって解除(0)されるべきです。

表13-1. 外部割り込み3～0 割り込み条件

ISCn1	ISCn0	割り込み発生条件
0	0	Lowﾚﾍﾞﾙ
0	1	論理変化(両端)
1	0	下降端
1	1	上昇端

注: n=3～0
ISCn1,0ﾋﾞｯﾄ変更時、EIMSKで割り込み許可ﾋﾞｯﾄの解除(0)によって割り込みが禁止されねばなりません。さもなければﾋﾞｯﾄが変更される時に割り込みが起き得ます。

13.3.2. EIMSK – 外部割り込み許可ﾚｼﾞｽﾀ (External Interrupt Mask Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1D ($3D)	–	–	–	–	INT3	INT2	INT1	INT0	EIMSK
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ3～0 – INT3～INT0 : 外部割り込み3～0許可** (External Interrupt Request 3～0 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、INT3～0ﾋﾞｯﾄが1を書かれると、対応する外部ﾋﾟﾝ割り込みが許可されます。外部割り込み制御ﾚｼﾞｽﾀ(EICRA)の割り込み条件制御n(ISCn1,ISCn0)ﾋﾞｯﾄは、その外部割り込みが上昇端、下降端、両端、またはLowﾚﾍﾞﾙのどれで活性(有効)にされるかを定義します。例えそのﾋﾟﾝが出力として設定されても、そのﾋﾟﾝの動きは割り込み要求を引き起こします。これはｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。

13.3.3. EIFR – 外部割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (External Interrupt Flag Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1C ($3C)	–	–	–	–	INTF3	INTF2	INTF1	INTF0	EIFR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ3～0 – INTF3～INTF0 : 外部割り込み3～0要求ﾌﾗｸﾞ** (External Interrupt Flag3～0)

INT3～0ﾋﾟﾝ上の端(ｴｯｼﾞ)または論理変化が割り込み要求を起動すると、INTF3～0が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み許可ﾚｼﾞｽﾀ(EIMSK)の対応する割り込み許可(INT3～0)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込みﾙｰﾁﾝが実行されると解除(0)されます。代わりにこのﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。INT3～0がﾚﾍﾞﾙ割り込みとして設定されると、このﾌﾗｸﾞは常に解除(0)されます。INT3～0割り込み禁止で休止形態へ移行すると、これらのﾋﾟﾝの入力緩衝部が禁止されることに注意してください。これはINTF3～0ﾌﾗｸﾞを設定(1)する内部信号の論理変化を起こすかもしれません。より多くの情報については45頁の「**ﾃﾞｼﾞﾀﾙ入力許可と休止形態**」をご覧ください。

13.3.4. PCICR – ﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ (Pin Change Interrupt Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($68)	–	–	–	–	–	–	PCIE1	PCIE0	PCICR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～2 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ1 – PCIE1 : ﾋﾟﾝ変化1群割り込み許可** (Pin Change Interrupt Enable 1)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、PCIE1ﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝ変化割り込み1群が許可されます。許可したPCINT4～11ﾋﾟﾝの何れかの変化が割り込みを起こします。このﾋﾟﾝ変化割り込み要求に対応する割り込みはPCI1割り込みﾍﾞｸﾀから実行されます。PCINT4～11ﾋﾟﾝはﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ1(PCMSK1)によって個別に許可されます。

● **ﾋﾞｯﾄ0 – PCIE0 : ﾋﾟﾝ変化0群割り込み許可** (Pin Change Interrupt Enable 0)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)され、PCIE0ﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝ変化割り込み0群が許可されます。許可したPCINT0～3ﾋﾟﾝの何れかの変化が割り込みを起こします。このﾋﾟﾝ変化割り込み要求に対応する割り込みはPCI0割り込みﾍﾞｸﾀから実行されます。PCINT0～3ﾋﾟﾝはﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ0(PCMSK0)によって個別に許可されます。

13.3.5. PCIFR – ﾋﾟﾝ変化割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Pin Change Interrupt Flag Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1B ($3B)	–	–	–	–	–	–	PCIF1	PCIF0	PCIFR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～2 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ1 – PCIF1 : ﾋﾟﾝ変化1群割り込み要求ﾌﾗｸﾞ** (Pin Change Interrupt Flag 1)

PCINT4～11ﾋﾟﾝの何れかの論理変化が割り込み要求を起動すると、PCIF1が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のﾋﾟﾝ変化1群割り込み許可(PCIE1)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが開始されると解除(0)されます。代わりにこのﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。

● **ﾋﾞｯﾄ0 – PCIF0 : ﾋﾟﾝ変化0群割り込み要求ﾌﾗｸﾞ** (Pin Change Interrupt Flag 0)

PCINT0～3ﾋﾟﾝの何れかの論理変化が割り込み要求を起動すると、PCIF0が設定(1)になります。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のﾋﾟﾝ変化0群割り込み許可(PCIE0)ﾋﾞｯﾄが設定(1)なら、MCUは対応する割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが開始されると解除(0)されます。代わりにこのﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。

13.3.6. PCMSK1 – ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ1 (Pin Change Enable Mask 4～11)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6C)	PCINT11	PCINT10	PCINT9	PCINT8	PCINT7	PCINT6	PCINT5	PCINT4	PCMSK1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～0 – PCINT11～PCINT4 : ﾋﾟﾝ変化割り込み11～4許可** (Pin Change Enable Mask 11～4)

各PCINT4～11ﾋﾞｯﾄは対応するI/Oﾋﾟﾝでﾋﾟﾝ変化割り込みが許可されるかどうかを選びます。PCINT4～11とﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のPCIE1が設定(1)なら、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みが許可されます。PCINT4～11が解除(0)されると、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みは禁止されます。

13.3.7. PCMSK0 – ﾋﾟﾝ変化割り込み許可ﾚｼﾞｽﾀ0 (Pin Change Enable Mask 0～3)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6B)	–	–	–	–	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ7～0 – PCINT3～PCINT0 : ﾋﾟﾝ変化割り込み3～0許可** (Pin Change Enable Mask 3～0)

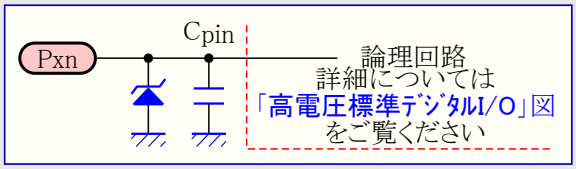
各PCINT0～3ﾋﾞｯﾄは対応するI/Oﾋﾟﾝでﾋﾟﾝ変化割り込みが許可されるかどうかを選びます。PCINT0～3とﾋﾟﾝ変化割り込み制御ﾚｼﾞｽﾀ(PCICR)のPCIE0が設定(1)なら、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みが許可されます。PCINT0～3が解除(0)されると、対応するI/Oﾋﾟﾝのﾋﾟﾝ変化割り込みは禁止されます。

14. 高電圧入出力ﾎﾟｰﾄ

14.1. 概要

全てのAVRの高電圧ﾎﾟｰﾄは標準ﾃﾞｼﾞﾀﾙI/Oﾎﾟｰﾄとして使われる時に真の読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞｨﾌｧｲ ﾗｲﾄ)を機能的に持ちます。これはSBIとCBI命令で他のどのﾋﾟﾝの方向をも無意識に変更することなく、1つのﾎﾟｰﾄ ﾋﾟﾝの方向を変更できることを意味します。全ての高電圧I/Oﾋﾟﾝは図14-1.で示される、GNDへの保護ﾂｪﾅｰﾀﾞｲｵｰﾄﾞを持ちます。各値の完全な一覧表については150頁の「**電気的特性**」を参照してください。

図14-1. 高電圧入出力ﾋﾟﾝ等価回路



本章内の全てのﾚｼﾞｽﾀとﾋﾞｯﾄの参照は一般形で記されます。小文字の'x'はﾎﾟｰﾄ番号文字、小文字の'n'はﾋﾞｯﾄ番号を表します。けれどもﾌﾟﾛｸﾞﾗﾑ内でﾚｼﾞｽﾀやﾋﾞｯﾄ定義に使う時は正確な形式(例えば、ここで一般に記されたPORTxnがﾎﾟｰﾄCのﾋﾞｯﾄ3に対してはPORTC3)が使われなければなりません。物理的なI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は42頁の「**高電圧出力ﾎﾟｰﾄ用ﾚｼﾞｽﾀ**」で一覧されます。

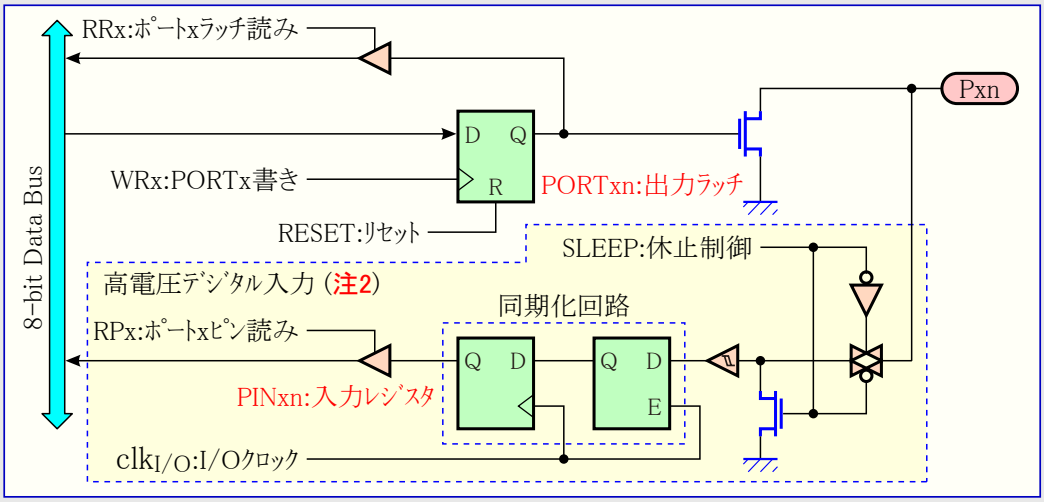
出力ﾚｼﾞｽﾀ(PORTx)の各高電圧ﾎﾟｰﾄに対して、1つI/Oﾒﾓﾘ ｱﾄﾞﾚｽ位置が割り当てられます。出力ﾚｼﾞｽﾀは読み書きされます。

標準ﾃﾞｼﾞﾀﾙI/OとしてのI/Oﾎﾟｰﾄの使用は次の「**標準ﾃﾞｼﾞﾀﾙ入出力としての高電圧ﾎﾟｰﾄ**」で記述されます。

14.2. 標準ﾃﾞｼﾞﾀﾙ入出力としての高電圧ﾎﾟｰﾄ

この高電圧ﾎﾟｰﾄは耐高電圧ｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ出力ﾎﾟｰﾄです。加えて、それらは汎用ﾃﾞｼﾞﾀﾙ入力としても使えます。**図14-2.**は、ここで属にPxnと呼ばれるI/Oﾎﾟｰﾄ ﾋﾟﾝの1つの機能説明を示します。

図14-2. 標準高電圧ﾃﾞｼﾞﾀﾙ入出力 (注1)



注1: WRx, WPx WDx, RRx, RPx, RDxは同一ﾎﾟｰﾄ内の全ﾋﾟﾝで共通です。
clkI/O,SLEEPは全ﾎﾟｰﾄで共通です。

注2: 高電圧ﾃﾞｼﾞﾀﾙ入力はPC5に存在しません。

14.2.1. ﾋﾟﾝの設定

各ﾎﾟｰﾄ ﾋﾟﾝは2つのﾚｼﾞｽﾀ ﾋﾞｯﾄ(PORTxnとPINxn)から成ります。「**高電圧出力ﾎﾟｰﾄ用ﾚｼﾞｽﾀ**」で示されるように、このPORTxnﾋﾞｯﾄはPORTx I/Oｱﾄﾞﾚｽで、PINxnﾋﾞｯﾄはPINx I/Oｱﾄﾞﾚｽでｱｸｾｽされます。

PORTxnが論理1を書かれると、そのﾎﾟｰﾄ ﾋﾟﾝはLow(0)に駆動されます。PORTxnが論理0を書かれると、そのﾎﾟｰﾄ ﾋﾟﾝはHi-Zにされます。ﾎﾟｰﾄ ﾋﾟﾝは例えｸﾛｯｸが動いていなくても、ﾘｾｯﾄ条件が活性(有効)になるとHi-Zにされます。

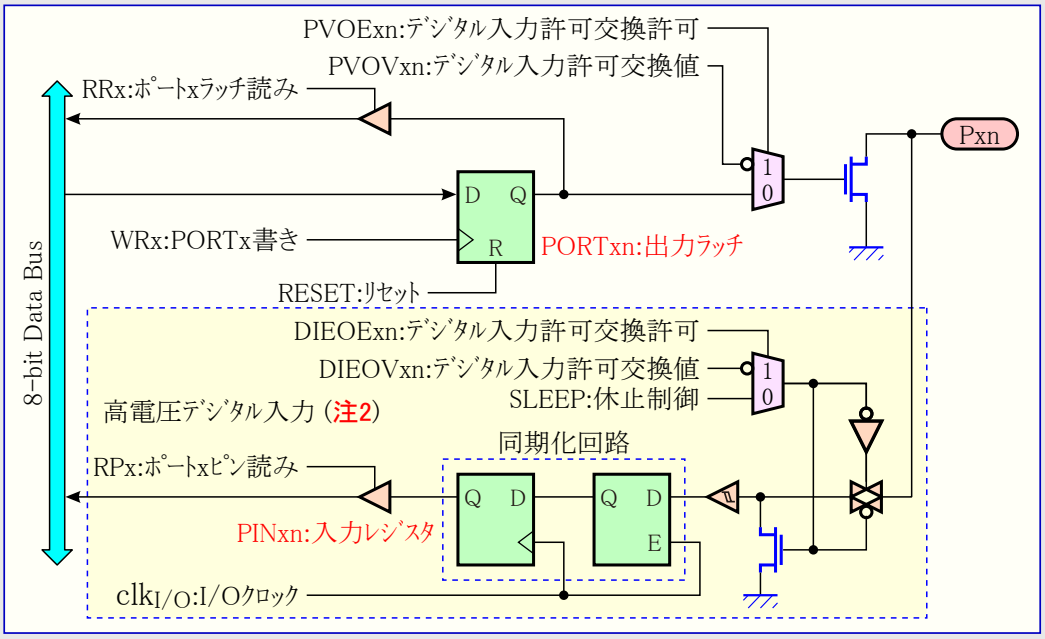
14.2.2. ﾋﾟﾝの読み方

ﾎﾟｰﾄ ﾋﾟﾝはPINxnﾚｼﾞｽﾀのﾋﾞｯﾄを通して読むことができます。**図14-2.**で示されるように、PINxnﾚｼﾞｽﾀ ﾋﾞｯﾄと先行するﾗｯﾁは同期化回路を構成します。これは物理ﾋﾟﾝが内部ｸﾛｯｸの端(ｴｯｼﾞ)付近で値を変える場合の未定義状態(ﾒﾀ ｽﾃｰﾌﾞﾙ)を避けるために必要とされますが、それは遅延も持ち込みます。

14.3. 交換ﾎﾟｰﾄ機能

高電圧I/Oには標準ﾃﾞｼﾞﾀﾙ入出力に加えて交換機能があります。図14-3.は単純化された図14-2.でのポート ﾋﾟﾝ制御信号が交換機能により、どう重複できるかを示します。

図14-3. 高電圧ﾃﾞｼﾞﾀﾙ入出力 (注1)



注1: WRx, WPx WDx, RRx, RPx, RDxは同一ﾎﾟｰﾄ内の全ﾋﾟﾝで共通です。
clkI/O,SLEEPは全ﾎﾟｰﾄで共通です。

注2: 高電圧ﾃﾞｼﾞﾀﾙ入力はPC5に存在しません。

表14-1.は重複(交換)信号の機能一覧を示します。図14-3.で示すﾋﾟﾝとﾎﾟｰﾄは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表14-1. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PVOE	出力値交換許可	1で出力駆動部がONなら、ﾎﾟｰﾄ値はPVOV信号で制御されます。出力駆動部がONで0の場合、ﾎﾟｰﾄ値はPORTxnﾚｼﾞｽﾀ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnﾚｼﾞｽﾀ値に関係なく、ﾎﾟｰﾄ値を制御(1/0)します。
DIEOE	ﾃﾞｼﾞﾀﾙ入力許可交換許可	1で、ﾃﾞｼﾞﾀﾙ入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	ﾃﾞｼﾞﾀﾙ入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、ﾃﾞｼﾞﾀﾙ入力を許可(1)/禁止(0)します。
DI	ﾃﾞｼﾞﾀﾙ入力	交換機能用ﾃﾞｼﾞﾀﾙ入力です。この信号は図上でｼｭﾐｯﾄ ﾄﾘｶﾞ出力に接続されていますが、これは同期化前となります。この信号はｸﾛｯｸとしての使用を除き、各交換機能自身が同期化します。

14.3.1. ポートCの交換機能

交換機能を持つポートCピンは表14-2.で示されます。

表14-2. ポートCピンの交換機能

ポート ピン	交換機能	
PC4	SCL	(SMBusクロック線)
PC3	INT3 SDA	(外部割り込み要求3入力) (SMBusデータ線)
PC2	INT2	(外部割り込み要求2入力)
PC1	INT1	(外部割り込み要求1入力)
PC0	INT0 EXTPROT	(外部割り込み要求0入力) (電池保護外部入力)

交換ピンの設定は次のとおりです。

- SCL – ポートC ビット4 : PC4

  SCL : SMBusクロック。このピンは2線直列インターフェース用の双方向クロック線として扱えます。

- INT3/SDA – ポートC ビット3 : PC3

  INT3 : 外部割り込み要求3入力。このピンは外部割り込み元として扱えます。INT3は他の機能が許可されているか否かに拘らず割り込みピンとして使えます。

  SDA : SMBusデータ。このピンは2線直列インターフェース用の双方向直列データ線として扱えます。

- INT2 – ポートC ビット2 : PC2

  INT2 : 外部割り込み要求2入力。このピンは外部割り込み元として扱えます。INT2は他の機能が許可されているか否かに拘らず割り込みピンとして使えます。

- INT1 – ポートC ビット1 : PC1

  INT1 : 外部割り込み要求1入力。このピンは外部割り込み元として扱えます。INT1は他の機能が許可されているか否かに拘らず割り込みピンとして使えます。

- INT0/EXTPROT – ポートC ビット0 : PC0

  INT0 : 外部割り込み要求0入力。このピンは外部割り込み元として扱えます。INT0は他の機能が許可されているか否かに拘らず割り込みピンとして使えます。

  EXTPROT : 電池保護外部入力。このピンは外部的にFET制御器を無効にし得るための電池保護外部入力として扱えます。

表14-3.はポートCの交換機能を41頁の図14-3.で示される交換信号に関連付けます。

表14-3. ポートC0の交換機能用交換信号

信号名	PC4/SCL	PC3/INT3/SDA	PC2/INT2	PC1/INT1	PC0/INT0/EXTPROT
PVOE	SMBus許可	SMBus許可	–	–	EXTPROT許可
PVOV	SMBusクロック	SMBusデータ	–	–	1
DIEOE	SMBus許可	INT0|SMBus許可	INT2許可	INT1許可	INT0|EXTPROT許可
DIEOV	1	1	1	1	1
DI	SMBusクロック	INT3/SMBusデータ入力	INT2入力	INT1入力	INT0/EXTPROT入力

14.4. 高電圧I/Oポート用レジスタ

14.4.1. PORTC – ポートC出力レジスタ (Port C Data Register)

ビット	7	6	5	4	3	2	1	0	
$08 ($28)	–	–	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

14.4.2. PINC – ポートC入力レジスタ (Port C Input Address)

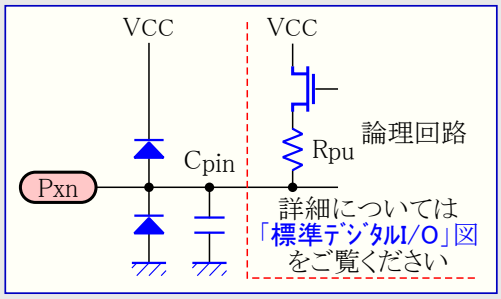
ビット	7	6	5	4	3	2	1	0	
$06 ($26)	–	–	–	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

15. 低電圧入出力ﾎﾟｰﾄ

15.1. 概要

全てのAVRの低電圧ﾎﾟｰﾄは標準ﾃﾞｼﾞﾀﾙI/Oﾎﾟｰﾄとして使われる時に真の読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞｨﾌｧｲ ﾗｲﾄ)を機能的に持ちます。これはSBIとCBI命令で他のどのﾋﾟﾝの方向をも無意識に変更することなく、1つのﾎﾟｰﾄ ﾋﾟﾝの方向を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)ﾌﾟﾙｱｯﾌﾟ抵抗を許可/禁止する時にも同じく適用されます。全ての低電圧ﾎﾟｰﾄ ﾋﾟﾝは個別に選択可能な、供給電圧で抵抗値が変化しないﾌﾟﾙｱｯﾌﾟ抵抗を持っています。全てのI/Oﾋﾟﾝは図15-1.で示されるようにVCCとGNDの両方に保護ﾀﾞｲｵｰﾄﾞを持ちます。各値の完全な一覧については150頁の「**電気的特性**」を参照してください。

図15-1. 低電圧入出力ﾋﾟﾝ等価回路



本章内の全てのﾚｼﾞｽﾀとﾋﾞｯﾄの参照は一般形で記されます。小文字の'x'はﾎﾟｰﾄ番号文字、小文字の'n'はﾋﾞｯﾄ番号を表します。けれどもﾌﾟﾛｸﾞﾗﾑ内でﾚｼﾞｽﾀやﾋﾞｯﾄ定義に使う時は正確な形式(例えば、ここで一般に記されたPORTxnがﾎﾟｰﾄBのﾋﾞｯﾄ3に対してはPORTB3)が使われなければなりません。物理的なI/Oﾚｼﾞｽﾀとﾋﾞｯﾄ位置は50頁の「**低電圧I/Oﾎﾟｰﾄ用ﾚｼﾞｽﾀ**」で一覧されます。

各々1つの出力ﾚｼﾞｽﾀ(PORTx)、方向ﾚｼﾞｽﾀ(DDRx)、入力ﾚｼﾞｽﾀ(PINx)の各低電圧ﾎﾟｰﾄに対して、3つI/Oﾒﾓﾘ ｱﾄﾞﾚｽ位置が割り当てられます。入力ﾚｼﾞｽﾀのI/O位置は読むだけで、一方出力ﾚｼﾞｽﾀと方向ﾚｼﾞｽﾀは読み書き(両方)です。けれどもPINxﾚｼﾞｽﾀのﾋﾞｯﾄへの論理1書き込みは、出力ﾚｼﾞｽﾀの対応ﾋﾞｯﾄ値を(1/0)反転する結果になります。加えてMCU制御ﾚｼﾞｽﾀ(MCUCR)のﾌﾟﾙｱｯﾌﾟ禁止(PUD)ﾋﾞｯﾄが設定(1)されると、全ﾎﾟｰﾄ内の全低電圧ﾋﾟﾝに対してﾌﾟﾙｱｯﾌﾟ機能を禁止します。

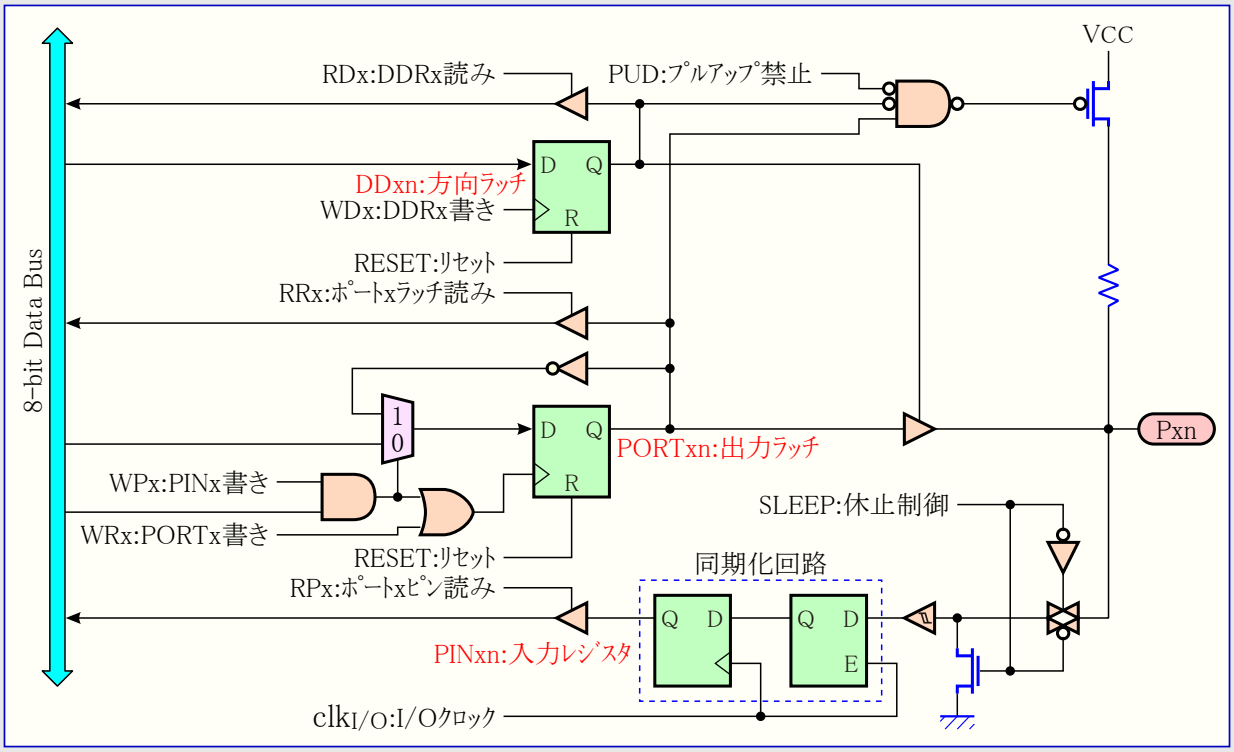
標準ﾃﾞｼﾞﾀﾙI/OとしてのI/Oﾎﾟｰﾄの使用は次の「**標準ﾃﾞｼﾞﾀﾙ入出力としての低電圧ﾎﾟｰﾄ**」で記述されます。多くの低電圧ﾎﾟｰﾄ ﾋﾟﾝはﾃﾞﾊﾞｲｽの周辺機能用の交換機能と多重化されます。ﾎﾟｰﾄ ﾋﾟﾝとの各交換機能のｲﾝﾀｰﾌｪｰｽ法は46頁の「**交換ﾎﾟｰﾄ機能**」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

ﾎﾟｰﾄ ﾋﾟﾝのいくつかの交換機能の許可は、そのﾎﾟｰﾄ内の他のﾋﾟﾝの標準ﾃﾞｼﾞﾀﾙ入出力としての使用に影響しないことに注意してください。

15.2. 標準ﾃﾞｼﾞﾀﾙ入出力としての低電圧ﾎﾟｰﾄ

この低電圧ﾎﾟｰﾄは任意の内部ﾌﾟﾙｱｯﾌﾟ付き双方向I/Oﾎﾟｰﾄです。図15-2.はここで属にPxnと呼ばれるI/Oﾎﾟｰﾄ ﾋﾟﾝの1つの機能説明を示します。

図15-2. 低電圧標準ﾃﾞｼﾞﾀﾙ入出力回路構成



注: WRx, WPx WDx, RRx, RPx, RDxは同一ﾎﾟｰﾄ内の全ﾋﾟﾝで共通です。
clkI/O,SLEEP, PUDは全ﾎﾟｰﾄで共通です。

15.2.1. ピンの設定

各ポート ピンは3つのレジスタ ビット、DDxn、PORTxn、PINxnから成ります。50頁の「低電圧I/Oポート用レジスタ」で示されるようにDDxnビットはDDRx I/Oアドレス、PORTxnビットはPORTx I/Oアドレス、PINxビットはPINx I/Oアドレスでアクセスされます。

DDRxレジスタ内のDDxnビットはそのピンの方向を選びます。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポート ピンは例えクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポート ピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポート ピンはLow(0)に駆動されます。

15.2.2. ピンの出力交互切り替え

PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えします。SBI命令がポート内の1ビットの反転切り替えに使えることに注目してください。

15.2.3. 入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高インピーダンス環境は強力なHigh(吐き出し)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するために、MCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

表15-1.はピン値に対する制御信号の一覧を示します。

表15-1. ポート ピンの設定

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高インピーダンス (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

15.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポート ピンはPINxnレジスタ ビットを通して読めます。図15-2.で示されるようにPINxnレジスタ ビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックの端(エッジ)付近で値を変える場合の未定義状態(メタ ステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図15-3.は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々$t_{pd,min}$と$t_{pd,max}$で示されます。

(図15-3.で)システム クロックの最初の下降端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステム クロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印$t_{pd,min}$と$t_{pd,max}$によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5～1.5システム クロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図15-4.で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステム クロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システム クロック周期です。

図15-3. 外部供給ピン値読み込み時の同期化

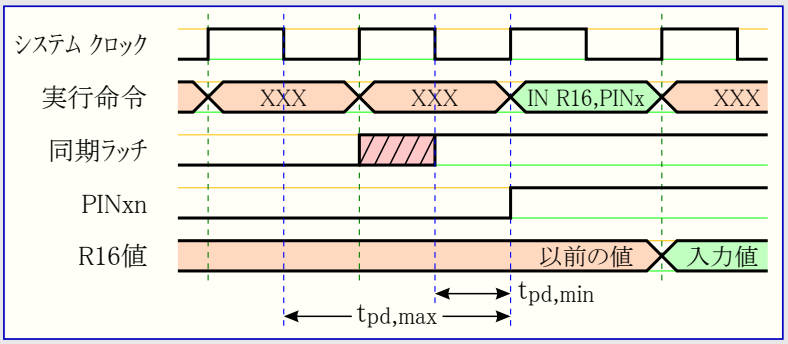
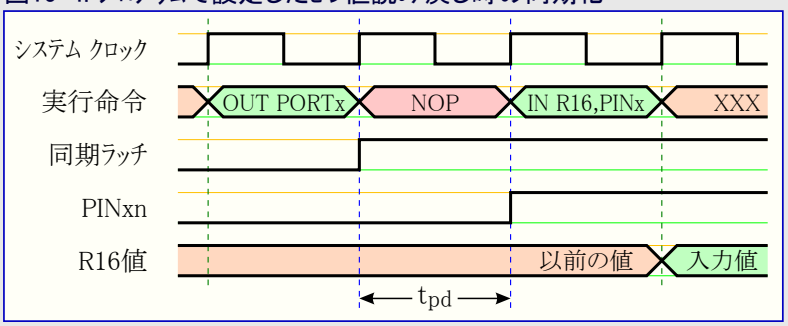


図15-4. プログラムで設定したピン値読み戻し時の同期化



次のｺｰﾄﾞ例はﾎﾟｰﾄBﾋﾟﾝの0と1をHigh出力、2と3をLow出力、6と7をﾌﾟﾙｱｯﾌﾟ指定として4～7を入力に設定する方法を示します。結果のﾋﾟﾝ値が再び読み戻されますが、前記で検討されたように、いくつかのﾋﾟﾝへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
        ～                                                  ;
        LDI     R16, (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0)    ;ﾌﾟﾙｱｯﾌﾟとHigh値を取得
        LDI     R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0) ;出力ﾋﾞｯﾄ値を取得
        OUT     PORTB, R16                                  ;ﾌﾟﾙｱｯﾌﾟとHigh値を設定
        OUT     DDRB, R17                                   ;入出力方向を設定
        NOP                                                 ;同期化遅延対処
        IN      R16, PINB                                   ;ﾋﾟﾝ値読み戻し
        ～                                                  ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned char i;
    ～                                                      /* */
    PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0);            /* ﾌﾟﾙｱｯﾌﾟとHigh値を設定 */
    DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0);         /* 入出力方向を設定 */
    __no_operation();                                       /* 同期化遅延対処 */
    i = PINB;                                               /* ﾋﾟﾝ値読み戻し */
    ～                                                      /* */
```

注: ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑについてはﾌﾟﾙｱｯﾌﾟがﾋﾟﾝ0,1,6,7に設定されてから、ﾋﾞｯﾄ0と1の強力なHigh駆動部としての再定義、ﾋﾞｯﾄ2と3のLow駆動部としての定義、方向ﾋﾞｯﾄが正しく設定されるまでの時間を最小とするために2つの一時ﾚｼﾞｽﾀが使われます。

15.2.5. ﾃﾞｼﾞﾀﾙ入力許可と休止形態

図15-2.で示されるようにﾃﾞｼﾞﾀﾙ入力信号はｼｭﾐｯﾄ ﾄﾘｶﾞの入力をGNDにｸﾗﾝﾌﾟできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のｱﾅﾛｸﾞ信号電圧を持つ場合の高消費電力を避けるため、ﾊﾟﾜｰｾｰﾌﾞ動作でMCU 休止制御器によって設定(1)されます。

SLEEPは外部割り込みﾋﾟﾝとして許可されたﾎﾟｰﾄ ﾋﾟﾝに対しては無視されます。外部割り込み要求が許可されないなら、SLEEPは他のﾋﾟﾝについてと同様に有効です。SLEEPは46頁の「**交換ﾎﾟｰﾄ機能**」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない"上昇端、下降端または論理変化(両端)割り込み"として設定された非同期外部割り込みﾋﾟﾝに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるｸﾗﾝﾌﾟが要求された論理変化を生ずるので、対応する外部割り込み要求ﾌﾗｸﾞが設定(=1)されます。

15.2.6. 未接続ﾋﾟﾝ

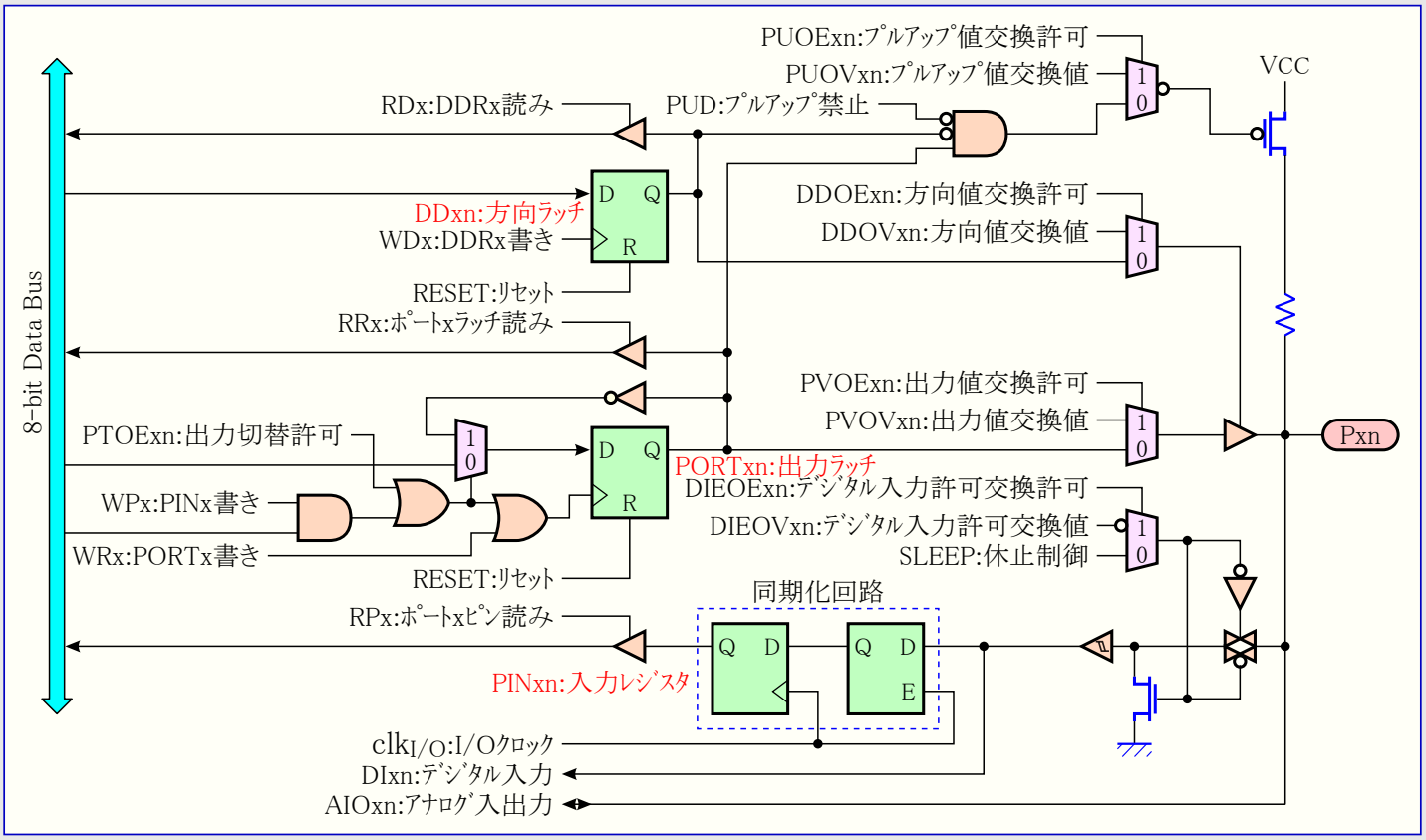
いくつかのﾋﾟﾝが未使用にされる場合、それらのﾋﾟﾝが定義されたﾚﾍﾞﾙを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのﾃﾞｼﾞﾀﾙ入力が禁止されるとしても、ﾃﾞｼﾞﾀﾙ入力が許可される他の全ての動作(ﾘｾｯﾄ、活動動作、ｱｲﾄﾞﾙ動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ﾋﾟﾝの定義されたﾚﾍﾞﾙを保証する最も簡単な方法は内部ﾌﾟﾙｱｯﾌﾟを許可することです。この場合、ﾘｾｯﾄ中のﾌﾟﾙｱｯﾌﾟは禁止されます。ﾘｾｯﾄ中の低消費電力が重要なら、外部ﾌﾟﾙｱｯﾌﾟまたはﾌﾟﾙﾀﾞｳﾝを使うことが推奨されます。未使用ﾋﾟﾝを直接GNDまたはVCCに接続することは、ﾋﾟﾝが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

15.3. 交換ﾎﾟｰﾄ機能

多くの低電圧ﾎﾟｰﾄ ﾋﾟﾝには標準ﾃﾞｼﾞﾀﾙ入出力に加え交換機能があります。図15-5.は単純化された図15-2.でのﾎﾟｰﾄ ﾋﾟﾝ制御信号が交換機能によってどう重複できるかを示します。この重複信号は全てのﾎﾟｰﾄ ﾋﾟﾝに存在する訳ではありませんが、この図はAVRﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系統の全ﾎﾟｰﾄ ﾋﾟﾝに適用できる一般的な記述として取り扱います。

図15-5. 交換ﾎﾟｰﾄ機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ﾎﾟｰﾄ内の全ﾋﾟﾝで共通です。
clkI/O,SLEEP, PUDは全ﾎﾟｰﾄで共通です。他の信号は各ﾋﾟﾝ固有です。

表15-2.は重複(交換)信号の機能一覧を示します。図15-5.で示すﾋﾟﾝとﾎﾟｰﾄは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表15-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	ﾌﾟﾙｱｯﾌﾟ値交換許可	1で、ﾌﾟﾙｱｯﾌﾟ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でﾌﾟﾙｱｯﾌﾟが許可されます。
PUOV	ﾌﾟﾙｱｯﾌﾟ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、ﾌﾟﾙｱｯﾌﾟの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnﾚｼﾞｽﾀ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnﾚｼﾞｽﾀ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ﾎﾟｰﾄ値はPVOV信号で制御されます。出力駆動部がONで0の場合、ﾎﾟｰﾄ値はPORTxnﾚｼﾞｽﾀ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnﾚｼﾞｽﾀ値に関係なく、ﾎﾟｰﾄ値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnﾚｼﾞｽﾀ値が反転します。
DIEOE	ﾃﾞｼﾞﾀﾙ入力許可交換許可	1で、ﾃﾞｼﾞﾀﾙ入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	ﾃﾞｼﾞﾀﾙ入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、ﾃﾞｼﾞﾀﾙ入力を許可(1)/禁止(0)します。
DI	ﾃﾞｼﾞﾀﾙ入力	交換機能用ﾃﾞｼﾞﾀﾙ入力です。この信号は図上でｼｭﾐｯﾄ ﾄﾘｶﾞ出力に接続されていますが、これは同期化前となります。この信号はｸﾛｯｸとしての使用を除き、各交換機能自身が同期化します。
AIO	ｱﾅﾛｸﾞ入出力	交換機能用ｱﾅﾛｸﾞ入出力です。この信号はﾋﾟﾝに直接接続され、双方向使用ができます。

以降の項は交換機能に関連する重複(交換)信号と各ﾎﾟｰﾄの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

15.3.1. ﾎﾟｰﾄAの交換機能

交換機能を持つﾎﾟｰﾄAﾋﾟﾝが表15-3.で示されます。

表15-3. ﾎﾟｰﾄAﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PA3	T1 (ﾀｲﾏ/ｶｳﾝﾀ1外部ｸﾛｯｸ入力) PCINT3 (ﾋﾟﾝ変化割り込み3入力)	PA1	ADC1 (電圧A/D変換器ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ1) SGND (電圧A/D変換器用信号GND) PCINT1 (ﾋﾟﾝ変化割り込み1入力)
PA2	T0 (ﾀｲﾏ/ｶｳﾝﾀ0外部ｸﾛｯｸ入力) PCINT2 (ﾋﾟﾝ変化割り込み2入力)	PA0	ADC0 (電圧A/D変換器ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ0) SGND (電圧A/D変換器用信号GND) PCINT0 (ﾋﾟﾝ変化割り込み0入力)

交換ﾋﾟﾝの設定は次のとおりです。

- T1/PCINT3 – ﾎﾟｰﾄA ﾋﾞｯﾄ3 : PA3

  T1 : ﾀｲﾏ/ｶｳﾝﾀ1用外部ｸﾛｯｸ入力。

  PCINT3 : ﾋﾟﾝ変化割り込み3入力。このﾋﾟﾝは外部割り込み元として扱えます。

- T0/PCINT2 – ﾎﾟｰﾄA ﾋﾞｯﾄ2 : PA2

  T0 : ﾀｲﾏ/ｶｳﾝﾀ0用外部ｸﾛｯｸ入力。

  PCINT2 : ﾋﾟﾝ変化割り込み2入力。このﾋﾟﾝは外部割り込み元として扱えます。

- ADC1/SGND/PCINT1 – ﾎﾟｰﾄA ﾋﾞｯﾄ1 : PA1

  ADC1 : 電圧A/D変換器ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ1入力。

  SGND : 電圧A/D変換器用信号GND。

  PCINT1 : ﾋﾟﾝ変化割り込み1入力。このﾋﾟﾝは外部割り込み元として扱えます。

- ADC0/SGND/PCINT0 – ﾎﾟｰﾄA ﾋﾞｯﾄ0 : PA0

  ADC0 : 電圧A/D変換器ｱﾅﾛｸﾞ入力ﾁｬﾈﾙ0入力。

  SGND : 電圧A/D変換器用信号GND。

  PCINT0 : ﾋﾟﾝ変化割り込み0入力。このﾋﾟﾝは外部割り込み元として扱えます。

表15-4.はﾎﾟｰﾄAの交換機能を46頁の図15-5.で示される交換信号に関連付けます。

表15-4. ﾎﾟｰﾄA3～0の交換機能用交換信号

信号名	PA3/T1/PCINT3	PA2/T0/PCINT2	PA1/ADC1/SGND/PCINT1	PA0/ADC0/SGND/PCINT0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	VADSC･VADMUX=ADC1	VADSC･VADMUX=ADC0
DDOV	0	0	1	1
PVOE	0	0	VADSC･VADMUX=ADC1	VADSC･VADMUX=ADC0
PVOV	0	0	0	0
PTOE	–	–	–	–
DIEOE	PCIE0･PCINT3	PCIE0･PCINT2	PA1DID|(PCIE0･PCINT1)	PA0DID|(PCIE0･PCINT0)
DIEOV	1	1	$\overline{\text{DIDR1}}$	$\overline{\text{DIDR0}}$
DI	T1/PCINT3入力	T0/PCINT2入力	PCINT1入力	PCINT0入力
AIO	–	–	ADC1/SGND入力	ADC0/SGND入力

15.3.2. ﾎﾟｰﾄBの交換機能

交換機能を持つﾎﾟｰﾄBﾋﾟﾝは表15-5.で示されます。

表15-5. ﾎﾟｰﾄBﾋﾟﾝの交換機能

ﾎﾟｰﾄ ﾋﾟﾝ	交換機能	ﾎﾟｰﾄ ﾋﾟﾝ	交換機能
PB7	MISO (SPI 主装置側ﾃﾞｰﾀ入力/従装置側ﾃﾞｰﾀ出力) PCINT11 (ﾋﾟﾝ変化割り込み11入力)	PB3	PCINT7 (ﾋﾟﾝ変化割り込み7入力)
PB6	MOSI (SPI 主装置側ﾃﾞｰﾀ出力/従装置側ﾃﾞｰﾀ入力) PCINT10 (ﾋﾟﾝ変化割り込み10入力)	PB2	PCINT6 (ﾋﾟﾝ変化割り込み6入力)
PB5	SCK (SPI 直列ｸﾛｯｸ 主装置側出力/従装置側入力) PCINT9 (ﾋﾟﾝ変化割り込み9入力)	PB1	CKOUT (2分周ｼｽﾃﾑ ｸﾛｯｸ出力) PCINT5 (ﾋﾟﾝ変化割り込み5入力)
PB4	$\overline{SS}$ (SPI 従装置選択入力) PCINT8 (ﾋﾟﾝ変化割り込み8入力)	PB0	ICP00 (ﾀｲﾏ/ｶｳﾝﾀ0捕獲起動入力) PCINT4 (ﾋﾟﾝ変化割り込み4入力)

交換ﾋﾟﾝの設定は次のとおりです。

- MISO/PCINT11 – ﾎﾟｰﾄB ﾋﾞｯﾄ7 : PB7

  MISO : SPIﾁｬﾈﾙ用の主装置ﾃﾞｰﾀ入力、従装置ﾃﾞｰﾀ出力。SPIが主装置として許可されると、本ﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB7の設定に拘らず、入力として設定されます。SPIが従装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB7で制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB7で制御できます。SPI形態で動作しないとき、このﾋﾟﾝは外部割り込み元として扱えます。

  PCINT11 : ﾋﾟﾝ変化割り込み11入力。このﾋﾟﾝは外部割り込み元として扱えます。

- MOSI/PCINT10 – ﾎﾟｰﾄB ﾋﾞｯﾄ6 : PB6

  MOSI : SPIﾁｬﾈﾙ用の主装置ﾃﾞｰﾀ出力、従装置ﾃﾞｰﾀ入力。SPIが従装置として許可されると、本ﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB6設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB6で制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB6で制御できます。SPI形態で動作しないとき、このﾋﾟﾝは外部割り込み元として扱えます。

  PCINT10 : ﾋﾟﾝ変化割り込み10入力。このﾋﾟﾝは外部割り込み元として扱えます。

- SCK/PCINT9 – ﾎﾟｰﾄB ﾋﾞｯﾄ5 : PB5

  SCK : SPIﾁｬﾈﾙ用の主装置ｸﾛｯｸ出力、従装置ｸﾛｯｸ入力。SPIが従装置として許可されると、本ﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB5設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB5で制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB5で制御できます。

  PCINT9 : ﾋﾟﾝ変化割り込み9入力。このﾋﾟﾝは外部割り込み元として扱えます。

- $\overline{SS}$/PCINT8 – ﾎﾟｰﾄB ﾋﾞｯﾄ4 : PB4

  $\overline{SS}$: SPI従装置選択入力。SPIが従装置として許可されると、本ﾋﾟﾝはﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDB4の設定に拘らず、入力として設定されます。従装置としてこのﾋﾟﾝがLowに駆動されるとSPI(機能)が活性化(有効に)されます。SPIが主装置として許可されると、このﾋﾟﾝのﾃﾞｰﾀ方向はDDB4で制御されます。このﾋﾟﾝがSPIによって入力を強制されるとき、ﾌﾟﾙｱｯﾌﾟは未だﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTB4で制御できます。SPI形態で動作しないとき、このﾋﾟﾝは外部割り込み元として扱えます。

  PCINT8 : ﾋﾟﾝ変化割り込み8入力。このﾋﾟﾝは外部割り込み元として扱えます。

- PCINT7 – ﾎﾟｰﾄB ﾋﾞｯﾄ3 : PB3

  PCINT7 : ﾋﾟﾝ変化割り込み7入力。このﾋﾟﾝは外部割り込み元として扱えます。

- PCINT6 – ﾎﾟｰﾄB ﾋﾞｯﾄ2 : PB2

  PCINT6 : ﾋﾟﾝ変化割り込み6入力。このﾋﾟﾝは外部割り込み元として扱えます。

- CKOUT/PCINT5 – ﾎﾟｰﾄB ﾋﾞｯﾄ1 : PB1

  CKOUT : 2分周ｼｽﾃﾑ ｸﾛｯｸ出力。このﾋﾟﾝは2分周ｼｽﾃﾑ(CPU)ｸﾛｯｸ出力として扱えます。19頁の「**ｸﾛｯｸ出力**」をご覧ください。

  PCINT5 : ﾋﾟﾝ変化割り込み5入力。このﾋﾟﾝは外部割り込み元として扱えます。

- ICP00/PCINT4 – ﾎﾟｰﾄB ﾋﾞｯﾄ0 : PB0

  ICP00 : ﾀｲﾏ/ｶｳﾝﾀ0捕獲入力。このﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ0の捕獲起動入力として扱えます。

  PCINT4 : ﾋﾟﾝ変化割り込み4入力。このﾋﾟﾝは外部割り込み元として扱えます。

表15-6.と表15-7.はポートBの交換機能を46頁の図15-5.で示される交換信号に関連付けます。SPI主装置入力とSPI従装置出力がMISOを構成し、一方MOSIはSPI主装置出力とSPI従装置入力に分けられます。

表15-6. ポートB7～4の交換機能用交換信号

信号名	PB7/MISO/PCINT11	PB6/MOSI/PCINT10	PB5/SCK/PCINT9	PB4/$\overline{SS}$/PCINT8
PUOE	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$・CKOE
PUOV	PORTB7・$\overline{PUD}$	PORTB6・$\overline{PUD}$	PORTB5・$\overline{PUD}$	PORTB4・$\overline{PUD}$
DDOE	SPE・MSTR	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$	SPE・$\overline{MSTR}$
DDOV	0	0	0	0
PVOE	SPE・$\overline{MSTR}$	SPE・MSTR	SPE・MSTR	0
PVOV	SPI従装置出力	SPI主装置出力	SCK出力	0
PTOE	–	–	–	–
DIEOE	PCIE1・PCINT11	PCIE1・PCINT10	PCIE1・PCINT9	PCIE1・PCINT8
DIEOV	1	1	–	1
DI	SPI主装置/PCINT11入力	SPI従装置/PCINT10入力	SCK/PCINT9入力	$\overline{SS}$/PCINT8入力
AIO	–	–	–	–

表15-7. ポートB3～0の交換機能用交換信号

信号名	PB3/PCINT7	PB2/PCINT6	PB1/CKOUT/PCINT5	PB0/ICP00/PCINT4
PUOE	0	0	CKOE	0
PUOV	0	0	0	0
DDOE	0	0	CKOE	0
DDOV	0	0	CKOE	0
PVOE	0	0	CKOE	0
PVOV	0	0	CKOUT	0
PTOE	–	–	–	–
DIEOE	PCIE1・PCINT7	PCIE1・PCINT6	CKOE|(PCIE1・PCINT5)	PCIE1・PCINT4
DIEOV	1	1	$\overline{CKOE}$|(PCIE1・PCINT5)	1
DI	PCINT7入力	PCINT6入力	PCINT5入力	ICP0/PCINT4入力
AIO	–	–	–	–

15.4. 低電圧I/Oポート用レジスタ

15.4.1. MCUCR – MCU制御レジスタ (MCU Control Register)

ビット	7	6	5	4	3	2	1	0	
$35 ($55)	–	–	CKOE	PUD	–	–	IVSEL	IVCE	MCUCR
Read/Write	R	R	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット4 – PUD : プルアップ禁止 (Pull-up Disable)

このビットが1を書かれると、例えDDxnとPORTxnレジスタがプルアップを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては44頁の「ピンの設定」をご覧ください。

15.4.2. PORTA – ポートA出力レジスタ (Port A Data Register)

ビット	7	6	5	4	3	2	1	0	
$02 ($22)	–	–	–	–	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.4.3. DDRA – ポートA方向レジスタ (Port A Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
$01 ($21)	–	–	–	–	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.4.4. PINA – ポートA入力レジスタ (Port A Input Address)

ビット	7	6	5	4	3	2	1	0	
$00 ($20)	–	–	–	–	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	不定	不定	不定	

15.4.5. PORTB – ポートB出力レジスタ (Port B Data Register)

ビット	7	6	5	4	3	2	1	0	
$05 ($25)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.4.6. DDRB – ポートB方向レジスタ (Port B Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
$04 ($24)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

15.4.7. PINB – ポートB入力レジスタ (Port B Input Address)

ビット	7	6	5	4	3	2	1	0	
$03 ($23)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

16. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器

16.1. 概要

タイマ/カウンタ1とタイマ/カウンタ0は同じ前置分周器部を共用しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述はタイマ/カウンタ0とタイマ/カウンタ1の両方に適用されます。

16.1.1. 内部クロック元

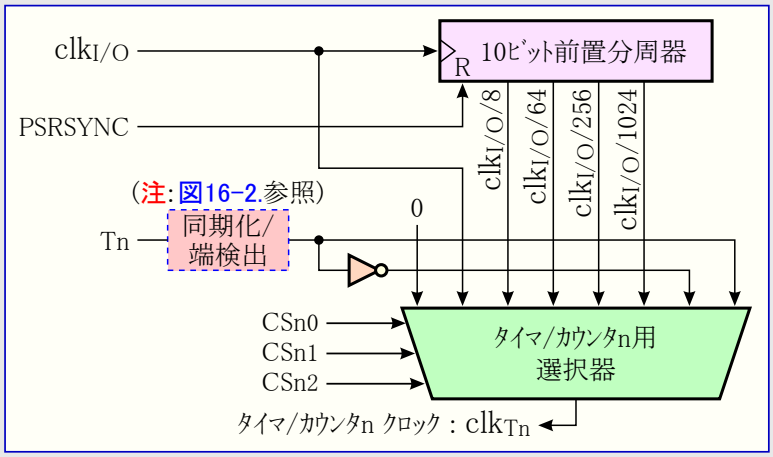
タイマ/カウンタはシステム クロック(CSn2～0=001設定)によって直接的にクロック駆動できます。これはシステム クロック周波数($f_{clk\_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。この前置分周したクロックは$f_{clk_I/O}/8$, $f_{clk\_I/O}/64$, $f_{clk\_I/O}/256$, $f_{clk_I/O}/1024$の何れかの周波数です。

16.1.2. 前置分周器リセット

この前置分周器は自由走行です(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作します)。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2～0=5～2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数はNが前置分周値(8, 64, 256, 1024)とすると、1～N+1 システム クロック周期になり得ます。

プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使うことが可能です。しかし、同じ前置分周器を共用する他のタイマ/カウンタも前置分周を使う場合、注意が必要とされなければなりません。前置分周器リセットは、それが接続される全タイマ/カウンタに関する前置分周器周期に影響を及ぼします。

図16-1. タイマ/カウンタの前置分周器部構成図

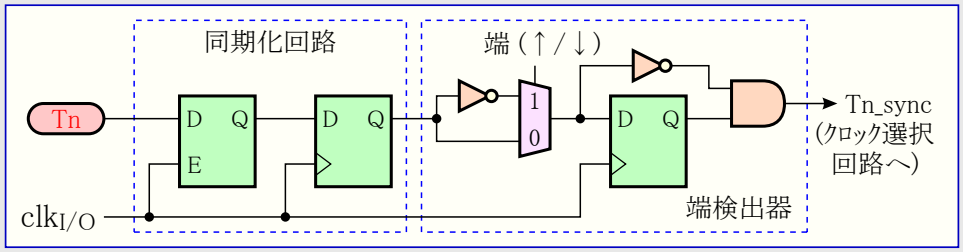


16.2. 外部クロック元

Tnピンに印加した外部クロック元はタイマ/カウンタ クロック(f_{clk_Tn})として使えます。このTnピンはピン同期化論理回路によって全システム クロック周期に1回採取されます。この同期化(採取)された信号はその後に端(エッジ)検出器を通して通過されます。図16-2.はTn同期化と端検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック($f_{clk\_I/O}$)の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

端検出器は上昇端(CSn2～0=111)または下降端(CSn2～0=110)の検出毎に1つのclkTnパルスを生成します。詳細については次頁の表16-1.をご覧ください。

図16-2. Tnピンの採取等価構成図



同期化と端検出器論理回路はTnピンへ印加した端から計数器が更新されるまでに2.5～3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はTnが最低1システム クロック周期に対して安定してしまっている時に行われなければならず、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるとし、システム クロック周波数の半分未満($f_{EXTclk}<f_{clk\_I/O}/2$)であることが保証されなければなりません。端検出器が採取を使用するため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイキストの標本化定理)。然しながら、発振元(クリスタル発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は$f_{clk_I/O}/2.5$未満が推奨されます。

外部クロック元は前置分周できません。

注: (Tn)入力ピンの同期化回路は図16-2.で示されます。

16.3. タイマ/カウンタ前置分周器関係レジスタ

16.3.1. TCCRnB – タイマ/カウンタn制御レジスタB (Timer/Counter n Control Register B)

ビット	7	6	5	4	3	2	1	0	
$25($45),$81	–	–	–	–	–	CSn2	CSn1	CSn0	TCCRnB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット2～0 – CSn2～0 : クロック選択n** (Clock Select n, bit 2,1 and 0)

このクロック選択ビット2～0はタイマ/カウンタ(TCNTn)の前置分周供給元を定義します。

表16-1. タイマ/カウンタn入力クロック選択

CSn2	CSn1	CSn0	意味
0	0	0	停止 (タイマ/カウンタn動作停止)
0	0	1	$clk_{I/O}$ (前置分周なし)
0	1	0	$clk_{I/O}/8$ (8分周)
0	1	1	$clk_{I/O}/64$ (64分周)
1	0	0	$clk_{I/O}/256$ (256分周)
1	0	1	$clk_{I/O}/1024$ (1024分周)
1	1	0	Tnピンの下降端 (外部クロック)
1	1	1	Tnピンの上昇端 (外部クロック)

外部ピン(クロック)動作がタイマ/カウンタnに対して使われる場合、例えTnピンが出力として設定されても、Tnピンの遷移は計数器をクロック駆動します。この特徴がソフトウェアに計数制御を許します。

16.3.2. GTCCR – 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register)

ビット	7	6	5	4	3	2	1	0	
$23 ($43)	TSM	–	–	–	–	–	–	PSRSYNC	GTCCR
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – TSM : タイマ/カウンタ同時動作** (Timer/Counter Synchronization Mode)

TSMビットへの1書き込みはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSRSYNCへ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できることを保証します。TSMビットが0を書かれると、PSRSYNCビットはハードウェアによって解除(0)され、同時にタイマ/カウンタが計数を始めます。

● **ビット0 – PSRSYNC : 同期系タイマ/カウンタ前置分周器リセット** (Prescaler Reset Timer/Counter 1,0)

このビットが1のとき、タイマ/カウンタ0とタイマ/カウンタ1の前置分周器はリセットします。TSMビットが設定(1)されている場合を除き、通常、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが両方のタイマ/カウンタに影響を及ぼすことに注意してください。

17. タイマ/カウンタ (T/C0,T/C1)

17.1. 特徴

- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 捕獲入力部
- 4つの独立した割り込み (TOVn,OCFnA,OCFnB,ICFn)
- 2つの独立した比較部での8ビット動作
- 1つの独立した比較部での16ビット動作

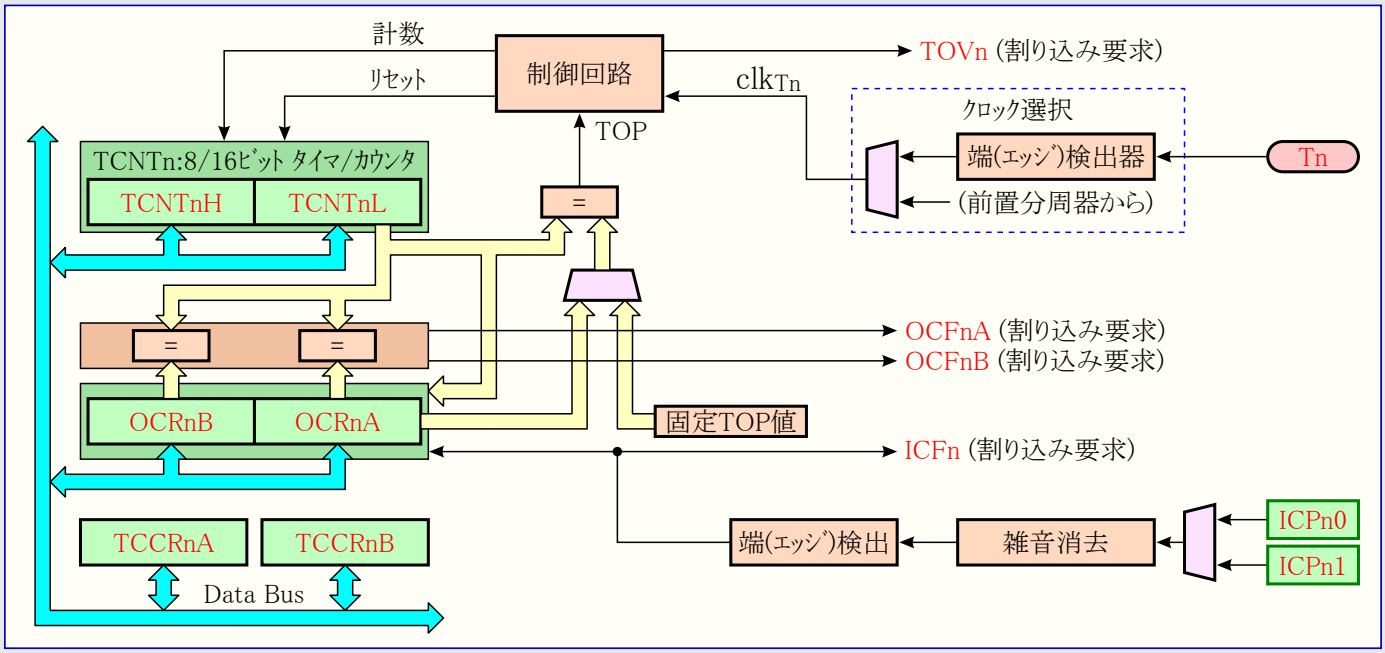
17.2. 概要

タイマ/カウンタnは2/1つの比較出力部と捕獲入力を持つ汎用8/16ビット タイマ/カウンタ部です。

ATmega16HVB/32HVBはタイマ/カウンタ0とタイマ/カウンタ1の2つのタイマ/カウンタを持ちます。両タイマ/カウンタに関する機能が以下で記述されます。171頁の「レジスタ要約」で示されるようにタイマ/カウンタ0とタイマ/カウンタ1は異なるタイマ/カウンタ レジスタを持ちます。

タイマ/カウンタnの一般動作は8/16ビット動作で記述されます。この8/16ビット タイマ/カウンタの簡単化した構成図は**図17-1.**で示されます。実際のI/Oピンの配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(**訳注**: 原文太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は61頁の「タイマ/カウンタn用レジスタ」で示されます。

図17-1. 8/16ビット タイマ/カウンタ構成図



17.2.1. 関係レジスタ

タイマ/カウンタ下位バイト(TCNTnL)レジスタ、比較レジスタ(OCRnA,OCRnB)は8ビット レジスタです。(**図17-1.**で省略された)割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFRn)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSKn)で個別に遮蔽(禁止)されます。TIFRnとTIMSKnはこの図で示されません。

16ビット動作のタイマ/カウンタには更に1つの8ビット レジスタ、タイマ/カウンタ上位バイト(TCNTnH)レジスタがあります。尚、2つの比較レジスタのOCRnAとOCRnBは1つの16ビット比較レジスタに組み合わされるので、16ビット動作では1つの比較部だけです。OCRnAは語の下位バイトを含み、OCRnBは語の上位バイトを含みます。16ビット レジスタをアクセスするとき、59頁の「16ビット動作でのレジスタ アクセス」項で記述される特別な手順に従わなければなりません。

このタイマ/カウンタは内部的、前置分周器経由、またはTnピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選ばれないと、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタ クロック(clk_{Tn})として参照されます。

17.2.2. 定義

本章でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'は単位部番号、例えばタイマ/カウンタ番号で置き換えます。小文字のxは部、例えばOCRnXと」ICPnxはOCRnB/AとICP1/0xと記述します。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0Lのように)。

表17-1.の定義は本文書を通して広範囲に渡って使われます。

表17-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが$00/$0000に到達した時。
MAX	タイマ/カウンタが8ビット動作で$FF(255)または16ビット動作で$FFFF(65536)に到達した時。
TOP	タイマ/カウンタが計数内の最大値と等しくなるTOPに到達した時。TOP値は固定値($FF/$FFFF)またはOCRnAレジスタに格納した値を指定できます。

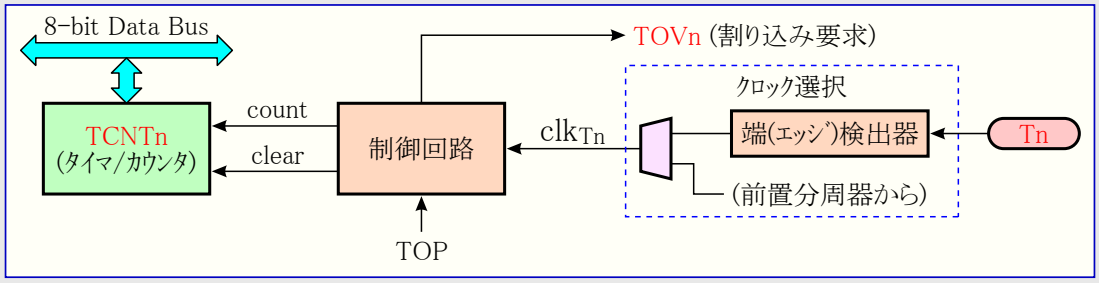
17.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部、前置分周器経由、または外部クロック元によってクロック駆動できます。クロック選択論理回路はタイマ/カウンタn制御レジスタB(TCCRnB)に配置されたクロック選択(CSn2～0)ビットによって制御され、タイマ/カウンタが進行に使うクロック元と端(エッジ)を制御します。クロック選択論理回路からの出力はタイマ/カウンタ クロック(clk_{Tn})として参照されます。クロック元と前置分周器の詳細については51頁の「**タイマ/カウンタ0とタイマ/カウンタ1の前置分周器**」をご覧ください。

17.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能なカウンタ部です。図17-2.は、このカウンタとその周辺環境の構成図を示します。

図17-2. 計数器部構成図



信号説明(内部信号)		
	count	TCNTnを1つ進めるまたは戻す信号。
	clear	TCNTnのリセット($00/$0000設定)信号。
	clk_{Tn}	以降でclk_{Tn}として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNTnが最大値に到達したことを示す信号。

カウンタはTOP値を通過するまで各タイマ/カウンタ クロック(clk_{Tn})で増加(+1)され、そしてBOTTOMから再び計数します。計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCRnA)に配置された波形生成種別(WGMn0)ビットの設定によって決定されます。計数順序についてより多くの詳細に関しては58頁の「**タイマ/カウンタのタイミング**」をご覧ください。clk_{Tn}はクロック選択(CSn2～0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CSn2～0=000)と、タイマ/カウンタは停止されます。けれどもTCNTn値はタイマ/カウンタ クロック (clk_{Tn})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。タイマ/カウンタ溢れ(TOVn)フラグはカウンタが最大値に到達する時に設定(1)され、それはCPU割り込み発生に使えます。

17.5. 動作種別

動作種別はタイマ/カウンタ制御レジスタA(TCCRnA)のタイマ/カウンタ幅(TCWn)、捕獲入力許可(ICENn)、波形生成種別(WGMn0)ビットによって定義されます。表17-2.は各種動作種別を示します。

表17-2. 動作種別

番号	ICENn	TCWn	WGMn0	タイマ/カウンタ動作種別	TOP値	OCRnx更新時	TOVn設定時
0	0	0	0	標準8ビット動作	$FF	即時	MAX($FF)
1	0	0	1	8ビット比較一致T/C解除(CTC)動作	OCRnA	即時	MAX($FF)
2	0	1	0	16ビット動作	$FFFF	即時	MAX($FFFF)
3	0	1	1	16ビット比較一致T/C解除(CTC)動作	OCRnB,OCRnA	即時	MAX($FFFF)
4	1	0	0	8ビット捕獲入力動作	$FF	-	MAX($FF)
5	1	1	0	16ビット捕獲入力動作	$FFFF	-	MAX($FFFF)

17.5.1. 標準8ﾋﾞｯﾄ動作

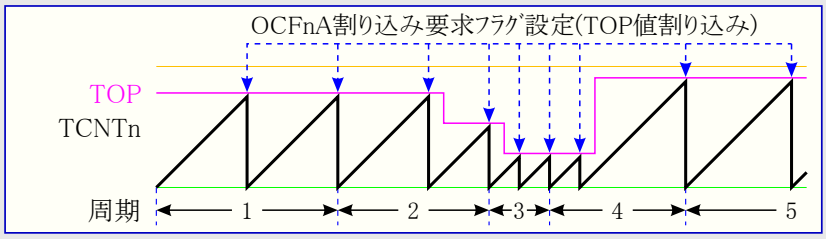
標準8ﾋﾞｯﾄ動作(表17-2.参照)ではﾀｲﾏ/ｶｳﾝﾀ(TCNTnL)が8ﾋﾞｯﾄ最大値(MAX=$FF)を通過するまで増加し、そしてBOTTOM($00)から再度始めます。溢れ(TOVn)ﾌﾗｸﾞはTCNTnLが0になるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOVnﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第9ﾋﾞｯﾄのようになります。けれどもTOVnﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀn溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。比較部は与えられた或る時間に割り込みを生成するのに使えます。

17.5.2. 8ﾋﾞｯﾄ比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作(表17-2.参照)ではOCRnAﾚｼﾞｽﾀがｶｳﾝﾀの分解能を操作するために使われます。CTC動作ではｶｳﾝﾀ(TCNTn)値がOCRnAと一致すると、ｶｳﾝﾀが$00に解除されます。OCRnAはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのﾀｲﾐﾝｸﾞ図は図17-3.で示されます。ｶｳﾝﾀ(TCNTn)値はTCNTnとOCRnA間で比較一致が起きるまで増加し、そしてその後にｶｳﾝﾀ(TCNTn)は解除($00)されます。

図17-3. CTC動作ﾀｲﾐﾝｸﾞ



OCFnAﾌﾗｸﾞを使うことにより、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値へのTOP値変更は、CTC動作が2重緩衝器を持たないため、注意して行わなければなりません。OCRnAに書かれた新しい値がTCNTnの現在値よりも低い（小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後にｶｳﾝﾀは比較一致が起こるのに先立って最大値($FF)へ、そして次に$00から始める計数をしなければならないでしょう。標準動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOVn)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$00へ計数する同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

17.5.3. 16ﾋﾞｯﾄ動作

16ﾋﾞｯﾄ動作(表17-2.参照)ではｶｳﾝﾀ(TCNTnH/L)が16ﾋﾞｯﾄ最大値(MAX=$FFFF)を通過するまで増加し、そしてBOTTOM($0000)から再度始めます。溢れ(TOVn)ﾌﾗｸﾞはTCNTnH/Lが0になるのと同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。この場合のTOVnﾌﾗｸﾞは設定(1)のみで解除(0)されないことを除いて第17ﾋﾞｯﾄのようになります。けれどもTOVnﾌﾗｸﾞを自動的に解除(0)するﾀｲﾏ/ｶｳﾝﾀn溢れ割り込みと組み合わせたﾀｲﾏ/ｶｳﾝﾀの分解能はｿﾌﾄｳｪｱによって増やせます。標準動作での考慮に特別な場合はなく、新しいｶｳﾝﾀ値は何時でも書けます。比較部は与えられた或る時間に割り込みを生成するのに使えます。

17.5.4. 16ﾋﾞｯﾄ比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作

16ﾋﾞｯﾄ比較一致解除動作ではOCRnB/Aﾚｼﾞｽﾀがｶｳﾝﾀの分解能を操作するために使われます。ﾋﾞｯﾄ設定については表17-2.をご覧ください。CTC動作ではｶｳﾝﾀ(TCNTn)値がOCRnB/Aと一致すると、ｶｳﾝﾀが$0000に解除され、ここでのOCRnBは8 MSBを表し、OCRnAは8 LSBを表します。OCRnB/Aはｶｳﾝﾀに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

OCFnAﾌﾗｸﾞを使うことにより、ﾀｲﾏ/ｶｳﾝﾀ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ﾙｰﾁﾝはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でｶｳﾝﾀが走行している時にBOTTOMと近い値へのTOP値変更は注意して行わなければなりません。OCRnB/Aに書かれた新しい値がTCNTnの現在値よりも低い(小さい)場合、ﾀｲﾏ/ｶｳﾝﾀは(その回の)比較一致を失います。その後にｶｳﾝﾀは比較一致が起こるのに先立って最大値($FFFF)へそして次に$0000から始める計数をしなければならないでしょう。16ﾋﾞｯﾄ動作と同じように、ﾀｲﾏ/ｶｳﾝﾀ溢れ(TOVn)ﾌﾗｸﾞはｶｳﾝﾀがMAXから$0000へ計数する同じﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で設定(1)されます。

17.5.5. 8ﾋﾞｯﾄ捕獲入力動作

ﾀｲﾏ/ｶｳﾝﾀnは8ﾋﾞｯﾄ捕獲入力動作にも使え、ﾋﾞｯﾄ設定については表17-2.をご覧ください。完全な記述に関しては次頁の「**捕獲入力部**」項をご覧ください。

17.5.6. 16ﾋﾞｯﾄ捕獲入力動作

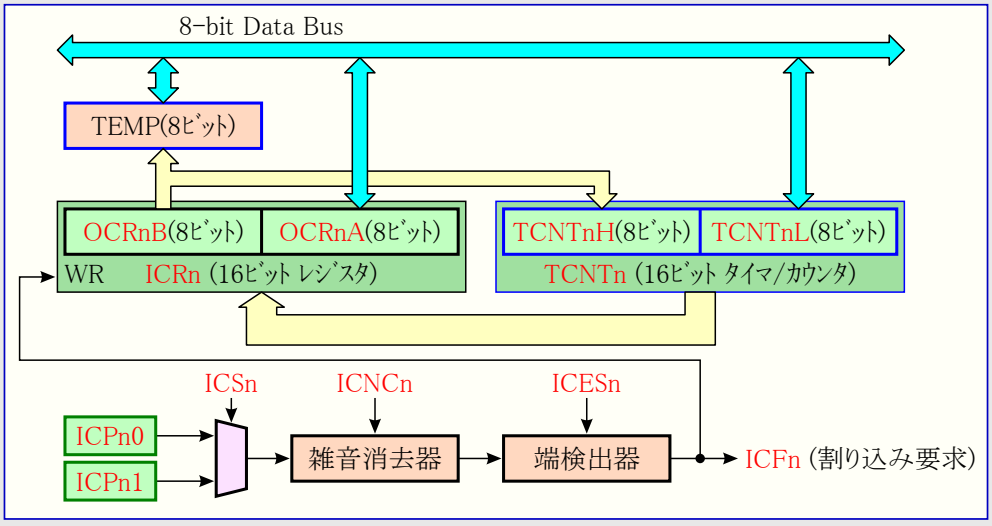
ﾀｲﾏ/ｶｳﾝﾀnは16ﾋﾞｯﾄ捕獲入力動作にも使え、ﾋﾞｯﾄ設定については表17-2.をご覧ください。完全な記述に関しては次頁の「**捕獲入力部**」項をご覧ください。

17.6. 捕獲入力部

ﾀｲﾏ/ｶｳﾝﾀは外部の出来事を捕獲でき、発生時間を示す時間印(ﾀｲﾏ/ｶｳﾝﾀ値)を与える捕獲入力部と合体します。外部信号は出来事または複数の出来事を示します。ﾀｲﾏ/ｶｳﾝﾀ0に対する事象はPB0ﾋﾟﾝ(ICP00)または代わりに発振器採取ｲﾝﾀｰﾌｪｰｽでの"OSI_上昇端"信号(ICP01)経由で印加できます。ﾀｲﾏ/ｶｳﾝﾀ1に対する事象は電池保護割り込み(ICP10)または代わりに電圧調整器割り込み(ICP11)によって印加できます。時間印はその後、周波数、ﾃﾞｭｰﾃｨ比、印加された信号の他の特徴の計算に使えます。代わりに時間印は出来事の記録作成にも使えます。

捕獲入力部は**図17-4.**で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(**訳注**:原文は灰色背景)で示されます。

図17-4. 捕獲入力部構成図



比較Aﾚｼﾞｽﾀ(OCRnA)は8ﾋﾞｯﾄ捕獲入力ﾚｼﾞｽﾀ(ICRn)としても使われる二重目的ﾚｼﾞｽﾀです。16ﾋﾞｯﾄ捕獲入力動作での比較Bﾚｼﾞｽﾀ(OCRnB)は捕獲入力ﾚｼﾞｽﾀ(ICRn)の上位ﾊﾞｲﾄを扱います。8ﾋﾞｯﾄ捕獲入力動作でのOCRnBは標準比較ﾚｼﾞｽﾀとして使われるために空いていますが、16ﾋﾞｯﾄ捕獲入力動作での比較部は空いている比較ﾚｼﾞｽﾀがないので使えません。本章では捕獲入力ﾚｼﾞｽﾀはICRnと呼ばれますが、これは比較ﾚｼﾞｽﾀへの参照です。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ法のより多くの情報に関しては59頁の「**16ﾋﾞｯﾄ動作でのﾚｼﾞｽﾀ ｱｸｾｽ**」を参照してください。

捕獲起動入力(ICPnx)で論理ﾚﾍﾞﾙの変化(出来事)が起き、その変化が端(ｴｯｼﾞ)検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、ｶｳﾝﾀ(TCNTn)の16ﾋﾞｯﾄ値が捕獲ﾚｼﾞｽﾀ(ICRn)に書かれます。捕獲割り込み要求ﾌﾗｸﾞ(ICFn)はTCNTn値がICRnに複写されるのと同じｼｽﾃﾑ ｸﾛｯｸで設定(1)されます。許可(I=1, ICIEn=1)ならば捕獲割り込み要求ﾌﾗｸﾞは捕獲割り込みを発生します。ICFnは割り込みが実行されると自動的に解除(0)されます。代わりにこのI/O ﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。

17.6.1. 捕獲起動元

捕獲入力部に対する既定の起動元はﾀｲﾏ/ｶｳﾝﾀ0でのI/OﾎﾟｰﾄPB0とﾀｲﾏ/ｶｳﾝﾀ1での電池保護割り込みです。ﾀｲﾏ/ｶｳﾝﾀ0は発振器採取ｲﾝﾀｰﾌｪｰｽの"OSI_上昇端"信号、ﾀｲﾏ/ｶｳﾝﾀ1は電圧調整器割り込みを代わりに使えます。"OSI_上昇端"信号はﾀｲﾏ/ｶｳﾝﾀ0制御ﾚｼﾞｽﾀA(TCCR0A)で、電圧調整器割り込みはﾀｲﾏ/ｶｳﾝﾀ1制御ﾚｼﾞｽﾀA(TCCR1A)で捕獲入力選択(ICSn)ﾋﾞｯﾄを各々設定(1)することによって起動元として選べます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求ﾌﾗｸﾞ(ICFn)は、その変更後に解除(0)されなければなりません。

捕獲起動入力はTnﾋﾟﾝ(51頁の**図16-2.**参照)についてと同じ技法を使って採取されます。端検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路が端検出器の前に挿入され、そして遅延を4ｼｽﾃﾑ ｸﾛｯｸ周期増やします。ﾀｲﾏ/ｶｳﾝﾀ0での捕獲入力はPB0ﾋﾟﾝのﾎﾟｰﾄを制御することによってｿﾌﾄｳｪｱで起動できます。

17.6.2. 雑音消去器

雑音消去器は簡単なﾃﾞｼﾞﾀﾙ濾波器機構を使うことによって雑音耐性を改善します。雑音消去器の入力は4採取に渡って監視され、端検出器によって使われる方向転換となる出力を変更するためには4回全てが同じでなければなりません。

雑音消去器はﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀA(TCCRnA)の捕獲入力雑音消去許可(ICNCn)ﾋﾞｯﾄの設定(1)によって許可されます。許可した時に、雑音消去器は入力に印加した変更からICRnの更新までに4ｼｽﾃﾑ ｸﾛｯｸ周期の追加遅延をもたらします。雑音消去器はｼｽﾃﾑ ｸﾛｯｸを使い、従って前置分周器によって影響されません。

17.6.3. 捕獲入力の使用

捕獲入力機能を使う主な要求(目的)は、入って来る出来事に対して充分なﾌﾟﾛｾｯｻ能力を当てがうことです。2つの出来事間の時間が際どいとします。次の出来事が起こる前に捕獲した捕獲ﾚｼﾞｽﾀ(ICRn)の値をﾌﾟﾛｾｯｻが読めなかった場合、ICRnは新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICRnは割り込み処理ﾙｰﾁﾝで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求の何れかを扱うために必要とされる最大ｸﾛｯｸ周期数に依存します。

外部信号のﾃﾞｭｰﾃｨ比測定は各捕獲後に起動端(ｴｯｼﾞ)が変更されるのを必要とします。検出端の変更はICRnが読まれてしまった後に可能な限り早く行われなければなりません。端の変更後、捕獲割り込み要求ﾌﾗｸﾞ(ICFn)はｿﾌﾄｳｪｱ(I/Oﾋﾞｯﾄ位置への論理1書き込み)によって解除(0)されなければなりません(**訳補**:端変更によってICFnが設定(1)されることを想定)。周波数のみの測定に関しては(割り込み処理が使われる場合)ICFnの解除(0)は必要とされません。

表17-3. ﾀｲﾏ/ｶｳﾝﾀ0捕獲起動元(ICS)

ICS0	起動元
0	ICP00: ﾎﾟｰﾄPB0
1	ICP01: OSI単位部からの"OSI_上昇端" (注1,2)

注1: 詳細に関しては19頁の「**OSI – 発振器採取ｲﾝﾀｰﾌｪｰｽ**」をご覧ください。

注2: 雑音消去器はこの供給元で使えません。

表17-4. ﾀｲﾏ/ｶｳﾝﾀ1捕獲起動元(ICS)

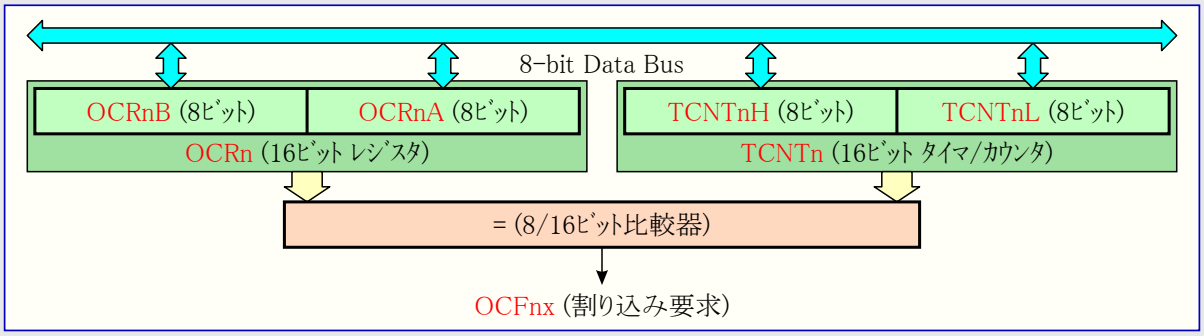
ICS1	起動元
0	ICP10: 電池保護割り込み (注1)
1	ICP11: 電圧調整器割り込み (注1)

注1: 雑音消去器は捕獲入力を濾波出力し、従ってこれらの供給元とで雑音消去器を使うことは推奨されません。

17.7. 比較部

この比較器はTCNTnと比較ﾚｼﾞｽﾀ(OCRnAとOCRnB)を継続的に比較し、ﾀｲﾏ/ｶｳﾝﾀが比較ﾚｼﾞｽﾀと等しい時は必ず、比較器が一致を指示します。この一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で比較割り込み要求ﾌﾗｸﾞ(OCFnx)を設定(1)します。8ﾋﾞｯﾄ動作での一致は比較一致ﾌﾗｸﾞ、OCFnAまたはOCFnBのどちらをも設定(1)し得ます。16ﾋﾞｯﾄ動作での一致は1つの比較部だけのため、比較一致ﾌﾗｸﾞ(OCFnA)だけを設定(1)し得ます。対応する割り込みが許可(I=1,OCIEnx=1)なら、この比較割り込み要求ﾌﾗｸﾞは比較割り込みを発生します。OCFnxは割り込みが実行されると自動的に解除(0)されます。代わりにOCFnxはこのI/Oﾋﾞｯﾄ位置に論理1を書くことによってｿﾌﾄｳｪｱでも解除(0)できます。**図17-5.**は比較部の構成図を示します。

図17-5. 比較部構成図



17.7.1. TCNTn書き込みによる比較一致妨害

TCNTnH/Lへの全てのCPU書き込みは、例えﾀｲﾏ/ｶｳﾝﾀが停止されていても、次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期で起こるどんな比較一致をも妨げます。この特質はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸが許可されている時に、割り込みを起動することなく、TCNTnと同じ値に初期化されることをOCRnB/Aに許します。

17.7.2. 比較一致部の使用

どの動作種別でのTCNTnH/L書き込みでも1ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期間、全ての比較一致を妨げるため、ﾀｲﾏ/ｶｳﾝﾀが走行中であるかないかに拘らず、何れかの比較出力部を使う場合にTCNTnH/Lを変更する時は危険を伴います。TCNTnH/Lに書かれた値がOCRnB/A値と同じ場合、比較一致は失われます(一致が発生しません)。

17.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタ クロック(clk_{Tn})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図17-6.は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図はMAX値近辺の計数の流れを示します。

図17-6. 前置分周なし(1/1)のタイマ/カウンタ タイミング

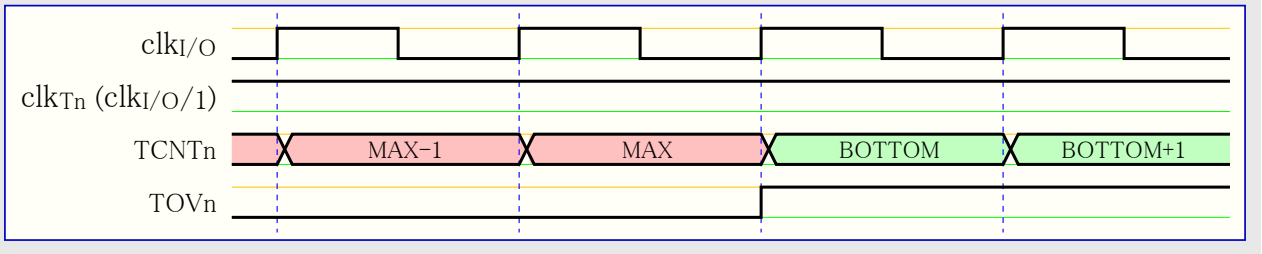


図17-7.は同じタイミング データを示しますが、前置分周器が許可されています。

図17-7. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ タイミング

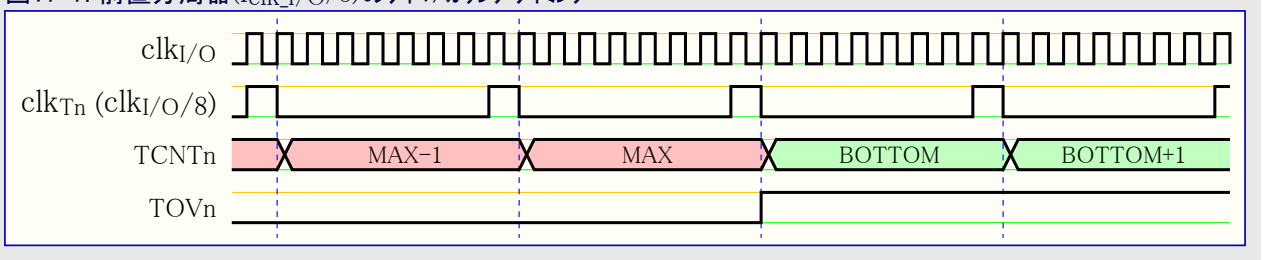


図17-8.は標準動作でのOCFnAとOCFnBの設定(0⇒1)を示します。

図17-8. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCFnx設定 タイミング

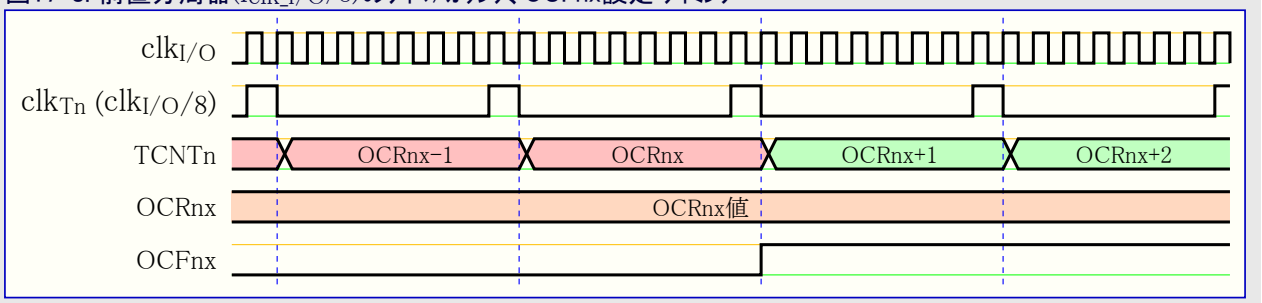
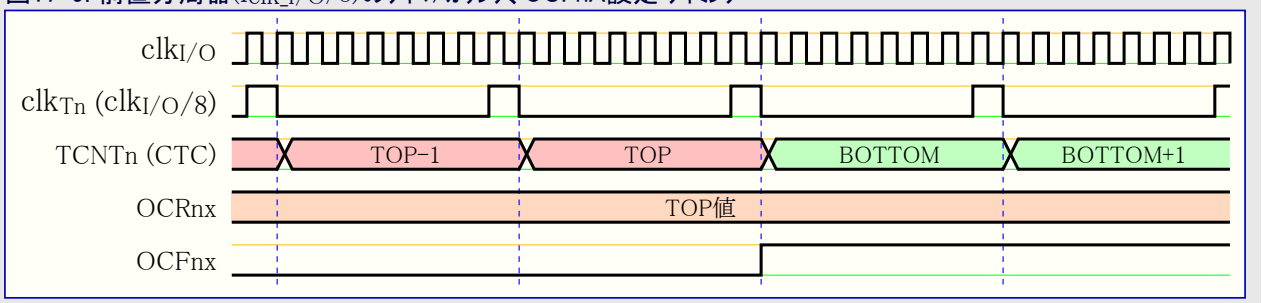


図17-9.はCTC動作でのTCNTnの解除とOCFnAの設定(0⇒1)を示します。

図17-9. 前置分周器($f_{clk\_I/O}/8$)のタイマ/カウンタ、OCFnA設定 タイミング



17.9. 16ﾋﾞｯﾄ動作でのﾚｼﾞｽﾀ ｱｸｾｽ

16ﾋﾞｯﾄ動作(TCCRnAのﾀｲﾏ/ｶｳﾝﾀ幅(TCWn)ﾋﾞｯﾄが1に設定)でのTCNTnH/LとOCRnB/Aは8ﾋﾞｯﾄ ﾊﾞｽ経由でAVR CPUによってｱｸｾｽできる16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。この16ﾋﾞｯﾄ ﾚｼﾞｽﾀは2回の読みまたは書き操作を使ってﾊﾞｲﾄ ｱｸｾｽされなければなりません。16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは16ﾋﾞｯﾄ ｱｸｾｽの上位ﾊﾞｲﾄの一時保存用に1つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀを持ちます。全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀ間でこの同じ一時ﾚｼﾞｽﾀが共用されます。下位ﾊﾞｲﾄ ｱｸｾｽが16ﾋﾞｯﾄ読み書き動作を起動します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって書かれると、一時ﾚｼﾞｽﾀに保存した上位ﾊﾞｲﾄと書かれた下位ﾊﾞｲﾄは同じｸﾛｯｸ周期で16ﾋﾞｯﾄ ﾚｼﾞｽﾀに両方が複写されます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって読まれると、16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄは下位ﾊﾞｲﾄが読まれるのと同じｸﾛｯｸ周期で一時ﾚｼﾞｽﾀに複写されます。

一時ﾚｼﾞｽﾀ使用に1つの例外があります。比較動作での16ﾋﾞｯﾄ比較ﾚｼﾞｽﾀ(OCRnA,OCRnB)は、比較ﾚｼﾞｽﾀがCPUｱｸｾｽによってだけ変更される固定値を含むので、一時ﾚｼﾞｽﾀなしに読まれます。けれどもOCRnAとOCRnBによって形成された捕獲入力動作でのICRnﾚｼﾞｽﾀは一時ﾚｼﾞｽﾀとでｱｸｾｽされなければなりません。

16ﾋﾞｯﾄ書き込みを行うために上位ﾊﾞｲﾄは下位ﾊﾞｲﾄに先立って書かれなければなりません。16ﾋﾞｯﾄ読み込みについては下位ﾊﾞｲﾄが上位ﾊﾞｲﾄ前に読まれなければなりません。

次のｺｰﾄﾞ例は割り込みが一時ﾚｼﾞｽﾀを更新しないことが前提の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀのｱｸｾｽ法を示します。OCRnB/Aﾚｼﾞｽﾀのｱｸｾｽに対して同じ原理が直接的に使えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
            ～                                  ;
                                                ;[16ﾋﾞｯﾄ($01FF)書き込み]
            LDI     R17, $01                    ;$01FFの上位ﾊﾞｲﾄ値取得
            LDI     R16, $FF                    ;$01FFの下位ﾊﾞｲﾄ値取得
            OUT     TCNTnH, R17                 ;上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
            OUT     TCNTnL, R16                 ;下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
                                                ;[16ﾋﾞｯﾄ読み込み]
            IN      R16, TCNTnL                 ;下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
            IN      R17, TCNTnH                 ;上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
            ～                                  ;
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int i;
    ～                                          /* */
                                                /* [16ﾋﾞｯﾄ($01FF)書き込み] */
    TCNTnH = 0x01;                              /* 上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ) */
    TCNTnL = 0xFF;                              /* 下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ) */
                                                /* [16ﾋﾞｯﾄ読み込み] */
    i = TCNTnL;                                 /* 下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ) */
    i |= ((unsigned int)TCNTnH<<8);             /* 上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)合成 */
    ～                                          /* */
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNTnH/L値を戻します。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽが非分断操作であるのに注意することが重要です。16ﾋﾞｯﾄ ﾚｼﾞｽﾀをｱｸｾｽする2命令間で割り込みが起き、割り込みｺｰﾄﾞがその16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀの同じ若しくは他の何れかをｱｸｾｽすることによって一時ﾚｼﾞｽﾀを更新する場合、割り込み外のその後のｱｸｾｽ結果は不正にされます。従って主ｺｰﾄﾞと割り込みｺｰﾄﾞの両方が一時ﾚｼﾞｽﾀを更新するとき、主ｺｰﾄﾞは16ﾋﾞｯﾄ ｱｸｾｽ中の割り込みを禁止しなければなりません。

次のｺｰﾄﾞ例はTCNTnH/Lﾚｼﾞｽﾀ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCRnB/Aのどんな読み込みも行えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
RD_TCNT0:   IN      R18, SREG          ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                        ;全割り込み禁止
            IN      R16, TCNTnL        ;TCNTn下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ)
            IN      R17, TCNTnH        ;TCNTn上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)
            OUT     SREG, R18          ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
unsigned int TIM16_Read_TCNT0(void)
{
    unsigned char sreg;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                    /* TCNTn読み出し変数定義 */
    sreg = SREG;                       /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    _CLI();                            /* 全割り込み禁止 */
    i = TCNTnL;                        /* 下位ﾊﾞｲﾄ取得(上位ﾊﾞｲﾄ⇒一時ﾚｼﾞｽﾀ) */
    i |= ((unsigned int)TCNTnH<<8);    /* 上位ﾊﾞｲﾄ取得(一時ﾚｼﾞｽﾀ)合成 */
    SREG = sreg;                       /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
    return i;                          /* TCNTn値で呼び出し元へ復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対にTCNTnH/L値を戻します。

次のｺｰﾄﾞ例はTCNTnH/Lﾚｼﾞｽﾀ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCRnB/Aのどんな書き込みも行えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
WR_TCNT0:   IN      R18, SREG          ;現全割り込み許可ﾌﾗｸﾞ(I)を保存
            CLI                        ;全割り込み禁止
            OUT     TCNTnH, R17        ;TCNTn上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ)
            OUT     TCNTnL, R16        ;TCNTn下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ)
            OUT     SREG, R18          ;全割り込み許可ﾌﾗｸﾞ(I)を復帰
            RET                        ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void TIM16_Write_TCNT0(unsigned int i)
{
    unsigned char sreg;                /* ｽﾃｰﾀｽ ﾚｼﾞｽﾀ一時保存変数定義 */
    unsigned int i;                    /* TCNTn書き込み変数定義 */
    sreg = SREG;                       /* 現全割り込み許可ﾌﾗｸﾞ(I)を保存 */
    _CLI();                            /* 全割り込み禁止 */
    TCNTnH = (i>>8);                   /* 上位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ) */
    TCNTnL = (unsigned char)i;         /* 下位ﾊﾞｲﾄ設定(一時ﾚｼﾞｽﾀ⇒上位ﾊﾞｲﾄ) */
    SREG = sreg;                       /* 全割り込み許可ﾌﾗｸﾞ(I)を復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

ｱｾﾝﾌﾞﾘ言語ｺｰﾄﾞ例はR17:R16ﾚｼﾞｽﾀ対がTCNTnH/Lへ書かれるべき値を含むことが必要です。

17.9.1. 上位ﾊﾞｲﾄ一時ﾚｼﾞｽﾀの再使用

書かれる全ﾚｼﾞｽﾀについて上位ﾊﾞｲﾄが同じ複数16ﾋﾞｯﾄ ﾚｼﾞｽﾀ書き込みなら、上位ﾊﾞｲﾄは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

17.10. ﾀｲﾏ/ｶｳﾝﾀn用ﾚｼﾞｽﾀ

17.10.1. TCCRnA – ﾀｲﾏ/ｶｳﾝﾀn制御ﾚｼﾞｽﾀA (Timer/Counter n Control Register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$24($44):($80)	TCWn	ICENn	ICNCn	ICESn	ICSn	–	–	WGMn0	TCCRnA
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – TCWn : ﾀｲﾏ/ｶｳﾝﾀn幅** (Timer/Counter n Width)

このﾋﾞｯﾄが1を書かれると、16ﾋﾞｯﾄ動作が選ばれます。ﾀｲﾏ/ｶｳﾝﾀnの幅が16ﾋﾞｯﾄに設定され、比較ﾚｼﾞｽﾀのOCRnAとOCRnBが1つの16ﾋﾞｯﾄ比較ﾚｼﾞｽﾀを形成するために組み合わされます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀのTCNTnH/LとOCRnB/Aは8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｽ経由でAVR CPUによってｱｸｾｽされるので、特別な手順に従わなければなりません。これらの手順は59頁の「**16ﾋﾞｯﾄ動作でのﾚｼﾞｽﾀ ｱｸｾｽ**」項で記述されます。

● **ﾋﾞｯﾄ6 – ICENn : 捕獲入力動作許可** (Input Capture Mnode Enable)

このﾋﾞｯﾄが1を書かれると、捕獲入力動作が許可されます。

● **ﾋﾞｯﾄ5 – ICNCn : 捕獲起動入力n雑音消去許可** (Input Capture Noise Canceler)

このﾋﾞｯﾄを(1に)設定することは捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動元からの入力が濾波されます。この濾波器機能はそれが出力を更新することに対して連続4回等しく評価された捕獲起動元の採取を必要とします。雑音消去器が許可されると、捕獲入力はこれによって4発振器(ｼｽﾃﾑ ｸﾛｯｸ)周期遅らされます。

● **ﾋﾞｯﾄ4 – ICESn : 捕獲起動入力端選択** (Input Capture Edge Select)

このﾋﾞｯﾄは出来事での捕獲を起動するのに使われる捕獲起動元のどちらかの端(ｴｯｼﾞ)を選びます。ICESnﾋﾞｯﾄが0を書かれると起動動作として下降(負)端が使われ、ICESnﾋﾞｯﾄが1を書かれると上昇(正)端が捕獲を起動します。捕獲がICESn設定に従って起動されると、ｶｳﾝﾀ値が捕獲ﾚｼﾞｽﾀ(OCRnB/A)に複写されます。この出来事は捕獲入力割り込み要求ﾌﾗｸﾞ(ICFn)も設定(1)し、そしてこれはこの割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

● **ﾋﾞｯﾄ3 – ICSn : 捕獲起動入力選択** (Input Capture Select)

論理1を書かれると、このﾋﾞｯﾄは代替捕獲入力元によって起動されるﾀｲﾏ/ｶｳﾝﾀnの捕獲入力機能を許可します。比較器にﾀｲﾏ/ｶｳﾝﾀn捕獲割り込みを起動させるには、ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSKn)の捕獲割り込み許可(ICIEn)ﾋﾞｯﾄが設定(1)されなければなりません。57頁の**表17-3.**と**表17-4.**をご覧ください。

● **ﾋﾞｯﾄ2,1 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ0 – WGMn0 : 波形生成種別** (Waveform Generation Mode)

このﾋﾞｯﾄはｶｳﾝﾀの計数順序(方向)、最大ｶｳﾝﾀ(TOP)値の供給元を制御します。54頁の**表17-2.**をご覧ください。ﾀｲﾏ/ｶｳﾝﾀ部によって支援される動作種別は標準動作(計数器)と比較一致ﾀｲﾏ/ｶｳﾝﾀ解除(CTC)動作です。54頁の「**動作種別**」をご覧ください。

17.10.2. TCNTnL – タイマ/カウンタn下位バイト (Timer/Counter n Register Low Byte)

ビット	7	6	5	4	3	2	1	0	
$26($46):($84)	(MSB)							(LSB)	TCNTnL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタnレジスタ下位バイト(TCNTnL)は読み書き両方についてタイマ/カウンタ部の8ビット カウンタに直接アクセスします。TCNTnLレジスタへの書き込みは次のタイマ/カウンタ クロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNTnL)を変更することは、OCRnxとTCNTnL間の比較一致消失の危険を誘発します。16ビット動作でのTCNTnLレジスタは16ビット タイマ/カウンタn レジスタの下位部を含みます。

17.10.3. TCNTnH – タイマ/カウンタn上位バイト (Timer/Counter n Register High Byte)

ビット	7(15)	6(14)	5(13)	4(12)	3(11)	2(10)	1(9)	0(8)	
$27($47):($85)	(MSB)							(LSB)	TCNTnH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

16ビット動作が選択(TCCRnAのTCWn=1)されると、タイマ/カウンタn上位レジスタ(TCNTnH)はタイマ/カウンタn下位レジスタ(TCNTnL)と組み合わされ、読み書き両方についてタイマ/カウンタ部の16ビット カウンタに直接アクセスします。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビット レジスタによって共用されます。59頁の「**16ビット動作でのレジスタ アクセス**」をご覧ください。

17.10.4. OCRnA – タイマ/カウンタn 比較Aレジスタ (Timer/Counter n Output Compare A Register)

ビット	7	6	5	4	3	2	1	0	
$28($48):($88)	(MSB)							(LSB)	OCRnA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較Aレジスタは継続的にカウンタ(TCNTnL)値と比較される8ビットの値を含みます。一致は比較一致割り込みを生成するために使えます。

16ビット動作でのOCRnAレジスタは16ビット比較レジスタの下位バイトを含みます。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビット レジスタによって共用されます。59頁の「**16ビット動作でのレジスタ アクセス**」をご覧ください。

17.10.5. OCRnB – タイマ/カウンタn 比較Bレジスタ (Timer/Counter n Output Compare B Register)

ビット	7(15)	6(14)	5(13)	4(12)	3(11)	2(10)	1(9)	0(8)	
$29($49):($89)	(MSB)							(LSB)	OCRnB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較Bレジスタは継続的にカウンタ(8ビット動作でのTCNTnLまたは16ビット動作でのTCNTnH)値と比較される8ビットの値を含みます。一致は比較一致割り込みを生成するために使えます。

16ビット動作でのOCRnBレジスタは16ビット比較レジスタの上位バイトを含みます。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビット レジスタによって共用されます。59頁の「**16ビット動作でのレジスタ アクセス**」をご覧ください。

17.10.6. TIMSKn – ﾀｲﾏ/ｶｳﾝﾀn割り込み許可ﾚｼﾞｽﾀ (Timer/Counter n Interrupt Mask Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($6E):($6F)	–	–	–	–	ICIEn	OCIEnB	OCIEnA	TICIEn	TIMSKn
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ3 – ICIEn : ﾀｲﾏ/ｶｳﾝﾀn捕獲割り込み許可** (Timer/Counter n Input Capture Interrupt Enable)

このﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn捕獲割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFRn)でﾀｲﾏ/ｶｳﾝﾀn捕獲割り込み要求(ICFn)ﾌﾗｸﾞが設定(1)されると、対応する割り込み(33頁の「**割り込み**」参照)が実行されます。

● **ﾋﾞｯﾄ2 – OCIEnB : ﾀｲﾏ/ｶｳﾝﾀn比較B割り込み許可** (Timer/Counter n Output Compare Match B Interrupt Enable)

OCIEnBﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn比較B一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀnで比較B一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFRn)でﾀｲﾏ/ｶｳﾝﾀn比較B割り込み要求ﾌﾗｸﾞ(OCFnB)が設定(1)されると、対応する割り込みが実行されます。

● **ﾋﾞｯﾄ1 – OCIEnA : ﾀｲﾏ/ｶｳﾝﾀn比較A割り込み許可** (Timer/Counter n Output Compare Match A Interrupt Enable)

OCIEnAﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn比較A一致割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀnで比較A一致が起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFRn)でﾀｲﾏ/ｶｳﾝﾀn比較A割り込み要求ﾌﾗｸﾞ(OCFnA)が設定(1)されると、対応する割り込みが実行されます。

● **ﾋﾞｯﾄ0 – TOIEn : ﾀｲﾏ/ｶｳﾝﾀn溢れ割り込み許可** (Timer/Counter n Overflow Interrupt Enable)

TOIEnﾋﾞｯﾄが1を書かれて、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀn溢れが起こる、換言するとﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFRn)でﾀｲﾏ/ｶｳﾝﾀn溢れ割り込み要求(TOVn)ﾌﾗｸﾞが設定(1)されると、対応する割り込みが実行されます。

17.10.7. TIFRn – ﾀｲﾏ/ｶｳﾝﾀn割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter n Interrupt Flag Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$15($35):$16($36)	–	–	–	–	ICFn	OCFnB	OCFnA	TOVn	TIFRn
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ3 – ICFn : ﾀｲﾏ/ｶｳﾝﾀn捕獲割り込み要求ﾌﾗｸﾞ** (Timer/Conter n Input Capture Flag)

ﾀｲﾏ/ｶｳﾝﾀ制御ﾚｼﾞｽﾀA(TCCRnA)のICENn,ICESn,ICSnﾋﾞｯﾄの設定に対応した捕獲事象が起こると、このﾌﾗｸﾞが設定(1)されます。捕獲割り込みﾍﾞｸﾀが実行されると、ICFnは自動的に解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ論理1を書くことによってもICFnは解除(0)できます。

● **ﾋﾞｯﾄ2 – OCFnB : ﾀｲﾏ/ｶｳﾝﾀn比較B割り込み要求ﾌﾗｸﾞ** (Timer/Conter n Output Compare B Match Flag)

OCFnBﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNTn)と比較ﾚｼﾞｽﾀ(OCRnB)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCFnBはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCFnBは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSKn)のﾀｲﾏ/ｶｳﾝﾀn比較B一致割り込み許可(OCIEnB)ﾋﾞｯﾄ、OCFnBが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn比較B一致割り込みが実行されます。

OCFnBは比較B(OCRnB)ﾚｼﾞｽﾀが16ﾋﾞｯﾄ比較/捕獲動作で16ﾋﾞｯﾄの比較ﾚｼﾞｽﾀまたは捕獲入力ﾚｼﾞｽﾀの上位ﾊﾞｲﾄとして使われる時は設定(1)されません。

● **ﾋﾞｯﾄ1 – OCFnA : ﾀｲﾏ/ｶｳﾝﾀn比較A割り込み要求ﾌﾗｸﾞ** (Timer/Conter n Output Compare A Match Flag)

OCFnAﾋﾞｯﾄは比較一致がﾀｲﾏ/ｶｳﾝﾀ(TCNTn)と比較ﾚｼﾞｽﾀ(OCRnA)間で起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、OCFnAはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもOCFnAは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSKn)のﾀｲﾏ/ｶｳﾝﾀn比較A一致割り込み許可(OCIEnA)ﾋﾞｯﾄ、OCFnAが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn比較A一致割り込みが実行されます。

OCFnAは16ﾋﾞｯﾄ動作でﾀｲﾏ/ｶｳﾝﾀとOCRnB/A内のﾃﾞｰﾀ間に比較一致が起こる時にも設定(1)されます。OCFnAは捕獲入力ﾚｼﾞｽﾀとしてOCFnAが使われる時の捕獲入力では設定(1)されません。

● **ﾋﾞｯﾄ0 – TOVn : ﾀｲﾏ/ｶｳﾝﾀn溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter n Overflow Flag)

TOVnﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ(TCNTn)溢れが起こる時に設定(1)されます。対応する割り込み処理ﾍﾞｸﾀを実行すると、TOVnはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもTOVnは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSKn)のﾀｲﾏ/ｶｳﾝﾀn溢れ割り込み許可(TOIEn)ﾋﾞｯﾄ、TOVnが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀn溢れ割り込みが実行されます。

18. 直列周辺インターフェース (SPI: Serial Peripheral Interface)

18.1. 特徴

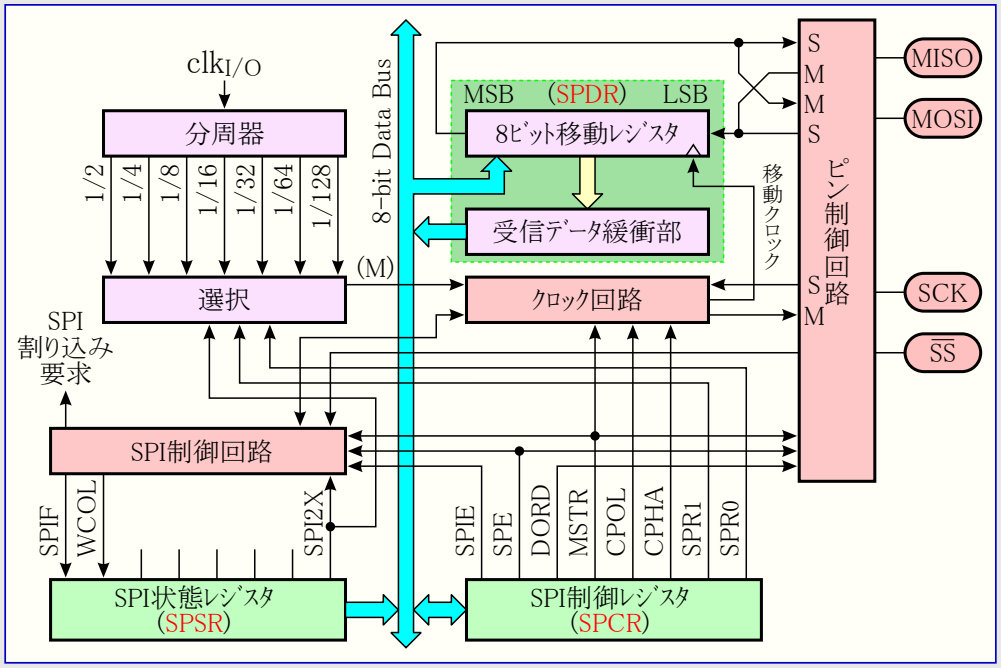
- 全二重3線同期データ転送
- 主装置/従装置動作
- LSB/MSB先行データ転送
- 設定変更可能な7つのビット速度
- 送信完了割り込み要求フラグ
- 送信上書きフラグ保護
- アイドル動作からの起動
- 倍速(CK/2)主装置SPI動作

18.2. 概要

直列周辺インターフェースはAtmel ATmega16HVB/32HVBと様々なAVRデバイスや周辺デバイス間の高速同期データ転送を許します。直列周辺インターフェースの簡略構成図は図18-1.で示されます。

SPI未使用時、PRR0のPRSPIビットに1を書くことで電力消費を最小にできます。PRSPIビットの使用法詳細については26頁の「PRR0 – 電力削減レジスタ」をご覧ください。

図18-1. SPI構成図



注: SPIピン配置については2頁の「ピン配置」と48頁の表15-5.を参照してください。

SPIでの主装置と従装置のCPU間相互連結は図18-2.で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は希望した従装置の$\overline{SS}$(従装置選択)ピンをLowへ引き込む時に一群の通信を開始します。主装置と従装置は各々の移動レジスタに送出すべきデータを用意し、主装置はデータを交換するのに必要なクロック パルスをSCK信号線に生成します。データは常にMOSI(Master Out Slave In)信号線を主装置から従装置へ、MISO(Master In Slave Out)信号線を従装置から主装置へ移されます。各データ パケット後、主装置は$\overline{SS}$(従装置選択)ピンをHighへ引き上げることによって従装置と同期を取ります。

主装置として設定されると、SPIインターフェースには$\overline{SS}$信号線の自動制御がありません。これは通信が開始できるのに先立って使用者ソフトウェアによって操作されなければなりません。これが行われると、SPIデータ レジスタ(SPDR)へのバイト書き込みがSPIクロック発生器を始動し、ハードウェアが従装置内へ8ビットを移動します。1バイトの移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の転送完了フラグ(SPIF)を設定(1)します。SPI制御レジスタ(SPCR)でSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。主装置はSPDR内へ次バイトを書くことによって次バイトの移動を継続、または$\overline{SS}$(従装置選択)信号線をHighへ引き上げることによってパケットの終了を指示することができます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

従装置として設定されると、SPIインターフェースは$\overline{SS}$ピンがHighに駆動される限り、MISOをHi-Zにした休止状態に留まります。この状態でプログラムはSPIデータ レジスタ(SPDR)の内容を更新できますが、そのデータは$\overline{SS}$ピンがLowに駆動されるまでSCKピンでの到着クロック パルスによって移動出力されません。1バイトが完全に移動されてしまうと転送完了フラグ(SPIF)が設定(1)されます。SPCRでSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置は受信データを読む前にSPDR内へ送られるべき次のデータの配置を続けられます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

このシステムは送信側で単一緩衝、受信側で2重緩衝です。これは一連の移動全体が完了される前に送信されるべきバイトがSPIデータ レジスタ(SPDR)へ書けないことを意味します。けれども、データを受信するとき、次のデータが完全に移動入力される前に受信したデータがSPIデータ レジスタ(SPDR)から読まれなければなりません。さもなければ始めのバイトは失われます。

SPI従装置動作では制御論理回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、High/Lowの最小時間は各々2 CPUクロック周期よりも長くあるべきです。

SPIが許可されると、MOSI, MISO, SCK, $\overline{SS}$ピンのデータ方向は表18-1.に従って無視されます。自動的なポート無視のより多くの詳細については46頁の「交換ポート機能」を参照してください。

図18-2. SPI 主装置/従装置の連結

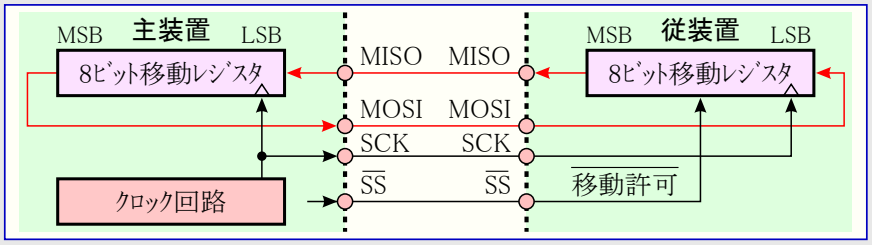


表18-1. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
$\overline{SS}$	ポートB方向レジスタ(DDRB)の指定	入力

注: 使用者定義SPIピンの方向定義方法の詳細記述については48頁の「ポートBの交換機能」を参照してください。

次のｺｰﾄﾞ例は主装置としてSPIを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR_SPIはSPIﾋﾟﾝを制御する実際のﾎﾟｰﾄ方向ﾚｼﾞｽﾀに置き換えられなければなりません。DD_MOSI, DD_MISO, DD_SCKはこれらのﾋﾟﾝに対する実際のﾎﾟｰﾄ方向ﾋﾞｯﾄに置き換えられなければなりません。例えばMOSIがPB5ﾋﾟﾝに配置されるなら、DD_MOSIはDDB5、DDR_SPIはDDRBに置き換えます。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_M_Init:  LDI     R17,(1<<DD_MOSI)|(1<<DD_SCK)        ;MOSI,SCK=出力、他は入力値を取得
             OUT     DDR_SPI,R17                         ;MOSI,SCK=出力、他は入力に設定
             LDI     R17,(1<<SPE)|(1<<MSTR)|(1<<SPR0)    ;SPI許可、主装置、16分周値を取得
             OUT     SPCR,R17                            ;SPI許可、主装置、16分周に設定
             RET                                         ;呼び出し元へ復帰

SPI_M_Tx:    OUT     SPDR,R16                            ;ﾃﾞｰﾀ(R16)送信開始
SPI_M_Tx_W:  SBIS    SPSR,SPIF                           ;転送完了ならばｽｷｯﾌﾟ
             RJMP    SPI_M_Tx_W                          ;転送完了まで待機
;
             RET                                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI)|(1<<DD_SCK);                  /* MOSI,SCK=出力、他は入力に設定 */
    SPCR = (1<<SPE)|(1<<MSTR)|(1<<SPR0);                 /* SPI許可、主装置、16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                        /* ﾃﾞｰﾀ送信開始 */
    while(!(SPSR & (1<<SPIF)));                          /* 転送完了まで待機 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

次のｺｰﾄﾞ例は従装置としてSPIを初期化する方法と簡単な受信を実行する方法を示します。

ｱｾﾝﾌﾞﾘ言語ﾌﾟﾛｸﾞﾗﾑ例

```
SPI_S_Init:  LDI     R17,(1<<DD_MISO)                    ;MISO出力、他は入力値を取得
             OUT     DDR_SPI,R17                         ;MISO出力、他は入力に設定
             LDI     R17,(1<<SPE)                        ;SPI許可値を取得
             OUT     SPCR,R17                            ;SPI許可設定
             RET                                         ;呼び出し元へ復帰

SPI_S_Rx:    SBIS    SPSR,SPIF                           ;受信(転送)完了ならばｽｷｯﾌﾟ
             RJMP    SPI_S_Rx                            ;受信(転送)完了まで待機
;
             IN      R16,SPDR                            ;受信ﾃﾞｰﾀを取得
             RET                                         ;呼び出し元へ復帰
```

C言語ﾌﾟﾛｸﾞﾗﾑ例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                              /* MISO出力、他は入力に設定 */
    SPCR = (1<<SPE);                                     /* SPI許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                          /* 受信(転送)完了まで待機 */
    return SPDR;                                         /* 受信ﾃﾞｰﾀと共に復帰 */
}
```

注: 5頁の「ｺｰﾄﾞ例について」をご覧ください。

18.3. $\overline{SS}$ﾋﾟﾝの機能

18.3.1. 従装置動作

SPIが従装置として設定されると、従装置選択($\overline{SS}$)ﾋﾟﾝは常に入力です。$\overline{SS}$がLowに保たれるとSPIは活性に(作動)され、使用者によってそのように設定されていればMISOは出力になります。他の全てのﾋﾟﾝは入力です。$\overline{SS}$がHighに駆動されると、出力として使用者設定され得るMISOを除く全てのﾋﾟﾝは入力、SPIは非活動で、それは到着ﾃﾞｰﾀを受信しないことを意味します。一旦$\overline{SS}$ﾋﾟﾝがHighに駆動されると、SPI論理回路がﾘｾｯﾄすることに注意してください。

この$\overline{SS}$ﾋﾟﾝはﾊﾟｹｯﾄ/ﾊﾞｲﾄ同期に対して、従装置ﾋﾞｯﾄ計数器が主装置ｸﾛｯｸ発生器との同期を保つのに有用です。$\overline{SS}$ﾋﾟﾝがHighに駆動されると、SPI従装置は直ちに送受信論理回路をﾘｾｯﾄし、それは移動ﾚｼﾞｽﾀ内で部分的に受信したどのﾃﾞｰﾀも取り落とします。

18.3.2. 主装置動作

SPIが主装置(SPI制御ﾚｼﾞｽﾀ(SPCR)の主装置許可(MSTR)ﾋﾞｯﾄ=1)として設定されると、$\overline{SS}$ﾋﾟﾝの方向は使用者が決められます。

$\overline{SS}$が出力として設定されると、このﾋﾟﾝはSPIｼｽﾃﾑに影響を及ぼされない標準出力ﾋﾟﾝです。代表的にはこのﾋﾟﾝがSPI従装置の$\overline{SS}$ﾋﾟﾝを駆動するでしょう。

$\overline{SS}$が入力として設定されると、SPI主装置動作を保証するため、それはHighに保持されなければなりません。$\overline{SS}$ﾋﾟﾝが入力として定義されたSPI主装置として設定される時に周辺回路によって$\overline{SS}$ﾋﾟﾝがLowに駆動されると、SPIｼｽﾃﾑは他の主装置が従装置として選んでﾃﾞｰﾀ送信を始めると解釈します。ﾊﾞｽの衝突を避けるためにSPIｼｽﾃﾑは次の動作を行います。

1. SPCRで主/従選択(MSTR)ﾋﾞｯﾄが解除(0)され、SPIｼｽﾃﾑは従装置になります。SPIｼｽﾃﾑが従装置になる結果としてMOSIとSCKﾋﾟﾝが入力になります。
2. SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)され、そしてSPI割り込みが許可(SPCRのSPIE=1)され、且つｽﾃｰﾀｽﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)なら、割り込みﾙｰﾁﾝが実行されます。

従って割り込み駆動SPI送信が主装置動作で使われ、$\overline{SS}$がLowに駆動される可能性があるとき、その割り込み(処理)はMSTRﾋﾞｯﾄが未だ設定(1)されていることを常に検査すべきです。MSTRﾋﾞｯﾄが従装置選択によって解除(0)されてしまっていると、それはSPI主装置動作を再び許可するため、使用者によって設定(1)されなければなりません。

18.4. データ転送形式

直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットによって決定されるSCK位相と極性で4つの組み合わせがあります。このSPIデータ転送形式は図18-3.と図18-4.で示されます。データ ビットは安定のためデータ信号に対して充分な時間を保証するSCK信号の反対端で移動出力と(入力)ラッチが行われます。これは表18-2.で行われるように表18-3.と表18-4.を要約することによって明解にされます。

表18-2. CPOL,CPHA機能動作

SPI動作種別番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

図18-3. SPIデータ転送形式 (CPHA=0)

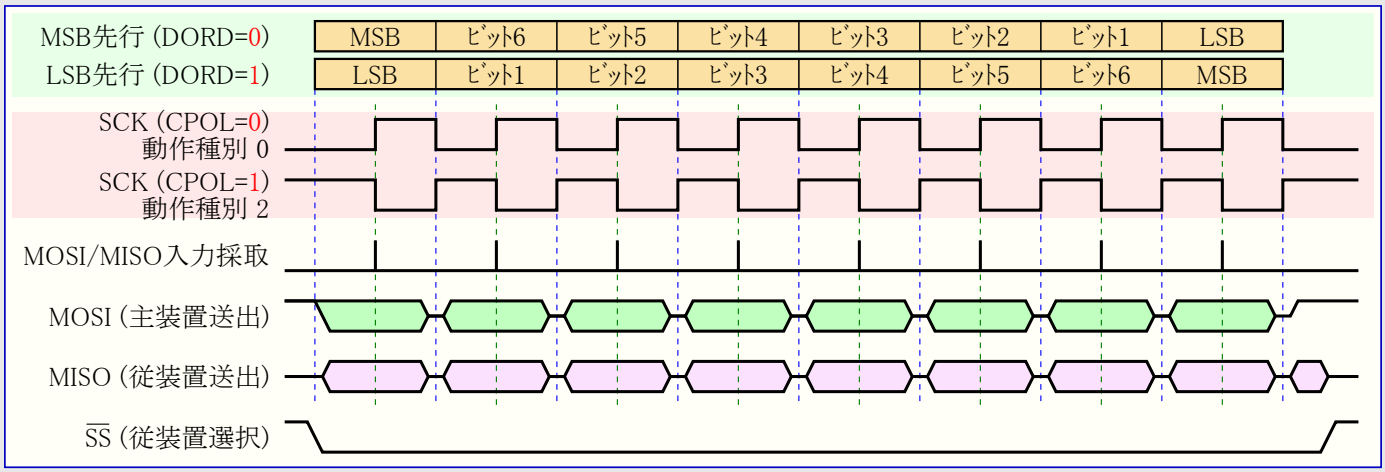
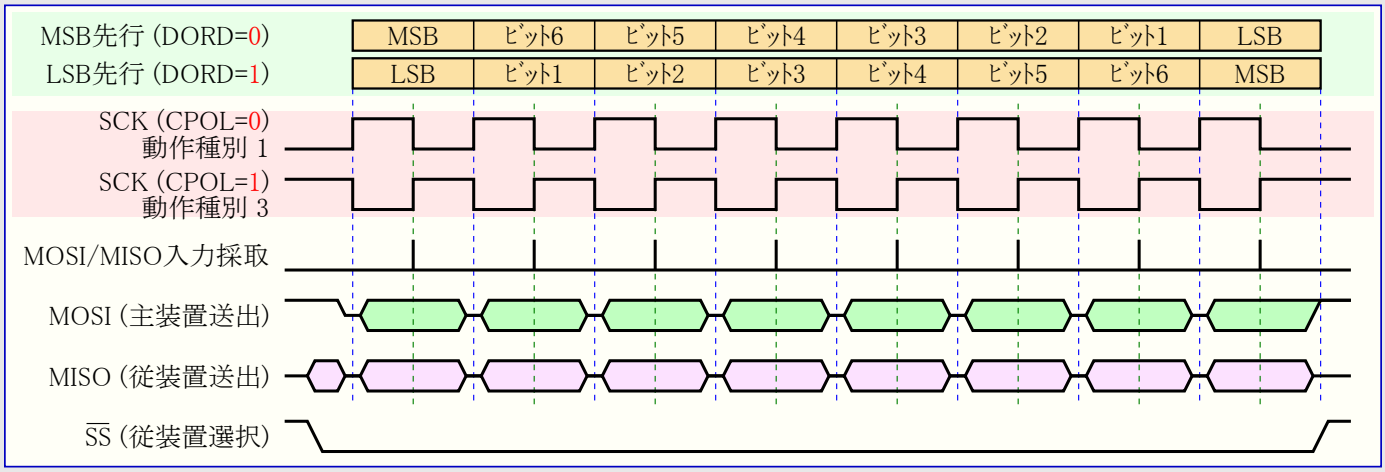


図18-4. SPIデータ転送形式 (CPHA=1)



18.5. SPI用ﾚｼﾞｽﾀ

18.5.1. SPCR – SPI制御ﾚｼﾞｽﾀ (SPI Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2C ($4C)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – SPIE : SPI割り込み許可** (SPI Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されて、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)されると、このﾋﾞｯﾄがSPI割り込みを実行させます。

● **ﾋﾞｯﾄ6 – SPE : SPI許可** (SPI Enable)

SPEﾋﾞｯﾄが1を書かれるとSPIが許可されます。どのSPI操作を許可するにも、このﾋﾞｯﾄが設定(1)されなければなりません。

● **ﾋﾞｯﾄ5 – DORD : ﾃﾞｰﾀ順選択** (Data Order)

DORDﾋﾞｯﾄが1を書かれるとﾃﾞｰﾀ語のLSBが最初に転送されます。DORDﾋﾞｯﾄが0を書かれるとMSBが最初に転送されます。

● **ﾋﾞｯﾄ4 – MSTR : 主装置/従装置選択** (Master/Slave Select)

このﾋﾞｯﾄは1を書かれると主装置動作、論理0を書かれると従装置動作を選びます。$\overline{SS}$が入力として設定され、MSTRが設定(1)の間にLowへ駆動されると、MSTRが解除(0)され、SPI状態ﾚｼﾞｽﾀ(SPSR)でSPI割り込み要求ﾌﾗｸﾞ(SPIF)が設定(1)になります。その後に使用者はSPI主装置動作を再び許可するためにMSTRを設定(1)しなければなりません。

● **ﾋﾞｯﾄ3 – CPOL : SCK極性選択** (Clock Polarity)

このﾋﾞｯﾄが1を書かれると、ｱｲﾄﾞﾙ時にSCKはHighです。CPOLが0を書かれると、ｱｲﾄﾞﾙ時にSCKはLowです。例については**図18-3.**と**図18-4.**を参照してください。CPOL機能は右で要約されます。

表18-3. CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

● **ﾋﾞｯﾄ2 – CPHA : SCK位相選択** (Clock Phase)

このSCK位相選択(CPHA)ﾋﾞｯﾄの設定はﾃﾞｰﾀがSCKの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。例については**図18-3.**と**図18-4.**を参照してください。CPHA機能は右で要約されます。

表18-4. CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

● **ﾋﾞｯﾄ1,0 – SPR1,0 : SPIｸﾛｯｸ選択** (SPI Clock Rate Select 1 and 0)

これら2ﾋﾞｯﾄは主装置として設定されたﾃﾞﾊﾞｲｽのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKと(ｼｽﾃﾑ)発振器ｸﾛｯｸ周波数fOSC間の関連は次表で示されます。

表18-5. SCK速度選択 (fOSC=CPUｸﾛｯｸ周波数)

SPR1	0		0		1		1	
SPR0	0		1		0		1	
SPI2X	1	0	1	0	1	0	1	0
SCK周波数	fOSC/2	fOSC/4	fOSC/8	fOSC/16	fOSC/32	fOSC/64		fOSC/128

18.5.2. SPSR – SPI状態ﾚｼﾞｽﾀ (SPI Status Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2D ($4D)	SPIF	WCOL	–	–	–	–	–	SPI2X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – SPIF : SPI割り込み要求ﾌﾗｸﾞ** (SPI Interrupt Flag)

直列転送が完了すると、このSPIFﾌﾗｸﾞが設定(1)されます。全割り込みが許可(ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ=1)されて、SPI制御ﾚｼﾞｽﾀ(SPCR)でSPI割り込み許可(SPIE)ﾋﾞｯﾄが設定(1)されるなら、割り込みが生成されます。SPIが主装置動作の時に$\overline{SS}$ﾋﾟﾝが入力でLowに駆動されるなら、これもこのSPIFﾌﾗｸﾞを同様に設定(1)します。対応する割り込み処理ﾍﾞｸﾀを実行する時にSPIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにSPIFが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによってもSPIFﾌﾗｸﾞは解除(0)されます。

● ﾋﾞｯﾄ6 – WCOL : 上書き発生ﾌﾗｸﾞ (Write Collision Flag)

ﾃﾞｰﾀ転送中にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)が書かれると、このWCOLﾋﾞｯﾄが設定(1)されます。WCOLﾋﾞｯﾄ(とSPIFﾋﾞｯﾄ)はWCOLが設定(1)されたSPI状態ﾚｼﾞｽﾀ(SPSR)を始めに読み、その後にSPIﾃﾞｰﾀ ﾚｼﾞｽﾀ(SPDR)をｱｸｾｽすることによって解除(0)されます。

● ﾋﾞｯﾄ5～1 – 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● ﾋﾞｯﾄ0 – SPI2X : SPI倍速許可 (Double SPI Speed Bit)

このﾋﾞｯﾄが論理1を書かれると、SPIが主装置動作の時にSCK速度(SCK周波数)が倍にされます(表18-5.参照)。これは最小SCK周期が2 CPUｸﾛｯｸ周期であることを意味します。SPIが従装置として設定される時にSPIはf_{OSC}(CPUｸﾛｯｸ周波数)/4またはそれ以下での動作のみ保証されます。

ATmega16HVB/32HVBのSPIｲﾝﾀｰﾌｪｰｽはﾌﾗｯｼｭ ﾒﾓﾘやEEPROMの書き換え(読み書き)にも使われます。直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合については「直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」をご覧ください。

18.5.3. SPDR – SPIﾃﾞｰﾀ ﾚｼﾞｽﾀ (SPI Data Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2E ($4E)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIﾃﾞｰﾀ ﾚｼﾞｽﾀはSPI移動ﾚｼﾞｽﾀとﾚｼﾞｽﾀ ﾌｧｲﾙ(汎用ﾚｼﾞｽﾀ)間のﾃﾞｰﾀ転送に使われる読み書き可能なﾚｼﾞｽﾀです。このﾚｼﾞｽﾀへの書き込みがﾃﾞｰﾀ送信を開始します。このﾚｼﾞｽﾀの読み込みは移動ﾚｼﾞｽﾀの受信緩衝部読み出しを引き起こします。

19. クーロン カウンタ (容量/残量計専用⊿ΣA/D変換器)

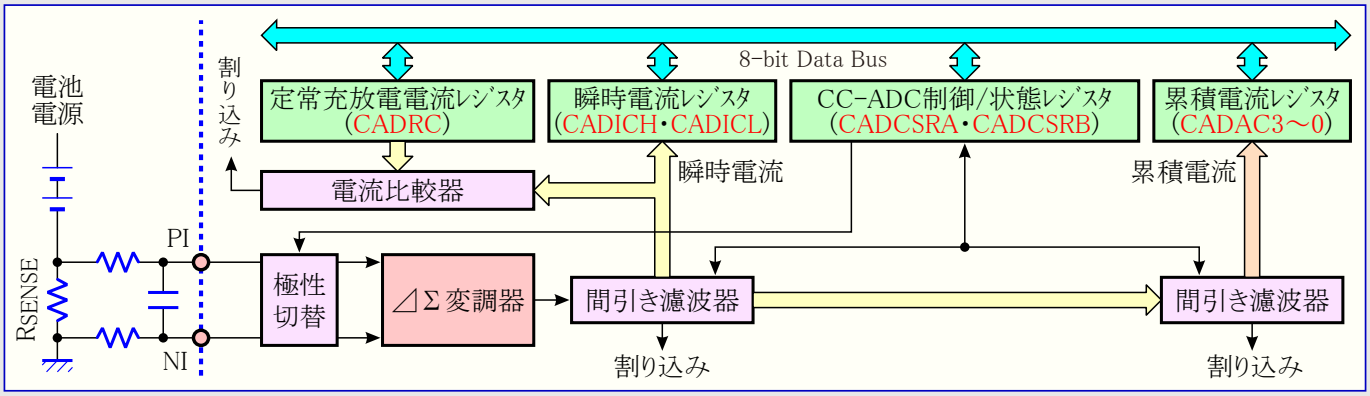
19.1. 特徴

- 採取式クーロン カウンタ
- クーロン カウンタ用に最適化された低電力⊿ΣA/D変換器
- 変換時間3.9msの瞬時電流出力
  - 13ビット分解能(符号を含む)
  - 瞬時電流変換完了での割り込み
- 累積電流出力
  - 設定可能な変換時間: 128/256/512/1024ms
  - 18ビット分解能(符号を含む)
  - 累積電流変換完了での割り込み
- 定常電流検出動作
  - 設定変更可能な採取間隔: 256/512/1024/2048ms
- 設定可能な±100/200mVの入力電圧範囲
  - 5mΩで±20/40A計測可能
- 入力極性切り換えによる変位消去

19.2. 概要

ATmega16HVB/32HVBはクーロン カウンタ用に最適化された専用の⊿ΣA/D変換器(CC-ADC)が特徴です。外部検出抵抗器(R_{SENSE})を通して流れる充放電電流を採取することによって電池セルの入出力電流の流れを追跡するのにCC-ADCが使われます。

図19-1. クーロン カウンタ構成図



CC-ADCは分解能、活動範囲、外部検出抵抗器(R_{SENSE})間で行う交換条件を許す設定可能な電圧範囲を持ちます。

標準動作では瞬時電流と累積電流の2つの異なる出力値が提供されます。瞬時電流出力はより低い分解能への犠牲による短い変換時間です。累積電流出力はクーロン カウンタ用の高精度電流計測を提供します。

CC-ADCは特別な定常電流検出動作も提供します。これは小さな充放電電流が流れる時にパワーセーブ動作での超低電力を可能にします。

変位消去に関して走行時に入力信号の極性を切り換えることができます。この機能を用いて内部CC-ADC変位を取り去ることができます。AVR352応用記述をご覧ください。

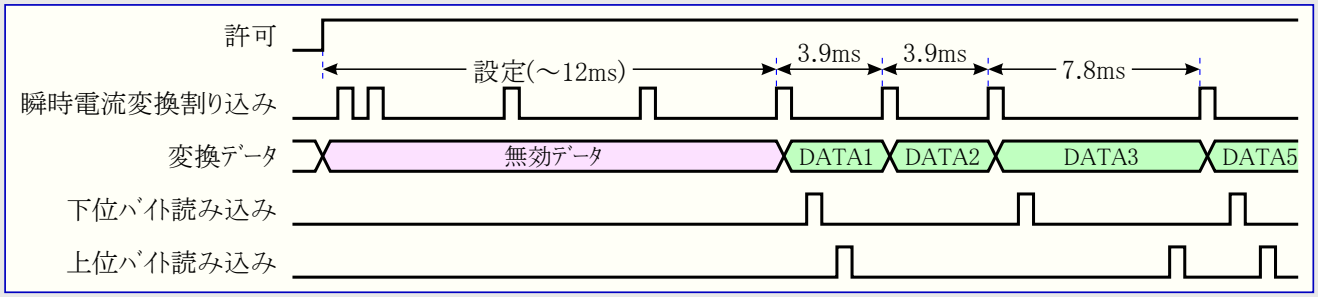
19.3. 標準動作

許可時、ｸｰﾛﾝ ｶｳﾝﾀA/D変換器(CC-ADC)は外部検出抵抗器(RSENSE)上の電圧を継続的に計測します。標準変換動作での走行では2つのﾃﾞｰﾀ変換出力が提供されます。

- 瞬時変換結果
- 累積変換結果

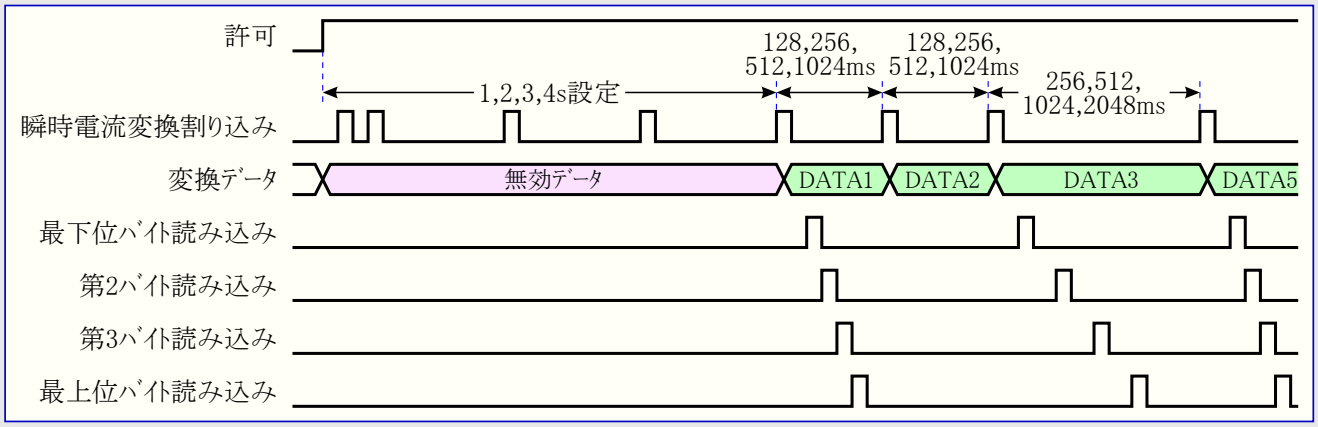
瞬時電流用の変換時間は入力信号直後での出力を可能にする3.9ms(代表値)に固定されています。各瞬時電流変換後、その割り込みが許可されていれば割り込みが生成されます。変換からのﾃﾞｰﾀは割り込みが与えられるのと同時に瞬時電流(CADICH,CADICL)ﾚｼﾞｽﾀで更新されます。変換ﾃﾞｰﾀの消失を避けるため、対応する割り込みが与えられた後、3.9ms時間窓内に上下ﾊﾞｲﾄ両方が読まれなければなりません。下位ﾊﾞｲﾄ ﾚｼﾞｽﾀが読まれると、瞬時電流ﾚｼﾞｽﾀ更新と割り込みは上位ﾊﾞｲﾄが読まれるまで停止されます。図19-2.は制限時間内にDATA3読み込みが完了されないためにDATA4が失われる瞬時電流変換構成図を示します。

図19-2. 瞬時電流変換



累積電流出力はｸｰﾛﾝ ｶｳﾝﾀA/D変換器制御/状態ﾚｼﾞｽﾀA(CADCSRA)の累積電流変換時間選択(CADAS1,0)ﾋﾞｯﾄによって選んだ設定可能な変換時間での高精度、高分解能出力です。変換された値は1変換時間中に平均電流計測の流れを累積します。CC-ADCはその割り込みが許可されていれば、新規累積電流変換が完了されてしまう毎に割り込みを生成します。変換からのﾃﾞｰﾀは割り込みが与えられるのと同時に累積電流(CADAC3～0)ﾚｼﾞｽﾀで更新されます。変換ﾃﾞｰﾀの消失を避けるため、選んだ変換時間内に全ﾊﾞｲﾄが読まれなければなりません。下位ﾊﾞｲﾄ ﾚｼﾞｽﾀが読まれると、累積電流ﾚｼﾞｽﾀ更新と割り込みは最上位ﾊﾞｲﾄが読まれるまで停止されます。図19-3.は制限時間内にDATA3読み込みが完了されないためにDATA4が失われる累積電流変換例を示します。

図19-3. 累積電流変換



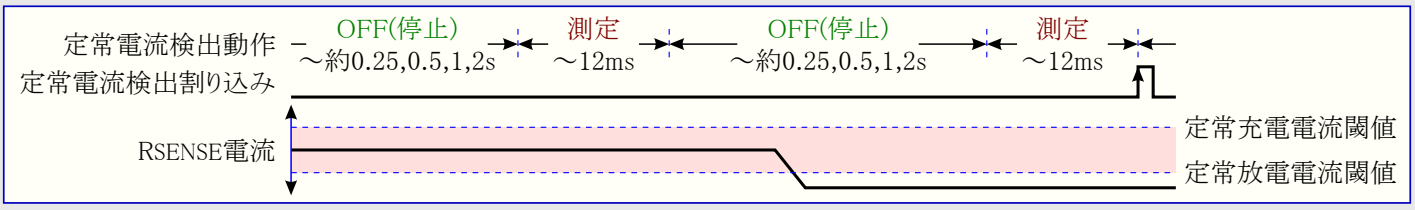
19.4. 定常電流検出動作

ｸｰﾛﾝ ｶｳﾝﾀA/D変換器制御/状態ﾚｼﾞｽﾀA(CADCSRA)の電流採取許可(CADSE)ﾋﾞｯﾄの設定(1)によって特別な定常電流検出動作へ移行します。

この動作ではCC-ADCが定常採取間隔で1回の瞬時電流変換を行う一方、累積電流ﾚｼﾞｽﾀは自動的に禁止されます。この採取間隔はCADCSRAの電流採取間隔選択(CADSI1,0)ﾋﾞｯﾄへの書き込みによって制御されます。

変換が完了される度毎にその結果は定常充電電流(CADRCC)と定常放電電流(CADRDC)のﾚｼﾞｽﾀで指定した定常充放電閾値と比較されます。割り込みが許可され、電圧が指定された限度以上/以下なら、定常電流検出割り込みが発行されます。**図19-4.**は定常電流検出動作を図解します。

図19-4. 定常電流検出動作(CADSE=1)



19.5. 極性切り換えによる変位(ｵﾌｾｯﾄ)消去

CC-ADCは内部変位消去用の極性切り換えを提供します。選んだ時間間隔での採取入力信号の極性切り換えによってCC-ADCの内部電圧変位は出力で打ち消されます。この機能は時間に渡る変位誤差累積からCC-ADCを防ぎます。

19.6. 構成設定と使用法

CC-ADCが変換中の間、CPUは休止形態へ移行して割り込みを待つことができます。ｸｰﾛﾝ計数に対して変換ﾃﾞｰﾀを追加後にCPUは再び休止へ戻ることができます。これはCPUの作業負荷を減らして低電力動作で過ごすより多くの時間を可能にし、電力消費を低減します。

CC-ADCを使うにはﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧が独立して許可されなければなりません。81頁の「**基準電圧と温度感知器**」をご覧ください。

CC-ADCはCC-ADC許可(CADEN)ﾋﾞｯﾄが解除(0)されている時に電力を消費しません。従ってｸｰﾛﾝ ｶｳﾝﾀまたは定常電流検出機能が使われない時は必ずCC-ADCをOFFに切り替えることが推奨されます。CC-ADCはﾊﾟﾜｰｵﾌ動作で自動的に禁止されます。

CADENﾋﾞｯﾄの設定(1)によってCC-ADCが許可された後の最初の4回の変換は有用なﾃﾞｰﾀを含まず、これは無視されるべきです。これはCADSEﾋﾞｯﾄの解除(0)後、または極性(CADPOL)ﾋﾞｯﾄやCADSEﾋﾞｯﾄの変更後にも適用します。

変換時間と採取間隔は超低電力(ULP)RC発振器(18頁の「**超低電力(ULP)RC発振器**」をご覧ください。)によって制御され、その実際の周波数に依存します。正確なｸｰﾛﾝ計数結果を得るために実際の変換時間が計算されるべきです。詳細に関しては17頁の「**ｼｽﾃﾑｸﾛｯｸとｸﾛｯｸ任意選択**」を参照してください。

19.7. クーロン カウンタA/D変換器用レジスタ

19.7.1. CADCSRA – CC-ADC 制御/状態レジスタA (CC-ADC Control and Status Register A)

ビット ($E6)	7	6	5	4	3	2	1	0	
	CADEN	CADPOL	CADUB	CADAS1	CADAS0	CADSI1	CADSI0	CADSE	CADCSRA
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – CADEN : CC-ADC 許可** (CC-ADC Enable)

CADENビットが解除(0)されると、クーロン カウンタA/D変換器(CC-ADC)が禁止され、実行中のどの変換も終了されます。CADENビットが設定(1)されると、CC-ADCは外部検出抵抗器(RSENSE)上の降下電圧を継続的に計測します。パワーオフ動作ではCC-ADCが常に禁止されます。

バンドギャップ基準電圧が独立して(別に)許可されなければならないことに注意してください。81頁の「**基準電圧と温度感知器**」をご覧ください。

● **ビット6 – CADPOL : CC-ADC 極性** (CC-ADC Polarity)

CADPOLビットは⊿Σ変調器での入力採取極性の変更に使われます。このビットへの1書き込みでの極性は負です。このビットへの0書き込みでの極性は正です。

● **ビット5 – CADUB : CC-ADC 更新中フラグ** (CC-ADC Update Busy)

CC-ADCはCPUとは別のクロック範囲で動作します。新しい値がCC-ADC制御/状態レジスタA(CADCSRA)、CC-ADC制御/状態レジスタC(CADCSRC)、CC-ADC定常充電電流レジスタ(CADRCC)、CC-ADC定常放電電流レジスタ(CADRDC)へ書かれる毎にその値はCC-ADCクロック範囲に同期化されなければなりません。この同期化の間中、後続する書き込みは阻止されます。レジスタの1つの同期化は他の全ての更新を阻止します。これらの何れかのレジスタが同期化実行されている間中、このCADUBビットは1として読め、どのレジスタも同期化実行されていない時に0として読みます。

● **ビット4,3 – CADAS1,0 : CC-ADC 累積電流変換時間選択** (CC-ADC Accumulate Current Select)

このCADASビットは**表19-1.**で示される累積電流出力に対する変換時間を選びます。

表19-1. CC-ADC累積電流変換時間

CADAS1,0	累積電流変換時間	CC-ADCクロック周期数
0 0	128ms	4096
0 1	256ms	8192
1 0	512ms	16384
1 1	1s	32768

注: 実際の値は超低電力(ULP)RC発振器の実際の周波数に依存します。150頁の「**電気的特性**」をご覧ください。

● **ビット2,1 – CADSI1,0 : CC-ADC 定常電流検出間隔選択** (CC-ADC Current Sampling Interval)

このCADSIビットは**表19-2.**で示されるように、定常電流検出に対する電流採取間隔を選びます。

表19-2. CC-ADC定常電流採取間隔

CADSI1,0	定常電流採取間隔	CC-ADCクロック周期数
0 0	256ms (+採取時間)	8192 (+採取時間)
0 1	512ms (+採取時間)	16384 (+採取時間)
1 0	1s (+採取時間)	32768 (+採取時間)
1 1	2s (+採取時間)	65536 (+採取時間)

注: ・ 実際の値は低速RC発振器の実際の周波数に依存します。150頁の「**電気的特性**」をご覧ください。
・ 採取時間 ～12ms。

● **ビット0 – CADSE : CC-ADC 定常電流検出許可** (CC-ADC Current Sampling Enable)

CADSEビットが1を書かれると、実行中のCC-ADC変換は停止され、CC-ADCは定常電流検出動作へ移行します。

19.7.2. CADCSRB – CC-ADC 制御/状態ﾚｼﾞｽﾀB (CC-ADC Control and Status Register B)

ﾋﾞｯﾄ ($E7)	7	6	5	4	3	2	1	0	
	–	CADACIE	CADRCIE	CADICIE	–	CADACIF	CADRCIF	CADICIF	CADCSRB
Read/Write	R	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,3 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ6 – CADACIE : CC-ADC 累積電流割り込み許可** (CC-ADC Accumulate Current Interrupt Enable)

CADACIEﾋﾞｯﾄが設定(1)され、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)なら、CC-ADC累積電流割り込みが許可されます。

● **ﾋﾞｯﾄ5 – CADRCIE : CC-ADC 定常電流割り込み許可** (CC-ADC Regular Current Interrupt Enable)

CADRCIEﾋﾞｯﾄが設定(1)され、SREGの全割り込み許可(I)ﾋﾞｯﾄが設定(1)なら、CC-ADC定常電流割り込みが許可されます。

● **ﾋﾞｯﾄ4 – CADICIE : CC-ADC 瞬時電流割り込み許可** (CC-ADC Instantaneous Current Interrupt Enable)

CADICIEﾋﾞｯﾄが設定(1)され、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)なら、CC-ADC瞬時電流割り込みが許可されます。

● **ﾋﾞｯﾄ2 – CADACIF : CC-ADC 累積電流割り込み要求ﾌﾗｸﾞ** (CC-ADC Accumulate Current Interrupt Flag)

このCADACIFﾋﾞｯﾄは累積電流変換が完了された後に設定(1)されます。累積電流割り込み許可(CADACIE)ﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀの全割り込み許可(I)ﾋﾞｯﾄが設定(1)なら、CC-ADC累積電流割り込みが実行されます。CADACIFは対応する割り込み処理ﾍﾞｸﾀを実行するとき、ﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもCADACIFは解除(0)されます。

● **ﾋﾞｯﾄ1 – CADRCIF : CC-ADC 定常電流割り込み要求ﾌﾗｸﾞ** (CC-ADC Regular Current Interrupt Flag)

このCADRCIFﾋﾞｯﾄは最後のCC-ADC変換結果の絶対値が、CC-ADC定常充電電流ﾚｼﾞｽﾀ(CADRCC)とCC-ADC定常放電電流ﾚｼﾞｽﾀ(CADRDC)によって設定される比較値と等しいかまたは大きい時に設定(1)されます。正の値は定常充電電流値と比較され、負の値は定常放電電流値と比較されます。CC-ADC定常電流割り込みはSREGのIﾋﾞｯﾄと定常電流割り込み許可(CADRICE)ﾋﾞｯﾄが設定(1)されている場合に実行されます。CADRCIFは対応する割り込み処理ﾍﾞｸﾀ実行時にﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもCADRCIFは解除(0)されます。

● **ﾋﾞｯﾄ0 – CADICIF : CC-ADC 瞬時電流割り込み要求ﾌﾗｸﾞ** (CC-ADC Instantaneous Current Interrupt Flag)

このCADICIFﾋﾞｯﾄは瞬時電流変換が完了された後に設定(1)されます。瞬時電流割り込み許可(CADICIE)ﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀの全割り込み許可(I)ﾋﾞｯﾄが設定(1)なら、CC-ADC瞬時電流割り込みが実行されます。CADICIFは対応する割り込み処理ﾍﾞｸﾀを実行するとき、ﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへ論理1を書くことによってもCADICIFは解除(0)されます。

19.7.3. CADCSRC – CC-ADC 制御/状態ﾚｼﾞｽﾀC (CC-ADC Control and Status Register C)

ﾋﾞｯﾄ ($E8)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	–	CADVSE	CADCSRC
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～1 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ0 – CADVSE : CC-ADC 電圧縮尺許可** (CC-ADC Voltage Scaling Enable)

このﾋﾞｯﾄの設定(1)は内部電圧縮尺を許可します。内部電圧縮尺許可時、CC-ADC基準電圧は2で割られ、入力電圧範囲と結果の段階量に影響を及ぼします。**表19-3.**はCADVSE設定に対する入力電圧範囲と変換値段階量を示します。

表19-3. CADVSE設定に対する入力電圧範囲と変換値段階量

CADVSE	入力電圧範囲	CADACの1段階量	CADICの1段階量
0	±200mV	1.67µV	53.7µV
1	±100mV	0.84µV	26.9µV

19.7.4. CADICH,CADICL (CADIC) – CC-ADC 瞬時電流ﾚｼﾞｽﾀ (CC-ADC Instantaneous Current Register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($E5)	(CADIC15)								CADICH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($E4)								(CADIC0)	CADICL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

CC-ADC瞬時電流変換が完了すると、その結果がこれら2つのﾚｼﾞｽﾀで得られます。CADIC15～0は2の補数形式で変換結果を表します。ﾋﾞｯﾄ12～0は(符号を含む)13ﾋﾞｯﾄA/D変換結果で、一方ﾋﾞｯﾄ15～13は符号拡張ﾋﾞｯﾄです。

CADICLが読まれると、CC-ADC瞬時電流ﾚｼﾞｽﾀはCADICHが読まれるまで更新されません。CADICL⇒CADICH手順でのﾚｼﾞｽﾀ読み込みは矛盾のない値が読まれるのを保証します。変換完了時、次の変換が完了する前に両ﾚｼﾞｽﾀが読まれなければならず、さもなければﾃﾞｰﾀが失われるでしょう。

19.7.5. CADAC3～0 (CADAC) – CC-ADC 累積電流ﾚｼﾞｽﾀ (CC-ADC Accumulate Current Register)

ﾋﾞｯﾄ	31	30	29	28	27	26	25	24	
($E3)	(CADAC31)								CADAC3
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	23	22	21	20	19	18	17	16	
($E2)									CADAC2
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($E1)									CADAC1
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($E0)								(CADAC0)	CADAC0
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

CADAC3,CADAC2,CADAC1,CADAC0ﾚｼﾞｽﾀは2の補数形式で計測する累積電流を含みます。ﾋﾞｯﾄ17～0は(符号を含む)18ﾋﾞｯﾄのA/D変換結果で、一方ﾋﾞｯﾄ31～18は符号拡張ﾋﾞｯﾄです。

CADAC0が読まれると、CC-ADC累積電流ﾚｼﾞｽﾀはCADAC3が読まれるまで更新されません。CADAC0⇒CADAC1⇒CADAC2⇒CADAC3手順でのﾚｼﾞｽﾀ読み込みは矛盾のない値が読まれるのを保証します。変換完了時、次の変換が完了する前に4つのﾚｼﾞｽﾀ全てが読まれなければならず、さもなければﾃﾞｰﾀが失われるでしょう。

19.7.6. CADRCC – CC-ADC 定常充電電流ﾚｼﾞｽﾀ (CC-ADC Regular Chage Current Register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($E9)	(CADRCC7)							(CADRCC0)	CADRCC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このCC-ADC定常充電電流ﾚｼﾞｽﾀは定常充電電流検出についての閾値を決めます。CC-ADC瞬時電流変換の結果が、この定常充電電流値と等しいか、またはより大きい絶対値の時にCC-ADC定常電流割り込みﾌﾗｸﾞ(CADRCIF)が設定(1)されます。

このﾚｼﾞｽﾀの値は定常電流値の下位8ﾋﾞｯﾄを定義します。定常電流値の上位側ﾋﾞｯﾄは常に0です。定常電流に対する設定可能な範囲は**表19-4.**で与えられます。

このCC-ADC定常電流ﾚｼﾞｽﾀはCC-ADC変換完了割り込み要求ﾌﾗｸﾞ(CADICIF)の設定(1)に影響を及ぼしません。

表19-4 定常充電電流値用設定可能範囲

項目		最小	最大	1段階	単位
電圧		0	13696/6848	53.7/26.9	μV
電流	R_{SENSE}=1mΩ	0	13696/6848	53.7/26.9	mA
	R_{SENSE}=5mΩ	0	2740/1370	10.7/5.4	
	R_{SENSE}=10mΩ	0	1370/685	5.3/2.7	

注: 表の値は0と1の両方のCADVSE設定で示されます。

19.7.7. CADRDC – CC-ADC 定常放電電流ﾚｼﾞｽﾀ (CC-ADC Regular Dischage Current Register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
($EA)	(CADRDC7)							(CADRDC0)	CADRDC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このCC-ADC定常放電電流ﾚｼﾞｽﾀは定常放電電流検出についての閾値を決めます。CC-ADC瞬時電流変換の結果が、この定常放電電流値と等しいか、またはより大きい負数の時にCC-ADC定常電流割り込みﾌﾗｸﾞ(CADRCIF)が設定(1)されます。

このﾚｼﾞｽﾀの値は2の補数形式で、定常放電電流値の下位8ﾋﾞｯﾄを定義し、定常放電電流値の上位側ﾋﾞｯﾄは常に0です。定常放電電流に対して設定可能な範囲は**表19-5.**で与えられます。

表19-5. 定常放電電流値用設定可能範囲

項目		最小	最大	1段階	単位
電圧		0	13696/6848	53.7/26.9	µV
電流	R_{SENSE}=1mΩ	0	13696/6848	53.7/26.9	mA
	R_{SENSE}=5mΩ	0	2740/1370	10.7/5.4	
	R_{SENSE}=10mΩ	0	1370/685	5.3/2.7	

注: 表の値は0と1の両方のCADVSE設定で示されます。

このCC-ADC定常放電電流ﾚｼﾞｽﾀはCC-ADC変換完了割り込み要求ﾌﾗｸﾞ(CADICIF)の設定(1)に影響を及ぼしません。

20. 電圧A/D変換器 (7ﾁｬﾈﾙ汎用12ﾋﾞｯﾄ⊿ΣA/D変換器)

20.1. 特徴

- 12ﾋﾞｯﾄ分解能
- 519µs変換時間/1MHz clk_{VADC}
- 電池ｾﾙ電圧測定用の4つの差動入力ﾁｬﾈﾙ
- 3つのｼﾝｸﾞﾙ ｴﾝﾄﾞ入力ﾁｬﾈﾙ
- 電池ｾﾙ電圧の×0.2前置分圧
- 電圧A/D変換完了割り込み

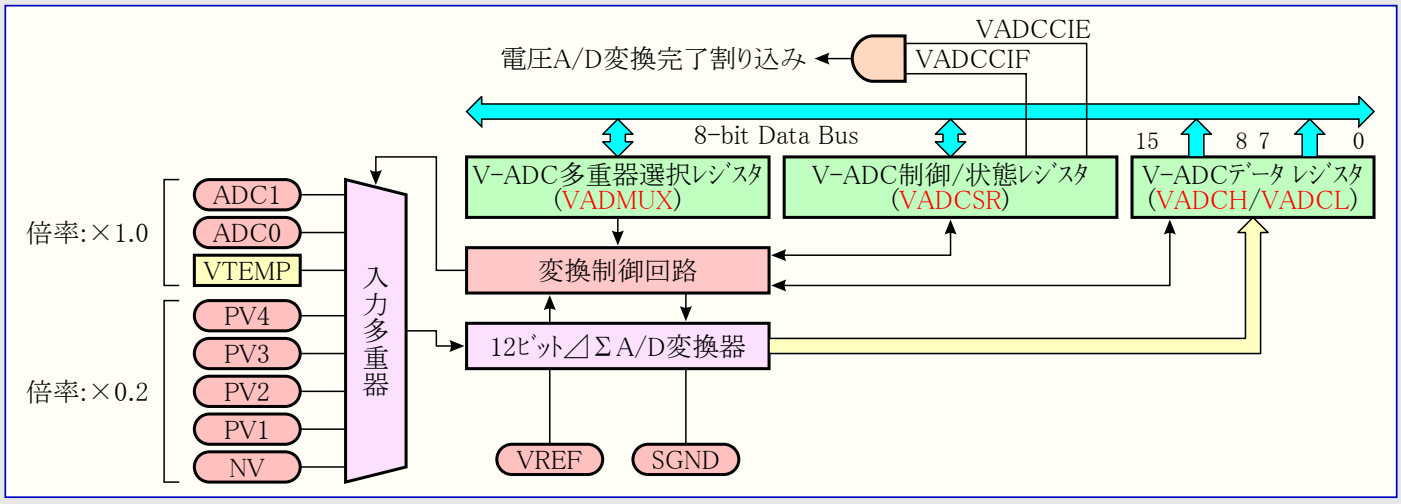
20.2. 概要

Atmel ATmega16HVB/32HVBは12ﾋﾞｯﾄ⊿ΣA/D変換器が特徴です。

この電圧A/D変換器(V-ADC)は入力多重器を通して異なる7つの信号源に接続されます。電池ｾﾙ電圧測定用に4つの差動ﾁｬﾈﾙがあります。これらのﾁｬﾈﾙはV-ADCの全計測範囲に対応するため、0.2倍に縮小されます。加えてSGNDを基準とした3つのｼﾝｸﾞﾙ ｴﾝﾄﾞ ﾁｬﾈﾙがあります。1つのﾁｬﾈﾙは内部温度感知器(VPTAT)測定用で、2つのﾁｬﾈﾙはADC0とADC1での電圧測定用です。

V-ADCが使われないなら、PRR0のPRVADCﾋﾞｯﾄに1を書くことによって電力消費を最小にできます。PRVADCﾋﾞｯﾄ使用法の詳細に関しては26頁の「**PRR0 – 電力削減ﾚｼﾞｽﾀ0**」をご覧ください。

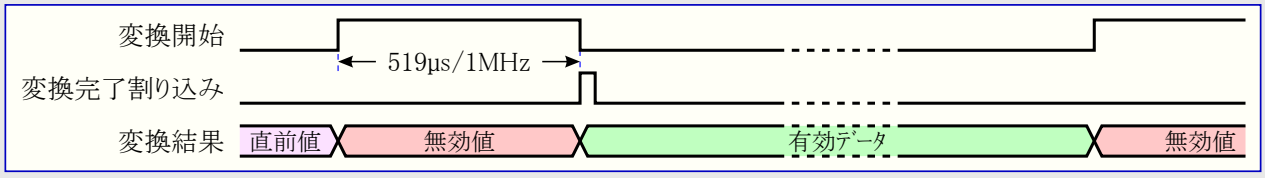
図20-1. 電圧A/D変換器部構成図



20.3. 操作

電圧A/D変換器(V-ADC)の変換を許可するにはV-ADC制御/状態ﾚｼﾞｽﾀ(VADCSR)のV-ADC許可(VADEN)ﾋﾞｯﾄが設定(1)されなければなりません。このﾋﾞｯﾄが解除(0)されると、V-ADCがOFFにされ、実行中のどの変換も終了されます。V-ADCはﾊﾟﾜｰｾｰﾌﾞ動作とﾊﾟﾜｰｵﾌ動作で自動的に停止されます。ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧が別に許可/禁止されなければならないことに注意してください。81頁の「**ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ校正**」をご覧ください。

図20-2. 電圧A/D変換構成図



V-ADC変換を実行するにはV-ADC多重器選択ﾚｼﾞｽﾀ(VADMUX)のVADMUX3～0ﾋﾞｯﾄへの書き込みによって、ｱﾅﾛｸﾞ入力ﾁｬﾈﾙが先に選択さばれなければなりません。VADCSRのV-ADC変換開始(VADSC)ﾋﾞｯﾄへ論理1が書かれると、選んだﾁｬﾈﾙの変換が始まります。VADSCﾋﾞｯﾄは変換が進行中である限り1に留まり、変換が完了されるとき、ﾊｰﾄﾞｳｪｱによって解除(0)されます。変換進行中の時のV-ADCﾃﾞｰﾀ ﾚｼﾞｽﾀ(VADCH/VADCL)は無効です。V-ADC変換中にｼｽﾃﾑ ｸﾛｯｸ前置分周器が変更された場合、変換は中止されます。変換進行中の間に違うﾃﾞｰﾀ ﾁｬﾈﾙが選ばれると、そのﾁｬﾈﾙ変更を実行するのに先立ってV-ADCは現在の変換を(正常に)完了します。変換完了時、VADCSRのV-ADC変換完了割り込み要求ﾌﾗｸﾞ(VADCCIF)が設定(1)されます。1回の12ﾋﾞｯﾄ変換は開始(VADSC)ﾋﾞｯﾄが設定(1)されてから割り込みﾌﾗｸﾞ(VADCCIF)が設定(1)されるまでの完了に519µsかかります。正しいﾃﾞｰﾀが読まれるのを保証するため、上位と下位の両ﾃﾞｰﾀ ﾚｼﾞｽﾀ(VADCH/VADCL)は新しい変換を開始する前に読まれるべきです。

20.3.1. V-ADC動作用PA1,PA0構成設定

ADC0またはADC1のｼﾝｸﾞﾙｴﾝﾄﾞ チャネルの1つがV-ADCのｱﾅﾛｸﾞ入力として使われる時に、PA0またはPA1のどちらかが信号接地(SGND)として使われます。入力ﾁｬﾈﾙとしてADC0/1が選ばれると、PA1/0が自動的にSGNDへ切り替えられます。

SGNDとしてのPA1及びPA0の使用は146頁の「**動作回路**」で示されるｻｰﾐｽﾀ形態に有効です。RT32とRT33の両ｻｰﾐｽﾀは共通の分圧抵抗(R31)を通って各々PA0とPA1に接続されます。

PA0とPA1の両方はADC入力として使われる時、非常に高い入力ｲﾝﾋﾟｰﾀﾞﾝｽを持ち、それは146頁の「**動作回路**」で示される形態で2つのｻｰﾐｽﾀ接続を可能にします。けれども、高精度が必要とされた場合に入力ｲﾝﾋﾟｰﾀﾞﾝｽは制限され、PA0とPA1間に1つのｻｰﾐｽﾀだけが接続されるべきです。2つのｻｰﾐｽﾀが接続された場合、その形態は次のとおりです。

- RT33測定時、PA1が入力ﾁｬﾈﾙとして使われるべきで、PA0は自動的にSGNDへ切り替えられます。
- RT32測定時、PA0が入力ﾁｬﾈﾙとして使われるべきで、PA1は自動的にSGNDへ切り替えられます。

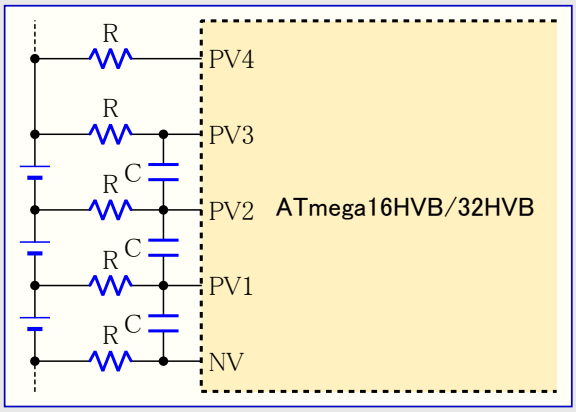
20.3.2. セル入力

V-ADCはNV,PV1,PV2,PV3,PV4入力ﾋﾟﾝを通して各ｾﾙを個別に測定して総合電池電圧を測定することができる各電池ｾﾙに対する各1つの入力ﾁｬﾈﾙが特徴です。内部ｾﾙ平衡が平衡電流迂回に同じﾋﾟﾝを使うことに注意してください(電池ｾﾙ平衡の詳細については100頁の「**電池セル平衡**」をご覧ください)。ｾﾙ平衡時、内部ｾﾙ平衡が変換結果に影響を及ぼすため、V-ADCは選んだﾁｬﾈﾙで変更を行うべきではありません。

V-ADCは2V以上のPV1ﾋﾟﾝ電圧で動作するように設計されています。PV1入力での電池ｾﾙ電圧が2V以下に落ちた場合、上側のｾﾙ電圧は実際の値よりも低く表れます。ｾﾙが潜在的な過充電になるのを避けるため、ｿﾌﾄｳｪｱは内部ｾﾙ平衡を用いてｾﾙの平衡を保つべきです。詳細については100頁の「**電池セル平衡**」をご覧ください。

ｾﾙ入力の全てを使わない時に未使用ｾﾙは下のｾﾙに接続されるべきです。3ｾﾙ形態での外部連結例が**図20-3.**で示されます。例え入力が使われなくても、逆接続電流を制限するために外部抵抗を通して入力を接続することが推奨されます。これはｾﾙが製造中に逆接続された場合に電池を保護することができます。

図20-3. 3ｾﾙ形態接続



20.4. 電圧A/D変換器用ﾚｼﾞｽﾀ

20.4.1. VADMUX – V-ADC 多重器選択ﾚｼﾞｽﾀ (V-ADC Multiplexer Selection Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($7C)	–	–	–	–	VADMUX3	VADMUX2	VADMUX1	VADMUX0	VADMUX
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ3～0 – VADMUX3～0 : V-ADC ﾁｬﾈﾙ選択ﾋﾞｯﾄ** (V-ADC Channel Selection Bits)

このVADMUX3～0ﾋﾞｯﾄはV-ADCﾁｬﾈﾙ選択を決めます。表20-1.をご覧ください。

表20-1. VADMUXﾁｬﾈﾙ選択

VADMUX3～0	選択ﾁｬﾈﾙ	倍率	備考
0 0 0 0	(予約)	–	
0 0 0 1	PV1-NV	×0.2	電池ｾﾙ1
0 0 1 0	PV2-PV1	×0.2	電池ｾﾙ2
0 0 1 1	PV3-PV2	×0.2	電池ｾﾙ3
0 1 0 0	PV4-PV3	×0.2	電池ｾﾙ4
0 1 0 1	VTEMP	×1.0	温度感知器
0 1 1 0	ADC0	×1.0	
0 1 1 1	ADC1	×1.0	
1 x x x	(予約)	–	

20.4.2. VADCSR – V-ADC 制御/状態ﾚｼﾞｽﾀ (V-ADC Control and Status Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($7A)	–	–	–	–	VADEN	VADSC	VADCCIF	VADCCIE	VADCSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ3 – VADEN : V-ADC 許可** (V-ADC Enable)

このﾋﾞｯﾄへの1書き込みが電圧A/D変換器(V-ADC)を許可します。0書き込みによってV-ADCはOFFに切り替えられます。変換進行中のV-ADCのOFFへの切り替えはその変換を(強制)終了します。ﾊﾞﾝﾄﾞ ｷﾞｬｯﾌﾟ基準電圧が別に許可されなければならないことに注意してください。81頁の「ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ校正」をご覧ください。

● **ﾋﾞｯﾄ2 – VADSC : V-ADC 変換開始** (V-ADC Start Conversion)

このﾋﾞｯﾄへの1書き込みが選んだﾁｬﾈﾙでの新規変換を開始します。

VADSCは変換が完了しない限り1として読みます。変換が完了すると、それは0に戻ります。このﾋﾞｯﾄへの0書き込みは無効です。V-ADC許可(VADEN)ﾋﾞｯﾄが0を書かれると、VADSCは自動的に解除(0)されます。

● **ﾋﾞｯﾄ1 – VADCCIF : V-ADC 変換完了割り込み要求ﾌﾗｸﾞ** (V-ADC Conversion Complete Interupt Flag)

V-ADC変換が完了してﾃﾞｰﾀ ﾚｼﾞｽﾀ(VADCH/VADCL)が更新されると、このﾋﾞｯﾄが設定(1)されます。(その時に)V-ADC変換完了割り込み許可(VADCCIE)ﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、V-ADC変換完了割り込みが実行されます。対応する割り込み処理ﾍﾞｸﾀを実行する時にVADCCIFはﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞへの論理1書き込みによってもVADCCIFは解除(0)されます。VADCSRで読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞｨﾌｧｲ ﾗｲﾄ)を行うと、保留中の割り込みが禁止され得ることに注意してください。

● **ﾋﾞｯﾄ0 – VADCCIE : VADC 変換完了割り込み許可** (V-ADC Conversion Complete Interupt Enable)

本ﾋﾞｯﾄが1を書かれ、且つSREGの全割り込み許可(I)ﾋﾞｯﾄが設定(1)されているなら、V-ADC変換完了割り込みが活性に(許可)されます。

20.4.3. VADCH,VADCL – V-ADC データ レジスタ (V-ADC Data Register)

ビット	15	14	13	12	11	10	9	8	
($79)	–	–	–	–	VADC11	VADC10	VADC9	VADC8	VADCH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
($78)	VADC7	VADC6	VADC5	VADC4	VADC3	VADC2	VADC1	VADC0	VADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

V-ADC変換が完了すると、その結果がこれら2つのレジスタで得られます。正しいデータが読まれるのを保証するため、上位/下位両バイトのデータ レジスタは新規変換が開始されるのに先立って読まれるべきです。

● **VADC11~0 : V-ADC 変換結果** (V-ADC Conversion Result)

これらのビットは変換での結果を表します。

電池セル電圧測定での最大精度を得るために利得と変位(オフセット)補償が必要とされます。工場校正値がデバイスの識票列内に格納されています。詳細については129頁の「**ソフトウェアからの識票列読み出し**」項目をご覧ください。セル電圧は次式によってmVで与えられます。

$$\text{セルn電圧(mV)} = \frac{(\text{セルnA/D変換結果} - \text{セルn変位}) \times \text{セルn利得校正値}}{16384}$$

ADCnの電圧は次式によって与えられます。

$$\text{ADCn(mV)} = \frac{1}{10} \times \frac{(\text{セルnA/D変換結果} - \text{ADCn変位}) \times \text{ADCn利得校正値}}{16384}$$

(訳注) 頁下参照

Vtemp変換実行時、この結果は識票列内に格納された工場校正値によって補正されなければなりません。詳細については、129頁の「**ソフトウェアからの識票列読み出し**」項をご覧ください。絶対温度は次式によってケルビン(K)で与えられます。

$$\text{絶対温度:T(K)} = \frac{\text{VtempのA/D変換結果} \times \text{PTAT校正値}}{16384}$$

20.4.4. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0	
($7E)	–	–	–	–	–	–	PA1DID	PA0DID	DIDR0
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~2 – 予約** (Reserved)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性のため、DIDR0が書かれるとき、これらのビットは0が書かれなければなりません。

● **ビット1,0 – PAnDI : V-ADC PAnピン デジタル入力禁止** (PA1DID,PA0DID Digital Input Disable)

このビットが論理1を書かれると、対応するポートAピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がPA1/0ピンに印加されて、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

(訳注) ADCn電圧計算式は1/10になっていますが、AVR353応用記述では10倍になっており、矛盾します。これはどちらかが誤っているものと思われます。

21. 基準電圧と温度感知器

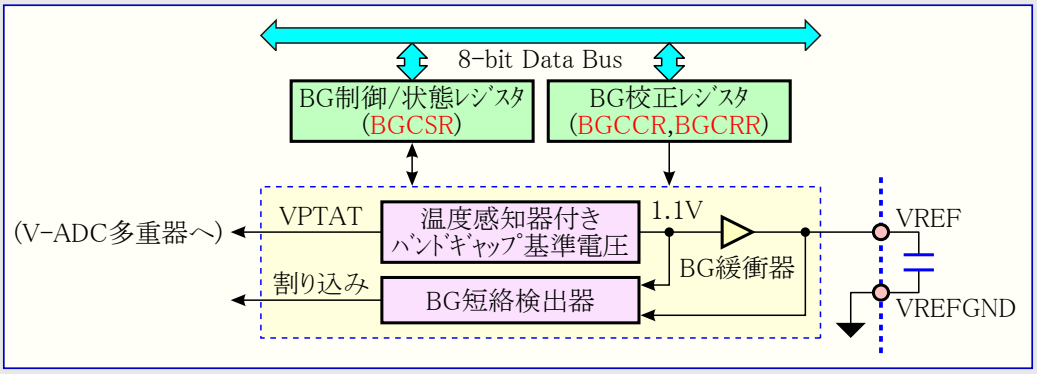
21.1. 特徴

- 1.100Vの精密基準電圧
- 基準電圧校正ｲﾝﾀｰﾌｪｰｽ
- 内部温度感知器
- 最適雑音性能用外部雑音分離(ﾃﾞｶｯﾌﾟ)(端子)
- 外部雑音分離ﾋﾟﾝでの回路短絡検出
- 低消費電力

21.2. 概要

Atmel ATmega16HVB/32HVBはﾁｯﾌﾟ上の高精度低電力のﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧(1.100VのVREF)が特徴です。この基準電圧はﾁｯﾌﾟ上の電圧調整器、低電圧検出器(BOD)、内部ｾﾙ平衡、電池保護、電圧A/D変換器(V-ADC)、ｸｰﾛﾝ ｶｳﾝﾀA/D変換器(CC-ADC)に対する基準として使われます。**図21-1.**はﾁｯﾌﾟ上基準電圧の概要を示します。

図21-1. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ(BG)基準電圧



ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧に加えて、電圧基準は基準電圧の走行時校正を許す校正部、ﾀﾞｲ温度監視用のﾁｯﾌﾟ上温度検知器、最高の安全のために外部VREFﾋﾟﾝ上の回路短絡状態を検知するためのﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ短絡検出器を含みます。

21.3. 動作

ﾃﾞﾊﾞｲｽがﾊﾟﾜｰｵﾌ状態の時に電圧基準はOFFにされます。電源ONﾘｾｯﾄ状態後に電圧基準は自動的に許可されます。

既定でのﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ緩衝器は緩衝された基準電圧が電池保護、内部ｾﾙ平衡、V-ADC、CC-ADC用の基準として使われるように許可されます。これらの単位部のどれかが許可されている場合、ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ緩衝器が許可され、さもなければ節電のために基準電圧制御/状態ﾚｼﾞｽﾀ(BGCSR)のﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ禁止(BGD)ﾋﾞｯﾄへの書き込みによって緩衝器を禁止することが推奨されます。安定時間の詳細については82頁の「**ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ緩衝器安定時間**」をご覧ください。

電池保護が安全な動作状況になるのを保証するため、電圧基準は回路短絡検出器を含みます。ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ短絡検出器はVCCやGNDに対する潜在的な外部短絡状態を検知するために、VREFﾋﾟﾝ電圧に対する内部1.100V基準電圧を継続的に監視します。外部短絡状態が検出された場合、ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡検出はどの休止形態からもCPUを起動復帰する割り込み能力です。ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡状態が起きた場合、ｿﾌﾄｳｪｱは直ちに充電FET(C-FET)と放電FET(D-FET)を禁止すべきです。このような状態の検出に外部保護が提供されないなら、BGCSRのﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡検出許可(BGSCDE)ﾋﾞｯﾄを設定(1)することによってこの機能を常に許可することが推奨されます。

温度感知器は絶対温度に比例した電圧(VPTAT:Voltage Proportional-To-Absolute-Temperature)を生成します。この電圧はA-ADC入力の多重器に接続され、基準電圧と内蔵発振器の両方での実行時温度変動補償に使うことができます。ｹﾙﾋﾞﾝ温度での絶対温度を得るため、測定したVPTAT電圧は識票列内に格納されたVPTAT工場校正値で尺度補正されなければなりません。詳細に関しては129頁の「**ｿﾌﾄｳｪｱからの識票列読み出し**」をご覧ください。温度精度の詳細については150頁の「**電気的特性**」をご覧ください。

21.4. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ校正

超低変動の温度を保証するため、電圧基準はﾘｾｯﾄ後にｿﾌﾄｳｪｱによって変更されるべき2つの校正ﾚｼﾞｽﾀを含みます。詳細については「**基準電圧と温度感知器用ﾚｼﾞｽﾀ**」項をご覧ください。基準電圧校正ﾚｼﾞｽﾀ(BGCCR)の値変更はﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧の公称値を変更し、一方基準電圧温度係数校正ﾚｼﾞｽﾀ(BGCRR)ﾚｼﾞｽﾀの値変更はﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準の温度変化傾斜を調節します。

校正ﾚｼﾞｽﾀが変更されると、電圧調整器出力と低電圧検出器(BOD)出力の両方に影響を及ぼします。BODは新しい検出基準へ素早く反応し、一方調整器は外部雑音分離(ﾃﾞｶｯﾌﾟ)ｺﾝﾃﾞﾝｻの容量に依存してもっとゆっくりと電圧を調整します。校正が行われる時にBODﾘｾｯﾄが発行されるのを避けるため、各段階間での保持時間と共に1段階単位でBGCCRとBGCRRの値を変更することが推奨されます。保持時間の詳細については150頁の「**電気的特性**」をご覧ください。

VREF変更はV-ADCとCC-ADCの変換結果に影響します。従ってﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ校正中にV-ADCとCC-ADCの変換を行うことは推奨されません。

21.5. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ緩衝器安定時間

電圧基準許可後、電圧が安定する前に安定時間が必要です。安定時間は外部ﾃﾞｶｯﾌﾟ ｺﾝﾃﾞﾝｻの容量に依存します。1µFの外部ｺﾝﾃﾞﾝｻとで2msの最小安定時間が使われるべきです。安定になるまで、N-ch FET駆動部(OC/ODまたはDUVR動作移行)、電池保護、V-ADC、またはCC-ADCを許可することは推奨されません。

安定時間は緩衝器がｿﾌﾄｳｪｱによって許可されるとき、またはﾘｾｯﾄ状態後に必要とされます。

21.6. 基準電圧と温度感知器用ﾚｼﾞｽﾀ

21.6.1. BGCCR – 基準電圧校正ﾚｼﾞｽﾀ (Bandgap Calibration C Register)

ﾋﾞｯﾄ ($D0)	7	6	5	4	3	2	1	0	
	–	–	BGCC5	BGCC4	BGCC3	BGCC2	BGCC1	BGCC0	BGCCR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで常に0として読みます。

● **ﾋﾞｯﾄ5~0 – BGCC5~0 : ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧校正値** (BG Calibration of PTAT Current)

これらのﾋﾞｯﾄはﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧の公称値調節に使われます。これらの値は2進値です。最小VREFは000000、最大VREFは111111です。1段階は概ね2mVです。応用ｿﾌﾄｳｪｱはAtmelの工場校正値を読んでそれをBGCCRﾚｼﾞｽﾀに格納すべきです。詳細については129頁の「ｿﾌﾄｳｪｱからの識票列読み出し」をご覧ください。

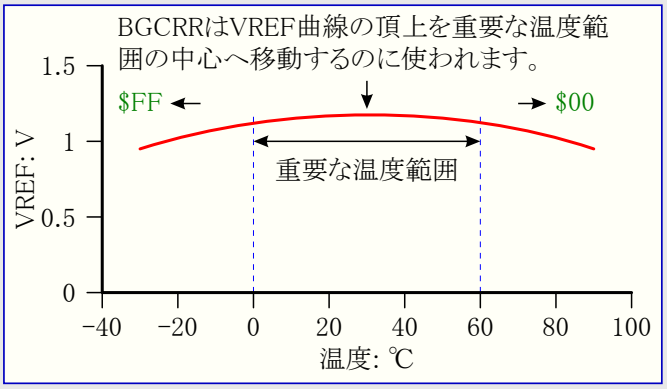
21.6.2. BGCRR – 基準電圧温度係数校正ﾚｼﾞｽﾀ (Bandgap Calibration R Register)

ﾋﾞｯﾄ ($D1)	7	6	5	4	3	2	1	0	
	BGCR7	BGCR6	BGCR5	BGCR4	BGCR3	BGCR2	BGCR1	BGCR0	BGCRR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	1	1	1	1	

● **ﾋﾞｯﾄ7~0 – BGCR7~0 : 基準電圧温度係数校正値** (BG Calibration of Resistor ladder)

これらのﾋﾞｯﾄはﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧の温度係数補正に使われます。図21-2.は温度の関数としてのVREFを図解します。VREFは低温で正の温度係数、高温で負の温度係数を持ちます。製法変化によって、VREF曲線の頂上はより高いまたはより低い温度に位置されるかもしれません。重要な温度範囲での温度変動を最小とするため、BGCRRは重要な温度範囲の中心に対して曲線の頂上を補正するのに使われます。BGCRRﾋﾞｯﾄは9つの可能な設定($00,$01,$03,$07,$0F,$1F,$3F,$7F,$FF)となる符号化された温度です。値$00はVREF曲線の頂上を最高可能温度へ移し、値$FFはVREF曲線の頂上を最低可能温度へ移します。応用ｿﾌﾄｳｪｱはAtmelの工場校正値を読んでそれをBGCRRﾚｼﾞｽﾀに格納すべきです。詳細については129頁の「ｿﾌﾄｳｪｱからの識票列読み出し」をご覧ください。

図21-2. 温度の関数としてのVREF



21.6.3. BGCSR – 基準電圧制御/状態ﾚｼﾞｽﾀ (Bandgap Control and Status Register)

ﾋﾞｯﾄ ($D2)	7	6	5	4	3	2	1	0	
	–	–	BGD	BGSCDE	–	–	BGSCDIF	BGSCDIE	BGCSR
Read/Write	R	R	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで常に0として読みます。

● **ﾋﾞｯﾄ5 – BGD : ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧禁止** (Bandgap Disable)

BGDﾋﾞｯﾄの1設定がﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧を禁止します。このﾋﾞｯﾄは電圧A/D変換器(V-ADC)、ｸｰﾛﾝ ｶｳﾝﾀA/D変換器(CC-ADC)、または電池保護が許可される前に設定(1)されなければならず、これらの単位部のどれかが許可されている間中、解除(0)に留まらなければなりません。このﾋﾞｯﾄの解除(0)後、電圧が安定するのに先立って安定時間が必要とされることに注意してください。「ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ緩衝器安定時間」をご覧ください。

● **ﾋﾞｯﾄ4 – BGSCDE : ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡検出許可** (Bandgap Short Circuit Detection Enabled)

このﾋﾞｯﾄの1設定はﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡検出器を許可します。ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡検出割り込み要求ﾌﾗｸﾞ(BFSCDIF)の誤った設定(1)を避けるため、基準電圧制御/状態ﾚｼﾞｽﾀ(BGCSR)のﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧禁止(BGD)ﾋﾞｯﾄが1に設定される場合、このﾋﾞｯﾄは解除(0)されるべきです。

● **ﾋﾞｯﾄ3,2 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで常に0として読みます。

● **ﾋﾞｯﾄ1 – BGSCDIF : ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡検出割り込み要求ﾌﾗｸﾞ** (Bandgap Short Circuit Detection Interrupt Flag)

このﾋﾞｯﾄはﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡検出器が許可され、緩衝されたﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準が緩衝されないﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準と異なる時に設定(1)されます。BGSCDIFは対応する割り込み処理ﾍﾞｸﾀを実行する時にﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりに、BFSCDIFはこのﾋﾞｯﾄ位置に論理1を書くことによっても解除(0)されます。

● **ﾋﾞｯﾄ0 – BGSCDIE : ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡検出割り込み許可** (Bandgap Short Circuit Detection Interrupt Enable)

このﾋﾞｯﾄが設定(1)されると、ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ回路短絡検出器が許可されます。基準電圧用の外部ﾃﾞｶｯﾌﾟ ﾋﾟﾝで回路短絡が検出された場合に対応する割り込みが実行されます。

22. 充電器検出

22.1. 特徴

- VFET供給からの直接動作
- BATTﾋﾟﾝを監視することによって充電器が接続または切断される時を検知
- 内部電圧調整器を自動的に許可/禁止することによってﾃﾞﾊﾞｲｽの動作状態を制御
- 放電FETがONの時の自動的な禁止
- 全休止形態からの起動復帰割り込み

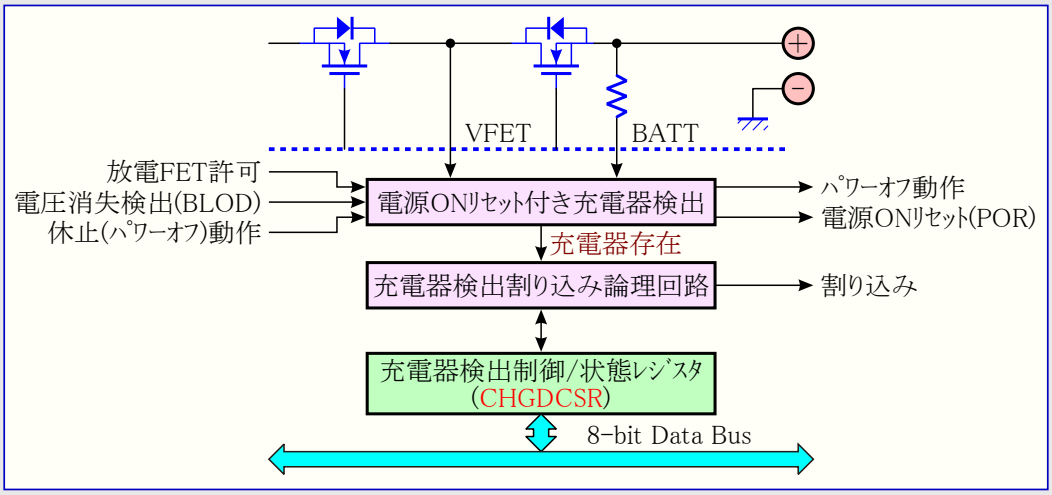
22.2. 概要

充電器検出単位部は2つの主な機能を持ちます。

- ﾃﾞﾊﾞｲｽ動作状態制御(ﾊﾟﾜｰｵﾌまたは標準動作)
- 充電器接続/切断時の検出

図22-1.は充電器検出単位部の構成図を示します。

図22-1. 充電器検出部構成図



22.3. 動作

充電器検出単位部はVFETﾋﾟﾝから直接供給されます。動作時、充電器検出はBATTﾋﾟﾝの電圧を監視し、充電器が存在するか否かのどちらかを検知します。BATTﾋﾟﾝの電圧が充電器検出閾値ﾚﾍﾞﾙ(VPOT,150頁の「**電気的特性**」)以上の時に充電器存在信号がHighになります。この信号は充電器が接続または切断された時に割り込みを生成するために端(ｴｯｼﾞ)で検出されます。

充電器検出単位部は放電FETが禁止されている限り動作し、ﾊﾟﾜｰｵﾌを含む全ての休止形態で充電器を検知できます。

22.3.1. ﾃﾞﾊﾞｲｽ動作状態

充電器検出単位部はﾁｯﾌﾟ上の残りの内部論理回路に供給する電圧調整器を許可/禁止することによってATmega16HVB/32HVBの動作状態を制御します。

ﾁｯﾌﾟがﾊﾟﾜｰｵﾌ状態の場合、充電器検出は電圧調整器を禁止に保ち、充電器検出単位部それ自身だけに動作を許します。ﾊﾟﾜｰｵﾌ状態から開始し得るには、BATTﾋﾟﾝにVPOT以上の充電電圧が印加されなければなりません。充電器が接続されると、充電器検出単位部は自動的に電圧調整器を始動します。VREG電圧上昇時、電源ONﾘｾｯﾄ(POR)が与えられ、ﾁｯﾌﾟはt_{TOUT}に対応するﾘｾｯﾄ遅延後に標準動作へ移行します。PORの詳細については28頁の「**電源ONﾘｾｯﾄと充電器接続**」をご覧ください。

ATmega16HVB/32HVBが標準動作形態で走行時、ｿﾌﾄｳｪｱやﾊｰﾄﾞｳｪｱはﾁｯﾌﾟをﾊﾟﾜｰｵﾌ状態にすることができます。ｿﾌﾄｳｪｴｱによるﾊﾟﾜｰｵﾌ状態移行の詳細については25頁の「**ﾊﾟﾜｰｵﾌ動作**」をご覧ください。ｿﾌﾄｳｪｱ異常動作に対してﾃﾞﾊﾞｲｽを保護するためにATmega16HVB/32HVBは電圧消失検出器(BLOD:Black-out Detector)を持ちます。電圧消失状態発生時、充電器検出は自動的にﾁｯﾌﾟをﾊﾟﾜｰｵﾌ状態にします。電圧消失検出の詳細については86頁の「**電圧調整器**」をご覧ください。

ｿﾌﾄｳｪｱ ﾊﾟﾜｰｵﾌ後、ﾁｯﾌﾟが電圧調整器を再許可してﾃﾞﾊﾞｲｽを起動し得る前に、BATTﾋﾟﾝ電圧が充電器検出閾値限度(VPOT)以下に下がらなければならないことに注意してください。

22.3.2. 割り込み論理回路

ATmega16HVB/32HVBが標準動作形態で走行時、充電器検出は充電器が接続/切断される、またはその両方の場合にCPUに割り込みを与える能力があります。割り込みは充電器検出制御/状態ﾚｼﾞｽﾀ(CHGDCSR)の充電器検出割り込み許可(CHGDIE)ﾋﾞｯﾄへの書き込みによって許可/禁止されます。

割り込みは割り込み感知制御設定に依存して、充電器が接続、切断された、またはその両方の時に与えられます。正しい割り込み感知の選択はCHGDCSRの充電器検出割り込み感知制御(CHGDISC1,0)ﾋﾞｯﾄへの書き込みによって行われます。

充電器検出割り込みは非同期に動き、どの休止形態からもCPUを起動復帰します。

放電FETの状態変化時に充電器検出は自動的に禁止/許可され、放電FETの許可や禁止の時に起こる割り込みは注意して解釈されなければなりません。

- 放電FET許可時、充電器検出単位部は自動的に禁止されます。充電器検出単位部禁止時、例え充電器が存在しても、充電器は切断に見えます。
- 充電FET禁止時、充電器検出単位部は自動的に許可され、充電器は接続に見えます。

22.4. 充電器検出用ﾚｼﾞｽﾀ

22.4.1. CHGDCSR – 充電器検出制御/状態ﾚｼﾞｽﾀ (Charger Detect Control and Status Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($D4)	–	–	–	BATTPVL	CHGDISC1	CHGDISC0	CHGDIF	CHGDIE	CHGDCSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで常に0として読みます。

● **ﾋﾞｯﾄ4 – BATTPVL : BATTﾋﾟﾝ電圧水準** (BATT pin Voltage Level)

BATTPVLは充電器検出単位部が許可され、BATTﾋﾟﾝ電圧がVPOT水準以上の時の間、1を読みます。さもなければBATTPVLは0を読みます。

● **ﾋﾞｯﾄ3,2 – CHGDISC1,0 : 充電器検出割り込み感知制御** (Charger Detect Interrupt Sense Control)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとCHGDCSRの割り込み許可(CHGDIE)ﾋﾞｯﾄが設定(1)なら、**図22-1.**で示される充電器存在信号端が充電器検出割り込みの活動に用いられます。**表22-1.**で示される値にCHGDISCﾋﾞｯﾄを書くことによって割り込み生成状態が構成設定されます。CHGDISCﾋﾞｯﾄ変更時に割り込みが起き得ます。従って、最初にCHGDCSRﾚｼﾞｽﾀのCHGDIEﾋﾞｯﾄを解除(0)することによって割り込みを禁止することが推奨されます。最後に、割り込みが再許可されるのに先立って、充電器検出割り込み要求ﾌﾗｸﾞ(CHGDIF)ﾋﾞｯﾄへ論理1を書くことによって充電器検出割り込み要求ﾌﾗｸﾞは解除(0)されるべきです。

表22-1. 充電器検出割り込み感知制御

CHGDISC1,0	検出条件
0 0	充電器接続
0 1	充電器切断
1 0	充電器接続/切断
1 1	なし

● **ﾋﾞｯﾄ1 – CHGDIF : 充電器検出割り込み要求ﾌﾗｸﾞ** (Charger Detect Interrupt Flag)

CHGDCSRの充電器割り込み感知制御(CHGDISC1,0)ﾋﾞｯﾄに依存し、このﾋﾞｯﾄは充電器が接続や切断のどれかの時に設定(1)されます。充電器検出割り込みは充電器検出割り込み許可(CHGDIE)ﾋﾞｯﾄとSREGのIﾋﾞｯﾄが設定(1)の場合に実行されます。このﾋﾞｯﾄは対応する割り込み処理ﾍﾞｸﾀ実行時、または代わりにCHGDIFに論理1を書くことにより、ﾊｰﾄﾞｳｪｱによって解除(0)されます。CHGDIE設定時にこのﾋﾞｯﾄに1を書くことが推奨されます。

● **ﾋﾞｯﾄ0 – CHGDIE : 充電器検出割り込み許可** (Charger Detect Interrupt Enable)

CHGDIEﾋﾞｯﾄが設定(1)でｽﾃｰﾀｽ ﾚｼﾞｽﾀのIﾋﾞｯﾄが設定(1)の時に充電器検出割り込みが許可されます。

23. 電圧調整器

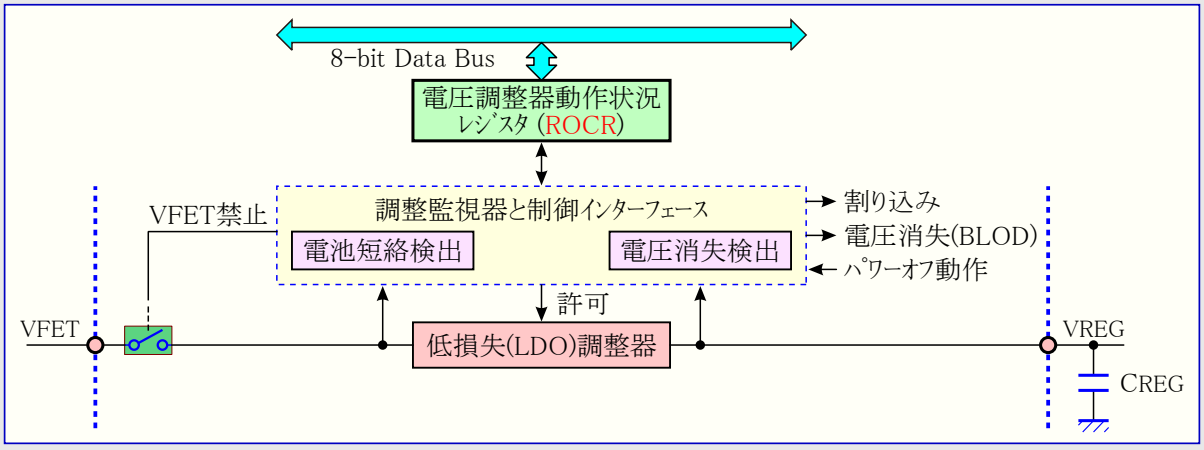
23.1. 特徴

- 4～18Vの入力電圧
- 3.3Vの固定出力電圧
- 電池ﾊﾟｯｸ短絡検出
- 電圧消失検出(BLOD:Black-out Detection)

23.2. 概要

Atmel ATmega16HVB/32HVBはVFET端子を通して電圧供給を得ます。VFET端子での動作範囲は4～18Vです。ﾁｯﾌﾟ上の低損失(LDO:Low Drop Out)調整器はVFET端子を内部論理回路、入出力線、ｱﾅﾛｸﾞ回路に適合する供給電圧である3.3Vに下げて調整します。図23-1.は電圧調整器を図解します。

図23-1. 電圧調整器



安全動作条件を保証するため、電圧調整器は入力または出力の端子のどちらかでの電圧低下した場合に内部回路を保護するための組み込み保護機構を持ちます。調整器の監視には以下を含みます。

- 電池ﾊﾟｯｸ短絡検出器
- 電圧消失検出器

安定な調整器動作のために最小1µFの外部ﾃﾞｶｯﾌﾟ(雑音分離)ｺﾝﾃﾞﾝｻが必要とされます。VFET端子での電圧なしに或る程度の時間についてﾁｯﾌﾟが動作できることを保証するため、同じｺﾝﾃﾞﾝｻは蓄電ｺﾝﾃﾞﾝｻとしても扱います。

23.3. 調整器始動

ﾁｯﾌﾟがﾊﾟﾜｰｵﾌ動作の時に電圧調整器はOFFで、VFETとVREG間の接続は全くありません。

充電器が接続されたことを充電器検出単位部が検知した時に調整器が始動されます(充電器検出の詳細については84頁の「**充電器検出**」をご覧ください)。調整器始動時、電圧調整器はVREG出力がVFET入力電圧に向かって上昇される強制動作に留まります。VREGが目標電圧水準に対して増加するので、調整器は公称3.3Vの安定出力電圧で自動的に調整動作へ移行します。「**ｼｽﾃﾑ制御とﾘｾｯﾄ**」内の28頁の図11-2.はﾊﾟﾜｰｵﾌ形態からの始動手順を図解します。

23.4. 電池ﾊﾟｯｸ短絡検出

電圧調整器はVFET端子に於いて動作状況を継続的に監視します。VFETでの電圧が調整器短絡回路ﾚﾍﾞﾙ(RSCL、150頁の「**電気的特性**」をご覧ください)以下に低下した場合、電圧調整器は電池ﾊﾟｯｸ短絡動作に移行します。この動作では電圧調整器出力での急速な低下を避けるためにVFETがVREGから切断されます。電圧調整器がこの動作へ移行すると、ﾁｯﾌﾟは外部蓄電ｺﾝﾃﾞﾝｻ(CREG)から全面給電されます。これは例えVFET電圧が電圧調整器動作に低すぎても、低電圧検出(BOD)ﾘｾｯﾄへの移行なしに或る時間の動作をﾁｯﾌﾟに許します。

電圧調整器動作状況ﾚｼﾞｽﾀ(ROCR)の電圧調整器警告割り込み許可(ROCWIE)ﾋﾞｯﾄが設定(1)されているなら、調整器が電池ﾊﾟｯｸ短絡動作へ移行する時に割り込みが発行されます。これは電力消費低減を行う動作を許し、従ってﾁｯﾌﾟ給電に使われ得るCREGの時間を延長します。

代表的な短絡回路状態では高電流消費の結果としてVFETが低下し、電池保護部がFETを禁止すると直ぐに回復します。従って、CREGはﾊｰﾄﾞｳｪｱまたはｿﾌﾄｳｪｱのどちらかによってFETが禁止されるまでBODﾘｾｯﾄへの移行なしでﾁｯﾌﾟが動作を維持できるような容量であるべきです。

電圧供給器が電池ﾊﾟｯｸ短絡動作へ移行する時の最小電力消費のため、ﾁｯﾌﾟは電圧調整器警告割り込み(ROCWIF)検知後に可能な限り早くﾊﾟﾜｰｾｰﾌﾞ休止動作へ移行すべきです。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは安全と考察される時間後にCPUを起動するように構成設定されるべきです。強化型ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの使用に関してはAVR132応用記述をご覧ください。そしてｿﾌﾄｳｪｱは電圧調整器動作状態(ROCS)ﾌﾗｸﾞを調べるべきです。ROCSﾌﾗｸﾞが解除(0)なら、標準動作を再開できるかもしれません。

23.5. 電圧消失(Black-out)検出

内部論理回路が安全動作条件であること保証するため、電圧調整器は組み込み電圧消失検出器(BLOD:Black-Out Detector)を持ちます。VREGﾋﾟﾝの電圧電圧消失検出基準(VBLOT)以下に低下した場合にﾁｯﾌﾟは自動的にﾊﾟﾜｰｵﾌ動作へ移行します。

23.6. 電圧調整器用ﾚｼﾞｽﾀ

23.6.1. ROCR – 電圧調整器動作状況ﾚｼﾞｽﾀ (Regulator Operating Condition Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($C8)	ROCS	–	–	ROCD	–	–	ROCWIF	ROCWIE	ROCR
Read/Write	R	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – ROCS : 電圧調整器動作状態ﾌﾗｸﾞ** (ROC Status)

このﾌﾗｸﾞは電圧調整器が電池ﾊﾟｯｸ短絡動作で作動している時に設定(1)され、さもなくば解除(0)されます。

- **ﾋﾞｯﾄ6,5 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで常に0として読みます。

- **ﾋﾞｯﾄ4 – ROCD : 電圧調整器動作状況禁止** (ROC Disable)

このﾋﾞｯﾄの設定(1)は電池ﾊﾟｯｸ短絡検出器を禁止し、VFETは決して低損失(LDO)調整器から切断されません。

VFET保護が外部的に実装されなければ、ROCDﾋﾞｯﾄの設定(1)によって電池ﾊﾟｯｸ短絡検出器を禁止することは推奨されません。

- **ﾋﾞｯﾄ3,2 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで常に0として読みます。

- **ﾋﾞｯﾄ1 – ROCWIF : 電圧調整器警告割り込み要求ﾌﾗｸﾞ** (ROC Warning Interrupt Flag)

ROCWIFﾌﾗｸﾞは電圧調整器の電池ﾊﾟｯｸ短絡動作移行時に設定(1)されます。このﾌﾗｸﾞは論理1書き込み、または対応する割り込み処理ﾍﾞｸﾀ実行でﾊｰﾄﾞｳｪｱによって解除(0)されます。

- **ﾋﾞｯﾄ0 – ROCWIE : 電圧調整器警告割り込み許可** (ROC Warning Interrupt Enable)

ROCWIEﾋﾞｯﾄは電圧調整器警告割り込み要求ﾌﾗｸﾞによって引き起こされる割り込みを許可(=1)します。

24. 電池保護

24.1. 特徴

- 短絡回路保護
- 放電過電流保護
- 充電過電流保護
- 放電高電流保護
- 充電高電流保護
- 外部保護入力
- 設定と施錠が可能な検出値と再動作時間
- CPUから独立した自律動作

24.2. 概要

電流/電池保護回路(CBP)は充放電電流を監視し、高電流、過電流、または短絡状態が検出された場合にC-FETとD-FETを禁止します。これらには設定可能な5つの異なる検出値、放電高電流検出値、充電高電流検出値、放電過電流検出値、充電過電流検出値、短絡検出値があります。これらには電流/電池保護稼動(状態)にするための設定可能な3つの異なる遅延、高電流反応時間、過電流反応時間、短絡反応時間があります。電流/電池保護が稼動状態にされてしまった後、応用ｿﾌﾄｳｪｱはFETを再度許可しなければなりません。電池保護ﾊｰﾄﾞｳｪｱはｿﾌﾄｳｪｱがFETを再度許可し得る前に1秒の防止時間を提供します。これは応用ｿﾌﾄｳｪｱがあまりに早く意図せずにFETを再度許可する場合の安全を提供します。

保護の発動はCPUへの割り込みも起こします。この電池保護割り込みはCPUによって個別に許可と禁止ができます。

加えて、この単位部は外部保護入力を提供します。外部保護入力の活性化は電池保護機構の残りと無関係に動作します。この保護の活性/不活性は外部保護入力ﾎﾟｰﾄから即座に制御され、他の電池保機構に影響を及ぼすか、または不活性化します。

様々な電池保護種別の効果は表24-1.で与えられます。

表24-1. 電池保護種別の効果

電池保護種別	割り込み要求	PC-FET	C-FET	D-FET	電池ｾﾙ平衡FET	MCU動作
短絡保護	移行時	動作継続	禁止	禁止	動作継続	動作継続
放電過電流保護	移行時	動作継続	禁止	禁止	動作継続	動作継続
充電過電流保護	移行時	動作継続	禁止	禁止	動作継続	動作継続
放電高電流保護	移行時	動作継続	禁止	禁止	動作継続	動作継続
充電高電流保護	移行時	動作継続	禁止	禁止	動作継続	動作継続
外部保護入力	移行時と脱出時	動作継続	禁止	禁止	動作継続	動作継続

24.3. 動作

電流/電池保護回路(CBP)はPPI/NNI入力ﾋﾟﾝでの分路抵抗電圧を採取してｾﾙ電流を監視します。差動増幅器が適切な利得でこの電圧を増幅します。この差動増幅器からの出力はｱﾅﾛｸﾞ比較器による設定可能なﾁｯﾌﾟ上基準電圧と正確に比較されます。分路抵抗電圧が対応する保護反応時間よりも長い時間の間、検出値以上なら、ﾁｯﾌﾟは電流保護を活性(有効)にします。超低電力(ULP)発振器によってｸﾛｯｸ駆動される採取ｼｽﾃﾑが高電流、過電流、短絡の保護に使われます。これは確かなｸﾛｯｸ元、変位(ｵﾌｾｯﾄ)除去、低消費電力を保証します。

24.3.1. 短絡保護

短絡保護は非常に大きな放電電流へのより速い応答時間を可能とするために提供されます。PPI/NNIﾋﾟﾝでの電圧が短絡反応時間よりも長い時間、短絡検出値以上なら、短絡保護が稼動(状態)にされます。

短絡保護が稼動(状態)にされると、外部のC-FETとD-FETは禁止され、電流保護計時器が始動されます。この計時器はC-FETとD-FETが最低1秒間禁止されるのを保証します。その後、応用ｿﾌﾄｳｪｱは通常動作を再度許可するのにFET制御/状態ﾚｼﾞｽﾀ(FCSR)の放電FET許可(DFE)ﾋﾞｯﾄと充電FET許可(CFE)ﾋﾞｯﾄを設定(1)しなければなりません。短絡を引き起こした条件が取り除かれる前にD-FETが再許可されると、短絡保護が再び稼動(状態)にされるでしょう。

24.3.2. 放電過電流保護

PPI/NNIﾋﾟﾝでの電圧が過電流保護反応時間よりも長い時間、放電過電流検出値以上なら、ﾁｯﾌﾟは放電過電流保護を稼動(状態)にします。

放電過電流保護が稼動(状態)にされると、外部のC-FETとD-FETは禁止され、電流保護計時器が始動されます。この計時器はFETが最低1秒間禁止されるのを保証します。その後、応用ｿﾌﾄｳｪｱは通常動作を再度許可するのにFET制御/状態ﾚｼﾞｽﾀ(FCSR)の放電FET許可(DFE)ﾋﾞｯﾄと充電FET許可(CFE)ﾋﾞｯﾄを設定(1)しなければなりません。電池の負荷が未だ大きすぎる間にD-FETが再度許可されると、放電過電流保護が再び稼動(状態)にされるでしょう。

24.3.3. 充電過電流保護

PPI/NNIﾋﾟﾝでの電圧が過電流保護反応時間よりも長い時間、充電過電流検出値以上なら、ﾁｯﾌﾟは充電過電流保護を稼動(状態)にします。

充電過電流保護が稼動(状態)にされると、外部のC-FETとD-FETは禁止され、電流保護計時器が起動されます。この計時器はFETが最低1秒間禁止されるのを保証します。その後、応用ｿﾌﾄｳｪｱは通常動作を再度許可するのにFET制御/状態ﾚｼﾞｽﾀ(FCSR)の放電FET許可(DFE)ﾋﾞｯﾄと充電FET許可(CFE)ﾋﾞｯﾄを設定(1)しなければなりません。C-FETが再度許可され、且つ充電器が高すぎる電流供給を継続すると、充電過電流保護が再び稼動(状態)にされるでしょう。

24.3.4. 放電高電流保護

PPI/NNIﾋﾟﾝでの電圧が高電流保護反応時間よりも長い時間、放電高電流検出値以上なら、ﾁｯﾌﾟは放電高電流保護を稼動(状態)にします。

放電高電流保護が稼動(状態)にされると、外部のC-FETとD-FETは禁止され、電流保護計時器が始動されます。この計時器はFETが最低1秒間禁止されるのを保証します。その後、応用ｿﾌﾄｳｪｱは通常動作を再度許可するのにFET制御/状態ﾚｼﾞｽﾀ(FCSR)の放電FET許可(DFE)ﾋﾞｯﾄと充電FET許可(CFE)ﾋﾞｯﾄを設定(1)しなければなりません。電池の負荷が未だ大きすぎる間にD-FETが再度許可されると、放電高電流保護が再び稼動(状態)にされるでしょう。

24.3.5. 充電高電流保護

PPI/NNIﾋﾟﾝでの電圧が高電流保護反応時間よりも長い時間、充電高電流検出値以上なら、ﾁｯﾌﾟは充電高電流保護を稼動(状態)にします。

充電高電流保護が稼動(状態)にされると、外部のC-FETとD-FETは禁止され、電流保護計時器が起動されます。この計時器はFETが最低1秒間禁止されるのを保証します。その後、応用ｿﾌﾄｳｪｱは通常動作を再度許可するのにFET制御/状態ﾚｼﾞｽﾀ(FCSR)の放電FET許可(DFE)ﾋﾞｯﾄと充電FET許可(CFE)ﾋﾞｯﾄを設定(1)しなければなりません。C-FETが再度許可され、且つ充電器が高すぎる電流供給を継続すると、充電高電流保護が再び稼動(状態)にされるでしょう。

高電流、過電流、短絡の保護の値は各種電池型式を調節するように設定可能です。これらの値はI/Oﾚｼﾞｽﾀへの書き込みによって設定されます。この値ﾚｼﾞｽﾀ群は初期設定後に固定化でき、次のﾊｰﾄﾞｳｪｱ ﾘｾｯﾄまで更なるどんな更新も禁止します。

ﾚｼﾞｽﾀ記述については91頁の「**電池保護用ﾚｼﾞｽﾀ**」を参照してください。

24.4. 外部保護入力

外部保護入力は充電と放電の外部FETを自動的に禁止するのに汎用高電圧入出力の代替ﾎﾟｰﾄ機能を使います。詳細については40頁の「**高電圧入出力ﾎﾟｰﾄ**」をご覧ください。

外部割り込み(154頁の「**外部割り込み特性**」参照)と共にこれを用いることは、顧客先に対する高く柔軟な解決策が特徴で、これは電池応用に適合する外部保護の仕組みの独自設定を使用者に許します。

外部保護入力はEXTPROTﾋﾟﾝの電圧がHigh(論理1)に引かれた時にC-FETとD-FETを直ちに禁止します。これは深下電圧回復(DUVR)動作が許可されている場合にDUVR動作を禁止するのにも使われます。電池保護事象と異なり、外部保護入力はFET制御/状態ﾚｼﾞｽﾀ(FCSR)の充電FET許可(CFE)、放電FET許可(DFE)、深下電圧回復動作禁止(DUVRD)、電流保護状態ﾌﾗｸﾞ(CPS)ﾋﾞｯﾄの状態に影響を及ぼさないことに注意してください。'High'状態が消滅すると、FETの禁止は直ちに開放されます。DUVR動作は直前が許可なら、自動的に再許可されます。

この機能はﾁｯﾌﾟ始動時に自動的に許可され、電池保護制御ﾚｼﾞｽﾀ(BPCR)を施錠する前に禁止することができます。BPCRﾚｼﾞｽﾀ施錠時、外部保護機能も施錠されます。

外部保護入力許可時、無効化許可信号がﾃﾞｼﾞﾀﾙ入力としてのﾋﾟﾝ構成設定をEXTPROTﾋﾟﾝに設定します。ﾎﾟｰﾄはﾋﾟﾝ値変更時に割り込みを与えるように構成されるかもしれず、保護の状態はﾎﾟｰﾄ ﾚｼﾞｽﾀから読むことができます。

外部保護入力が既定で許可されることに注意してください。これは(ﾘｾｯﾄ中と)ﾘｾｯﾄ後、ﾎﾟｰﾄ ﾚｼﾞｽﾀ設定と無関係に、ﾎﾟｰﾄが既定でﾃﾞｼﾞﾀﾙ入力に上書きされることに注意してください。

ﾎﾟｰﾄが標準ﾎﾟｰﾄとして使われ得る前に、使用者はBPCRﾚｼﾞｽﾀで外部保護入力を禁止しなければなりません。

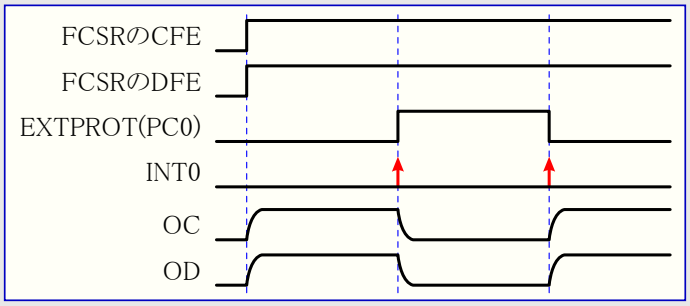
ﾘｾｯﾄ手順中も外部保護入力がFETを禁止するかもしれません。従って、ﾘｾｯﾄに於いて外部保護機能が使われずにDUVR動作が許可されている場合、外部保護入力はｿﾌﾄｳｪｱによって禁止されるまでLowを保持しなければなりません。

この機能を使う時にﾏｲｸﾛ ｺﾝﾄﾛｰﾗへFET保護状態が変化したことを示す割り込みを生成するために、外部保護入力ﾎﾟｰﾄ上の外部割り込みは'両端'に構成設定することが推奨されます。ﾋﾟﾝ入力ﾚｼﾞｽﾀ読み込みによって外部保護状態を判断することができます。ﾋﾟﾝ入力ﾚｼﾞｽﾀが設定(1)なら、外部保護が起動され、FCSRのFET制御信号(CFE,DFE,DUVRD)が無効化されて禁止されます。逆(0)の場合、外部保護違反は存在しません。

外部保護入力状態から安全に抜け出すのを保証するため、外部保護状態が検出された時にFETとDUVR動作はｿﾌﾄｳｪｱによって禁止されるべきです。これはFETが再びONに切り替えられる時の完全な制御をｿﾌﾄｳｪｱに許します。

例えば充電器接続時にBATTﾋﾟﾝでの一時的な高電圧によって引き起こされる、EXTPROTﾋﾟﾝでの短いﾊﾟﾙｽが外部保護入力を起動するかもしれません(146頁の「**動作回路**」参照)。けれどもｿﾌﾄｳｪｱが何の動作も取らなければ、一旦外部保護状態が消滅すると、C-FETとD-FETは自動的に再許可されます。

図24-1. 外部保護入力例



24.5. 低消費電力使用法最適化

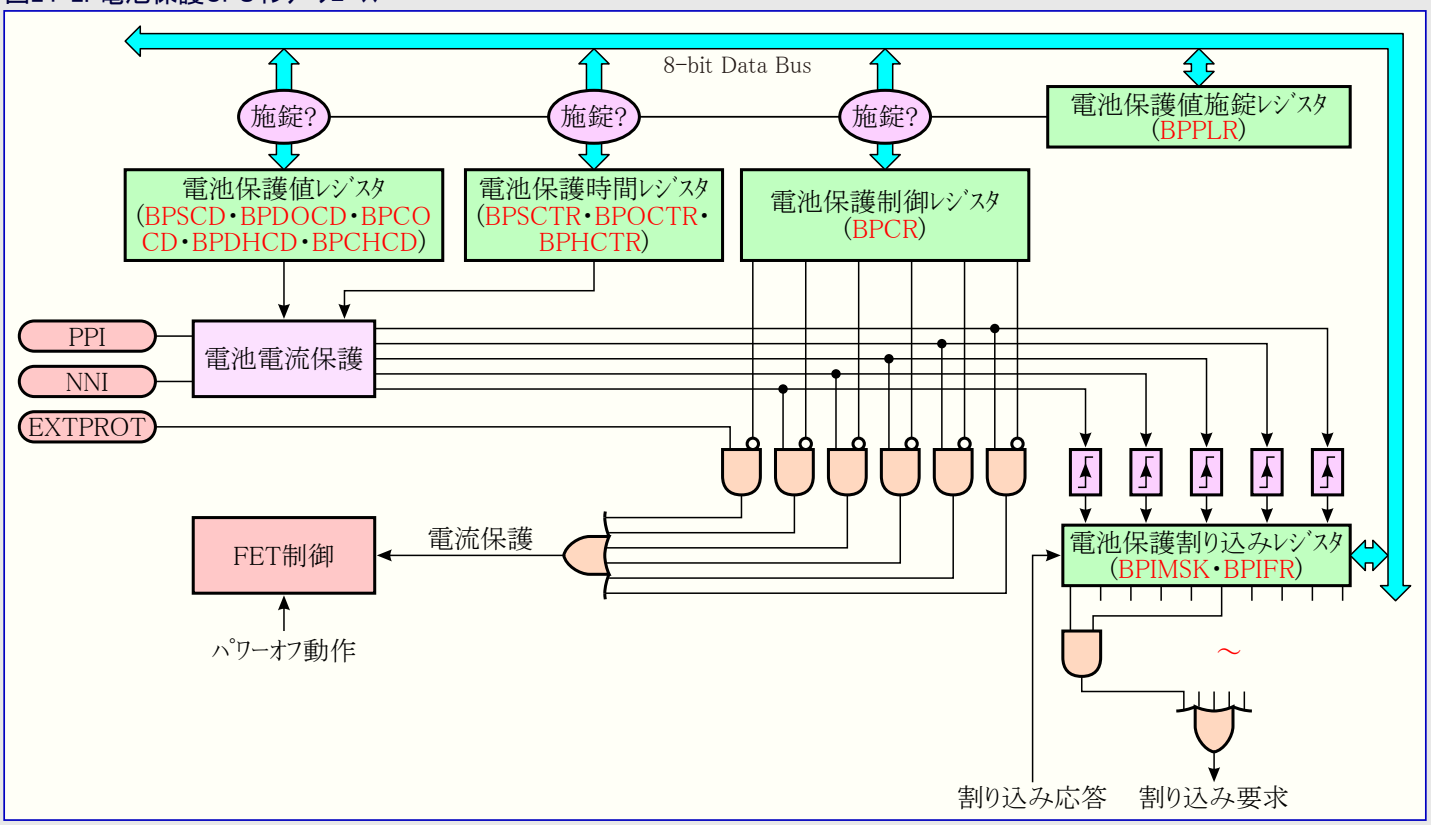
電力消費を減らすため、D-FET禁止時に回路短絡、放電高電流、放電過電流の保護が自動的に不活性にされます。充電高電流と充電過電流の保護はC-FET禁止時に禁止されます。けれどもﾁｯﾌﾟが深下電圧回復(DUVR)動作で動かされている時に充電高電流保護と充電過電流保護が決して自動的に禁止されないことに注意してください。

外部保護入力によって不活性にされる電流保護がないことにも注意してください。外部保護事象中の節電のため、FET制御/状態ﾚｼﾞｽﾀ(FCSR)の放電FET許可(DFE)と充電FET許可(CFE)は解除(0)されるべきで、ﾁｯﾌﾟがDUVR動作で動かないことを保証してください。

24.6. 電池保護CPUｲﾝﾀｰﾌｪｰｽ

電池保護CPUｲﾝﾀｰﾌｪｰｽは図24-2.で図解されます。

図24-2. 電池保護CPUｲﾝﾀｰﾌｪｰｽ



電池電流保護単位部から起こる各保護には割り込み要求ﾌﾗｸﾞがあります。各ﾌﾗｸﾞはCPUによって読み、そして解除(0)でき、各ﾌﾗｸﾞには個別の割り込み許可があります。許可した全ﾌﾗｸﾞはCPUへの1つの電池保護割り込み要求に結合されます。この(結合した)割り込みはﾊﾟﾜｰｵﾌ動作を除くどの動作種別からもCPUを起動できます。割り込み要求ﾌﾗｸﾞはCPUからのそれらのﾋﾞｯﾄ位置への論理1書き込みによって解除(0)されます。外部保護入力用の割り込み事象は入力ﾎﾟｰﾄに対する外部割り込みを許可することによって生成することができます。

24.7. 電池保護用ﾚｼﾞｽﾀ

24.7.1. BPPLR – 電池保護値施錠ﾚｼﾞｽﾀ (Battery Protection Parameter Lock Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($FE)	–	–	–	–	–	–	BPPLE	BPPL	BPPLR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで、常に0として読みます。

● **ﾋﾞｯﾄ1 – BPPLE : 電池保護規定値施錠許可** (Battery Protection Parameter Lock Enable)

● **ﾋﾞｯﾄ0 – BPPL : 電池保護規定値施錠** (Battery Protection Parameter Lock)

電池保護制御ﾚｼﾞｽﾀ(BPCR)、電池短絡保護時間ﾚｼﾞｽﾀ(BPSCTR)、電池過電流保護時間ﾚｼﾞｽﾀ(BPOCTR)、電池高電流保護時間ﾚｼﾞｽﾀ(BPHCTR)、電池短絡保護検出値ﾚｼﾞｽﾀ(BPSCD)、電池放電過電流保護検出値ﾚｼﾞｽﾀ(BPDOCD)、電池充電過電流保護検出値ﾚｼﾞｽﾀ(BPCOCD)、電池放電高電流保護検出値ﾚｼﾞｽﾀ(BPDHCD)、電池充電高電流保護検出値ﾚｼﾞｽﾀ(BPCHCD)の電池保護ﾚｼﾞｽﾀは更なるどんなｿﾌﾄｳｪｱ更新からも施錠できます。一旦施錠されると、これらのﾚｼﾞｽﾀは次のﾊｰﾄﾞｳｪｱ ﾘｾｯﾄまでｱｸｾｽできません。これはｿﾌﾄｳｪｱ暴走による意図せぬ変更からこれらのﾚｼﾞｽﾀを保護する安全な方法を提供します。ﾘｾｯﾄ直後にｿﾌﾄｳｪｱがこれらのﾚｼﾞｽﾀを設定し、その後の更なるどんな更新からも保護することが推奨されます。

これらのﾚｼﾞｽﾀを施錠するには以下の手順に従わなければなりません。

1. 同一操作で電池保護規定値施錠許可(BPPLE)と電池保護規定値施錠(BPPL)に論理1を書いてください。
2. 次からの4ｸﾛｯｸ周期以内に同一操作でBPPLEに論理0、BPPLに論理1を書いてください。

24.7.2. BPCR – 電池保護制御ﾚｼﾞｽﾀ (Battery Protection Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($FD)	–	–	EPID	SCD	DOCD	COCD	DHCD	CHCD	BPCR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで、常に0として読みます。

● **ﾋﾞｯﾄ5 – EPID : 外部保護入力禁止** (External Protection Input Disable)

このﾋﾞｯﾄが設定(1)されると、外部保護入力が禁止され、どんな外部保護入力も無視されます。このﾋﾞｯﾄが外部保護入力ﾎﾟｰﾄに於ける標準入出力機能を無効にすることに注意してください。外部保護入力機能が使われないなら、このﾋﾞｯﾄが常に設定(1)されることが推奨されます。

● **ﾋﾞｯﾄ4 – SCD : 短絡保護禁止** (Short Circuit Protection Disable)

このSCDﾋﾞｯﾄが設定(1)されると、短絡保護が禁止されます。短絡検出が禁止され、どんな短絡状態も無視されます。

● **ﾋﾞｯﾄ3 – DOCD : 放電過電流保護禁止** (Discharge Over-current Protection Disable)

このDOCDﾋﾞｯﾄが設定(1)されると、放電過電流保護が禁止されます。放電過電流検出が禁止され、どんな放電過電流状態も無視されます。

● **ﾋﾞｯﾄ2 – COCD : 充電過電流保護禁止** (Charge Over-current Protection Disable)

このCOCDﾋﾞｯﾄが設定(1)されると、充電過電流保護が禁止されます。充電過電流検出が禁止され、どんな充電過電流状態も無視されます。

● **ﾋﾞｯﾄ1 – DHCD : 放電高電流保護禁止** (Discharge High-current Protection Disable)

このDHCDﾋﾞｯﾄが設定(1)されると、放電高電流保護が禁止されます。放電高電流検出が禁止され、どんな放電高電流状態も無視されます。

● **ﾋﾞｯﾄ0 – CHCD : 充電高電流保護禁止** (Charge High-current Protection Disable)

このCHCDﾋﾞｯﾄが設定(1)されると、充電高電流保護が禁止されます。充電高電流検出が禁止され、どんな充電高電流状態も無視されます。

注: ｸﾛｯｸ領域間での値同期化のため、BPCRﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのBPCRﾚｼﾞｽﾀ書き込みも無視されます。

24.7.3. BPSCTR – 電池短絡保護時間ﾚｼﾞｽﾀ (Battery Protection Short-circuit Timing Register)

ﾋﾞｯﾄ ($FA)	7	6	5	4	3	2	1	0	
	–	SCPT6	SCPT5	SCPT4	SCPT3	SCPT2	SCPT1	SCPT0	BPSCTR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	1	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ6~0 – SCPT6~0 : 短絡保護反応時間** (Short-circuit Protection Timing)

これらのﾋﾞｯﾄは短絡保護の(確認用)遅延を制御します。**表24-2.**で示されるように短絡(確認)時間は62.5µsの段階量で設定することができます。

表24-2. SCPT6～0に対応する短絡遅延時間 (短絡保護反応時間)

SCPT6～0	代表
$00	(15.5～70.5µs)+Td
$01	(15.5～70.5µs)+Td
$02	(78.0～133.0µs)+Td
$03	(140.5～195.5µs)+Td
≀	≀
$7E	(7.83～7.88ms)+Td
$7F	(7.89～7.95ms)+Td

注: ・ 実際の値は18頁の「**超低電力RC発振器**」の実際の周波数に依存します。150頁の「**電気的特性**」をご覧ください。
・ SCPT6～0の初期値は$10(1ms)です。
・ 追加遅延(Td)は保護回路初期化のため、放電FET許可後に予測され得ます。公称超低電力発振器周波数でのこの遅延は最大86µsです。
・ ｸﾛｯｸ領域間での値同期化のため、BPSCTRﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのBPSCTRﾚｼﾞｽﾀ書き込みも無視されます。

24.7.4. BPOCTR – 電池過電流保護時間ﾚｼﾞｽﾀ (Battery Protection Over-current Timing Register)

ﾋﾞｯﾄ ($FB)	7	6	5	4	3	2	1	0	
	–	–	OCPT5	OCPT4	OCPT3	OCPT2	OCPT1	OCPT0	BPOCTR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	1	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ5~0 – OCPT5~0 : 過電流保護反応時間** (Over-current Protection Timing)

これらのﾋﾞｯﾄは過電流保護の(確認用)遅延を制御します。**表24-3.**で示されるように過電流(確認)時間は0.5msの段階量で設定することができます。

表24-3. OCPT5～0に対応する過電流遅延時間 (過電流保護反応時間)

OCPT5～0	代表
$00	(0.0～0.5ms)+Td
$01	(0.0～0.5ms)+Td
$02	(0.5～1.0ms)+Td
$03	(1.0～1.5ms)+Td
≀	≀
$3E	(30.5～31.0ms)+Td
$3F	(31.0～31.5ms)+Td

注: ・ 実際の値は18頁の「**超低電力RC発振器**」の実際の周波数に依存します。150頁の「**電気的特性**」をご覧ください。
・ OCPT5～0の初期値は$02です。
・ 追加遅延(Td)は対応するFET許可後と予測され得ます。これは保護回路の初期化に関連付けられます。放電過電流保護に対して、これは放電FET許可時に適用します。充電過電流保護に対して、これは充電FET許可時にてきようします。公称超低電力発振器周波数でのこの遅延は最大0.1msです。
・ ｸﾛｯｸ領域間での値同期化のため、BPOCTRﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのBPOCTRﾚｼﾞｽﾀ書き込みも無視されます。

24.7.5. BPHCTR – 電池高電流保護時間ﾚｼﾞｽﾀ (Battery Protection High-current Timing Register)

ﾋﾞｯﾄ ($FC)	7	6	5	4	3	2	1	0	
	–	–	HCPT5	HCPT4	HCPT3	HCPT2	HCPT1	HCPT0	BPHCTR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ5~0 – HCPT5~0 : 高電流保護反応時間** (High-current Protection Timing)

これらのﾋﾞｯﾄは高電流保護の(確認用)遅延を制御します。**表24-4.**で示されるように高電流(確認)時間は2msの段階量で設定することができます。

表24-4. HCPT5～0に対応する高電流遅延時間 (高電流保護反応時間)

HCPT5～0	代表
$00	(0.0～2ms)+Td
$01	(0.0～2ms)+Td
$02	(2～4ms)+Td
$03	(4～6ms)+Td
≀	≀
$3E	(122～124ms)+Td
$3F	(124～126ms)+Td

注: ・実際の値は18頁の「**超低電力RC発振器**」の実際の周波数に依存します。150頁の「**電気的特性**」をご覧ください。
・HCPT5～0の初期値は$01です。
・追加遅延(Td)は対応するFET許可後と予測され得ます。これは保護回路の初期化に関連付けられます。放電高電流保護に対して、これは放電FET許可時に適用します。充電高電流保護に対して、これは充電FET許可時にてきようします。公称超低電力発振器周波数でのこの遅延は最大0.2msです。
・ｸﾛｯｸ領域間での値同期化のため、BPHCTRﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのBPHCTRﾚｼﾞｽﾀ書き込みも無視されます。

24.7.6. BPSCD – 電池保護短絡検出値ﾚｼﾞｽﾀ (Battery Protection Short-circuit Level Register)

ﾋﾞｯﾄ ($F5)	7	6	5	4	3	2	1	0	
	SCDL7	SCDL6	SCDL5	SCDL4	SCDL3	SCDL2	SCDL1	SCDL0	BPSCD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	0	0	1	1	

● **ﾋﾞｯﾄ7~0 – SCDL7~0 : 短絡検出値** (Short-circuit Detection Level)

これらのﾋﾞｯﾄは**表24-5.**で定義されるように放電方向での短絡検出用のR_{SENSE}電圧値を設定します。

注: ｸﾛｯｸ領域間での値同期化のため、BPSCDﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのBPSCDﾚｼﾞｽﾀ書き込みも無視されます。

24.7.7. BPDOCD – 電池保護放電過電流検出値ﾚｼﾞｽﾀ (Battery Protection Discharge Over-current Level Register)

ﾋﾞｯﾄ ($F6)	7	6	5	4	3	2	1	0	
	DOCDL7	DOCDL6	DOCDL5	DOCDL4	DOCDL3	DOCDL2	DOCDL1	DOCDL0	BPDOCD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	0	0	1	1	

● **ﾋﾞｯﾄ7~0 – DOCDL7~0 : 放電過電流検出値** (Discharge Over-current Detection Level)

これらのﾋﾞｯﾄは**表24-5.**で定義されるように放電過電流検出用のR_{SENSE}電圧値を設定します。

注: ｸﾛｯｸ領域間での値同期化のため、BPDOCDﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのBPDOCDﾚｼﾞｽﾀ書き込みも無視されます。

24.7.8. BPCOCD – 電池保護充電過電流検出値ﾚｼﾞｽﾀ (Battery Protection Charge Over-current Level Register)

ﾋﾞｯﾄ ($F7)	7	6	5	4	3	2	1	0	
	COCDL7	COCDL6	COCDL5	COCDL4	COCDL3	COCDL2	COCDL1	COCDL0	BPCOCD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	0	0	1	1	

● **ﾋﾞｯﾄ7~0 – COCDL7~0 : 充電過電流検出値** (Charge Over-current Detection Level)

これらのﾋﾞｯﾄは**表24-5.**で定義されるように充電過電流検出用のR_{SENSE}電圧値を設定します。

注: ｸﾛｯｸ領域間での値同期化のため、BPCOCDﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのBPCOCDﾚｼﾞｽﾀ書き込みも無視されます。

24.7.9. BPDHCD – 電池保護放電高電流検出値ﾚｼﾞｽﾀ (Battery Protection Discharge High-current Level Register)

ﾋﾞｯﾄ ($F8)	7	6	5	4	3	2	1	0	
	DHCDL7	DHCDL6	DHCDL5	DHCDL4	DHCDL3	DHCDL2	DHCDL1	DHCDL0	BPDHCD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	0	0	1	1	

● **ﾋﾞｯﾄ7~0 – DHCDL7~0 : 放電高電流検出値** (Discharge High-current Detection Level)

これらのﾋﾞｯﾄは**表24-5.**で定義されるように放電高電流検出用のR_{SENSE}電圧値を設定します。

注: ｸﾛｯｸ領域間での値同期化のため、BPDHCDﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのBPDHCDﾚｼﾞｽﾀ書き込みも無視されます。

24.7.10. BPCHCD – 電池保護充電高電流検出値ﾚｼﾞｽﾀ (Battery Protection Charge High-current Level Register)

ﾋﾞｯﾄ ($F9)	7	6	5	4	3	2	1	0	
	CHCDL7	CHCDL6	CHCDL5	CHCDL4	CHCDL3	CHCDL2	CHCDL1	CHCDL0	BPCHCD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	0	0	1	1	

● **ﾋﾞｯﾄ7~0 – CHCDL7~0 : 充電高電流検出値** (Charge High-current Detection Level)

これらのﾋﾞｯﾄは**表24-5.**で定義されるように充電高電流検出用のR_{SENSE}電圧値を設定します。

注: ｸﾛｯｸ領域間での値同期化のため、BPCHCDﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのBPCHCDﾚｼﾞｽﾀ書き込みも無視されます。

表24-5. 全電流検出値ﾚｼﾞｽﾀ(BPSCD,BPDOCD,BPCOCD,BPDHCD,BPCHCD)に対応するR_{SENSE}電圧での～DL7～0

～DL7～0	代表	～DL7～0	代表	～DL7～0	代表
$F6	35	$77	80	$38	170
$F7	40	$78	90	$39	190
$F8	45	$79	100	$3A	210
$F9	50	$7A	110	$3B	230
$FA	55	$7B	120	$3C	250
$FB	60	$7C	130	$3D	270
$FC	65	$7D	140	$17	310
$FD	70	$37	150	その他	(予約)

24.7.11. BPIMSK – 電池保護割り込み許可ﾚｼﾞｽﾀ (Battery Protection Interrupt Mask Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($F2)	–	–	–	SCIE	DOCIE	COCIE	DHCIE	CHCIE	BPIMSK
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～5 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで、常に0として読みます。

● **ﾋﾞｯﾄ4 – SCIE : 短絡保護割り込み許可** (Short-circuit Protection Activated Interrput Enable)

このSCIEﾋﾞｯﾄは短絡保護割り込み(要求ﾌﾗｸﾞ)によって起こされる割り込みを許可します。

● **ﾋﾞｯﾄ3 – DOCIE : 放電過電流保護割り込み許可** (Discharge Over-current Protection Activated Interrput Enable)

このDOCIEﾋﾞｯﾄは放電過電流保護割り込み(要求ﾌﾗｸﾞ)によって起こされる割り込みを許可します。

● **ﾋﾞｯﾄ2 – COCIE : 充電過電流保護割り込み許可** (Charge Over-current Protection Activated Interrput Enable)

このCOCIEﾋﾞｯﾄは充電過電流保護割り込み(要求ﾌﾗｸﾞ)によって起こされる割り込みを許可します。

● **ﾋﾞｯﾄ1 – DHCIE : 放電高電流保護割り込み許可** (Discharge High-current Protection Activated Interrput Enable)

このDHCIEﾋﾞｯﾄは放電高電流保護割り込み(要求ﾌﾗｸﾞ)によって起こされる割り込みを許可します。

● **ﾋﾞｯﾄ0 – CHCIE : 充電高電流保護割り込み許可** (Charge High-current Protection Activated Interrput Enable)

このCHCIEﾋﾞｯﾄは充電高電流保護割り込み(要求ﾌﾗｸﾞ)によって起こされる割り込みを許可します。

24.7.12. BPIFR – 電池保護割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Battery Protection Interrupt Flag Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($F3)	–	–	–	SCIF	DOCIF	COCIF	DHCIF	CHCIF	BPIFR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～5 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されたﾋﾞｯﾄで、常に0として読みます。

● **ﾋﾞｯﾄ4 – SCIF : 短絡保護割り込み要求ﾌﾗｸﾞ** (Short-circuit Protection Activated Interrput)

一旦短絡保護違反が検知されるとSCIFが設定(1)になります。本ﾌﾗｸﾞはそこへの論理1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ3 – DOCIF : 放電過電流保護割り込み要求ﾌﾗｸﾞ** (Discharge Over-current Protection Activated Interrput)

一旦放電過電流保護違反が検知されるとDOCIEが設定(1)になります。本ﾌﾗｸﾞはそこへの論理1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ2 – COCIF : 充電過電流保護割り込み要求ﾌﾗｸﾞ** (Charge Over-current Protection Activated Interrput)

一旦充電過電流保護違反が検知されるとCOCIEが設定(1)になります。本ﾌﾗｸﾞはそこへの論理1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ1 – DHCIF : 放電高電流保護割り込み要求ﾌﾗｸﾞ** (Discharge High-current Protection Activated Interrput)

一旦放電高電流保護違反が検知されるとDHCIEが設定(1)になります。本ﾌﾗｸﾞはそこへの論理1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ0 – CHCIF : 充電高電流保護割り込み要求ﾌﾗｸﾞ** (Charge High-current Protection Activated Interrput)

一旦充電高電流保護違反が検知されるとCHCIEが設定(1)になります。本ﾌﾗｸﾞはそこへの論理1書き込みによって解除(0)されます。

25. FET駆動部

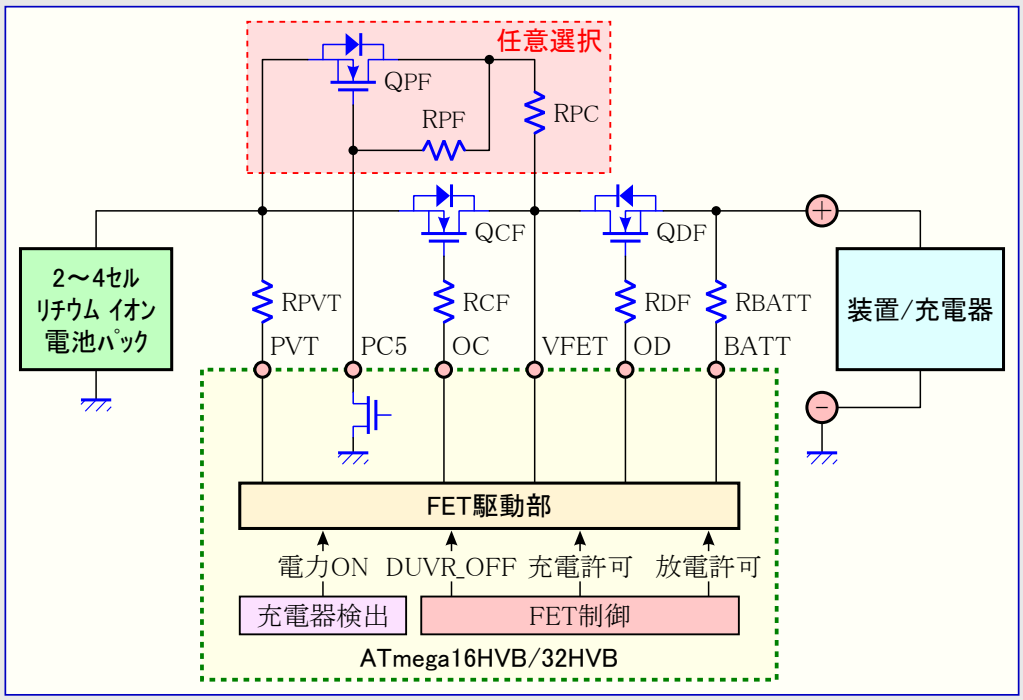
25.1. 特徴

- リチウム イオン電池応用での充電と放電のFET制御用のH側N-ch FET駆動部
- 外部予備充電FETなしで深く放電した電池セルを0Vから充電すると同時に標準動作を許す任意選択の深下電圧回復(DUVR)動作
- 予備充電機能を持たない充電器に深く放電した電池を0Vからの充電を許す任意選択の予備充電FET形態

25.2. 概要

Atmel ATmega16HVB/32HVBはリチウム イオン電池パックで外部H側の充電と放電のFETのON/OFF切り替え用のN-ch FET駆動部を統合しています。FET駆動部は標準動作中、代表的に13Vの高電圧ゲート無効化出力用に設計されています。

図25-1. 簡単化した構成図



標準動作でのFETはソフトウェアによって制御されます。ソフトウェアはFET制御/状態レジスタ(FCSR)に書くことによって充電FETと放電FETを許可/禁止することができます。

安全動作のため、自律型電池保護回路(88頁の「**電池保護**」参照)が不正な電流状態を検知した場合に、FET駆動部は自動的に充電と放電の両FETをOFFに切り替えます。このような状態が起きた場合、ソフトウェアは電流の状態が標準的になるまでFETをONにすることを許されません。

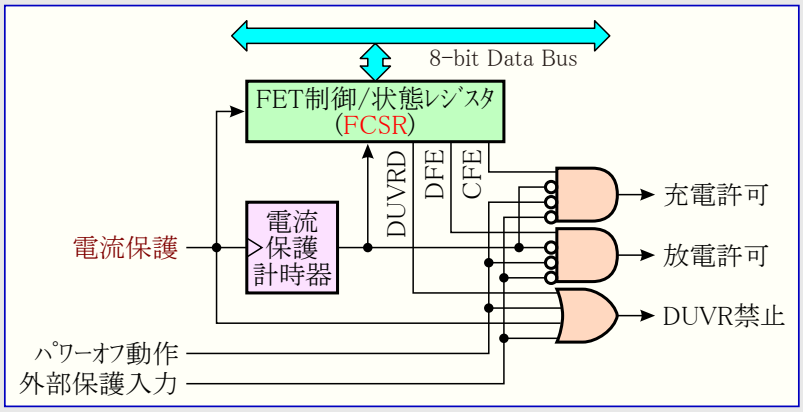
深く放電したセルの充電のため、ATmega16HVB/32HVBは深下電圧回復(DUVR)動作での走行に構成設定することができます。予備充電電流機能を持つ充電器の使用で、これは追加の予備充電FETなしで深く放電したセルの充電を許します。予備充電電流制限なしの充電器に対しては、深く放電したセルを充電できるように、充電FETと並列で任意選択の予備充電FETが支援されます。

25.3. 動作と使用法

25.3.1. 標準動作

標準動作(DUVRD=1)では、FET制御が充電FETと放電FETの許可と禁止に使われます。通常、FETはFET制御/状態レジスタ(FCSR)へのソフトウェア書き込みによって許可と禁止が行われます。けれども、高すぎる充放電電流から電池セルを保護するために自律型電池保護回路がソフトウェア設定を無効にする場合があります。CPUは電池保護回路によって禁止されているFETの許可を決して許されないことに注意してください。FET制御は図25-2.で示されます。

図25-2. FET制御構成図



電流保護が電池保護回路によって稼動(有効に)されている場合、充電FETと放電FETの両方がﾊｰﾄﾞｳｪｱによって禁止されます。保護条件が解消されると、ｿﾌﾄｳｪｱが外部FETを再び許可し得る前に電流保護計時器が1秒の保持時間を保証します。

充電と放電のFETをONにするには最小VFET供給電圧が必要とされます。6V未満のｾﾙ総電圧でC-FET/D-FETがOFFのとき、充電器が接続されていなければ、ｿﾌﾄｳｪｱはC-FET/D-FETをONに切り替えるべきではありません。ｾﾙ総電圧が6V以上なら、ｿﾌﾄｳｪｱでのC-FETやD-FETのONは安全です。けれども、FETが既にONの場合、FET駆動部がﾃﾞﾊﾞｲｽの供給動作範囲全体で動けることに注意してください。

C-FET/D-FETは外部FETのｿｰｽ電圧(PVT/BATT)以上にｹﾞｰﾄ(OC/OD)を押し上げることによってONに切り替えられます。ｹﾞｰﾄとｿｰｽ間の電圧は代表的に13Vよりも高い水準に達した時に揚圧周波数が下げられ、高いｹﾞｰﾄ ｿｰｽ間電圧を維持するように調整されます。低いVFET電圧に対しては決してこの水準に達せず、従って揚圧周波数は下げられません。従って、この状況に於いてFET駆動部から増加した消費電力が予測されされます。低VFET電圧に対するｹﾞｰﾄ ｿｰｽ間電圧は2×VFET-2V近くです。

C-FETが禁止でD-FETが許可される場合、放電電流はC-FETの本体ﾄﾞﾚｲﾝ ﾀﾞｲｵｰﾄﾞを通して流れるでしょう。またその逆も同様です。この状態での潜在的な発熱問題を避けるため、ｿﾌﾄｳｪｱは大きな充電電流が流れる時にD-FETが禁止されず、大きな放電電流が流れる時にC-FETが禁止されないことを保証すべきです。

25.3.2. DUVR - 予備充電FETなしでの深下電圧回復動作

予備充電機能付きの充電器を使って深く放電したｾﾙの充電を許すため、FET駆動部は深下電圧回復(DUVR)動作での操作に構成設定することができます。DUVR動作は追加の予備充電FETの使用なしに深く放電したｾﾙの充電を許します。深下電圧回復動作移行のため、ｿﾌﾄｳｪｱはFET制御/状態ﾚｼﾞｽﾀ(FCSR)のDUVR動作禁止(DUVRD)ﾋﾞｯﾄを解除(DUVRD=0)すべきです。DUVR動作は2ｾﾙ応用で使えません。次頁の「**予備充電FETとでの深下電圧動作**」を参照してください。

DUVR動作でのFET駆動部はC-FETを部分的に開放することによってVFETでの電圧を速やかに代表的な4.5Vに調整します。この電圧に於いてﾁｯﾌﾟは完全動作です。C-FETの部分開放で充電器は予備充電電流での電池充電を許されます。ｾﾙ電圧が4.5V以上に増え始めるので、VFET電圧はｾﾙ電圧に従います。ｾﾙ総電圧が5V以上の電圧に充電されると、DUVR動作を抜けてC-FETの完全ON切り替えは安全です。そこでｿﾌﾄｳｪｱはDUVR動作を抜けるためにDUVRDﾋﾞｯﾄを設定(1)し、充電FET許可(CFE)ﾋﾞｯﾄを設定(1)することによってC-FETを完全に開放すべきです。これが次の2段階で行われることに注意してください。

1. DUVRDﾋﾞｯﾄを設定(1)することによってDUVR動作を抜けてください。
2. ﾚｼﾞｽﾀ同期が完了されるまで待って(99頁の「**FET駆動部用ﾚｼﾞｽﾀ**」をご覧ください)、CFEﾋﾞｯﾄを設定(1)することによってC-FETを許可してください。

DUVR動作でのC-FETとD-FETの潜在的な発熱を避けるため、FET駆動部がDUVR動作を抜けてFETが完全に許可されるまで、充電器は急速充電への移行を許されるべきではありません。従ってDUVR動作での充電中に電流の流れを継続的に監視するためにｸｰﾛﾝ ｶｳﾝﾀA/D変換器(CC-ADC)を使い、不正な充電電流が測定された場合にFETをOFFに切り替えることが推奨されます。高速追尾のため、CC-ADCの瞬時電流出力を用いることが推奨されます。CC-ADC使用法の詳細については70頁の「**ｸｰﾛﾝ ｶｳﾝﾀ (容量/残量計専用⊿ΣA/D変換器)**」をご覧ください。

DUVR動作へ移行する前にD-FETを許可することが推奨されます。D-FET許可後、DUVR動作移行前にｿﾌﾄｳｪｱが10msの保持時間を追加することが推奨されます。これはD-FETが完全に許可されるのを保証するためです。

電池がDUVR動作を抜ける前に充電器が急速充電に移行するのを避けるため、以下のどちらかが推奨されます。

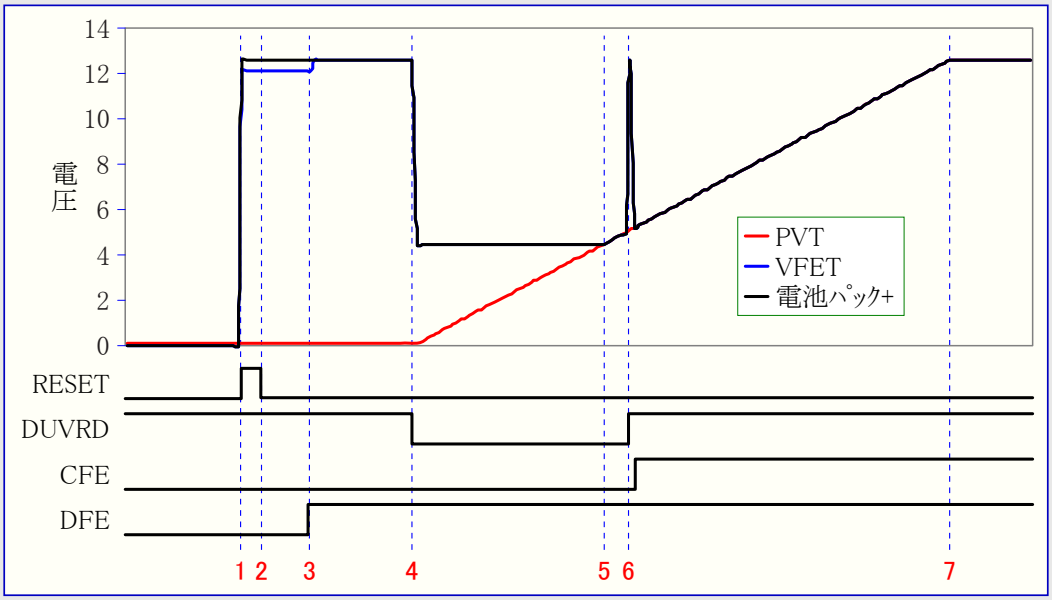
1. 電池は充電器が急速充電移行を許される時を制御します。これは充電器が充電電流増加移行を許される時にSMBus線上で充電器に対する通信によって行われます。
2. 電池ﾊﾟｯｸ+端子の電圧を感知することによって急速充電へ移行する時を充電器自体が制御します。充電器が7Vよりも高い電池ﾊﾟｯｸ+電圧を感知するまで、充電器が急速充電を許すことは推奨されません。潜在的な発熱問題を避けるため、ｿﾌﾄｳｪｱは充電器がこの限度に遭遇する前にDUVR動作を抜けてC-FETを許可するのを保証することが必要です。

正当な充電器を接続することによって電池がﾊﾟﾜｰｵﾌ状態から始められる時に、ｿﾌﾄｳｪｱはC-FETを許可する前に充電を許すか否かを判断するでしょう。充電を許す前にｾﾙ電圧とｾﾙ温度を測定するために電圧A/D変換器(V-ADC)を使うことが推奨されます。ｾﾙ総電圧に依存し、ﾃﾞﾊﾞｲｽはDUVR動作か、またはC-FETとD-FET許可の標準動作のどちらかで始動するでしょう。

- ｾﾙ総電圧が4.5V以下なら、電池はDUVR充電動作へ移行するでしょう。これは充電を許す間の安全な動作電圧を保証します。
- ｾﾙ総電圧が4.5V以上なら、電池はC-FETとD-FETの両方が許可された標準充電動作へ移行するでしょう。

図25-3.はDUVR動作を用いて深く放電した3ｾﾙのﾘﾁｳﾑ ｲｵﾝ電池を充電する例を示します。

図25-3. 3セル形態でのDUVR動作充電



1. 12.6Vの充電電圧を持つ充電器が電池ﾊﾟｯｸ+端子に接続され、ATmega16HVB/32HVBはﾘｾｯﾄ状態に入ります。充電器は充電電流制限(予備充電電流)で構成設定されるべきです。
2. ATmega16HVB/32HVBはﾘｾｯﾄを抜け、単位部を初期化します。充電が許されるべきかと、DUVR動作へ移行すべきかを決めるために、電圧A/D変換器(V-ADC)によってｾﾙ電圧とｾﾙ温度が測定されます。
3. D-FETが許可され、VFET電圧が電池ﾊﾟｯｸ+ﾚﾍﾞﾙへ増加します。
4. FET制御/状態ﾚｼﾞｽﾀ(FCSR)のDUVR動作禁止(DUVRD)ﾋﾞｯﾄの解除(0)によってDUVR動作へ移行します。VFET電圧と電池ﾊﾟｯｸ+電圧は今や概ね4.5Vに調整されます。
5. ｾﾙ総電圧が調整されたVFET境界に達し、VFETは電池が充電されるためにｾﾙ電圧に従います。
6. ｾﾙ総電圧が5Vい達します。DUVR動作が禁止され、C-FETを完全に許可することができます。C-FETが許可される前にDUVR動作が禁止されるべきです。従ってVFETと電池ﾊﾟｯｸ+はC-FETが許可される前の短区間に充電器電圧へ上昇します。
7. 電池電圧が充電器電圧に達しました。

25.3.3. 予備充電FETとでの深下電圧動作

予備充電機能なしの充電器が使われる場合、予備充電FETが電流経路を提供し、予備充電抵抗が深く過放電したｾﾙ充電中の充電電流を制限します。充分な電池電圧到達後、充電電流を増すための充電FETのON切り替えは安全です。予備充電FETとでの深下電圧動作は高電圧ｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ ﾋﾟﾝのPC5を通して支援されます。このﾋﾟﾝの形態と使用法については40頁の「高電圧入出力ﾎﾟｰﾄ」をご覧ください。

25.3.4. ﾘｾｯﾄとﾊﾟﾜｰｵﾌでの動作

ﾘｾｯﾄとﾊﾟﾜｰｵﾌでのC-FETとD-FETは自動的にOFFへ切り替えられます。安全はOC/ODﾊｰﾄﾞｳｪｱのGNDへの能動引き込みによって保たれます。

25.4. FET駆動部用ﾚｼﾞｽﾀ

25.4.1. FCSR – FET制御/状態ﾚｼﾞｽﾀ (FET Control and Status Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($F0)	–	–	–	–	DURVD	CPS	DFE	CFE	FCSR
Read/Write	R	R	R	R	R/W	R	R/W	R/W	
初期値	0	0	0	0	1	0	0	0	

● **ﾋﾞｯﾄ7～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは将来の使用に対して予約されており、常に0として読みます。

● **ﾋﾞｯﾄ3 – DUVRD : 深下電圧回復動作禁止** (Deep Under-voltage Recovery Disabled)

DUVRDが解除(0)されると、FET駆動部は深下電圧回復動作での動作を強制されます。詳細に関しては「**DUVR – 予備充電FETなしでの深下電圧回復動作**」をご覧ください。電流保護またはまたは内部ﾘｾｯﾄの最中にFET駆動部がC-FETのON切り換えの試みを避けるため、これらの場合にDUVRDﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって1にされます。このﾋﾞｯﾄが設定(1)されると、FET駆動部のDUVR動作は禁止されます。DUVR動作は2ｾﾙ応用で使われるべきではありません。

● **ﾋﾞｯﾄ2 – CPS : 電流保護状態ﾌﾗｸﾞ** (Current Protection Status)

このCPSﾋﾞｯﾄは電流保護の状態を示します。このﾋﾞｯﾄは電流保護が活性(有効)の時に設定(1)され、さもなければ解除(0)されます。

● **ﾋﾞｯﾄ1 – DFE : 放電FET許可** (Discharge FET Enable)

このDFEﾋﾞｯﾄが解除(0)されると、放電FETは電池保護回路の状態に拘らず禁止されます。このﾋﾞｯﾄが設定(1)されると、放電FETが許可されます。このﾋﾞｯﾄは電流保護が活性(有効)化される時に電流/電池保護(CBP)回路によって自動的に解除(0)されます。このﾋﾞｯﾄが解除(0)されると、電池保護制御ﾚｼﾞｽﾀ(BPCR)の設定に拘らず、短絡回路、放電高電流、放電過電流の保護が禁止されます。

● **ﾋﾞｯﾄ0 – CFE : 充電FET許可** (Charge FET Enable)

このCFEﾋﾞｯﾄが解除(0)されると、充電FETは電池保護回路の状態に拘らず禁止されます。このﾋﾞｯﾄが設定(1)されると、充電FETが許可されます。このﾋﾞｯﾄは電流保護が活性(有効)化される時に電流/電池保護(CBP)回路によって自動的に解除(0)されます。このﾋﾞｯﾄが解除(0)され、且つDUVRDﾋﾞｯﾄが設定(1)されていると、電池保護制御ﾚｼﾞｽﾀ(BPCR)の設定に拘らず、充電高電流と充電過電流の保護が禁止されます。DUVRDﾋﾞｯﾄが解除(0)されると、CFEﾋﾞｯﾄの状態に拘らず、DUVR動作によって充電FETは許可されます。

注: ・ｸﾛｯｸ領域間での値同期化のため、FCSRﾚｼﾞｽﾀが書かれる毎に3超低電力(ULP)発振器周期+3 CPUｸﾛｯｸ周期の保護時間が必要です。この時間中のどのFCSRﾚｼﾞｽﾀ書き込みも無視されます。

・N-ch FET駆動部はFETをONに切り替えるために6Vの最小ｾﾙ総電圧またはそれ以上、または充電器接続を必要とします。この制限はFETが予め禁止されている場合にだけ適用することに注意してください。FETが既に許可されている場合、FETはﾃﾞﾊﾞｲｽの電圧範囲全体(4～18V)で完全に動作します。

26. 電池セル平衡

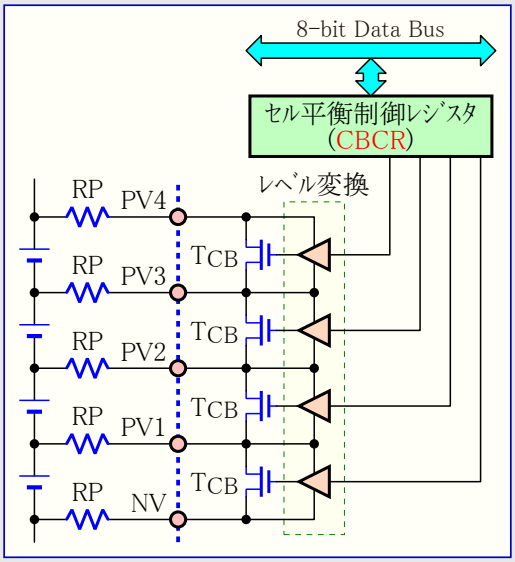
26.1. 概要

Atmel ATmega16HVB/32HVBは電池のセル平衡用FETを内蔵します。本チップは直列電池セルの各々に対して1つのセル平衡FETを提供します。これらのFETはソフトウェアで実装されるセル平衡手法を可能にする応用ソフトウェアによって直接制御されます。これらのFETは個別電池セルと並列に接続されます。セル平衡は**図26-1.**で描かれます。本図は4セル構成を示します。セル平衡FETはパワーオフ動作で禁止されます。

セル平衡FET(T_{CB})を通る代表的な電流については150頁の「**電気的特性**」をご覧ください。

セル平衡FETはセル平衡制御レジスタ(CBCR)によって制御されます。隣接したFETは同時に許可できません。2つの隣接FETの許可を試みると、両方が禁止されます。

図26-1. セル平衡構成図



26.2. 電池セル平衡用レジスタ

26.2.1. CBCR – セル平衡制御レジスタ (Cell Balancing Control Register)

ビット	7	6	5	4	3	2	1	0	
($F1)	–	–	–	–	CBE4	CBE3	CBE2	CBE1	CBCR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7～4 – 予約** (Reserved)

これらのビットは将来の使用に対して予約されており、常に0として読みます。

● **ビット3 – CBE4 : セル平衡4許可** (Cell Balancing Enable 4)

このビットが設定(1)されると、PV3とPV4端子間の統合したセル平衡FETが許可されます。本ビットが解除(0)されると、セル平衡FETは禁止されます。これらのセル平衡FETはパワーオフ動作で常に禁止されます。CBE3が設定(1)されると、CBE4は設定(1)できません。

● **ビット2 – CBE3 : セル平衡3許可** (Cell Balancing Enable 3)

このビットが設定(1)されると、PV2とPV3端子間の統合したセル平衡FETが許可されます。本ビットが解除(0)されると、セル平衡FETは禁止されます。これらのセル平衡FETはパワーオフ動作で常に禁止されます。CBE2またはCBE4が設定(1)されると、CBE3は設定(1)できません。

● **ビット1 – CBE2 : セル平衡2許可** (Cell Balancing Enable 2)

このビットが設定(1)されると、PV1とPV2端子間の統合したセル平衡FETが許可されます。本ビットが解除(0)されると、セル平衡FETは禁止されます。これらのセル平衡FETはパワーオフ動作で常に禁止されます。CBE1またはCBE3が設定(1)されると、CBE2は設定(1)できません。

● **ビット0 – CBE1 : セル平衡1許可** (Cell Balancing Enable 1)

このビットが設定(1)されると、NVとPV1端子間の統合したセル平衡FETが許可されます。本ビットが解除(0)されると、セル平衡FETは禁止されます。これらのセル平衡FETはパワーオフ動作で常に禁止されます。CBE2が設定(1)されると、CBE1は設定(1)できません。

27. 2線直列ｲﾝﾀｰﾌｪｰｽ (TWI:Two-wire Serial Interface, I²C)

27.1. 特徴

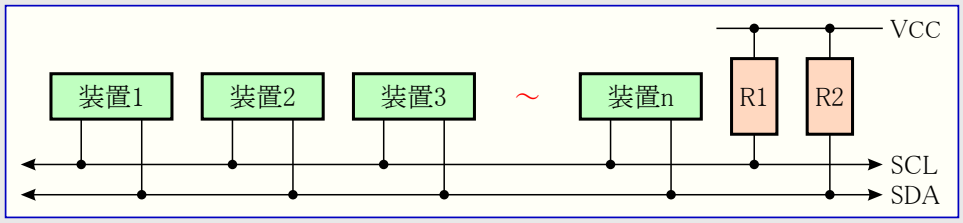
- 2本のﾊﾞｽ信号線のみ必要な、単純ながら強力で柔軟な通信ｲﾝﾀｰﾌｪｰｽ
- 主装置動作と従装置動作の両方を支援
- 送信装置または受信装置として動作可能
- 7ﾋﾞｯﾄのｱﾄﾞﾚｽ空間が128までの異なる従装置ｱﾄﾞﾚｽを許容
- 複数主装置の調停支援
- 10～100kMHzのSMBus転送速度を支援
- 上昇/下降(ｽﾘｭｰﾚｰﾄ)制限された出力駆動回路
- ﾊﾞｽ信号線のｽﾊﾟｲｸを排除する雑音消去回路
- 一斉呼び出しを含む完全に設定変更可能な従装置ｱﾄﾞﾚｽの支援
- AVRが休止形態の時のｱﾄﾞﾚｽ認証(一致)起動

TWI未使用時、消費電力はPRR0のPRTWIﾋﾞｯﾄに1を書くことによって最小化することができます。PRTWIﾋﾞｯﾄの使用法の詳細については26頁の「PRR0 – 電力削減ﾚｼﾞｽﾀ0」をご覧ください。

27.2. 2線直列ｲﾝﾀｰﾌｪｰｽ ﾊﾞｽの定義

2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)は代表的なﾏｲｸﾛ ｺﾝﾄﾛｰﾗ応用に対して理想的に適応されています。TWI通信規約は2本の双方向ﾊﾞｽ信号線、ﾃﾞｰﾀ用1本(SDA)とｸﾛｯｸ用1本(SCL)だけを使って128個までの異なる装置の相互接続をｼｽﾃﾑ設計者に許します。ﾊﾞｽを実現するのに必要とされる外部ﾊｰﾄﾞｳｪｱはTWIﾊﾞｽ信号線各々に1本づつのﾌﾟﾙｱｯﾌﾟ抵抗だけです。ﾊﾞｽに接続した全ての装置は個別のｱﾄﾞﾚｽを持ち、ﾊﾞｽ衝突を解決する機構は本質的にTWI通信規約で行います。

図27-1. 2線直列(TWI)ﾊﾞｽ構成



27.2.1. TWI用語定義

次の定義は本章で度々使われます。

表27-1. TWI用語定義

用語	意味
主装置	送信の開始と終了を行う装置。主装置はSCLｸﾛｯｸも生成します。
従装置	主装置によって指定された装置。
送信装置	ﾊﾞｽ上にﾃﾞｰﾀを送り出す装置。
受信装置	ﾊﾞｽからﾃﾞｰﾀを読み込む装置。

27.2.2. 電気的な相互接続

図27-1.で描かれたように両方のﾊﾞｽ信号線はﾌﾟﾙｱｯﾌﾟ抵抗を通して正供給電圧に接続されます。全てのTWI準拠装置のﾊﾞｽ駆動部はｵｰﾌﾟﾝ ﾄﾞﾚｲﾝかｵｰﾌﾟﾝ ｺﾚｸﾀです。これはｲﾝﾀｰﾌｪｰｽの動作のために重要なﾜｲｱｰﾄﾞAND機能を実現します。TWIﾊﾞｽ信号線のLowﾚﾍﾞﾙは1つまたはより多くのTWI装置の0出力時に生成されます。Highﾚﾍﾞﾙは全TWI装置がHi-Z出力時の出力で、ﾌﾟﾙｱｯﾌﾟ抵抗に信号線をHighへ引き上げさせます。どんなﾊﾞｽ動作を許すのにも、TWIﾊﾞｽに接続した全てのAVRﾃﾞﾊﾞｲｽが電力供給されなければならないことに注意してください。

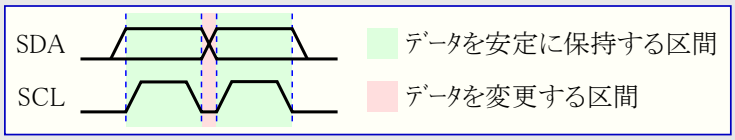
このﾊﾞｽに接続できる装置数は7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽ空間と400pFのﾊﾞｽ容量制限によってのみ制限されます。TWIの電気的特性の詳細仕様は156頁の「2線直列ｲﾝﾀｰﾌｪｰｽ特性」で与えられます。

27.3. ﾃﾞｰﾀ転送とﾌﾚｰﾑ形式

27.3.1. ﾋﾞｯﾄ転送

TWIﾊﾞｽに転送される各ﾃﾞｰﾀ ﾋﾞｯﾄはｸﾛｯｸ信号線のﾊﾟﾙｽを伴います。ﾃﾞｰﾀ信号線のﾚﾍﾞﾙはｸﾛｯｸ信号線がHighの時に安定していなければなりません。この規則の例外は開始条件と停止条件の生成だけです。

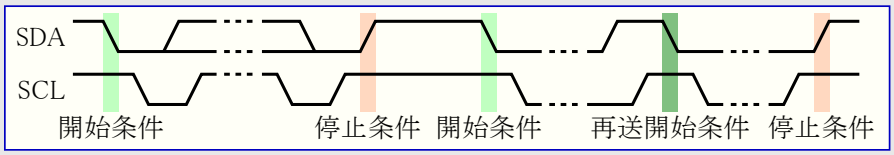
図27-2. ﾃﾞｰﾀの有効性



27.3.2. 開始条件と停止条件

主装置がﾃﾞｰﾀ転送の開始と終了を行います。転送は主装置がﾊﾞｽに開始条件を起こすと開始され、主装置が停止条件を起こすと終了されます。開始条件と停止条件間はﾊﾞｽが使用中と考えられ、他の主装置はﾊﾞｽの制御獲得を試みるべきではありません。開始条件と停止条件間で新規開始条件が起こされると特別な状態が起きます。これは再送開始条件として引用され、主装置がﾊﾞｽの制御を手放さずに新規転送を始めたい時に使われます。再送開始条件後、ﾊﾞｽは次の停止条件まで使用中と考えられます。これは開始動作についてと全く同じで、従って特記事項を除いて本ﾃﾞｰﾀｼｰﾄの残りに対して開始条件と再送開始条件の両方の記述に開始条件が使われます。下で描かれるように、開始条件と停止条件はSCL信号線がHighの時のSDA信号線のﾚﾍﾞﾙ変更によって指示されます。

図27-3. 開始条件、再送開始条件、停止条件 ﾊﾞｽ ﾀｲﾐﾝｸﾞ



27.3.3. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ形式

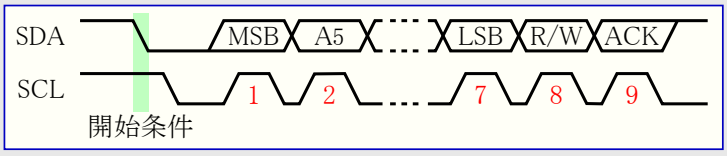
TWIﾊﾞｽに送信した全てのｱﾄﾞﾚｽ ﾊﾟｹｯﾄは7ﾋﾞｯﾄのｱﾄﾞﾚｽ ﾋﾞｯﾄ、1ﾋﾞｯﾄの方向(Read/Write)制御ﾋﾞｯﾄ、1ﾋﾞｯﾄの応答ﾋﾞｯﾄから成る9ﾋﾞｯﾄです。方向(R/W)ﾋﾞｯﾄが設定(1)されると読み出し操作が実行され、さもなければ書き込み操作が実行されるべきです。従装置がｱﾄﾞﾚｽ指定されたことを認証すると、9番目のSCL(ACK)周期でSDAをLowへ引くことによって確認応答すべきです。ｱﾄﾞﾚｽ指定された従装置が忙しいまたはその他の理由で主装置の要求を扱えない場合、確認応答(ACK)ｸﾛｯｸ周期でSDA信号線をHighのままにすべきです。主装置はその後に停止条件または新規転送を始めるために再送開始条件を送出できます。従装置ｱﾄﾞﾚｽと方向(R/W)ﾋﾞｯﾄから成るｱﾄﾞﾚｽ ﾊﾟｹｯﾄは各々、SLA+RまたはSLA+Wと呼ばれます。

ｱﾄﾞﾚｽ ﾋﾞｯﾄの最上位ﾋﾞｯﾄ(MSB)が最初に送信されます。従装置ｱﾄﾞﾚｽは設計者によって自由に割り当てられますが、ｱﾄﾞﾚｽ0000 000は一斉呼び出し用に予約されています。

一斉呼び出しが起こされると、全従装置は確認応答(ACK)周期でSDA信号線をLowにすることによって応答すべきです。一斉呼び出しは主装置がｼｽﾃﾑ内のそれぞれの従装置に同じ通信内容を送信したい時に使われます。一斉呼び出しｱﾄﾞﾚｽに続きW(方向が書き込み)ﾋﾞｯﾄがﾊﾞｽに送信されると、一斉呼び出しに応答する設定の全ての従装置は、ACK周期でSDA信号線をLowに引き込みます。そして後続のﾃﾞｰﾀ ﾊﾟｹｯﾄは一斉呼び出しに確認応答した全従装置によって受信されます。一斉呼び出しｱﾄﾞﾚｽに続くR(方向が読み出し)ﾋﾞｯﾄの送信は、従装置それぞれが異なるﾃﾞｰﾀの送信を始めた場合の衝突の原因となるので意味がないことに注意してください。

1111 xxx形式の全ｱﾄﾞﾚｽは将来の目的のために予約されるべきです(**訳補**: I²C規格のｱﾄﾞﾚｽ拡張他)。

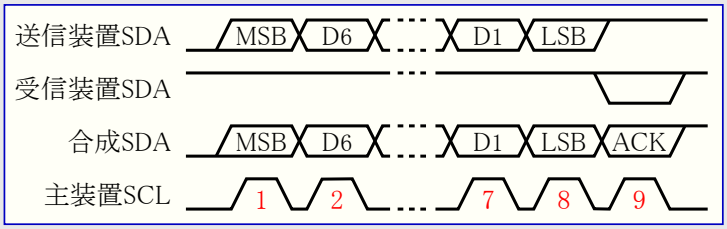
図27-4. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ形式



27.3.4. ﾃﾞｰﾀ ﾊﾟｹｯﾄ形式

TWIﾊﾞｽに送信した全てのﾃﾞｰﾀ ﾊﾟｹｯﾄは1ﾊﾞｲﾄのﾃﾞｰﾀと1ﾋﾞｯﾄの応答ﾋﾞｯﾄから成る9ﾋﾞｯﾄです。ﾃﾞｰﾀ転送中、主装置はｸﾛｯｸと開始条件、停止条件を生成し、一方受信装置は受信に応答する責任があります。確認応答(ACK)は受信装置が9番目のSCL周期中にSDA信号線をLowに引き込むことによって示されます。受信装置がSDA信号線をHighのままにするとNACKを示します。受信装置が最終ﾊﾞｲﾄを受信したとき、または何らかの理由でこれ以上のﾊﾞｲﾄを受信ができないとき、最終ﾊﾞｲﾄ後にNACKを送ることによって送信装置へ通知すべきです。ﾃﾞｰﾀﾊﾞｲﾄの最上位(MSB)ﾋﾞｯﾄが最初に送信されます。

図27-5. ﾃﾞｰﾀ ﾊﾟｹｯﾄ形式

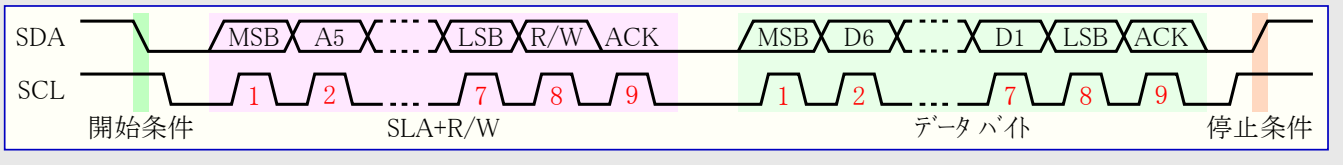


27.3.5. 転送内でのｱﾄﾞﾚｽ ﾊﾟｹｯﾄとﾃﾞｰﾀ ﾊﾟｹｯﾄの組み合わせ

転送は基本的に開始条件、SLA+R/W、1つ以上のﾃﾞｰﾀ ﾊﾟｹｯﾄ、停止条件から成ります。開始条件に続く停止条件から成る空の通信内容は規則違反です。SCL信号線のﾜｲｱｰﾄﾞANDが主装置と従装置間のﾊﾝﾄﾞｼｪｰｸに使えることに注目してください。従装置はSCL信号線をLowに引き込むことによってSCLのLow期間を引き伸ばせます。これは主装置が従装置に対して速すぎるｸﾛｯｸ速度設定、または従装置がﾃﾞｰﾀ送信間の処理に追加時間を必要とする場合に有用です。従装置がSCLのLow期間を延長することは、主装置によって決められるSCLのHigh期間に影響しません。同様に従装置はSCLのﾃﾞｭｰﾃｨ比(Low期間)を延長することによってTWIﾃﾞｰﾀ転送速度を落とせます。

図27-6.は代表的なﾃﾞｰﾀ転送を示します。応用ｿﾌﾄｳｪｱによって実装されたｿﾌﾄｳｪｱ規約に依存して、様々なﾃﾞｰﾀがSLA+R/Wと停止条件間に送信できることに注意してください。

図27-6. 代表的なﾃﾞｰﾀ転送



27.4. 複数主装置ﾊﾞｽ ｼｽﾃﾑの調停と同期

TWI規約は多数主装置のﾊﾞｽ ｼｽﾃﾑを許します。例え2つ以上の主装置が同時に送信を始めても、送信が通常のように続行することを保証するために特別な手段が講じられます。複数主装置のｼｽﾃﾑでは2つの問題が起こります。

- 送信を完了するために1つの主装置だけを許す方法が実現されなければなりません。他の全ての主装置は(自身が行っている従装置)選択手順を失った(失敗した)ことに気付く時に送信を止めるべきです。この選択手順は調停(ｱﾋﾞﾄﾚｰｼｮﾝ)と呼ばれます。競合する主装置は調停(従装置選択)手順を失ったことに気付くと、勝ち残った主装置によってｱﾄﾞﾚｽ指定されるかどうかを調べるため、直ちに従装置動作へ切り替えるべきです。複数の主装置が同時に送信を始めた事実は従装置で検知できるべきではありません。換言すると、ﾊﾞｽに転送されているﾃﾞｰﾀが不正にされてはなりません。
- 違う主装置が異なるSCL周波数を使うかもしれません。同期確定手順で送信が続行するために、全主装置からの直列ｸﾛｯｸを同期化する方法が考案されなければなりません。これは調停手順を容易にします。

ﾊﾞｽ信号線のﾜｲｱｰﾄﾞANDはこれらの問題の両方の解決に使われます。全ての主装置からの直列ｸﾛｯｸはﾜｲｱｰﾄﾞANDされ、最短High期間の主装置の1つからに等しいHigh期間の合成ｸﾛｯｸを生成します。合成ｸﾛｯｸのLow期間は最長Low期間の主装置のLow期間に等しくなります。全ての主装置がSCL信号線を監視する、実際には合成SCL信号線がHighまたはLowになる時に各々SCLのHighとLow経過時間の計時を始めることに注意してください。

調停は全ての主装置がﾃﾞｰﾀ出力後にSDA信号線を継続的に監視することによって実行されます。SDA信号線から読んだ値がその主装置の出力した値と一致しない場合、調停に敗れます。主装置がSDAにHigh値を出力し、同時に他の主装置がLow値を出力する時のみ調停に敗れるかもしれないことに注意してください。敗れた主装置は直ちに従装置動作へ移行し、勝ち残った主装置によってｱﾄﾞﾚｽ指定されるかを検査すべきです。SDA信号線はHighのままにすべきですが、敗れた主装置は現在のﾃﾞｰﾀ若しくはｱﾄﾞﾚｽ ﾊﾟｹｯﾄの最後までｸﾛｯｸ信号を生成することを許されます。調停は唯一の主装置が残るまで継続され、多くのﾋﾞｯﾄを必要とするかもしれません。多くの主装置が同じ従装置をｱﾄﾞﾚｽ指定しようとすると、調停はﾃﾞｰﾀ ﾊﾟｹｯﾄに続くでしょう。

図27-7. 複数主装置間でのSCL同期化

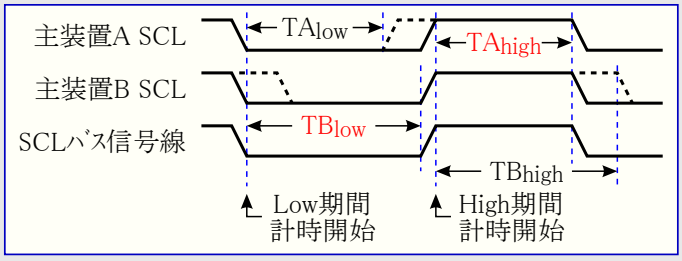
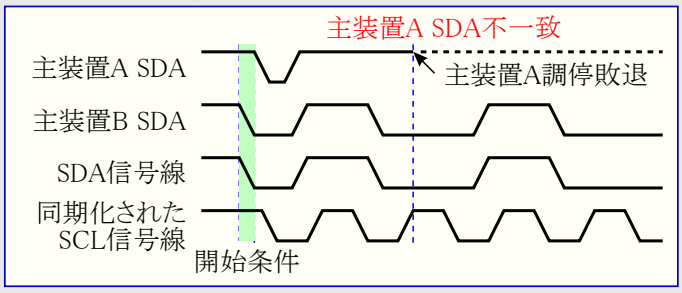


図27-8. 2つの主装置間での調停



調停が次の状態間で許されないことに注意してください。

- 再送開始条件とﾃﾞｰﾀ ﾋﾞｯﾄ間
- 停止条件とﾃﾞｰﾀ ﾋﾞｯﾄ間
- 再送開始条件と停止条件間

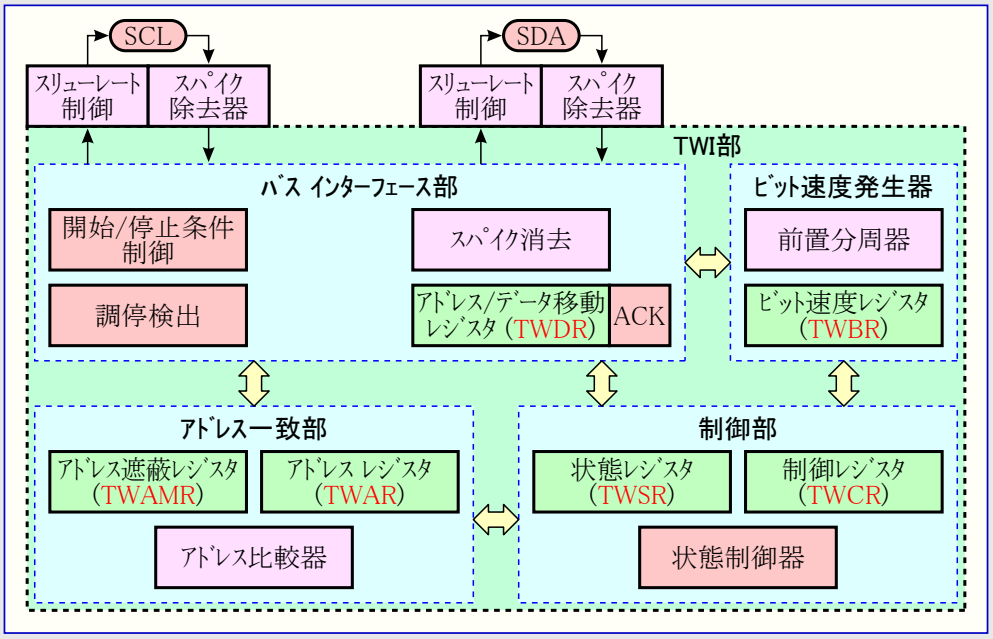
これらの違法な調停状態を決して起こさないように保証するのは使用者ｿﾌﾄｳｪｱの責任です。これは複数主装置ｼｽﾃﾑでの全てのﾃﾞｰﾀ転送は同じ構成、SLA+R/Wとﾃﾞｰﾀ ﾊﾟｹｯﾄを使わなければならないことを意味します。言葉を変えると、全ての送信は同じﾃﾞｰﾀ ﾊﾟｹｯﾄ数を含まなければならず、さもなければ調停の結果は不定にされます。

(訳補) 同じﾃﾞｰﾀ ﾊﾟｹｯﾄ数とは、或る主装置が最後まで調停を継続し、他の主装置がﾊﾟｹｯﾄを残している場合を想定しています。

27.5. TWI部の概要

図27-9.で示されるようにTWI部は様々な部分から成ります。赤文字で示された(訳注:原文は太線で描かれた)全てのﾚｼﾞｽﾀはAVRﾃﾞｰﾀ ﾊﾞｽを通してｱｸｾｽ可能です。

図27-9. 2線直列ｲﾝﾀｰﾌｪｰｽ構成



27.5.1. SCLとSDAﾋﾟﾝ

これらのﾋﾟﾝはAVR TWIをMCUｼｽﾃﾑのその他とｲﾝﾀｰﾌｪｰｽします。出力駆動部はTWI仕様に適合させるためのｽﾘｭｰﾚｰﾄ(上昇/下降)制限器を含みます。入力段は50nsよりも短いｽﾊﾟｲｸを除去するｽﾊﾟｲｸ消去部を含みます。

27.5.2. ﾋﾞｯﾄ速度発生器

この部分は主装置動作で動く時のSCL周期を制御します。SCL周期はTWIﾋﾞｯﾄ速度ﾚｼﾞｽﾀ(TWBR)とTWI状態ﾚｼﾞｽﾀ(TWSR)の前置分周器ﾋﾞｯﾄの設定によって制御されます。従装置動作はﾋﾞｯﾄ速度や前置分周器設定と関係ありませんが、従装置でのCPUｸﾛｯｸ周波数はSCL周波数よりも最低16倍高くなければなりません。従装置がSCLのLow期間を延長するかもしれず、これによって平均TWIﾊﾞｽ ｸﾛｯｸ周波数が減少することに注意してください。SCL周波数は次式に従って生成されます。

$$\text{SCL周波数} = \frac{\text{CPUｸﾛｯｸ周波数}}{16+2\times(\text{TWBR})\times\text{前置分周値}}$$

TWBR　　：TWI ﾋﾞｯﾄ速度ﾚｼﾞｽﾀ値
前置分周値　：TWI状態ﾚｼﾞｽﾀ内TWPSで指定(120頁の表27-7.参照)

注: TWIｸﾛｯｸはCPUに同期しています。

27.5.3. ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ部

この部分はﾃﾞｰﾀとｱﾄﾞﾚｽの移動ﾚｼﾞｽﾀ(TWDR)、開始条件/停止条件制御器、調停検出回路を含みます。TWDRは送信されるべきｱﾄﾞﾚｽまたはﾃﾞｰﾀ ﾊﾞｲﾄ、若しくは受信したｱﾄﾞﾚｽまたはﾃﾞｰﾀ ﾊﾞｲﾄを含みます。8ﾋﾞｯﾄのTWDRに加えてﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ部は送信されるべきまたは受信した(N)ACKﾋﾞｯﾄを含むﾚｼﾞｽﾀも含みます。この(N)ACKﾚｼﾞｽﾀは応用ｿﾌﾄｳｪｱによって直接的にｱｸｾｽできません。けれどもTWI制御ﾚｼﾞｽﾀ(TWCR)を操作することにより、受信時に設定(1)または解除(0)できます。送信装置動作時、受信した(N)ACKﾋﾞｯﾄの値はTWSRの値によって判定できます。

開始条件/停止条件制御器は開始条件、再送開始条件、停止条件の生成と検出に対して責任があります。開始条件/停止条件制御器はAVR MCUが主装置によってｱﾄﾞﾚｽ指定された場合にMCUを起動できる休止形態の1つの時でも、開始条件または停止条件を検出できます。

TWIが主装置として送信を始めると、調停検出ﾊｰﾄﾞｳｪｱは調停が進行中かを決めるために送信の試行を継続的に監視します。TWIが調停に敗れた場合、制御部に通知されます。その後に正しい処置が行われ、適切な状態符号が生成されます。

27.5.4. ｱﾄﾞﾚｽ一致部

ｱﾄﾞﾚｽ一致部は受信したｱﾄﾞﾚｽ ﾊﾞｲﾄがTWI ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)の7ﾋﾞｯﾄ ｱﾄﾞﾚｽと一致するかを検査します。TWARで一斉呼び出し検出許可(TWGCE)ﾋﾞｯﾄが1を書かれると、全ての到着ｱﾄﾞﾚｽ ﾋﾞｯﾄは一斉呼び出しｱﾄﾞﾚｽに対しても比較されます。ｱﾄﾞﾚｽ一致で制御部は通知され、正しい処置を行うことを許します。TWIはTWI制御ﾚｼﾞｽﾀ(TWCR)の設定によって、そのｱﾄﾞﾚｽへの応答をするかもしれないし、しないかもしれません。ｱﾄﾞﾚｽ一致部はAVR MCUが主装置によってｱﾄﾞﾚｽ指定された場合にMCUを起動できる休止形態の1つの時でも、ｱﾄﾞﾚｽを比較できます。

27.5.5. 制御部

制御部はTWIﾊﾞｽを監視し、TWI制御ﾚｼﾞｽﾀ(TWCR)の設定に従った応答を生成します。応用に注意を要求する事象がTWIﾊﾞｽで起こると、TWI割り込み要求ﾌﾗｸﾞ(TWINT)が有効にされます。次のｸﾛｯｸ周期で、TWI状態ﾚｼﾞｽﾀ(TWSR)は事象を示す状態符号で更新されます。TWI割り込み要求ﾌﾗｸﾞが有効にされる時にだけ、TWSRは適切な状態情報を含みます。他の全てのとき、TWSRは適切な状態情報が利用できないことを示す特別な状態符号を含みます。TWINTﾌﾗｸﾞが設定(1)されている限り、SCL信号線はLowに保たれます。これは続くTWI送信を許す前の(現状)処理完了を応用ｿﾌﾄｳｪｱに許します。

TWI割り込み要求ﾌﾗｸﾞ(TWINT)は次の場合に設定(1)されます。

- 開始条件または再送開始条件送信後
- SLA+R/W送信後
- ｱﾄﾞﾚｽ ﾊﾞｲﾄ送信後
- 調停に敗れた後
- 自身の従装置ｱﾄﾞﾚｽまたは一斉呼び出しによってｱﾄﾞﾚｽ指定された後
- ﾃﾞｰﾀ ﾊﾞｲﾄ受信後
- 従装置として未だｱﾄﾞﾚｽ指定されている間の停止条件または再送開始条件受信後
- 不正な開始条件または停止条件のためﾊﾞｽ異常が起きた時

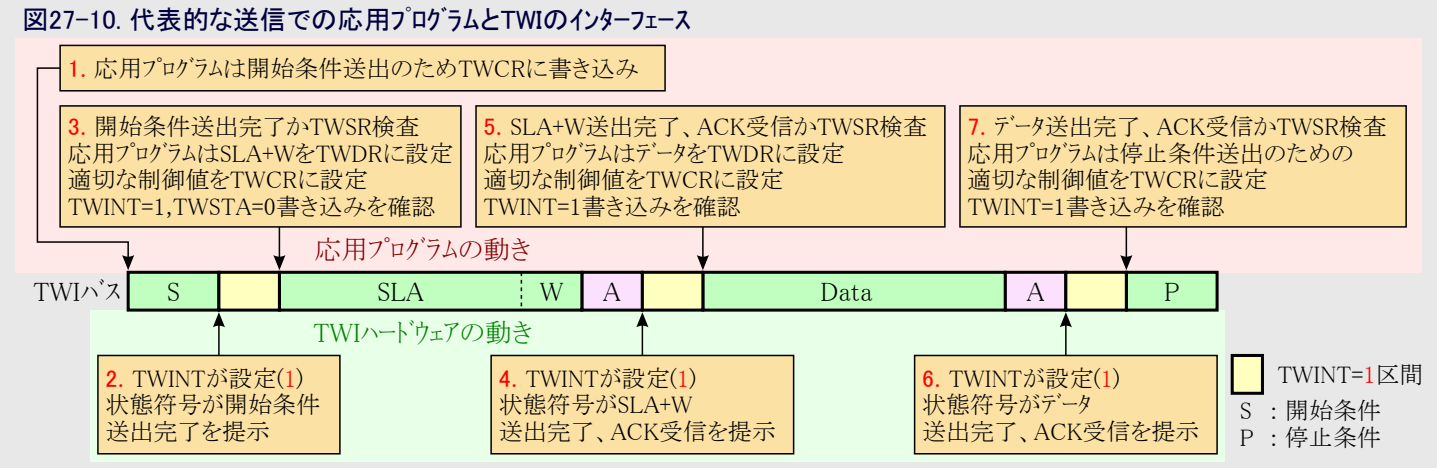
27.6. TWIの使用法

AVR TWIはﾊﾞｲﾄ志向で割り込みが基本です。割り込みはﾊﾞｲﾄの受信や開始条件の送出のような全てのﾊﾞｽの事象後に起こります。TWIは割り込みが基本のため、応用ｿﾌﾄｳｪｱはTWIﾊﾞｲﾄ転送中に他の操作を続行するために開放されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと共にTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み許可(TWIE)ﾋﾞｯﾄは、TWCRのTWI割り込み要求ﾌﾗｸﾞ(TWINT)の設定(1)が割り込み要求を発生すべきかどうか決めることを応用(ｿﾌﾄｳｪｱ)に許します。TWIEﾋﾞｯﾄが解除(0)されると、応用(ｿﾌﾄｳｪｱ)はTWIﾊﾞｽの動きを検知するためにTWINTﾌﾗｸﾞをﾎﾟｰﾘﾝｸﾞしなければなりません。

TWINTﾌﾗｸﾞが設定(1)されると、TWIは動作を終え、応用(ｿﾌﾄｳｪｱ)の応答を待ちます。この場合、TWI状態ﾚｼﾞｽﾀ(TWSR)はTWIﾊﾞｽの現在の状態を示す値を含みます。そして応用ｿﾌﾄｳｪｱはTWCRとTWDRの操作により、TWIが次のTWIﾊﾞｽ周期で何を行うべきかを決定できます。

図27-10.は応用(ｿﾌﾄｳｪｱ)がTWIﾊｰﾄﾞｳｪｱにどうｲﾝﾀｰﾌｪｰｽできるかの簡単な例です。この例では主装置が単一ﾃﾞｰﾀ ﾊﾞｲﾄを従装置に送信しようとします。この内容はかなり大雑把ですので、より詳細な説明が本項の後に続きます。希望した動きを実現する簡単なｺｰﾄﾞ例も示されます。

図27-10. 代表的な送信での応用ﾌﾟﾛｸﾞﾗﾑとTWIのｲﾝﾀｰﾌｪｰｽ



1. TWI送信の最初の段階は開始条件を送出することです。これはTWIﾊｰﾄﾞｳｪｱに開始条件送出を命じる特別な値をTWCR内に書くことによって行います。どんな値を書くかは後で記述されます。けれども、書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みは、このﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちに開始条件の送出を始めます。
2. 開始条件が送出されてしまうと、TWCRでTWINTﾌﾗｸﾞが設定(1)され、TWSRは開始条件が正常に送出されてしまったことを示す状態符号に更新されます。
3. 応用ｿﾌﾄｳｪｱは開始条件が正常に送信されたのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRがその他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)はTWDRにSLA+Wを設定しなければなりません。TWDRがｱﾄﾞﾚｽとﾃﾞｰﾀの両方に使われることを思い出してください。TWDRが希望したSLA+Wに設定されてしまった後、TWDRにあるSLA+Wの送信をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちにｱﾄﾞﾚｽ ﾊﾟｹｯﾄの送信を始めます。
4. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄが送信されてしまうと、TWCRでTWINTﾌﾗｸﾞが設定(1)され、TWSRはｱﾄﾞﾚｽ ﾊﾟｹｯﾄが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がﾊﾟｹｯﾄに応答したかどうかも反映します。
5. 応用ｿﾌﾄｳｪｱはｱﾄﾞﾚｽ ﾊﾟｹｯﾄが正常に送信され、期待されたACKﾋﾞｯﾄ値であるのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)はTWDRにﾃﾞｰﾀを設定しなければなりません。その後、TWDRにあるﾃﾞｰﾀ ﾊﾟｹｯﾄの送信をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちにﾃﾞｰﾀ ﾊﾟｹｯﾄの送信を始めます。
6. ﾃﾞｰﾀ ﾊﾟｹｯﾄが送信されてしまうと、TWCR内のTWINTﾌﾗｸﾞが設定(1)され、TWSRはﾃﾞｰﾀ ﾊﾟｹｯﾄが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がﾊﾟｹｯﾄに応答したかどうかも反映します。
7. 応用ｿﾌﾄｳｪｱはﾃﾞｰﾀ ﾊﾟｹｯﾄが正常に送信され、期待されたACKﾋﾞｯﾄの値であるのを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ｿﾌﾄｳｪｱは異常ﾙｰﾁﾝを呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用(ｿﾌﾄｳｪｱ)は停止条件の送出をTWIﾊｰﾄﾞｳｪｱへ命じる特別な値をTWCRに書かなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値でTWINTﾋﾞｯﾄが設定(1)されることが重要です。TWINTへの1書き込みがこのﾌﾗｸﾞを解除(0)します。TWCRでTWINTﾋﾞｯﾄが設定(1)されている限り、TWIはどんな動作も始めません。応用(ｿﾌﾄｳｪｱ)がTWINTを解除(0)した後、TWIは直ちに停止条件の送出を始めます。停止条件が送出されてしまった後にTWINTが設定(1)されないことに注意してください。

この例は簡単とはいえ、全てのTWI送信に関係した原理を示しています。これらは次のように要約できます。

- TWIが動作を終了して応用(ソフトウェア)の反応を予想する時にTWINTフラグが設定(1)されます。SCL信号線はTWINTが解除(0)されるまでLowに引き込まれます。
- TWINTフラグが設定(1)されると、使用者は次のTWIバス周期に関連した値で、(必要な)全てのTWIレジスタを更新しなければなりません。例で示されるようにTWDRは次のTWIバス周期で送信されるべき値を設定されなければなりません。
- (必要な)全てのTWIレジスタを更新し、その他保留中の応用ソフトウェアの処理が完了されてしまった後にTWCRが書かれます。TWCR書き込み時、TWINTビットが設定(1)されるべきです。TWINTへの1書き込みはこのフラグを解除(0)します。TWCR設定によってどの動作が指定されても、TWIはその(TWINT=0)後に実行を始めます。

次にアセンブリ言語とC言語の実装例が与えられます。以下のコードは例えばインクルードファイルの使用により、様々な定義が作成されてしまっている前提であることに注意してください。

	アセンブリ言語プログラム例	C言語プログラム例	注釈
1.	LDI R16, (1<<TWINT)|(1<<TWSTA) |(1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)|(1<<TWSTA) |(1<<TWEN);	;開始条件送出
2.	WAIT1: IN R16, TWCR SBRS R16, TWINT RJMP WAIT1	while (!(TWCR & (1<<TWINT)));	;TWINT=1まで待機 ;(開始条件送出完了待機)
3.	IN R16, TWSR ANDI R16, $F8 CPI R16, START BRNE ERROR	if ((TWSR & 0xF8) != START) ERROR();	;TWI状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;STARTと異なる状態符号で ;異常処理へ

	LDI R16, SLA_W
	OUT TWDR, R16
	LDI R16, (1<<TWINT)|(1<<TWEN)
	OUT TWCR, R16
		TWDR = SLA_W;
		
		TWCR = (1<<TWINT)|(1<<TWEN);
			;TWDRにSLA+W設定
			;アドレス送信開始のため
			;TWCRのTWINTを解除(0)

4.	WAIT2: IN R16, TWCR SBRS R16, TWINT RJMP WAIT2	while (!(TWCR & (1<<TWINT)));	;TWINT=1まで待機 ;(SLA+W送出完了と ;ACK/NACK受信完了待機)
5.	IN R16, TWSR ANDI R16, $F8 CPI R16, MT_SLA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_SLA_ACK) ERROR();	;TWI状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;MT_SLA_ACKと違う状態符号で ;異常処理へ

	LDI R16, DATA
	OUT TWDR, R16
	LDI R16, (1<<TWINT)|(1<<TWEN)
	OUT TWCR, R16
		TWDR = DATA;
		
		TWCR = (1<<TWINT)|(1<<TWEN);
			;TWDRにデータ設定
			;データ送信開始のため
			;TWCRのTWINTを解除(0)

6.	WAIT3: IN R16, TWCR SBRS R16, TWINT RJMP WAIT3	while (!(TWCR & (1<<TWINT)));	;TWINT=1まで待機 ;(データ送出完了と ;ACK/NACK受信完了待機)
7.	IN R16, TWSR ANDI R16, $F8 CPI R16, MT_DATA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_DATA_ACK) ERROR();	;TWI状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;MT_DATA_ACKと違う状態符号で ;異常処理へ
	LDI R16, (1<<TWINT)|(1<<TWSTO) |(1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)|(1<<TWSTO) |(1<<TWEN);	;停止条件送出

注: 5頁の「コード例について」をご覧ください。

27.7. 転送種別

TWIは4つの主な動作種別の1つで動けます。これらは送信主装置(MT)、受信主装置(MR)、送信従装置(ST)、受信従装置(SR)と名付けられます。これら種別の多くは同じ応用に使えます。例えば、TWI方式のEEPROM内にﾃﾞｰﾀを書くのにTWIはMT動作を、EEPROMからﾃﾞｰﾀを読み戻すのにMR動作を使えます。ｼｽﾃﾑ内に他の主装置が存在する場合、それらのいくつかがTWIにﾃﾞｰﾀを送信するかもしれず、するとSR動作が使われるでしょう。どの動作種別が適正かを決めるのは応用ｿﾌﾄｳｪｱです。

次項はこれら動作種別の各々を記述します。起こり得る状態符号は各動作種別のﾃﾞｰﾀ伝送詳細図に沿って示されます。これらの図は次の略号を含みます。

S	開始(START)条件
Rs	再送開始(REPEATED START)条件
R	読み出し指定ﾋﾞｯﾄ (SDA=High)
W	書き込み指定ﾋﾞｯﾄ (SDA=Low)
A	確認応答(ACK)ﾋﾞｯﾄ (SDA=Low)
$\overline{A}$	非確認応答(NACK)ﾋﾞｯﾄ (SDA=High)
Data	8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｲﾄ
P	停止(STOP)条件
SLA	従装置ｱﾄﾞﾚｽ

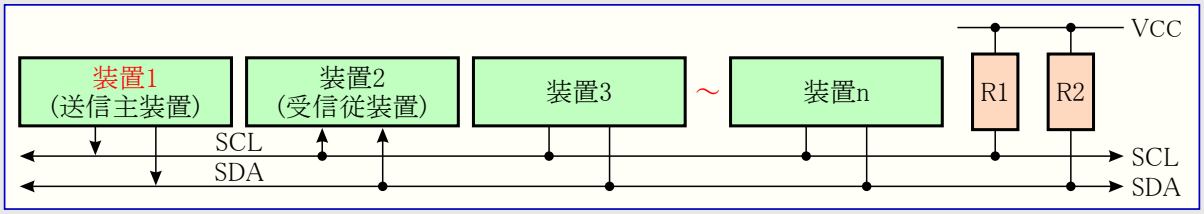
図27-12.～18.内の楕円(**訳注**:原文は円)はTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み要求ﾌﾗｸﾞ(TWINT)が設定(1)されたことを示すのに使われます。この楕円内の番号は前置分周選択ﾋﾞｯﾄが0で遮蔽されたTWI状態ﾚｼﾞｽﾀ(TWSR)に保持した状態符号を表します。これら位置での動きはTWI転送の継続または完了が応用(ｿﾌﾄｳｪｱ)によって行われなければなりません。TWI転送はｿﾌﾄｳｪｱによってTWINTﾌﾗｸﾞが解除(0)されるまで一時停止されます。

TWI割り込み要求ﾌﾗｸﾞ(TWINT)が設定(1)される時のTWI状態ﾚｼﾞｽﾀ(TWSR)の状態符号は適切なｿﾌﾄｳｪｱ動作を決めるのに使われます。各状態符号に対する必要なｿﾌﾄｳｪｱ動作や後続の直列転送の詳細は表27-2.～5.で与えられます。これらの表に於いて前置分周選択ﾋﾞｯﾄが0で遮蔽されていることに注意してください。

27.7.1. 送信主装置動作

送信主装置動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが受信従装置へ送信されます(図27-11.参照)。主装置動作へ移行するには開始条件が送出されなければなりません。それに続くｱﾄﾞﾚｽ ﾊﾟｹｯﾄの形式が送信主装置または受信主装置のどちらへ移行すべきかを決めます。SLA+Wが送信されると送信主装置(MT)へ移行し、SLA+Rが送信されると受信主装置(MR)へ移行します。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図27-11. 送信主装置動作でのﾃﾞｰﾀ転送



開始条件はTWCRに次の値を書くことによって送出されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

TWENは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために設定(1)されなければなりません。TWSTAは開始条件を送出するために1を書かれねばならず、TWINTはTWINTﾌﾗｸﾞを解除(0)するために1を書かれなければなりません。そしてTWIは2線直列ﾊﾞｽを検査し、ﾊﾞｽが開放になると直ぐに開始条件を生成します。開始条件が送出されてしまった後、TWINTﾌﾗｸﾞがﾊｰﾄﾞｳｪｱによって設定(1)され、TWSRの状態符号が$08(表27-2.参照)になります。送信主装置へ移行するにはSLA+Wが送信されなければなりません。これはTWDRにSLA+Wを書くことによって行います。その後、転送を継続するためにTWINTﾋﾞｯﾄは(1の書き込みによって)解除(0)されるべきです。これはTWCRに次の値を書くことによって成し遂げられます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	0	X	1	0	X

SLA+Wが送信されて応答ﾋﾞｯﾄが受信されてしまうと、TWINTが再び設定(1)され、TWSRの状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は$18,$20,$38です。これら状態符号の各々に対する適切な動作は表27-2.で詳述されます。

SLA+Wが正常に送信されてしまうと、ﾃﾞｰﾀ ﾊﾟｹｯﾄが送信されるべきです。これはTWDRにﾃﾞｰﾀ ﾊﾞｲﾄを書くことによって行われます。TWDRはTWINTが1の時にだけ書かれなければなりません。さもなければ、そのｱｸｾｽは破棄され、TWCRで上書き発生(TWWC)ﾌﾗｸﾞが設定(1)されます。TWDR更新後、転送を継続するためにTWINTﾋﾞｯﾄは(1の書き込みによって)解除(0)されるべきです。これはTWCRに次の値を書くことによって成し遂げられます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	0	X	1	0	X

最後のﾊﾞｲﾄが送られてしまうまでこの手順が繰り返され、この転送は停止条件または再送開始条件を生成することによって終了されます。停止条件はTWCRに次の値を書くことによって生成されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	1	X	1	0	X

再送開始条件はTWCRに次の値を書くことによって生成されます。

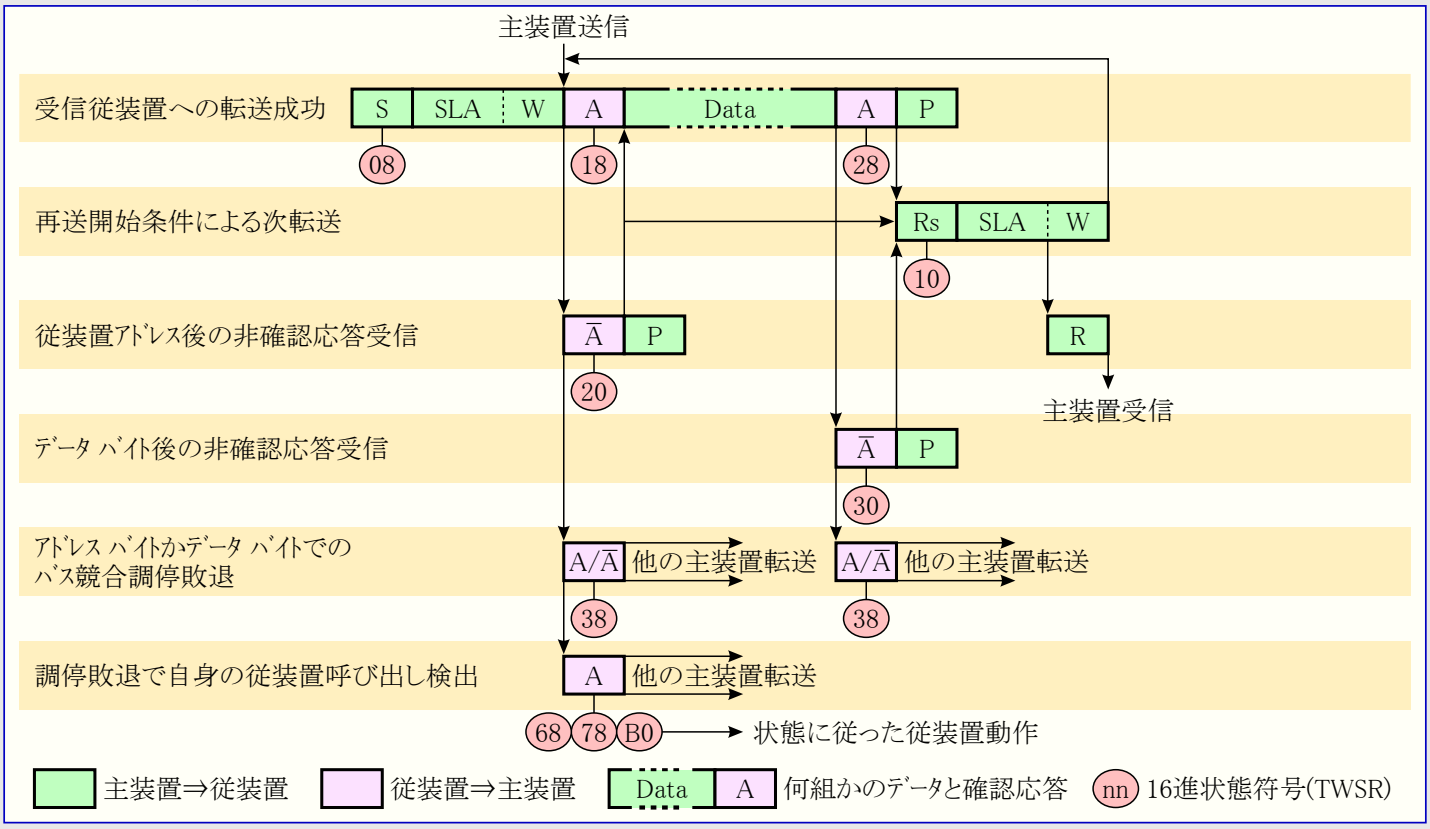
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

再送開始条件(状態符号$10)後、2線直列ｲﾝﾀｰﾌｪｰｽは停止条件を送出せずに再び同じ従装置または新しい従装置にｱｸｾｽできます。再送開始条件は主装置がﾊﾞｽの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします(**訳注**:原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表27-2. 送信主装置動作の状態符号（注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提）

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの対応					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$08	開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
$10	再送開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
		SLA+R設定	0	0	1	X	SLA+R送信、受信主装置動作へ移行
$18	SLA+W送信 ACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$20	SLA+W送信 NACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$28	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 ACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$30	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 NACK受信	ﾃﾞｰﾀ設定	0	0	1	X	ﾃﾞｰﾀ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$38	SLA+W, ﾃﾞｰﾀ ﾊﾞｲﾄでﾊﾞｽ競合調停敗退	なし	0	0	1	X	ﾊﾞｽ開放、未指定従装置動作へ移行
			1	0	1	X	ﾊﾞｽ開放時に開始条件送信

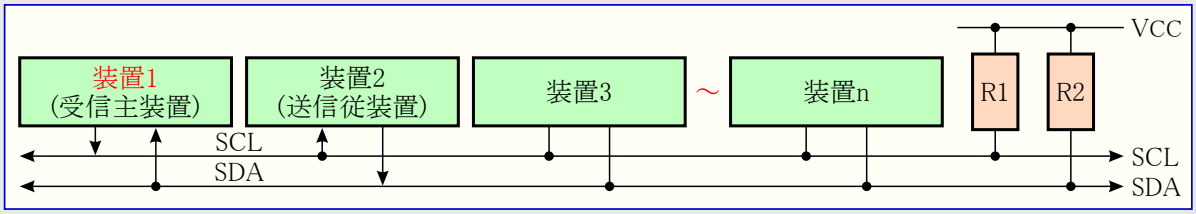
図27-12. 送信主装置動作の形式と状態



27.7.2. 受信主装置動作

受信主装置動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが送信従装置から受信されます(**図27-13.**参照)。主装置動作へ移行するには開始条件が送出されなければなりません。それに続くｱﾄﾞﾚｽ ﾊﾟｹｯﾄの形式が送信主装置または受信主装置のどちらへ移行すべきかを決めます。SLA+Wが送信されると送信主装置(MT)へ移行し、SLA+Rが送信されると受信主装置(MR)へ移行します。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図27-13. 受信主装置動作でのﾃﾞｰﾀ転送



開始条件はTWCRに次の値を書くことによって送出されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

TWENは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために設定(1)されなければなりません。TWSTAは開始条件を送出するために1を書かれねばならず、TWINTはTWINTﾌﾗｸﾞを解除(0)するために1を書かれなければなりません。そしてTWIは2線直列ﾊﾞｽを検査し、ﾊﾞｽが開放になると直ぐに開始条件を生成します。開始条件が送出されてしまった後、TWINTﾌﾗｸﾞがﾊｰﾄﾞｳｪｱによって設定(1)され、TWSRの状態符号が$08(**表27-3.**参照)になります。受信主装置へ移行するにはSLA+Rが送信されなければなりません。これはTWDRにSLA+Rを書くことによって行います。その後、転送を継続するためにTWINTﾋﾞｯﾄは(1の書き込みによって)解除(0)されるべきです。これはTWCRに次の値を書くことによって成し遂げられます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	0	X	1	0	X

SLA+Rが送信されて応答ﾋﾞｯﾄが受信されてしまうと、TWINTが再び設定(1)され、TWSRの状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は$38,$40,$48です。これら状態符号の各々に対する適切な動作は**表27-3.**で詳述されます。

ﾊｰﾄﾞｳｪｱによってTWINTﾌﾗｸﾞが設定(1)されると、受信したﾃﾞｰﾀがTWDRから読めます。この手順は最後のﾊﾞｲﾄが受信されてしまうまで繰り返されます。最後のﾊﾞｲﾄが受信されてしまった後、受信主装置は最後に受信したﾃﾞｰﾀ ﾊﾞｲﾄ後のNACK送信によって送信従装置へ通知すべきです。この転送は停止条件または再送開始条件を生成することによって終了されます。停止条件はTWCRに次の値を書くことによって生成されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	1	X	1	0	X

再送開始条件はTWCRに次の値を書くことによって生成されます。

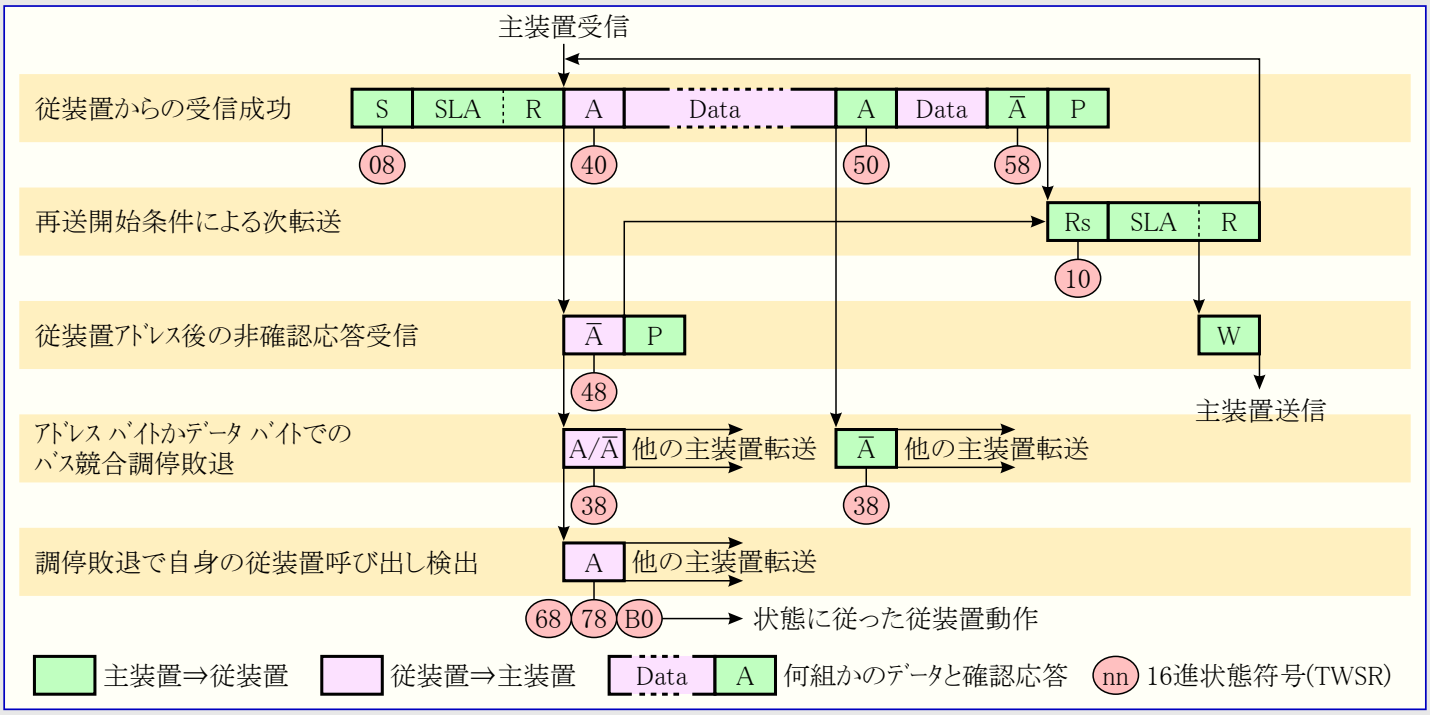
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

再送開始条件(状態符号$10)後、2線直列ｲﾝﾀｰﾌｪｰｽは停止条件を送出せずに再び同じ従装置または新しい従装置にｱｸｾｽできます。再送開始条件は主装置がﾊﾞｽの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします(**訳注**:原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表27-3. 受信主装置動作の状態符号（注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提）

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの対応					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$08	開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
$10	再送開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
		SLA+W設定	0	0	1	X	SLA+W送信、送信主装置動作へ移行
$38	SLA+Rで調停敗退またはNACK受信	なし	0	0	1	X	ﾊﾞｽ開放、未指定従装置動作へ移行
			1	0	1	X	ﾊﾞｽ開放時に開始条件送信
$40	SLA+R送信 ACK受信	なし	0	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			0	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$48	SLA+R送信 NACK受信	なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
$50	ﾃﾞｰﾀ ﾊﾞｲﾄ受信 ACK応答	ﾃﾞｰﾀ取得	0	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			0	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$58	ﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0

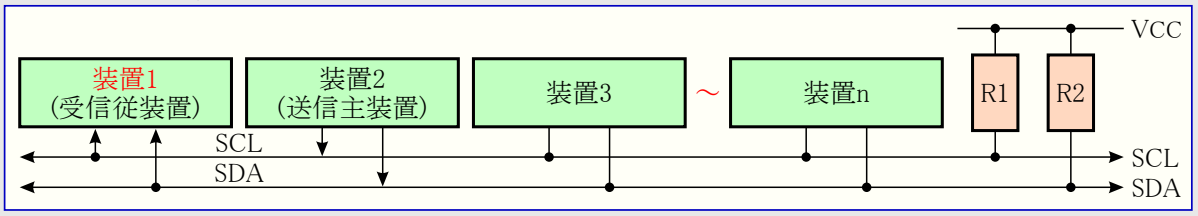
図27-14. 受信主装置動作の形式と状態



27.7.3. 受信従装置動作

受信従装置動作では何バイトかのデータが送信主装置から受信されます(図27-15.参照)。本項で言及する全ての状態符号は前置分周選択ビットが0か、または0で遮蔽されることが前提です。

図27-15. 受信従装置動作でのデータ転送



受信従装置動作を始めるにはTWARとTWCRが次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身の従装置アドレス							1/0

上位7ビットは主装置によってアドレス指定される時に2線直列インターフェースが応答するアドレスです。最下位(TWGCE)ビットが設定(1)されるなら、TWIは一斉呼び出し($00)に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	0	1	0	0	0	1	0	X

TWENは2線直列インターフェース(TWI)を許可するために1を書かれなければなりません。TWEAは装置自身の従装置アドレスまたは一斉呼び出しアドレスの確認応答(ACK)を許可するために1を書かれなければなりません。TWSTAとTWSTOは0を書かれなければなりません。

TWARとTWCRが初期化されてしまうと、TWIは自身の従装置アドレス(または許可なら、一斉呼び出しアドレス)とそれに続くデータ方向ビットによってアドレス指定されるまで待機します。方向ビットが0(W)ならばTWIは受信従装置で動作し、さもなく(1(R)なら)ば送信従装置へ移行されます。自身の従装置アドレスとWビットが受信されてしまった後にTWINTフラグが設定(1)され、TWSRから有効な状態符号が読めます。この状態符号は適切なソフトウェア動作を決めるのに使われます。各状態符号に対して行うべき適切な動作は表27-4.で詳述されます。受信従装置動作はTWIが主装置動作の間で調停に敗れた場合にも移行されるかもしれません。(状態符号$68,$78参照)

転送中にTWEAビットがリセット(0)されると、TWIは次に受信したデータ バイト後のSDAに非確認応答(NACK)(SDA=High)を返します。これは従装置がこれ以上受信できないことを示すのに使えます。TWEAが0の間中、TWIは自身の従装置アドレスに応答しませんが、2線直列バスは未だ監視され、アドレス認証はTWEAの設定(1)によって何時でも再開できます。これはTWEAビットがTWIを2線直列バスから一時的に隔離するのに使えることを意味します。

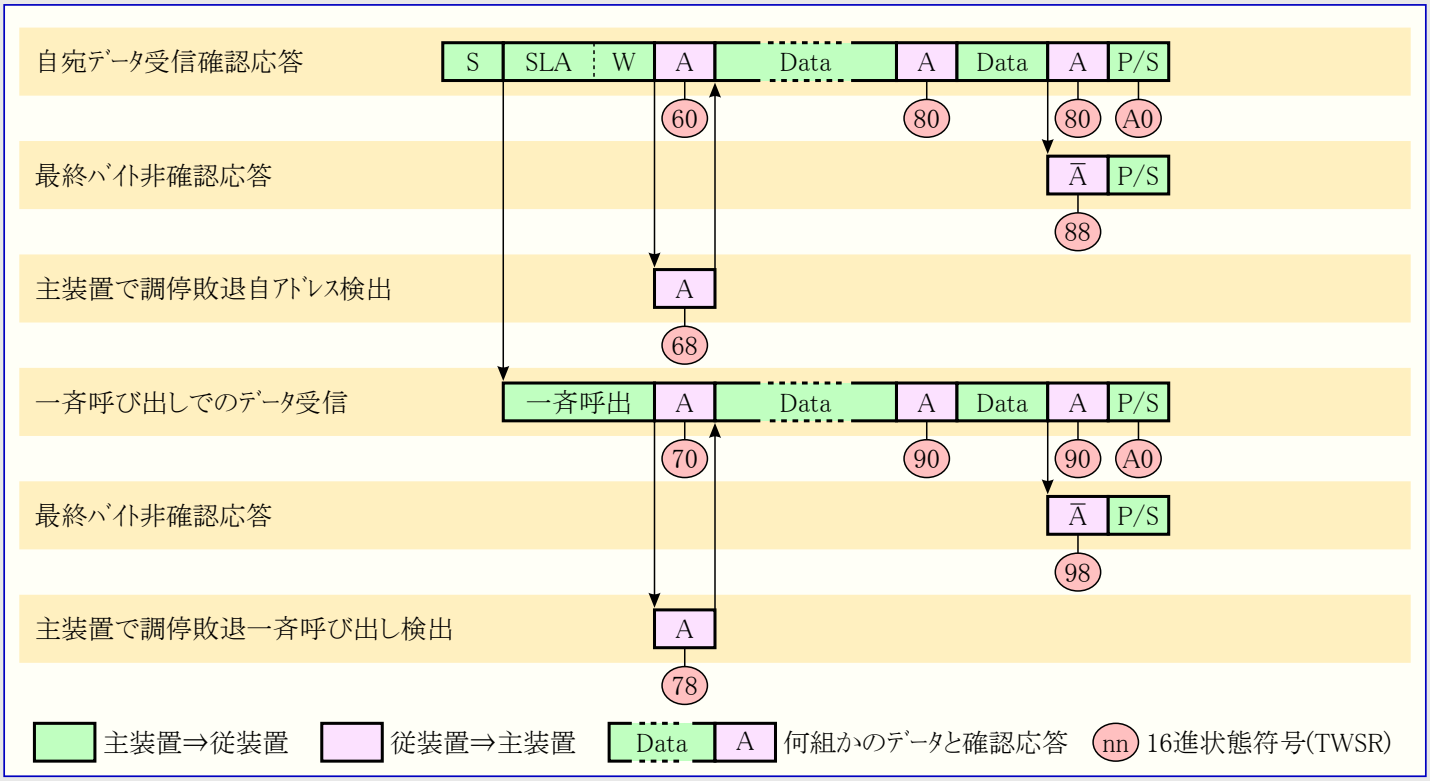
アイドル動作を除く休止形態ではTWIへのクロック系がOFFにされます。TWEAビットが設定(1)されていると、このインターフェースはクロック元として2線直列バス クロック(SCL)を使うことにより、自身の従装置アドレスと一斉呼び出しに未だ確認応答できます。その後デバイスが休止形態から起動し、TWIは起動中からTWINTフラグが(1書き込みによって)解除(0)されるまでSCLクロックをLowに保ちます。その後のデータ受信はAVRクロックが通常通り走行することで通常通りに行われます。AVRが長い起動時間に設定されていると、SCL信号線が長時間Lowに保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

これらの(アイドル動作を除く)休止形態から起動すると、2線直列インターフェース データ レジスタ(TWDR)がバスで渡す最後のバイトを反映しないことに注意してください。

表27-4. 受信従装置動作の状態符号（注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提）

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$60	自宛SLA+W受信 ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$68	主装置のSLA+R/Wで調停敗退/自宛SLA+W受信/ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$70	一斉呼び出し受信 ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$78	主装置のSLA+R/Wで調停敗退/一斉呼び出し受信/ACK応答	なし	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$80	自宛ﾃﾞｰﾀ ﾊﾞｲﾄ受信 ACK応答	ﾃﾞｰﾀ取得	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$88	自宛ﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$90	一斉呼び出しのﾃﾞｰﾀ ﾊﾞｲﾄ受信/ACK応答	ﾃﾞｰﾀ取得	X	0	1	0	ﾃﾞｰﾀ受信、NACK応答
			X	0	1	1	ﾃﾞｰﾀ受信、ACK応答
$98	一斉呼び出しのﾃﾞｰﾀ ﾊﾞｲﾄ受信 NACK応答	ﾃﾞｰﾀ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$A0	自指定中の停止条件または再送開始条件検出	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信

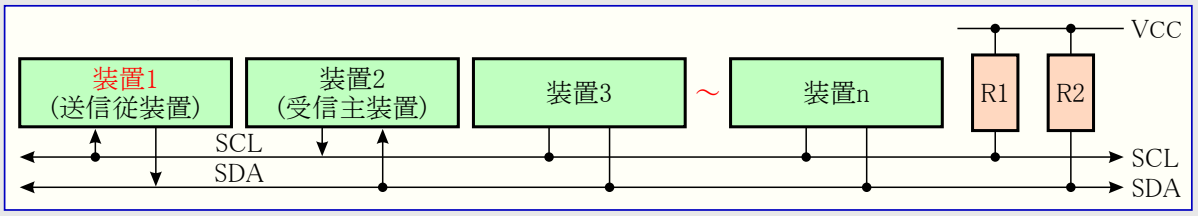
図27-16. 受信従装置動作の形式と状態



27.7.4. 送信従装置動作

送信従装置動作では何ﾊﾞｲﾄかのﾃﾞｰﾀが送信主装置へ送信されます(図27-17.参照)。本項で言及する全ての状態符号は前置分周選択ﾋﾞｯﾄが0か、または0で遮蔽されることが前提です。

図27-17. 送信従装置動作でのﾃﾞｰﾀ転送



送信従装置動作を始めるにはTWARとTWCRが次のように初期化されなければなりません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身の従装置ｱﾄﾞﾚｽ							1/0

上位7ﾋﾞｯﾄは主装置によってｱﾄﾞﾚｽ指定される時に2線直列ｲﾝﾀｰﾌｪｰｽが応答するｱﾄﾞﾚｽです。最下位(TWGCE)ﾋﾞｯﾄが設定(1)されるなら、TWIは一斉呼び出し($00)に応答し、さもなければ一斉呼び出しｱﾄﾞﾚｽを無視します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	0	1	0	0	0	1	0	X

TWENは2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)を許可するために1を書かれなければなりません。TWEAは装置自身の従装置ｱﾄﾞﾚｽまたは一斉呼び出しｱﾄﾞﾚｽの確認応答(ACK)を許可するために1を書かれなければなりません。TWSTAとTWSTOは0を書かれなければなりません。

TWARとTWCRが初期化されてしまうと、TWIは自身の従装置ｱﾄﾞﾚｽ(または許可ならば一斉呼び出しｱﾄﾞﾚｽ)とそれに続くﾃﾞｰﾀ方向ﾋﾞｯﾄによってｱﾄﾞﾚｽ指定されるまで待機します。方向ﾋﾞｯﾄが1(R)ならばTWIは送信従装置で動作し、さもなくば(0(W)ならば)受信従装置へ移行されます。自身の従装置ｱﾄﾞﾚｽとRﾋﾞｯﾄが受信されてしまった後、TWINTﾌﾗｸﾞが設定(1)され、TWSRから有効な状態符号が読めます。この状態符号は適切なｿﾌﾄｳｪｱ動作を決めるのに使われます。各状態符号に対して行うべき適切な動作は表27-5.で詳述されます。送信従装置動作はTWIが主装置動作の間で調停に敗れた場合にも移行されるかもしれません。(状態符号$B0参照)

転送中にTWEAﾋﾞｯﾄが0を書かれると、TWIは転送の最後のﾊﾞｲﾄを送信します。受信主装置が最終ﾊﾞｲﾄ後にACKまたはNACKのどちらを送信するかによって状態$C0か$C8へ移行します。TWIはｱﾄﾞﾚｽ指定されていない従装置動作に切り替えられ、主装置が転送を続ける場合、その主装置を無視します。従って受信主装置は直列ﾃﾞｰﾀとして全て1を受信します。従装置が最後のﾊﾞｲﾄを送信(TWEAが0で主装置からのNACKを予測)したとしても、主装置が(ACK送信によって)追加ﾃﾞｰﾀ ﾊﾞｲﾄを要求すると状態$C8へ移行します。

TWEAが0の間中、TWIは自身の従装置ｱﾄﾞﾚｽに応答しませんが、2線直列ﾊﾞｽは未だ監視され、ｱﾄﾞﾚｽ認証はTWEAの設定(1)によって何時でも再開できます。これはTWEAﾋﾞｯﾄがTWIを2線直列ﾊﾞｽから一時的に隔離するのに使えることを意味します。

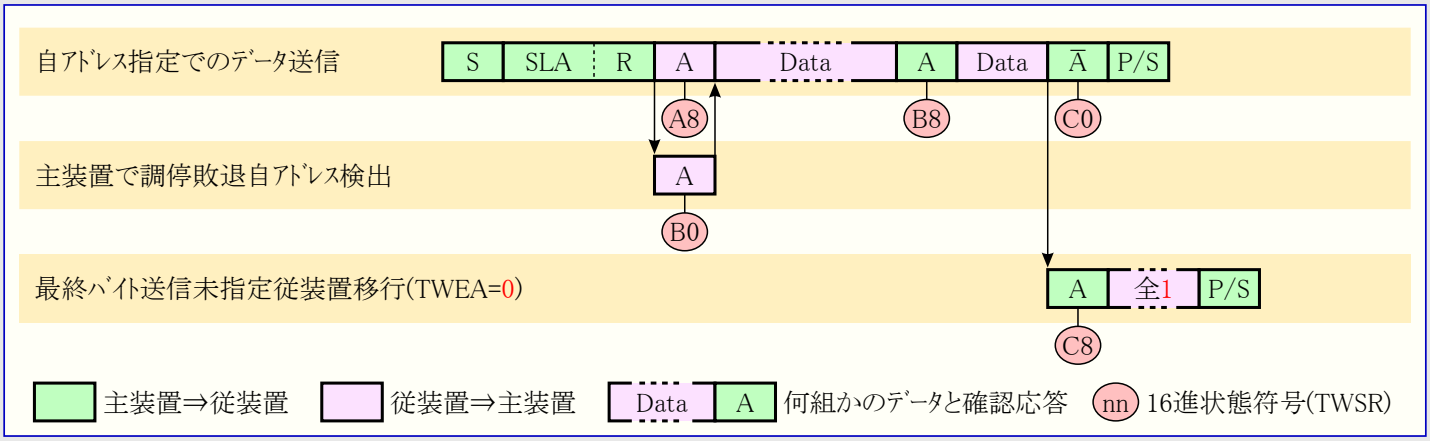
ｱｲﾄﾞﾙ動作を除く休止形態ではTWIへのｸﾛｯｸ系がOFFにされます。TWEAﾋﾞｯﾄが設定(1)されていると、このｲﾝﾀｰﾌｪｰｽはｸﾛｯｸ元として2線直列ﾊﾞｽ ｸﾛｯｸ(SCL)を使うことにより、自身の従装置ｱﾄﾞﾚｽと一斉呼び出しに未だ確認応答できます。その後ﾃﾞﾊﾞｲｽが休止形態から起動し、TWIは起動中からTWINTﾌﾗｸﾞが(1書き込みによって)解除(0)されるまでSCLｸﾛｯｸをLowに保ちます。その後のﾃﾞｰﾀ受信はAVRｸﾛｯｸが通常通り走行することで通常通りに行われます。AVRが長い起動時間に設定されていると、SCL信号線が長時間Lowに保持され、他のﾃﾞｰﾀ送信を阻止するかもしれないことに気付いてください。

これらの(ｱｲﾄﾞﾙ動作を除く)休止形態から起動すると、2線直列ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)がﾊﾞｽで渡す最後のﾊﾞｲﾄを反映しないことに注意してください。

表27-5. 送信従装置動作の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$A8	自宛SLA+R受信 ACK応答	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$B0	主装置のSLA+R/Wで調停敗退/自宛SLA+R受信/ACK応答	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$B8	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 ACK受信	ﾃﾞｰﾀ設定	X	0	1	0	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信、NACK受信予定
			X	0	1	1	ﾃﾞｰﾀ ﾊﾞｲﾄ送信、ACK受信予定
$C0	ﾃﾞｰﾀ ﾊﾞｲﾄ送信 NACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信
$C8	最終ﾃﾞｰﾀ ﾊﾞｲﾄ送信 (TWEA=0) ACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ﾊﾞｽ開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ﾊﾞｽ開放で開始条件送信

図27-18. 送信従装置動作の形式と状態



27.7.5. その他の状態

定義したTWI状態に従わない2つの状態符号があります。表27-6.をご覧ください。

状態$F8はTWI割り込み要求ﾌﾗｸﾞ(TWINT)が設定(1)されないので適切な情報が利用できないことを示します。これは他の状態間でTWIが直列転送に関係しない時に起きます。

状態$00は2線直列ﾊﾞｽ転送中にﾊﾞｽ異常が起きたことを示します。ﾊﾞｽ異常はﾌﾚｰﾑ形式の不正な位置で開始(START)条件または停止(STOP)条件が起きる時に発生します。このような不正位置の例はｱﾄﾞﾚｽ ﾊﾞｲﾄ、ﾃﾞｰﾀ ﾊﾞｲﾄ、確認応答(ACK)ﾋﾞｯﾄの直列転送中です。ﾊﾞｽ異常が起きるとTWINTが設定(1)されます。ﾊﾞｽ異常から回復するには、停止(STOP)条件生成許可(TWSTO)ﾋﾞｯﾄが設定(1)され、TWINTが論理1書き込みによって解除(0)されなければなりません。これはTWIをｱﾄﾞﾚｽ指定されていない従装置動作にさせ、TWSTOﾋﾞｯﾄを解除(0)させます(TWCRの他のﾋﾞｯﾄは影響されません)。SDAとSCL信号進は開放され、停止条件は送出されません。

表27-6. その他の状態符号 (注: TWSRの前置分周選択ﾋﾞｯﾄは0の前提)

状態符号 (TWSR)	直前の動作とﾊﾞｽの状態	ｿﾌﾄｳｪｱの応答					TWCR設定によるﾊｰﾄﾞｳｪｱ動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
$F8	適切な状態情報なし TWINT=0	なし	–	–	–	–	待機または現在の転送続行
$00	不正な開始条件/停止条件でのﾊﾞｽ異常	なし	0	1	1	X	停止条件を送出せずにﾊﾞｽを開放 TWSTO=0

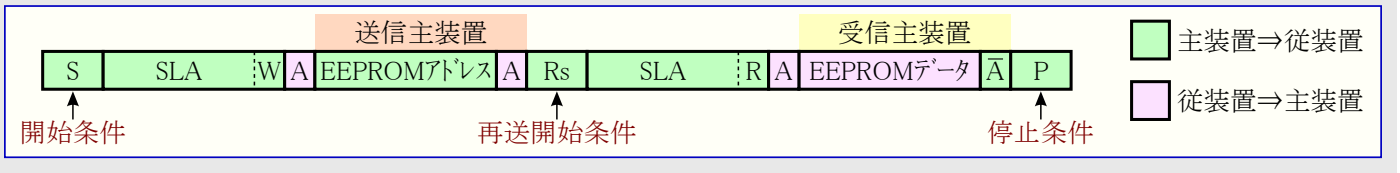
27.7.6. 各種TWI動作種別の組み合わせ

いくつかの場合で望んだ動作を満たすために各々のTWI動作種別は組み合わされなければなりません。例えば直列EEPROMからのﾃﾞｰﾀ読み出しを考えてください。一般的にこのような転送は次の段階を含みます。

1. 転送が開始されなければなりません。
2. EEPROMは読み出すべき場所を指示されなければなりません。
3. 読み出しが実行されなければなりません。
4. 転送が終了されなければなりません。

ﾃﾞｰﾀが主装置から従装置へとその逆の両方向へ転送されることに注意してください。主装置はどの場所を読みたいかを従装置に指示しなければならず、送信主装置動作の使用を必要とします。その後にﾃﾞｰﾀを従装置から読まねばならず、受信主装置動作の使用を意味します。従って転送方向が切り替えられなければなりません。主装置はこれら全ての段階中にﾊﾞｽの制御を保持しなければならず、この手順は排他的(非分断)操作として行われるべきです。複数主装置ｼｽﾃﾑでこの原則に違反すると、他の主装置が②と③段階間でEEPROM内のﾃﾞｰﾀ ﾎﾟｲﾝﾀを変更するかもしれず、(元の)主装置は不正なﾃﾞｰﾀ位置を読むでしょう。このような転送方向の切り替えはｱﾄﾞﾚｽ ﾊﾞｲﾄの送信とﾃﾞｰﾀの受信間で再送開始条件を送出することによって成し遂げられます。再送開始条件後も主装置はﾊﾞｽの占有権を保持します。次の図はこの転送の流れを示します。

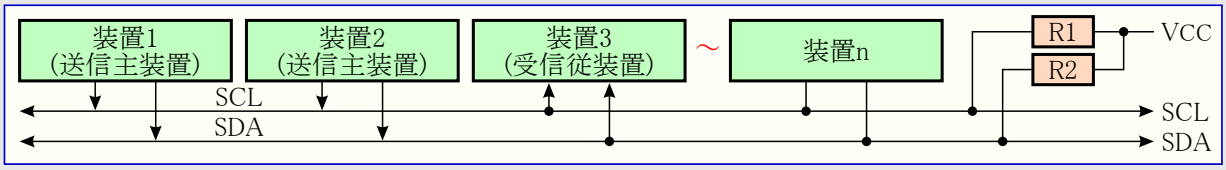
図27-19. 直列EEPROMｱｸｾｽでの各種TWI動作種別の組み合わせ



27.8. 複数主装置ｼｽﾃﾑでのﾊﾞｽ競合と調停

複数の主装置が同じﾊﾞｽに接続されると、それらの1つまたはそれ以上によって同時に送信が開始されるかもしれません。TWIは主装置の1つが転送を続けることを許され、手順内でﾃﾞｰﾀが失われないような方法でこのような状態が扱われることを標準で保証します。2つの主装置が受信従装置へﾃﾞｰﾀを送信することを試みる場合の調停状況の例は以下で図示されます。

図27-20. ﾊﾞｽの競合調停例

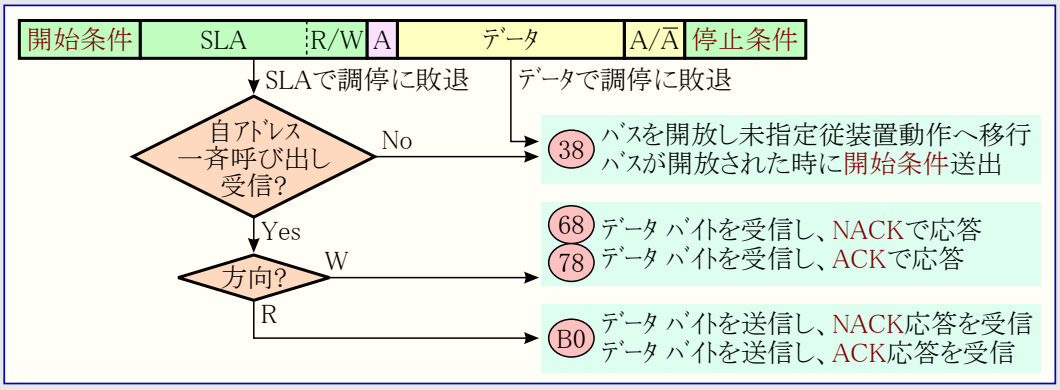


以下で示されるように様々な異なる状況が調停中に起こるかもしれません。

- 複数の主装置が同じ従装置に全く同じ通信を実行する場合。この場合、主/従装置のどれもがﾊﾞｽの衝突について知りません。
- 複数の主装置が異なるﾃﾞｰﾀまたは方向ﾋﾞｯﾄ(R/W)で同じ従装置をｱｸｾｽする場合。この場合、R/Wﾋﾞｯﾄまたはﾃﾞｰﾀ ﾋﾞｯﾄのどちらかで調停が起きます。他の主装置がSDAに0を出力する間に1を出力しようとする主装置が調停に敗れます。敗れた主装置は応用ｿﾌﾄｳｪｱの処置によって未指定従装置動作に切り替えるか、またはﾊﾞｽが開放になるまで待って新規開始条件を送出します。
- 複数の主装置が異なる従装置をｱｸｾｽする場合。この場合、SLAﾋﾞｯﾄ内で調停が起きます。他の主装置がSDAに0を出力する間に1を出力しようとする主装置が調停に敗れます。SLA内で調停に敗れた主装置は勝った主装置によってｱﾄﾞﾚｽ指定されるかを検査するために従装置動作へ切り替えます。ｱﾄﾞﾚｽ指定されると、R/Wﾋﾞｯﾄの値によって受信従装置(SR)動作または送信従装置(ST)動作へ切り替えます。ｱﾄﾞﾚｽ指定されないなら、応用ｿﾌﾄｳｪｱの処置によって未指定従装置動作に切り替えるか、またはﾊﾞｽが開放になるまで待って新規開始条件を送出します。

これは図27-21.で要約されます。利用可能な状態符号は楕円(訳注:原文は円)で与えられます。

図27-21. ﾊﾞｽの競合調停によって発生する利用可能な状態符号



27.9. 2線直列ｲﾝﾀｰﾌｪｰｽ用ﾊﾞｽ接続/切断

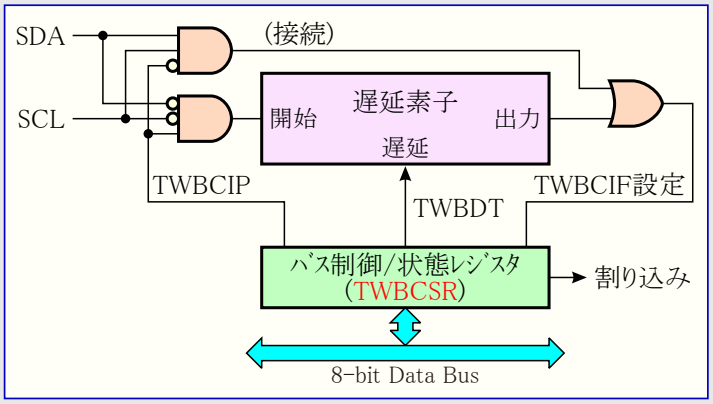
ﾊﾞｽ接続/切断部は2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)への追加です。設定ﾋﾞｯﾄを基にTWIﾊﾞｽの接続と切断のどちらでも割り込みが生成できます。

図27-22.はSDAとSCLが各々TWIのﾃﾞｰﾀとｸﾛｯｸであるﾊﾞｽ接続/切断論理を描きます。

TWIﾊﾞｽが接続されると、SDAとSCLは同時に両方共Highになります。接続/切断割り込み極性(TWBCIP)ﾋﾞｯﾄが解除(0)されている場合、割り込みが許可されていたなら、割り込みが実行されます。一旦ﾊﾞｽが接続されたなら、TWBCIPﾋﾞｯﾄが設定(1)されるべきです。これはﾊﾞｽが切断される時の検出を可能にし、SDAとSCLの両方がHigh(換言するとﾊﾞｽ ｱｲﾄﾞﾙ状態)毎の繰り返しの割り込みを防ぎます。

TWIﾊﾞｽが切断されると、SDAとSCLは同時に両方共Lowになります。TWBCIPﾋﾞｯﾄが設定(1)されている場合、両信号線が設定可能な時間の区間に対してLowに留まり、且つ割り込みが許可されていたなら、割り込みが実行されます。この無効時間の追加により、通常ﾊﾞｽ通信の最中に両信号線がLowになることによって引き起こされる不要な割り込みが防止されます。一旦ﾊﾞｽが切断されると、TWBCIPﾋﾞｯﾄは解除されるべきです。これはﾊﾞｽが接続される時の検出を許可し、SCLとSDAの線がLowに留まる場合の繰り返し割り込みを防ぎます。

図27-22. ﾊﾞｽ接続/切断の概要



27.10. TWI用ﾚｼﾞｽﾀ

27.10.1. TWBR – TWI ﾋﾞｯﾄ速度ﾚｼﾞｽﾀ (TWI Bit Rate Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($B8)	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0	TWBR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TWBR7~0 : TWI ﾋﾞｯﾄ速度選択** (TWI Bit Rate Register)

TWBRはﾋﾞｯﾄ速度発生器用の分周値を選びます。ﾋﾞｯﾄ速度発生器は主装置動作でのSCLｸﾛｯｸ周波数を生成する周波数分周器です。ﾋﾞｯﾄ速度の計算については104頁の「**ﾋﾞｯﾄ速度発生器**」をご覧ください。

27.10.2. TWCR – TWI制御ﾚｼﾞｽﾀ (TWI Control Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
($BC)	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE	TWCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

TWCRはTWI動作の制御に使われます。TWIの許可、ﾊﾞｽ上に開始条件を印加することによる主装置のｱｸｾｽ開始、受信装置の応答生成、停止条件の生成、ﾊﾞｽにﾃﾞｰﾀを送出するためのTWI ﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)への書き込み中のﾊﾞｽの一時停止制御に使われます。TWDRがｱｸｾｽ不能の間にTWDRへ書き込もうとする場合の上書き発生も示します。

● **ﾋﾞｯﾄ7 – TWINT : TWI割り込み要求ﾌﾗｸﾞ** (TWI Interrupt Flag)

このﾋﾞｯﾄはTWIが現在の作業を終了し、応用ｿﾌﾄｳｪｱの応答が予測されるとき、ﾊｰﾄﾞｳｪｱによって設定(1)されます。TWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み許可(TWIE)ﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、MCUはTWI割り込みﾍﾞｸﾀへ飛びます。TWINTﾌﾗｸﾞが設定(1)の間中、SCLのLow期間は引き伸ばされます。TWINTﾌﾗｸﾞは論理1書き込みによってｿﾌﾄｳｪｱで解除(0)されなければなりません。このﾌﾗｸﾞが割り込みﾙｰﾁﾝを実行する時に自動的に解除(0)されないことに注意してください。このﾌﾗｸﾞの解除(0)がTWI動作を始めるので、このﾌﾗｸﾞを解除(0)する前にTWIｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)、TWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)、TWI状態ﾚｼﾞｽﾀ(TWSR)への全てのｱｸｾｽが完了していなければならないことにも注意してください。

● **ﾋﾞｯﾄ6 – TWEA : 確認応答(ACK)許可** (TWI Enable Acknowledge Bit)

TWEAﾋﾞｯﾄは確認応答(ACKﾊﾟﾙｽ)の生成を制御します。TWEAﾋﾞｯﾄが1を書かれ、次の条件に合致すると、TWIﾊﾞｽにACKﾊﾟﾙｽが生成されます。

- 装置が自分用の従装置ｱﾄﾞﾚｽを受信した場合。
- TWIｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)の一斉呼び出し検出許可(TWGCE)ﾋﾞｯﾄが設定(1)されている時に一斉呼び出しを受信した場合。
- 主受信装置または従受信装置動作でﾃﾞｰﾀ ﾊﾞｲﾄを受信した場合。

TWEAﾋﾞｯﾄに0を書くことによって一時的かつ仮想的に装置を2線直列ﾊﾞｽから切り離すことができます。ｱﾄﾞﾚｽ認証はその後に再びTWEAﾋﾞｯﾄへ1を書くことによって再開できます。

● **ﾋﾞｯﾄ5 – TWSTA : 開始(START)条件生成許可** (TWI START Condition Bit)

2線直列ﾊﾞｽの主装置になることを欲する時に応用はTWSTAﾋﾞｯﾄに1を書きます。TWIﾊｰﾄﾞｳｪｱはﾊﾞｽが利用可能かを検査し、開放ならばﾊﾞｽに開始条件を生成します。しかし、ﾊﾞｽが未開放の場合、TWIは停止条件が検出されるまで待ち、その後にﾊﾞｽ主権を要求する新規開始条件を生成します。TWSTAは開始条件が送出されてしまった時にｿﾌﾄｳｪｱで解除(0)されなければなりません。

● **ﾋﾞｯﾄ4 – TWSTO : 停止(STOP)条件生成許可** (TWI STOP Condition Bit)

主装置動作でTWSTOﾋﾞｯﾄに1を書くことが2線直列ﾊﾞｽに停止条件を生成します。停止条件がﾊﾞｽで実行されると、TWSTOﾋﾞｯﾄは自動的に解除(0)されます。従装置動作でのTWSTOﾋﾞｯﾄの設定(1)は異常状態からの回復に使えます。これは停止条件を生成しませんが、TWIは明確に指定されていない従装置動作に戻り、SCL、SDA信号線をHi-Z状態に開放します。

● **ﾋﾞｯﾄ3 – TWWC : TWI上書き発生ﾌﾗｸﾞ** (TWI Write Collision Flag)

TWI割り込み要求ﾌﾗｸﾞ(TWINT)が0の時にTWIﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)への書き込みを試みると、このTWWCﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞはTWINTが1の時のTWDR書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ2 – TWEN : TWI動作許可** (TWI Enable Bit)

TWENﾋﾞｯﾄはTWI動作を許可し、TWIｲﾝﾀｰﾌｪｰｽを活性(有効)にします。TWENが1を書かれると、TWIはSCL、SDAﾋﾟﾝに接続したI/Oﾋﾟﾝを制御できるようになり、ｽﾊﾟｲｸ濾波器とｽﾘｭｰﾚｰﾄ制限器を許可します。このﾋﾞｯﾄが0を書かれると、TWIがOFFにされ、どんな進行中の動作にも関係なく、全てのTWI送信が終了されます。

● **ﾋﾞｯﾄ1 – 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ0 – TWIE : TWI割り込み許可** (TWI Interrupt Enable)

このﾋﾞｯﾄが1を書かれ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されていると、TWI割り込み要求ﾌﾗｸﾞ(TWINT)が1である限り、TWI割り込み要求が活性に(発生)されます。

27.10.3. TWSR – TWI状態ﾚｼﾞｽﾀ (TWI Status Register)

ﾋﾞｯﾄ ($B9)	7	6	5	4	3	2	1	0	
	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0	TWSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	1	1	1	1	1	0	0	0	

● **ﾋﾞｯﾄ7~3 – TWS7~3 : TWI状態** (TWI Status)

これら5ﾋﾞｯﾄはTWI論理回路と2線直列ﾊﾞｽの状態を反映します。各種状態符号は、110頁の**表27-2.**～116頁の**表27-5.**で記述されます。TWSRから読む値が5ﾋﾞｯﾄの状態符号と2ﾋﾞｯﾄの前置分周値の両方を含むことに注意してください。応用設計者は状態ﾋﾞｯﾄを検査する時に前置分周器ﾋﾞｯﾄを0で隠すべきです。これは前置分周器設定に関係なく状態検査を行います。この手法は特記事項を除いてこのﾃﾞｰﾀｼｰﾄ内で使われます。

● **ﾋﾞｯﾄ2 – 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ1,0 – TWPS1,0 : TWI前置分周器選択** (TWI Prescaler Bits)

これらのﾋﾞｯﾄは読み書きでき、ﾋﾞｯﾄ速度の前置分周器を制御します。

ﾋﾞｯﾄ速度を計算するには104頁の「**ﾋﾞｯﾄ速度発生器**」をご覧ください。TWPS1,0の値はこの式で使われます。

表27-7. TWIﾋﾞｯﾄ速度前置分周器選択

TWPS1	0	0	1	1
TWPS0	0	1	0	1
分周値	1	4	16	64

27.10.4. TWDR – TWIﾃﾞｰﾀ ﾚｼﾞｽﾀ (TWI Data Register)

ﾋﾞｯﾄ ($BB)	7	6	5	4	3	2	1	0	
	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0	TWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

送信動作でのTWDRは送信されるべき次ﾊﾞｲﾄを含みます。受信動作でのTWDRは最後に受信したﾊﾞｲﾄを含みます。TWDRはTWIがﾊﾞｲﾄを移動する手順でない間に書き込み可能です。これはTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI割り込み要求ﾌﾗｸﾞ(TWINT)がﾊｰﾄﾞｳｪｱによって設定(1)されると起きます。最初のTWI割り込みが起こる前にﾃﾞｰﾀ ﾚｼﾞｽﾀ(TWDR)は使用者によって初期化できないことに注意してください。TWDRのﾃﾞｰﾀはTWINTが安定して設定(1)されている限り存続します。ﾃﾞｰﾀが移動出力される間、ﾊﾞｽのﾃﾞｰﾀが同時に移動入力されます。TWI割り込みによる休止形態からの起動後を除いて、TWDRは常にﾊﾞｽに現れる最後のﾊﾞｲﾄを含みます。この例外の場合のTWDRの内容は不定です。ﾊﾞｽ調停に敗れた場合の主装置から従装置への移行でもﾃﾞｰﾀは失われません。確認応答(ACK)ﾋﾞｯﾄの扱いはTWI論理回路によって自動的に制御され、CPUはACKﾋﾞｯﾄを直接的にｱｸｾｽできません。

● **ﾋﾞｯﾄ7~0 – TWD7~0 : TWIﾃﾞｰﾀ** (TWI Data)

これら8ﾋﾞｯﾄは送信されるべき次のﾃﾞｰﾀ ﾊﾞｲﾄ、または2線直列ﾊﾞｽで最後に受信したﾃﾞｰﾀ ﾊﾞｲﾄを構成します。

27.10.5. TWAR – TWI(従装置)ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (TWI (Slave) Address Register)

ﾋﾞｯﾄ ($BA)	7	6	5	4	3	2	1	0	
	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	TWAR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	0	

TWARは従装置の送受信装置として設定した時にTWIが応答する7ﾋﾞｯﾄ従装置ｱﾄﾞﾚｽを(TWAR上位7ﾋﾞｯﾄに)設定されるべきで、主装置動作では必要とされません。複数主装置のｼｽﾃﾑでは、他の主装置によって従装置としてｱﾄﾞﾚｽ指定され得る主装置に於いて、TWARは設定されなければなりません。

TWARの最下位ﾋﾞｯﾄ(TWGCE)は一斉呼び出しｱﾄﾞﾚｽ($00)認証の許可に使われます。これらは受信した直列ｱﾄﾞﾚｽで従装置ｱﾄﾞﾚｽ(と許可ならば一斉呼び出しｱﾄﾞﾚｽ)を捜す関連ｱﾄﾞﾚｽ比較器です。一致が見つかると割り込み要求が生成されます。

● **ﾋﾞｯﾄ7~1 – TWA6~0 : TWI従装置ｱﾄﾞﾚｽ** (TWI (Slave) Address)

これら7ﾋﾞｯﾄはTWI部の従装置ｱﾄﾞﾚｽを構成します。

● **ﾋﾞｯﾄ0 – TWGCE : 一斉呼び出し検出許可** (TWI General Call Recognition Enable Bit)

設定(1)なら、このﾋﾞｯﾄは2線直列ﾊﾞｽを伝って与えられる一斉呼び出しの認証(検出)を許可します。

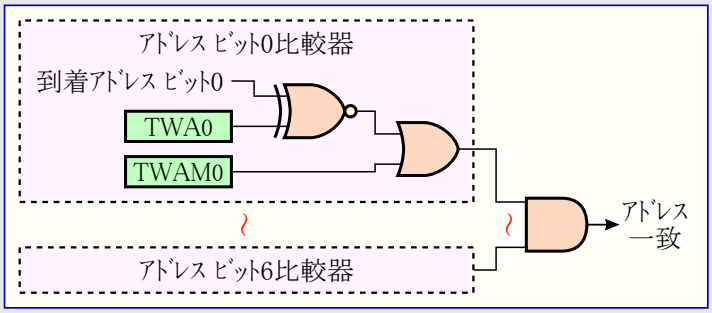
27.10.6. TWAMR – TWI(従装置)ｱﾄﾞﾚｽ遮蔽ﾚｼﾞｽﾀ (TWI (Slave) Address Mask Register)

ﾋﾞｯﾄ ($BD)	7	6	5	4	3	2	1	0	
	TWAM6	TWAM5	TWAM4	TWAM3	TWAM2	TWAM1	TWAM0	–	TWAMR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～1 – TWAM6~0 : TWI従装置ｱﾄﾞﾚｽ遮蔽** (TWI (Slave) Address Mask)

TWAMRは7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽ遮蔽値を格納できます。TWAMR内の各ﾋﾞｯﾄはTWI(従装置)ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ(TWAR)内の対応するｱﾄﾞﾚｽ ﾋﾞｯﾄを遮蔽(禁止)します。遮蔽ﾋﾞｯﾄが1に設定されると、その後のｱﾄﾞﾚｽ一致論理回路は到着ｱﾄﾞﾚｽ ﾋﾞｯﾄとTWAR内の対応ﾋﾞｯﾄ間の比較を無視します。図27-23.はｱﾄﾞﾚｽ一致論理回路を詳細に示します。

図27-23. TWIｱﾄﾞﾚｽ一致論理 構成図



● **ﾋﾞｯﾄ0 – 予約** (Reserved)

このﾋﾞｯﾄは使われず、常に0として読みます。

27.10.7. TWBCSR – TWI ﾊﾞｽ制御/状態ﾚｼﾞｽﾀ (TWI Bus Control and Status Register)

ﾋﾞｯﾄ ($BE)	7	6	5	4	3	2	1	0	
	TWBCIF	TWBCIE	–	–	–	TWBDT1	TWBDT0	TWBCIP	TWBCSR
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	不定	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – TWBCIF : TWI ﾊﾞｽ接続/切断割り込み要求ﾌﾗｸﾞ** (TWI Bus Connect/Disconnect Interrupt Flag)

接続/切断割り込み極性(TWBCIP)ﾋﾞｯﾄを基に、TWBCIFﾋﾞｯﾄはTWIﾊﾞｽが接続または切断される時に設定(1)されます(注)。TWBCIFは対応する割り込み処理ﾍﾞｸﾀを実行するとき、ﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾌﾗｸﾞに論理1を書くことによってもTWBCIFは解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄ、ﾊﾞｽ接続/切断割り込み許可ﾌﾗｸﾞ(TWBCIE)とTWBCIFが設定(1)される時にTWIﾊﾞｽ接続/切断割り込みが実行されます。ﾘｾｯﾄ中にSDAとSCLの両方がHighの場合、TWBCIFはﾘｾｯﾄ後に設定(1)されます。さもなければTWBCIFはﾘｾｯﾄ後に解除(0)されます。

注: ﾊﾞｽ接続/切断機能が許可されるにはTWI制御ﾚｼﾞｽﾀ(TWCR)のTWI許可(TWEN)ﾋﾞｯﾄが設定(1)されなければなりません。

● **ﾋﾞｯﾄ6 – TWBCIE : TWI ﾊﾞｽ接続/切断割り込み許可** (TWI Bus Connect/Disconnect Interrupt Enable)

TWBCIEﾋﾞｯﾄとSREGの全割り込み許可(I)ﾋﾞｯﾄが設定(1)されると、TWIﾊﾞｽ接続/切断割り込みが許可されます。TWIﾊﾞｽ接続/切断が起こる、換言するとﾊﾞｽ接続/切断割り込み要求ﾌﾗｸﾞ(TWBCIF)が設定(1)されると、対応する割り込みが実行されます。

● **ﾋﾞｯﾄ5～3 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

● **ﾋﾞｯﾄ2,1 – TWBDT1,0 : TWI ﾊﾞｽ切断認知時間** (TWI Bus Disconnect Time-out Period)

TWBDT1,0ﾋﾞｯﾄはTWI ﾃﾞｰﾀ(SDA)とｸﾛｯｸ(SCL)の両信号線が、TWIﾊﾞｽ切断割り込みを生成する前に、どれくらい長くLowでなければならないかを決めます。各設定値と対応する計時終了時間は表27-8.で示されます。

表27-8. TWIﾊﾞｽ切断認知時間

TWBDT1,0	計時終了時間
0 0	250 ms
0 1	500 ms
1 0	1000 ms
1 1	2000 ms

● **ﾋﾞｯﾄ0 – TWBCIP : TWI ﾊﾞｽ接続/切断割り込み極性** (TWI Bus Connect/Disconnect Interrupt Polarity)

TWBCIPﾋﾞｯﾄはTWIﾊﾞｽ接続/切断割り込み要求ﾌﾗｸﾞ(TWBCIF)がﾊﾞｽ接続またはﾊﾞｽ切断で設定(1)されるべきかを決めます。TWBCIPが解除(0)されると、TWBCIFはﾊﾞｽ接続で設定(1)されます。TWBCIPが設定(1)されると、TWBCIFはﾊﾞｽ切断で設定(1)されます。

28. ﾃﾞﾊﾞｯｸﾞWIRE 内蔵ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑ

28.1. 特徴

- 完全なﾌﾟﾛｸﾞﾗﾑの流れ制御
- RESETﾋﾟﾝを除くﾃﾞｼﾞﾀﾙとｱﾅﾛｸﾞ両方でのﾁｯﾌﾟ全機能のｴﾐｭﾚｰﾄ
- 実時間(ﾘｱﾙ ﾀｲﾑ)動作
- ｼﾝﾎﾞﾘｯｸ ﾃﾞﾊﾞｯｸﾞ支援 (ｱｾﾝﾌﾞﾘ及びC言語または他の高位言語)
- 無制限数のﾌﾟﾛｸﾞﾗﾑ中断点(ﾌﾞﾚｰｸ ﾎﾟｲﾝﾄ：ｿﾌﾄｳｪｱ中断点使用)
- 邪魔しない動作
- 実ﾃﾞﾊﾞｲｽと同じ電気的特性
- 自動設定ｼｽﾃﾑ
- 高速動作
- 不揮発性ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

28.2. 概要

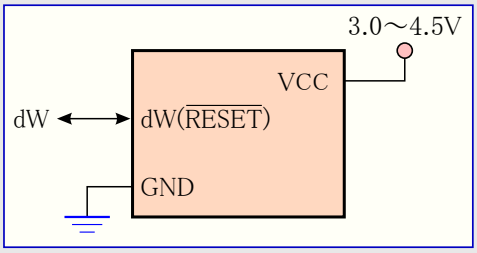
ﾃﾞﾊﾞｯｸﾞWIRE内蔵ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑはCPUでのAVR命令実行、ﾌﾟﾛｸﾞﾗﾑの流れ制御、各種不揮発性ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞのための1本線の双方向ｲﾝﾀｰﾌｪｰｽを使います。

28.3. 物理ｲﾝﾀｰﾌｪｰｽ

ﾃﾞﾊﾞｯｸﾞWIRE許可(DWEN)ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、施錠ﾋﾞｯﾄが非ﾌﾟﾛｸﾞﾗﾑ(1)にされると、対象ﾃﾞﾊﾞｲｽ内のﾃﾞﾊﾞｯｸﾞWIREｼｽﾃﾑが活性(有効)にされます。RESETﾎﾟｰﾄ ﾋﾟﾝはﾌﾟﾙｱｯﾌﾟ許可のANDﾀｲ(ｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ)双方向I/Oﾋﾟﾝとして設定され、対象ﾃﾞﾊﾞｲｽとｴﾐｭﾚｰﾀ間の通信路になります。

図28-1.はｴﾐｭﾚｰﾀと許可したﾃﾞﾊﾞｯｸﾞWIREでの対象MCUとの接続の図を示します。ｼｽﾃﾑ ｸﾛｯｸはﾃﾞﾊﾞｯｸﾞWIREによって影響を及ぼされず、常にOSCSELﾋｭｰｽﾞで選んだｸﾛｯｸ元です。

図28-1. ﾃﾞﾊﾞｯｸﾞWIRE構成図



ﾃﾞﾊﾞｯｸﾞWIREが使われるｼｽﾃﾑの設計時、正しい動作のために次の注意点が厳守されなければなりません。

- dW/(RESET)線のﾌﾟﾙｱｯﾌﾟ抵抗は10kΩよりも小さくてはなりません。この抵抗はﾃﾞﾊﾞｯｸﾞWIRE機能の必要条件ではありません。
- RESETﾋﾟﾝのVCCへの直接的な接続では動作しません。
- RESETﾋﾟﾝに挿入したｺﾝﾃﾞﾝｻはﾃﾞﾊﾞｯｸﾞWIRE使用時、切断されなければなりません。
- 全ての外部ﾘｾｯﾄ元は切断されなければなりません。

28.4. ｿﾌﾄｳｪｱ中断点(ﾌﾞﾚｰｸ ﾎﾟｲﾝﾄ)

ﾃﾞﾊﾞｯｸﾞWIREはAVRのBREAK命令によってﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘの中断点を支援します。AVR Studio®での中断点設定はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘにBREAK命令を挿入します。BREAK命令で置換した(元の)命令は保存されます。ﾌﾟﾛｸﾞﾗﾑ実行が継続されるとき、ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから継続される前に保存した命令が実行されます。一時停止(ﾌﾞﾚｰｸ)はﾌﾟﾛｸﾞﾗﾑにBREAK命令を置くことによって手動で挿入できます。

ﾌﾗｯｼｭ ﾒﾓﾘは中断点が変更される度毎に再書き換えされなければなりません。これはﾃﾞﾊﾞｯｸﾞWIREｲﾝﾀｰﾌｪｰｽを通してAVR Studioによって自動的に操作されます。従って中断点の使用はﾌﾗｯｼｭ ﾒﾓﾘのﾃﾞｰﾀ保持力を低下させます。ﾃﾞﾊﾞｯｸﾞ目的に使ったﾃﾞﾊﾞｲｽは最終顧客へ出荷すべきではありません。

28.5. ﾃﾞﾊﾞｯｸﾞWIREの制限

ﾃﾞﾊﾞｯｸﾞWIRE通信(dW)ﾋﾟﾝは物理的に外部ﾘｾｯﾄ(RESET)と同じﾋﾟﾝに配置されます。従ってﾃﾞﾊﾞｯｸﾞWIREが許可されると、外部ﾘｾｯﾄ元が支援されません。

ﾌﾟﾛｸﾞﾗﾑ(0)にしたDWENﾋｭｰｽﾞは全休止形態でｸﾛｯｸ系のいくつかの部分の走行を許可します。これは休止間中の消費電力を増加します。従ってDWENﾋｭｰｽﾞはﾃﾞﾊﾞｯｸﾞWIREが使われない場合、禁止されるべきです。

ﾌﾗｯｼｭ ﾒﾓﾘをｱｸｾｽ(読み書き)するのにﾃﾞﾊﾞｯｸﾞWIREを使う時に、SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)がその前に施錠されていない(操作可である)ことを保証しなければなりません。SPMCSRが施錠されている(多忙中の)場合、操作の結果は意図するようにならないかもしれません。

28.6. ﾃﾞﾊﾞｯｸﾞWIRE用ﾚｼﾞｽﾀ

次項はﾃﾞﾊﾞｯｸﾞWIREで使うﾚｼﾞｽﾀを記述します。

28.6.1. DWDR – ﾃﾞﾊﾞｯｸﾞWIRE ﾃﾞｰﾀ ﾚｼﾞｽﾀ (debugWIRE Data Register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$31 ($51)	(MSB)							(LSB)	DWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するﾌﾟﾛｸﾞﾗﾑからﾃﾞﾊﾞｯｶﾞへの通信ﾁｬﾈﾙを提供します。このﾚｼﾞｽﾀはﾃﾞﾊﾞｯｸﾞWIREでだけｱｸｾｽ可能で、従って通常動作で一般目的ﾚｼﾞｽﾀとして使えません。

29. ﾌﾞｰﾄ ﾛｰﾀﾞ支援 - 書き込み中読み出し可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

29.1. 特徴

- 書き込み中読める(Read-While-Write)自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 柔軟性のあるﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘ容量
- 高い安全性 (柔軟な保護用の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄ)
- ﾘｾｯﾄ ﾍﾞｸﾀ選択用の独立したﾋｭｰｽﾞ
- 最適化されたﾍﾟｰｼﾞ容量 (注1)
- 効率的なｺｰﾄﾞ手法
- 効率的な読み-変更-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)支援

注1: ﾍﾟｰｼﾞはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に使われる多数のﾊﾞｲﾄから成るﾌﾗｯｼｭ ﾒﾓﾘの区画です(136頁の「ﾍﾟｰｼﾞ容量」参照)。このﾍﾟｰｼﾞ構成は通常動作に影響を及ぼしません。

29.2. 概要

ﾌﾞｰﾄ ﾛｰﾀﾞ支援はMCU自身によるﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞのﾀﾞｳﾝﾛｰﾄﾞとｱｯﾌﾟﾛｰﾄﾞ用の真の書き込み中の読み出しが可能な自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機構を提供します。この特徴はﾌﾗｯｼｭ ﾒﾓﾘに常駐するﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑを使うMCUによって制御される柔軟な応用ｿﾌﾄｳｪｱ更新を可能にします。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑはﾌﾗｯｼｭ ﾒﾓﾘ内にｺｰﾄﾞを書き(ﾌﾟﾛｸﾞﾗﾑ)、ｺｰﾄﾞを読み、またはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘからｺｰﾄﾞを読むのに、利用可能なﾃﾞｰﾀ ｲﾝﾀｰﾌｪｰｽと関連する規約のどれもが使えます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域内のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘを含むﾌﾗｯｼｭ ﾒﾓﾘ全体を書く能力を持ちます。従ってﾌﾞｰﾄ ﾛｰﾀﾞは自身をも変更でき、この機能がそれ以上必要とされないなら、そのｺｰﾄﾞから自身を消去することもできます。ﾌﾞｰﾄ ﾛｰﾀﾞ ﾒﾓﾘの容量はﾋｭｰｽﾞで設定可能で、ﾌﾞｰﾄ ﾛｰﾀﾞは個別に設定可能な2組の独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。

29.3. ﾌﾗｯｼｭ ﾒﾓﾘの応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域

ﾌﾗｯｼｭ ﾒﾓﾘは応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の2つの主な領域で構成されます。各領域の容量は132頁の表29-5.と図29-2.で示されるようにBOOTSZﾋｭｰｽﾞによって設定されます。これら2つの領域は個別の施錠ﾋﾞｯﾄの組を持つため、異なる保護基準を持てます。

29.3.1. 応用領域

応用領域は応用ｺｰﾄﾞを格納するのに使われるﾌﾗｯｼｭ ﾒﾓﾘの領域です。応用領域用保護基準は応用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ0)によって選べます(134頁の表30-2.参照)。応用領域から実行される時にSPM命令が禁止されるので、応用領域はどんなﾌﾞｰﾄ ﾛｰﾀﾞｺｰﾄﾞも決して格納し得ません。

29.3.2. ﾌﾞｰﾄ ﾛｰﾀﾞ領域 (BLS)

応用領域が応用ｺｰﾄﾞ格納用に使われるのに対して、SPM命令はBLSから実行する時にだけﾌﾟﾛｸﾞﾗﾐﾝｸﾞを始められるので、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはBLSに格納されなければなりません。SPM命令はBLS自身を含む全てのﾌﾗｯｼｭ ﾒﾓﾘをｱｸｾｽできます。ﾌﾞｰﾄ ﾛｰﾀﾞ領域用保護基準はﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1)によって選べます(134頁の表30-2.参照)。

29.4. ﾌﾗｯｼｭ ﾒﾓﾘの書き込み中に読み出し可能な領域と不能な領域

どちらのｱﾄﾞﾚｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞされるかによって、CPUが書き込み中の読み出しを支援するか、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中にCPUが停止されるかのどちらです。上で記述されるようなBOOTSZﾋｭｰｽﾞによって設定可能な2つの領域に加え、ﾌﾗｯｼｭ ﾒﾓﾘは書き込み中読み出し可能な(RWW)領域と書き込み中読み出し不能な(NRWW)領域の2つの固定領域にも分けられます。RWWとNRWW領域間の境界は124頁の図29-2.と132頁の表29-6.で与えられます。この2つの領域間の主な違いを次に示します。

- RWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、NRWW領域はその動作中に読むことができます。
- NRWW領域側に配置されたﾍﾟｰｼﾞを消去または書くとき、その全ての動作中にCPUは停止されます。

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ動作中、使用者ｿﾌﾄｳｪｱがRWW領域側に配置されるどのｺｰﾄﾞも決して読めないことに注意してください。「書き込み中読み出し可能領域」という記述はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(消去または書き込み)される領域としての引用で、ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが更新中に実際に読まれる領域ではありません。

訳補: 上の記述はNRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞするという前提で、消去または書き込みを行う側ではなく、行われる側でこの名称が定義されていることを意味します。即ち、NRWW領域からRWW領域をﾌﾟﾛｸﾞﾗﾐﾝｸﾞすると、NRWW領域のﾌﾟﾛｸﾞﾗﾑは通常通り動作する(即ち読める)ので、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞされる側はRWW領域と名付けられ、この逆ではCPUが停止する(即ち読めない)ので、NRWW領域と名付けられているという意味です。

29.4.1. RWW – 書き込み中読み出し可能領域

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱ更新がRWW領域側のﾍﾟｰｼﾞをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする場合、ﾌﾗｯｼｭ ﾒﾓﾘからｺｰﾄﾞを読むことが可能ですが、NRWW領域に配置されるｺｰﾄﾞだけです。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行中、そのｿﾌﾄｳｪｱはRWW領域が決して読まれないことを保証しなければなりません。使用者ｿﾌﾄｳｪｱがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に(例えば、CALL,JMP,LPM系命令または割り込みによって)RWW領域側に配置されるｺｰﾄﾞを読もうとすると、そのｿﾌﾄｳｪｱは未知の状態へ行き着くかもしれません。これを避けるために割り込みは禁止またはﾌﾞｰﾄ ﾛｰﾀﾞ領域へ移動のどちらかにされるべきです。ﾌﾞｰﾄ ﾛｰﾀﾞ領域は常にNRWW領域に配置されます。RWW領域が読み出しに対して妨げられている限り、SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)のRWW領域多忙(RWWSB)ﾋﾞｯﾄは論理1として読みます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後、RWW領域に配置したｺｰﾄﾞを読む前にRWWSBはｿﾌﾄｳｪｱによって解除(0)されなければなりません。RWWSBを解除(0)する方法の詳細については133頁の「SPMCSR – SPM命令制御/状態ﾚｼﾞｽﾀ」をご覧ください。

29.4.2. NRWW – 書き込み中読み出し不能領域

NRWW領域に配置したｺｰﾄﾞはﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱがRWW領域内のﾍﾟｰｼﾞを更新する時に読めます。ﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞがNRWW領域を更新するとき、全てのﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み動作中にCPUが停止されます。

表29-1. 書き込み中読み出し可能機能

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にZﾎﾟｲﾝﾀで指定される領域	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に読める領域	CPU動作	RWW機能支援
RWW領域	NRWW領域	通常動作	あり
NRWW領域	なし	停止	なし

図29-1. RWW領域とNRWW領域の関係

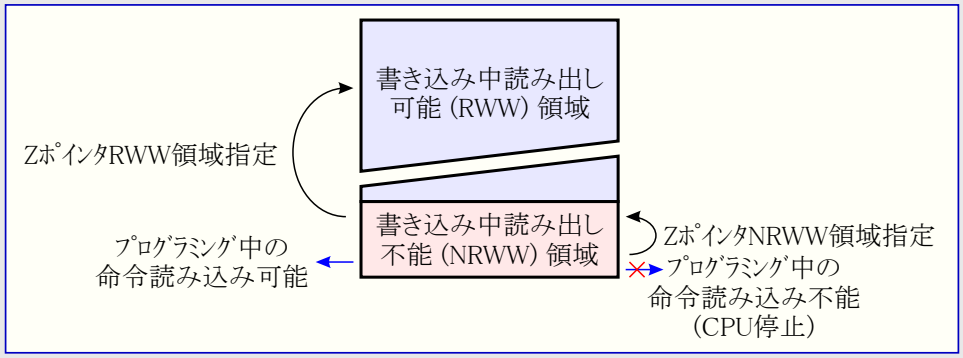
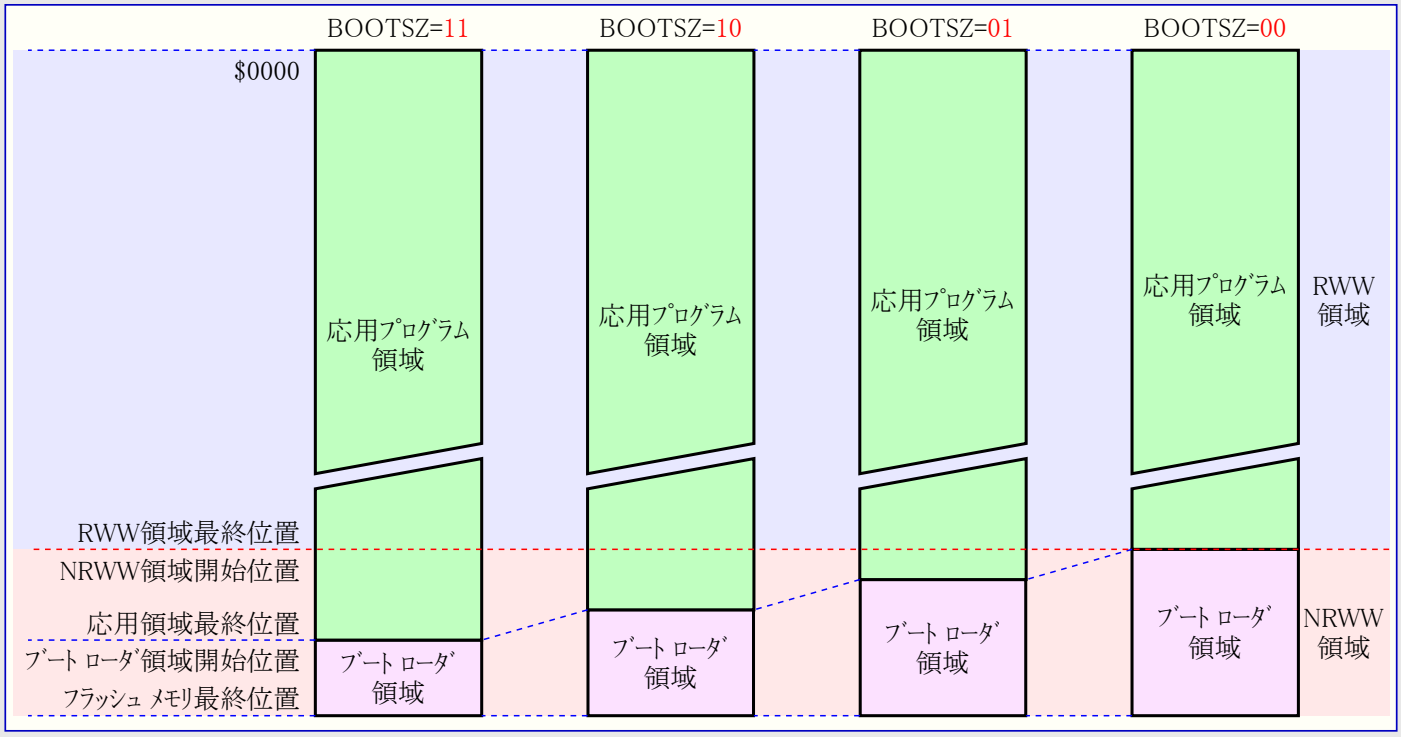


図29-2. 選択によるﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘの領域分割



注: 図内の各ﾊﾟﾗﾒｰﾀについては132頁の表29-5.で与えられます。

29.5. ﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ

ﾌﾞｰﾄ ﾛｰﾀﾞ能力が必要とされないなら、ﾌﾗｯｼｭ ﾒﾓﾘ全体が応用ｺｰﾄﾞ用に利用可能です。ﾌﾞｰﾄ ﾛｰﾀﾞは個別に設定可能な独立した2組のﾌﾞｰﾄ施錠ﾋﾞｯﾄを持ちます。これは異なる保護基準を選ぶ独特な柔軟性を使用者に与えます。

使用者は以下を選べます。

- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘ全体を保護
- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄ ﾛｰﾀﾞ領域だけを保護
- MCUによって更新するｿﾌﾄｳｪｱからﾌﾗｯｼｭ ﾒﾓﾘの応用領域だけを保護
- ﾌﾗｯｼｭ ﾒﾓﾘ全体で更新するｿﾌﾄｳｪｱを許可

より多くの詳細については134頁の**表30-2.**をご覧ください。ﾌﾞｰﾄ施錠ﾋﾞｯﾄはｿﾌﾄｳｪｱと直列または並列のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作で設定(0)できますが、これらのﾋﾞｯﾄはﾁｯﾌﾟ消去指令によってのみ解除(1)できます。一般書き込み禁止(LB動作種別2)はSPM命令によるﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞを制御しません。同様に、試みられたなら、一般読み書き禁止(LB動作種別3)はLPM命令とSPM命令による読み込みも書き込みも制御しません。(**訳補**:一般LBはLPM/SPM命令に関して無関係の意)

29.6. ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑへの移行

ﾌﾞｰﾄ ﾛｰﾀﾞへの移行は応用ﾌﾟﾛｸﾞﾗﾑから分岐(Jump)または呼び出し(Call)によって行います。これはTWIｲﾝﾀｰﾌｪｰｽ経由で受信した指令のような起点によって始められるかもしれません。代わりに、ﾘｾｯﾄ後にﾘｾｯﾄ ﾍﾞｸﾀがﾌﾞｰﾄ ﾛｰﾀﾞ領域開始ｱﾄﾞﾚｽを指示するようにﾌﾞｰﾄ ﾘｾｯﾄ(BOOTRST)ﾋｭｰｽﾞをﾌﾟﾛｸﾞﾗﾑ(0)できます。この場合、ﾌﾞｰﾄ ﾛｰﾀﾞがﾘｾｯﾄ後に開始されます。応用ｺｰﾄﾞが設定された(書かれた)後、そのﾌﾟﾛｸﾞﾗﾑ(ﾌﾞｰﾄ ﾛｰﾀﾞ)は応用ｺｰﾄﾞの実行を始めることができます。このﾋｭｰｽﾞがMCU自身によって変更できないことに注意してください。これは一旦ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾘｾｯﾄ ﾍﾞｸﾀは常にﾌﾞｰﾄ ﾛｰﾀﾞ ﾘｾｯﾄを指示し、このﾋｭｰｽﾞが直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたは並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽを通してのみ変更できることを意味します。

表29-2. ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞ (0=ﾌﾟﾛｸﾞﾗﾑ、1=非ﾌﾟﾛｸﾞﾗﾑ)

BOOTRST	ﾘｾｯﾄ後実行開始ｱﾄﾞﾚｽ (ﾘｾｯﾄ ﾍﾞｸﾀ)	
0	ﾌﾞｰﾄ ﾛｰﾀﾞ ﾘｾｯﾄ	ﾌﾞｰﾄ ﾛｰﾀﾞ開始ｱﾄﾞﾚｽ(132頁の**表29-5.**参照)
1	応用ﾘｾｯﾄ	$0000

29.7. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定

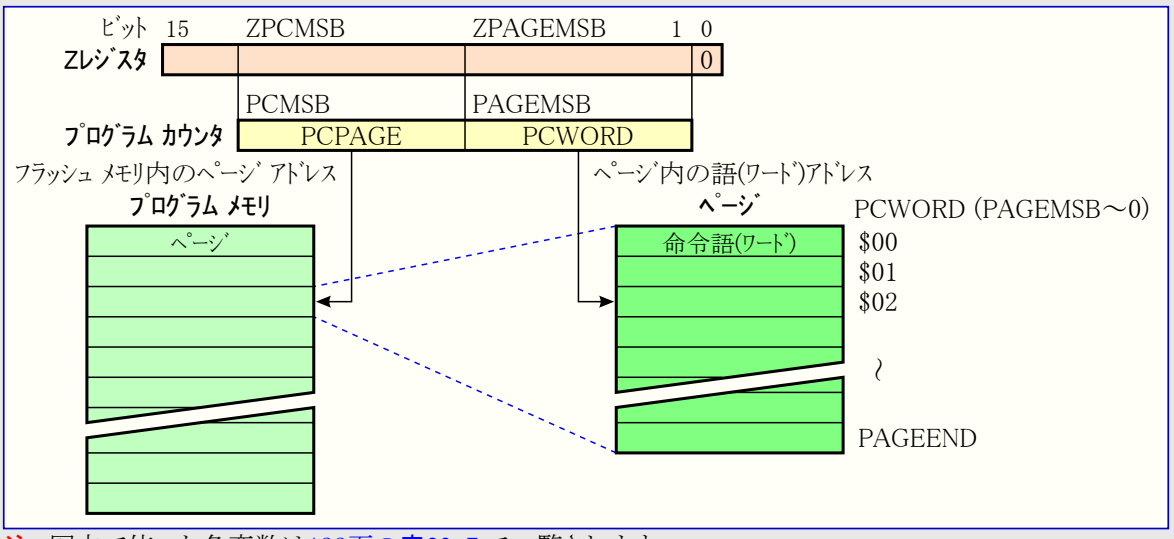
Zﾎﾟｲﾝﾀ(ﾚｼﾞｽﾀ)はSPM命令でのｱﾄﾞﾚｽ指定に使われます。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

ﾌﾗｯｼｭ ﾒﾓﾘがﾍﾟｰｼﾞで構成されるため(136頁の「ﾍﾟｰｼﾞ容量」参照)、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ)は2つの違う領域を持つように扱われます。1つの領域は下位側ﾋﾞｯﾄから成り、ﾍﾟｰｼﾞ内の語(ﾜｰﾄﾞ)をｱﾄﾞﾚｽ指定し、一方上位側ﾋﾞｯﾄはそのﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定します。これは**図29-3.**で示されます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作が個別にｱﾄﾞﾚｽ指定されることに注意してください。従ってﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが最も重要です。一旦ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が開始されると、このｱﾄﾞﾚｽはﾗｯﾁされ、Zﾎﾟｲﾝﾀは他の操作に使えます。

Zﾎﾟｲﾝﾀを使わないSPM操作はﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄ設定だけです。この操作でZﾚｼﾞｽﾀの内容は無視され、無効です。LPM命令もｱﾄﾞﾚｽを格納するのにZﾎﾟｲﾝﾀを使います。この命令はﾌﾗｯｼｭ ﾒﾓﾘのﾊﾞｲﾄ単位をｱﾄﾞﾚｽ指定するので、Zﾎﾟｲﾝﾀの最下位ﾋﾞｯﾄ(Z0)も使われます。

図29-3. SPM操作中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定



注: 図内で使った各変数は132頁の**表29-7.**で一覧されます。
PCPAGEとPCWORDは136頁の「ﾍﾟｰｼﾞ容量」で一覧されます。(訳注:共通性から追加)

29.8. ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘはﾍﾟｰｼﾞ単位形式で更新されます。ﾍﾟｰｼﾞ一時緩衝部へ格納したﾃﾞｰﾀでﾍﾟｰｼﾞを書く前にそのﾍﾟｰｼﾞが消去されなければなりません。ﾍﾟｰｼﾞ一時緩衝部はSPM命令使用時毎の1語(ﾜｰﾄﾞ)で満たされ、この緩衝部はﾍﾟｰｼﾞ消去命令前、またはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作間のどちらかで満たすことができます。

手段1 (ﾍﾟｰｼﾞ消去前の一時緩衝部格納)

- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

手段2 (ﾍﾟｰｼﾞ消去後の一時緩衝部格納)

- ﾍﾟｰｼﾞ消去を実行してください。
- ﾍﾟｰｼﾞ一時緩衝部を満たしてください。
- ﾍﾟｰｼﾞ書き込みを実行してください。

ﾍﾟｰｼﾞの一部の変更だけが必要な場合、消去前にﾍﾟｰｼﾞの残す部分は(例えばﾍﾟｰｼﾞ一時緩衝部に)保存されなければならず、その後に改めて書かれます。**手段1.**を使う場合、初めにﾍﾟｰｼﾞを読んで必要な変更を行い、その後に変更したﾃﾞｰﾀを書き戻すことを使用者ｿﾌﾄｳｪｱに許す効率的な読み-修正-書き(ﾘｰﾄﾞ ﾓﾃﾞﾌｧｲ ﾗｲﾄ)機能をﾌﾞｰﾄ ﾛｰﾀﾞが提供します。**手段2.**が使われる場合、ﾍﾟｰｼﾞが既に消去されているため、格納中の旧ﾃﾞｰﾀを読むことができません。ﾍﾟｰｼﾞ一時緩衝部は乱順でｱｸｾｽできます。ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み操作の両方で使われるﾍﾟｰｼﾞ ｱﾄﾞﾚｽは同じﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定することが非常に重要です。ｱｾﾝﾌﾞﾘ言語でのｺｰﾄﾞ例については131頁の「ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例」をご覧ください。

29.8.1. SPM命令によるﾍﾟｰｼﾞ消去の実行

ﾍﾟｰｼﾞ消去を実行するにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)に'X0000011'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはZﾎﾟｲﾝﾀのPCPAGEに書かれなければなりません。この操作中、Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄは無視されます。

- RWW領域のﾍﾟｰｼﾞ消去　：ﾍﾟｰｼﾞ消去中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ消去：ﾍﾟｰｼﾞ消去中、CPUは停止されます。

29.8.2. ﾍﾟｰｼﾞ一時緩衝部の設定（ﾍﾟｰｼﾞ設定）

命令語(ﾜｰﾄﾞ)を(ﾍﾟｰｼﾞ一時緩衝部に)書くにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽ、R1:R0にﾃﾞｰﾀを設定してSPMCSRに'X0000001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。ZﾎﾟｲﾝﾀのPCWORDの内容は一時緩衝部のﾃﾞｰﾀのｱﾄﾞﾚｽに使われます。一時緩衝部はﾍﾟｰｼﾞ書き込み操作後、またはSPMCSRのRWWSREﾋﾞｯﾄ書き込みによって自動的に消去されます。ｼｽﾃﾑ ﾘｾｯﾄ後も消去されています。一時緩衝部を消去せずに各ｱﾄﾞﾚｽへ複数回書くことができないことに注意してください。

SPMﾍﾟｰｼﾞ設定操作の途中でEEPROMが書かれると、設定した全ﾃﾞｰﾀが失われます。

29.8.3. ﾍﾟｰｼﾞ書き込みの実行

ﾍﾟｰｼﾞ書き込みを行うにはZﾎﾟｲﾝﾀにｱﾄﾞﾚｽを設定してSPMCSRに'X0000101'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。R1とR0のﾃﾞｰﾀは無視されます。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽは(Zﾎﾟｲﾝﾀの)PCPAGEに書かれなければなりません。Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄは0を書かれなければなりません。

- RWW領域のﾍﾟｰｼﾞ書き込み　：ﾍﾟｰｼﾞ書き込み中、NRWW領域は読めます。
- NRWW領域のﾍﾟｰｼﾞ書き込み：ﾍﾟｰｼﾞ書き込み中、CPUは停止されます。

29.8.4. SPM操作可割り込みの使用法

SPM操作可割り込みが許可されると、SPMCSRのSPMENﾋﾞｯﾄが解除(0)されている時にSPM操作可割り込みが継続的に発生します。これはｿﾌﾄｳｪｱでSPMCSRをﾎﾟｰﾘﾝｸﾞする代わりにこの割り込みが使えることを意味します。SPM操作可割り込みを使うとき、割り込みが読み出しに対して防がれる時にRWW領域をｱｸｾｽするのを避けるために、割り込みﾍﾞｸﾀはﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるべきです。割り込み(ﾍﾞｸﾀ)の移動法は33頁の「**割り込み**」で記述されます。

29.8.5. ﾌﾞｰﾄ ﾛｰﾀﾞ領域更新中の考慮

ﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)が非ﾌﾟﾛｸﾞﾗﾑ(1)にされたままとすることによって使用者がﾌﾞｰﾄ ﾛｰﾀﾞ領域に更新を許す場合、特別な注意が祓われなければなりません。ﾌﾞｰﾄ ﾛｰﾀﾞ自身への予期せぬ書き込みはﾌﾞｰﾄ ﾛｰﾀﾞ全体を不正にし得て、更にｿﾌﾄｳｪｱの更新が不可能になるかもしれません。ﾌﾞｰﾄ ﾛｰﾀﾞ自体の変更が必要ないなら、内部ｿﾌﾄｳｪｱのどんな変更からもﾌﾞｰﾄ ﾛｰﾀﾞを保護するためにﾌﾞｰﾄ施錠ﾋﾞｯﾄ11(BLB11)をﾌﾟﾛｸﾞﾗﾑ(0)することが推奨されます。

29.8.6. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のRWW領域読み込みの防止

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中(ﾍﾟｰｼﾞ消去もﾍﾟｰｼﾞ書き込みも)、RWW領域は読み出しに対して常に防がれます。使用者ｿﾌﾄｳｪｱそれ自身が自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作中にこの領域がｱﾄﾞﾚｽ指定されるのを防止しなければなりません。SPMCSRのRWWSBはRWW領域が多忙である限り設定(1)されます。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の割り込みﾍﾞｸﾀ表は33頁の「**割り込み**」で記述されるようにﾌﾞｰﾄ ﾛｰﾀﾞ領域(BLS)へ移動されるべきか、または割り込みが禁止されなければなりません。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが完了した後にRWW領域をｱﾄﾞﾚｽ指定する前に、使用者ｿﾌﾄｳｪｱはRWWSREの書き込みによってRWWSBを解除(0)しなければなりません。例については131頁の「**ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例**」をご覧ください。

29.8.7. SPM命令による施錠ﾋﾞｯﾄの設定

施錠ﾋﾞｯﾄを解除(0)するには希望したﾃﾞｰﾀをR0に設定してSPMCSRに'X0001001'を書き、SPMCSR書き込み後4ｸﾛｯｸ周期内にSPM命令を実行してください。ｱｸｾｽ可能な施錠ﾋﾞｯﾄはMCUによるどのｿﾌﾄｳｪｱ更新からも応用とﾌﾞｰﾄ ﾛｰﾀﾞ領域を保護できるﾌﾞｰﾄ施錠ﾋﾞｯﾄだけです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ﾌﾗｯｼｭ ﾒﾓﾘのｱｸｾｽに影響を及ぼすﾌﾞｰﾄ ﾛｰﾀﾞ施錠ﾋﾞｯﾄの各種設定法については**表30-2.**をご覧ください。

R0のﾋﾞｯﾄ5～0が解除(0)される場合、SPMCSRでSPMENと施錠ﾋﾞｯﾄ設定(LBSET)ﾋﾞｯﾄが設定(1)された後4ｸﾛｯｸ周期内にSPM命令が実行されると、対応する施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されます。この操作中、Zﾎﾟｲﾝﾀは関係ありませんが、将来との共通性のため、(施錠ﾋﾞｯﾄ読み出しに使われるのと同じ)$0001でZﾎﾟｲﾝﾀを設定することが推奨されます。将来との共通性のため、施錠ﾋﾞｯﾄ書き込み時、R0のﾋﾞｯﾄ7,6は1に設定することも推奨されます。施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾐﾝｸﾞするとき、この操作中に全てのﾌﾗｯｼｭ ﾒﾓﾘは読むことができます。

29.8.8. ソフトウェアからのヒューズ ビットと施錠ビットの読み出し

ソフトウェアからヒューズと施錠ビットの両方を読むことが可能です。施錠ビットを読むにはZポインタに$0001を設定してSPMCSRのSPMENと施錠ビット設定(LBSET)ビットを設定(1)してください。SPMENとLBSETビットがSPMCSRに設定された後、3 CPU周期内にLPM命令が実行されると、施錠ビットの値が転送先レジスタに格納されます。SPMENとLBSETビットは施錠ビット読み出しの完了で、または3 CPU周期内にLPM命令が実行されないか、または4 CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。SPMENとLBSETビットが解除(0)されると、LPMはAVR命令一式説明で記述されるように動作します。

ビット	7	6	5	4	3	2	1	0
Rd	–	–	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ヒューズ下位ビットを読む手順は上記の施錠ビット読み出しと同様です。ヒューズ下位ビットを読み出すにはZポインタに$0000を設定してSPMCSRのSPMENとLBSETビットを設定(1)してください。SPMENとLBSETビットがSPMCSRに設定された後、3 CPU周期内にLPM命令が実行されると、以下で示されるようにヒューズ下位ビット(FLB)の値が転送先レジスタに格納されます。ヒューズ下位ビットの配置と詳細な記述については135頁の**表30-4.**を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ヒューズ上位ビットを読むにはZポインタに$0003を設定してください。SPMENとLBSETビットがSPMCSRで設定(1)された後、3周期内にLPM命令が実行されると、以下で示されるようにヒューズ上位ビット(FHB)の値が転送先レジスタに格納されます。ヒューズ上位ビットの配置と詳細な記述については135頁の**表30-3.**を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	–	–	–	–	–	–	FHB1	FHB0

プログラム(0)されたヒューズと施錠ビットは0として読みます。非プログラム(1)にされたヒューズと施錠ビットは1として読みます。

29.8.9. ソフトウェアからの識票列読み出し

ソフトウェアから識票列を読むには表29-3.で与えられる識票バイト アドレスをZポインタに設定してSPMCSRのSPMENと識票列読み出し(SIGRD)ビットを設定(1)してください。SPMENとSIGRDビットがSPMCSRに設定された後、3 CPU周期内にLPM命令が実行されると、識票バイト値が転送先レジスタに格納されます。SPMENとSIGRDビットはSPMCSR書き込み後、6周期で自動解除(0)し、SPMCSRはこれらの周期間の更なる書き込みに対して施錠されます。SPMENとSIGRDビットが解除(0)されると、LPMは命令一式手引書で記述されるように動作します。

表29-3. 識票列アドレス一覧

Zポインタ アドレス	識票バイト	Zポインタ アドレス	識票バイト
$0001	高速RC発振器校正バイト (注1)	$0000	デバイス識票バイト 1 (製造者識別)
$0003	高速RC発振器校正区分 (注2)	$0002	デバイス識票バイト 2 (フラッシュ容量)
$0005	(予約)	$0004	デバイス識票バイト 3 (デバイス種別)
$0007	低速RC発振器周期上位 (注3)	$0006	低速RC発振器周期下位 (注3)
$0009	低速RC発振器温度変化予測値上位 (注4)	$0008	低速RC発振器温度予測値下位 (注4)
$000B	低速RC発振器周波数 (注6)	$000A	超低電力RC発振器周波数 (注5)
$000D	超低電力RC発振器温度予測値上位 (注7)	$000C	超低電力RC発振器温度予測値下位 (注7)
$000F	超低電力RC発振器周期上位 (注8)	$000D	超低電力RC発振器周期下位 (注8)
$0011	BGCCR校正値	$0010	BGCRR校正値
$0013～$0017	(予約)	$0012～$0016	(予約)
$0019	VPTAT校正値上位 (注9)	$0018	VPTAT校正値下位 (注9)
$001B	V-ADC電池セル1利得校正値上位 (注10)	$001A	V-ADC電池セル1利得校正値下位 (注10)
$001D	V-ADC電池セル2利得校正値上位 (注10)	$001C	V-ADC電池セル2利得校正値下位 (注10)
$001F	V-ADC電池セル3利得校正値上位 (注10)	$001E	V-ADC電池セル3利得校正値下位 (注10)
$0021	V-ADC電池セル4利得校正値上位 (注10)	$0020	V-ADC電池セル4利得校正値下位 (注10)
$0023	V-ADC電池セル2変位(オフセット)値 (注11)	$0022	V-ADC電池セル1変位(オフセット)値 (注11)
$0025	V-ADC電池セル4変位(オフセット)値 (注11)	$0024	V-ADC電池セル3変位(オフセット)値 (注11)
$0027	V-ADC ADC0利得校正値上位 (注12)	$0026	V-ADC ADC0利得校正値下位 (注12)
$0029	V-ADC ADC1利得校正値上位 (注13)	$0028	V-ADC ADC1利得校正値下位 (注13)
$002B	V-ADC ADC1変位(オフセット)値 (注14)	$002A	V-ADC ADC0オフセット変位(オフセット)値 (注14)
$002D～$002F	(予約)	$002C～$002E	(予約)
$0031～$0049	(予約)	$0030	T_{HOT} (注15)
$004A～$0053	デバイス ロットIDと位置 (注16)		

注1: リセット後の既定高速RC発振器校正(FOSCCAL)レジスタ値。
注2: 高速RC発振器校正時に或る1区分から次への遷移を円滑にするのに使われるFOSCCAL設定。
注3: 発振器採取インターフェースを使ったμsでの8前置分周低速RC周期(@T_{HOT}℃)。
注4: 低速RC発振器周波数温度偏移予測値。
注5: kHzでの超低電力RC発振器周波数(@T_{HOT}℃)。
注6: kHzでの低速RC発振器周波数(@T_{HOT}℃)。
注7: 超低電力RC発振器周波数温度偏移予測値。
注8: 発振器採取インターフェースを使ったμsでの8前置分周超低電力RC周期(@T_{HOT}℃)。
注9: VTEMP変換からケルビンでの絶対温度計算に使う校正値。
注10: V-ADCセル1～4入力での利得誤差に対する補償に使う校正値。
注11: V-ADCセル1～4入力での変位(オフセット)に対する補償に使う校正値。未実装。
注12: V-ADCのADC0入力での利得誤差に対する補償に使う校正値。
注13: V-ADCのADC1入力での利得誤差に対する補償に使う校正値。
注14: V-ADCのADC0とADC1入力での変位(オフセット)に対する補償に使う校正値。
注15: 工場校正で使われた℃でのT_{HOT}温度。
注16: Atmelはロットid と位置の組み合わせが独自であることを検査しません。
注: 他の全てのアドレスは将来の使用に対して予約されています。

29.8.10. SPMCSR書き込み制限

下位6ﾋﾞｯﾄに'100001','010001','001001','000101','000011','000001'以外の他のどの組み合わせ書き込みも無効です。

SPM命令制御/状態ﾚｼﾞｽﾀ(SPMCSR)は以下の条件下での書き込みに対して施錠されます。

- SPMCSR内のﾋﾞｯﾄ5～0の1つ以上が1に設定
- EEPROM書き込み中(EEPROM制御ﾚｼﾞｽﾀ(EECR)のEEPROMﾌﾟﾛｸﾞﾗﾑ許可(EEPE)状態ﾋﾞｯﾄが設定(1))

SPMCSRは以下の事象で解除(0)されます。

- 以下の命令成功実行完了
  - 施錠ﾋﾞｯﾄ設定(LBSET)とSPM操作許可(SPMEN)が設定(1)でのLPM命令
  - LBSETとSPMENが設定(1)でのSPM命令
  - ﾍﾟｰｼﾞ消去(PGERS)とSPMENが設定(1)でのSPM命令
  - ﾍﾟｰｼﾞ書き込み(PGWRT)とSPMENが設定(1)でのSPM命令
  - SPMENが設定(1)でのSPM命令
- 他の何れかまたはLPM/SPM命令が実行されない場合のSPMCSR書き込み後6周期

29.8.11. SPM命令使用時のﾌﾗｯｼｭ ﾒﾓﾘ用ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)時間

高速RC発振器がﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽ時間に使われます。**表29-4.**はCPUからのﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽに対する代表的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間を示します。

表29-4. SPM命令によるﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

項目	最小	最大
SPM命令によるﾌﾗｯｼｭ書き込み (ﾍﾟｰｼﾞ消去、ﾍﾟｰｼﾞ書き込み、施錠ﾋﾞｯﾄ書き込み)	3.7ms	4.5ms

注: 最小と最大の時間は(項目の)個別操作毎に対してです。

29.8.12. ｱｾﾝﾌﾞﾘ言語による簡単なﾌﾞｰﾄ ﾛｰﾀﾞ例

このﾙｰﾁﾝはRAMからﾌﾗｯｼｭ ﾒﾓﾘへ1ﾍﾟｰｼﾞのﾃﾞｰﾀを書きます。RAM内の最初のﾃﾞｰﾀ位置はYﾚｼﾞｽﾀによって指示され、ﾌﾗｯｼｭ ﾒﾓﾘ内の最初のﾃﾞｰﾀ位置はZﾚｼﾞｽﾀによって指示されます。異常処理は含まれません。このﾙｰﾁﾝ(少なくともSPMJｻﾌﾞﾙｰﾁﾝ)はﾌﾞｰﾄ ﾛｰﾀﾞ領域側に配置されなければなりません。NRWW領域側のｺｰﾄﾞだけが自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み)中に読めます。使用ﾚｼﾞｽﾀはR0,R1,TMP,CNTL,CNTH,SPMCで、ﾚｼﾞｽﾀの保存と復帰はこのﾙｰﾁﾝ内に含まれず、使用ﾚｼﾞｽﾀはｺｰﾄﾞ量を犠牲にすれば最適化できます。割り込み表がﾌﾞｰﾄ ﾛｰﾀﾞ領域に移動されるか、割り込みが禁止されるかのどちらかが前提です。

ﾍﾟｰｼﾞ内ﾃﾞｰﾀが256ﾊﾞｲﾄ以下の場合は計数器上位が不要になります。また関連する命令も変更になります。これらの部分を赤字で示します(訳注:本行は以下のﾌﾟﾛｸﾞﾗﾑ補正に対応して追加しました)。

```
ﾗﾍﾞﾙ    命令                                    注釈
        .EQU    PGSZB = PAGESIZE*2              ; PGSZBはﾍﾟｰｼﾞ内のﾊﾞｲﾄ数です。(PAGESIZEは語(ﾜｰﾄﾞ)数)
        .ORG    SMALLBOOTSTART                  ;

                                                ; [ ﾍﾟｰｼﾞ消去 ]
WRPG:   LDI     SPMC,(1<<PGERS)+(1<<SPMEN)      ; ﾍﾟｰｼﾞ消去SPMCSR値を取得
        CALL    SPMJ                            ; ﾍﾟｰｼﾞ消去
                                                ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        CALL    SPMJ                            ; RWW領域読み出し許可
                                                ; [ RAMからﾌﾗｯｼｭ ﾍﾟｰｼﾞ一時緩衝部へ転送 ]
        LDI     CNTL,LOW(PGSZB)                 ; ﾊﾞｲﾄ計数器を初期化
        LDI     CNTH,HIGH(PGSZB)                ; (削除)
WLP:    LD      R0,Y+                           ; RAM上の下位ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
        LD      R1,Y+                           ; RAM上の上位ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
        LDI     SPMC,(1<<SPMEN)                 ; ﾍﾟｰｼﾞ一時緩衝部書き込みSPMCSR値を取得
        CALL    SPMJ                            ; 対応語(ﾜｰﾄﾞ)ﾃﾞｰﾀをﾍﾟｰｼﾞ一時緩衝部に設定
        ADIW    ZH:ZL,2                         ; ﾍﾟｰｼﾞ一時緩衝部ﾎﾟｲﾝﾀ進行
        SBIW    CNTH:CNTL,2                     ; 計数器を減数 (SUBI)
        BRNE    WLP                             ; 指定ﾊﾞｲﾄ数分継続
                                                ; [ ﾍﾟｰｼﾞ書き込み ]
        SUBI    ZL,LOW(PGSZB)                   ; ﾍﾟｰｼﾞ一時緩衝部先頭にﾎﾟｲﾝﾀを復帰
        SBCI    ZH,HIGH(PGSZB)                  ; (削除)
        LDI     SPMC,(1<<PGWRT)+(1<<SPMEN)      ; ﾌﾗｯｼｭ書き込みSPMCSR値を取得
        CALL    SPMJ                            ; ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ書き込み
                                                ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        CALL    SPMJ                            ; RWW領域読み出し許可
                                                ; [ 読み戻し照合 (任意) ]
        LDI     CNTL,LOW(PGSZB)                 ; ﾊﾞｲﾄ計数器を初期化
        LDI     CNTH,HIGH(PGSZB)                ; (削除)
        SUBI    YL,LOW(PGSZB)                   ; RAMﾃﾞｰﾀ先頭にﾎﾟｲﾝﾀを復帰
        SBCI    YH,HIGH(PGSZB)                  ;
RLP:    LPM     R0,Z+                           ; ﾌﾗｯｼｭ ﾒﾓﾘから1ﾊﾞｲﾄ取得(ﾎﾟｲﾝﾀ進行)
        LD      R1,Y+                           ; RAMから1ﾊﾞｲﾄ ﾃﾞｰﾀを取得(ﾎﾟｲﾝﾀ進行)
        CPSE    R0,R1                           ; 値一致でｽｷｯﾌﾟ
        JMP     ERROR                           ; 不一致で異常処理へ
;
        SBIW    CNTH:CNTL,1                     ; 計数器を減数 (SUBI)
        BRNE    RLP                             ; 指定ﾊﾞｲﾄ数分継続
:                                               ; [ RWW領域へ復帰 ]
RTN:    IN      TMP,SPMCSR                      ; SPM命令制御/状態ﾚｼﾞｽﾀ値を取得
        SBRS    TMP,RWWSB                       ; RWW領域多忙でｽｷｯﾌﾟ
        RET                                     ; 準備可で呼び出し元へ復帰
;                                               ; [ RWW領域読み出し再許可 ]
        LDI     SPMC,(1<<RWWSRE)+(1<<SPMEN)     ; RWW領域読み出し許可SPMCSR値を取得
        CALL    SPMJ                            ; RWW領域読み出し許可
        RJMP    RTN                             ; RWW領域準備可まで待機へ
                                                ; [ SPM命令実行ｻﾌﾞﾙｰﾁﾝ ]
SPMJ:   IN      TMP,SPMCSR                      ; SPM命令制御/状態ﾚｼﾞｽﾀ値を取得
        SBRC    TMP,SPMEN                       ; 操作可能(直前のSPM完了)でｽｷｯﾌﾟ
        RJMP    SPMJ                            ; 操作可まで待機
;
        IN      TMP,SREG                        ; ｽﾃｰﾀｽ ﾚｼﾞｽﾀ値を保存
        CLI                                     ; 全割り込み禁止
WAIT:   SBIC    EECR,EEPE                       ; EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中以外でｽｷｯﾌﾟ
        RJMP    WAIT                            ; EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了まで待機
;
        OUT     SPMCSR,SPMC                     ; SPM動作指定
        SPM                                     ; 対応SPM動作実行
        OUT     SREG,TMP                        ; ｽﾃｰﾀｽ ﾚｼﾞｽﾀ値を復帰
        RET                                     ; 呼び出し元へ復帰
```

29.8.13. ATmega16HVB/32HVB用ﾌﾞｰﾄ ﾛｰﾀﾞのﾊﾟﾗﾒｰﾀ

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの記述で使ったﾊﾟﾗﾒｰﾀは表29-5.～7.で与えられます。

表29-5. 応用領域とﾌﾞｰﾄ ﾛｰﾀﾞ領域の分割設定（上段:ATmega16HVB,下段:ATmega32HVB）

BOOTSZ1	BOOTSZ0	ﾌﾞｰﾄ ﾛｰﾀﾞ領域		ｱﾄﾞﾚｽ範囲		
		容量（語）	ﾍﾟｰｼﾞ数	応用ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾛｰﾀﾞ ﾌﾟﾛｸﾞﾗﾑ領域	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ
1	1	256	4	$0000～$1EFF $0000～$3EFF	$1F00～$1FFF $3F00～$3FFF	$1F00 $3F00
1	0	512	8	$0000～$1DFF $0000～$3DFF	$1E00～$1FFF $3E00～$3FFF	$1E00 $3E00
0	1	1024	16	$0000～$1BFF $0000～$3BFF	$1C00～$1FFF $3C00～$3FFF	$1C00 $3C00
0	0	2048	32	$0000～$17FF $0000～$37FF	$1800～$1FFF $3800～$3FFF	$1800 $3800

注: 各種BOOTSZﾋｭｰｽﾞ設定は図29-2.で示されます。

（訳注）原書の表29-5.と表29-8.は表29-5.として纏めました。

表29-6. RWW領域とNRWW領域の範囲（上段:ATmega16HVB,下段:ATmega32HVB）

領域	ﾍﾟｰｼﾞ数	ｱﾄﾞﾚｽ範囲
書き込み中読み出し可能(RWW)領域	96 224	$0000～$17FF $0000～$37FF
書き込み中読み出し不能(NRWW)領域	32	$1800～$1FFF $3800～$3FFF

注: これら2つの領域についての詳細に関しては124頁の「RWW – 書き込み中読み出し可能領域」と「NRWW – 書き込み中読み出し不能領域」をご覧ください。

（訳注）原書の表29-6.と表29-9.は表29-6.として纏めました。

表29-7. 図29-3.で使った各変数説明とZﾎﾟｲﾝﾀの配置（上段:ATmega16HVB,下段:ATmega32HVB）

変数名	対応値		意味（注1）
	PC	Zﾎﾟｲﾝﾀ（注2）	
PCMSB	PC12 PC13		ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀの最上位ﾋﾞｯﾄ。（ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは13ﾋﾞｯﾄ、PC12～0） （ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀは14ﾋﾞｯﾄ、PC13～0）
PAGEMSB	PC5		1ﾍﾟｰｼﾞ内に使われる語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽの最上位ﾋﾞｯﾄ。 (ﾍﾟｰｼﾞ内の64語(ﾜｰﾄﾞ)には6ﾋﾞｯﾄ PC5～0が必要)
ZPCMSB		Z13 Z14	PCMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPCMSB=PCMSB+1)
ZPAGEMSB		Z6	PAGEMSBに配置される(対応する)Zﾚｼﾞｽﾀ内のﾋﾞｯﾄ。 (Z0が使われないため、ZPAGEMSB=PAGEMSB+1)
PCPAGE	PC12～6 PC13～6	Z13～7 Z14～7	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ ﾍﾟｰｼﾞ ｱﾄﾞﾚｽ：ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み用のﾍﾟｰｼﾞ選択
PCWORD	PC5～0	Z6～1	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ 語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽ：一時緩衝部格納用語(ﾜｰﾄﾞ)選択 (ﾍﾟｰｼﾞ書き込み操作中は0でなければなりません。)

注1: Z0：全てのSPM命令に対して0であるべきで、LPM命令に対するﾊﾞｲﾄ選択です。

注2: 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のZﾎﾟｲﾝﾀの使用についての詳細に関しては126頁の「自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定」をご覧ください。

（訳注）原書の表29-7.と表29-10.は表29-7.として纏めました。

29.9. ブート ローダ用レジスタ

29.9.1. SPMCSR – SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register)

このレジスタはプログラム メモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
$37 ($57)	SPMIE	RWWSB	SIGRD	RWWSRE	LBSET	PGWRT	PGERS	SPMEN	SPMCSR
Read/Write	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – SPMIE : SPM操作可割り込み許可** (SPM Interrupt Enable)

SPMIEビットが1を書かれ、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されているなら、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRのSPM操作許可(SPMEN)ビットが解除(0)されている限り実行されます。

● **ビット6 – RWWSB : RWW領域多忙** (Read-While-Write Section Busy)

RWW領域に自己プログラミング(ページ消去またはページ書き込み)操作が開始されると、RWWSBがハードウェアによって設定(1)されます。RWWSBビットが設定(1)されると、RWW領域はアクセスできません。自己プログラミングが完了された後にRWWSREビットが1を書かれると、このRWWSBビットは解除(0)されます。同様に、ページ設定操作が開始されると、RWWSBビットは自動的に解除(0)されます。

● **ビット5 – SIGRD : 識票列読み出し** (Signature Row Read)

このビットがSPMENと同時に1を書かれると、次の3クロック周期内のLPM命令は識票列からバイトを転送先レジスタに読みます。詳細については129頁の「ソフトウェアからの識票列読み出し」をご覧ください。

SIGRDとSPMENが設定(1)された後の4クロック周期内のSPM命令は無効です。この操作は将来の使用に対して予約されており、使われるべきではありません。

● **ビット4 – RWWSRE : RWW領域読み出し許可** (Read-While-Write Section Read Enable)

RWW領域にプログラミング(ページ消去またはページ書き込み)すると、RWW領域は(RWWSBがハードウェアによって設定(1)され)読み出しに対して防がれます。RWW領域を再許可するために使用者ソフトウェアはプログラミングが完了(SPMENが解除(0))されるまで待たねばなりません。その後、RWWSREビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令がRWW領域を再許可します。ページ消去またはページ書き込みでフラッシュ メモリが多忙(SPMEN=1)の間、RWW領域は再許可できません。フラッシュ メモリが設定されている間にRWWSREビットが書かれると、フラッシュ メモリ設定操作は失敗し、設定したデータが失われます。

● **ビット3 – LBSET : 施錠ビット設定** (Boot Lock Bits Set)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令はR0のデータに従った施錠ビットを設定します。R1のデータとZポインタのアドレスは無視されます。LBSETビットは施錠ビットの設定完了で、または4クロック周期内にSPM命令が実行されない場合の6周期後、自動的に解除(0)されます。

SPMCSRでLBSETとSPMENが設定(1)された後の3クロック周期内のLPM命令は(ZポインタのZ0によって)ヒューズ ビットまたは施錠ビットのどちらかを転送先レジスタに読みます。詳細については128頁の「ソフトウェアからのヒューズ ビットと施錠ビットの読み出し」をご覧ください。

● **ビット2 – PGWRT : ページ書き込み** (Page Write)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令は一時緩衝部に格納したデータでページ書き込みを実行します。ページ アドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロック周期内にSPM命令が実行されない場合の6周期後、自動的に解除(0)されます。NRWW領域がアドレス指定されると、ページ全体の書き込み動作中にCPUは停止されます。

● **ビット1 – PGERS : ページ消去** (Page Erase)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令はページ消去を実行します。ページ アドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロック周期内にSPM命令が実行されない場合の6周期後、自動的に解除(0)されます。NRWW領域がアドレス指定されると、ページ全体の消去中にCPUは停止されます。

● **ビット0 – SPMEN : SPM操作許可** (Store Program Memory Enable)

このビットは次の4クロック周期間のSPM命令を許可します。このビットがRWWSRE, LBSET, PGWRT, PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます(上の記述をご覧ください)。SPMENだけが書かれると、続くSPM命令はZポインタによってアドレス指定したページ一時緩衝部へR1:R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロック周期内にSPM命令が実行されない場合の6周期後、自動的に解除(0)されます。ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで1に留まります。

30. メモリ プログラミング

30.1. プログラム メモリとデータ メモリ用施錠ビット

Atmel ATmega16HVB/32HVBは非プログラム(1)のままか、表30-2.で一覧される付加機能を得るためにプログラム(0)できる6つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ1に消去できます。

表30-1. 施錠ビット バイトの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
BLB12	5	ブート ローダ領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB11	4		1 (非プログラム)
BLB02	3	応用領域に対する保護用ブート施錠ビット	1 (非プログラム)
BLB01	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表30-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはデバッグWIRE経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズ ビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズ ビットとブート施錠ビットが固定されます。(注1)
LB0 種別	BLB02	BLB01	フラッシュ メモリの応用プログラム領域に対する保護
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
4	0	1	ブート ローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
LB1 種別	BLB12	BLB11	フラッシュ メモリのブート ローダ プログラム領域に対する保護
1	1	1	LPM, SPM命令がブート ローダ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブート ローダ領域に書くことを許されません。
3	0	0	SPM命令によるブート ローダ領域への書き込みと、応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(注3)
4	0	1	応用領域でのLPM命令によるブート ローダ領域からの読み込みが許されません。(注3)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズ ビットとブート施錠ビットを書いてください。デバッグWIREは全面的に禁止されます。

注2: BLB02=0で、割り込みベクタがブート ローダ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

注3: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブート ローダ領域での実行時に割り込みが禁止されます。

30.2. ﾋｭｰｽﾞ ﾋﾞｯﾄ

Atmel ATmega16HVB/32HVBには2つのﾋｭｰｽﾞ ﾊﾞｲﾄがあります。表30-3.～4.は全てのﾋｭｰｽﾞの概略機能とﾋｭｰｽﾞ ﾊﾞｲﾄ内でどのように配置されるかを示します。ﾋｭｰｽﾞはﾌﾟﾛｸﾞﾗﾑされると、論理0として読まれることに注意してください。

30.2.1. ﾋｭｰｽﾞ上位ﾊﾞｲﾄ

表30-3. ﾋｭｰｽﾞ上位ﾊﾞｲﾄ一覧

名称	ﾋﾞｯﾄ	意味	既定値
–	7～5	–	1 (非ﾌﾟﾛｸﾞﾗﾑ)
CKDIV8 (注1)	4	ｼｽﾃﾑ ｸﾛｯｸ 8分周選択。	0 (ﾌﾟﾛｸﾞﾗﾑ) 8分周
DWEN	3	ﾃﾞﾊﾞｯｸﾞWIRE機能許可。	1 (非ﾌﾟﾛｸﾞﾗﾑ) ﾃﾞﾊﾞｯｸﾞWIRE不許可
BOOTSZ1	2	ﾌﾞｰﾄ ﾛｰﾀﾞ容量選択。(表29-5.参照) (注2)	0 (ﾌﾟﾛｸﾞﾗﾑ)
BOOTSZ0	1		0 (ﾌﾟﾛｸﾞﾗﾑ)
BOOTRST	0	ﾘｾｯﾄ ﾍﾞｸﾀ(応用領域またはﾌﾞｰﾄ ﾛｰﾀﾞ領域)選択。	1 (非ﾌﾟﾛｸﾞﾗﾑ) 応用領域

注1: このﾋｭｰｽﾞはｼｽﾃﾑ ｸﾛｯｸ前置分周器の初期値を制御します。詳細については19頁の「ｼｽﾃﾑ ｸﾛｯｸ前置分周器」をご覧ください。

注2: BOOTSZ1,0既定値は最大ﾌﾞｰﾄ ﾛｰﾀﾞ容量になります。

30.2.2. ﾋｭｰｽﾞ下位ﾊﾞｲﾄ

表30-4. ﾋｭｰｽﾞ下位ﾊﾞｲﾄ一覧

名称	ﾋﾞｯﾄ	意味	既定値
WDTON (注1)	7	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ常時有効。	1 (非ﾌﾟﾛｸﾞﾗﾑ) WDTはWDTCSRで許可
EESAVE	6	ﾁｯﾌﾟ消去からEEPROM内容を保護。	1 (非ﾌﾟﾛｸﾞﾗﾑ) EEPROMは未保護
SPIEN	5	直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可。	0 (ﾌﾟﾛｸﾞﾗﾑ) 低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可
SUT2	4	起動時間選択。 (注2)	1 (非ﾌﾟﾛｸﾞﾗﾑ)
SUT1	3		1 (非ﾌﾟﾛｸﾞﾗﾑ)
SUT0	2		1 (非ﾌﾟﾛｸﾞﾗﾑ)
OSCSEL1	1	発振器選択 (注3)	0 (ﾌﾟﾛｸﾞﾗﾑ)
OSCSEL0	0		1 (非ﾌﾟﾛｸﾞﾗﾑ)

注1: ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ(WDTCSR)への書き込みによって許可/禁止されます。しかし万一の安全のため、WDTONﾋｭｰｽﾞはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏにｼｽﾃﾑ ﾘｾｯﾄ動作での走行を強制するのに使えます。

注2: SUTnﾋｭｰｽﾞ ﾋﾞｯﾄは休止またはﾘｾｯﾄからの始動時間構成設定に使われます。既定で最長始動時間が選ばれます。

注3: 既定のOSCSEL1,0設定は変更されるべきではありません。OSCSEL1,0='00'は検査目的に予約されています。他の値は将来の使用に予約されています。

ﾋｭｰｽﾞ ﾋﾞｯﾄの状態はﾁｯﾌﾟ消去によって影響されません。施錠ﾋﾞｯﾄ1(LB1)がﾌﾟﾛｸﾞﾗﾑ(0)されると、ﾋｭｰｽﾞ ﾋﾞｯﾄが固定されることに注意してください。施錠ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾑ(0)する前にﾋｭｰｽﾞ ﾋﾞｯﾄをﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)してください。

30.2.3. ﾋｭｰｽﾞのﾗｯﾁ

ﾋｭｰｽﾞ値はﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作へ移行する時にﾗｯﾁされ、ﾋｭｰｽﾞ値の変更はﾃﾞﾊﾞｲｽがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を去るまで無効です。これは一旦ﾌﾟﾛｸﾞﾗﾑ(0)されると直ぐに効果があるEESAVEﾋｭｰｽﾞには適用されません。ﾋｭｰｽﾞは通常動作での電源投入でもﾗｯﾁされます。

30.3. 識票ﾊﾞｲﾄ

全てのAtmelﾏｲｸﾛ ｺﾝﾄﾛｰﾗはﾃﾞﾊﾞｲｽを識別する3ﾊﾞｲﾄの識票符号を持ちます。この符号は直列と高電圧ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作の両方で、またﾃﾞﾊﾞｲｽが施錠されていても読めます。この3ﾊﾞｲﾄは分離された空間に存在します。ATmega16HVB/32HVB用の識票ﾊﾞｲﾄは表30-5.で与えられます。

表30-5. ﾃﾞﾊﾞｲｽの識別番号(ID)

部品番号	識票ﾊﾞｲﾄ ｱﾄﾞﾚｽ		
	$0000	$0001	$0002
ATmega16HVB	$1E	$94	$0D
ATmega32HVB	$1E	$95	$10

30.4. 校正ﾊﾞｲﾄ

ATmega16HVB/32HVBはRC発振器、内部基準電圧、内部温度基準と各電池ｾﾙ差動入力用の校正値を持ちます。これらのﾊﾞｲﾄは識票ｱﾄﾞﾚｽ空間に属しています。詳細については129頁の「ｿﾌﾄｳｪｱからの識票列読み出し」をご覧ください。

30.5. ﾍﾟｰｼﾞ容量

表30-6. ﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ数とﾍﾟｰｼﾞの語数

ﾃﾞﾊﾞｲｽ	全容量	ﾍﾟｰｼﾞ容量	PCWORD	ﾍﾟｰｼﾞ数	PCPAGE	PCMSB
ATmega16HVB	8K語 (16Kﾊﾞｲﾄ)	64語	PC5～0	128	PC12～6	12
ATmega32HVB	16K語 (32Kﾊﾞｲﾄ)	64語	PC5～0	256	PC13～6	13

(訳注) 原書の表30-6.と表30-7.は表30-6.として纏めました。

表30-8. EEPROMﾒﾓﾘのﾍﾟｰｼﾞ数とﾍﾟｰｼﾞの語数

ﾃﾞﾊﾞｲｽ	全容量	ﾍﾟｰｼﾞ容量	PCWORD	ﾍﾟｰｼﾞ数	PCPAGE	EEAMSB
ATmega16HVB	512ﾊﾞｲﾄ	4ﾊﾞｲﾄ	EEA1～0	128	EEA8～2	8
ATmega32HVB	1Kﾊﾞｲﾄ	4ﾊﾞｲﾄ	EEA1～0	256	EEA9～2	9

(訳注) 原書の表30-8.と表30-9.は表30-8.として纏めました。

30.6. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

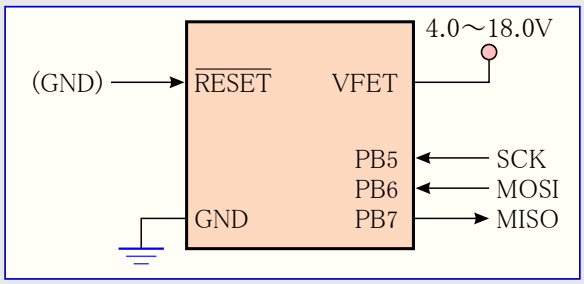
ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの両方はRESETがGNDに引かれている間に直列SPIﾊﾞｽを使ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞできます。この直列ｲﾝﾀｰﾌｪｰｽはSCK入力、MOSI入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令が初めに実行されることを必要とします。

注: 表30-10.でSPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のﾋﾟﾝ配置が一覧されます。全てのﾃﾞﾊﾞｲｽが内部SPIｲﾝﾀｰﾌｪｰｽに対する専用SPIﾋﾟﾝを使うとは限りません。

表30-10. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾋﾟﾝ配置

信号名	ﾋﾟﾝ名	入出力	機能
MISO	PB7	出力	直列ﾃﾞｰﾀ出力
MOSI	PB6	入力	直列ﾃﾞｰﾀ入力
SCK	PB5	入力	直列ｸﾛｯｸ

図30-1. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



EEPROMをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする時に自動消去周期が自動書き込み動作内に組み入れられ(直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞのみ)、ﾁｯﾌﾟ消去命令を先に実行する必要がありません。ﾁｯﾌﾟ消去操作はﾌﾟﾛｸﾞﾗﾑ(ﾌﾗｯｼｭ ﾒﾓﾘ)とEEPROM両方の全ﾒﾓﾘ位置の内容を$FFにします。

OSCSELﾋｭｰｽﾞに依存して有効なｸﾛｯｸが存在しなければなりません。直列ｸﾛｯｸ(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

f_{CK}＜12MHz：Low区間 ＞ 2 CPUｸﾛｯｸ周期　f_{CK}＜12MHz：High区間 ＞ 2 CPUｸﾛｯｸ周期
f_{CK}≧12MHz：Low区間 ＞ 3 CPUｸﾛｯｸ周期　f_{CK}≧12MHz：High区間 ＞ 3 CPUｸﾛｯｸ周期

30.6.1. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

Atmel ATmega16HVB/32HVBに直列ﾃﾞｰﾀを書く時にﾃﾞｰﾀはSCKの上昇端で行われ、ATmega16HVB/32HVBから読む時にﾃﾞｰﾀはSCKの下降端で行われます。ﾀｲﾐﾝｸﾞの詳細については158頁の「直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性」をご覧ください。

直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのATmega16HVB/32HVBのﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合は次の手順が推奨されます(表30-12.の4ﾊﾞｲﾄ命令形式をご覧ください)。

1. 電源投入手順:
   RESETとSCKがLow(0)に設定されている間に28頁の「電源ONﾘｾｯﾄと充電器接続」で説明されるようにﾁｯﾌﾟが開始されることを保証してください。いくつかのｼｽﾃﾑで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2 CPUｸﾛｯｸ周期幅の正ﾊﾟﾙｽを与えられなければなりません。
2. 最低20ms待ち、MOSIﾋﾟﾝにﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を送ることによって直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可してください。
3. 通信が同期を外していると、直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令は動作しません。同期していると、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令の第3ﾊﾞｲﾄ送出時に第2ﾊﾞｲﾄ($53)が戻ります。この戻りが正しいかどうかによらず、命令の4ﾊﾞｲﾄ全てが送信されなければなりません。$53が戻らない場合、RESETに正ﾊﾟﾙｽを与え、新規ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を行ってください。
4. ﾌﾗｯｼｭ ﾒﾓﾘは1ﾍﾟｰｼﾞ単位で書かれます。ﾍﾟｰｼﾞ容量は136頁の表30-6.で得られます。このﾒﾓﾘ ﾍﾟｰｼﾞはﾍﾟｰｼﾞ設定命令と共にｱﾄﾞﾚｽの下位5+1ﾋﾞｯﾄとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄづつ設定されます。ﾍﾟｰｼﾞが正しく設定されるのを保証するため、与えられたｱﾄﾞﾚｽにﾃﾞｰﾀ上位ﾊﾞｲﾄが適用される前にﾃﾞｰﾀ下位ﾊﾞｲﾄが設定されなければなりません。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのﾍﾟｰｼﾞはｱﾄﾞﾚｽの上位7/8ﾋﾞｯﾄを含むﾍﾟｰｼﾞ書き込み命令の設定によって(ﾌﾗｯｼｭ ﾒﾓﾘに)格納されます。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、使用者は次のﾍﾟｰｼﾞを行う前に最低t_{WD_FLASH}(表30-11.参照)待たなければなりません。ﾌﾗｯｼｭ書き込み操作完了前の(ﾎﾟｰﾘﾝｸﾞ以外の)直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽでのｱｸｾｽは不正な書き込み結果になり得ます。
5. EEPROMはﾍﾟｰｼﾞ単位かﾊﾞｲﾄ単位のどちらかでﾌﾟﾛｸﾞﾗﾐﾝｸﾞできます。
   ﾊﾞｲﾄ単位: EEPROMは適切なEEPROM書き込み命令と共にｱﾄﾞﾚｽとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄ単位で書かれます。EEPROMのﾒﾓﾘ位置は新規ﾃﾞｰﾀが書かれるのに先立って始めで自動的に消去されます。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、次のﾊﾞｲﾄを行う前に最低t_{WD_EEPROM}(表30-11.参照)待たなければなりません。
   ﾍﾟｰｼﾞ単位: EEPROMの1ﾍﾟｰｼﾞはEEPROMﾍﾟｰｼﾞ設定命令と共にｱﾄﾞﾚｽの下位2ﾋﾞｯﾄとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄづつ設定されます。EEPROMﾍﾟｰｼﾞはｱﾄﾞﾚｽの上位7/8ﾋﾞｯﾄを含むEEPROMﾍﾟｰｼﾞ書き込み命令によって(EEPROMに)格納されます。EEP ROMﾍﾟｰｼﾞ ｱｸｾｽ使用時、EEPROMﾍﾟｰｼﾞ設定命令で設定したﾊﾞｲﾄ位置だけ変更されます。残りの位置は無変化で留まります。ﾎﾟｰﾘﾝｸﾞ(BSY/RDY)が使われない場合、次のﾍﾟｰｼﾞ(表30-8.参照)を行う前に最低t_{WD_EEPROM}(表30-11.参照)待たなければなりません。ﾁｯﾌﾟ消去されたﾃﾞﾊﾞｲｽでの$FFﾃﾞｰﾀは書かれる必要がありません。
6. どのﾒﾓﾘ位置も選んだｱﾄﾞﾚｽの内容を直列出力MISOに読み戻す読み出し命令を使うことによって照合できます。
7. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。
8. 電源OFF手順 (必要とされるならば)
   - RESETをHigh(1)に設定します。
   - VCC電源をOFFにします。

表30-11. ﾋｭｰｽﾞ,ﾌﾗｯｼｭ,EEPROM次位置書き込み前の待機時間

ｼﾝﾎﾞﾙ	最低待機時間	備考
tWD_FUSE	4.5ms	ﾋｭｰｽﾞ書き込み
tWD_FLASH	4.5ms	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み
tWD_EEPROM	4.0ms	EEPROM書き込み
tWD_ERASE	4.0ms	ﾁｯﾌﾟ消去

30.6.2. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

表30-12.と次頁の図30-2.は命令一式を記述します。

表30-12. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令	命令形式				備考
	第1ﾊﾞｲﾄ	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ	第4ﾊﾞｲﾄ	
ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可	$AC	$53	$00	$00	
ﾁｯﾌﾟ消去	$AC	$80	$00	$00	
多忙/準備可検査	$F0	$00	$00	状態値	最下位ﾋﾞｯﾄが多忙ﾌﾗｸﾞ。
設定系命令					
拡張ｱﾄﾞﾚｽ設定 (注1)	$4D	$00	拡張ｱﾄﾞﾚｽ	$00	
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ内上位ﾊﾞｲﾄ設定	$48	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	上位ﾊﾞｲﾄ	
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ内下位ﾊﾞｲﾄ設定	$40	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	下位ﾊﾞｲﾄ	
EEPROMﾍﾟｰｼﾞ内ﾊﾞｲﾄ設定	$C1	$00	ﾍﾟｰｼﾞ内位置	ﾊﾞｲﾄ	注:ﾍﾟｰｼﾞ内指示以外のﾋﾞｯﾄは0。
読み出し命令					
ﾌﾗｯｼｭ ﾒﾓﾘ上位ﾊﾞｲﾄ読み出し	$28	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	上位ﾊﾞｲﾄ	
ﾌﾗｯｼｭ ﾒﾓﾘ下位ﾊﾞｲﾄ読み出し	$20	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	下位ﾊﾞｲﾄ	
EEPROM読み出し	$A0	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	ﾊﾞｲﾄ	
施錠ﾋﾞｯﾄ読み出し	$58	$00	$00	施錠ﾋﾞｯﾄ値	
識票ﾊﾞｲﾄ読み出し	$30	$00	ｱﾄﾞﾚｽ	識票ﾊﾞｲﾄ	
ﾋｭｰｽﾞ下位読み出し	$50	$00	$00	ﾋｭｰｽﾞ下位	
ﾋｭｰｽﾞ上位読み出し	$58	$08	$00	ﾋｭｰｽﾞ上位	
拡張ﾋｭｰｽﾞ読み出し	$50	$08	$00	拡張ﾋｭｰｽﾞ	拡張ﾋｭｰｽﾞは存在しません。
校正ﾊﾞｲﾄ読み出し	$38	$00	$00	校正ﾊﾞｲﾄ	
書き込み命令 (注2)					
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み	$4C	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	$00	
EEPROMﾊﾞｲﾄ書き込み	$C0	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	ﾊﾞｲﾄ	
EEPROMﾍﾟｰｼﾞ書き込み	$C2	ｱﾄﾞﾚｽ上位	ｱﾄﾞﾚｽ下位	$00	注:ﾍﾟｰｼﾞ指示以外のｱﾄﾞﾚｽ ﾋﾞｯﾄは0。
施錠ﾋﾞｯﾄ書き込み	$AC	$E0	$00	施錠ﾋﾞｯﾄ値	
ﾋｭｰｽﾞ下位書き込み	$AC	$A0	$00	ﾋｭｰｽﾞ下位	
ﾋｭｰｽﾞ上位書き込み	$AC	$A8	$00	ﾋｭｰｽﾞ上位	
拡張ﾋｭｰｽﾞ書き込み	$AC	$A4	$00	拡張ﾋｭｰｽﾞ	拡張ﾋｭｰｽﾞは存在しません。

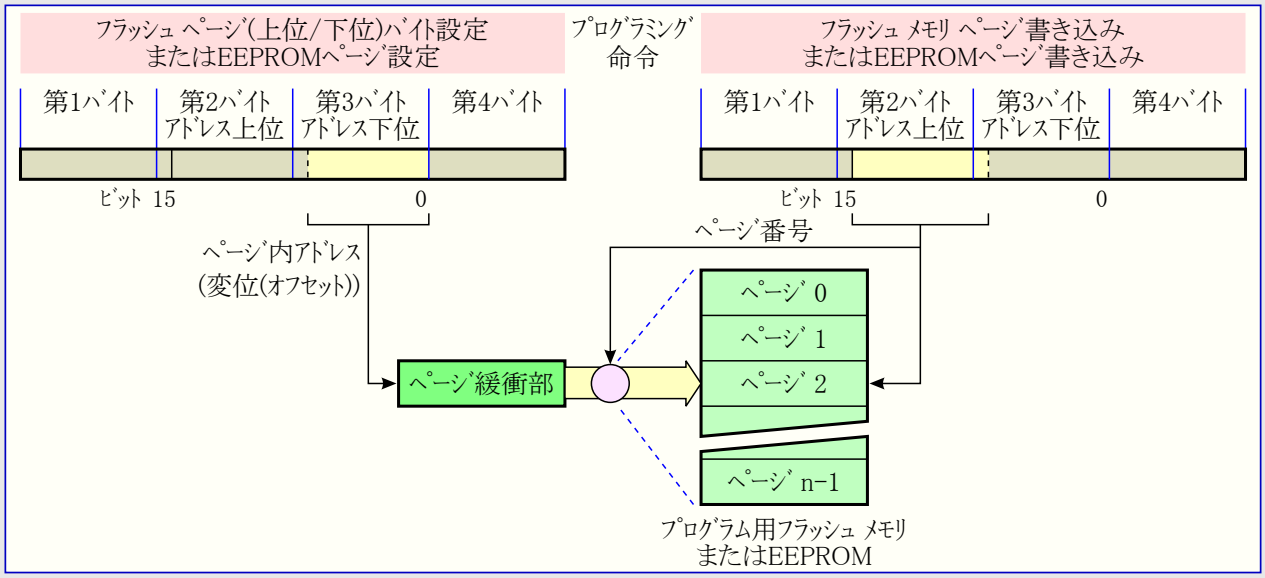
注1：全命令が全ﾃﾞﾊﾞｲｽで利用可能な訳ではありません。
注2：ﾌﾟﾛｸﾞﾗﾑ用ﾒﾓﾘにｱｸｾｽする命令は語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽを使います。このｱﾄﾞﾚｽはﾍﾟｰｼﾞ範囲内で乱順にできます。
注:
- 施錠ﾋﾞｯﾄとﾋｭｰｽﾞ値はﾌﾟﾛｸﾞﾗﾑが0、非ﾌﾟﾛｸﾞﾗﾑが1です。将来との互換性のため、未使用のﾋｭｰｽﾞと施錠ﾋﾞｯﾄは非ﾌﾟﾛｸﾞﾗﾑ(1)にすべきです。
- ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄ、識票ﾊﾞｲﾄ、校正ﾊﾞｲﾄ、ﾍﾟｰｼﾞ容量については対応項目を参照してください。
- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと書き込み器に関する応用記述については http://www.atmel.com/avr をご覧ください。
- 第4ﾊﾞｲﾄの赤背景はﾎｽﾄ読み込み(ﾃﾞﾊﾞｲｽ出力)を示します。

多忙/準備可検査ﾊﾞｲﾄ ﾃﾞｰﾀ出力のLSBが1なら、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が未だ保留(動作中)です。次の命令が実行される前に本ﾋﾞｯﾄが0に戻るまで待ってください。

同じﾍﾟｰｼﾞ内で、下位ﾊﾞｲﾄ ﾃﾞｰﾀは上位ﾊﾞｲﾄ ﾃﾞｰﾀに先行して格納されなければなりません。

ﾃﾞｰﾀがﾍﾟｰｼﾞ緩衝部に格納された後にEEPROMﾍﾟｰｼﾞをﾌﾟﾛｸﾞﾗﾑしてください。次頁の図30-2.をご覧ください。

図30-2. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令例



(訳補) ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、ﾍﾟｰｼﾞ緩衝部内のｱﾄﾞﾚｽ(位置)指定に使われるﾋﾞｯﾄはﾒﾓﾘ容量とﾍﾟｰｼﾞ構成に依存します。ATmega16HVB/32HVBでのこれらの指定方法は次表で要約されます。

表30-A. ｱﾄﾞﾚｽ(第2,3ﾊﾞｲﾄ)指定法

命令	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ	備考
拡張ｱﾄﾞﾚｽ設定			該当命令なし
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ内ﾊﾞｲﾄ設定	0000 0000	00LL LLLL	ATmega16HVB/32HVB : L=PC5～0
EEPROMﾍﾟｰｼﾞ内ﾊﾞｲﾄ設定	0000 0000	0000 00LL	ATmega16HVB/32HVB : L=EEA1～0
ﾌﾗｯｼｭ ﾒﾓﾘ読み出し	000H HHHH 00HH HHHH	LLLL LLLL	ATmega16HVB : H=PC12～8,L=PC7～0 ATmega32HVB : H=PC13～8,L=PC7～0
EEPROM読み出し	0000 000H 0000 00HH	LLLL LLLL	ATmega16HVB : H=EEA8,L=EEA7～0 ATmega32HVB : H=EEA9～8,L=EEA7～0
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み	000H HHHH 00HH HHHH	LL00 0000	ATmega16HVB : H=PC12～8,L=PC7～6 ATmega32HVB : H=PC13～8,L=PC7～6
EEPROMﾊﾞｲﾄ書き込み	0000 000H 0000 00HH	LLLL LLLL	ATmega16HVB : H=EEA8,L=EEA7～0 ATmega32HVB : H=EEA9～8,L=EEA7～0
EEPROMﾍﾟｰｼﾞ書き込み	0000 000H 0000 00HH	LLLL LL00	ATmega16HVB : H=EEA8,L=EEA7～2 ATmega32HVB : H=EEA9～8,L=EEA7～2

30.7. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

本項はAtmel ATmega16HVB/32HVBのﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、ﾃﾞｰﾀ用EEPROM、ﾒﾓﾘの施錠ﾋﾞｯﾄ、ﾋｭｰｽﾞ ﾋﾞｯﾄの並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合の方法を記述します。特記事項を除いて、ﾊﾟﾙｽ幅は最低250nsと仮定されます。

30.7.1. 効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞへの考慮

設定した指令とｱﾄﾞﾚｽはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、維持されます。効率的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行うために次を考慮すべきです。

- 複数のﾒﾓﾘ領域を読み書きする時に指令設定は一度だけ必要です。
- ﾁｯﾌﾟ消去後のﾌﾗｯｼｭ ﾒﾓﾘと(EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合を除き)EEPROM全体の内容は$FFなので、値が$FFのﾃﾞｰﾀ書き込みを飛ばします。
- ｱﾄﾞﾚｽ上位ﾊﾞｲﾄはﾌﾗｯｼｭ ﾒﾓﾘで新規256語(ﾜｰﾄﾞ)枠、EEPROMで新規256ﾊﾞｲﾄ枠の読み書き前に一度だけ必要です。この考慮は識票ﾊﾞｲﾄ読み出しにも適用されます。

30.7.2. 信号名

本章でAtmel ATmega16HVB/32HVBのいくつかのﾋﾟﾝは並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の機能を表す信号名で参照されます。図30-3.と表30-13.をご覧ください。後続の表で示されないﾋﾟﾝはﾋﾟﾝ名によって参照されます。

XA0とXA1ﾋﾟﾝはXTAL1ﾋﾟﾝが正ﾊﾟﾙｽを与えられる時に実行される動作を決定します。このﾋﾞｯﾄ符号化は表30-15.で示されます。

$\overline{\text{WR}}$または$\overline{\text{OE}}$ﾊﾟﾙｽ送出時、設定された指令が決める動作が実行されます。各種指令は表30-16.で示されます。160頁の表32-18.は並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性を示します。

図30-3. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図

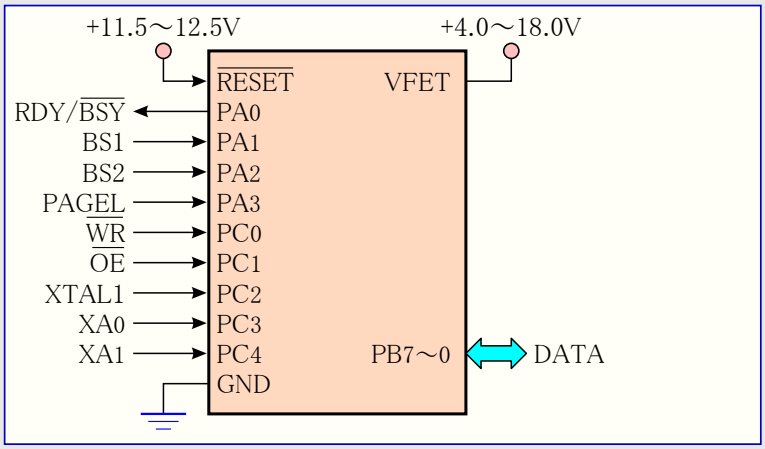


表30-13. 信号名とﾋﾟﾝ名の関係

信号名	ﾋﾟﾝ名	入出力	機能
RDY/BSY	PA0	出力	0(Low)：多忙(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中)　1(High)：準備可(指令受付可)
BS1	PA1	入力	上位/下位ﾊﾞｲﾄ選択1 (0:下位, 1:上位)　(一般用)
BS2	PA2	入力	上位/下位ﾊﾞｲﾄ選択2 (0:下位, 1:上位)　(ﾋｭｰｽﾞ ﾋﾞｯﾄ用)
PAGEL	PA3	入力	ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘとEEPROMﾃﾞｰﾀをﾍﾟｰｼﾞ一時緩衝部に設定
WR	PC0	入力	書き込みﾊﾟﾙｽ(負論理)
OE	PC1	入力	出力許可(負論理)
XTAL1	PC2	入力	動作起動ﾊﾟﾙｽ
XA0	PC3	入力	XTAL動作ﾋﾞｯﾄ0
XA1	PC4	入力	XTAL動作ﾋﾞｯﾄ1
DATA	PB7～0	入出力	双方向ﾃﾞｰﾀ ﾊﾞｽ (OE=Low時出力)
RESET	RESET	入力	並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作指示電圧

表30-14. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作移行時のﾋﾟﾝ値

ﾋﾟﾝ名	ｼﾝﾎﾞﾙ	値
PB3	Prog_enable[3]	0
PB2	Prog_enable[2]	0
PB1	Prog_enable[1]	0
PB0	Prog_enable[0]	0

表30-15. XA0とXA1の符号化(機能)

XA1	XA0	XTAL1ﾊﾟﾙｽ時の動作
0	0	ﾌﾗｯｼｭまたはEEPROMのｱﾄﾞﾚｽ設定 (上位/下位はBS1で指定)
0	1	ﾃﾞｰﾀ設定 (ﾌﾗｯｼｭの上位/下位はBS1で指定)
1	0	指令設定
1	1	ｱｲﾄﾞﾙ (動作なし)

表30-16. 指令ﾊﾞｲﾄのﾋﾞｯﾄ符号化

指令ﾊﾞｲﾄ	指令の機能	指令ﾊﾞｲﾄ	指令の機能
$80 (1000 0000)	ﾁｯﾌﾟ消去	$08 (0000 1000)	識票ﾊﾞｲﾄ、校正ﾊﾞｲﾄ読み出し
$40 (0100 0000)	ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み	$04 (0000 0100)	ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ読み出し
$20 (0010 0000)	施錠ﾋﾞｯﾄ書き込み	$02 (0000 0010)	ﾌﾗｯｼｭ ﾒﾓﾘ読み出し
$10 (0001 0000)	ﾌﾗｯｼｭ ﾒﾓﾘ書き込み	$03 (0000 0011)	EEPROM読み出し
$11 (0001 0001)	EEPROM書き込み		

30.7.3. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行

次に示す方法がﾃﾞﾊﾞｲｽを並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作にします。

① 28頁の「**電源ONﾘｾｯﾄと充電器接続**」項で説明されるようにﾁｯﾌﾟが開始されることを確実にしてください。
② $\overline{\text{RESET}}$をLow(0)にし、XTAL1を少なくとも6回、交互に(High/Low)切り替えます。
③ 140頁の**表30-14.**で一覧されるProg_enableﾋﾟﾝを全てLow(0)に設定し、最低100ns待ちます。
④ $\overline{\text{RESET}}$に11.5～12.5Vを印加します。+12Vが$\overline{\text{RESET}}$に印加されてしまった後100ns以内のProg_enableﾋﾟﾝのどんな動きも、ﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行を失敗させます。
⑤ 新規指令送出前に少なくとも50µs間待ちます。

30.7.4. ﾁｯﾌﾟ消去

ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM(注1)、施錠ﾋﾞｯﾄを消去します。施錠ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘが完全に消去されてしまうまでﾘｾｯﾄ(消去)されません。ﾋｭｰｽﾞ ﾋﾞｯﾄは変更されません。ﾁｯﾌﾟ消去はﾌﾗｯｼｭ ﾒﾓﾘやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されていると、EEPROMはﾁｯﾌﾟ消去中、保護されます。

「ﾁｯﾌﾟ消去」指令設定

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② BS1をLow(0)に設定します。
③ DATAを$80(1000 0000)に設定します。これはﾁｯﾌﾟ消去指令です。
④ XTAL1に正ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去指令を設定します。
⑤ $\overline{\text{WR}}$に負ﾊﾟﾙｽを与えます。これはﾁｯﾌﾟ消去を開始します。RDY/$\overline{\text{BSY}}$がLow(0)になります。
⑥ 次の指令を設定する前にRDY/$\overline{\text{BSY}}$がHigh(1)になるまで待ちます。

30.7.5. フラッシュ メモリ書き込み (次頁の図30-5.タイミングを参照)

フラッシュ メモリはページで構成されます(136頁の表30-6.参照)。フラッシュ メモリへ書く時にプログラム データはページ緩衝部にラッチされます。これは同時に書かれることをプログラム データの1ページに許します。次の手順は完全なフラッシュ メモリの書き込み方法を記述します。

A. 「フラッシュ メモリ書き込み」指令設定

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② BS1をLow(0)に設定します。
③ DATAを$10(0001 0000)に設定します。これはフラッシュ メモリ書き込み指令です。
④ XTAL1に正パルスを与えます。これはフラッシュ メモリ書き込み指令を設定します。

B. アドレス下位バイト設定

① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
② BS1をLow(0)に設定します。これは下位アドレス(バイト)を選びます。
③ DATAにアドレス下位バイト($00～$FF)を設定します。
④ XTAL1に正パルスを与えます。これはアドレス下位バイトを設定します。

C. データ下位バイト設定

① XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
② DATAにデータ下位バイト($00～$FF)を設定します。
③ XTAL1に正パルスを与えます。これはデータ下位バイトを設定します。

D. データ上位バイト設定

① BS1をHigh(1)に設定します。これは上位バイトを選びます。
② XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
③ DATAにデータ上位バイト($00～$FF)を設定します。
④ XTAL1に正パルスを与えます。これはデータ上位バイトを設定します。

E. 語(ワード)データをページ一時緩衝部に設定

① BS1をHigh(1)にします。これは上位バイトを選びます。
② PAGELに正パルスを与えます。これは語データをページ一時緩衝部にラッチ(設定)します。

F. 緩衝部全体が満たされるか、または(必要な)全てのデータが緩衝部内に設定されるまで、B～Eを繰り返し

アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュ メモリ内のページをアドレス指定します。これは図30-4.で図示されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量<256)、アドレス下位バイトの最上位(側)ビットがページ書き込み実行時のページ アドレスに使われることに注意してください。

G. アドレス上位バイト設定

① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
② BS1をHigh(1)に設定します。これは上位アドレス(バイト)を選びます。
③ DATAにアドレス上位バイト($00～$1F/$3F)を設定します。
④ XTAL1に正パルスを与えます。これはアドレス上位バイトを設定します。

H. ページ書き込み

① BS1をLow(0)に設定します。
② $\overline{WR}$に負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/$\overline{BSY}$がLow(0)になります。
③ RDY/$\overline{BSY}$がHigh(1)になるまで待ちます。

I. フラッシュ メモリ全部が書かれるか、または(必要な)全データが書かれてしまうまで、B～Hを繰り返し

J. ページ書き込み終了

① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
② DATAを$00(0000 0000)にします。これは無操作指令です。
③ XTAL1に正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図30-4. ページで構成されたフラッシュ メモリのアドレス指定

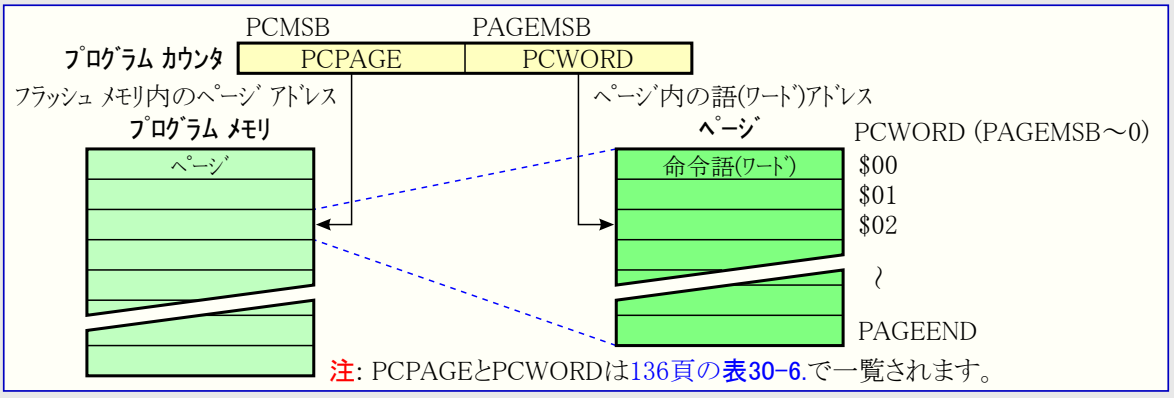
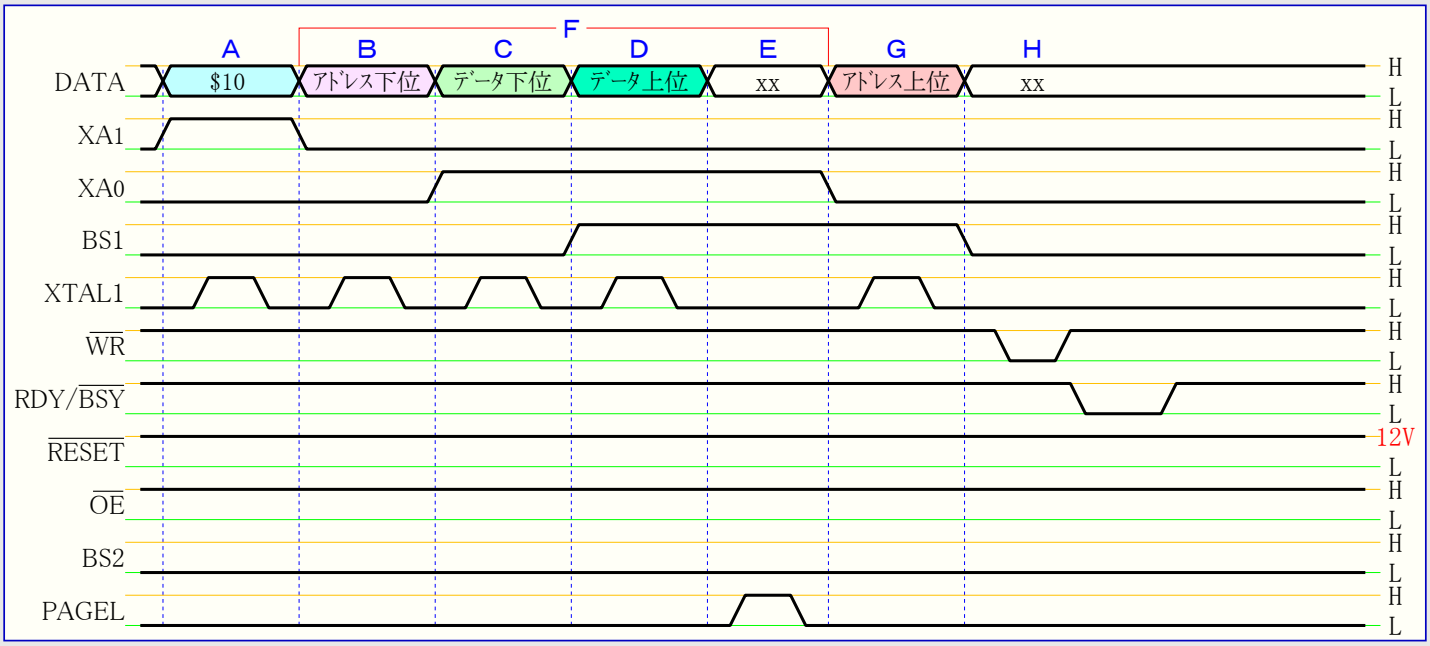


図30-5. フラッシュ メモリ書き込みタイミング



注: xx値は無関係です。A～Hは前記プログラミングを参照してください。

30.7.6. EEPROM書き込み

EEPROMはページで構成されます(136頁の表30-8.参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(指令、アドレス、データ設定の詳細については142頁の「フラッシュ メモリの書き込み」を参照。図30-6.タイミング参照。)

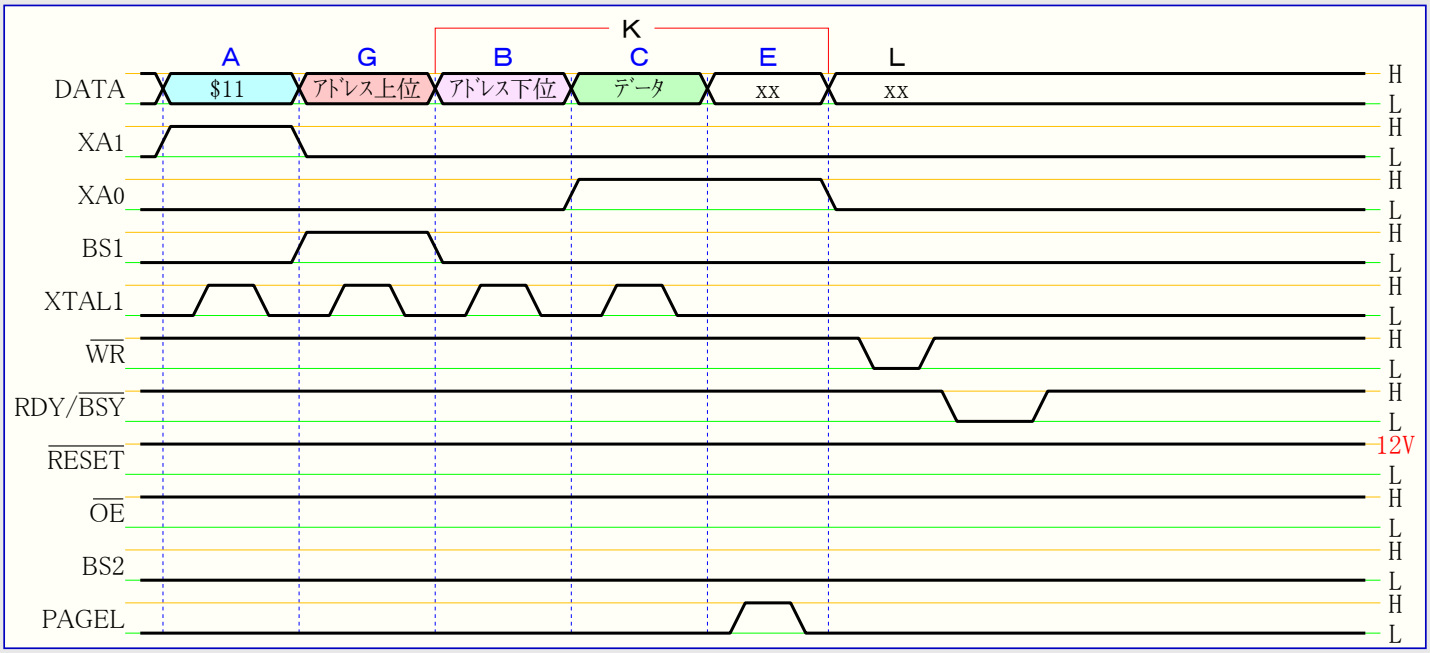
1. EEPROM書き込み指令$11(0001 0001)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$01/$03)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. データ バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のCを参照)
5. データをラッチします(PAGELに正パルスを与えます)。(「フラッシュ メモリ書き込み」のEを参照)

K. 緩衝部全体が満たされるまで3～5を繰り返します。

L. EEPROMページ書き込み

① BS1をLow(0)に設定します。
② $\overline{WR}$に負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/$\overline{BSY}$がLow(0)になります。
③ 次のページを書く前に、RDY/$\overline{BSY}$がHigh(1)になるまで待ちます。

図30-6. EEPROM書き込みタイミング



30.7.7. フラッシュ メモリ読み出し

フラッシュ メモリの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については142頁の「フラッシュ メモリの書き込み」を参照)

1. フラッシュ メモリ読み出し指令$02(0000 0010)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$1F/$3F)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。フラッシュ メモリ語(ワード)の下位バイトが直ぐにDATAで読めます。
5. BS1をHigh(1)に設定します。フラッシュ メモリ語(ワード)の上位バイトが直ぐにDATAで読めます。
6. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

30.7.8. EEPROM読み出し

データ用EEPROMの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については142頁の「フラッシュ メモリの書き込み」を参照)

1. EEPROM読み出し指令$03(0000 0011)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. アドレス上位バイト($00～$01/$03)を設定します。(「フラッシュ メモリ書き込み」のGを参照)
3. アドレス下位バイト($00～$FF)を設定します。(「フラッシュ メモリ書き込み」のBを参照)
4. BS1をLow(0)、$\overline{OE}$をLow(0)に設定します。EEPROMのバイト データが直ぐにDATAで読めます。
5. $\overline{OE}$をHigh(1)に設定します。DATAはHi-Zになります。

30.7.9. ヒューズ ビット書き込み (訳注:原書での上位/下位ヒューズ項を1つに纏めました。)

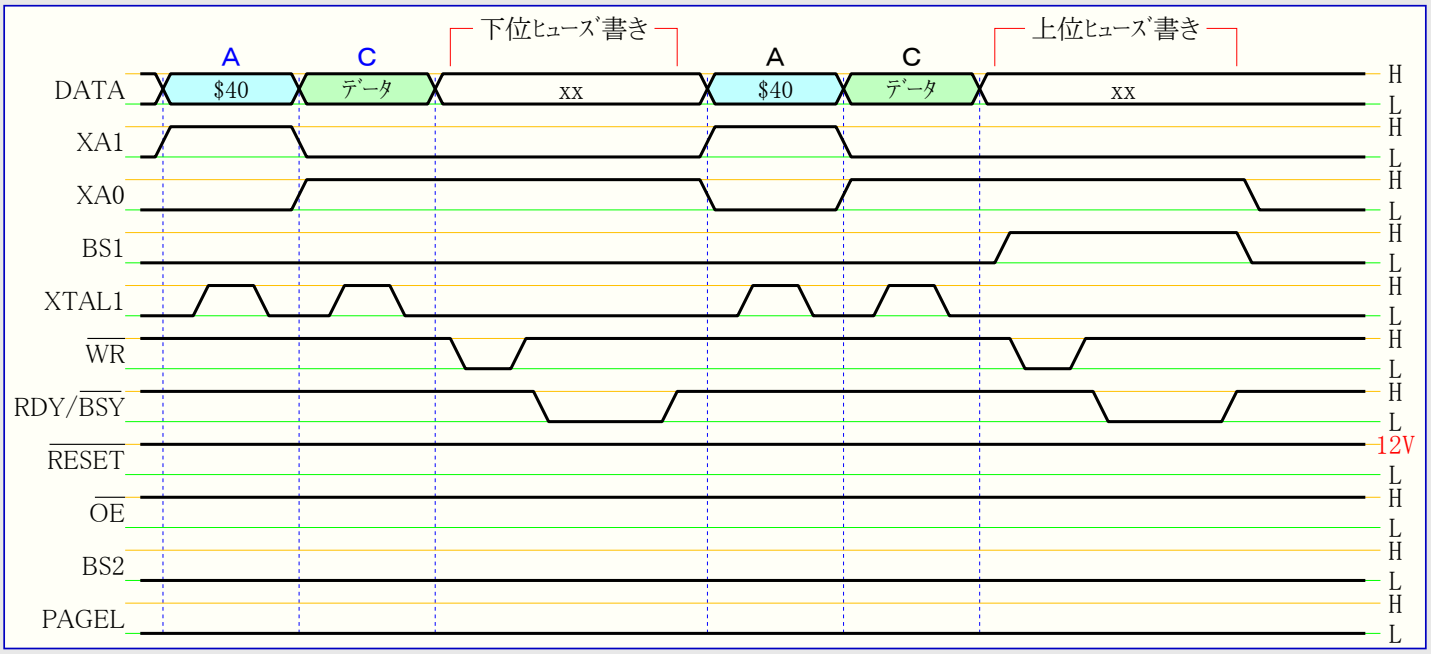
各ヒューズ バイトの書き込み方法は次のとおりです。(指令とデータ設定の詳細については142頁の「フラッシュ メモリの書き込み」を参照)

1. ヒューズ ビット書き込み指令$40(0100 0000)を設定します。(「フラッシュ メモリ書き込み」のAを参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュ メモリ書き込み」のCを参照)
3. BS1とBS2を右表の目的バイトに対応する設定にします。
4. $\overline{WR}$に負パルスを与え、RDY/$\overline{BSY}$がHighになるまで待ちます。
5. 3.でHighに設定したBS1、BS2をLow(0)に戻します。これはデータ下位バイトを選びます。

表A. ヒューズ バイト対応BS1,BS2設定

ヒューズ バイト	BS1	BS2
上位バイト	High(1)	Low(0)
下位バイト	Low(0)	Low(0)

図30-7. ヒューズ書き込みタイミング



30.7.10. 施錠ﾋﾞｯﾄ書き込み

施錠ﾋﾞｯﾄの書き込み方法は次のとおりです。(指令とﾃﾞｰﾀ設定の詳細については142頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. 施錠ﾋﾞｯﾄ書き込み指令$20(0010 0000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. ﾃﾞｰﾀ下位ﾊﾞｲﾄ(としてﾃﾞｰﾀ)を設定します。0=ﾌﾟﾛｸﾞﾗﾑ,1=無変化です。LB保護種別3が設定(LB1とLB2がﾌﾟﾛｸﾞﾗﾑ(0))されると、どの外部的なﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作種別によってもﾌﾞｰﾄ施錠ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾐﾝｸﾞできません。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のCを参照)
3. $\overline{\text{WR}}$に負ﾊﾟﾙｽを与え、RDY/$\overline{\text{BSY}}$がHighになるまで待ちます。

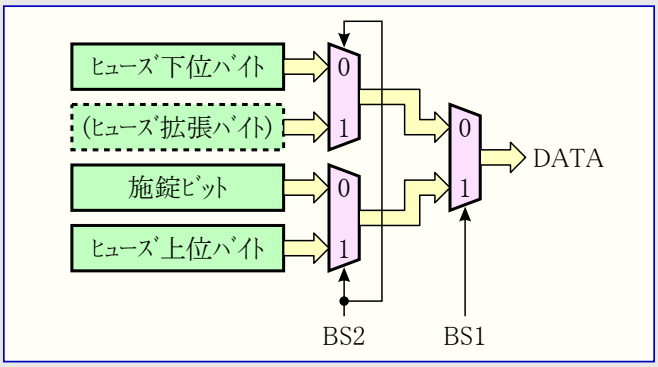
施錠ﾋﾞｯﾄはﾁｯﾌﾟ消去の実行によってのみ解除(1)できます。

30.7.11. ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し

ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し方法は次のとおりです。(指令設定の詳細については142頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. ﾋｭｰｽﾞ ﾋﾞｯﾄと施錠ﾋﾞｯﾄの読み出し指令$04(0000 0100)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. BS1とBS2をLow(0)、$\overline{\text{OE}}$をLow(0)に設定します。ﾋｭｰｽﾞ下位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
3. BS1とBS2をHigh(1)、$\overline{\text{OE}}$をLow(0)に設定します。ﾋｭｰｽﾞ上位ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
4. $\overline{\text{BS1}}$をhigh(1)、BS2をLow(0)、$\overline{\text{OE}}$をLow(0)に設定します。施錠ﾋﾞｯﾄの状態が直ぐにDATAで読めます。(0=ﾌﾟﾛｸﾞﾗﾑ)
5. $\overline{\text{OE}}$をHigh(1)に設定します。DATAはHi-Zになります。

図30-8. ﾋｭｰｽﾞ,施錠ﾋﾞｯﾄ読み出し中のBS1, BS2との関係



30.7.12. 識票ﾊﾞｲﾄ読み出し

識票ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については142頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. 識票ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ($00～$02)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のBを参照)
3. $\overline{\text{BS1}}$をLow(0)、$\overline{\text{OE}}$をLow(0)に設定します。選んだ識票ﾊﾞｲﾄが直ぐにDATAで読めます。
4. $\overline{\text{OE}}$をHigh(1)に設定します。DATAはHi-Zになります。

30.7.13. 校正ﾊﾞｲﾄ読み出し

校正値ﾊﾞｲﾄの読み出し方法は次のとおりです。(指令とｱﾄﾞﾚｽ設定の詳細については142頁の「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」を参照)

1. 校正ﾊﾞｲﾄ読み出し指令$08(0000 1000)を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のAを参照)
2. ｱﾄﾞﾚｽ下位ﾊﾞｲﾄに$00を設定します。(「ﾌﾗｯｼｭ ﾒﾓﾘの書き込み」のBを参照)
3. $\overline{\text{BS1}}$をHigh(1)、$\overline{\text{OE}}$をLow(0)に設定します。校正ﾊﾞｲﾄが直ぐにDATAで読めます。
4. $\overline{\text{OE}}$をHigh(1)に設定します。DATAはHi-Zになります。

(訳注) 上記校正ﾊﾞｲﾄ読み出し法は校正ﾊﾞｲﾄが複数のため不適切です。2.で任意のｱﾄﾞﾚｽ指定を行なうことが予測されます。

31. 動作回路

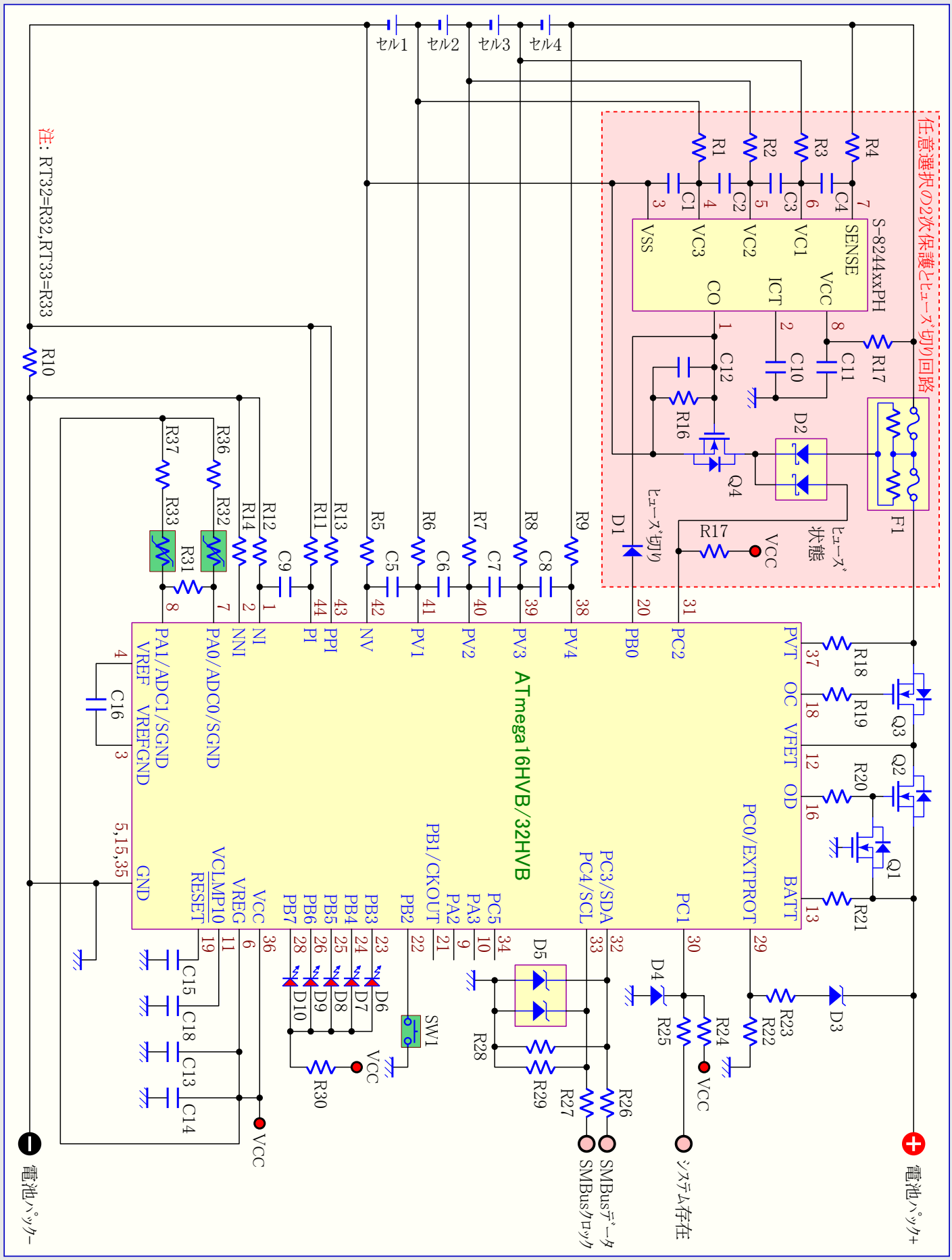


図31-1. 動作回路、4セル

図31-2. 動作回路、3セル

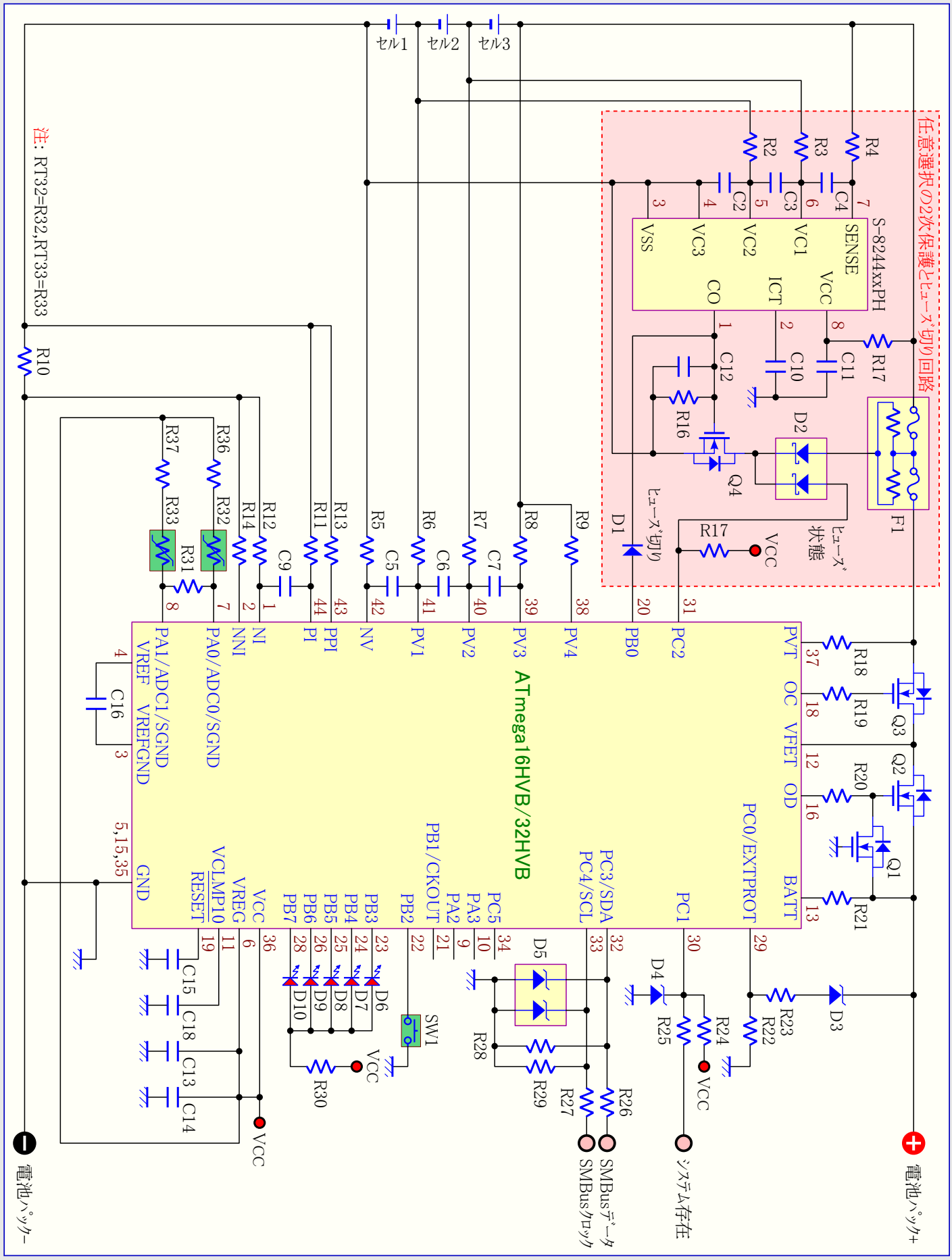


図31-3. 動作回路、2セル

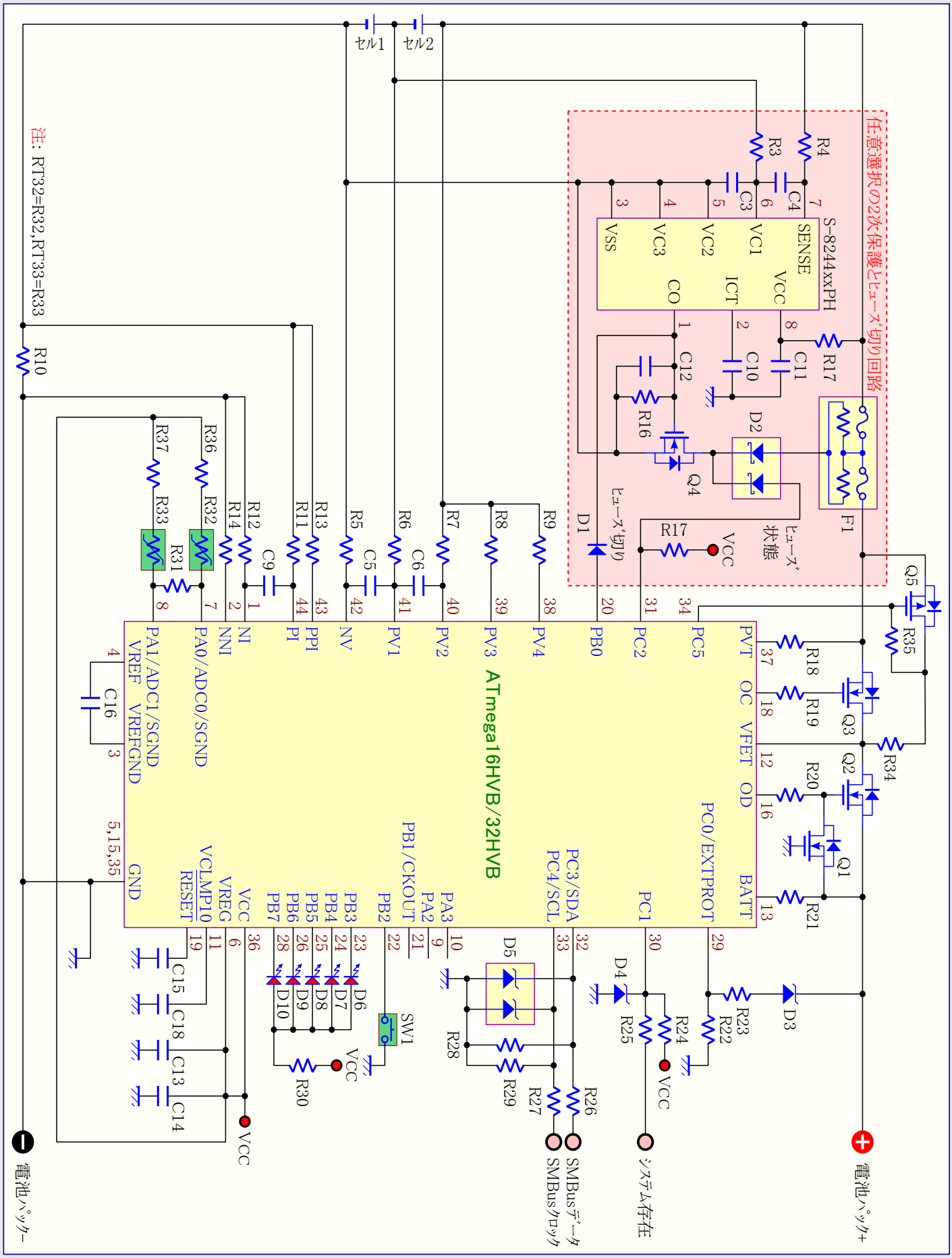


表31-1. 外部部品推奨値

ｼﾝﾎﾞﾙ	数量	説明
U1	1	ATmega32HVB (Atmel)
U2	1	S-8244 2次保護ﾃﾞﾊﾞｲｽ (SEIKO電子)
Q1	1	N-ch FET,50V,0.22A
Q2,3	2	N-ch FET,30V,10A
Q4	1	N-ch FET,20V,1.3A
Q5	1	P-ch FET,30V,10A
D1	1	信号用ﾀﾞｲｵｰﾄﾞ
D2	1	2個入り ｼｮｯﾄｷｰ ﾀﾞｲｵｰﾄﾞ
D3	1	??V ﾂｪﾅｰ ﾀﾞｲｵｰﾄﾞ (電圧値は設計の考察による)
D4	1	5.6V ﾂｪﾅｰ ﾀﾞｲｵｰﾄﾞ
D5	1	2個入り 5.6V ﾂｪﾅｰ ﾀﾞｲｵｰﾄﾞ
D6～10	5	LED
R1～4	4	ﾁｯﾌﾟ抵抗器 1～10kΩ,1/16W,5%
R5～9	5	ﾁｯﾌﾟ抵抗器 10Ω～1kΩ,1/16W,5%
R10	1	電流検出抵抗器 1～10mΩ,1W,1%
R11,12	2	ﾁｯﾌﾟ抵抗器 10～500Ω,1/16W,5%
R13,14,18～21,24,25	8	ﾁｯﾌﾟ抵抗器 1kΩ,1/16W,5%
R15	1	ﾁｯﾌﾟ抵抗器 100Ω～1kΩ,1/16W,5%
R16,17	2	ﾁｯﾌﾟ抵抗器 200kΩ,1/16W,5%
R22	1	ﾁｯﾌﾟ抵抗器 ???Ω,1/16W,5% (抵抗値は設計の考察による)
R23	1	ﾁｯﾌﾟ抵抗器 ???Ω,1/16W,5% (抵抗値は設計の考察による)
R26,27	2	ﾁｯﾌﾟ抵抗器 100Ω,1/16W,5%
R28,29	2	ﾁｯﾌﾟ抵抗器 1MΩ,1/16W,5%
R30	1	ﾁｯﾌﾟ抵抗器 820Ω,1/16W,5%
R31	1	ﾁｯﾌﾟ抵抗器 2.4kΩ,1/16W,5%
R32,33	2	NTCｻｰﾐｽﾀ 10kΩ, β=3000～4000
R34	1	ﾁｯﾌﾟ抵抗器 ???Ω,1/16W,5% (電池ﾊﾟｯｸと充電部の必要条件により決められる値)
R35	1	ﾁｯﾌﾟ抵抗器 1MΩ,1/16W,5%
R36,37	2	ﾁｯﾌﾟ抵抗器 5.1kΩ,1/16W,5%
C1～4,10,11	6	ｾﾗﾐｯｸ ｺﾝﾃﾞﾝｻ 0.1～1.0μF,50V,X7R
C5～8	4	ｾﾗﾐｯｸ ｺﾝﾃﾞﾝｻ 0.01～0.47μF,50V,X7R
C9,12,13,15	4	ｾﾗﾐｯｸ ｺﾝﾃﾞﾝｻ 0.1μF,50V,X7R
C14	1	ｾﾗﾐｯｸ ｺﾝﾃﾞﾝｻ 2.2～4.7μF,10V,X7R
C16	1	ｾﾗﾐｯｸ ｺﾝﾃﾞﾝｻ 1～22μF,10V,X7R
C18	1	ｾﾗﾐｯｸ ｺﾝﾃﾞﾝｻ 0.022μF,50V,X7R
F1	1	自己制御保護器(ﾋｭｰｽﾞ)
SW1	1	押し釦ｽｲｯﾁ

32. 電気的特性

32.1. 絶対最大定格（警告）

動作温度 ····· −40℃ ～ +85℃
保存温度 ····· −65℃ ～ +150℃
PA0～3,PI,NI,PPI,NNIﾋﾟﾝ許容電圧 ····· −0.5V ～ VREG+0.5V
PB0～7ﾋﾟﾝ許容電圧 ····· −0.5V ～ VCC+0.5V
PC0～4,PV1,NVﾋﾟﾝ許容電圧 ····· −0.5V ～ +6.0V
OC,ODﾋﾟﾝ許容電圧 ····· −0.5V ～ +35V
PC5,BATT,PVT,VFET,
PV2,PV3,PV4ﾋﾟﾝ許容電圧 ····· −0.5V～ +25V
PV3に対するPV4電圧 ····· −0.5V ～ +10V
PV2に対するPV3電圧 ····· −0.5V ～ +10V
PV1に対するPV2電圧 ····· −0.5V ～ +10V
NVに対するPV1電圧 ····· −0.5V ～ +10V
VFETに対するPVT電圧 ····· 10V
VCLMP10,$\overline{\text{RESET}}$ﾋﾟﾝ許容電圧 ····· −0.5V ～ +13.0V
VREG,VCC最大動作電圧 ····· 4.5V
VFET最大動作電圧 ····· 18V

（警告）

絶対最大定格を超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

32.2. 供給電流特性

表32-1. 供給電流特性（別記指定を除きTA=25℃）

記号	項目	条件			最小	代表	最大	単位
I_{VFET}	活動動作電流	VFET=16V,PRR全ﾋﾞｯﾄ=1		8MHz		3.75	5	mA
				1MHz		0.76	1	
	ｱｲﾄﾞﾙ動作電流	VFET=16V,PRR全ﾋﾞｯﾄ=1		1MHz		215	293	µA
	A/D変換雑音低減動作電流	VFET=16V,VADC許可 PRVADCを除くPRR全ﾋﾞｯﾄ=1		1MHz		350		
	ﾊﾟﾜｰｾｰﾌﾞ動作電流	VFET=16V	WDTのみ許可,DUVR禁止			28	46	
			WDT,CC-ADC,OC,OD,電池保護許可,DUVR禁止			115	170	
	ﾊﾟﾜｰｵﾌ動作電流	VFET=6V				<1	2	

32.3. N-FET駆動部特性

表32-2. N-ch FET駆動部特性 (別記指定を除きTA=25℃)

記号	項目	条件			最小	代表	最大	単位
$V_{OC,ON}$	PVT電圧に関するOCﾋﾟﾝON電圧	OC許可		VFET=16V		13		V
				VFET=10V		13		
				VFET=4V		6		
$V_{OD,ON}$	BATT電圧に関するODﾋﾟﾝON電圧	OD許可		VFET=16V		13		
				VFET=10V		13		
				VFET=4V		6		
$V_{OC,OFF}$	GNDに関するOCﾋﾟﾝOFF電圧					0.0		
$V_{OD,OFF}$	GNDに関するODﾋﾟﾝOFF電圧					0.0		
$t_{r,OC}$	OCﾋﾟﾝ上昇時間	Ceq=4700pF	V(OC-PVT) =0～2V	VFET=16V		0.8		ms
				VFET=10V		1.1		
				VFET=6V		3		
			V(OC-PVT) =2～4V	VFET=16V		1		
				VFET=10V		1.2		
				VFET=6V		1.3		
$t_{r,OD}$	ODﾋﾟﾝ上昇時間	Ceq=4700pF	V(OD-BATT) =0～2V	VFET=16V		0.8		
				VFET=10V		1.1		
				VFET=6V		3		
			V(OD-BATT) =2～4V	VFET=16V		1		
				VFET=10V		1.2		
				VFET=6V		1.3		
$t_{f,OC}$	OCﾋﾟﾝ下降時間	Ceq=4700pF, VFET=16V				50		ns
$t_{f,OD}$	ODﾋﾟﾝ下降時間	Ceq=4700pF, VFET=16V				50		
I_{LOAD}	OC/OD駆動能力 (注1)	VFET=9V, TA=85℃					3.5	μA
$V_{VFET,DUVR}$	DUVR動作時、調整VFET電圧	DUVR許可,VREF=1.1V			4.1		4.9	V

注: N-FET駆動部は6Vの最小ｾﾙ総電圧、またはFETをONにするために接続された充電器が必要です。この制限は先立ってFETが禁止されている場合にだけ適用することに注意してください。FETが既に許可されているなら、ﾃﾞﾊﾞｲｽの電圧範囲(4～18V)全体で完全に動作します。

注1: ﾋﾟﾝ上の定抵抗性負荷でOC/ODを0Vから指定出力ﾚﾍﾞﾙに切り換えるN-FET駆動部の能力を測定してください。この限度以上の負荷はOC/ODを指定したﾚﾍﾞﾙに至らせられないかもしれません。駆動能力は高い温度依存性です。詳細については165頁の「N-FET駆動部特性」を参照してください。

32.4. リセット特性

表32-3. リセット特性 (別記指定を除きTA=-40～85℃)

記号	項目	条件	最小	代表	最大	単位
V_{POT}	電源ONﾘｾｯﾄ閾値電圧(上昇時) (注1)		4.5		7	V
	電源ONﾘｾｯﾄ閾値電圧(下降時) (注1,注2)		4.5		6.3	
t_{RST}	$\overline{\text{RESET}}$ﾋﾟﾝ最小ﾊﾟﾙｽ幅			900		ns
V_{BOT}	低電圧検出(BOD)電圧	TA=25℃		2.9	3.1	V
V_{HYST}	低電圧検出ﾋｽﾃﾘｼｽ電圧	TA=25℃		50		mV

注1: 電池ﾊﾟｯｸ+端子での電圧はﾁｯﾌﾟが許可された時にV_{POT}よりも僅かに高くなるでしょう。これは50～150μAでのBATTﾋﾟﾝの内部ﾌﾟﾙﾀﾞｳﾝ電流と、電池ﾊﾟｯｸ+端子とBATTﾋﾟﾝ間に接続されたR_{BATT}抵抗のためです。R_{BATT}=1kΩは0.05～0.15Vの電圧低下を生じます。

注2: 電源ONﾘｾｯﾄは電源OFF状態後に電圧が(下降時)V_{POT}以下にならなければ動作しません。

32.5. 電圧調整器特性

表32-4. 電圧調整器特性 (別記指定を除きTA=-40～85℃)

記号	項目	条件	最小	代表	最大	単位
V_{VREG}	調整器出力電圧	VFET=16.8V,I_{OUT}=20mA	3.1			V
		VFET=6V,I_{OUT}=20mA	3.1			
		VFET=4V,I_{OUT}=7mA	3.1			
V_{RSCL}	VFETﾋﾟﾝでの短絡回路検出電圧		3.3		3.8	
V_{BLOD}	VREGﾋﾟﾝでの電源消失検出電圧	TA=25℃		2.65	2.75	

32.6. 基準電圧と温度感知器の特性

表32-5. 基準電圧と温度感知器の特性 (別記指定を除きTA=-40～85℃)

記号	項目	条件		最小	代表	最大	単位
	基準電圧			1.100			V
	基準電圧精度 (注1)	校正後の校正温度にて			±0.1	±0.2	%
	温度変動 (注1,2)	TA=-40～85℃			60	90	ppm/K
		TA=0～60℃			25	50	
	VREF校正保持時間	CREG=2.2μF	BGCCR書き	2			μs
			BGCRR書き	5			
	絶対温度対VPTAT比例係数 (注2)				0.6		mV/K
	VPTAT絶対精度 (注3)					±5	K

注1: 校正はAtmelの工場検査で行われます。ｿﾌﾄｳｪｱは識票列に格納された校正値でBGCCRとBGCRRのﾚｼﾞｽﾀを書くことによってVREFを校正すべきです。

注2: この値は製造で検査されません。

注3: 測定したVPTAT電圧は絶対温度を得るためにVPTAT校正ﾚｼﾞｽﾀに格納された校正値で尺度調節されなければなりません。この項目に対する設計目標精度は正確な校正温度と仮定します。Atmelの工場検査に於ける校正後のこの項目の実際の精度はTBDに留まります。

32.7. A/D変換器特性

32.7.1. 電圧A/D変換器特性

表32-6. 電圧A/D変換器特性 (別記指定を除きTA=-40～85℃)

記号	項目	条件	最小	代表	最大	単位
	変換時間	clk_{VADC}=1MHz		519		μs
	分解能			12		ﾋﾞｯﾄ
	ADC0,1利得(×1)			263		μV/LSB
	ｾﾙ入力利得(×0.2)			1.42		mV/LSB
	積分非直線性誤差(INL) (注2)	ADC0,ADC1		±1	±3	LSB
		ｾﾙ1,ｾﾙ2,ｾﾙ3		±1	±3	
		ｾﾙ4		±2	±5	
	ADC0,ADC1,VTEMP入力電圧範囲		0		1	V
	ｾﾙ1入力電圧範囲		1.8		5	
	ｾﾙ2入力電圧範囲		0		5	
	ｾﾙ3入力電圧範囲		0		5	
	ｾﾙ4入力電圧範囲		0		5	
	変位(ｵﾌｾｯﾄ)変動 (注1,2)	ADC0,ADC1		1		LSB
		ｾﾙ1,ｾﾙ2,ｾﾙ3		1		
		ｾﾙ4		5		
	利得変動 (注1,2)	ADC0,ADC1		6		
		ｾﾙ1,ｾﾙ2,ｾﾙ3		7		
		ｾﾙ4		15		

注1: 値は製造に於けるAtmel工場での変位(ｵﾌｾｯﾄ)と利得の補償後で(129頁の「表29-3. 識票列ｱﾄﾞﾚｽ一覧」をご覧ください)、温度範囲全体に渡る変動を含みます。

注2: 値は製造で検査されませんが、設計と特性付けによって保証されます。

32.7.2. ｸｰﾛﾝ ｶｳﾝﾀA/D変換器特性

表32-7. ｸｰﾛﾝ ｶｳﾝﾀA/D変換器特性 (別記指定を除きTA=-40～85℃)

記号	項目	条件		最小	代表	最大	単位
	変換時間	瞬時変換,clk_{CC-ADC}=32kHz			3.9		ms
		累積変換,CADAS=11,clk_{CC-ADC}=32kHz			1		s
	分解能	瞬時変換			13		ﾋﾞｯﾄ
		累積変換			18		
	利得	累積変換	CADVSE=0		1.67		μV/LSB
			CADVSE=1		0.84		
		瞬時変換	CADVSE=0		53.7		
			CADVSE=1		26.9		
	入力電圧範囲	CADVSE=0		-200		200	mV
		CADVSE=1		-100		100	
	積分非直線性誤差(INL) (注1)	TA=0～60℃			±0.003	±0.005	% FSR
	変位(ｵﾌｾｯﾄ)誤差 (注2)	累積変換,TA=25℃			7		μV
	変位(ｵﾌｾｯﾄ)誤差変動 (注1,2)	累積変換			30		nV/℃
	利得誤差 (注1,3)				±0.4	±1	%
	利得誤差変動 (注1)				0.1		

注1: 値は特性付けしたﾃﾞｰﾀに基きます。

注2: 極性切り換え(CADPOL)機能を用いてｿﾌﾄｳｪｱ変位(ｵﾌｾｯﾄ)補償後です。

注3: 温度範囲全体に渡る変動を含む値です。

32.8. クロック特性

表32-8. クロック特性 (別記指定を除きTA=-40～85℃)

項目		条件	最小	代表	最大	単位
校正付き高速RC発振器	周波数	TA=25℃での工場校正後	7.92	8	8.08	MHz
	周波数変動 (注2)	校正クロックとしての低速RC発振器と発振器採取インターフェース(OSI)での走行時校正			3	%
低速RC発振器 (注1)	周波数 (注3)		91	131	171	kHz
	周波数予測誤差 (注4)			0.2		%
超低電力RC発振器 (注1)	周波数 (注3)		89	128	167	kHz
	周波数変動 (注2)			6		%

注1: 周波数は85℃での工場校正後の値で格納されています。

注2: 値は製造に於いて検査されていませんが、温度範囲全体に渡り、設計と特性付けによって保証されます。

注3: 製造に於いて実際の発振器周波数が測定され、デバイス識票列に格納されます(詳細については129頁の「ソフトウェアからの識票列読み出し」をご覧ください)。

注4: TA=0～85℃

32.9. 電池セル平衡特性

表32-9. 電池セル平衡特性 (別記指定を除きTA=25℃)

記号	項目	条件	最小	代表	最大	単位
	平衡電流	電池セル電圧(VCELL)=4.2V, V-ADC濾波抵抗=470Ω		4		mA

32.10. 電池保護特性

表32-10. 電池保護特性 (別記指定を除きTA=-40～85℃)

項目	条件	最小	最大	単位
回路短絡検出値誤差 (注1)	VSCD,VCOCD,VDOCD,VCHCD,VDHCD=20～70mV (注2)	-10	+10	mV
充放電過電流検出値誤差 (注1)	VSCD,VCOCD,VDOCD,VCHCD,VDHCD=80～140mV (注2)	-15	+15	
	VSCD,VCOCD,VDOCD,VCHCD,VDHCD=150～270mV (注2)	-35	+35	
充放電高電流検出値誤差 (注1)	VSCD,VCOCD,VDOCD,VCHCD,VDHCD=310mV (注2)	-50	+50	

注1: 充放電方向での値はお互いに独立して構成設定することができます。

注2: VSCD=VNNI-VPPI, VCOCD=VPPI-VNNI, VDOCD=VNNI-VPPI, VCHCD=VPPI-VNNI, VDHCD=VNNI-VPPI

32.11. 外部割り込み特性

表32-11. 非同期外部割り込み特性

記号	項目	最小	代表	最大	単位
t_{INT}	非同期外部割り込み最小パルス幅		50		ns

32.12. 汎用入出力線特性

32.12.1. ﾎﾟｰﾄAとBの特性

表32-12. ﾎﾟｰﾄAとBの特性 (別記指定を除き、TA=-40℃～85℃, VCC=3.3V)

記号	項目	条件	最小	代表	最大	単位
V_{IL}	Lowﾚﾍﾞﾙ入力電圧(RESETを除く)		-0.5		0.3VCC (注1)	V
V_{IL1}	RESETﾋﾟﾝLowﾚﾍﾞﾙ入力電圧				0.3VCC (注1)	
V_{IH}	Highﾚﾍﾞﾙ入力電圧(RESETを除く)		0.6VCC (注2)		VCC+0.5	
V_{IH1}	RESETﾋﾟﾝHighﾚﾍﾞﾙ入力電圧		0.9VCC (注2)		VCC+0.5	
V_{OL}	Lowﾚﾍﾞﾙ出力電圧	IOL=5mA			0.5	
V_{OH}	Highﾚﾍﾞﾙ出力電圧	IOH=-2mA	2.3			
I_{IL}	L側入力漏れ電流	ﾋﾟﾝ=L(絶対値)			1	μA
I_{IH}	H側入力漏れ電流	ﾋﾟﾝ=H(絶対値)			1	
R_{RST}	ﾘｾｯﾄ ﾌﾟﾙｱｯﾌﾟ抵抗		30		60	kΩ
R_{PU}	I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗		20		50	

注1: 最大値はﾋﾟﾝがLowとして読むことが保証される最高電圧を意味します。

注2: 最小値はﾋﾟﾝがHighとして読むことが保証される最低電圧を意味します。

注3: 各I/Oﾎﾟｰﾄは安定状態(非過渡時)に於いて検査条件(VCC=3.3Vで5mA)よりも多くの吸い込み電流を流すことができますが、次の条件が厳守されなければなりません。

1. 全ﾎﾟｰﾄのIOLの合計が20mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。検査条件で示されるよりも大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oﾎﾟｰﾄは安定状態(非過渡時)に於いて検査条件(VCC=3.3Vで2mA)よりも多くの吐き出し電流を流すことができますが、次の条件が厳守されなければなりません。

1. 全ﾎﾟｰﾄのIOHの合計が2mAを超えるべきではありません。

ﾃﾞﾊﾞｲｽが全動作範囲に渡って仕様内であるべきなので、この制限が適用されます。集積された電圧調整器は、これが低いVFET電圧で高電流を供給する時に出力する場合に問題を持ちます。

注5: PA3を除く全てのPAとPBのﾋﾟﾝに於けるVIL/VOHでの代表的なﾋｽﾃﾘｼｽは300mVです。PA3は50mVの代表ﾋｽﾃﾘｼｽを持ちます。

32.12.2. ﾎﾟｰﾄC特性

表32-13. PC4～PC0特性

記号	項目	条件	最小	代表	最大	単位
V_{IL}	Lowﾚﾍﾞﾙ入力電圧		-0.5		0.8	V
V_{IH}	Highﾚﾍﾞﾙ入力電圧		2.1		5.5	
V_{OL}	Lowﾚﾍﾞﾙ出力電圧 (注)	IOL=350μA	0		0.4	

注: この値は特性付けに基き、製造に於いて検査されません。

表32-14. PC5特性

記号	項目	条件	最小	代表	最大	単位
V_{OL}	Lowﾚﾍﾞﾙ入力電圧	IOL=500μA	0		0.2	V

32.13. 2線直列インターフェース特性

表32-15.は2線直列バスに接続される装置についての必要条件を記述します。ATmega16HVB/32HVBの2線直列インターフェースは記載された条件下でこれらの必要条件を越えるかまたは合致します。

図32-1. 2線直列バス タイミング

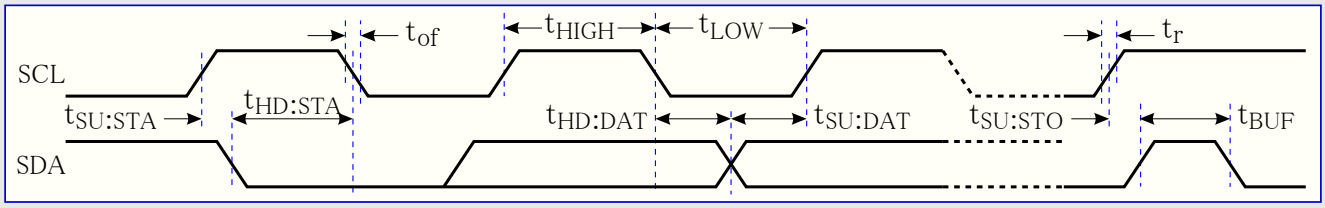


表32-15. 2線直列インターフェース必要条件

シンボル	項目	条件	最小	最大	単位
V_{IL}	Lowレベル入力電圧		-0.5	0.8	V
V_{IH}	Highレベル入力電圧		2.1	5.5	
V_{OL} ①	Lowレベル出力電圧	I_{OL}=350µA	0	0.4	
t_r ①	出力上昇時間(V_{ILmin}→V_{IHmax})			300	ns
t_{of} ①	出力下降時間(V_{IHmin}→V_{ILmax})	Cb<400pF ②		250	
t_{SP} ①	入力パルス最小幅(尖頭消去濾波)		0	50	
I_i	入力電流(ピン単位)	0.1VBUS<Vi<0.9VBUS	-5	5	µA
C_i ①	ピン入力容量			10	pF
f_{SCL}	SCLクロック周波数 ③④	f_{CK}>max(16f_{SCL},450kHz)	0	100	kHz
R_p	プルアップ抵抗値	f_{SCL}≦100kHz	$\frac{(VCC-0.4V)}{350\mu A}$	$\frac{(VCC-0.4V)}{100\mu A}$	Ω
$t_{HD:STA}$	(再送)開始条件保持時間	f_{SCL}≦100kHz	4.0		µs
t_{LOW}	SCLクロックLowレベル時間	f_{SCL}≦100kHz	4.7		
t_{HIGH}	SCLクロックHighレベル時間	f_{SCL}≦100kHz	4.0		
$t_{SU:STA}$	再送開始条件準備時間	f_{SCL}≦100kHz	4.7		
$t_{HD:DAT}$	データ保持時間	f_{SCL}≦100kHz	0.3	3.45	
$t_{SU:DAT}$	データ準備時間	f_{SCL}≦100kHz	250		ns
$t_{SU:STO}$	停止条件準備時間	f_{SCL}≦100kHzz	4.0		µs
t_{BUF}	停止条件→開始条件間バス開放時間	f_{SCL}≦100kHz	4.7		

① ATmega16HVB/32HVBで、この項目は特性が記載されていますが、100%検査はされていません。

② Cbは1つのバス信号線の容量(pF)です。

③ f_{CK}はCPU(システム) クロック周波数です。

④ この必要条件はATmega16HVB/32HVBの全ての2線直列インターフェース動作に適用します。2線直列バスに接続した他の装置は一般的なf_{SCL}必要条件に従うことだけを必要とします。

32.14. SPIﾀｲﾐﾝｸﾞ特性

図32-2. SPI ﾀｲﾐﾝｸﾞ必要条件（主装置動作）

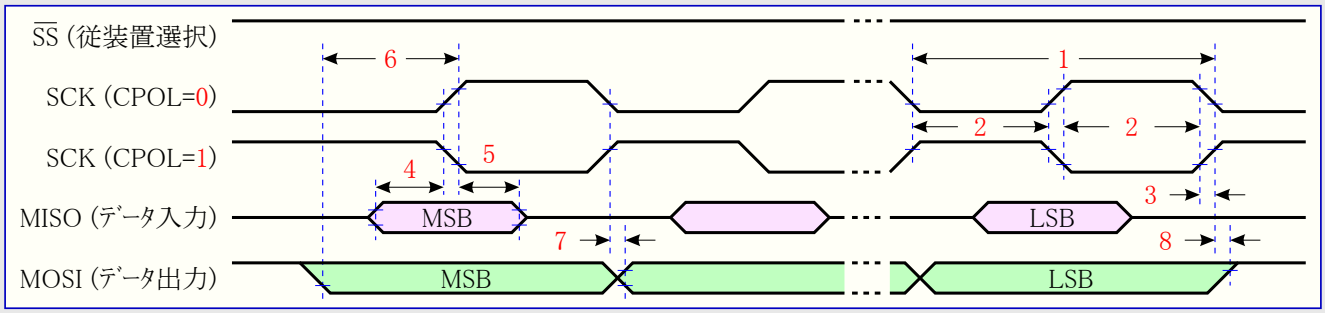


図32-3. SPI ﾀｲﾐﾝｸﾞ必要条件（従装置動作）

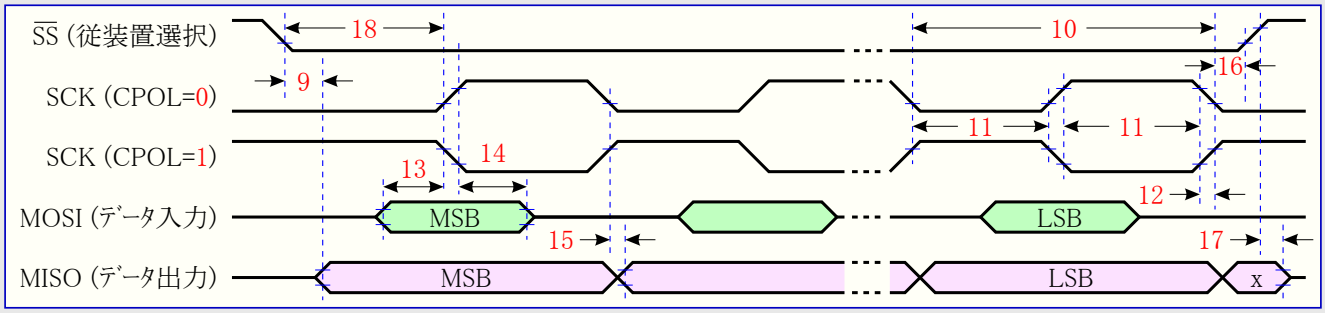


表32-16. SPI ﾀｲﾐﾝｸﾞ特性

番号	項目	動作種別	最小	代表	最大	単位
1	SCK周期	主装置		表18-5.参照		
2	SCK High/Low期間	主装置		50%ﾃﾞｭｰﾃｨ比		
3	SCK上昇/下降時間	主装置		3.6		
4	入力ﾃﾞｰﾀ 準備時間	主装置		10		
5	入力ﾃﾞｰﾀ 保持時間	主装置		10		
6	出力からSCK変移時間	主装置		$0.5t_{SCK}$		ns
7	SCKからの出力遅延時間	主装置		10		
8	SCKからのHigh出力時間	主装置		10		
9	$\overline{SS}$↓からの出力遅延時間	従装置		15		
10	SCK周期	従装置	$4t_{CK}+40$			
11	SCK High/Low期間 （注）	従装置	$2t_{CK}+20$			
12	SCK上昇/下降時間	従装置		1.6		µs
13	入力ﾃﾞｰﾀ 準備時間	従装置	10			
14	入力ﾃﾞｰﾀ 保持時間	従装置	t_{CK}			
15	SCKからの出力遅延時間	従装置		15		ns
16	SCKからの$\overline{SS}$↑遅延時間	従装置	20			
17	$\overline{SS}$↑からの出力Hi-Z遅延時間	従装置		10		
18	$\overline{SS}$↓からのSCK遅延時間	従装置	20			

注: SPIﾌﾟﾛｸﾞﾗﾐﾝｸﾞの必要条件に関しては次頁の「直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性」を参照してください。

32.15. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図32-4. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ

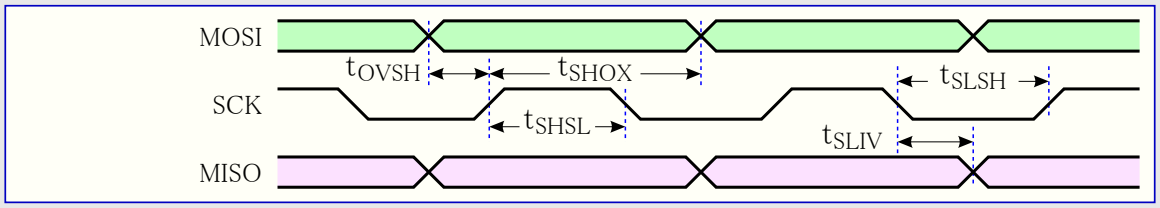


図32-5. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾊﾞｲﾄ通信波形

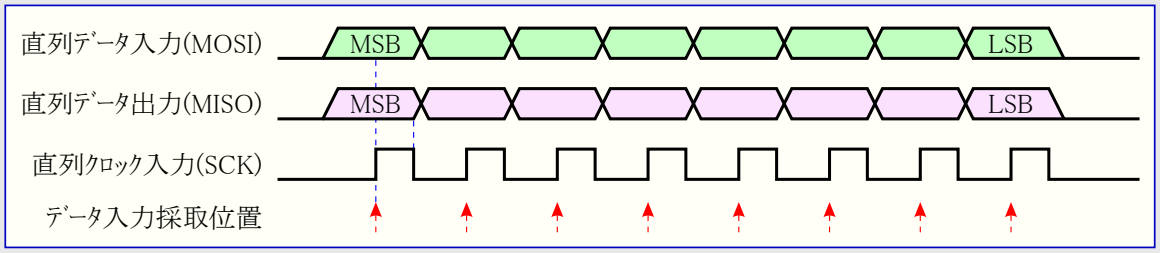


表32-17. 直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 (特記条件を除いて、TA=-40℃～85℃ , VCC=3.3V)

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
$1/t_{CLCL}$	発振器周波数	0		8	MHz
t_{CLCL}	発振器周期	125			ns
t_{SHSL}	SCKﾊﾟﾙｽHﾚﾍﾞﾙ幅 (注1)	$2.2t_{CLCL}$			ns
t_{SLSH}	SCKﾊﾟﾙｽLﾚﾍﾞﾙ幅 (注1)	$2.2t_{CLCL}$			ns
t_{OVSH}	SCK↑に対するMOSI準備時間	t_{CLCL}			ns
t_{SHOX}	SCK↑に対するMOSI保持時間	$2t_{CLCL}$			ns
t_{SLIV}	SCK↓に対するMISO出力遅延時間		15		ns

注1: f_{CK}＜12MHz時$2.2t_{CLCL}$、f_{CK}≧12MHz時$3t_{CLCL}$。

32.16. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図32-6. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (一般的な必要条件)

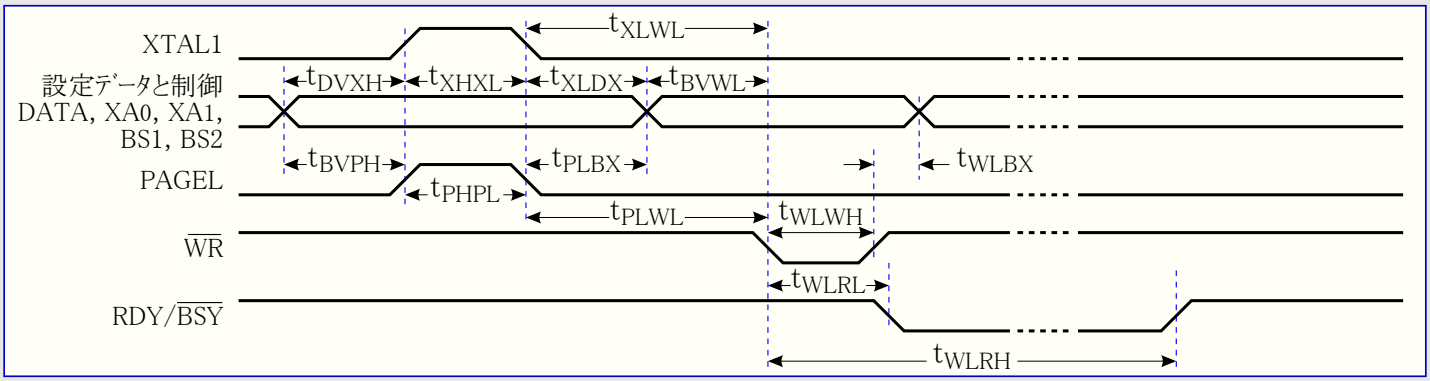
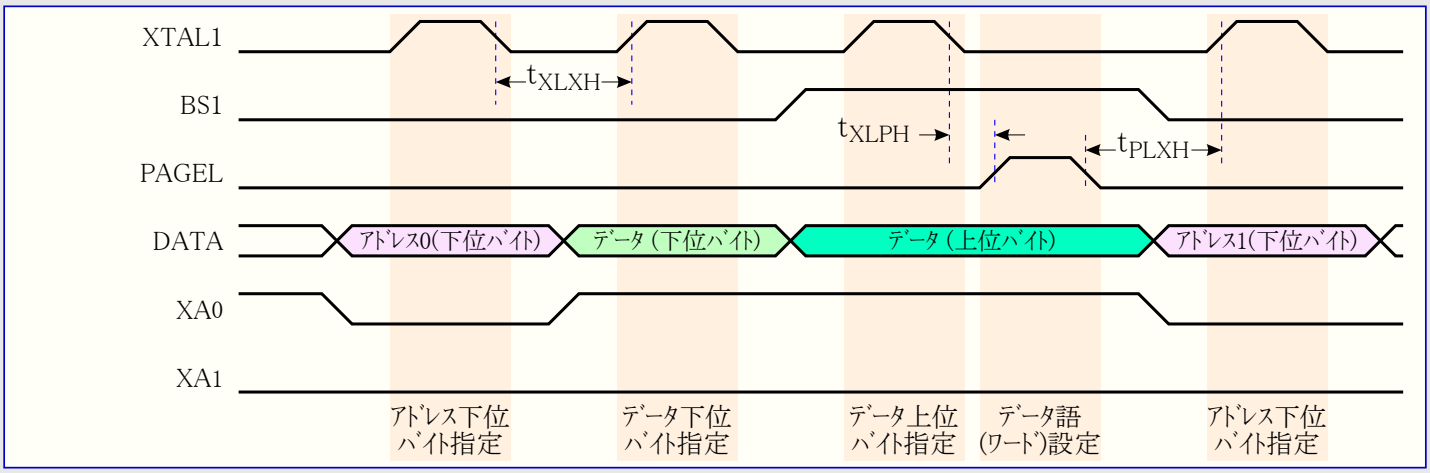
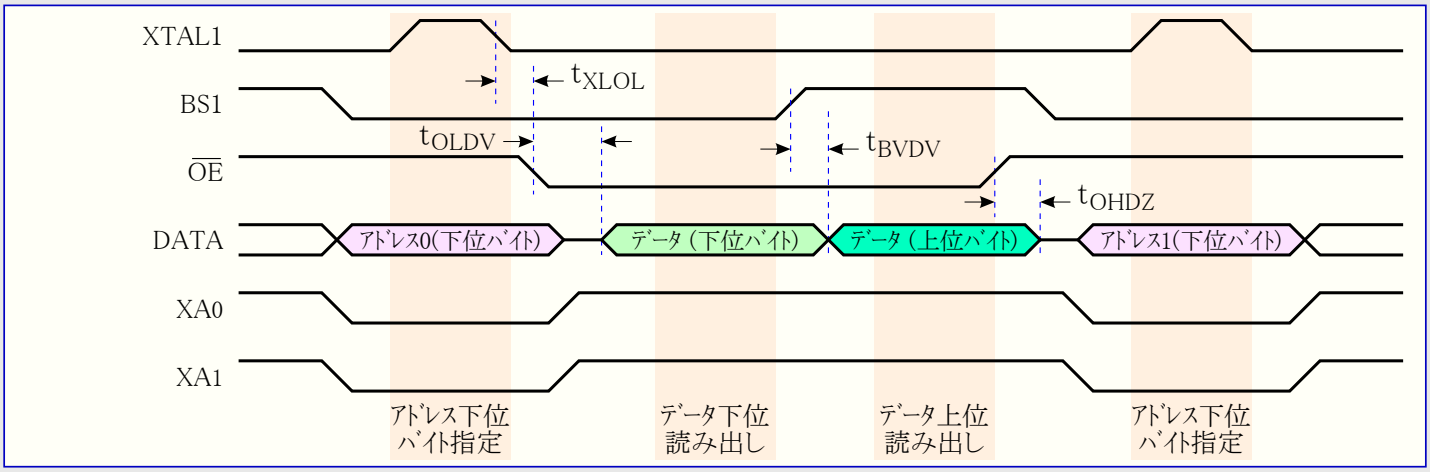


図32-7. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (ﾍﾟｰｼﾞ設定での必要条件)



注: 図32-6.で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、t_{DVXH}、t_{XHXL}、t_{XLDX})は設定操作にも適用されます。

図32-8. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ (同一ﾍﾟｰｼﾞ読み出しでの必要条件)



注: 図32-6.で示されるﾀｲﾐﾝｸﾞ必要条件(即ち、t_{DVXH}、t_{XHXL}、t_{XLDX})は読み出し操作にも適用されます。

表32-18. 並列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 (VCC=5V±10%)

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
V_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電圧	11.5		12.5	V
I_{PP}	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可電流			250	µA
t_{DVXH}	XTAL1↑に対するﾃﾞｰﾀと制御のｾｯﾄｱｯﾌﾟ時間	67			
t_{XLXH}	XTAL1↓から次XTAL1↑までの待機時間	200			
t_{XHXL}	XTAL1 Highﾊﾟﾙｽ幅	150			
t_{XLDX}	XTAL1ﾊﾟﾙｽ↓後のﾃﾞｰﾀと制御の保持時間	67			
t_{XLWL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{WR}$↓待機時間	0			
t_{XLPH}	XTAL1ﾊﾟﾙｽ↓後のPAGELﾊﾟﾙｽ↑待機時間	0			
t_{PLXH}	PAGELﾊﾟﾙｽ↓後のXTAL1ﾊﾟﾙｽ↑待機時間	150			
t_{BVPH}	PAGELﾊﾟﾙｽ↑に対するBS1ｾｯﾄｱｯﾌﾟ時間	67			ns
t_{PHPL}	PAGEL Highﾊﾟﾙｽ幅	150			
t_{PLBX}	PAGELﾊﾟﾙｽ↓後のBS1保持時間	67			
t_{WLBX}	$\overline{WR}$ﾊﾟﾙｽ↓後のBS1,BS2保持時間 (ﾋｭｰｽﾞ操作)	3200			
	$\overline{WR}$ﾊﾟﾙｽ↓後のBS1,BS2保持時間 (ﾋｭｰｽﾞ操作以外)	67			
t_{PLWL}	PAGELﾊﾟﾙｽ↓後の$\overline{WR}$ﾊﾟﾙｽ↓待機時間	67			
t_{BVWL}	$\overline{WR}$ﾊﾟﾙｽ↓に対するBS1ｾｯﾄｱｯﾌﾟ時間	67			
t_{WLWH}	$\overline{WR}$ Lowﾊﾟﾙｽ幅	150			
t_{WLRL}	$\overline{WR}$ﾊﾟﾙｽ↓後のRDY/$\overline{BSY}$↓遅延時間	0		1	µs
t_{WLRH}	書き込み時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注1)	3.7		4.5	
t_{WLRH_EE}	EEPROM書き込み時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注2)	2.8		3.6	ms
t_{WLRH_CE}	ﾁｯﾌﾟ消去時間 ($\overline{WR}$↓からRDY/$\overline{BSY}$↑) (注3)	7.5		9.1	
t_{XLCL}	XTAL1ﾊﾟﾙｽ↓後の$\overline{OE}$↓待機時間	0			
t_{BVDV}	BS1有効からのDATA遅延時間	0		250	ns
t_{OLDV}	$\overline{OE}$↓後のDATA出力遅延時間			250	
t_{OHDZ}	$\overline{OE}$↑後のDATA Hi-Z遅延時間			250	

注1: ﾌﾗｯｼｭ ﾒﾓﾘ、ﾋｭｰｽﾞ ﾋﾞｯﾄ、施錠ﾋﾞｯﾄ書き込み指令に対して有効です。

注2: EEPROM書き込み指令に対して有効です。

注3: ﾁｯﾌﾟ消去指令に対して有効です。

33. 代表特性

このデータシートに含まれる全ての代表特性はAtmel ATmeg16/32HVBの特性付けに基きます。

33.1. 消費電流特性

33.1.1. 活動動作消費電流特性

活動動作電流は電力削減レジスタ(PRR0)の全ビット設定(1)、且つ全I/O単位部OFFで測定します。

図33-1. 活動動作消費電流 対 VFET電圧 (内蔵RC発振器,8MHz)

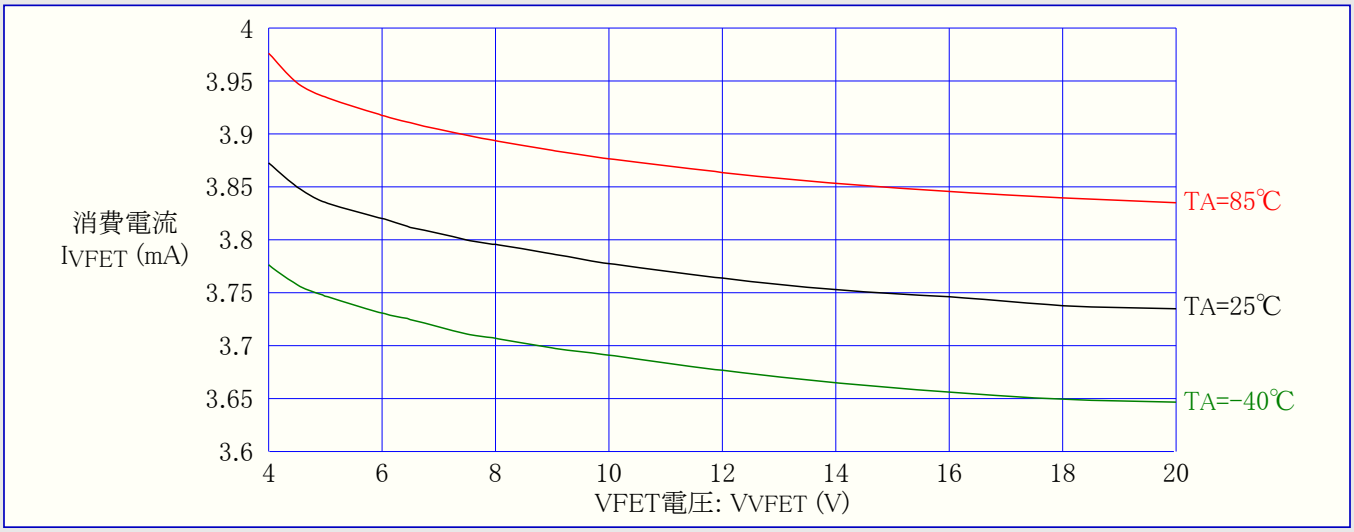


図33-2. 活動動作消費電流 対 VFET電圧 (内蔵RC発振器,4MHz)

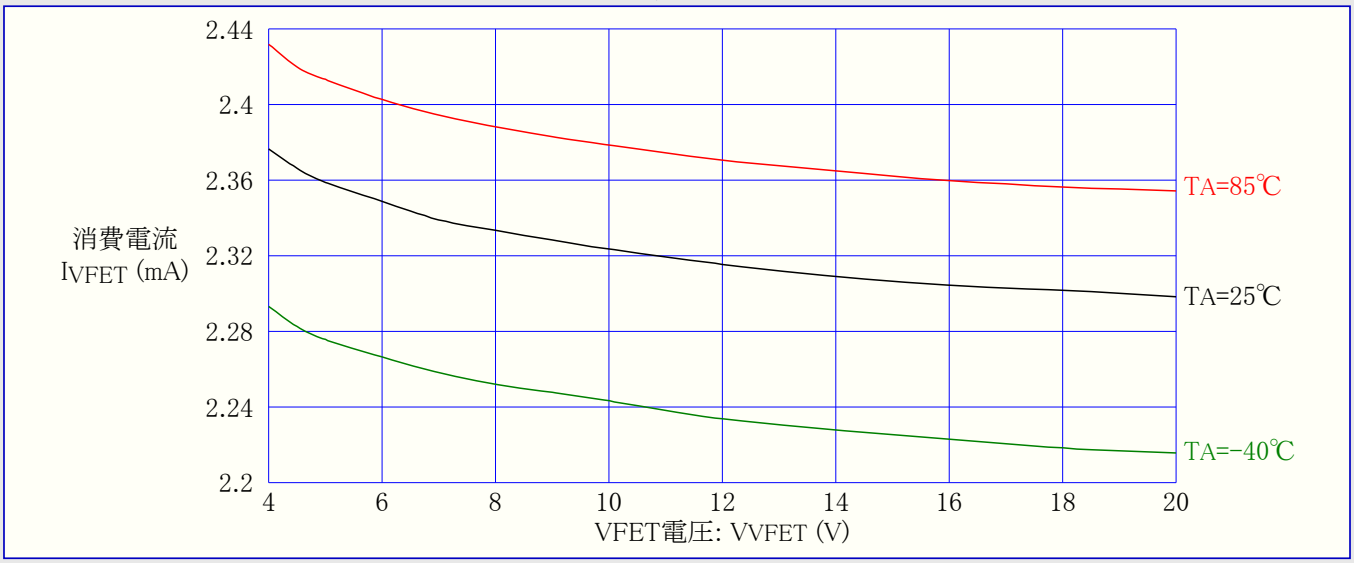


図33-3. 活動動作消費電流 対 VFET電圧 (内蔵RC発振器,2MHz)

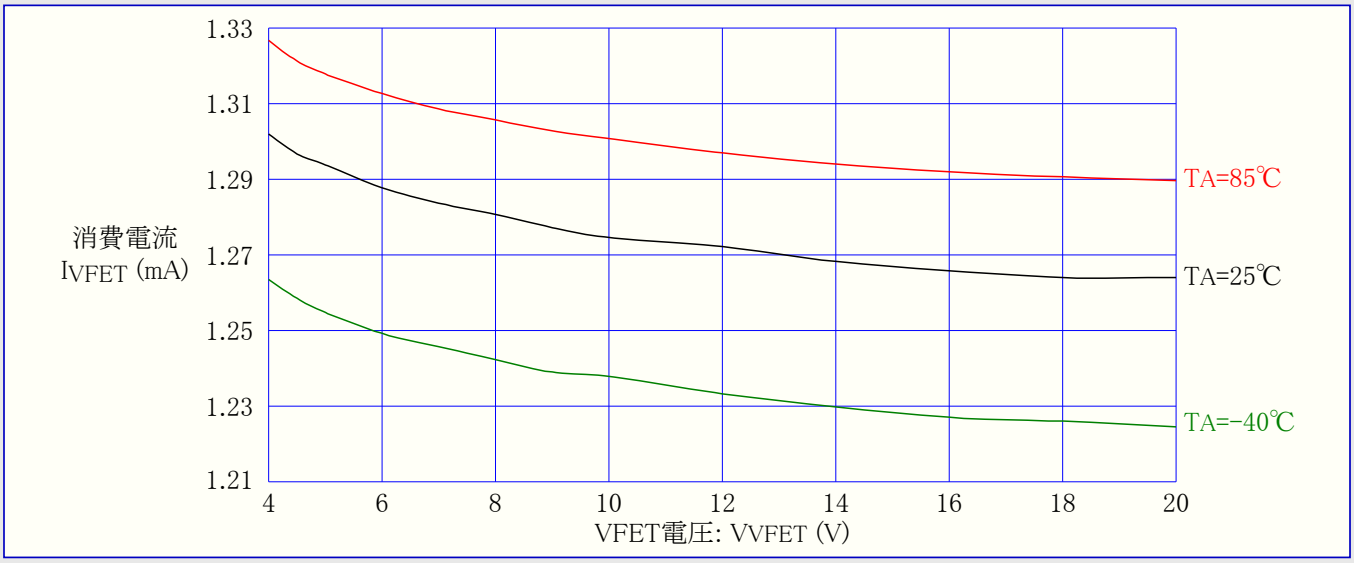
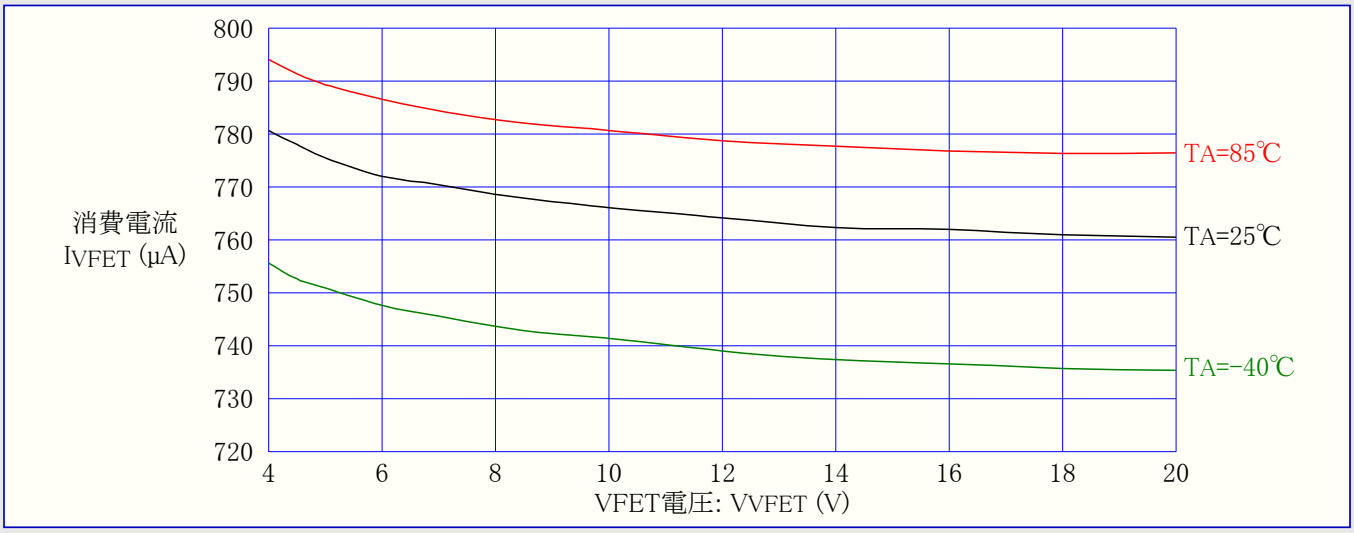


図33-4. 活動動作消費電流 対 VFET電圧 (内蔵RC発振器,1MHz)



33.1.2. ｱｲﾄﾞﾙ動作消費電流特性

ｱｲﾄﾞﾙ動作消費電流は電力削減ﾚｼﾞｽﾀ(PRR0)の全ﾋﾞｯﾄ設定(1)、且つ全I/O単位部OFFで測定します。

図33-5. ｱｲﾄﾞﾙ動作消費電流 対 VFET電圧 (内蔵RC発振器,8MHz)

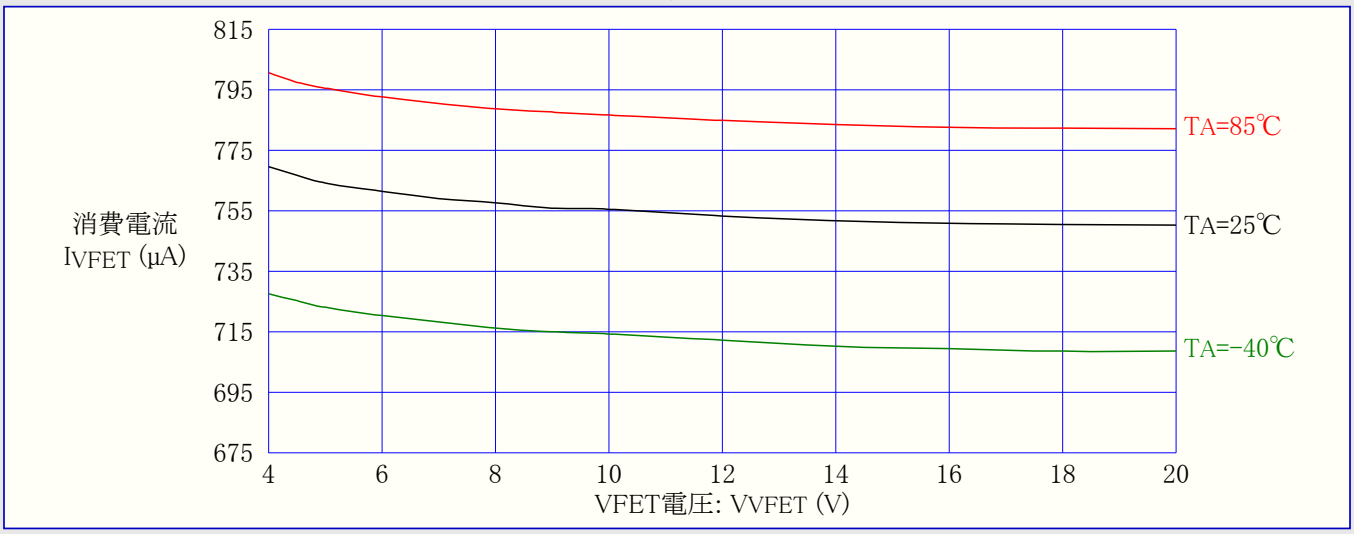


図33-6. ｱｲﾄﾞﾙ動作消費電流 対 VFET電圧 (内蔵RC発振器,4MHz)

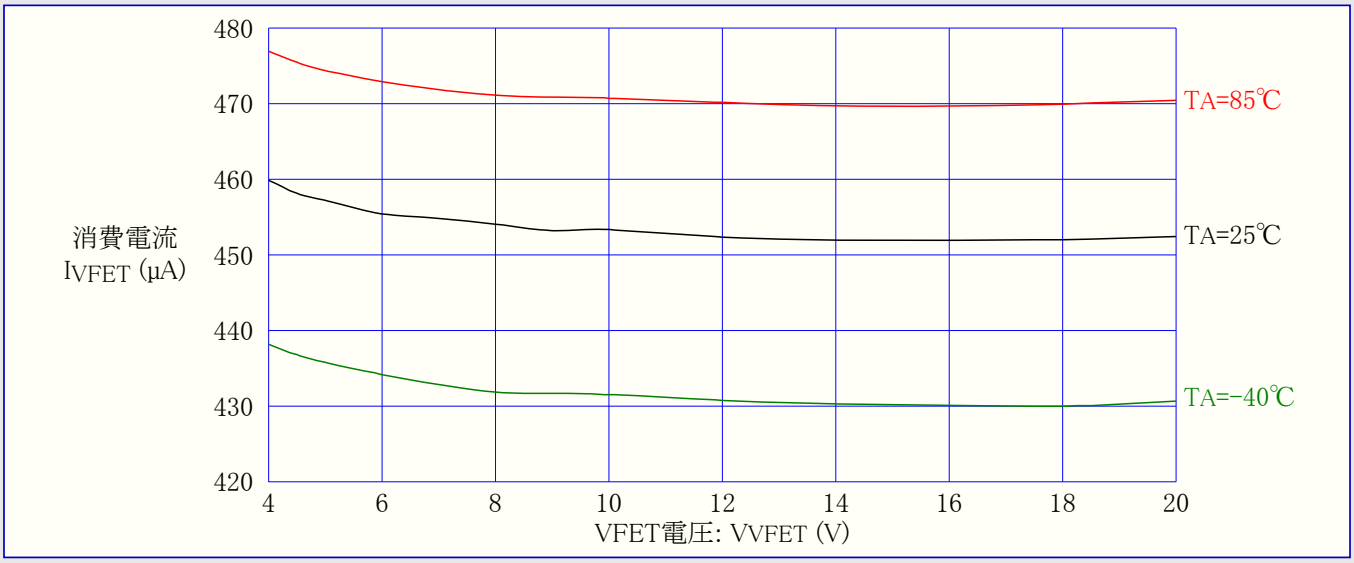


図33-7. ｱｲﾄﾞﾙ動作消費電流 対 VFET電圧 (内蔵RC発振器,2MHz)

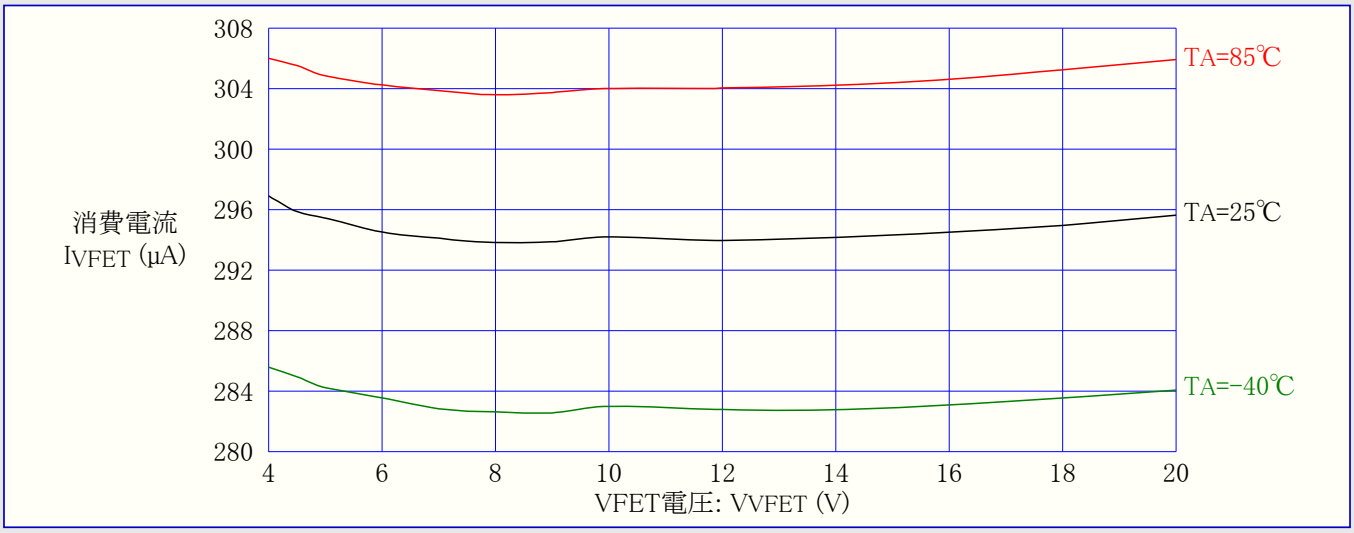
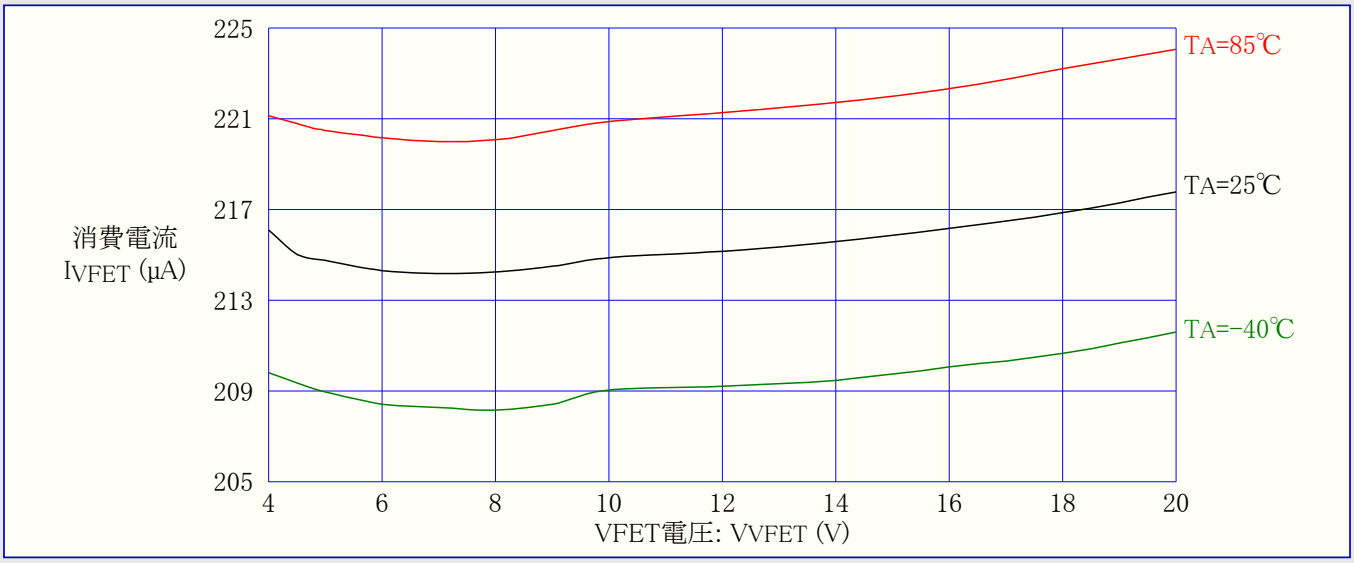


図33-8. ｱｲﾄﾞﾙ動作消費電流 対 VFET電圧 (内蔵RC発振器,1MHz)



33.1.3. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流特性

ﾊﾟﾜｰｾｰﾌﾞ動作消費電流は外部割り込みとSMBus接続/切断機能が許可されます。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、ｸｰﾛﾝ ｶｳﾝﾀA/D変換器(CC-ADC)、電池電流保護(CBP)、VREF、OC/ODは禁止されます。

図33-9. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 対 VFET電圧 (外部割り込みとSMBus許可、他の全単位部禁止)

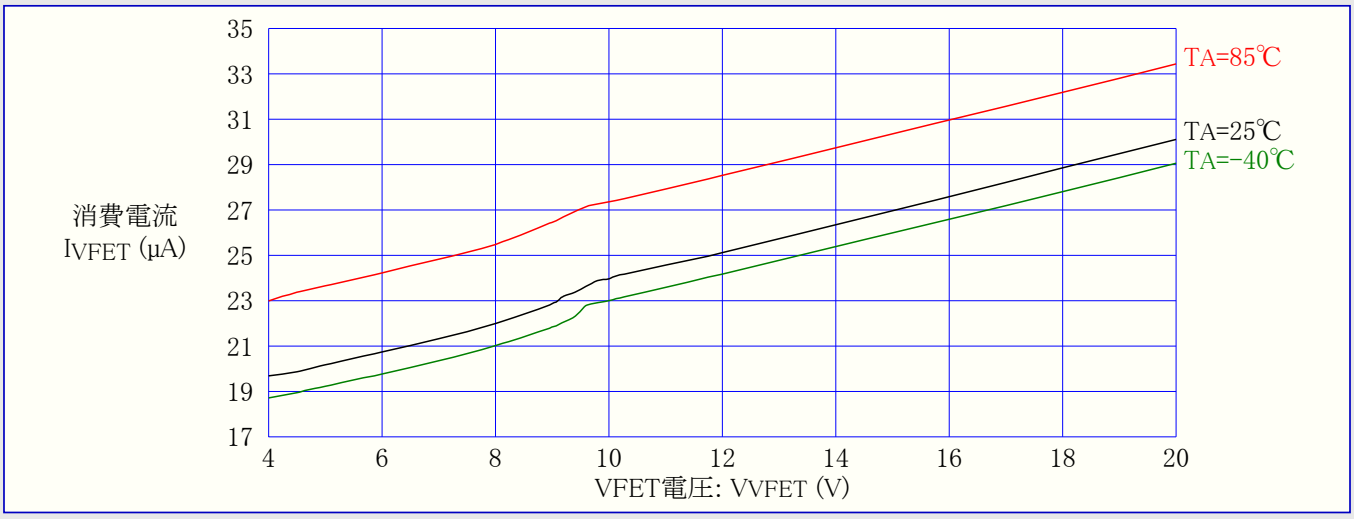


表33-1.は追加の単位部が許可される時に総電力の延伸に加える必要がある追加消費電流を示します。

表33-1. ﾊﾟﾜｰｾｰﾌﾞ動作での代表的な追加I/O単位部消費電流

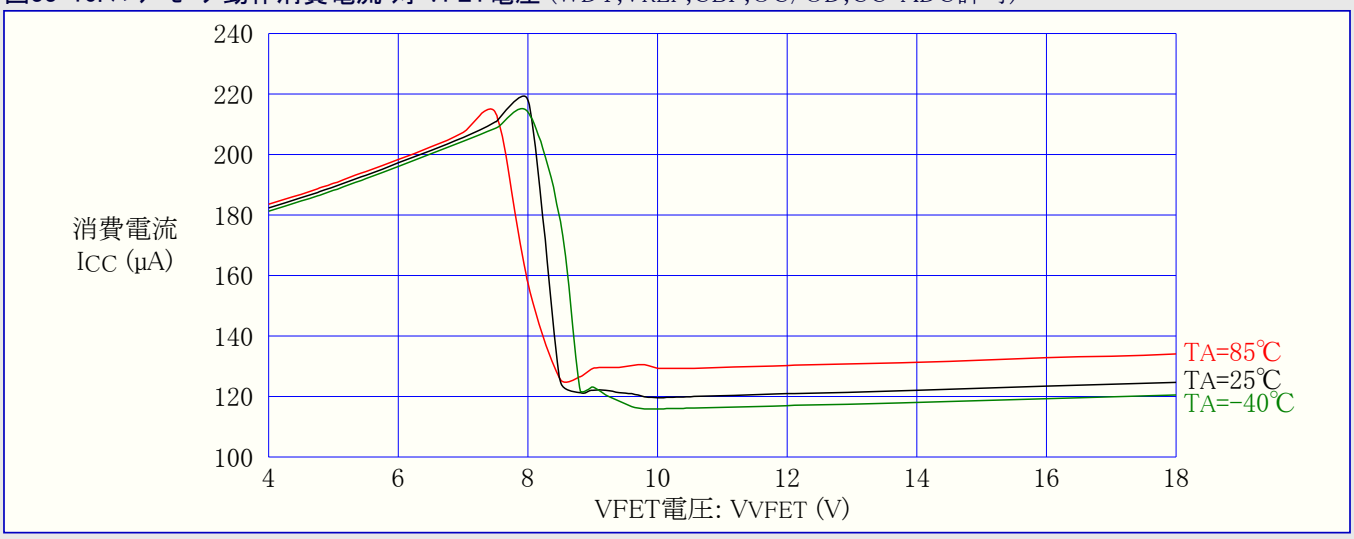
許可I/O単位部					代表消費電流 (TA=25℃,VVFET=12V)
WDT	VREF	CBP(注1)	OC/OD(注2)	CC-ADC	
○	-	-	-	-	0.8µA
○	○	-	-	-	12µA
○	○	○	○	-	41µA
○	○	○	○	○	85µA

注1: 既定I/Oﾚｼﾞｽﾀ構成設定使用。PPIとNNIはGNDに接続。

注2: FairchildのFDS6690A N-ch FETでの測定。

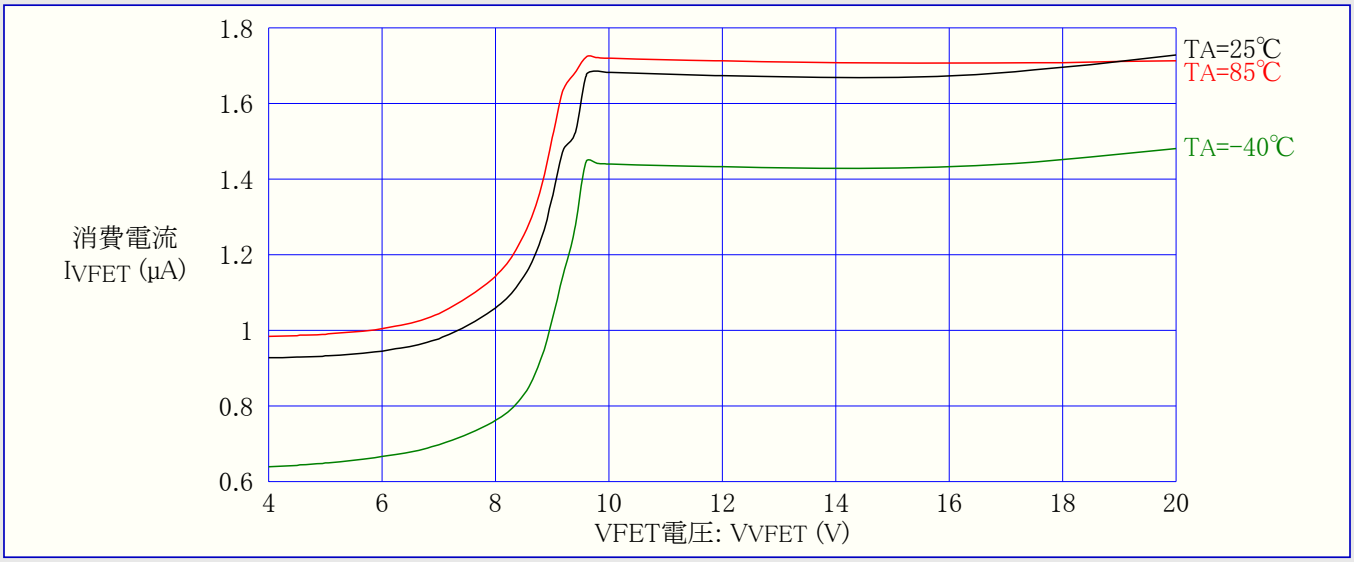
図33-10.は表33-1.で一覧にされる全ての単位部が許可でのﾊﾟﾜｰｾｰﾌﾞ消費電流対VFETを示します。低いVFET電圧の間の増加する消費電力は96頁の「動作と使用法」で記述されるN-FET駆動部動作によって引き起こされます。

図33-10. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 対 VFET電圧 (WDT,VREF,CBP,OC/OD,CC-ADC許可)



33.1.4. ﾊﾟﾜｰｵﾌ動作消費電流特性

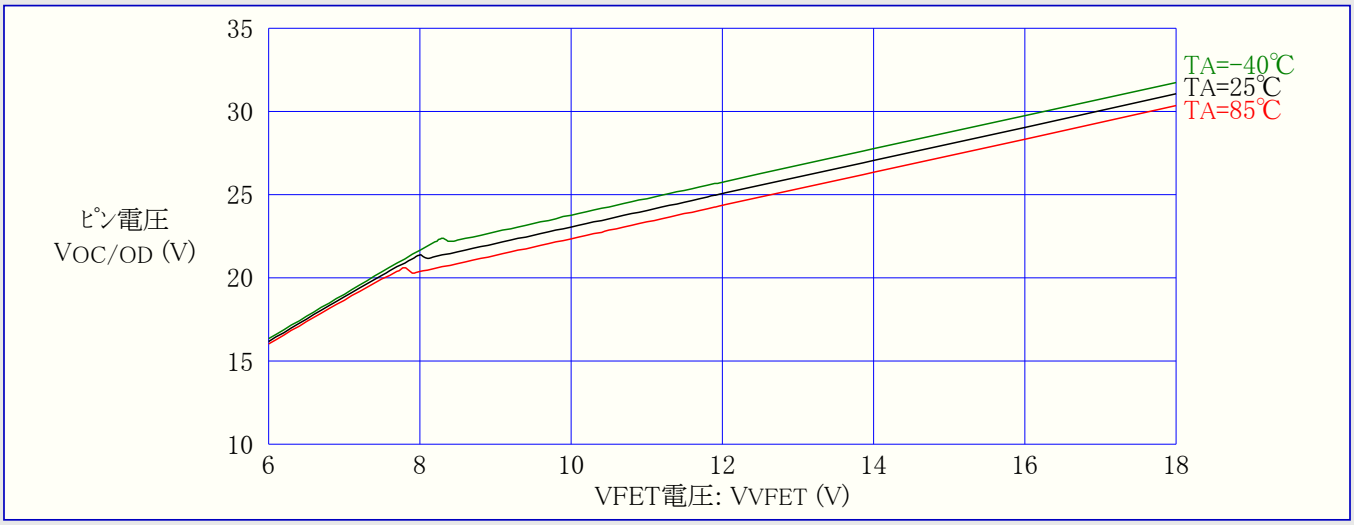
図33-11. ﾊﾟﾜｰｵﾌ動作消費電流 対 VFET電圧



33.2. N-FET駆動部特性

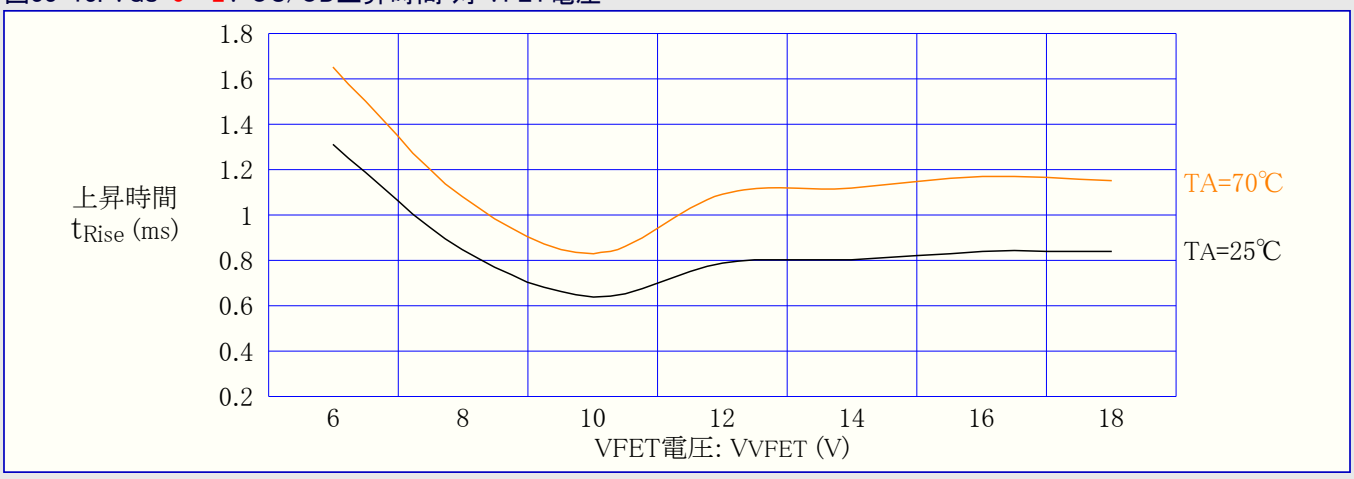
33.2.1. OC/ODﾚﾍﾞﾙ

図33-12. OC/ODﾋﾟﾝ電圧 対 VFET電圧



33.2.2. 4700pF負荷0V⇒2Vｹﾞｰﾄ ｿｰｽ間電圧上昇時間

図33-13. VGS=0⇒2V OC/OD上昇時間 対 VFET電圧



33.2.3. 4700pF負荷2V⇒4Vゲート ソース間電圧上昇時間

図33-14. VGS=2⇒4V OC/OD上昇時間 対 VFET電圧

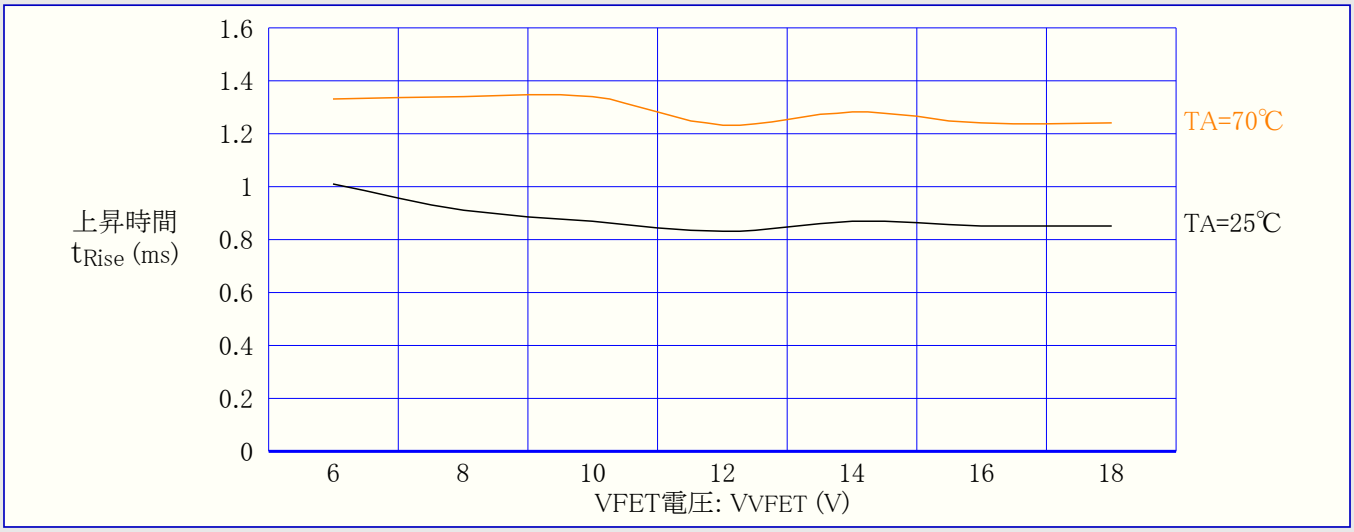
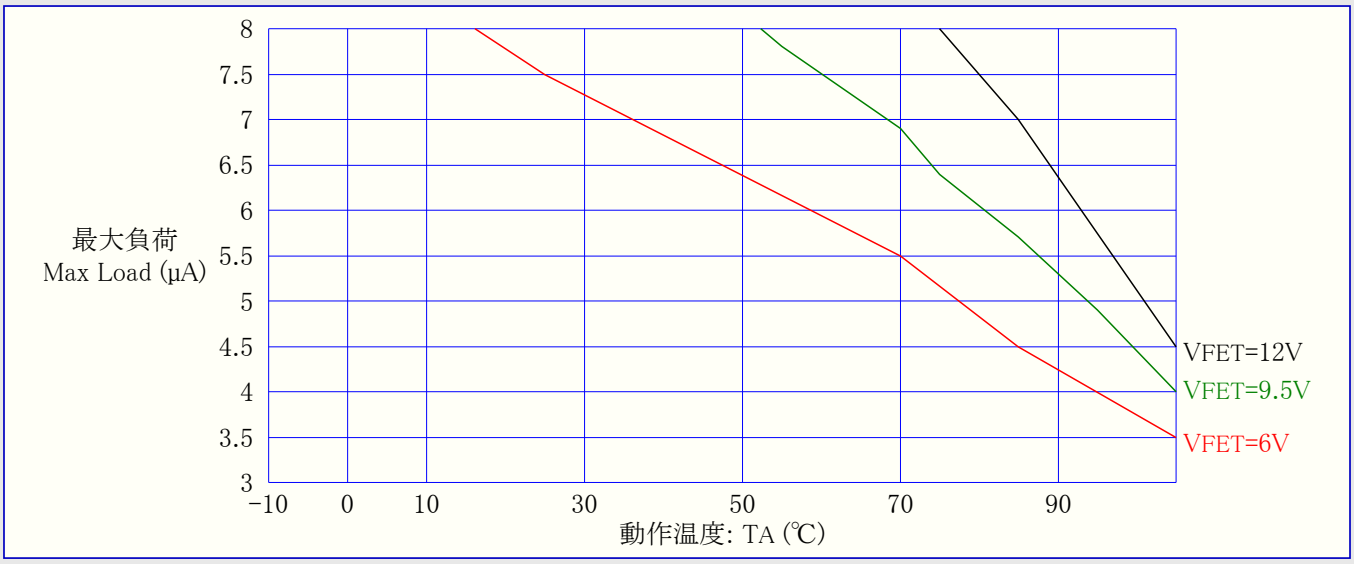
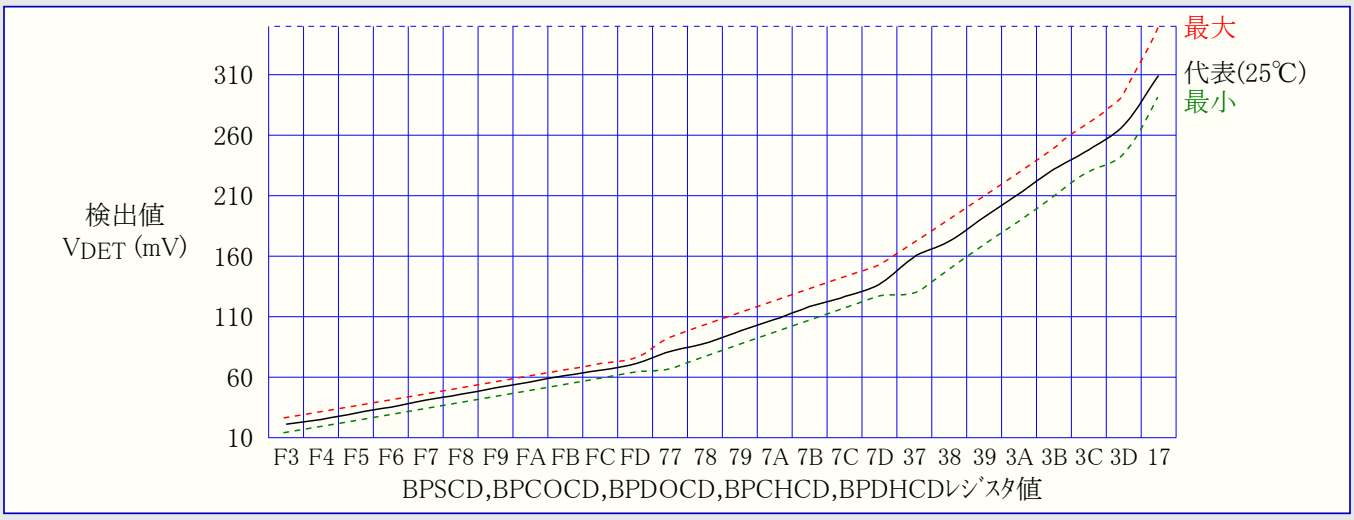


図33-15. OC/OD駆動能力 対 温度



33.3. 電池保護特性

図33-16. 電池保護基準



33.4. クロック特性

33.4.1. 高速RC発振器特性

図33-17. 高速RC発振器周波数 対 動作温度 (工場校正後)

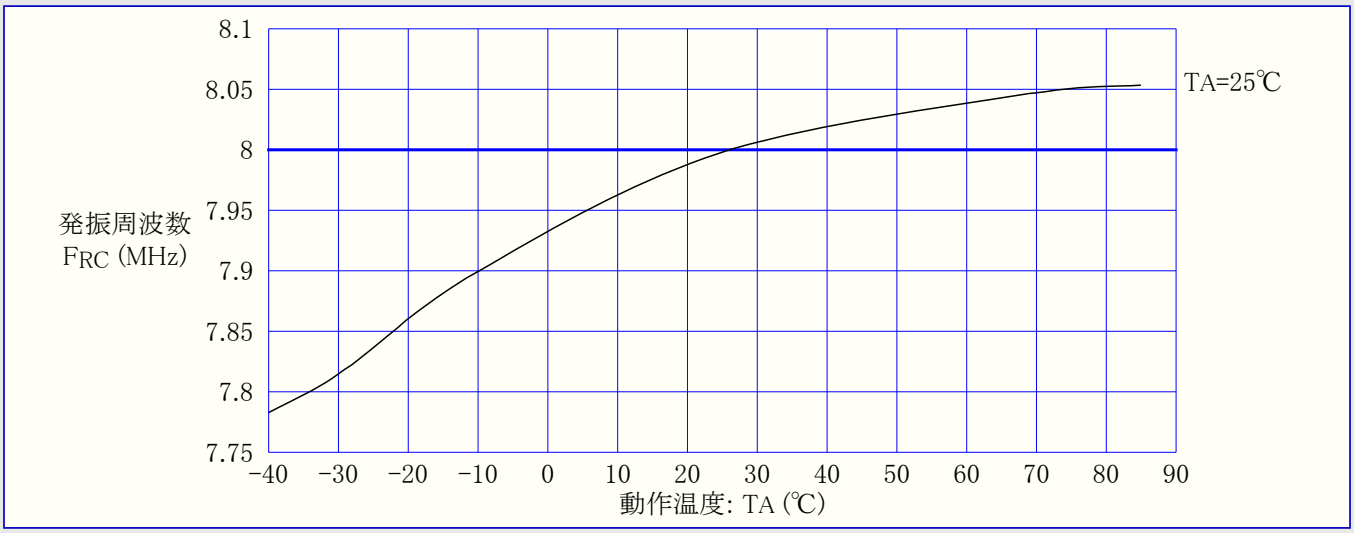
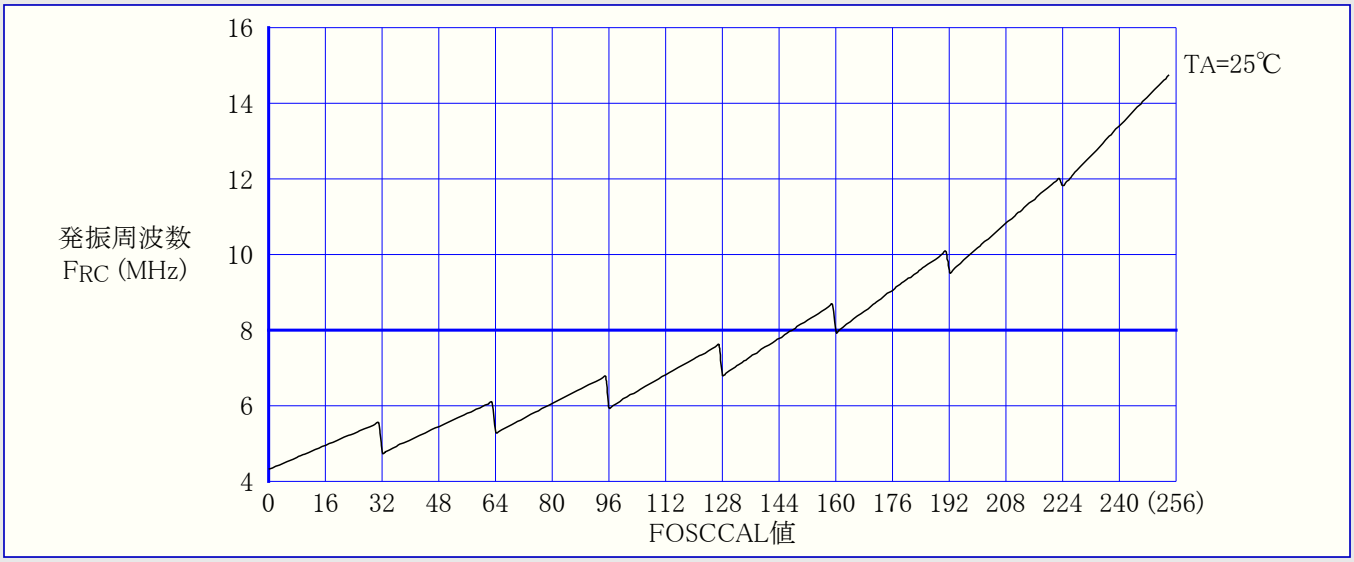
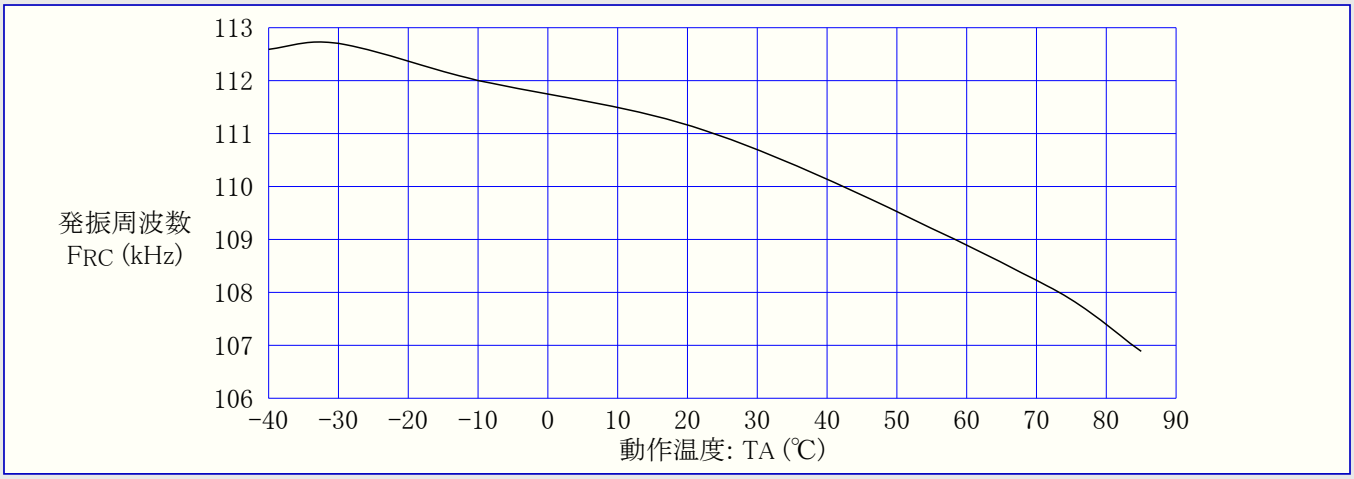


図33-18. 校正付き高速RC発振器周波数 対 発振校正(OSCCAL)値



33.4.2. 超低電力RC発振器特性

図33-19. 超低電力RC発振器周波数 対 動作温度



33.4.3. 低速RC発振器特性

図33-20. 低速RC発振器周波数 対 動作温度

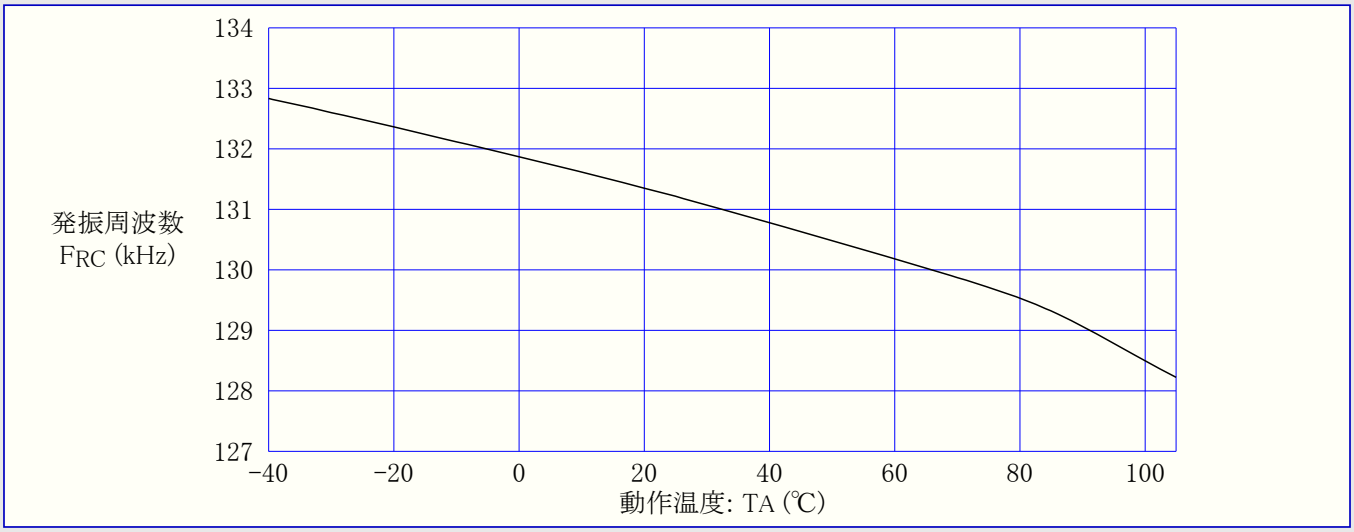
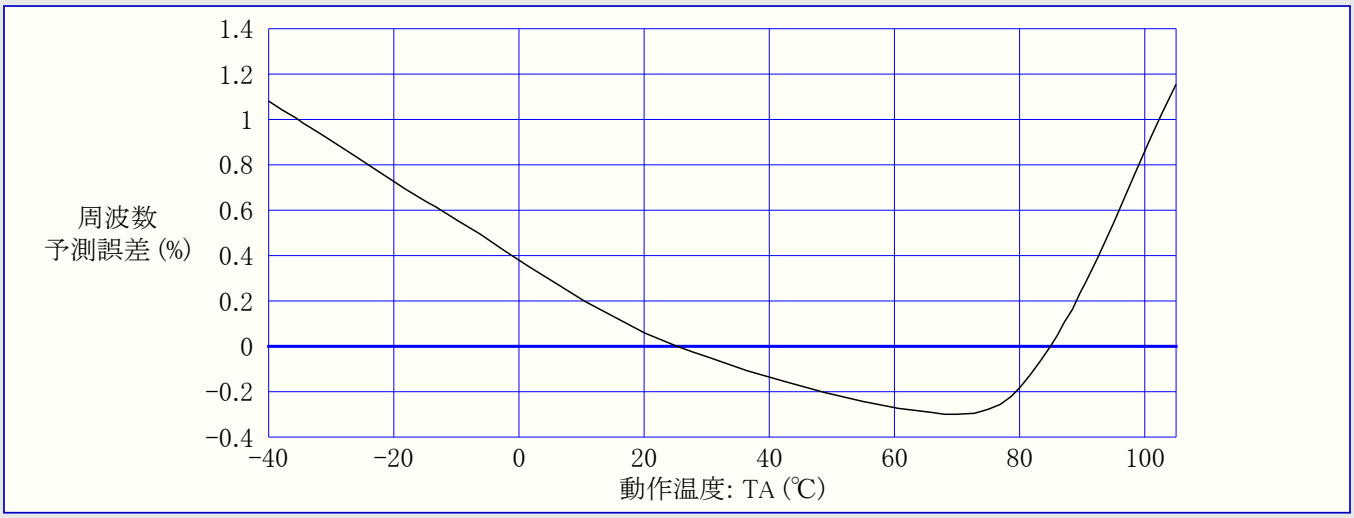


図33-21. 18頁の9.2.2.項の算法に基づく代表的な低速RC発振器周波数予測誤差



33.5. 基準電圧特性

図33-22. 25℃と85℃のAtmel工場校正での代表的なVREF曲線

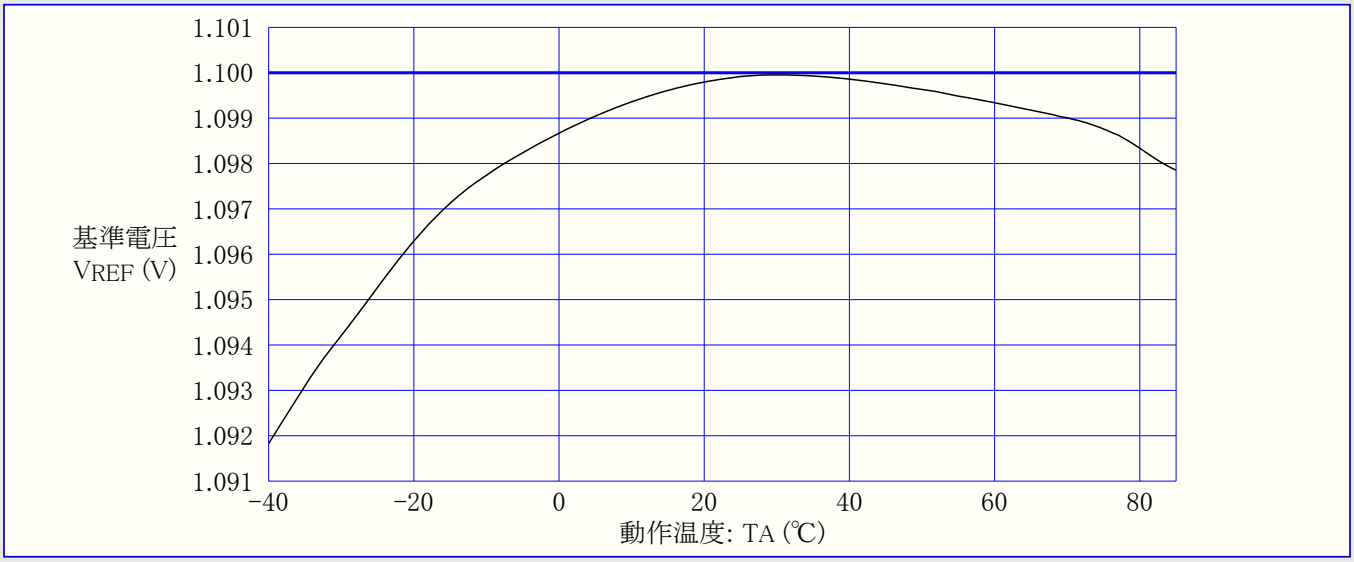
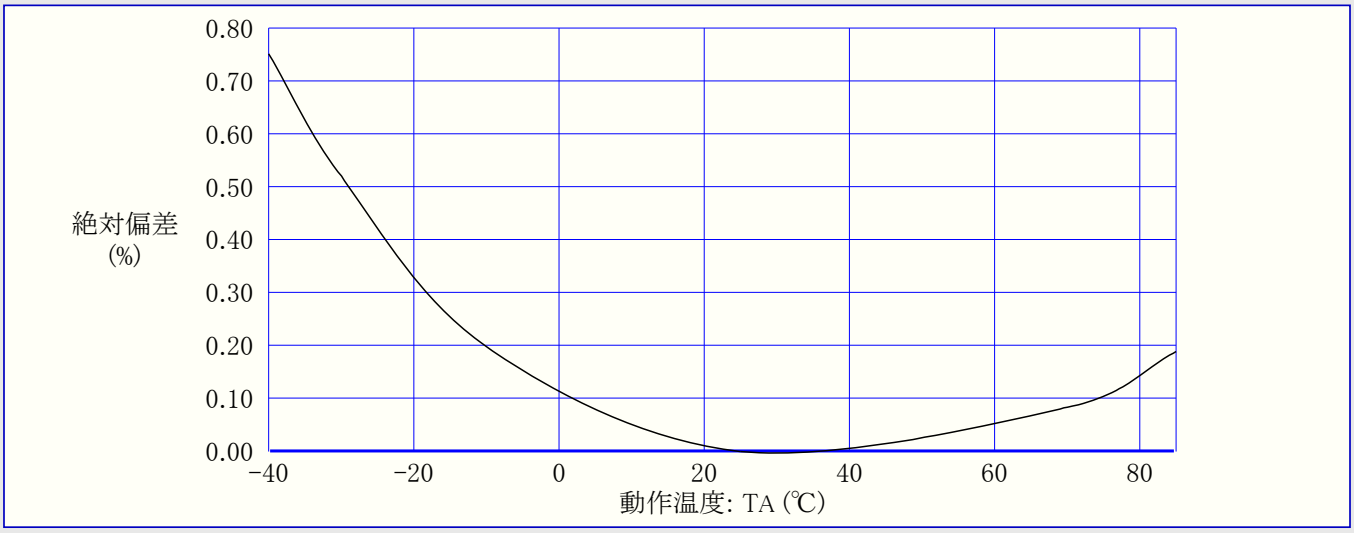


図33-23. 25℃と85℃のAtmel工場校正での代表的なVREF偏差曲線 (TA=25℃でのVREFからの絶対偏差)



33.6. 電圧調整器特性

図33-24. 電圧調整器出力電圧 対 VFET電圧 (負荷電流(ILOAD)=10mA)

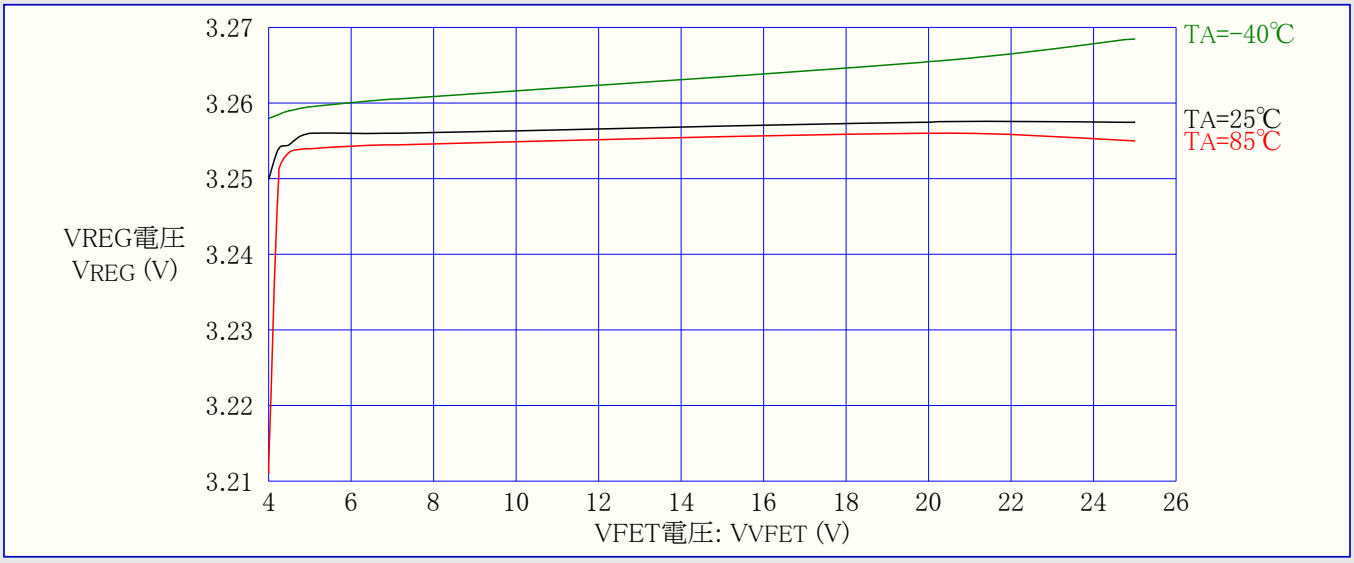


図33-25. 電圧調整器出力電圧 対 VFET電圧 (負荷電流(ILOAD)=20mA)

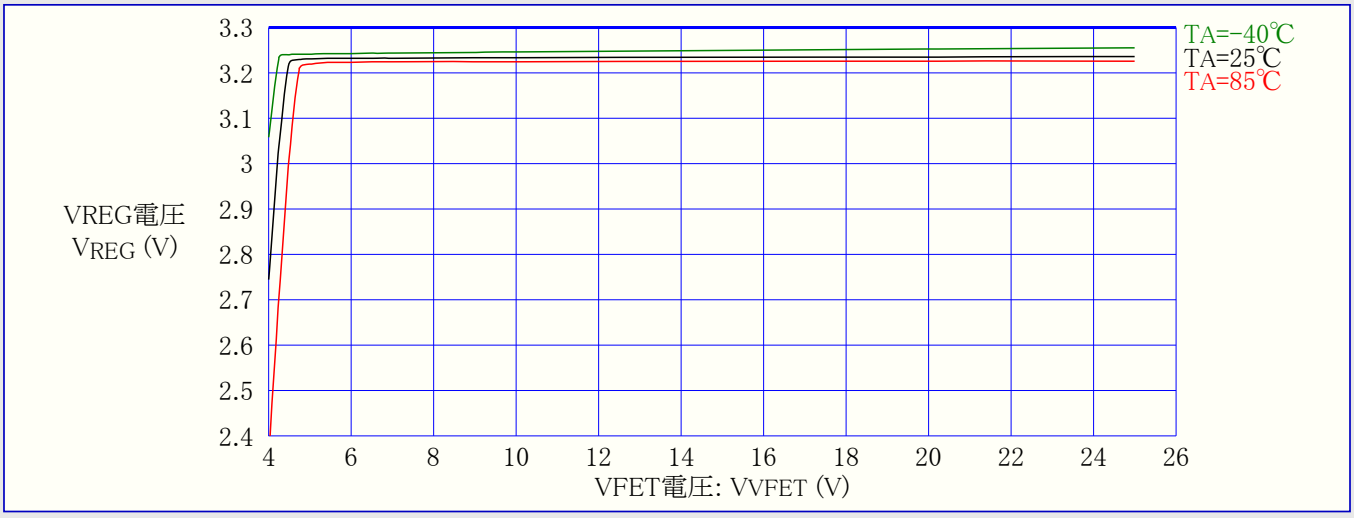


図33-26. VFETﾋﾟﾝでの電圧調整器回路短絡ﾚﾍﾞﾙ 対 動作温度

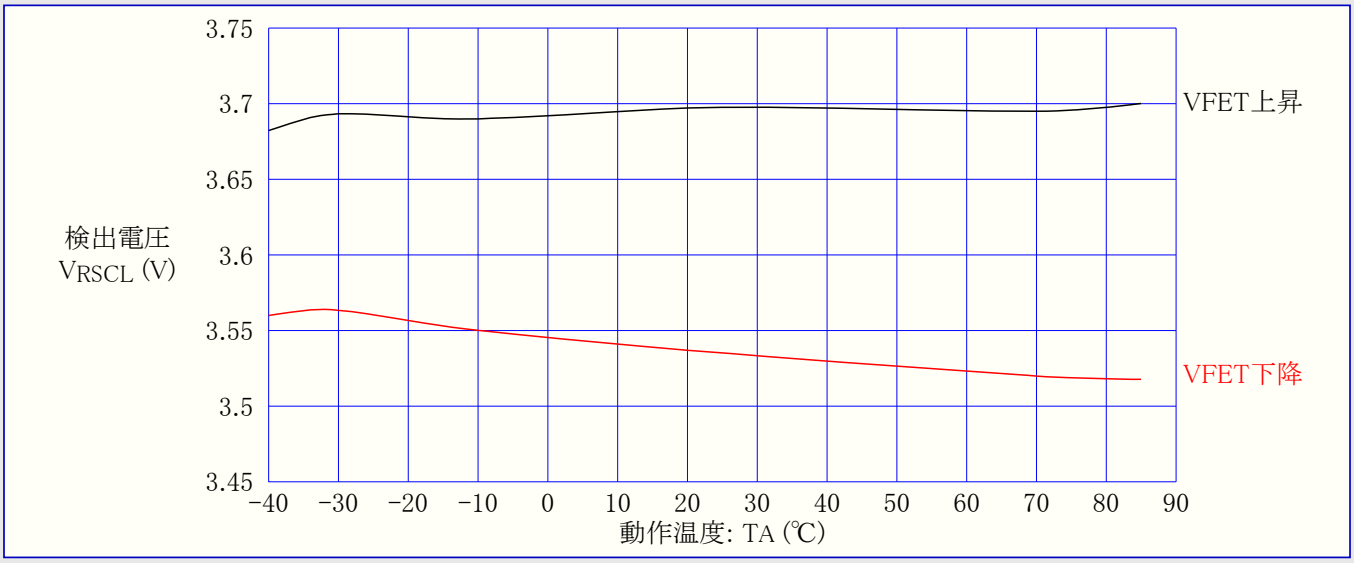
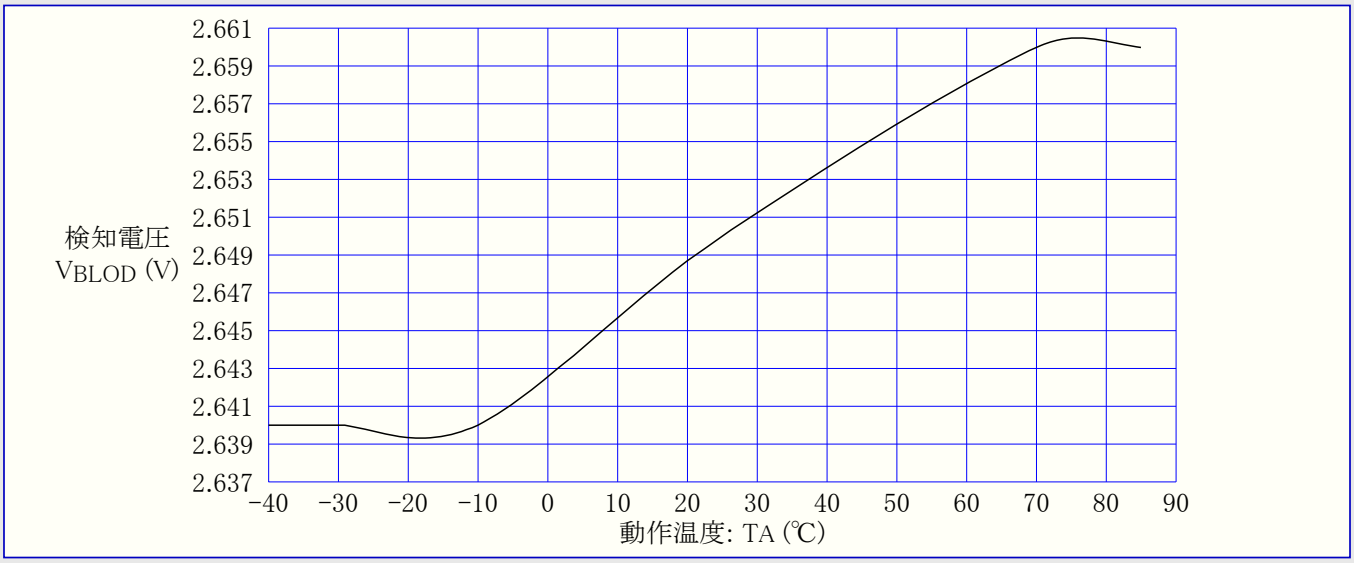
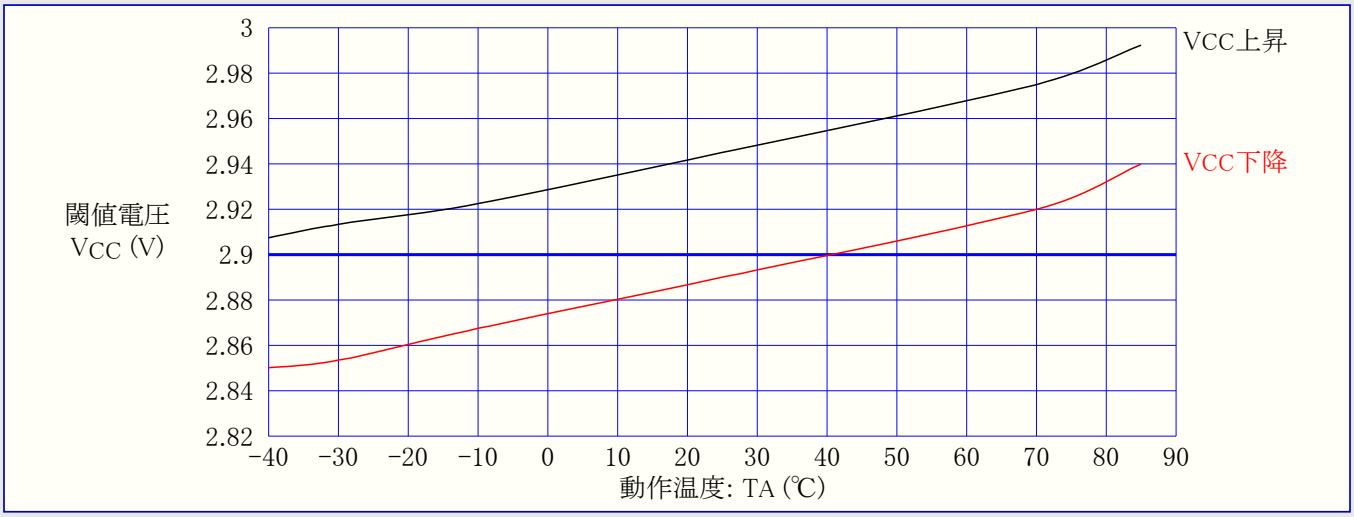


図33-27. 電圧消失(BLOD)ﾚﾍﾞﾙ 対 動作温度



33.7. 低電圧検出(BOD)閾値特性

図33-28. 低電圧検出(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度



34. ﾚｼﾞｽﾀ要約

拡張I/Oﾚｼﾞｽﾀ領域 (1/3)

ｱﾄﾞﾚｽ	ﾚｼﾞｽﾀ略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
($FF)	予約									
($FE)	BPPLR	–	–	–	–	–	–	BPPLE	BPPL	91
($FD)	BPCR	–	–	EPID	SCD	DOCD	COCD	DHCD	CHCD	91
($FC)	BPHCTR	–	–	高電流保護反応時間値(HCPT5～0)						93
($FB)	BPOCTR	–	–	過電流保護反応時間値(OCPT5～0)						92
($FA)	BPSCTR	–	短絡保護反応時間値(SCPT6～0)							92
($F9)	BPCHCD	充電高電流検出値(CHCDL7～0)								94
($F8)	BPDHCD	放電高電流検出値(DHCDL7～0)								94
($F7)	BPCOCD	充電過電流検出値(COCDL7～0)								93
($F6)	BPDOCD	放電過電流検出値(DOCDL7～0)								93
($F5)	BPSCD	短絡検出値(SCDL7～0)								93
($F4)	予約									
($F3)	BPIFR	–	–	–	SCIF	DOCIF	COCIF	DHCIF	CHCIF	95
($F2)	BPIMSK	–	–	–	SCIE	DOCIE	COCIE	DHCIE	CHCIE	95
($F1)	CBCR	–	–	–	–	CBE4	CBE3	CBE2	CBE1	100
($F0)	FCSR	–	–	–	–	DUVRD	CPS	DFE	CFE	99
($EF)	予約									
($EE)	予約									
($ED)	予約									
($EC)	予約									
($EB)	予約									
($EA)	CADRDC	CC-ADC 定常放電電流ﾚｼﾞｽﾀ (CADRDC7～0)								76
($E9)	CADRCC	CC-ADC 定常充電電流ﾚｼﾞｽﾀ (CADRCC7～0)								75
($E8)	CADCSRC	–	–	–	–	–	–	–	CADVSE	74
($E7)	CADCSRB	–	CADACIE	CADRCIE	CADICIE	–	CADACIF	CADRCIF	CADICIF	74
($E6)	CADCSRA	CADEN	CADPOL	CADUB	CADAS1	CADAS0	CADSI1	CADSI0	CADSE	73
($E5)	CADICH	CC-ADC 瞬時電流ﾚｼﾞｽﾀ上位 (CADIC15～8)								75
($E4)	CADICL	CC-ADC 瞬時電流ﾚｼﾞｽﾀ下位 (CADIC7～0)								
($E3)	CADAC3	CC-ADC 累積電流ﾚｼﾞｽﾀ 最上位ﾊﾞｲﾄ (CADAC31～24)								
($E2)	CADAC2	CC-ADC 累積電流ﾚｼﾞｽﾀ 第3ﾊﾞｲﾄ (CADAC23～16)								75
($E1)	CADAC1	CC-ADC 累積電流ﾚｼﾞｽﾀ 第2ﾊﾞｲﾄ (CADAC15～8)								
($E0)	CADAC0	CC-ADC 累積電流ﾚｼﾞｽﾀ 最下位ﾊﾞｲﾄ (CADAC7～0)								
($DF)	予約									
($DE)	予約									
($DD)	予約									
($DC)	予約									
($DB)	予約									
($DA)	予約									
($D9)	予約									
($D8)	予約									
($D7)	予約									
($D6)	予約									
($D5)	予約									
($D4)	CHGDCSR	–	–	–	BATTPVL	CHGDISC1	CHGDISC0	CHGDIF	CHGDIE	85
($D3)	予約									
($D2)	BGCSR	–	–	BGD	BGSCDE	–	–	BGSCDIF	BGSCDIE	82
($D1)	BGCRR	基準電圧温度係数校正値 (BGCR7～0)								82
($D0)	BGCCR	–	–	基準電圧校正値 (BGCC5～0)						82
($CF)	予約									
($CE)	予約									
($CD)	予約									
($CC)	予約									
($CB)	予約									
($CA)	予約									
($C9)	予約									
($C8)	ROCR	ROCS	–	–	ROCD	–	–	ROCWIF	ROCWIE	87
($C7)	予約									
($C6)	予約									
($C5)	予約									
($C4)	予約									
($C3)	予約									
($C2)	予約									
($C1)	予約									
($C0)	予約									

拡張I/Oレジスタ領域 (2/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
($BF)	予約									
($BE)	TWBCSR	TWBCIF	TWBCIE	–	–	–	TWBDT1	TWBDT0	TWBCIP	121
($BD)	TWAMR	2線直列インターフェース:TWI(従装置)アドレス遮蔽レジスタ (TWAM6～0)							–	121
($BC)	TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE	119
($BB)	TWDR	2線直列インターフェース:TWI データレジスタ								120
($BA)	TWAR	2線直列インターフェース:TWI(従装置)アドレス値 (TWA6～0)							TWGCE	120
($B9)	TWSR	2線直列インターフェース:TWI状態 (TWS7～3)					–	TWPS1	TWPS0	120
($B8)	TWBR	2線直列インターフェース:TWI ビット速度レジスタ								119
($B7)	予約									
($B6)	予約									
($B5)	予約									
($B4)	予約									
($B3)	予約									
($B2)	予約									
($B1)	予約									
($B0)	予約									
($AF)	予約									
($AE)	予約									
($AD)	予約									
($AC)	予約									
($AB)	予約									
($AA)	予約									
($A9)	予約									
($A8)	予約									
($A7)	予約									
($A6)	予約									
($A5)	予約									
($A4)	予約									
($A3)	予約									
($A2)	予約									
($A1)	予約									
($A0)	予約									
($9F)	予約									
($9E)	予約									
($9D)	予約									
($9C)	予約									
($9B)	予約									
($9A)	予約									
($99)	予約									
($98)	予約									
($97)	予約									
($96)	予約									
($95)	予約									
($94)	予約									
($93)	予約									
($92)	予約									
($91)	予約									
($90)	予約									
($8F)	予約									
($8E)	予約									
($8D)	予約									
($8C)	予約									
($8B)	予約									
($8A)	予約									
($89)	OCR1B	タイマ/カウンタ1 比較Bレジスタ								62
($88)	OCR1A	タイマ/カウンタ1 比較Aレジスタ								62
($87)	予約									
($86)	予約									
($85)	TCNT1H	タイマ/カウンタ1 上位バイト								62
($84)	TCNT1L	タイマ/カウンタ1 下位バイト								62
($83)	予約									
($82)	予約									
($81)	TCCR1B	–	–	–	–	–	CS12	CS11	CS10	52
($80)	TCCR1A	TCW1	ICEN1	ICNC1	ICES1	ICS1	–	–	WGM10	61

拡張I/Oレジスタ領域 (3/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
($7F)	予約									
($7E)	DIDR0	–	–	–	–	–	–	PA1DID	PA0DID	80
($7D)	予約									
($7C)	VADMUX	–	–	–	–	VADMUX3	VADMUX2	VADMUX1	VADMUX0	79
($7B)	予約									
($7A)	VADCSR	–	–	–	–	VADEN	VADSC	ADCCIF	ADCCIE	79
($79)	VADCH	–	–	–	–	V-ADC データ レジスタ上位 (VADC11～8)				80
($78)	VADCL	V-ADC データ レジスタ下位 (VADC7～0)								
($77)	予約									
($76)	予約									
($75)	予約									
($74)	予約									
($73)	予約									
($72)	予約									
($71)	予約									
($70)	予約									
($6F)	TIMSK1	–	–	–	–	ICIE1	OCIE1B	OCIE1A	TOIE1	63
($6E)	TIMSK0	–	–	–	–	ICIE0	OCIE0B	OCIE0A	TOIE0	63
($6D)	予約									
($6C)	PCMSK1	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8	39
($6B)	PCMSK0	–	–	–	–	PCINT3	PCINT2	PCINT1	PCINT0	39
($6A)	予約									
($69)	EICRA	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	37
($68)	PCICR	–	–	–	–	–	–	PCIE1	PCIE0	38
($67)	予約									
($66)	FOSCCAL	内蔵高速RC発振器 発振校正値レジスタ								21
($65)	予約									
($64)	PRR0	–	PRTWI	PRVRM	–	PRSPI	PRTIM1	PRTIM0	PRVADC	26
($63)	予約									
($62)	予約									
($61)	CLKPR	CLKPCE	–	–	–	–	–	CLKPS1	CLKPS0	21
($60)	WDTCSR	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	32

注意:
- 将来のデバイスとの共通性のため、アクセスされる場合の予約ビットは0を書かれるべきです。予約したI/Oメモリ アドレスは決して書かれるべきではありません。
- アドレス範囲$00～$1F内のI/OレジスタはSBIとCBI命令を使う直接ビット アクセスが可能です。これらのレジスタではSBISとSBIC命令を使うことによって単一ビット値が検査できます。
- いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は指定ビットだけを操作し、故にこのような状態フラグを含むレジスタで使えます。CBIとSBI命令は$00～$1Fのレジスタだけで動作します。
- I/O指定命令INとOUTを使う時はI/Oアドレス$00～$3Fが使われなければなりません。LDとST命令を使ってデータ空間としてI/Oレジスタをアドレス指定する時はこれらのアドレスに$20が加算されなければなりません。Atmel ATmega16HVB/32HVBはINとOUT命令で予約した64位置で支援できるよりも多くの周辺部(機能)の複合マイクロ コントローラです。SRAM(データ空間)内の拡張I/O空間はST/STS/STDとLD/LDS/LDD命令だけが使えます。

標準I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
$3F ($5F)	SREG	I	T	H	S	V	N	Z	C	7
$3E ($5E)	SPH	SP15	SP14	SP13	SP12	(SP11)	SP10	SP9	SP8	8
$3D ($5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
$3C ($5C)	予約									
$3B ($5B)	予約									
$3A ($5A)	予約									
$39 ($59)	予約									
$38 ($58)	予約									
$37 ($57)	SPMCSR	SPMIE	RWWSB	SIGRD	RWWSBE	LBSET	PGWRT	PGERS	SPMEN	133
$36 ($56)	予約									
$35 ($55)	MCUCR	–	–	CKOE	PUD	–	–	IVSEL	IVCE	21,50,36
$34 ($54)	MCUSR	–	–	–	OCDRF	WDRF	BODRF	EXTRF	PORF	31
$33 ($53)	SMCR	–	–	–	–	SM2	SM1	SM0	SE	26
$32 ($52)	予約									
$31 ($51)	DWDR	デバッグWIRE データ レジスタ								122
$30 ($50)	予約									
$2F ($4F)	予約									
$2E ($4E)	SPDR	SPI データ レジスタ								69
$2D ($4D)	SPSR	SPIF	WCOL	–	–	–	–	–	SPI2X	68
$2C ($4C)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	68
$2B ($4B)	GPIOR2	汎用I/Oレジスタ2								16
$2A ($4A)	GPIOR1	汎用I/Oレジスタ1								16
$29 ($49)	OCR0B	タイマ/カウンタ0 比較Bレジスタ								62
$28 ($48)	OCR0A	タイマ/カウンタ0 比較Aレジスタ								62
$27 ($47)	TCNT0H	タイマ/カウンタ0 上位バイト								62
$26 ($46)	TCNT0L	タイマ/カウンタ0 下位バイト								62
$25 ($45)	TCCR0B	–	–	–	–	–	CS02	CS01	CS00	52
$24 ($44)	TCCR0A	TCW0	ICEN0	ICNC0	ICES0	ICS0	–	–	WGM00	61
$23 ($43)	GTCCR	TSM	–	–	–	–	–	–	PSRSYNC	52
$22 ($42)	EEARH	–	–	–	–	–	–	(EEAR9)	EEAR8	13
$21 ($41)	EEARL	EEPROMアドレス レジスタ (EEAR7～0)								
$20 ($40)	EEDR	EEPROMデータ レジスタ								13
$1F ($3F)	EECR	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	13
$1E ($3E)	GPIOR0	汎用I/Oレジスタ0								16
$1D ($3D)	EIMSK	–	–	–	–	INT3	INT2	INT1	INT0	38
$1C ($3C)	EIFR	–	–	–	–	INTF3	INTF2	INTF1	INTF0	38
$1B ($3B)	PCIFR	–	–	–	–	–	–	PCIF1	PCIF0	39
$1A ($3A)	予約									
$19 ($39)	予約									
$18 ($38)	予約									
$17 ($37)	OSICSR	–	–	–	OSISEL0	–	–	OSIST	OSIEN	22
$16 ($36)	TIFR1	–	–	–	–	ICF1	OCF1B	OCF1A	TOV1	63
$15 ($35)	TIFR0	–	–	–	–	ICF0	OCF0B	OCF0A	TOV0	63
$14 ($34)	予約									
$13 ($33)	予約									
$12 ($32)	予約									
$11 ($31)	予約									
$10 ($30)	予約									
$0F ($2F)	予約									
$0E ($2E)	予約									
$0D ($2D)	予約									
$0C ($2C)	予約									
$0B ($2B)	予約									
$0A ($2A)	予約									
$09 ($29)	予約									
$08 ($28)	PORTC	–	–	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	42
$07 ($27)	予約									
$06 ($26)	PINC	–	–	–	PINC4	PINC3	PINC2	PINC1	PINC0	42
$05 ($25)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	50
$04 ($24)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	50
$03 ($23)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	50
$02 ($22)	PORTA	–	–	–	–	PORTA3	PORTA2	PORTA1	PORTA0	50
$01 ($21)	DDRA	–	–	–	–	DDA3	DDA2	DDA1	DDA0	50
$00 ($20)	PINA	–	–	–	–	PINA3	PINA2	PINA1	PINA0	50

(訳注) 原書本位置の注意は前頁に移動しました。

35. 命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
		算術、論理演算命令			
ADD	Rd,Rr	汎用レジスタ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	RdH:RdL ← RdH:RdL + K6	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd ← Rd - Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd ← Rd - K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	RdH:RdL ← RdH:RdL - K6	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd ← Rd - Rr - C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd ← Rd - K - C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF - Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 - Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	Rd ← Rd AND ($FF - K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	Rd ← Rd - 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	R1:R0 ← Rd×Rr (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	R1:R0 ← Rd×Rr (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1:R0 ← Rd×Rr (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×U)	I,T,H,S,V,N,Z,C	2
		分岐命令			
RJMP	k	相対無条件分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	3
CALL	k	絶対サブルーチン呼び出し	STACK ← PC, PC ← k	I,T,H,S,V,N,Z,C	4
RET		サブルーチンからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	PC ← STACK	1,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd - Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd - Rr - C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd - K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータス フラグが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータス フラグが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリー フラグが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリー フラグが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの<で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリー フラグが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数　P : I/Oレジスタ　Rd, Rr : 汎用レジスタ(R0～R31)　X, Y, Z : X, Y, Zレジスタ
b : ビット(0～7)　k : アドレス定数(7,12,16ビット)　q : 符号なし6ビット定数(変位)　s : ステータス フラグ(C,Z,N,V,X,H,T,I)

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾃﾞｰﾀ移動命令					
MOV	Rd,Rr	汎用ﾚｼﾞｽﾀ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用ﾚｼﾞｽﾀ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xﾚｼﾞｽﾀ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXﾚｼﾞｽﾀ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXﾚｼﾞｽﾀ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yﾚｼﾞｽﾀ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYﾚｼﾞｽﾀ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zﾚｼﾞｽﾀ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZﾚｼﾞｽﾀ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	ﾃﾞｰﾀ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xﾚｼﾞｽﾀ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXﾚｼﾞｽﾀ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXﾚｼﾞｽﾀ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yﾚｼﾞｽﾀ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYﾚｼﾞｽﾀ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYﾚｼﾞｽﾀ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYﾚｼﾞｽﾀ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zﾚｼﾞｽﾀ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZﾚｼﾞｽﾀ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZﾚｼﾞｽﾀ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZﾚｼﾞｽﾀ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2
STS	k,Rr	ﾃﾞｰﾀ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2
LPM		ﾌﾟﾛｸﾞﾗﾑ領域からZﾚｼﾞｽﾀ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	3
SPM		ﾌﾟﾛｸﾞﾗﾑ領域へZ ﾚｼﾞｽﾀ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oﾚｼﾞｽﾀからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oﾚｼﾞｽﾀへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用ﾚｼﾞｽﾀをｽﾀｯｸへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	2
POP	Rd	ｽﾀｯｸから汎用ﾚｼﾞｽﾀへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2
ﾋﾞｯﾄ関係命令					
SBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ﾋﾞｯﾄ移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	ｷｬﾘｰを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	ｷｬﾘｰを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ﾆﾌﾞﾙ(4ﾋﾞｯﾄ)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄを一時ﾌﾗｸﾞへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時ﾌﾗｸﾞを汎用ﾚｼﾞｽﾀのﾋﾞｯﾄへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		ｷｬﾘｰ ﾌﾗｸﾞを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		ｷｬﾘｰ ﾌﾗｸﾞを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負ﾌﾗｸﾞを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負ﾌﾗｸﾞを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ｾﾞﾛ ﾌﾗｸﾞを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ｾﾞﾛ ﾌﾗｸﾞを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号ﾌﾗｸﾞを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号ﾌﾗｸﾞを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れﾌﾗｸﾞを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れﾌﾗｸﾞを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時ﾌﾗｸﾞを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時ﾌﾗｸﾞを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵ﾃﾞﾊﾞｯｸﾞ機能専用	I,T,H,S,V,N,Z,C	N/A

36. 注文情報

ﾃﾞﾊﾞｲｽ	速度(MHz)	電源電圧	注文符号 (注1)	外囲器	動作範囲
ATmega16HVB	1～8	4～18V	ATmega16HVB-8X3	44X1	-40℃～85℃
ATmega32HVB			ATmega32HVB-8X3	44X1	

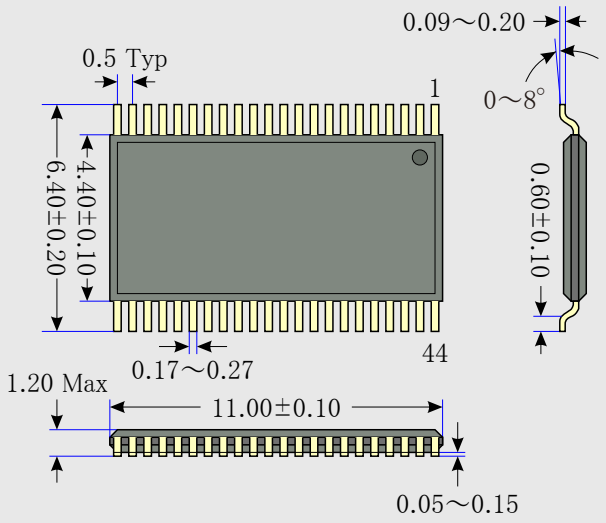
外囲器形式	
44X1	44ﾘｰﾄﾞ 4.4mm本体幅 ﾌﾟﾗｽﾃｨｯｸ縮小薄型小外形外囲器 (TSSOP)

37. 外囲器情報

37.1. 44X1

44ﾘｰﾄﾞ ﾌﾟﾗｽﾃｨｯｸ縮小薄型小外形外囲器 (TSSOP)

寸法: mm
JEDEC規格 M0-153BE



38. 障害情報

この章の改訂番号はATmega16HVB/32HVBﾃﾞﾊﾞｲｽの改訂版を参照してください。

ATmega16HVB 改訂A,D ：試供されていません。

ATmega32HVB 改訂A,D ：試供されていません。

- 従装置動作でTWI停止条件ﾋﾞｯﾄが設定されている場合にTWIﾊﾞｽが立ち往生になり得る 16/32-B/C/E
- ｽﾀｯｸ ﾎﾟｲﾝﾀ初期値 16-B

1. 従装置動作でTWI停止条件ﾋﾞｯﾄが設定されている場合にTWIﾊﾞｽが立ち往生になり得る (16/32-B/C/E)

   従装置動作でﾃﾞｰﾀを受信するためにTWIが始動している間にTWI制御ﾚｼﾞｽﾀ(TWCR)の停止(STOP)条件生成許可(TWSTO)ﾋﾞｯﾄが設定された場合、SCLﾋﾟﾝをLowに引き、そしてTWIﾊﾞｽが立ち往生になり得ます。SCLﾋﾟﾝを開放してこの状況を抜け出すにはTWI単位部が禁止され、そして再び許可されることが必要です。

   対策/対処

   従装置動作の間、TWSTOﾋﾞｯﾄは異常状況からの回復のためだけに書かれ、そしてﾃﾞｰﾀ転送開始前に解除されるべきです。

2. ｽﾀｯｸ ﾎﾟｲﾝﾀ初期値 (16-B)

   ATmega16HVBのｽﾀｯｸ ﾎﾟｲﾝﾀは$04FFの代わりに不正に$08FFへ初期化されます。

   対策/対処

   ｽﾀｯｸが使われる前にｿﾌﾄｳｪｱでｽﾀｯｸ ﾎﾟｲﾝﾀを初期化してください。殆どのCｺﾝﾊﾟｲﾗは手動の介在なしにｽﾀｯｸ ﾎﾟｲﾝﾀを初期化します。

   ｱｾﾝﾌﾞﾘ言語例:

```
LDI     R16,HIGH(RAMEND)    ; SRAM最終ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ値取得
OUT     SPH,R16             ; ｽﾀｯｸ ﾎﾟｲﾝﾀ上位ﾊﾞｲﾄ初期化
LDI     R16,LOW(RAMEND)     ; SRAM最終ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ値取得
OUT     SPL,R16             ; ｽﾀｯｸ ﾎﾟｲﾝﾀ下位ﾊﾞｲﾄ初期化
```

39. データシート改訂履歴

この章内の参照頁番号はこの文書が参照されていることに注意してください。この章内の改訂番号は文書の改訂番号を参照してください。

39.1. 8042A – 2009年8月

1. 初版

39.2. 8042B – 2010年6月

1. 53頁の**図17-1.**で方向(direction)信号線を削除
2. 78頁の「**V-ADC動作用PA1,PA0構成設定**」を更新
3. サーミスタRT32,RT33に対する正しい命名習慣で146頁の「**動作回路**」を更新

39.3. 8042C – 2011年6月

1. 94頁の**表24-5.**で"最小"と"最大"の欄を削除
2. 129頁の**表29-3.**で新規列(デバイスIDと位置)を追加
3. 129頁の**表29-3.**で新規注(注16)を追加
4. 150頁の「**絶対最大定格**」で次の値を変更、"OC,OD許容電圧"、"PC5,BATT,VFET,PV4,PV3,P V2許容電圧"、VFET最大動作電圧
5. 150頁の**表32-1.**でWDT,CC-ADC,OC,OD,電池保護許可,DUVR禁止の代表値と最大値を追加
6. 151頁の**表32-2.**で$t_{f,OC}$と$t_{f,OD}$に関する条件に「Ceq=4700pF, VFET=16V」を追加
7. 154頁の**表32-8.**で「低速RC発振器」に関する「周波数変動」を削除
8. 154頁の**表32-8.**で新しい注(注4)を追加
9. 156頁の**表32-15.**で式を修正
10. 156頁の**表32-15.**で式を修正
11. 161頁の**図33-2.**を追加 (**訳補**:改訂Dで削除)
12. 全般的な更新と文章でのいくつかの些細な修正に加えて、いくつかのリンクを修正と追加

39.4. 8042D – 2011年10月

1. 動作電圧を4V～25Vから4V～18Vに変更
2. 21頁の「**ビット1,0 – CLKPS1,0**」で新規文挿入、「CKDIBV8」を「CKDIV8」に修正
3. 22頁の「**ビット0 – OSIEN**」の注2を削除
4. 27頁の**9.2.3.**項でULP発振器の実際のクロック周期を決める方法を更新
5. 27頁の**9.2.3.**項の第2項で「低速RC発振器」を「ULP RC発振器」に修正
6. 27頁の**図11-1.**を修正
7. 32頁の**表11-2.**の下に新しい注2を追加
8. 73頁の**表19-1.**の下で注を修正
9. 73頁の**表19-2.**の下で注を修正
10. 82頁の**21.5.**項の最後の文を修正
11. 97頁の**25.3.1.**項の文章を**図25-2.**下の様々な場所で修正
12. 122頁の**図28-1.**でVCCを修正
13. 135頁の**表30-3.**でビット番号4を修正
14. 135頁の**表30-3.**で下の注1を修正
15. 137頁の**30.6.1.**項の第4、5点の文を修正
16. 140頁の**図30-3.**でVFET値を修正
17. 146頁の**図31-1.**を更新
18. 147頁の**図31-2.**を更新
19. 148頁の**図31-3.**を更新
20. **図31-1.**～**3.**の変更に従って149頁の**表31-1.**を更新
21. 150頁の**32.1.**項の表を多数の新しい値で更新
22. 151頁の**表32-2.**にILOADを追加
23. 151頁の**表32-2.**の下に注1を追加
24. 151頁の**表32-3.**でVBOTに対する最大値を追加
25. 152頁の**表32-4.**でVRSCLに対する最大値を修正、VREGピンに対する最大値を追加

26. 153頁の**表32-7.**でINLに対する代表値と最大値を修正
27. 154頁の**表32-8.**で(低速RC発振器)周波数予測誤差に対する代表値を修正
28. 154頁の**表32-10.**で「パラメータ」下の文字を修正
29. 155頁の**表32-12.**で注5を追加
30. 160頁の**表32-18.**でt_{WLRH_CE}に対する最大値を修正
31. 161頁の以前の**図33-2.**を削除
32. 164頁の**表33-1.**で文字「CC-OD」を「OC-OD」に変更、代表消費電流を「55µA」から「85µA」に変更
33. 164頁の**表33-1.**の下に新規文章を追加
34. 164頁に新しい**図33-10.**を追加
35. 165頁の**図33-13.**を更新
36. 166頁の**図33-14.**を更新
37. 166頁に新しい**図33-15.**を追加
38. 168頁に新しい**図33-21.**を追加
39. 170頁の**図33-27.**の表題を修正
40. 177頁の表でATmega16HVBの電源電圧を修正
41. 177頁の表でATmega32HVBの電源電圧を修正
42. 「全版」に対する障害情報の追加により、178頁の**38.**章を修正

39.5. 8042E – 2013年9月

1. 178頁の「**障害情報**」を更新

   ATmega16HVB：改訂C,D,Eに関する障害情報を追加

   ATmega32HVB：改訂B,C,D,Eに関する障害情報を追加

目次

特徴 …… 1
1. ピン配置 …… 2
1.1. TSSOP …… 2
1.2. ピン説明 …… 2
2. 概要 …… 4
2.1. ATmega16HVBとATmega32HVB間の違い …… 5
3. お断り …… 5
4. 資料 …… 5
5. コード例について …… 5
6. データ保持力 …… 5
7. AVR CPU コア …… 6
7.1. 概要 …… 6
7.2. ALU (Arithmetic Logic Unit) …… 6
7.3. ステータス レジスタ …… 7
7.4. 汎用レジスタ ファイル …… 8
7.5. スタック ポインタ …… 8
7.6. 命令実行タイミング …… 9
7.7. リセットと割り込みの扱い …… 9
8. AVR メモリ …… 11
8.1. 概要 …… 11
8.2. 実装書き換え可能なプログラム用フラッシュ メモリ …… 11
8.3. データ用SRAMメモリ …… 11
8.4. データ用EEPROMメモリ …… 12
8.5. I/Oメモリ (レジスタ) …… 12
8.6. メモリ関係レジスタ …… 13
9. システム クロックとクロック任意選択 …… 17
9.1. クロック系統とその配給 …… 17
9.2. クロック元 …… 17
9.3. クロック起動手順 …… 19
9.4. クロック出力 …… 19
9.5. システム クロック前置分周器 …… 19
9.6. 電圧A/D変換器クロック前置分周器 …… 19
9.7. OSI - 発振器採取インターフェース …… 19
9.8. クロック関係レジスタ …… 21
10. 電力管理と休止形態 …… 23
10.1. 休止形態種別 …… 23
10.2. アイドル動作 …… 24
10.3. A/D変換雑音低減動作 …… 24
10.4. パワーセーブ動作 …… 24
10.5. パワーオフ動作 …… 25
10.6. 電力削減(電力削減レジスタ) …… 25
10.7. 消費電力の最小化 …… 25
10.8. 電力管理用レジスタ …… 26
11. システム制御とリセット …… 27
11.1. AVRのリセット …… 27
11.2. リセット元 …… 27
11.3. リセットと基準電圧 …… 28
11.4. ウォッチドッグ タイマ …… 29
11.5. リセット関係用レジスタ …… 31
12. 割り込み …… 33
12.1. 概要 …… 33
12.2. ATmega16HVB/32HVBの割り込みベクタ …… 33
12.3. 応用/ブート領域間の割り込みベクタ移動 …… 36
12.4. 割り込みベクタ移動用レジスタ …… 36
13. 外部割り込み …… 37
13.1. 概要 …… 37
13.2. ピン変化割り込みタイミング …… 37
13.3. 外部割り込み用レジスタ …… 37
14. 高電圧入出力ポート …… 40
14.1. 概要 …… 40
14.2. 標準デジタル入出力としての高電圧ポート …… 40
14.3. 交換ポート機能 …… 41
14.4. 高電圧I/Oポート用レジスタ …… 42
15. 低電圧入出力ポート …… 43
15.1. 概要 …… 43
15.2. 標準デジタル入出力としての低電圧ポート …… 43
15.3. 交換ポート機能 …… 46
15.4. 低電圧I/Oポート用レジスタ …… 50
16. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器 …… 51
16.1. 概要 …… 51
16.2. 外部クロック …… 51
16.3. タイマ/カウンタ前置分周器用レジスタ …… 52
17. タイマ/カウンタ (T/C0,T/C1) …… 53
17.1. 特徴 …… 53
17.2. 概要 …… 53
17.3. タイマ/カウンタのクロック …… 54
17.4. 計数器部 …… 54
17.5. 動作種別 …… 54
17.6. 捕獲入力部 …… 56
17.7. 比較部 …… 57
17.8. タイマ/カウンタのタイミング …… 58
17.9. 16ビット動作でのレジスタ アクセス …… 59
17.10. タイマ/カウンタn用レジスタ …… 61
18. SPI (直列周辺インターフェース) …… 64
18.1. 特徴 …… 64
18.2. 概要 …… 64
18.3. SSピンの機能 …… 66
18.4. データ転送形式 …… 67
18.5. SPI用レジスタ …… 68
19. クーロン カウンタ (容/残量計専用⊿ΣA/D変換器) …… 70
19.1. 特徴 …… 70
19.2. 概要 …… 70
19.3. 標準動作 …… 71
19.4. 定常電流検出動作 …… 72
19.5. 極性切り換えによる変位(オフセット)消去 …… 72
19.6. 構成設定と使用法 …… 72
19.7. クーロン カウンタA/D変換器用レジスタ …… 73
20. 電圧ADC (7チャネル汎用12ビット⊿ΣA/D変換器) …… 77
20.1. 特徴 …… 77
20.2. 概要 …… 77
20.3. 操作 …… 77
20.4. 電圧A/D変換器用レジスタ …… 79
21. 基準電圧と温度感知器 …… 81
21.1. 特徴 …… 81
21.2. 概要 …… 81
21.3. 動作 …… 81
21.4. バンドギャップ校正 …… 81
21.5. バンドギャップ緩衝器安定時間 …… 82
21.6. 基準電圧と温度感知器用レジスタ …… 82
22. 充電器検出 …… 84
22.1. 特徴 …… 84
22.2. 概要 …… 84
22.3. 動作 …… 84
22.4. 充電器検出用レジスタ …… 85

23. 電圧調整器 86
23.1. 特徴 86
23.2. 概要 86
23.3. 調整器始動 86
23.4. 電池パック短絡検出 86
23.5. 電圧消失(Bloack-out)検出 87
23.6. 電圧調整器用レジスタ 87
24. 電池保護 88
24.1. 特徴 88
24.2. 概要 88
24.3. 動作 88
24.4. 外部保護入力 89
24.5. 低消費電力使用法最適化 90
24.6. 電池保護CPUインターフェース 90
24.7. 電池保護用レジスタ 91
25. FET駆動部 96
25.1. 特徴 96
25.2. 概要 96
25.3. 動作と使用法 96
25.4. FET駆動部用レジスタ 99
26. 電池セル平衡 100
26.1. 概要 100
26.2. 電池セル平衡用レジスタ 100
27. 2線直列インターフェース (TWI) 101
27.1. 特徴 101
27.2. 2線直列インターフェース バスの定義 101
27.3. データ転送とフレーム形式 101
27.4. 複数主装置バス システムの調停と同期 103
27.5. TWI部の概要 104
27.6. TWIの使用法 106
27.7. 転送種別 108
27.8. 複数主装置システムでのバス競合と調停 117
27.9. 2線直列インターフェース用バス接続/切断 118
27.10. TWI用レジスタ 119
28. デバッグWIRE内蔵デバッグ機能 122
28.1. 特徴 122
28.2. 概要 122
28.3. 物理インターフェース 122
28.4. ソフトウェア中断点 122
28.5. デバッグWIREの制限 122
28.6. デバッグWIRE用レジスタ 122
29. ブート ローダ支援 – RWW 自己プログラミング 123
29.1. 特徴 123
29.2. 概要 123
29.3. フラッシュ メモリの応用領域とブート ローダ領域 123
29.4. 書き中に読みが可能な領域と不能な領域 123
29.5. ブート ローダ施錠ビット 125
29.6. ブート ローダ プログラムへの移行 125
29.7. 自己プログラミングでのフラッシュ アドレス指定 126
29.8. フラッシュ メモリの自己プログラミング 126
29.9. 自己プログラミング用レジスタ 133
30. メモリ プログラミング 134
30.1. プログラム メモリとデータ メモリ用施錠ビット 134
30.2. ヒューズ ビット 135
30.3. 識票バイト 136
30.4. 校正バイト 136
30.5. ページ容量 136
30.6. 直列プログラミング 137
30.7. 並列プログラミング 140
31. 動作回路 146
32. 電気的特性 150
32.1. 絶対最大定格 150
32.2. 供給電流特性 150
32.3. N-FET駆動部特性 151
32.4. リセット特性 151
32.5. 電圧調整器特性 152
32.6. 基準電圧と温度感知器の特性 152
32.7. A/D変換器特性 153
32.8. クロック特性 154
32.9. 電池セル平衡特性 154
32.10. 電池保護特性 154
32.11. 外部割り込み特性 154
32.12. 汎用入出力線特性 155
32.13. 2線直列インターフェース(TWI)特性 156
32.14. SPIタイミング特性 157
32.15. 直列プログラミング特性 158
32.16. 並列プログラミング特性 159
33. 代表特性 161
33.1. 消費電流特性 161
33.2. N-FET駆動部特性 165
33.3. 電池保護特性 166
33.4. クロック特性 167
33.5. 基準電圧特性 168
33.6. 電圧調整器特性 169
33.7. 低電圧検出器(BOD)閾値特性 170
34. レジスタ要約 171
35. 命令要約 175
36. 注文情報 177
37. 外囲器情報 177
38. 障害情報 178
39. データシート改訂履歴 179

Enabling Unlimited Possibilities®

Atmel Corporation
1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited
Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH
Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.
141-0032 東京都品川区
大崎1-6-4
新大崎勧業ﾋﾞﾙ 16F
ｱﾄﾒﾙ ｼﾞｬﾊﾟﾝ合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. **不許複製** / 改訂:8042E-AVR-09/2013

Atmel®、Atmelﾛｺﾞとそれらの組み合わせ、Enabling Unlimited Possibilities®、AVR®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。**Atmelのｳｪﾌﾞｻｲﾄに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。**Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© *HERO* 2022.

本ﾃﾞｰﾀｼｰﾄはAtmelのATmega16HVB/32HVB英語版ﾃﾞｰﾀｼｰﾄ(Rev.8042E-09/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に於ける図表番号の不具合を修正したため、原書に対して一部の図表番号が異なります。