

特徴

- 高性能、低消費AVR[®] 8ビット マイクロ コントローラ
- 進化したRISC構造
 - 強力な**131命令**(多くは1周期で実行)
 - 32個の1バイト長**汎用レジスタ**
 - 完全なステティック動作
 - 8MHz時、8MIPSに達する高速動作
 - 2周期乗算命令
- 不揮発性プログラム用メモリとデータ用メモリ
 - 自己実装書き換え可能な32Kバイト(16K語)**フラッシュ メモリ**内蔵(1000回の書き換え可能)
 - 個別施錠ビットを持つ任意の**ブート コード領域**による実装書き換え
 - 実装書き換え(ISP)可能な1Kバイトの**EEPROM**(100,000回の書き換え可能)
 - 2Kバイトの**SRAM**
 - ソフトウェア保護用の設定可能な**施錠機能**
- JTAG (IEEE 1149.1準拠) インターフェース
 - 広範囲な**内蔵デバッグ機能**
 - **JTAGインターフェース経由でのフラッシュ、EEPROM、ヒューズ、施錠ビットのプログラミング**
 - JTAG規格に従った**境界走査(Boundary-Scan)**能力
- 内蔵周辺機能
 - 分離された前置分周器、比較動作付き、2つの**8ビット タイマ/カウンタ**
 - 分離された前置分周器、比較、捕獲、1つの**16ビット タイマ/カウンタ**
 - 専用発振器と**8ビット タイマ/カウンタ**による実時間計数器(RTC)
 - 4つのPWM出力
 - 8チャネル 10ビット **A/D変換器**
 - バイト対応の**2線直列インターフェース**
 - 設定可能な**USART**
 - 主装置/従装置動作**SPI直列インターフェース**
 - 設定可能な専用発振器付き**ウォッチドッグ タイマ**
 - **アナログ比較器**
- 特殊マイクロ コントローラ機能
 - **電源ONリセット**と設定可能な**低電圧検出器(BOD)**
 - **校正可能な内蔵RC発振器**
 - 外部及び内部の割り込み
 - **アイトル、A/D変換雑音低減、パワーセーブ、パワーダウン、スタンバイ、拡張スタンバイ**の6つの**低消費(休止)動作**
- I/Oと外圍器
 - 32ビットの**設定可能なI/O**
 - **40ピンPDIP、44ピンTQFP**
- 動作電圧
 - 2.7～5.5V (ATmega323L)
 - 4.0～5.5V (ATmega323)
- 動作速度
 - 0～4MHz (ATmega323L)
 - 0～8MHz (ATmega323)



8ビット **AVR[®]**
 マイクロ コントローラ
 実装書き換え可能な
 32Kバイト
 フラッシュ メモリ内蔵

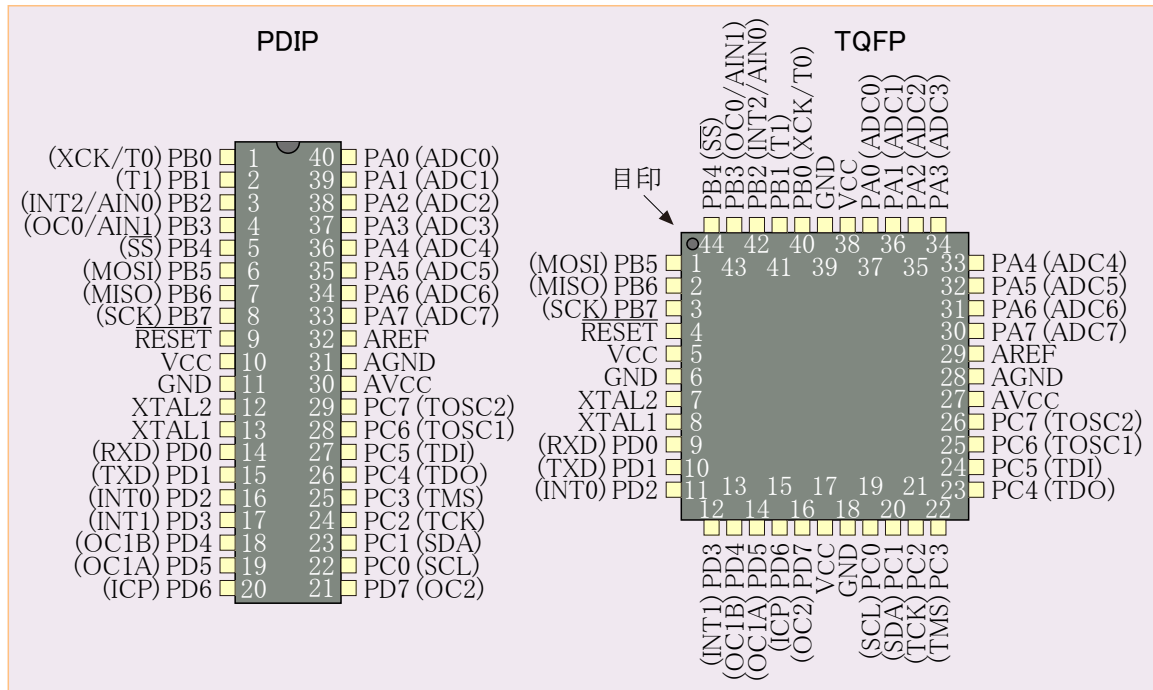
ATmega323
 ATmega323L

本製品での新規設計は推奨
 されません。
 ATmega32をお使いください。

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 1457G-09/03, 1457GJ18-09/22

ピン配置

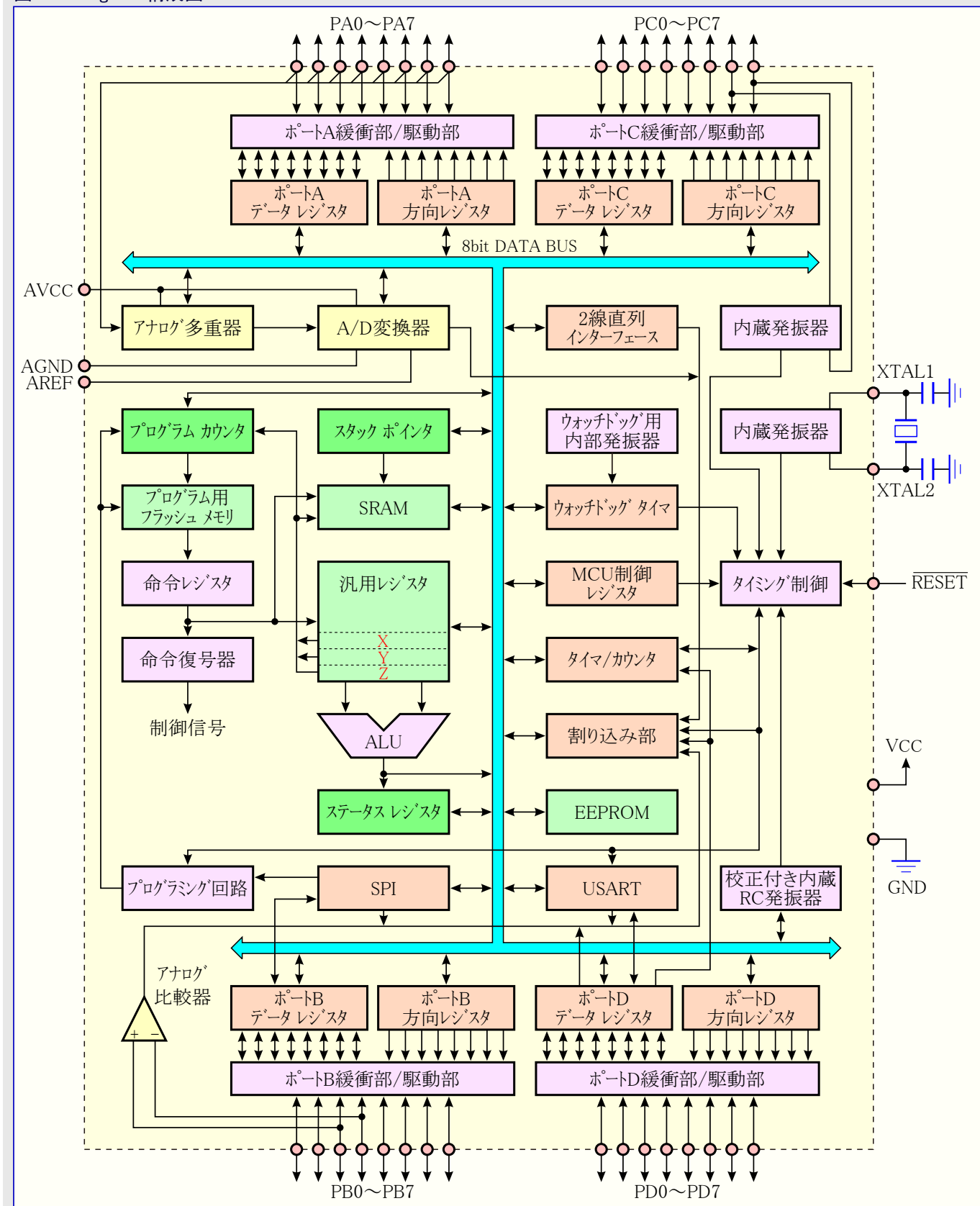


概要

ATmega323はAVR RISC構造の低消費CMOS 8ビット マイクロ コントローラです。1周期で実行する強力な命令はMHzあたり1 MIPSに達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロ コントローラに対し、最大10倍の単位処理量向上効果があります。

図1. ATmega323構成図



ATmega323は32Kバイトの自己実装書き換え可能なフラッシュメモリ、1KバイトのEEPROM、2KバイトのSRAM、32ビットの汎用入出力、32個の汎用レジスタ、境界走査(Boundary-Scan)用JTAGインターフェース、内蔵デバッグとプログラミングの支援、比較動作を含む柔軟な3つのタイマ/カウンタ、内部及び外部割り込み、設定変更可能な直列USART、バイト対応の2線直列インターフェース、8チャネルの10ビットA/D変換器、設定変更可能な内部発振器付きウォッチドッグタイマ、SPI直列ポート、ソフトウェアで選べる6つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPIポート、割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで他の全機能を無効にします。パワーセーブ動作では非同期タイマ用発振器が動作を継続し、デバイスのその他が停止中であっても基準タイマの継続が許されます。A/D変換雑音低減動作ではA/D変換中の切り替え雑音を最小とするため、非同期タイマとA/D変換器を除く周辺機能とCPUが停止します。スタンバイ動作ではデバイスのその他が休止中、クリスタル発振子/セラミック振動子用発振器が動作します。これは低消費電力と非常に速い起動の組み合わせを可能とします。拡張スタンバイ動作では主発振器と非同期タイマ用発振器両方が動作を続けます。

内蔵の実装書き換え(ISP)可能なプログラム用フラッシュメモリは、通常の実装書き込み器やSPI直列インターフェースを通して、またはAVRコアでの内蔵ブートプログラム実行によって書き込みができます。ブートプログラムは応用領域フラッシュメモリ内の応用プログラムの読み込みに、どのインターフェースでも使えます。モノリシックチップ上の実装自己書き換え可能なフラッシュメモリと8ビットRISC型CPUの組み合わせによるATmega323は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

ATmega323 AVRはCコンパイラ、マクロアセンブラ、デバッグ、シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

ピン概要

VCC

デジタル電源ピン。

GND

デジタル接地ピン。

PA7~PA0 (ポートA)

ポートAはA/D変換器へのアナログ入力として扱います。

A/D変換器が使われない場合、ポートAは8ビットの双方向入出力ポートとしても扱います。ポートピンは(ビット毎に選ばれる)内蔵プルアップ抵抗を提供できます。ポートA出力緩衝部は20mAの吸い込み電流を流せ、LED表示器を直接駆動できます。PA0~7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効の場合、吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートAピンはHi-Zになります。

PB7~PB0 (ポートB)

ポートBは(ビット毎に選ばれる)内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートBの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートBピンはHi-Zになります。

ポートBは95頁で示されるATmega323の各特殊機能としても扱います。

PC7~PC0 (ポートC)

ポートCは(ビット毎に選ばれる)内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートCの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートCピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートCピンはHi-Zになります。

ポートCは101頁で示されるATmega323の各特殊機能とJTAGインターフェース機能としても扱います。JTAGインターフェースが許可されると、PC5(TDI)、PC3(TMS)、PC2(TCK)ピンのプルアップ抵抗は、リセットが起きても有効とされます。

PD7~PD0 (ポートD)

ポートDは(ビット毎に選ばれる)内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートDの出力緩衝部は20mAの吸い込み電流を流せます。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートDピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートDピンはHi-Zになります。

ポートDは105頁で示されるATmega323の各特殊機能としても扱います。

RESET

リセット入力。このピンの500nsより長いLowレベルは、例えクロックが動作していなくてもリセットを発生します。短すぎるパルスはリセットの生成が保証されません。

XTAL1

発振器用反転増幅器の入力、内部クロック動作回路の入力。

XTAL2

発振器用反転増幅器の出力。

AVCC

AVCCはポートA(アナログ入力)とA/D変換器用の供給電圧です。A/D変換が使われない場合でも、外部的にVCCへ接続されるべきです。A/D変換が使われる場合、[低域通過濾波器を経由してVCCに接続](#)されるべきです。A/D変換の操作詳細については[85頁](#)をご覧ください。

AREF

AREFはA/D変換器のアナログ基準電圧入力ピンです。A/D変換動作では、2.56V～AVCC範囲内の電圧がこのピンに印加できます。

AGND

アナログ接地です。基板に分離されたアナログGND面がある場合、このピンはそのGND面に接続されるべきです。その他の場合はGNDに接続します。

クロック任意選択

このデバイスには右に示されるフラッシュヒューズビットによって選択可能なクロック種別があります。

クロック種別毎の各選択は[18頁の表6](#)で示されるように異なる起動時間を与えます。

表1. クロック選択

クロック種別	CKSEL3～0
外部クリスタル発振子/セラミック振動子	1111～1010
外部低周波数クリスタル発振子	1001～1000
外部RC発振	0111～0101
内蔵RC発振	0100～0010
外部クロック信号	0001～0000

注: 1=非プログラム、0=プログラム

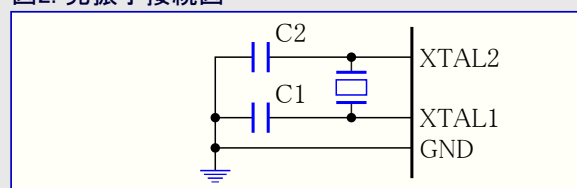
内蔵RC発振器

内蔵RC発振器は公称1MHzの固定周波数で動作します。選ばれたなら、デバイスは外付け部品なしで動作できます。デバイスはこの種別が選ばれ、出荷されます。この発振器の校正情報については[28頁の「校正付き内蔵発振器」](#)をご覧ください。

クリスタル用発振器

XTAL1とXTAL2は[図2](#)に示される内蔵発振器として使える反転増幅器の各々入力と出力です。クリスタル発振子かセラミック振動子のどちらでも使えます。

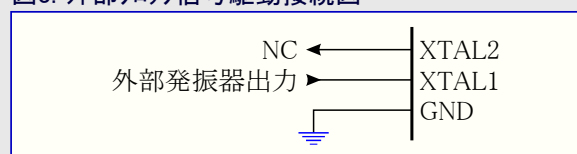
図2. 発振子接続図



外部クロック信号

外部クロック信号でデバイスを駆動するには[図3](#)で示されるようにXTAL1が駆動されるべきです。

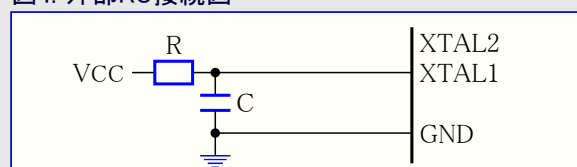
図3. 外部クロック信号駆動接続図



外部RC発振器

タイミングに敏感でない応用については[図4](#)で示される外部RC設定が使えます。RとCの選択法の詳細については[142頁の表73](#)をご覧ください。

図4. 外部RC接続図



タイマ用発振器

TOSC1(PC6)とTOSC2(PC7)はタイマ用発振器の発振子接続ピンで、このピン間にクリスタル発振子が直接接続されます。外部コンデンサは必要とされません。この発振器は時計用32.768kHzクリスタルに最適化されています。TOSC1ピンに外部クロック信号を印加するのは推奨されません。

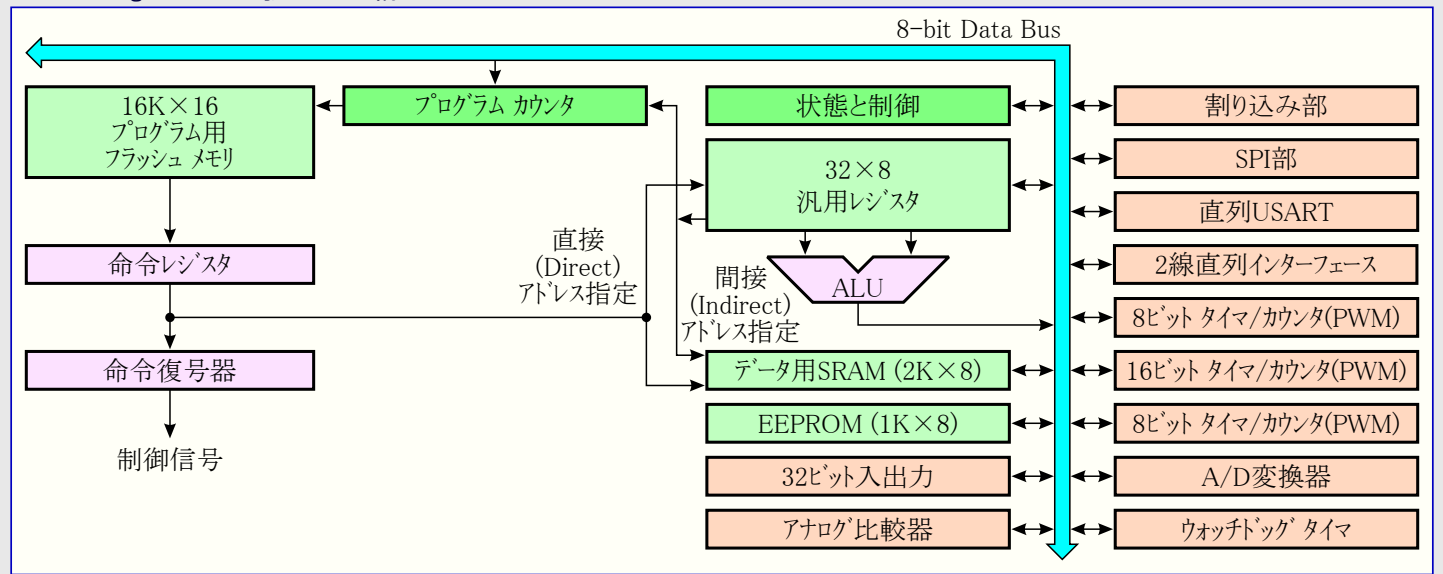
構造概要

高速**レジスタ ファイル**の概念は、1クロック周期アクセス時間の32個の8ビット長汎用レジスタを含みます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタ ファイルから出力され、命令が実行され、その結果がレジスタ ファイルに書き戻されます。

32個中の6つのレジスタはデータ空間についてアドレス計算が効率的に行える、3つの16ビット長間接アドレス ポインタとして使えます。3つのアドレス ポインタの1つは定数表参照用アドレス ポインタとしても使われます。これらの付加機能レジスタは16ビット長の**Xレジスタ**、**Yレジスタ**、**Zレジスタ**です。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図5.はATmega323 AVR 強化RISCマイクロ コントローラの構造を示します。

図5. ATmega323 AVR 強化RISC構造



付加的なレジスタ操作として、通常のメモリ アドレス指定をレジスタ ファイルにも使えます。実際にはレジスタ ファイルがデータ空間の最下位32ビット(\$00~\$1F)に割り当てられ、通常のメモリ位置としてのアクセスができることにより行えます。

I/Oメモリ空間は制御レジスタ、タイマ/カウンタ、A/D変換器、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタ ファイルに後続するデータ空間位置\$20~\$5Fとしてアクセスできます。

AVRのメモリとバスはプログラム用とデータ用に各々分離されたハーバード構造で構成されています。プログラム メモリは2段のパイプラインでアクセスされます。1命令の実行中に次の命令をプログラム メモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラム メモリは実装書き換え可能な**フラッシュ メモリ**です。

絶対(直接)の無条件分岐(**JMP**)命令と呼び出し(**CALL**)命令で16Kアドレス空間全てが直接的にアクセスされます。AVRの多くの命令は16ビット1語(ワート)の形式です。全てのプログラム メモリのアドレスに16または32ビット命令を配置できます。

プログラム用フラッシュ メモリ空間はブート プログラム領域(512~4Kバイト)と応用プログラム領域の2つに分けられます(118頁参照)。両方の領域に書き込みと読み書きの保護専用の施錠ビットがあります。応用プログラム領域内に書き込む**SPM**命令はブート プログラム領域内でのみ許されます。

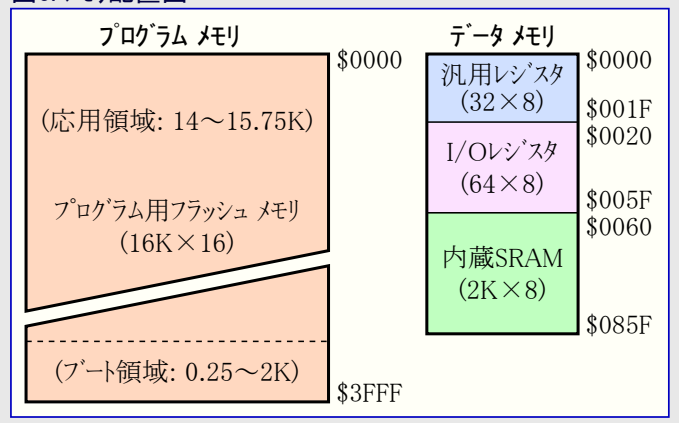
割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラム カウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAMへ効果的に割り当てられ、スタック容量はSRAM容量とSRAM使用量でのみ制限されます。プログラムではリセット時の初期化ルーチンで(サブルーチンや割り込みが実行される前に)、**スタック ポインタ(SP)**を初期化しなければなりません。12ビットのSPはI/O空間にあり、読み書き可能です。

2KバイトのデータSRAMはAVR構造で支援される5つの異なる**アドレス指定種別**で容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタと**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**があります。全ての**割り込み要因**はプログラム メモリの先頭に割り込みベクタ表として、個別の割り込みベクタがあります。各割り込みは、この割り込みベクタ表の位置に従った優先順です。下位側割り込みベクタ アドレスが高い優先順位です。

図6. メモリ配置図



汎用レジスタ ファイル

図7.は32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令は**レジスタ直接指定**ができ、1周期でアクセスします。**SBCI,SUBI,CPI,ANDI,ORI**の5つの算術論理定数演算命令と、定数をレジスタに設定する**LDI**命令だけは例外です。これらの命令はレジスタ ファイル後半のR16～R31に対してだけ適用されます。通常の**SBC,SUB,CP,AND,OR**や他の全てのレジスタ間、単一レジスタ操作命令はレジスタ ファイルの全レジスタに適用されます。

図7.で示されるように、各レジスタはデータ メモリ領域の先頭からの32アドレスに配置されています。レジスタ ファイルは物理的にSRAMのような配置構成ではなく、この特別な構成のため、X,Y,Zレジスタを指標とする任意のレジスタ指定のような非常に柔軟なアクセスができます。

Xレジスタ, Yレジスタ, Zレジスタ

レジスタR26～R31には通常の汎用用途以外に、いくつかの付加機能があります。これらのレジスタはデータ空間の**間接アドレス指定**用ポインタにもなります。この3つの間接アドレス用レジスタX,Y,Zは図8.で定義されます。

これらのアドレスレジスタは**定数変位付き**、**自動増加/減少付き**のアドレス指定が行えます(これらの概要は個別命令を参照してください)。

図7. AVR CPU 汎用レジスタ構成図

	7	0	アドレス
汎用 レジスタ ファイル	R0		\$00
	}		
	R15		\$0F
	R16		\$10
	}		
	R26		\$1A
	R27		\$1B
	R28		\$1C
	R29		\$1D
	R30		\$1E
	R31		\$1F

図8. X,Y,Zレジスタ構成図

	15	(上位)		(下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個全ての汎用レジスタに直接接続され、動作します。レジスタ ファイル内のレジスタ間ALU操作は1クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主な種類に大別されます。ATmega323は符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供します。詳細記述は**命令要約**をご覧ください。

実装自己書き換え可能なプログラム用フラッシュ メモリ

ATmega323にはプログラム用に実装自己書き換え可能な32Kバイトのフラッシュ メモリが内蔵されています。全ての命令が16または32ビット語のため、フラッシュ メモリは16K×16ビットとして構成されています。プログラム用フラッシュ メモリ空間は2つの領域、ブート プログラム領域と応用プログラム領域に分けられます。

フラッシュ メモリは少なくとも1000回再書き込みの耐久性があります。ATmega323のプログラム カウンタ(PC)は14ビット幅で、プログラム メモリ内の16Kアドレスを指定します。ブート プログラム領域の操作と関連するソフトウェア保護用ブート施錠ビットは**120頁**で詳細に記述されます。SPIピンを使うフラッシュ メモリの直列プログラミングの詳細な記述については**131頁**をご覧ください。JTAGインターフェースを使う直列プログラミングの詳細については**134頁**を参照してください。

全てのプログラム メモリ アドレス空間には定数表を配置することができます。(LPM命令の記述参照)

プログラム メモリの各アドレス指定種別については**8頁**もご覧ください。

データ用EEPROMメモリ

ATmega323には1Kバイトのデータ用EEPROMがあります。これは1バイト単位で読み書きできる独立したデータ空間として構成されます。EEPROMは少なくとも100,000回書き換えの耐久性があります。EEPROMとCPU間のアクセスは**44頁**の**EEPROMアドレスレジスタ**、**EEPROMデータレジスタ**、**EEPROM制御レジスタ**で詳細に記述されます。

SPI書き込み(直列プログラミング)の詳細な記述については**131頁**をご覧ください。

内蔵SRAM

図9.はATmega323のデータ メモリ構成を示します。

下位側2114のデータ メモリ位置は汎用レジスタ ファイル、I/Oレジスタ、データ用内蔵SRAMを指定します。最初の96位置はレジスタ ファイルとI/Oレジスタ、次の2048位置がデータ用内蔵SRAMを指定します。

直接、**間接**、**変位付き間接**、**事前減少付き間接**、**事後増加付き間接**の5つのアドレス指定種別はデータ メモリ空間を網羅します。レジスタ ファイル内のレジスタR26～R31は間接アドレス指定時のポインタレジスタです。

直接アドレス指定は全てのデータ アドレス空間に届きます。

変位付き間接アドレス指定はYまたはZレジスタで与えられる基準アドレスから届く63アドレス位置が特徴です。

事前減少付き間接、事後増加付き間接アドレス指定を使う時はアドレスレジスタX,YまたはZが使われ、自動的に減少または増加されます。

ATmega323の32個の汎用レジスタ、64個のI/Oレジスタ、2048バイトのデータ用内蔵SRAMは、これら全てのアドレス指定種別を通して全てアクセス可能です。

図9. データ空間とSRAMの配置

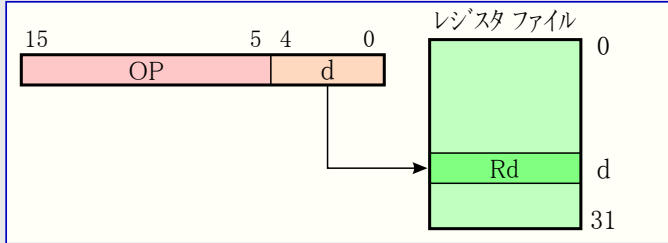
		アドレス
レジスタ ファイル	R0	\$0000
	R1	\$0001
	}	
	R30	\$001E
	R31	\$001F
I/O レジスタ (赤字は I/O アドレス)	\$00	\$0020
	\$01	\$0021
	}	
	\$3E	\$005E
	\$3F	\$005F
内蔵 SRAM	\$0060	\$0060
	\$0061	\$0061
	}	
	\$085E	\$085E
	\$085F	\$085F

プログラム及びデータ空間に対するアドレス指定種別

ATmega323 AVR 強化RISCマイクロ コントローラはプログラム メモリ(フラッシュ メモリ)とデータ メモリ(SRAM、レジスタ ファイル、I/Oメモリ)アクセス用に強力な効率的なアドレス指定種別を支援します。本項はAVR構造によって支援される各アドレス指定種別を記述します。図内のOPは命令語の動作コード部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

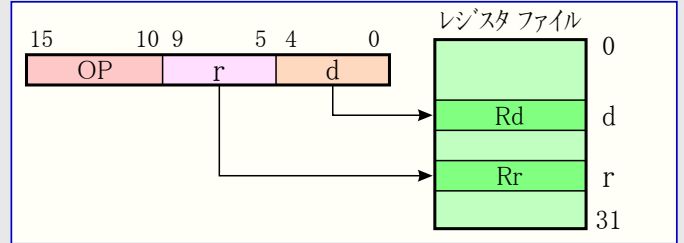
図10. 単一レジスタ直接



オペランドはレジスタd(Rd)を示します。

レジスタ間(Rd, Rr)直接

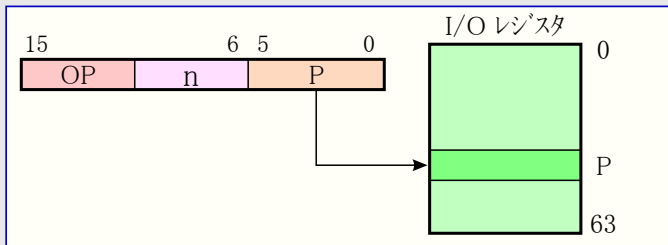
図11. レジスタ間直接



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

I/O直接

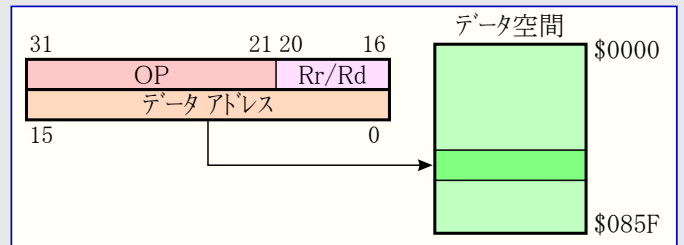
図12. I/O直接



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

データ直接

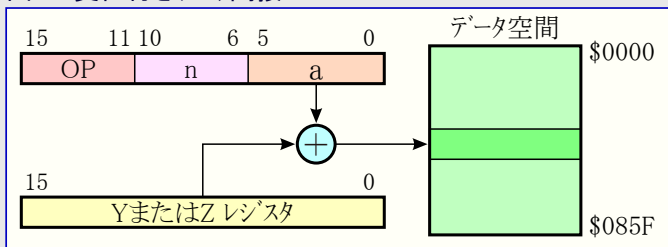
図13. データ直接



オペランドは2語命令の下位16ビットでデータ空間のアドレス位置を示し、Rr/Rdは転送元または転送先となるレジスタを示します。

変位付きデータ間接

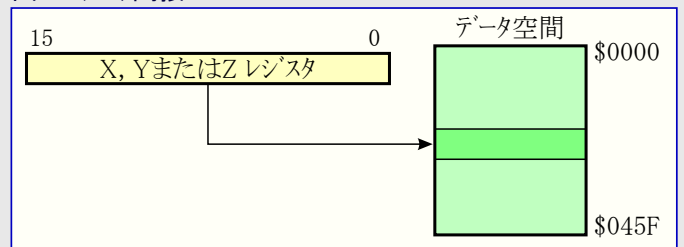
図14. 変位付きデータ間接



オペランド アドレスは、YまたはZレジスタの内容と命令語内の6ビット値aを加算した値となり、他方が転送元または転送先となるレジスタn(Rn)を示します。

データ間接

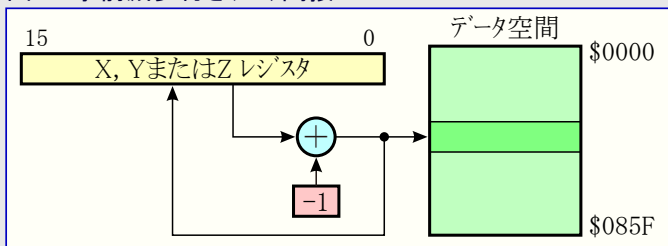
図15. データ間接



オペランド アドレスは、X, YまたはZレジスタの内容となります。

事前減少付きデータ間接

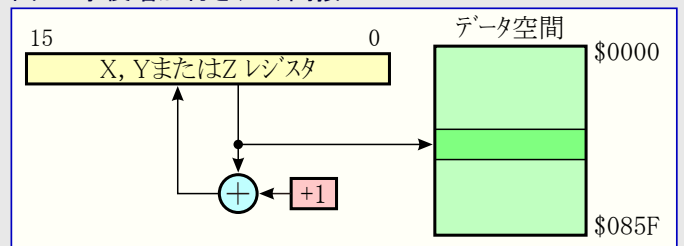
図16. 事前減少付きデータ間接



X,YまたはZレジスタはアクセス動作前に内容が減少されます。オペランド アドレスは減少されたX,YまたはZレジスタの内容となります。

事後増加付きデータ間接

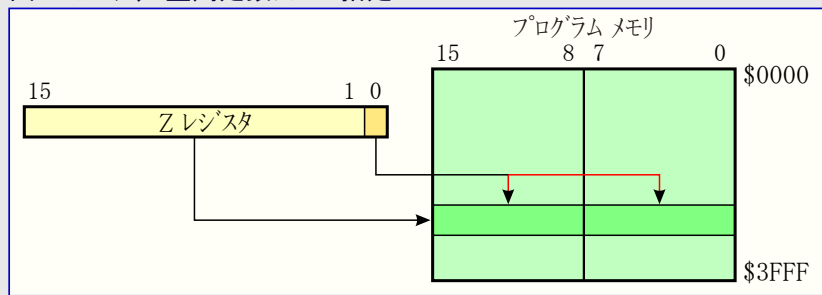
図17. 事後増加付きデータ間接



X,YまたはZレジスタはアクセス動作後に内容が増加されます。オペランド アドレスは増加される前のX,YまたはZレジスタの内容となります。

LPM,SPM命令による定数アドレス指定

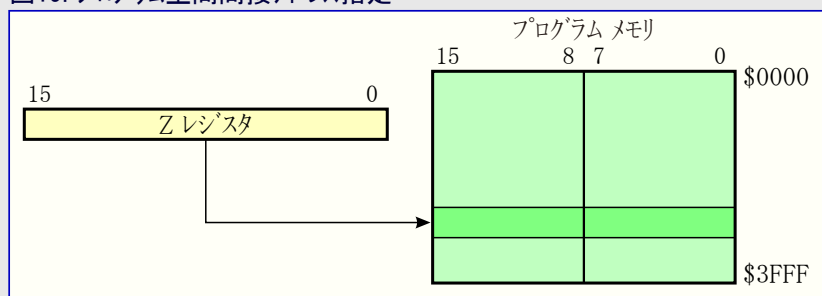
図18. プログラム空間定数アドレス指定



バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0～16Kの語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

IJMP, ICALL命令によるプログラム間接アドレス指定

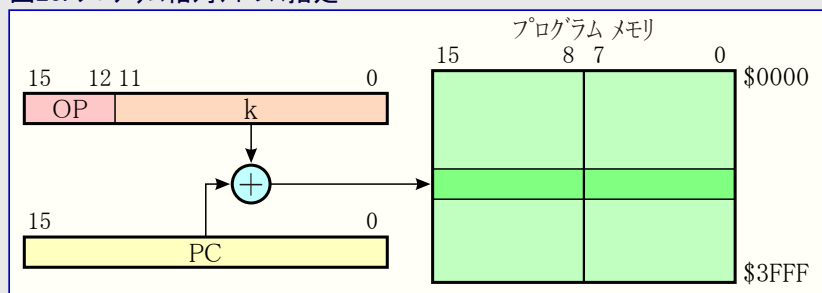
図19. プログラム空間間接アドレス指定



プログラムはZレジスタの内容のアドレスから実行が継続されます。(PCにZレジスタの内容を設定します。)

RJMP, RCALL命令によるプログラム相対アドレス指定

図20. プログラム相対アドレス指定

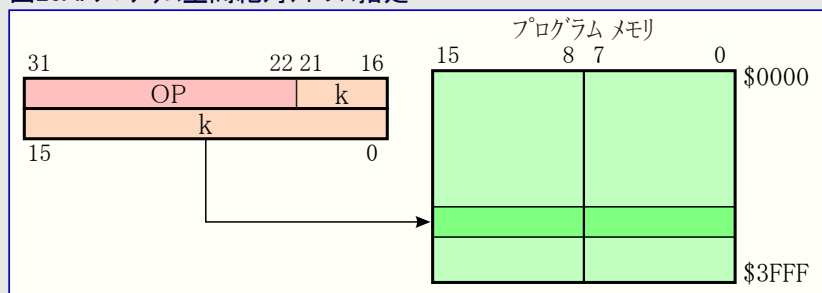


注 このPC値は事前取得の関係から次命令先頭(+1)を指しています。

プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048～2047です。

JMP, CALL命令によるプログラム絶対(直接)アドレス指定

図20A. プログラム空間絶対アドレス指定



プログラムはkのアドレスから実行が継続されます。(PCにkの下位16ビットを設定します。)

(訳注) JMP,CALL命令によるプログラム絶対(直接)アドレス指定(図20A.)については原書で欠落しているので追加しました。

メモリ アクセスと命令実行タイミング

本項は命令実行と内部メモリ アクセスについての一般的なアクセス タイミングの概念を記述します。

AVR CPUは外部クロック クリスタルから直接的に生成されるシステム クロック ϕ によって駆動されます。内部クロック分周は使われません。

図21.はハーバート構造と高速アクセスレジスタファイルの概念によって可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、機能対クロック、機能対電源部での好結果に相当するMHzあたり1 MIPSまでを得る基本的なパイプラインの概念です。

図21. 命令の取得と実行の並列動作

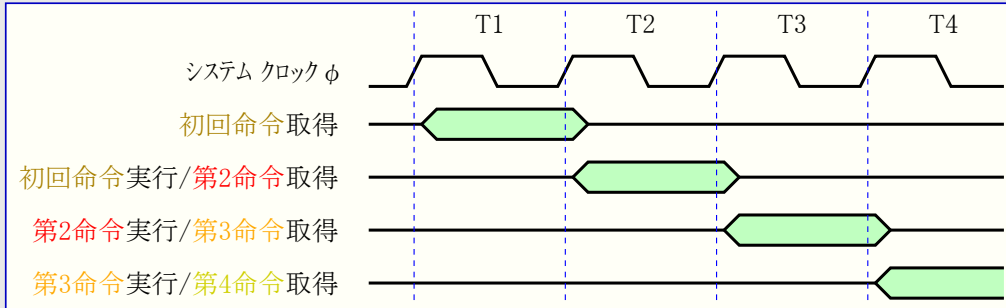
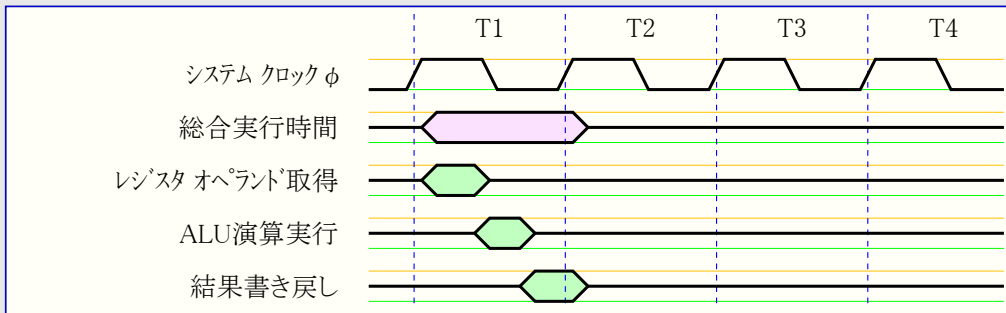


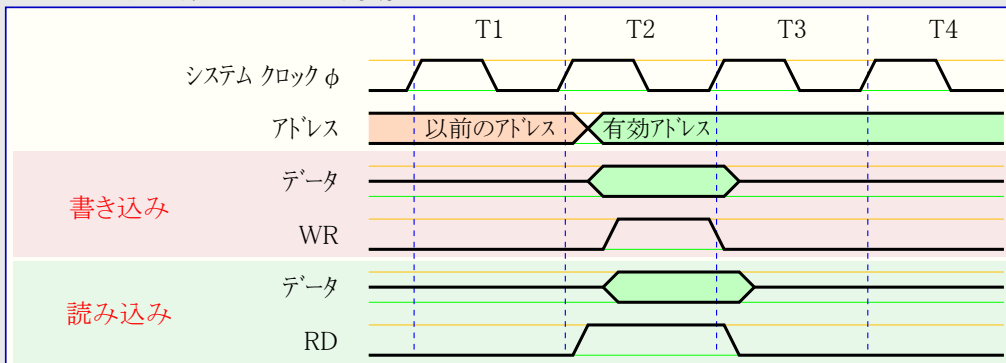
図22.はレジスタ ファイルに対する内部タイミングの概念を示します。2つのレジスタ オペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図22. 1周期ALU命令



データ用内蔵SRAMのアクセスは、図23.で示されるように、2システム クロック周期で実行されます。

図23. データ用内蔵SRAMアクセス周期



注: T1,T2が命令実行周期です。

I/O レジスタ

ATmega323のI/O領域定義は表2.に示されます。

表2. ATmega323 I/Oレジスタ

アドレス	レジスタ名	機能
\$3F (\$5F)	SREG	ステータス レジスタ
\$3E (\$5E)	SPH	スタック ポインタ上位
\$3D (\$5D)	SPL	スタック ポインタ下位
\$3C (\$5C)	OCR0	タイマ/カウンタ0 比較レジスタ
\$3B (\$5B)	GICR	一般割り込み制御 レジスタ
\$3A (\$5A)	GIFR	一般割り込みフラグ レジスタ
\$39 (\$59)	TIMSK	タイマ/カウンタ割り込み許可 レジスタ
\$38 (\$58)	TIFR	タイマ/カウンタ割り込みフラグ レジスタ
\$37 (\$57)	SPMCR	プログラム メモリ書き込み制御レジスタ
\$36 (\$56)	TWCR	2線直列インターフェース制御レジスタ
\$35 (\$55)	MCUCR	MCU制御レジスタ
\$34 (\$54)	MCUCSR	MCU制御/状態レジスタ
\$33 (\$53)	TCCR0	タイマ/カウンタ0 制御レジスタ
\$32 (\$52)	TCNT0	タイマ/カウンタ0 カウンタ
\$31 (\$51) 注1	OSCCAL	発振校正レジスタ
	OCDR	内蔵デバッグ レジスタ
\$30 (\$50)	SFIOR	特殊I/O機能レジスタ
\$2F (\$4F)	TCCR1A	タイマ/カウンタ1 制御レジスタA
\$2E (\$4E)	TCCR1B	タイマ/カウンタ1 制御レジスタB
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 カウンタ上位
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 カウンタ下位
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1 比較A レジスタ上位
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1 比較A レジスタ下位
\$29 (\$49)	OCR1BH	タイマ/カウンタ1 比較B レジスタ上位
\$28 (\$48)	OCR1BL	タイマ/カウンタ1 比較B レジスタ下位
\$27 (\$47)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位
\$26 (\$46)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位
\$25 (\$45)	TCCR2	タイマ/カウンタ2 制御レジスタ
\$24 (\$44)	TCNT2	タイマ/カウンタ2 カウンタ
\$23 (\$43)	OCR2	タイマ/カウンタ2 比較レジスタ
\$22 (\$42)	ASSR	タイマ/カウンタ2 非同期状態レジスタ
\$21 (\$41)	WDTCR	ウォッチドッグ タイマ制御レジスタ
\$20 (\$40) 注2	UBRRH	USARTボーレート レジスタ上位
	UCSRC	USART制御/状態レジスタ C
\$1F (\$3F)	EEARH	EEPROMアドレス上位 レジスタ
\$1E (\$3E)	EEARL	EEPROMアドレス下位 レジスタ
\$1D (\$3D)	EEDR	EEPROMデータ レジスタ
\$1C (\$3C)	EECR	EEPROM制御レジスタ
\$1B (\$3B)	PORTA	ポートA出力データ レジスタ
\$1A (\$3A)	DDRA	ポートA方向レジスタ
\$19 (\$39)	PINA	ポートA入力データ レジスタ
\$18 (\$38)	PORTB	ポートB出力データ レジスタ
\$17 (\$37)	DDRB	ポートB方向レジスタ
\$16 (\$36)	PINB	ポートB入力データ レジスタ
\$15 (\$35)	PORTC	ポートC出力データ レジスタ
\$14 (\$34)	DDRC	ポートC方向レジスタ
\$13 (\$33)	PINC	ポートC入力データ レジスタ
\$12 (\$32)	PORTD	ポートD出力データ レジスタ
\$11 (\$31)	DDRD	ポートD方向レジスタ
\$10 (\$30)	PIND	ポートD入力データ レジスタ
\$0F (\$2F)	SPDR	SPI データ レジスタ
\$0E (\$2E)	SPSR	SPI 状態レジスタ
\$0D (\$2D)	SPCR	SPI 制御レジスタ
\$0C (\$2C)	UDR	USART データ レジスタ
\$0B (\$2B)	UCSRA	USART 制御/状態レジスタ A
\$0A (\$2A)	UCSRB	USART 制御/状態レジスタ B
\$09 (\$29)	UBRRL	USART ボーレート レジスタ下位
\$08 (\$28)	ACSR	アナログ比較器 制御/状態レジスタ
\$07 (\$27)	ADMUX	A/D変換 多重器選択レジスタ
\$06 (\$26)	ADCSR	A/D変換 制御/状態レジスタ
\$05 (\$25)	ADCH	A/D変換 データレジスタ上位
\$04 (\$24)	ADCL	A/D変換 データレジスタ下位
\$03 (\$23)	TWDR	2線直列インターフェース データ レジスタ
\$02 (\$22)	TWAR	2線直列インターフェース アドレス レジスタ
\$01 (\$21)	TWSR	2線直列インターフェース 状態レジスタ
\$00 (\$20)	TWBR	2線直列インターフェース ビット速度レジスタ

- 注:** 予約と未使用の位置は、この表で示されていません。()内のアドレスはデータ空間の一部としてアクセスする場合のアドレスです。
- 注1:** **OCDEN**ヒューズが非プログラム(1)のとき、このアドレスで常にOSCCALレジスタがアクセスされます。**OCDR**レジスタ使用法の詳細についてはデバugg詳細資料を参照してください。
- 注2:** **UBRRH**と**UCSRC**のアクセス法の詳細については**USART**の記述を参照してください。

ATmega323の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行う**IN**命令と**OUT**命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、**SBI**と**CBI**命令を使う直接ビットアクセスが可能です。これらのレジスタでは、**SBIS**と**SBIC**命令の使用により、単一ビット値の検査ができます。より多くの詳細については**命令要約**を参照してください。I/O指定命令**IN**と**OUT**を使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。I/OレジスタをSRAMとしてアクセスする時はこのアドレスに\$20が加算されなければなりません。本文書を通して、全てのI/Oレジスタアドレスは、()内でデータ空間アドレスが示されます。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

状態フラグのいくつかは、論理1を書くことで解除(0)されます。**CBI**と**SBI**命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読むフラグは1が書き戻され、従ってフラグを解除(0)することに注意してください。**CBI**と**SBI**命令は、レジスタ\$00～\$1Fでのみ動作します。

I/Oと周辺制御レジスタは次章で説明されます。

ステータス レジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は、I/O領域の\$3F(\$5F)で、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合、設定(1)しなければなりません。各割り込みの許可は、各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理の**RETI**命令によって設定(1)されます。

• ビット6 – T: ビット変数 (Bit Copy Storage)

このTビットは**BLD**(Bit Load)命令と**BST**(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

• ビット5 – H: ハーフキャリー フラグ (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については**命令要約**を参照してください。

• ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

• ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

• ビット2 – N: 負フラグ (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

• ビット1 – Z: ゼロフラグ (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

• ビット0 – C: キャリー フラグ (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないことに注意してください。これはソフトウェアによって操作しなければなりません。

スタック ポインタ (Stack Pointer) SPH,SPL (SP)

ATmega323のスタック ポインタはI/O空間位置\$3D(\$5D)と\$3E(\$5E)の2つの8ビットレジスタとして実装されています。ATmega323のデータメモリ空間は\$0860個の場所を持っているので、12ビットが使われます。

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	–	–	–	–	SP11	SP10	SP9	SP8	SPH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

スタック ポインタはサブルーチンと割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック領域は、割り込みの許可や、何れかのサブルーチン呼び出しが実行される前にプログラムによって定義されなければなりません。スタック ポインタは\$60以上を指示するために設定されなければなりません。スタック ポインタは、**PUSH**命令でデータがスタック上に格納される時**-1**され、サブルーチン呼び出しや割り込みでアドレスがスタック上に格納される時**-2**されます。**POP**命令でデータをスタックから引き出す時**+1**され、サブルーチンからの復帰(**RET**命令)や割り込みからの復帰(**RETI**命令)でアドレスをスタックから引き出す時**+2**されます。

リセットと割り込みの扱い

ATmega323には19種類の割り込みがあります。これらの割り込みとリセットのベクタは、プログラム メモリ空間内に各々 個別のベクタを持っています。全ての割り込みは、割り込みを許可するために、個別の許可ビットと**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**を共に設定(1)しなければなりません。BLB02またはBLB12がプログラム(0)されていると、プログラム カウンタ値に依存して割り込みが禁止される可能性があります。詳細については118頁の「**ブートローダ支援**」をご覧ください。

プログラム メモリ空間の最下位アドレスは、リセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は表3.に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。割り込みベクタは、**一般割り込み制御レジスタ(GICR)の割り込みベクタ選択(IVSEL)ビット**の設定(1)により、フラッシュ メモリの**ブート領域先頭**へ移動できます。詳細については22頁のGICR記述をご覧ください。

表3. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス (注1)	発生元	備考
1	\$0000 (注2)	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$0002	INT0	外部割り込み要求0
3	\$0004	INT1	外部割り込み要求1
4	\$0006	INT2	外部割り込み要求2
5	\$0008	タイマ/カウンタ2 COMP2	タイマ/カウンタ2比較一致
6	\$000A	タイマ/カウンタ2 OVF2	タイマ/カウンタ2溢れ
7	\$000C	タイマ/カウンタ1 CAPT	タイマ/カウンタ1捕獲発生
8	\$000E	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
9	\$0010	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
10	\$0012	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
11	\$0014	タイマ/カウンタ0 COMP0	タイマ/カウンタ0比較一致
12	\$0016	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
13	\$0018	SPI STC	SPI 転送完了
14	\$001A	USART RX	USART 受信完了
15	\$001C	USART UDRE	USART 送信緩衝部空き
16	\$001E	USART TX	USART 送信完了
17	\$0020	A/D変換 ADC	A/D変換完了
18	\$0022	EEPROM EE_RDY	EEPROM 操作可
19	\$0024	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
20	\$0026	2線直列インターフェース TWI	2線直列インターフェース状態変化

注1: 一般割り込み制御レジスタ(GICR)の割り込みベクタ選択(IVSEL)ビットが設定(1)されていると、割り込みベクタはフラッシュ メモリの**ブート領域先頭**に移動されます。そのときの各割り込みベクタのアドレスは、この表のアドレスにフラッシュ メモリのブート領域開始アドレスを加えたものです。

注2: BOOTRSTヒューズがプログラム(0)されていると、デバイスはリセットでブートローダ アドレスへ飛びます。118頁の「**ブートローダ支援**」をご覧ください。

表4.はBOOTRSTとIVSELの各組み合わせに対するリセットと割り込みベクタの配置を示します。

表4. リセットと割り込みベクタの配置

BOOTRST	IVSEL	リセット ベクタ アドレス	割り込みベクタ先頭アドレス
非プログラム(1)	0	\$0000	\$0002
	1	\$0000	ブート領域先頭アドレス+\$0002
プログラム(0)	0	ブート領域先頭アドレス	\$0002
	1	ブート領域先頭アドレス	ブート領域先頭アドレス+\$0002

注: ブート領域先頭アドレスは118頁の表59.で示されます。

リセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$0000		JMP RESET	; 各種リセット
\$0002		JMP EXT_INT0	; 外部割り込み要求0
\$0004		JMP EXT_INT1	; 外部割り込み要求1
\$0006		JMP EXT_INT2	; 外部割り込み要求2
\$0008		JMP TIM2_COMP	; タイマ/カウンタ2比較一致
\$000A		JMP TIM2_OVF	; タイマ/カウンタ1溢れ
\$000C		JMP TIM1_CAPT	; タイマ/カウンタ1捕獲発生
\$000E		JMP TIM1_COMPA	; タイマ/カウンタ1比較A一致
\$0010		JMP TIM1_COMPB	; タイマ/カウンタ1比較B一致
\$0012		JMP TIM1_OVF	; タイマ/カウンタ1溢れ
\$0014		JMP TIM0_COMP	; タイマ/カウンタ0比較一致
\$0016		JMP TIM0_OVF	; タイマ/カウンタ0溢れ
\$0018		JMP SPI_STC	; SPI転送完了
\$001A		JMP USART_RXC	; USART受信完了
\$001C		JMP USART_DRE	; USART送信緩衝部空
\$001E		JMP USART_TXC	; USART送信完了
\$0020		JMP ADC	; A/D変換完了
\$0022		JMP EE_RDY	; EEPROM操作可
\$0024		JMP ANA_COMP	; アナログ比較器出力遷移
\$0026		JMP TWI	; 2線直列インターフェース状態変化
;			
\$0028	RESET:	LDI R16, HIGH (RAMEND)	; RAM最終アドレス上位を取得
\$0029		OUT SPH, R16	; スタックポインタ上位を初期化
\$002A		LDI R16, LOW (RAMEND)	; RAM最終アドレス下位を取得
\$002B		OUT SPL, R16	; スタックポインタ下位を初期化
); 以下、I/O初期化など			

BOOTRSTヒューズが非プログラム(1)、ブート領域容量が4Kバイトに設定、何れかの割り込みが許可される前に一般割り込み制御レジスタ(GICR)の割り込みベクタ選択(IVSEL)ビットが設定(1)されるとき、リセットと割り込みベクタの最も代表的かつ標準的なプログラム設定を次に示します。

アドレス	ラベル	命令	注釈
\$0000		JMP RESET	; 各種リセット (BOOTRSTヒューズ=1)
;			
\$0002	MAIN:	LDI R16, HIGH (RAMEND)	; RAM最終アドレス上位を取得 (応用プログラム開始)
\$0003		OUT SPH, R16	; スタックポインタ上位を初期化
\$0004		LDI R16, LOW (RAMEND)	; RAM最終アドレス下位を取得
\$0005		OUT SPL, R16	; スタックポインタ下位を初期化
); 以下、I/O初期化など			
		. ORG \$3802	; ブート領域が4Kバイトの場合
\$3802		JMP EXT_INT0	; 外部割り込み要求0
\$3804		JMP EXT_INT1	; 外部割り込み要求1
);			
\$3826		JMP TWI	; 2線直列インターフェース状態変化

BOOTRSTヒューズがプログラム(0)、ブート領域容量が4Kバイトに設定されるとき、リセットと割り込みベクタの最も代表的かつ標準的なプログラム設定を次に示します。

アドレス	ラベル	命令	注釈
		. ORG \$0002	; 割り込みベクタ先頭
\$0002		JMP EXT_INT0	; 外部割り込み要求0
\$0004		JMP EXT_INT1	; 外部割り込み要求1
		}	
\$0026		JMP TWI	; 2線直列インターフェース状態変化
;			
\$0028	MAIN:	LDI R16, HIGH (RAMEND)	; RAM最終アドレス上位を取得 (応用プログラム開始)
\$0029		OUT SPH, R16	; スタック ポインタ上位を初期化
\$002A		LDI R16, LOW (RAMEND)	; RAM最終アドレス下位を取得
\$002B		OUT SPL, R16	; スタック ポインタ下位を初期化
		}	; 以下、I/O初期化など
		. ORG \$3800	; ブート領域が4Kバイトの場合
\$3800		JMP RESET	; 各種リセット (BOOTRSTヒューズ=0)
		}	; 以下、ブートプログラムなど

BOOTRSTヒューズがプログラム(0)、ブート領域容量が4Kバイトに設定、何れかの割り込みが許可される前に一般割り込み制御レジスタ(GICR)の割り込みベクタ選択(IVSEL)ビットが設定(1)されるとき、リセットと割り込みベクタの最も代表的かつ標準的なプログラム設定を次に示します。

アドレス	ラベル	命令	注釈
\$0000	MAIN:	LDI R16, HIGH (RAMEND)	; RAM最終アドレス上位を取得 (応用プログラム開始)
\$0001		OUT SPH, R16	; スタック ポインタ上位を初期化
\$0002		LDI R16, LOW (RAMEND)	; RAM最終アドレス下位を取得
\$0003		OUT SPL, R16	; スタック ポインタ下位を初期化
		}	; 以下、I/O初期化など
		. ORG \$3800	; ブート領域が4Kバイトの場合
\$3800		JMP RESET	; 各種リセット (BOOTRSTヒューズ=0)
\$3802		JMP EXT_INT0	; 外部割り込み要求0
\$3804		JMP EXT_INT1	; 外部割り込み要求1
		}	
\$3826		JMP TWI	; 2線直列インターフェース状態変化
		}	; 以下、ブートプログラムなど

リセット元

ATmega323には次の5つのリセット発生要素があります。

- **電源ONリセット** 電源電圧が**電源ONリセット閾値電圧(V_{POT})**以下でリセットになります。
- **外部リセット** RESETピンに500nsを越えるLowレベルが存在すると、リセットになります。
- **ウォッチドッグ リセット** ウォッチドッグが許可され、ウォッチドッグ タイマ周期が経過するとリセットになります。
- **低電圧検出(BOD)リセット** ... 供給電圧(VCC)が**低電圧検出電圧(V_{BOT})**以下でリセットになります。
- **JTAG AVRリセット** JTAGシステムの走査チェーンの1つであるリセットレジスタが論理1である限りリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、リセットベクタからプログラム実行が始まります。リセットベクタに配置される命令はきつとりセツ処理ルーチンへの無条件絶対(直接)分岐(JMP)命令でしょう。プログラムで決して割り込みを許可しないなら、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。これはリセットベクタが応用領域で、一方割り込みベクタがポート領域の場合、またはその逆の場合でも同様です。図24.にリセット部の回路構成を示します。表5.と表6.はリセット回路の電気的特性とタイミングを定義します。

図24. リセット回路構成

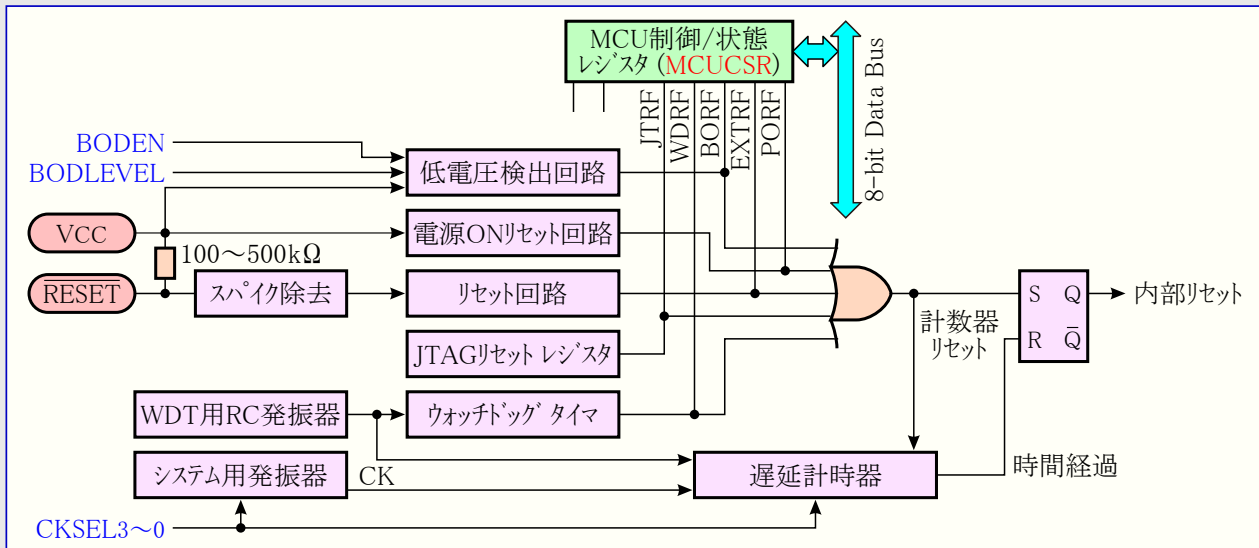


表5. リセット電気的特性 (VCC=5.0V)

シンボル	項目	最小	代表	最大	単位
V _{POT}	上昇時電源ONリセット閾値電圧	1.0	1.4	1.8	V
	下降時電源ONリセット閾値電圧 (注1)	0.4	0.6	0.8	
V _{RST}	RESETピン閾値電圧			0.85VCC	
V _{BOT}	低電圧検出閾値電圧	BODLEVEL=非プログラム(1)	2.4	2.7	
		BODLEVEL=プログラム(0)	3.5	4.0	

注: 値は目安のみです。実際の値はTBDです。

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

表6. CKSELヒューズによるリセット遅延選択 (注1)

CKSEL3~0 (注2)	リセット遅延時間(t _{ROUT})		推奨クロック種別 (注3)
	VCC=2.7V BODLEVEL=1	VCC=4.0V BODLEVEL=0	
0 0 0 0	4.2ms + 6 × CK	5.8ms + 6 × CK	外部クロック信号、高速上昇電源
0 0 0 1	30μs + 6 × CK (注4)	10μs + 6 × CK (注5)	外部クロック信号、低電圧検出(BOD)許可
0 0 1 0 (注6)	67ms + 6 × CK	92ms + 6 × CK	内蔵RC発振、低速上昇電源
0 0 1 1	4.2ms + 6 × CK	5.8ms + 6 × CK	内蔵RC発振、高速上昇電源
0 1 0 0	30μs + 6 × CK (注4)	10μs + 6 × CK (注5)	内蔵RC発振、低電圧検出(BOD)許可
0 1 0 1	67ms + 6 × CK	92ms + 6 × CK	外部RC発振、低速上昇電源
0 1 1 0	4.2ms + 6 × CK	5.8ms + 6 × CK	外部RC発振、高速上昇電源
0 1 1 1	30μs + 6 × CK (注4)	10μs + 6 × CK (注5)	外部RC発振、BOD許可
1 0 0 0	67ms + 32K × CK	92ms + 32K × CK	外部低周波数クリスタル発振
1 0 0 1	67ms + 1K × CK	92ms + 1K × CK	
1 0 1 0	67ms + 16K × CK	92ms + 16K × CK	外部クリスタル発振、低速上昇電源
1 0 1 1	4.2ms + 16K × CK	5.8ms + 16K × CK	外部クリスタル発振、高速上昇電源
1 1 0 0	30μs + 16K × CK (注4)	10μs + 16K × CK (注5)	外部クリスタル発振、低電圧検出(BOD)許可
1 1 0 1	67ms + 1K × CK	92ms + 1K × CK	外部セラミック発振、低速上昇電源
1 1 1 0	4.2ms + 1K × CK	5.8ms + 1K × CK	外部セラミック発振、高速上昇電源
1 1 1 1	30μs + 1K × CK (注4)	10μs + 1K × CK (注5)	外部セラミック発振、低電圧検出(BOD)許可

注1: 電源投入時のリセット遅延時間は0.6ms(代表値)増加します。

注2: 1は非プログラム、0はプログラムを意味します。

注3: 選択可能なクロック種別については5頁の「クロック任意選択」をご覧ください。

注4: 低電圧検出許可(BODEN=0)時、100μs追加。

注5: 低電圧検出許可(BODEN=0)時、25μs追加。

注6: 既定値です。

表6. はリセットからの起動(遅延)時間を示します。CPUがパワーダウソ動作またはパワーセーフ動作から起動復帰するとき、起動時間(表)のCK計数部だけが使われます。起動時間の実時間部はウォッチドッグ発振器が使われます。この実時間に対するウォッチドッグ発振器周期数は表7. で示されます。

「代表特性」章で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。このデバイスはCKSEL=0010(内蔵RC発振、低速上昇電源)で出荷されます。

表7. ウォッチドッグ発振器の周期数

BODLEVEL	VCC	タイマ値	周期数
非プログラム(1)	2.7V	30μs	8
		130μs	32
		4.2ms	1K
		67ms	16K
プログラム(0)	4.0V	10μs	8
		35μs	32
		5.8ms	4K
		92ms	64K

注: BODLEVELヒューズは、例え低電圧検出(BOD)が禁止(BODENヒューズ=非プログラム(1))されても、起動時間選択に使えます。

電源ONリセット

電源ONリセット(POR)パルスは内蔵検出回路によって生成されます。この検出電圧は表5.で定義されます。PORはVCCが検出電圧以下で必ず有効にされます。このPOR回路は供給電圧低下の検出だけでなく開始時のリセット起動にも使われます。

電源ONリセット回路は電源投入時のデバイスリセットを保証します。電源ONリセット閾値電圧(V_{POT})への到達は、VCC上昇後、デバイスがリセットを保持する遅延を決める遅延タイマ(カウンタ)を起動します。遅延タイマの計時完了時間はCKSELヒューズを通して使用者が定義できます。各遅延選択は表6.で示されます。VCCが検出電圧以下に低下するとき、リセット信号は遅延なしで再び有効にされます。

図25. 内蔵電源ONリセット (RESETはVCCに接続)

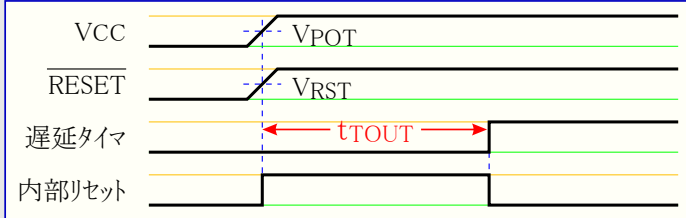
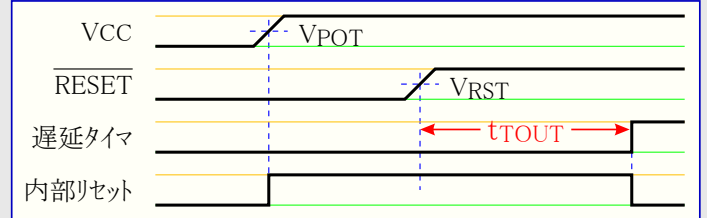


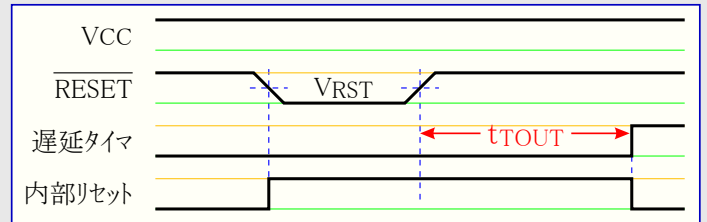
図26. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピン上のLowレベルによって生成されます。例えばクロックが動いていなくても、500nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。適用された信号の上昇がリセット閾値電圧(V_{RST})に達すると、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを起動します。

図27. 動作中の外部リセット

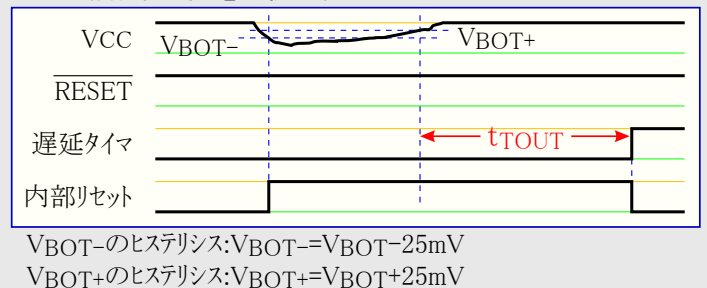


低電圧(ブラウンアウト)検出リセット

本デバイスには動作中のVCC電圧を監視する内蔵低電圧検出(BOD)回路があります。BOD回路はBODENヒューズによって許可/禁止ができます。BODENが許可(BODEN=プログラム(0))され、VCCが検出電圧以下の値に低下すると、低電圧検出リセットは直ちに有効とされます。VCCが検出電圧以上に上昇すると、遅延後に無効とされます。この遅延はPOR信号の遅延(表6.参照)と同じ方法で使用者によって定義されます。BOD検出電圧はBODLEVELヒューズにより、2.7V(非プログラム(1))、または4.0V(プログラム(0))を選べます。この検出電圧にはスパイク無効の低電圧検出を保証するために50mVのヒステリシスがあります。

このBOD回路は電圧が4.0Vで9 μ s、2.7Vで21 μ s(代表値)より長く検出電圧以下に留まった場合だけ、VCCの低下を検出します。

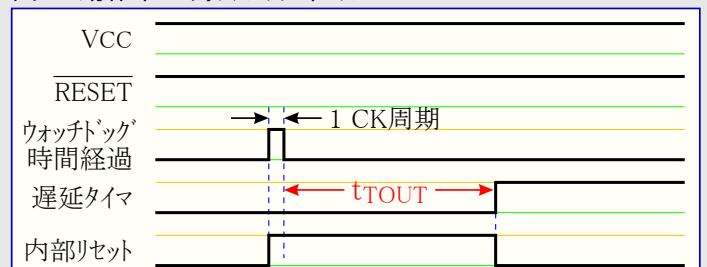
図28. 動作中の低電圧検出リセット



ウォッチドッグ リセット

ウォッチドッグ時間経過で1 CK周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ操作の詳細については43頁を参照してください。

図29. 動作中のウォッチドッグ リセット



MCU制御/状態レジスタ (MCU Control and Status Register) MCUCSR

MCU制御/状態レジスタは一般MCU機能制御ビットを含み、どのリセット元でMCUリセットが起こされたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	JTD	ISC2	–	JTRF	WDRF	BORF	EXTRF	PORF	MCUCSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

• ビット7 – JTD : JTAGインターフェース禁止 (JTAG interface disable)

JTAGENヒューズがプログラム(0)の場合、このビットが解除(0)されると、JTAGインターフェースが許可されます。このビットが設定(1)されると、JTAGインターフェースは禁止されます。予期せぬJTAGインターフェースの禁止を避けるため、このビットへの設定(1)は4クロック周期以内に2回、1を書かなければなりません。

JTAGインターフェースが他のJTAG回路に接続されないままにされる場合、このJTDビットは1に設定されるべきです。この理由はJTAGインターフェースのTDOピンの静止時電流を避けるためです。

• ビット6 – ISC2 : 外部割り込み2条件制御 (Interrupt Sense Control 2)

非同期外部割り込み2はステータスレジスタ(SREG)の全割り込み許可(1)ビットと一般割り込み制御レジスタ(GICR)の外部割り込み2許可(INT2)ビットが共に設定(1)されている場合の外部(INT2)ピンによって活性に(起動)されます。ISC2が解除(0)されると、INT2の下降端が割り込みを活性にします。ISC2が設定(1)されると、INT2の上昇端が割り込みを活性にします。INT2の端(エッジ)は非同期で記録されます。50nsより広いINT2のパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。ISC2ビット変更時、割り込みが起き得ます。従って、先にGICRの割り込み許可(INT2)ビットを解除(0)することにより、INT2を禁止することが推奨されます。その後、ISC2ビットが変更できます。最後に一般割り込み要求フラグレジスタ(GIFR)の外部割り込み2要求フラグ(INTF2)へ論理1を書くことにより、INT2割り込み要求フラグが解除(0)されるべきです。

• ビット5 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット4 – JTRF : JTAGリセット フラグ (JTAG Reset Flag)

このビットはJTAG命令AVR_RESETにより選ばれたJTAGリセットレジスタ内の論理1によりリセットが起こされると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

• ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

• ビット2 – BORF : 低電圧検出(BOD)リセット フラグ (Brown-out Reset Flag)

このビットは低電圧検出(BOD)リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

• ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

• ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットによって設定(1)されます。このビットは、このフラグへの論理0書き込みによってのみ解除(0)されます。

リセット条件の確認に、これらのビットを使用するため、プログラム内で出来るだけ早くMCUCSRを読み、その後解除(0)すべきです。他のリセットが起こる前に、このレジスタ(MCUCSR)が解除(0)される場合、そのリセット元はこれらのリセット フラグを調べることで得られます。

内部基準電圧

ATmega323の特徴として公称1.22Vの内部基準電圧があります。この内部基準電圧は低電圧検出(ブラウンアウト検出)に使われ、A/D変換器やアナログ比較器の入力にも使えます。A/D変換器への2.56V基準電圧は内部基準電圧から生成されます。

基準電圧許可信号と起動時間

この基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。最大起動時間はTBDです。電力削減のため、この基準電圧は常にONではありません。この基準電圧は次の状況中ONです。

1. 低電圧検出リセット許可(BODENヒューズ=プログラム(0))時
2. アナログ比較器基準電圧接続(アナログ比較器 制御/状態レジスタ(ACSR)の基準電圧入力選択(ACBG)=1)時
3. A/D変換動作許可(A/D変換制御/状態レジスタ(ADCSR)のA/D動作許可(ADEN)=1)時

従って、低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)後、常にアナログ比較器出力が使われる前に、基準電圧を起動させなければなりません(安定時間が必要)。内部基準電圧は定常的に10μAを消費し、パワーダウン動作での低消費のため、パワーダウン動作へ移行する前に内部基準電圧がOFFに切り替えられることを保証するために、上記3つの状態を無効にできます。

割り込みの扱い

ATmega323には一般割り込み制御レジスタ(GICR)とタイマ/カウンタ割り込み許可レジスタ(TIMSK)の2つの8ビット割り込み許可レジスタがあります。

割り込みが起こると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータスレジスタ(SREG)は割り込み処理ルーチンへの移行時の保存と割り込み処理ルーチンからの復帰時の再設定が自動的に行われないことに注意してください。これはソフトウェアによって操作しなければなりません。

割り込み応答時間

全ての許可された割り込みに対する割り込み実行応答時間は最小4クロックです。4クロック周期後、実際の割り込み処理ルーチン用の割り込みベクタアドレスが実行されます。この4クロック周期期間中にプログラムカウンタ(2バイト)がスタック上へ保存(プッシュ)され、スタックポインタが減少(-2)されます。通常、このベクタは割り込み処理ルーチンに対する無条件絶対分岐(JMP)命令で、この分岐に3クロック周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前にその命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。

割り込み処理ルーチンからの復帰には4クロック周期要します。この4クロック周期中にスタックからプログラムカウンタ(2バイト)が回復(ポップ)されてスタックポインタが増加(+2)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。割り込みを抜ける時は常に主(元)プログラムへ復帰し、保留中の何れの割り込みが扱われる前にも、1つ以上の命令を実行します。

一般割り込み制御レジスタ (General Interrupt Control Register) GICR

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	INT1	INT0	INT2	—	—	—	IVSEL	IVCE	GICR
Read/Write	R/W	R/W	R/W	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – INT1 : 外部割り込み1許可 (External Interrupt Request 1 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み1許可(INT1)ビットが、共に設定(1)でINT1ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御1のビット1と0(ISC11,ISC10)が、外部割り込みINT1ピンの動作を上昇端、下降端、またはLowレベルの何れか定義します。INT1ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求1に対応する割り込みはINT1割り込みベクタから実行されます。26頁の「外部割り込み」もご覧ください。

• ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み0許可(INT0)ビットが、共に設定(1)でINT0ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット1と0(ISC01,ISC00)が、外部割り込みINT0ピンの動作を上昇端、下降端、またはLowレベルの何れか定義します。INT0ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求0に対応する割り込みはINT0ベクタから実行されます。26頁の「外部割り込み」もご覧ください。

• ビット5 – INT2 : 外部割り込み2許可 (External Interrupt Request 2 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み2許可(INT2)ビットが、共に設定(1)でINT2ピンの割り込みが許可されます。MCU制御/状態レジスタ(MCUCSR)の割り込み条件制御2(ISC2)ビットが、外部割り込みINT2ピンの動作を上昇端または下降端のどちらか定義します。INT2ピンが出力に設定されていても、この割り込み機能は有効です。外部割り込み要求2に対応する割り込みはINT2ベクタから実行されます。26頁の「外部割り込み」もご覧ください。

• ビット4～2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット1 – IVSEL : 割り込みベクタ選択 (Interrupt Vector Select)

IVSELビットが解除(0)されると、割り込みベクタはフラッシュメモリ先頭に配置されます。このビットが設定(1)されると、割り込みベクタはフラッシュメモリのブートローダ領域先頭に移動されます。ブート領域先頭の実際のアドレスはBOOTSZヒューズによって決められます。詳細については118頁の「ブートローダ支援」項を参照してください。割り込みベクタ表の予期せぬ変更を防ぐため、IVSELビットの変更は特別な書き込み手順に従わなければなりません。

1. 割り込みベクタ変更許可(IVCE)ビットを設定(1)します。
2. 4周期以内に、希望するIVSEL値とIVCE=0を同時に書き込みます。

この手順実行中、割り込みは自動的に禁止されます。割り込みはIVCEが設定(1)される周期内で禁止され、それに続くIVSEL書き込み命令まで禁止に留まります。IVSELが書かれない場合、割り込みは4周期間禁止に留まります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットは、この自動禁止によって影響されません。

注: ブート施錠ビットBLB02またはBLB12がプログラム(0)されている場合、割り込みベクタ表の変更は割り込みが許されるプログラムメモリの部分から変更します。ブート施錠ビットの詳細については118頁の「ブートローダ支援」項を参照してください。

• ビット0 – IVCE : 割り込みベクタ変更許可 (Interrupt Vector Change Enable)

割り込みベクタ選択(IVSEL)ビットの変更を許可するには、このIVCEビットが設定(1)されなければなりません。IVCEは書かれた後4周期、またはIVSELが書かれるとハードウェアによって解除(0)されます。上記IVSELで説明されるようにIVCEビットの設定(1)は割り込みを(一時)禁止します。

一般割り込み要求フラグ レジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	INTF1	INTF0	INTF2	—	—	—	—	—	GIFR
Read/Write	R/W	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – INTF1 : 外部割り込み1要求フラグ (External Interrupt Flag1)

INT1ピン上の出来事が割り込み要求を起こす時に割り込み要求フラグ(INTF1)が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み制御レジスタ(GICR)の外部割り込み1許可(INT1)ビットが共に設定(1)されていれば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行される時に解除(0)されます。代わりに、このフラグは論理1を書くことによって解除(0)できます。INT1がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。

• ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上の出来事が割り込み要求を起こす時に割り込み要求フラグ(INTF0)が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み制御レジスタ(GICR)の外部割り込み0許可(INT0)ビットが共に設定(1)されていれば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行される時に解除(0)されます。代わりに、このフラグは論理1を書くことによって解除(0)できます。INT0がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。

• ビット5 – INTF2 : 外部割り込み2要求フラグ (External Interrupt Flag2)

INT2ピン上の出来事が割り込み要求を起こす時に割り込み要求フラグ(INTF2)が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み制御レジスタ(GICR)の外部割り込み2許可(INT2)ビットが共に設定(1)されていれば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行される時に解除(0)されます。代わりに、このフラグは論理1を書くことによって解除(0)できます。

• ビット4～0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – OCIE2 : タイマ/カウンタ2比較一致割り込み許可 (Timer/Counter2 Output Compare Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE2ビットが共に設定(1)で、タイマ/カウンタ2の比較一致割り込みが許可されます。タイマ/カウンタ2で比較一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ2比較一致割り込み要求フラグ(OCF2)が設定(1)されると、対応する割り込みが実行されます。

• ビット6 – TOIE2 : タイマ/カウンタ2溢れ割り込み許可 (Timer/Counter2 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTOIE2ビットが共に設定(1)で、タイマ/カウンタ2溢れ割り込みが許可されます。タイマ/カウンタ2溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ2溢れ割り込み要求フラグ(TOV2)が設定(1)されると、対応する割り込みが実行されます。

• ビット5 – TICIE1 : タイマ/カウンタ1捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTICIE1ビットが共に設定(1)で、タイマ/カウンタ1の捕獲割り込みが許可されます。ICP(PD6)ピン上に捕獲要求が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1捕獲割り込み要求フラグ(ICF1)が設定(1)されると、対応する割り込みが実行されます。

• ビット4 – OCIE1A : タイマ/カウンタ1比較A一致割り込み許可 (T/Counter1 Output Compare A Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE1Aビットが共に設定(1)で、タイマ/カウンタ1の比較A一致割り込みが許可されます。タイマ/カウンタ1で比較A一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1比較A一致割り込み要求フラグ(OCF1A)が設定(1)されると、対応する割り込みが実行されます。

• ビット3 – OCIE1B : タイマ/カウンタ1比較B一致割り込み許可 (T/Counter1 Output Compare B Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE1Bビットが共に設定(1)で、タイマ/カウンタ1の比較B一致割り込みが許可されます。タイマ/カウンタ1で比較B一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1比較B一致割り込み要求フラグ(OCF1B)が設定(1)されると、対応する割り込みが実行されます。

• ビット2 – TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTOIE1ビットが共に設定(1)で、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1溢れ割り込み要求フラグ(TOV1)が設定(1)されると、対応する割り込みが実行されます。

• ビット1 – OCIE0 : タイマ/カウンタ0比較一致割り込み許可 (Timer/Counter0 Output Compare Match Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このOCIE0ビットが共に設定(1)で、タイマ/カウンタ0の比較一致割り込みが許可されます。タイマ/カウンタ0で比較一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0比較一致割り込み要求フラグ(OCF0)が設定(1)されると、対応する割り込みが実行されます。

• ビット0 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、このTOIE0ビットが共に設定(1)で、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)が設定(1)されると、対応する割り込みが実行されます。

タイマ/カウンタ割り込み要求フラグ レジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – OCF2 : タイマ/カウンタ2比較一致割り込み要求フラグ (Timer/Counter2 Output Compare Interrupt Flag)

タイマ/カウンタ2と比較レジスタ(OCR2)の値間で比較一致が起こると、OCF2がセット(1)されます。対応する割り込み処理ベクタを実行すると、OCF2は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF2は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ2比較一致割り込み許可(OCIE2)ビットとOCF2が設定(1)されると、タイマ/カウンタ2比較一致割り込みが実行されます。

• ビット6 – TOV2 : タイマ/カウンタ2溢れ割り込み要求フラグ (Timer/Counter2 Overflow Interrupt Flag)

タイマ/カウンタ2溢れが起こると、TOV2が設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV2は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV2は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ2溢れ割り込み許可(TOIE2)ビットとTOV2が設定(1)されると、タイマ/カウンタ2溢れ割り込みが実行されます。PWM動作ではタイマ/カウンタ2が\$00で計数方向を変更する時にこのフラグが設定(1)されます。

• ビット5 – ICF1 : タイマ/カウンタ1捕獲割り込み要求フラグ (Timer/Counter1 Input Capture Interrupt Flag)

このICF1ビットはタイマ/カウンタ1の値が捕獲レジスタ(ICR1)に転送されてしまったことを示す、捕獲発生フラグのために設定(1)されます。対応する割り込み処理ベクタを実行すると、ICF1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもICF1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1捕獲割り込み許可(TICIE1)ビットとICF1が設定(1)されると、タイマ/カウンタ1捕獲割り込みが実行されます。

• ビット4 – OCF1A : タイマ/カウンタ1比較A一致割り込み要求フラグ (Timer/Counter1 Output Compare Interrupt Flag A)

タイマ/カウンタ1と比較Aレジスタ(OCR1A)の値間で比較一致が起こると、OCF1Aが設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Aは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較A一致割り込み許可(OCIE1A)ビットとOCF1Aが設定(1)されると、タイマ/カウンタ1比較A一致割り込みが実行されます。

• ビット3 – OCF1B : タイマ/カウンタ1比較B一致割り込み要求フラグ (Timer/Counter1 Output Compare Interrupt Flag B)

タイマ/カウンタ1と比較Bレジスタ(OCR1B)の値間で比較一致が起こると、OCF1Bが設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Bは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較B一致割り込み許可(OCIE1B)ビットとOCF1Bが設定(1)されると、タイマ/カウンタ1比較B一致割り込みが実行されます。

• ビット2 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Interrupt Flag)

タイマ/カウンタ1溢れが起こると、TOV1が設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットとTOV1が設定(1)されると、タイマ/カウンタ1溢れ割り込みが実行されます。PWM動作ではタイマ/カウンタ1が\$0000で計数方向を変更する時にこのフラグが設定(1)されます。

• ビット1 – OCF0 : タイマ/カウンタ0比較一致割り込み要求フラグ (Timer/Counter0 Output Compare Interrupt Flag)

タイマ/カウンタ0と比較レジスタ(OCR0)の値間で比較一致が起こると、OCF0が設定(1)されます。対応する割り込み処理ベクタを実行する時にOCF0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0比較一致割り込み許可(OCIE0)ビットとOCF0が設定(1)されると、タイマ/カウンタ0比較一致割り込みが実行されます。

• ビット0 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、TOV0が設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。PWM動作ではタイマ/カウンタ0が\$00で計数方向を変更する時にこのフラグが設定(1)されます。

外部割り込み

外部割り込みはINT0,INT1,INT2ピンによって起動されます。許可されていれば、INT0,INT1,INT2ピンが例え出力として設定されていても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端、またはLowレベル(INT2は端(エッジ)割り込みのみ)で起動できます。これは**MCU制御レジスタ(MCUCR)**-INT0, INT1と**MCU制御/状態レジスタ(MCUCSR)**-INT2についての詳細で説明されるように設定します。外部割り込みが許可され、レベル起動(INT0とINT1のみ)として設定されるとき、ピンがLowに保持されている限り、この割り込みは継続的に発生します。

MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは、MCU機能一般についての制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SE	SM2	SM1	SM0	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを**休止形態**へ移行させるには、休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的の外休止形態移行をなくすため、**SLEEP**命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

• ビット6~4 – SM2~0 : 休止種別 (Sleep Mode Select Bits 2,1 and 0)

これらのビットは表8.で示される利用可能な6つの休止形態の1つを選びます。

表8. 休止形態種別選択

SM2	SM1	SM0	休止形態種別
0	0	0	アイドル動作
		1	A/D変換雑音低減動作
	1	0	パワーダウン動作
		1	パワーセーブ動作
1	0	0	(予約)
		1	(予約)
	1	0	スタンバイ動作 (注)
		1	拡張スタンバイ動作 (注)

注: スタンバイ動作と拡張スタンバイ動作は外部クリスタル発振子/セラミック振動子でのみ利用可能です。

• ビット3,2 – ISC11,0 : 外部割り込み1条件制御 (Interrupt Sense Control 1 bit1 and 0)

外部割り込み1はステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み制御レジスタ(GICR)の**外部割り込み1許可(INT1)ビット**が共に設定(1)されている場合の外部割り込み1(INT1)ピンによって起動されます。本割り込みを起動する外部割り込み1(INT1)ピン上の端(エッジ)やレベルは表9.で定義されます。INT1ピンの値は端検出以前から採取比較されています。端や切り替わり(両端)割り込みが選ばれると、1 CPUクロック周期より長く持続するパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選ばれると、割り込みを発生するためには、現在実行中の命令の完了まで、Lowレベルが保持されなければなりません。

表9. 外部割り込み1(INT1)割り込み条件

ISC11	ISC10	割り込み発生条件
0	0	INT1ピンがLowレベルで発生。
	1	INT1ピンのレベル変化(両端)。
1	0	INT1ピンの下降端で発生。
	1	INT1ピンの上昇端で発生。

• ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと、一般割り込み制御レジスタ(GICR)の**外部割り込み0許可(INT0)ビット**が共に設定(1)されている場合の外部割り込み0(INT0)ピンにより起動されます。本割り込みを起動する外部割り込み0(INT0)ピン上の端(エッジ)やレベルは表10.で定義されます。INT0ピンの値は端検出以前から採取比較されています。端や切り替わり(両端)割り込みが選ばれると、1 CPUクロック周期より長く持続するパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選ばれると、割り込みを発生するためには、現在実行中の命令の完了まで、Lowレベルが保持されなければなりません。

表10. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	INT0ピンのレベル変化(両端)。
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

休止形態

6つの休止形態の何れかへ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが設定(1)され、SLEEP命令が実行されなければなりません。MCUCRの休止種別(SM2~0)ビットが選ぶどれかの休止形態(アイドル、A/D変換雑音低減、パワーダウン、パワーセーブ、スタンバイ、拡張スタンバイ)がSLEEP命令によって有効動作にされます。一覧は表8をご覧ください。MCUが休止形態中に許可されている割り込みが発生するとMCUは起動復帰します。MCUは4周期停止後、その割り込み処理ルーチンを実行し、そしてSLEEP命令の次から実行を再開します。デバイスが休止形態から起動するとき、レジスタファイル、SRAM、I/Oレジスタの内容は変化しません。休止形態中にリセットが発生すると、MCUは起動復帰し、リセットベクタから実行します。

アイドル動作

休止種別(SM2~0)ビットが000に設定されているとき、SLEEP命令でMCUがアイドル動作へ移行し、CPUは停止しますが、SPI(直列周辺インターフェース)、USART、アナログ比較器、A/D変換、2線直列インターフェース、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これは、タイマ溢れやUSART送信完了のような内部割り込みだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。アナログ比較器割り込みからの起動復帰が必要とされない場合、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することにより、アナログ比較器を電源断にできます。これはアイドル動作での電力消費を削減します。A/D変換が許可されている場合、この動作に移行すると、自動的に変換が始まります。

A/D変換雑音低減動作

休止種別(SM2~0)ビットが001に設定されているとき、SLEEP命令でMCUがA/D変換雑音低減動作に移行し、CPUは停止しますが、A/D変換、外部割り込み、2線直列インターフェースのアドレス監視、タイマ/カウンタ2、ウォッチドッグ機能は(許可されていれば)継続して動作します。これはA/D変換の雑音環境を改善し、高分解能の測定を可能にします。A/D変換が許可されている場合、この動作が開始されると、自動的に変換が始まります。A/D変換完了割り込みの他、外部リセット、(許可されていれば)ウォッチドッグリセット、低電圧検出(BOD)リセット、2線直列インターフェースのアドレス一致割り込み、INT0またはINT1の外部レベル割り込み、INT2の外部端(エッジ)割り込みだけがA/D変換雑音低減動作からMCUを起動復帰できます。タイマ/カウンタ2の比較や溢れ要因はMCUを起動復帰しますが、タイマ/カウンタ2が非同期クロック駆動されていなければ、割り込みを生成しません。

将来のデバイスで、これは変更されます。将来との共通性のため、タイマ/カウンタ2が同期クロック駆動される場合、A/D変換雑音低減動作中のタイマ/カウンタ2割り込みを禁止することが推奨されます。

パワーダウン動作

休止種別(SM2~0)ビットが010に設定されているとき、SLEEP命令でMCUがパワーダウン動作へ移行します。この動作では外部発振器が停止される一方、外部割り込み、2線直列インターフェースのアドレス一致、(許可されていれば)ウォッチドッグは動作を継続します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、2線直列インターフェースのアドレス一致割り込み、INT0またはINT1の外部レベル割り込み、INT2の外部端(エッジ)割り込みだけがMCUを起動復帰できます。

パワーダウン動作からの復帰にレベルで起動された割り込みが使われる場合、MCUを起動するため、変更されたレベルは一定時間保持されなければなりません。これはMCUの雑音不安定性を減らします。変更されたレベルはウォッチドッグ用発振器クロックによって2度採取され、この入力がこの時間中、必要とされるレベルであれば、MCUは起動復帰します。ウォッチドッグ用発振器の周期は公称1μs(5V, 25°C)です。「代表特性」章内で示されるように、ウォッチドッグ用発振器の周波数は電圧に依存します。

パワーダウン動作から復帰するとき、起動復帰条件発生から起動復帰の効果が現れるまで遅延を伴います。これは停止されてしまっている後に、再開のためのクロックが許可され、安定状態になるためです。この起動時間は18頁の表6で示されるリセット遅延時間を定義するCKSELヒューズによって同じく定義されます。

パワーセーブ動作

休止種別(SM2~0)ビットが011のとき、SLEEP命令でMCUがパワーセーブ動作へ移行します。この動作は1点を除いてパワーダウン動作と同じです。

タイマ/カウンタ2が非同期駆動されている、換言すると、タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期クロック(AS2)ビットが設定(1)されている場合、タイマ/カウンタ2は休止中も動作します。パワーダウンの起動復帰元に加えて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)の対応するタイマ/カウンタ2割り込み許可ビットが設定(1)されていれば、タイマ/カウンタ2からの溢れまたは比較一致のどちらからでもデバイスは起動復帰できます。

非同期タイマが非同期駆動されない場合、例えばASSRのAS2が0でも、パワーセーブ動作での起動復帰後、非同期タイマのレジスタ内容は不定とみなされるべきなので、パワーセーブ動作の代わりにパワーダウン動作が推奨されます。

スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選ばれ、休止種別(SM2~0)ビットが110のとき、SLEEP命令でMCUがスタンバイ動作へ移行します。この動作は外部クリスタル用発振器が動作し続けることを除いてパワーダウン動作と同じです。スタンバイ動作からは6クロック周期だけで復帰します。

拡張スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選ばれ、休止種別(SM2~0)ビットが111のとき、SLEEP命令でMCUが拡張スタンバイ動作へ移行します。この動作は外部クリスタル用発振器が動作し続けることを除いてパワーセーブ動作と同じです。拡張スタンバイ動作からは6クロック周期だけで復帰します。

校正付き内蔵RC発振器

校正された内蔵RC発振器は5V, 25°Cで公称1MHz固定クロックを提供します。このクロックはシステムクロックとして使えます。このクロックをシステムクロックとする選択方法の情報については5頁の「[クロック任意選択](#)」項をご覧ください。この発振器は発振校正レジスタ(OSCCAL)への校正値書き込みによって校正できます。この発振器がシステムクロックとして使われるときでも、ウォッチドッグタイマとリセット遅延には未だウォッチドッグ用発振器が使われます。予めプログラムされた校正値の使用法の詳細については125頁の「[校正バイト](#)」項をご覧ください。

発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~0 - CAL7~0 : 発振校正値 (Oscillator Calibration Value)

発振周波数の偏差による処理を省くため、このアドレスへの校正バイト書き込みが内蔵RC発振器を調整します。OSCCALが0のときに利用可能な最低周波数が選ばれます。このレジスタへの0以外の値書き込みが内蔵RC発振器周波数を増加します。このレジスタへの\$FF書き込みが利用可能最高周波数を与えます。校正された発振器はEEPROMとフラッシュメモリのアクセス時間に使われます。EEPROMまたはフラッシュメモリが書かれる場合、公称周波数より10%以上高く校正してはいけません。そうしないと、EEPROMまたはフラッシュメモリ書き込み操作は失敗するかもしれません。この発振器は1.0MHzへの校正を意図したもので、このため他の値への調整が保証されないことに注意してください。

表11. 内蔵RC発振器周波数範囲

OSCCAL値	最小	最大
\$00	0.5MHz	1.0MHz
\$7F	0.7MHz	1.5MHz
\$FF	1.0MHz	2.0MHz

特殊I/O機能レジスタ (Special Function I/O Register) SFIOR

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	-	-	-	-	ACME	PUD	PSR2	PSR10	SFIOR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 - ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)

A/D変換がOFF(A/D変換制御/状態レジスタ(ADCSR)のA/D許可(ADEN)ビットが0)で、このビットが設定(1)されると、A/D変換多重器はアナログ比較器への反転入力を選びます。このビットが解除(0)されると、AIN1(PB3)がアナログ比較器の反転入力に適用されます。このビットの詳細な記述については84頁の「[アナログ比較器入力選択](#)」をご覧ください。

• ビット2 - PUD : プルアップ禁止 (Pull-up Disable)

このビットが設定(1)されると、全ポートの全プルアップが禁止されます。このビットが解除(0)されると、92頁の「[入出力ポート](#)」章で記述されるように、プルアップは個別に許可できます。

• ビット1 - PSR2 : タイマ/カウンタ2 前置分周器リセット (Prescaler Reset Timer/Counter2)

このビットが設定(1)されると、タイマ/カウンタ2の前置分周器はリセットします。このビットはその動作が実行された後、自動的に解除(0)されます。このビットへの0書き込みは無効です。タイマ/カウンタ2が内部CPUクロックで駆動される場合、このビットは常に0として読みます。タイマ/カウンタ2が非同期で動作するときに、このビットが書かれると、このビットは前置分周器がリセットされてしまうまで1に留まります。非同期動作の詳細記述については36頁の「[タイマ/カウンタ2の非同期動作](#)」をご覧ください。

• ビット0 - PSR10 : タイマ/カウンタ1,0 前置分周器リセット (Prescaler Reset Timer/Counter1 and 0)

このビットが設定(1)されると、タイマ/カウンタ0とタイマ/カウンタ1の前置分周器はリセットします。このビットはその動作が実行された後、自動的に解除(0)されます。このビットへの0書き込みは無効です。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが両方のタイマ/カウンタに影響を及ぼすことに注意してください。このビットは常に0として読みます。

タイマ/カウンタ

ATmega323には3つ(8ビット×2と16ビット×1)の汎用タイマ/カウンタがあります。タイマ/カウンタ2は任意で外部(クリスタルによる)発振器から非同期クロック駆動もできます。この発振器は時計用32.768kHzクリスタル使用に最適化されており、実時間時計(RTC)としてのタイマ/カウンタ2使用を可能にします。タイマ/カウンタ0と1には同じ10ビット前置分周器用タイマから選ぶ個別の前置分周器があります。タイマ/カウンタ2には独自の前置分周器があります。これら両方の前置分周器は**特殊I/O機能レジスタ(SFIOR)**の対応する制御ビット設定によってリセットできます。タイマ/カウンタは内部クロックを基準とするタイマや、外部ピンに接続された起因信号によるカウンタなどの使用ができます。

タイマ/カウンタ前置分周器部

タイマ/カウンタ0と1に対する前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、CK/8、CK/64、CK/256、CK/1024です。タイマ/カウンタ0と1の2つではCK、外部クロック信号、停止もクロック元として選べます。特殊I/O機能レジスタ(SFIOR)の**タイマ/カウンタ1,0前置分周器リセット(PSR10)ビット**の設定(1)は、この前置分周器をリセットします。これは予測可能な前置分周器操作を可能にします。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、前置分周器のリセットが両方のタイマ/カウンタに影響を及ぼすことに注意してください。

図30. タイマ/カウンタ0,1 前置分周器部構成

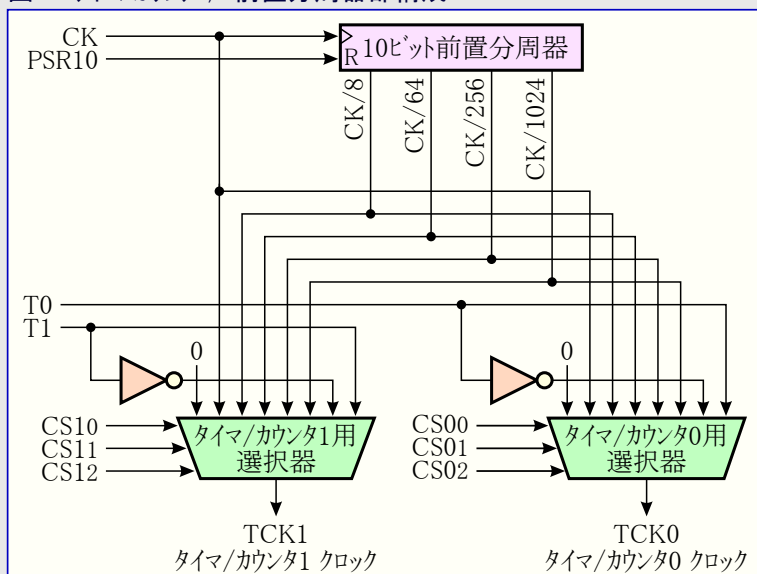
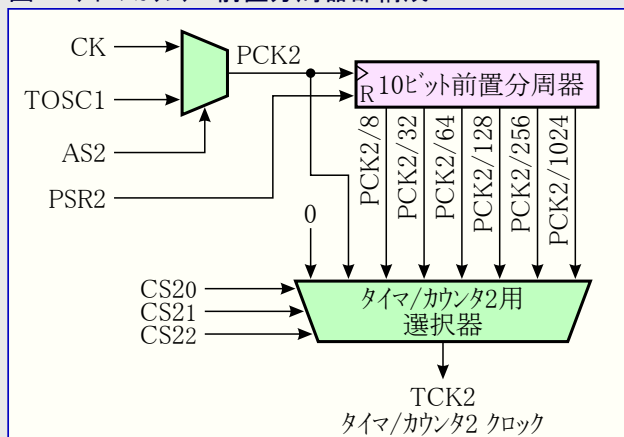


図31. タイマ/カウンタ2 前置分周器部構成



タイマ/カウンタ2の前置分周器用クロック元はPCK2で示されます。既定のPCK2は主システムクロック(CK)に接続されます。**タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期クロック(AS2)ビット**の設定(1)により、タイマ/カウンタ2の前置分周器はTOSC1(PC6)ピンから非同期クロック駆動されます。これは実時間時計(RTC)としてのタイマ/カウンタ2使用を可能にします。AS2が設定(1)されると、PC6(TOSC1)とPC7(TOSC2)ピンはポートCから切り離されます。タイマ/カウンタ2用の独立したクロック元として扱うために、TOSC1(PC6)とTOSC2(PC7)ピン間にクリスタル発振子が接続できます。この発振器は時計用32.768kHzクリスタルに最適化されています。TOSC1への外部クロック信号の適用は推奨されません。特殊I/O機能レジスタ(SFIOR)の**タイマ/カウンタ2 前置分周器リセット(PSR2)ビット**の設定(1)は、この前置分周器をリセットします。これは予測可能な前置分周器操作を可能にします。

8ビット タイマ/カウンタ0、タイマ/カウンタ2

図32.はタイマ/カウンタ0の構成図を示します。図33.はタイマ/カウンタ2の構成図を示します。

図32. タイマ/カウンタ0構成図

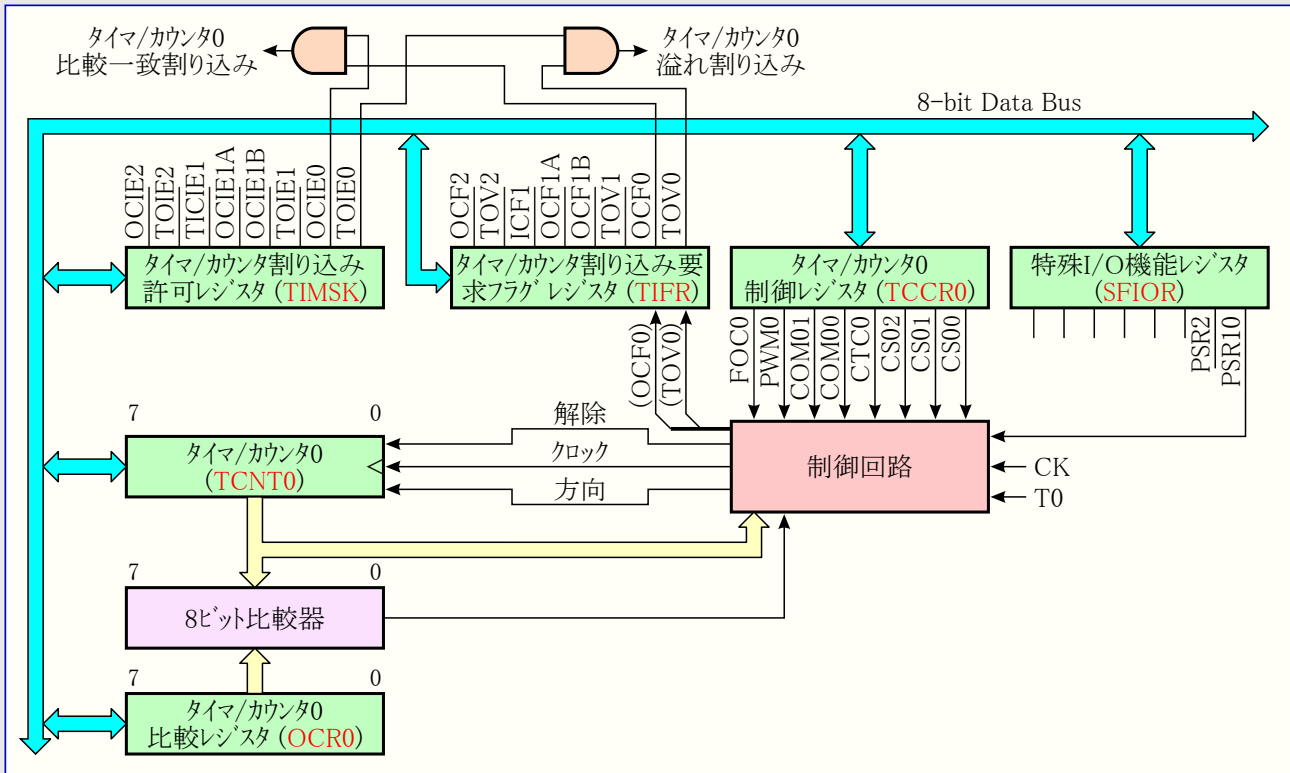
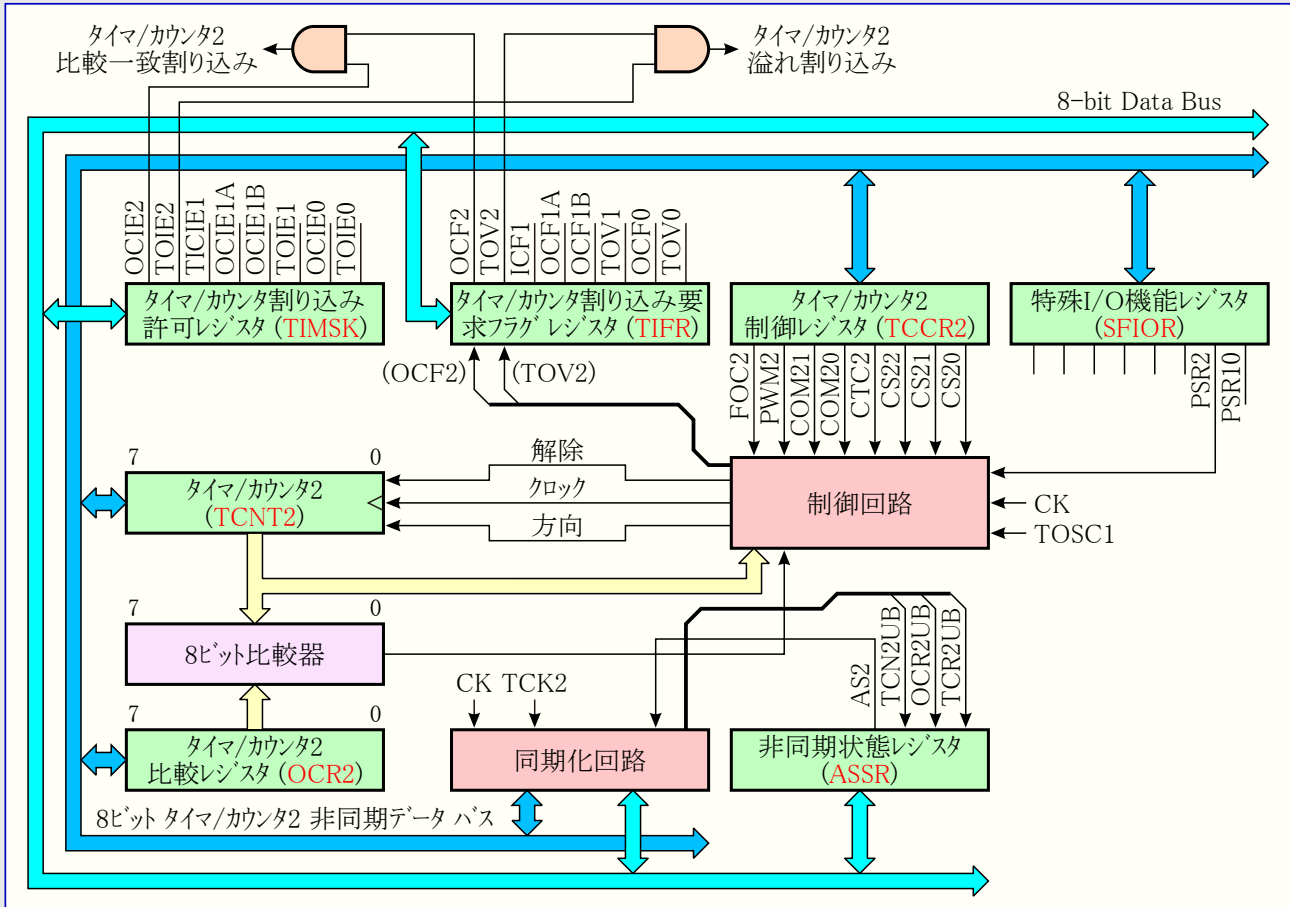


図33. タイマ/カウンタ2構成図



8ビットのタイマ/カウンタ0はCK、分周されたCK、または外部ピンからクロック元を選べます。

8ビットのタイマ/カウンタ2はCK、分周されたCK、外部TOSC1、または分周された外部TOSC1からクロック元を選べます。

両タイマ/カウンタはタイマ/カウンタ0制御レジスタ(TCCR0)とタイマ/カウンタ2制御レジスタ(TCCR2)の項目で記述されるように停止もできます。

各状態フラグ(溢れ:TOV0,TOV2、比較一致:OCF0,OCF2)は、タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)にあります(25頁参照)。制御ビットはタイマ/カウンタ制御レジスタ(TCCR0とTCCR2)にあります。割り込みの許可/禁止設定はタイマ/カウンタ割り込み許可レジスタ(TIMSK)内にあります(24頁参照)。

タイマ/カウンタ0が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

この単位部は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的や稀に動く正確なタイミングの目的についてこの単位部を有効にします。

タイマ/カウンタ0と2は8ビットのパルス幅変調器(PWM)としても使えます。この動作ではタイマ/カウンタ(TCNT0とTCNT2)と比較レジスタ(OCR0とOCR2)が不具合の無い周期中央パルス方式の独立したPWMとして扱えます。この機能の詳細な記述については34頁を参照してください。

タイマ/カウンタ0 制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0
\$33 (\$53)	FOC0	PWM0	COM01	COM00	CTC0	CS02	CS01	CS00
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

タイマ/カウンタ2 制御レジスタ (Timer/Counter2 Control Register) TCCR2

ビット	7	6	5	4	3	2	1	0
\$25 (\$45)	FOC2	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

• ビット7 – FOC0/FOC2 : 比較出力強制変更 (Force Output Compare 0/2)

このビットへの論理1書き込みは既に設定された比較n出力選択(COMn1,COMn0)ビットの値に従って比較一致出力ピンOC0(PB3):タイマ/カウンタ0とOC2(PD7):タイマ/カウンタ2を強制的に変更します。COMn1とCOMn0ビットがFOC0/FOC2と同じ周期で書かれる場合、この新しい設定は次の比較一致か強制的な比較一致出力が起こるまで有効になりません(つまり無効)。この比較出力強制ビットはタイマ/カウンタの比較一致を待たずに出力ピンを変更するために使えます。比較一致が発生した場合と同様にCOMn1とCOMn0で設定された自動動作が起きますが、割り込みは発生せず、例え一致解除(CTC0/CTC2)ビットが設定(1)されていてもタイマ/カウンタは解除されません。このピンの効果を得るには対応するI/OピンがFOC0/FOC2ビットに対する出力ピンとして設定されなければなりません。FOC0/FOC 2ビットは常に0として読みます。PWM動作でのFOC0/FOC2ビット設定は無効です。

• ビット6 – PWM0/PWM2 : PWM動作許可 (Pulse Width Modulator Enable)

設定(1)されると、このビットはタイマ/カウンタ0またはタイマ/カウンタ2のPWM動作を許可します。この動作は34頁に記載されます。

• ビット5,4 – COM01,0/COM21,0 : 比較出力選択 (Compare Output Mode bits 1 and 0)

このCOMn1とCOMn0制御ビットはタイマ/カウンタ(TCNT0またはTCNT2)での比較一致に続く、何れかの出力ピン動作を決めます。出力ピン動作はOC0/(PB3)またはOC2(PD7)ピンに影響を及ぼします。これはI/Oポートの交換機能で、出力ピンを制御するため、対応する方向制御ビットは設定(1)されなければなりません(DDB3=1またはDDD7=1)。制御設定は表12.で示されます。

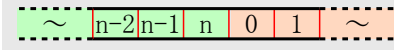
表12. 比較出力選択

COMn1	COMn0	意味
0	0	OCn切断 (PB3/PD7として機能)
0	1	OCnピントグル(交互)出力
1	0	OCnピン Lowレベル出力
1	1	OCnピン Highレベル出力

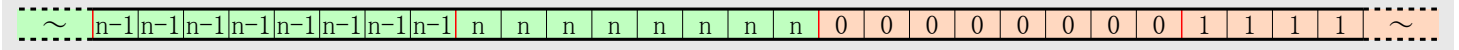
注: 1. PWM動作でこれらのビットは異なる機能を持ちます。
詳細な記述については表15.を参照してください。
2. n=0または2

•ビット3 – CTC0/CTC2：一致解除許可 (Clear Timer/Counter on Compare Match)

CTC0またはCTC2制御ビットが設定(1)されると、タイマ/カウンタ0またはタイマ/カウンタ2は比較一致後のCPUクロック周期で\$00にリセットされます。この制御ビットが解除(0)されると、タイマ/カウンタは比較一致による影響を受けずに計数動作を続けます。前置分周値に1が用いられ、比較レジスタ(OCR0/2)がnに設定されるとき、CTC0/2が設定(1)される場合、タイマ/カウンタは次のように計数します。



前置分周器がCK/8分周に設定されていると、タイマ/カウンタは次のように計数します。



PWM動作でのこのビットは異なる機能を持ちます。PWM動作でCTC0またはCTC2が解除(0)されると、タイマ/カウンタは上昇/下降カウンタとして動作します。CTC0またはCTC2が設定(1)されると、タイマ/カウンタは\$FFに達すると\$00に戻ります(上昇カウンタ)。詳細な記述については34頁を参照してください。

•ビット2~0 – CS02~0/CS22~0：クロック選択0/2 (Clock Select Bits 2,1 and 0)

クロック選択0/2ビット2~0はタイマ/カウンタ0とタイマ/カウンタ2に供給するクロック元を定義します。

表13. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK (CPUクロック)
0	1	0	CK/8 (CPUクロックの8分周)
0	1	1	CK/64 (CPUクロックの64分周)
1	0	0	CK/256 (CPUクロックの256分周)
1	0	1	CK/1024 (CPUクロックの1024分周)
1	1	0	外部T0(PB0)ピンの下降端
1	1	1	外部T0(PB0)ピンの上昇端

表14. タイマ/カウンタ2入力クロック選択

CS22	CS21	CS20	意味
0	0	0	停止 (タイマ/カウンタ2は動作停止)
0	0	1	PCK2 (CPUクロックか外部発振TOSC)
0	1	0	PCK2/8 (PCK2の8分周)
0	1	1	PCK2/32 (PCK2の32分周)
1	0	0	PCK2/64 (PCK2の64分周)
1	0	1	PCK2/128 (PCK2の128分周)
1	1	0	PCK2/256 (PCK2の256分周)
1	1	1	PCK2/1024 (PCK2の1024分周)

停止状態はタイマ/カウンタの許可/禁止機能を提供します。前置分周される動作では、タイマ/カウンタ0についてはCK発振器クロックから、タイマ/カウンタ2についてはPCK2から直接的に分周されます。タイマ/カウンタ0で外部ピン動作が使われる場合、T0(PB0)ピンの遷移は例えばそのピンが出力として設定されていても、タイマ/カウンタをクロック駆動します。この特徴がソフトウェアでの計数制御を提供できます。

タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ2 (Timer/Counter2) TCNT2

ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	(MSB)							(LSB)	TCNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この8ビットレジスタはタイマ/カウンタ0/2の値です。

両タイマ/カウンタは読み書き可能な上昇または上昇/下降(PWM動作時)計数器として実現されます。クロック供給元が選ばれ、タイマ/カウンタが書かれると、書き込み動作の次に来るタイマ/カウンタクロック周期で計数を開始/継続します。

タイマ/カウンタ0 比較レジスタ (Timer/Counter0 Output Compare Register) OCR0

ビット	7	6	5	4	3	2	1	0	
\$3C (\$5C)	(MSB)							(LSB)	OCR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ2 比較レジスタ (Timer/Counter2 Output Compare Register) OCR2

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	(MSB)							(LSB)	OCR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタは読み書き可能な8ビットのレジスタです。このタイマ/カウンタ比較レジスタ(OCR0とOCR2)はタイマ/カウンタ(TCNT0とTCNT2)と継続的に比較されるべきデータを保持します。比較一致での動作はタイマ/カウンタ制御レジスタ(TCCR0とTCCR2)で詳細に示されます。タイマ/カウンタレジスタへのソフトウェア書き込みは次のタイマ/カウンタクロック周期での比較一致を妨げます。これはタイマ/カウンタ初期化時、即時の割り込みを防止します。

比較一致は比較での出来事に続くCPUクロック周期で比較一致割り込み要求フラグ(OCF0,OCF2)を設定(1)します。

タイマ/カウンタ0、タイマ/カウンタ2 PWM動作

PWM動作が選ばれると、タイマ/カウンタは\$FF到達時\$00に戻る溢れ(上昇)か昇降のどちらかの計数器として動作します。

昇降動作が選ばれると、タイマ/カウンタ(TCNT0,TCNT2)と比較レジスタ(OCR0,OCR2)は自由走行動作で不具合のない位相基準の8ビットPWMとOC0(PB3),OC2(PD7)ピン出力を形成します。

溢れ動作が選ばれると、タイマ/カウンタ(TCNT0,TCNT2)と比較レジスタ(OCR0,OCR2)は自由走行動作で不具合のない8ビットPWMを形成し、昇降計数動作の倍速で動作します。

PWM種別 (溢れと昇降)

2つの異なるPWM種別は各々タイマ/カウンタ制御レジスタ(TCCR0,TCCR2)のCTC0,CTC2ビットによって選ばれます。

PWM動作が選ばれ、CTC0/CTC2が解除(0)されると、タイマ/カウンタは昇降計数器として動作し、\$00から\$FFまで上昇計数して、その区間が繰り返される前に向きを変えて再び\$00まで下降計数します。タイマ/カウンタ値が比較レジスタの内容と一致すると、OC0(PB3)またはOC2(PD7)ピンはタイマ/カウンタ制御レジスタ(TCCR0,TCCR2)の比較出力選択(COMn1,COMn0)ビットの設定に従って設定(High)または解除(Low)されます。

PWM動作が選ばれ、CTC0/CTC2が設定(1)されると、タイマ/カウンタは上昇計数器として動作し、\$FF到達後\$00から計数を開始します。OC0(PB3)またはOC2(PD7)ピンはタイマ/カウンタ値が比較レジスタの内容と一致するとき、またはタイマ/カウンタ溢れで、COMn1, COMn0設定に従って設定(High)または解除(Low)されます。詳細については表15を参照してください。

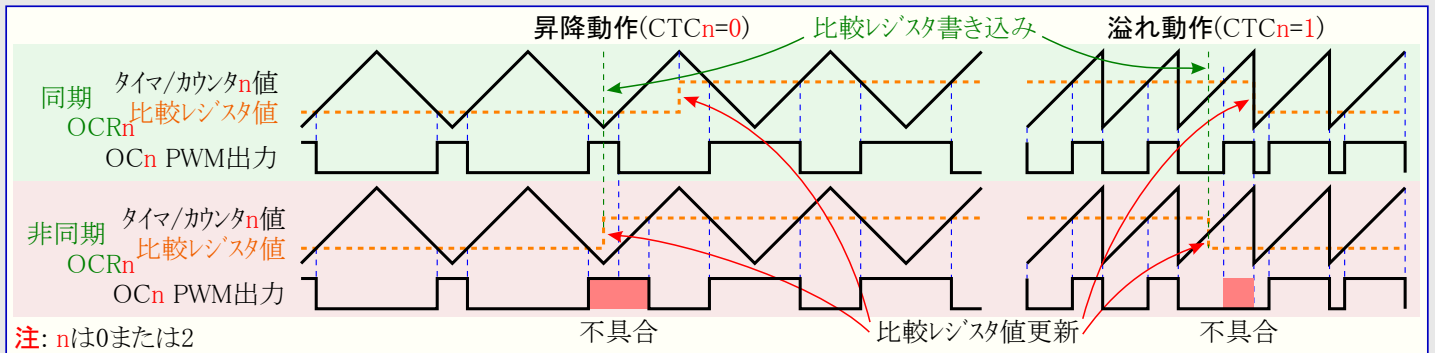
表15. PWM出力選択 (比較出力選択と兼用)

COMn1	COMn0	CTCn	OCn(PB3/PD7)出力	PWM周波数
0	X	X	OCn出力切断 (PB3またはPD7は標準I/Oとして動作)	
1	0	0	上昇計数時の一致で解除(Low)、下降計数時の一致で設定(High) [非反転出力]	f _{CK0} /2/510
	1		上昇計数時の一致で設定(High)、下降計数時の一致で解除(Low) [反転出力]	
	0	1	比較一致で解除(Low)、溢れで設定(High) [非反転出力]	f _{CK0} /2/256
	1		比較一致で設定(High)、溢れで解除(Low) [反転出力]	

注: nは0または2

PWM動作では比較レジスタ(OCR0,OCR2)に書かれる値が最初に一時領域へ転送され、そしてタイマ/カウンタが\$FFに到達する時に比較レジスタへ設定されることに注意してください。これはOCR0またはOCR2非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図34を参照してください。

図34. OCRnの同期/非同期設定 (訳注:原書での図34と図35は図34として統合しました。)



注: nは0または2

書き込みと実際の設定間の期間中、比較レジスタからの読み込みは一時領域の内容が読み取れます。これは常に最も最近書かれた値がOCR0とOCR2の読み出しとなることを意味します。

昇降PWM動作が選ばれ、比較レジスタが\$00または\$FFのとき、OC0(PB3)またはOC2(PD7)出力は次の比較一致でCOMn1/COMn0の指定に従ってHighまたはLowに更新されます。これは表16で示されます。溢れPWM動作ではOC0(PB3)またはOC2(PD7)出力は比較レジスタが\$FFの時だけHighまたはLowに保持されます。

昇降PWM動作ではタイマ/カウンタが\$00から進む時にタイマ/カウンタ溢れ(TOV0またはTOV2)フラグが設定(1)されます。溢れPWM動作でのタイマ/カウンタ溢れフラグは通常のタイマ/カウンタ動作のように設定(1)されます。タイマ/カウンタ0と2の溢れ割り込みは通常動作、換言すると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0または2の溢れ割り込み許可(TOIE0またはTOIE2)ビットが許可されていれば、TOV0またはTOV2が設定(1)される時に割り込みが実行されるように、正確に動作します。これは比較一致割り込み要求フラグ(OCF0とOCF2)とその割り込みについても適用されます。

表16. 上限値、下限値でのPWM出力

COMn1	COMn0	OCRn	OCn出力
1	0	\$00	L
		\$FF	H
1	1	\$00	H
		\$FF	L

注: 1. n=0または2

2. 溢れPWM動作では上表のOCRn=\$FFについてのみ有効です。

タイマ/カウンタ2 非同期状態レジスタ (Timer/Counter2 Asynchronous Status Register) ASSR

ビット	7	6	5	4	3	2	1	0	
\$22 (\$42)	–	–	–	–	AS2	TCN2UB	OCR2UB	TCR2UB	ASSR
Read/Write	R	R	R	R	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 – AS2 : タイマ/カウンタ2 非同期動作許可 (Asynchronous Timer/Counter2)

このビットが解除(0)されると、タイマ/カウンタ2は内部システム クロック(CK)からクロック駆動されます。AS2が設定(1)されると、タイマ/カウンタ2はTOSC1ピンからクロック駆動されます。PC6(TOSC1)とPC7(TOSC2)ピンはクリスタル発振器に接続され、標準I/Oピンとして使えなくなります。このビットの値が変更されるとき、[タイマ/カウンタ2\(TCNT2\)](#)、[タイマ/カウンタ2比較レジスタ\(OCR2\)](#)、[タイマ/カウンタ2制御レジスタ\(TCCR2\)](#)の内容は不正となってしまうかもしれません。

• ビット2 – TCN2UB : タイマ/カウンタ2 更新中フラグ (Timer/Counter2 Update Busy)

タイマ/カウンタ2が非同期動作でタイマ/カウンタ2(TCNT2)が書かれると、このビットが設定(1)になります。TCNT2が一時保存レジスタから更新されてしまうと、このビットは自動的に解除(0)されます。このビットの論理0は、TCNT2が新規の値で更新されるための準備ができています。

• ビット1 – OCR2UB : タイマ/カウンタ2 比較レジスタ 更新中フラグ (Output Compare Register2 Update Busy)

タイマ/カウンタ2が非同期動作でタイマ/カウンタ2比較レジスタ(OCR2)が書かれると、このビットが設定(1)になります。OCR2が一時保存レジスタから更新されてしまうと、このビットは自動的に解除(0)されます。このビットの論理0は、OCR2が新規の値で更新されるための準備ができています。

• ビット0 – TCR2UB : タイマ/カウンタ2 制御レジスタ 更新中フラグ (Timer/Counter2 Control Register Update Busy)

タイマ/カウンタ2が非同期動作でタイマ/カウンタ2制御レジスタ(TCCR2)が書かれると、このビットが設定(1)になります。TCCR2が一時保存レジスタから更新されてしまうと、このビットは自動的に解除(0)されます。このビットの論理0は、TCCR2が新規の値で更新されるための準備ができています。

更新中フラグが設定(1)の間中に、3つのタイマ/カウンタ2 レジスタの何れかに書き込みが実行されると、更新された値が不正となるかも知れず、予期せぬ割り込み発生の原因になります。

TCNT2、OCR2、TCCR2読み込みについての機構は異なります。TCNT2を読む時は実際のタイマ/カウンタ値が読めます。OCR2またはTCCR2を読む時は一時保存レジスタが読めます。

タイマ/カウンタ2 非同期動作

タイマ/カウンタ2が非同期動作のとき、いくつかの考慮が成されなければなりません。

警告: タイマ/カウンタ2の同期/非同期クロック駆動間を切り替えると、**タイマ/カウンタ2(TCNT2)**、**タイマ/カウンタ2比較レジスタ(OCR2)**、**タイマ/カウンタ2制御レジスタ(TCCR2)**が不正となるかもしれません。クロック元を切り替える安全な手順を次に示します。

1. **タイマ/カウンタ割り込み許可レジスタ(TIMSK)**のOCIE2とTOIE2を解除(0)し、タイマ/カウンタ2の割り込みを禁止します。
2. **非同期状態レジスタ(ASSR)**の**非同期動作許可(AS2)**ビットの適切な設定により、クロック元を選び(変え)ます。
3. TCNT2, OCR2, TCCR2に新しい値を書きます。
4. 非同期動作に切り替えるには、**TCN2UB**, **OCR2UB**, **TCR2UB**が全て解除(0)されるまで待機します。
5. **タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)**のOCF2とTOV2フラグを解除(0)します。
6. 必要ならば、割り込みを許可します。

非同期動作用クロック発振器は時計用32.768kHzクリスタルの使用に最適化されています。TOSC1ピンへの外部クロック印加は、不正なタイマ/カウンタ2動作で終わるかもしれません。CPU主クロック周波数は、この発振器周波数の4倍より高くなければなりません。

TCNT2, OCR2, TCCR2レジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSC1で2つの上昇端後、(実レジスタ)に設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に、新しい値を書くべきではありません。記載された3つのレジスタの各々がそれら個別の一時レジスタを持ちます。それは、例えばTCNT2書き込みがOCR2書き込みの実行を妨げないことを意味します。転送先レジスタへの転送が起きたことを検知するため、非同期状態レジスタ(ASSR)は実装されました。

TCNT2, OCR2, TCCR2書き込み後に**パワーセーブ動作**または**拡張スタンバイ動作**へ移行するとき、タイマ/カウンタ2がデバイスの起動復帰に使われる場合、書かれたレジスタが更新されてしまうまで待たなければなりません。さもないと、変更の効果がでる前に**休止形態**になります。タイマ/カウンタ2比較一致割り込みがデバイスの起動復帰に使われる場合、これは非常に重要です。TCNT2またはOCR2書き込み中の比較は禁止されます。書き込み周期が完了しない(換言すると、OCR2UBが0に戻る前に休止形態とする)場合、デバイスは決して比較一致にならず、MCUは起動復帰しません。

パワーセーブまたは拡張スタンバイ動作からデバイスの起動復帰にタイマ/カウンタ2が使われる場合、復帰後のこれら動作への再移行は予防処置を講じなければなりません。割り込み回路はリセットするために1 TOSC1周期必要です。復帰と休止形態再移行間の時間が1 TOSC1周期未満の場合、割り込みが起きず、デバイスは起動復帰に失敗します。パワーセーブまたは拡張スタンバイ動作再移行前の時間が充分である確信がない場合には、1 TOSC1周期が経過されるのを保証するために次の手順が使えます。

1. TCNT2, OCR2, TCCR2に値を書きます。
2. 非同期状態レジスタ(ASSR)の対応する更新中フラグが0に戻るまで待ちます。
3. パワーセーブまたは拡張スタンバイ動作へ移行します。

非同期動作が選ばれると、タイマ/カウンタ2用32kHz発振器は**パワーダウ動作**と**スタンバイ動作**を除いて、常に動作します。電源投入リセット、パワーダウンまたはスタンバイ動作から起動復帰後、この発振器が安定するために1秒程度かかるかもしれないことを承知すべきです。電源投入、パワーダウンまたはスタンバイ動作から起動復帰後、タイマ/カウンタ2を使う前に、少なくとも1秒待機することが推奨されます。この発振器の使用またはクロック信号がTOSCピンに印加されるかのどちらかに拘らず、起動時の不安定的なクロック信号のため、パワーダウンまたはスタンバイ動作からの起動復帰後、タイマ/カウンタ2の全レジスタ内容が失われると見做されなければなりません。

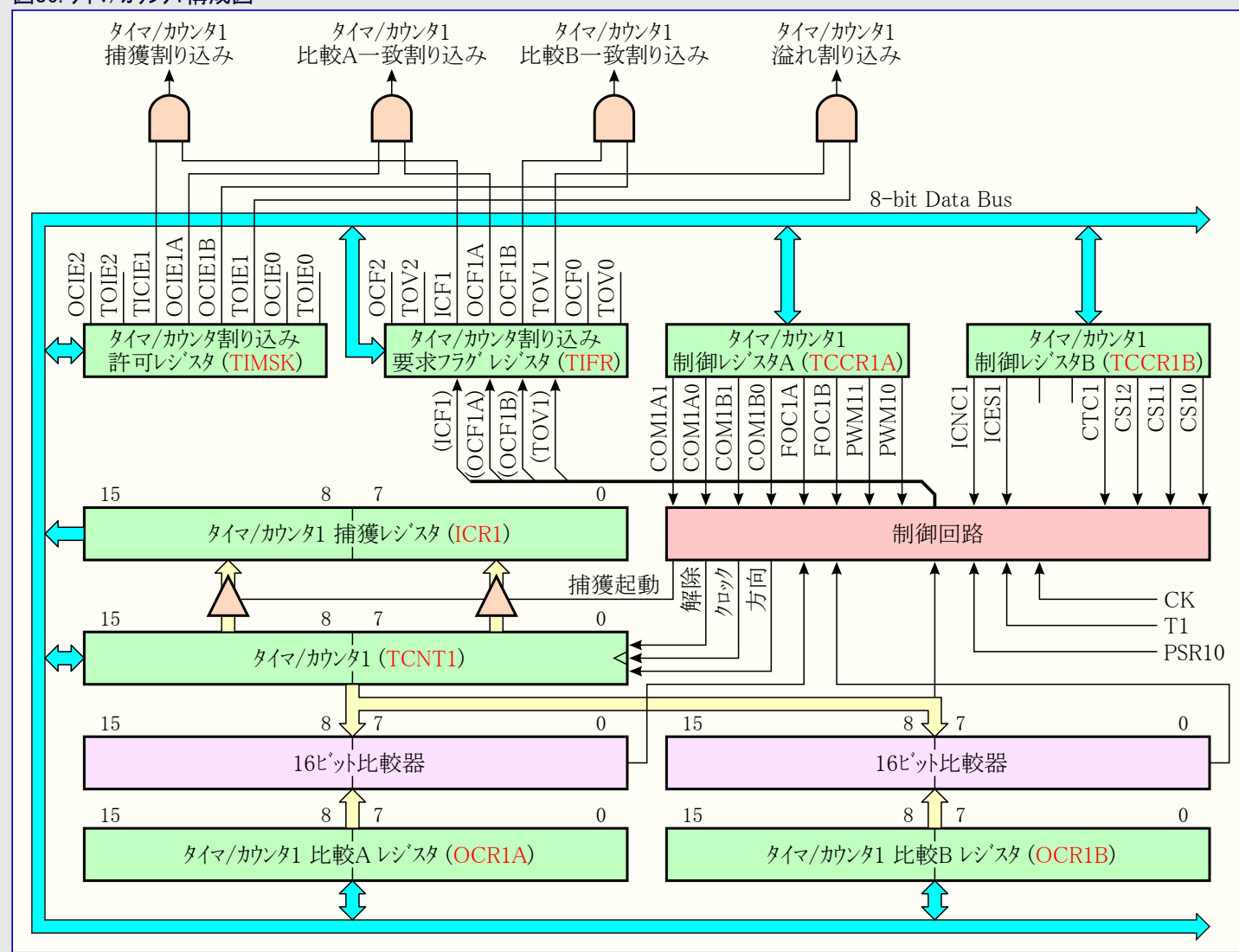
タイマ/カウンタ2非同期クロック駆動時のパワーセーブまたは拡張スタンバイ動作からの起動復帰の説明。割り込み条件が合致すると、タイマ/カウンタクロックの次の周期で起動復帰処理が開始され、プロセッサがタイマ/カウンタ値を読む前に、現在のタイマ/カウンタは常に最低1、進行されます。起動復帰後、MCUは4システムクロック周期停止され、割り込み処理ルーチンを実行し、そして**SLEEP**命令の次の命令から実行を再開します。

非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は、3プロセッサ周期+1タイマ周期必要です。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読む前に、このタイマは最低1、進行されます。比較一致出力ピンはタイマクロックで変更され、プロセッサクロックには同期されません。

16ビット タイマ/カウンタ1

図36.はタイマ/カウンタ1についての構成図を示します。

図36. タイマ/カウンタ1構成図



16ビットのタイマ/カウンタ1はクロック元にCK、分周されたCK、または外部ピンからのクロック元を選べます。加えて39頁の「[タイマ/カウンタ制御レジスタB\(TCCR1B\)](#)」の詳細で説明されるように停止もできます。各種状態フラグ(溢れ:[TOV1](#)、比較A一致:[OCF1A](#)、比較B一致:[OCF1B](#)、捕獲発生:[ICF1](#))は[タイマ/カウンタ割り込み要求フラグレジスタ\(TIFR\)](#)にあります。制御ビットは[タイマ/カウンタ1制御レジスタA\(TCCR1A\)](#)と[タイマ/カウンタ1制御レジスタB\(TCCR1B\)](#)にあります。タイマ/カウンタ1に関する割り込みの許可/禁止設定は[タイマ/カウンタ割り込み許可レジスタ\(TIMSK\)](#)内にあります。

タイマ/カウンタ1が外部的にクロック駆動されるとき、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

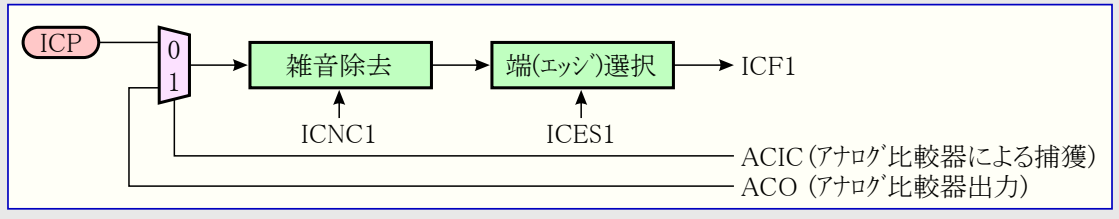
16ビットのタイマ/カウンタ1は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会は低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ1を有効にします。

タイマ/カウンタ1はタイマ/カウンタ1の内容と比較されるデータ元として比較レジスタ(OC1AとOC1B)を使う2つの比較出力機能を支援します。この比較出力機能は選択可能な比較A一致でのカウンタの解除(=\$0000)や、両方の比較一致での比較出力(OC1AとOC1B)ピン上の動作を含みます。

タイマ/カウンタ1は、8,9または10ビットのパルス幅変調器(PWM)としても使えます。この動作ではタイマ/カウンタ1(TCNT1)と比較レジスタ(OCR1AとOCR1B)が不具合の無い周期中央パルス方式の独立したPWMとして扱えます。代わりにタイマ/カウンタ1は中央パルス方式を除いて倍速PWM動作に設定できます。この機能の詳細説明については[42頁](#)を参照してください。

タイマ/カウンタ1の捕獲機能はICP(PD6)ピンの外部要因によって起動される、タイマ/カウンタ1の内容の**捕獲レジスタ(ICR1)**への捕獲(複写)を提供します。実際の捕獲要因(条件)はタイマ/カウンタ1制御レジスタB(TCCR1B)によって定義されます。加えて、アナログ比較器は捕獲の起動に設定できます。この詳細については「**アナログ比較器**」を参照してください。ICPピンの回路は**図37**で示されます。

図37. IC1ピン回路構成



雑音除去機能が許可されると、捕獲に関する実際の起動条件は4回の採取に渡って監視され、捕獲フラグを有効とするには4回全てが同じでなければなりません。

タイマ/カウンタ1制御レジスタ (Timer/Counter1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM11	PWM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – COM1A1,0 : 比較A出力選択 (Compare Output ModelA bit 1 and 0)

このCOM1A1とCOM1A0制御ビットは、**タイマ/カウンタ1(TCNT1)**での比較A一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC1A(比較A出力)ピンに影響を及ぼします。これはI/Oポートの交換機能で、対応する方向制御ビットは出力ピンを制御するため、設定(1)されなければなりません(DDD5=1)。制御設定は表17.に示されます。

• ビット5,4 – COM1B1,0 : 比較B出力選択 (Compare Output ModelB bit 1 and 0)

このCOM1B1とCOM1B0制御ビットは、**タイマ/カウンタ1(TCNT1)**での比較B一致に続く、何れかの出力ピン動作を決めます。何れかの出力ピン動作はOC1B(比較B出力)ピンに影響を及ぼします。これはI/Oポートの交換機能で、対応する方向制御ビットは出力ピンを制御するため、設定(1)されなければなりません(DDD4=1)。制御設定は表17.に示されます。

表17. 比較出力選択

COM1x1	COM1x0	意味
0	0	OC1x切断
0	1	OC1xピン トグル(交互)出力
1	0	OC1xピン Lowレベル出力
1	1	OC1xピン Highレベル出力

注: x=AまたはB

注: PWM動作でのこれらのビットは異なる機能を持ちます。詳細説明については表22.を参照してください。

• ビット3 – FOC1A : OC1A比較出力強制変更 (Force Output Compare 1A)

このビットへの論理1書き込みは既に設定された**比較1A出力制御(COM1A1,COM1A0)ビット**の値に従って、比較一致出力ピンOC1A(PD5)を強制的に変更します。COM1A1とCOM1A0ビットがFOC1Aと同じ周期で書かれる場合、この新しい設定は次の比較一致か強制的な比較一致出力が起こるまで有効になりません(つまり無効)。この比較出力強制ビットはタイマ/カウンタの比較一致を待たずに出力ピンを変更するのに使えます。比較一致が発生した場合と同様にCOM1A1とCOM1A0で設定された自動動作が起きますが、割り込みは発生せず、例えば**タイマ/カウンタ1制御レジスタB(TCCR1B)の一致解除(CTC1)ビット**が設定(1)されていても、タイマ/カウンタは解除されません。このピンの効果を得るには、対応するI/OピンがFOC1Aビットに対する出力ピンとして設定されなければなりません。FOC1Aビットは常に0として読みます。PWM動作でのFOC1Aビット設定は無効です。

• ビット2 – FOC1B : OC1B比較出力強制変更 (Force Output Compare 1B)

このビットへの論理1書き込みは既に設定された**比較1B出力制御(COM1B1,COM1B0)ビット**の設定に従って、比較一致出力ピンOC1B(PD4)を強制的に変更します。COM1B1とCOM1B0ビットがFOC1Bと同じ周期で書かれる場合、この新しい設定は次の比較一致か強制的な比較一致出力が起こるまで有効になりません(つまり無効)。この比較出力強制ビットはタイマ/カウンタの比較一致を待たずに出力ピンを変更するのに使えます。比較一致が発生した場合と同様にCOM1B1とCOM1B0で設定された自動動作が起きますが、割り込みは生成されません。このピンの効果を得るには、対応するI/OピンがFOC1Bビットに対する出力ピンとして設定されなければなりません。FOC1Bビットは常に0として読みます。PWM動作でのFOC1Bビット設定は無効です。

• ビット1,0 – PWM11,0 : PWM動作選択 (Pulse Width Modulator Select bit 1 and 0)

これらのビットは表18.に示されるタイマ/カウンタ1のPWM動作を選びます。この動作は42頁で記述されます。

表18. PWM動作選択

PWM11	PWM10	意味
0	0	PWM動作禁止
0	1	8ビットPWM
1	0	9ビットPWM
1	1	10ビットPWM

タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	ICNC1	ICES1	—	—	CTC1	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – ICNC1 : 捕獲起動入力雑音除去 (Input Capture1 Noise Canceler)

ICNC1ビットが解除(0)されると、捕獲起動入力の雑音除去機能が禁止されます。捕獲は説明されたように、捕獲起動入力:ICP(PD6)ピンで採取された最初の上昇端/下降端で起動されます。ICNC1が設定(1)されると、ICP(PD6)ピンで連続する4回の採取が揃い、全ての採取がICES1ビットでの捕獲起動条件設定に対応するHigh/Lowでなければなりません。実際の採取周波数はXTAL(システム)クロック周波数です。

• ビット6 – ICES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

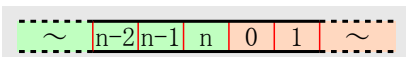
ICES1が解除(0)されている間中、**タイマ/カウンタ1**の内容は捕獲起動入力:ICP(PD6)ピンの下降端で**捕獲レジスタ(ICR1)**へ転送されます。ICES1ビットが設定(1)されている間中、**タイマ/カウンタ1**の内容は捕獲起動入力:ICP(PD6)ピンの上昇端で捕獲レジスタ(ICR1)へ転送されます。

• ビット5,4 – Res : 予約 (Reserved)

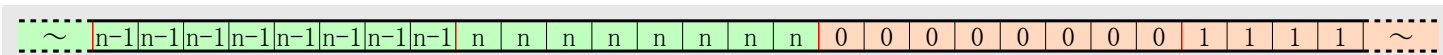
これらのビットは予約されており、常に0として読みます。

• ビット3 – CTC1 : 一致解除許可 (Clear Timer/Counter1 on Compare Match)

CTC1制御ビットが設定(1)されると、**タイマ/カウンタ1**は比較A一致後のクロック周期で\$0000にリセットされます。CTC1制御ビットが解除(0)されると、**タイマ/カウンタ1**は比較一致による影響を受けず、計数動作を続けます。前置分周値が1で、比較Aレジスタ(OCR1A)にnが設定されているとき、CTC1が設定(1)されていると、**タイマ/カウンタ1**は次のように計数します。



前置分周器がCK/8分周に設定されていると、**タイマ/カウンタ1**は次のように計数します。



PWM動作でのこのビットは異なる機能を持ちます。PWM動作でCTC1ビットが解除(0)されると、**タイマ/カウンタ1**は上昇/下降計数器として動作します。CTC1ビットが設定(1)されると、**タイマ/カウンタ1**は上限値(TOP)に達すると\$0000に戻ります(上昇計数器)。詳細な記述については42頁を参照してください。

• ビット2~0 – CS12~0 : クロック選択1 (Clock Select1, bit 2,1 and 0)

このクロック選択1ビット2~0は**タイマ/カウンタ1(TCNT1)**に供給するクロックを定義します。

表19. タイマ/カウンタ1入力クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ1は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T1(PB1)ピンの下降端
1	1	1	外部T1(PB1)ピンの上昇端

停止状態はタイマ/カウンタの動作許可/禁止機能を提供します。CKが分周される動作では発振器クロックCKから直接的に分周されます。**タイマ/カウンタ1**に外部ピン動作が使われる場合、T1(PB1)が出力として設定されていても、このピン上の変移はカウンタを駆動します。この特徴が計数動作のソフトウェア制御を可能にします。

タイマ/カウンタ1 (Timer/Counter1) TCNT1H, TCNT1L (TCNT1)

ビット	15	14	13	12	11	10	9	8	
\$2D (\$4D)	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)								(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この16ビットレジスタは16ビットのタイマ/カウンタ1の前置分周された値を含みます。CPUがこれらのレジスタをアクセスするとき、上位と下位のバイトの両方が同時に読み書きされることを保証するため、このアクセスは8ビットの一時レジスタ(TEMP)を使って実行されます。この一時レジスタは、比較レジスタ(OCR1A, OCR1B)や捕獲レジスタ(ICR1)をアクセスするときにも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

• タイマ/カウンタ1(TCNT1)書き込み (Timer/Counter1 Write)

CPUが上位バイト(TCNT1H)に書くとき、書かれたデータは一時レジスタ(TEMP)に置かれます。次にCPUが下位バイト(TCNT1L)に書くとき、TEMP内のバイトデータと組み合わせられ、16ビット全てがタイマ/カウンタ1(TCNT1)へ同時に書かれます。従って、完全な16ビットレジスタ書き込み操作では、**上位バイト(TCNT1H)が先にアクセス**されなければなりません。

• タイマ/カウンタ1(TCNT1)読み込み (Timer/Counter1 Read)

CPUが下位バイト(TCNT1L)を読むとき、下位バイト(TCNT1L)のデータがCPUへ送られ、上位バイト(TCNT1H)のデータが一時レジスタ(TEMP)に置かれます。CPUが上位バイト(TCNT1H)を読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビットレジスタ読み込み操作では、**下位バイト(TCNT1L)が先にアクセス**されなければなりません。

タイマ/カウンタ1は読み書き可能な上昇または上昇/下降(PWM動作時)カウンタとして実現されます。クロック供給元が選ばれ、タイマ/カウンタ1が書かれると、タイマ/カウンタ1は書かれた値を設定後、次のタイマ/カウンタ1クロック周期で計数を開始/継続します。

タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register A) OCR1AH,OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
\$2B (\$4B)	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)								(LSB)	OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register B) OCR1BH,OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
\$29 (\$49)	(MSB)								OCR1BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)								(LSB)	OCR1BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタは読み書き可能な16ビットのレジスタです。

このタイマ/カウンタ1比較レジスタ(OCR1A,OCR1B)はタイマ/カウンタ1(TCNT1)と継続的に比較されるべきデータを保持します。比較一致での動作はタイマ/カウンタ1の制御と状態のレジスタで詳細に示されます。タイマ/カウンタレジスタへのソフトウェア書き込みは次のタイマ/カウンタクロック周期での比較一致を妨げます。これはタイマ/カウンタ初期化時、即時の割り込みを防止します。

比較一致は比較での出来事に続くCPUクロック周期で比較一致割り込み要求フラグ(OCF1A, OCF1B)を設定(1)します。

この比較レジスタ(OCR1AとOCR1B)が16ビットレジスタなので両方のバイトが同時に更新されるのを保証するために、OCR1A/Bが書かれる時には一時レジスタ(TEMP)が使われます。CPUが上位バイト(OCR1AHまたはOCR1BH)に書くとき、データはTEMP内に保存されます。CPUが下位バイト(OCR1ALまたはOCR1BL)に書くとき、TEMPの値が同時に上位バイト(OCR1AHまたはOCR1BH)へ書かれます。従って、完全な16ビットレジスタの書き込み操作では、上位バイト(OCR1AHまたはOCR1BH)が先に書かれなければなりません。

この一時レジスタはタイマ/カウンタ1(TCNT1)や捕獲レジスタ(ICR1)にアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 捕獲レジスタ (Timer/Counter1 Input Capture Register) ICR1H,ICR1L (ICR1)

ビット	15	14	13	12	11	10	9	8	
\$27 (\$47)	(MSB)								ICR1H
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)								(LSB)	ICR1L
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

捕獲レジスタは読み込みのみ可能な16ビットのレジスタです。

捕獲起動入力:ICP(PD6)ピンでタイマ/カウンタ1制御レジスタB(TCCR1B)の捕獲起動入力選択(ICES1)に従った信号の上昇端/下降端が検出されると、現在のタイマ/カウンタ1(TCNT1)の値が捕獲レジスタ(ICR1)に転送されます。同時にタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)の捕獲割り込み要求フラグ(ICF1)が設定(1)されます。

この捕獲レジスタ(ICR1)が16ビットレジスタなので、両方のバイトが同時に読まれるのを保証するために、ICR1が読まれる時には一時レジスタ(TEMP)が使われます。CPUが下位バイト(ICR1L)を読むとき、そのデータがCPUへ送られ、上位バイト(ICR1H)のデータがTEMPに置かれます。CPUが上位バイト(ICR1H)のデータを読むとき、CPUはTEMP内のデータを受け取ります。従って、完全な16ビットレジスタ読み込み操作では、下位バイト(ICR1L)が先に読まれなければなりません。

この一時レジスタはタイマ/カウンタ1(TCNT1)や比較レジスタ(OCR1A,OCR1B)にアクセスする時にも使われます。主プログラムと割り込みルーチンがTEMPを使うレジスタにアクセスする場合、主プログラムや(多重割り込みを許す)割り込みルーチンからのアクセス中、割り込みは禁止されなければなりません。

タイマ/カウンタ1 PWM動作

PWM動作が選ばれると、**タイマ/カウンタ1(TCNT1)**、**比較レジスタ(OCR1A)**、**比較レジスタ(OCR1B)**は自由走行動作で不具合のない位相基準の8,9または10ビット PWMとOC1A(PD5)とOC1B(PD4)ピン出力を形成します。この動作種別ではタイマ/カウンタ1は昇降計数器として動作し、\$0000からTOP(上限値:表20.参照)まで上昇計数して、その区間が繰り返される前に向きを変えて再び\$0000まで下降計数します。タイマ/カウンタ1値がOCR1AまたはOCR1Bの最下位側8,9または10ビット(分解能に依存)の内容と一致すると、OC1A(PD5)またはOC1B(PD4)ピンは**タイマ/カウンタ1制御レジスタA(TCCR1A)の比較A出力選択(COM1A1,COM1A0)**または**比較B出力選択(COM1B1,COM1B0)**の設定に従って設定(High)または解除(Low)されます。詳細については表22.を参照してください。

代わりにタイマ/カウンタ1は上記種別の倍速で動作するPWMに設定できます。その時、タイマ/カウンタ1、比較レジスタ(OCR1A)、比較レジスタ(OCR1B)は自由走行動作で不具合のない8, 9または10ビットPWMとOC1A(PD5)とOC1B(PD4)ピン出力を形成します。

表20.で示されるように、このPWMは8,9または10ビット分解能のどれかで動作します。TCNT1,OCR1A,OCR1Bの未使用ビットはハードウェアによって自動的に0が書かれることに留意してください。例えば、9ビット分解能PWMが選ばれる場合、TCNT1,OCR1A,OCR1Bのビット15~9は0に設定されます。これは3つの分解能種別のどれでも、未使用ビットを無関係として取り扱う、読み-変更-書き操作の実行を可能にします。

表20. PWM分解能対計数上限(TOP)値、PWM周波数の関係

PWM11	PWM10	PWM分解能	計数上限(TOP)値	PWM周波数	
				CTC1=0	CTC1=1
0	1	8ビット	\$00FF (255)	f _{TCK1} /510	f _{TCK1} /256
1	0	9ビット	\$01FF (511)	f _{TCK1} /1022	f _{TCK1} /512
1	1	10ビット	\$03FF (1023)	f _{TCK1} /2046	f _{TCK1} /1024

f_{TCK1}=タイマ/カウンタ1のクロック入力周波数

(訳注) 原書の表21.は内容が表20.と重複するため省略しました。これに伴い本文中の参照表番号も変更されています。

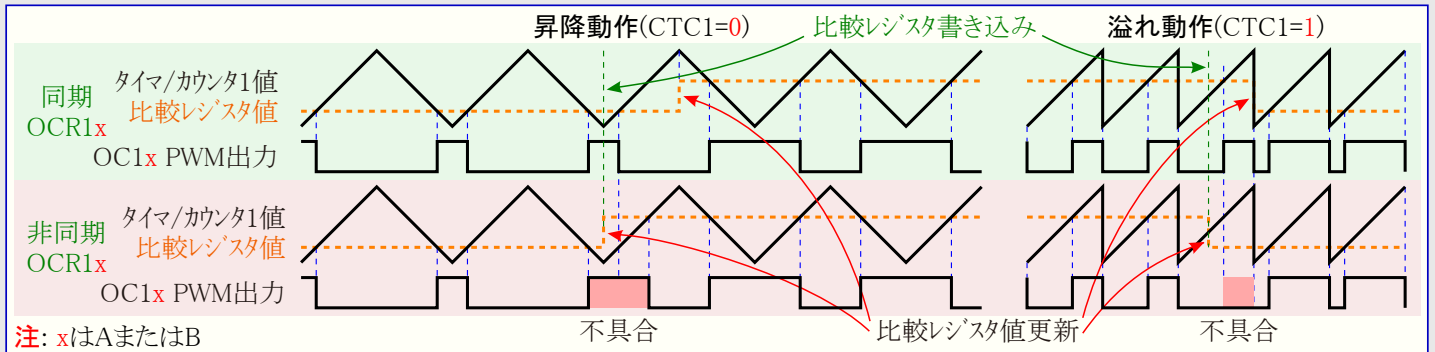
表22. PWM出力選択 (比較出力選択と兼用)

COM1x1	COM1x0	CTC1	OC1A(PD5)またはOC1B(PD4)出力
0	X	X	OC1x出力切断 (PD5またはPD4は標準I/Oとして動作)
1	0	0	上昇計数時の一致で解除(Low)、下降計数時の一致で設定(High) [非反転出力]
	1		上昇計数時の一致で設定(High)、下降計数時の一致で解除(Low) [反転出力]
	0	1	比較一致で解除(Low)、溢れで設定(High) [非反転出力]
	1		比較一致で設定(High)、溢れで解除(Low) [反転出力]

注: xはAまたはB

PWM動作では比較レジスタ(OCR1A/OCR1B)が書かれる時に最下位側8, 9または10ビット(分解能に依存)が一時領域へ転送されることに注意してください。これらはタイマ/カウンタ1(TCNT1)が上限値(TOP)に到達する時に比較レジスタへ設定されます。これはOCR1A/OCR1B非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図38.を参照してください。

図35. OCR1xの同期/非同期設定 (訳注:原書の図38.と図39.は図38.として統合しました。)



書き込みと実際の設定間の期間中、OCR1AまたはOCR1B読み込みは一時領域の内容が読まれます。これは常に最も最近書かれた値がOCR1A/OCR1Bの読み出しとなることを意味します。

昇降PWM動作が選ばれ、OCR1A/OCR1Bが\$0000または上限値(TOP)を含むと、OC1A/OC1B出力は次の比較一致で、TCCR1AのCOM1A1とCOM1A0またはCOM1B1とCOM1B0の設定に従ってHighまたはLowに更新/保持されます。これは表23.で示されます。溢れPWM動作でのOC1A/OC1B出力は比較レジスタが上限(TOP)値の時だけHighまたはLowに保持されます。

昇降PWM動作ではタイマ/カウンタ1が\$0000から進む時に**タイマ/カウンタ1溢れ(TOV1)フラグ**が設定(1)されます。溢れPWM動作でのタイマ/カウンタ1溢れフラグは通常のタイマ/カウンタ動作のように設定(1)されます。タイマ/カウンタ1溢れ割り込みは通常動作、換言すると、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**と**タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビット**が許可されていれば、TOV1が設定(1)される時に割り込みが実行されるように、正確に動作します。これは比較一致割り込み(OCF1A, OCF1B)フラグと割り込みについても適用されます。

表23. 上限(TOP)値、下限値でのPWM出力

COM1x1	COM1x0	OCR1x	OC1x出力
1	0	\$0000	L
		上限値	H
1	1	\$0000	H
		上限値	L

注: 1. x=AまたはB

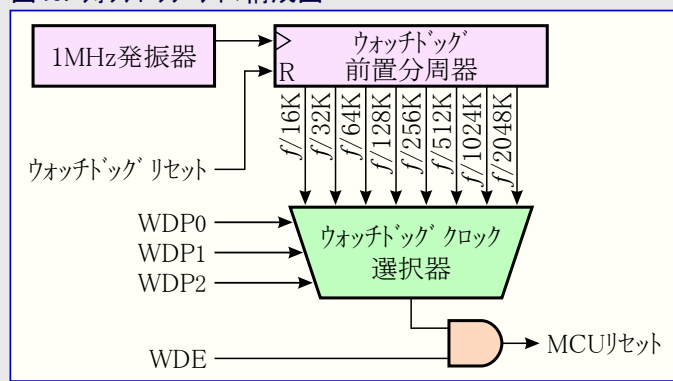
2. 溢れPWM動作では上の表のOCR1x=TOPについてのみ有効です。

ウォッチドッグ タイマ

このウォッチドッグ タイマは1MHzで動作する独立した内蔵発振器から駆動されます。この周波数はVCC=5Vでの代表値です。他の電源電圧での代表値については**特性データ**を参照してください。ウォッチドッグ タイマの前置分周器を制御することによってウォッチドッグ リセット周期は調整できます。詳細説明については**表24**を参照してください。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。ウォッチドッグ タイマがMCUをリセットしないように防ぐため、2つのWDR命令間の最大周期を決めるのに8つの異なるクロック周期が選ばれます。WDR命令なしで、このリセット周期が経過すると、ATmega323はリセットし、リセットベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては**19**頁を参照してください。

予期せぬウォッチドッグ 禁止を防止するため、ウォッチドッグ が禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの説明を参照してください。

図40. ウォッチドッグ タイマ構成図



ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCSR

ビット	7	6	5	4	3	2	1	0	
\$21 \$(41)	—	—	—	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～5 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット4 – WDT0E : ウォッチドッグ 停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ 許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグ は禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に解除します。ウォッチドッグ 禁止手順については、WDEビットの記述を参照してください。

• ビット3 – WDE : ウォッチドッグ 許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ 停止移行許可(WD0E)ビットが設定(1)されている場合のみ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WD0EとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック周期以内に、WDEへ論理0を書きます。これがウォッチドッグ を禁止します。

• ビット2～0 – WDP2～0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2～0は、ウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は**表24**に示されます。

表24. ウォッチドッグ 前置分周選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間はVCC電圧に依存し、1.9～3.8msの範囲です。詳細については表25をご覧ください。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。厳重に濾波した電源では、電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの条件下のCPU動作は、プログラムカウンタに予期せぬ分岐を実行させるかもしれない、結果的にEEPROM書き込みコードを実行する原因になります。この場合、完全にEEPROMを保護するために外部低電圧リセット回路または**内蔵低電圧検出(BOD)**の使用が推奨されます。

不測のEEPROM書き込みを防ぐため、特別な書き込み手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ(EECR)**」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止されます。EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止されます。

EEPROMアドレス レジスタ (EEPROM Address Register) EEARH,EEARL (EEAR)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	–	–	–	–	–	–	EEAR9	EEAR8	EEARH
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	不定	不定	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

• ビット15～10 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット9～0 – EEAR9～0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEARHとEEARL)は1KバイトのEEPROM空間のEEPROMアドレスを指定します。EEPROMデータのバイトは0～1023間で直線的に配置されています。EEARの初期値は不定です。EEPROMがアクセスされる前に正しい値が書かれなければなりません。

EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレスレジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	–	–	–	–	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

• ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとこのEERIEが設定(1)されると、EEPROM操作可割り込みが許可されます。解除(0)されると、この割り込みは禁止されます。EEWEが解除(0)されていると、EEPROM操作可割り込みは継続する割り込みを発生します。

• ビット2 – EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)

このEEMWEビットは、EEPROM書き込み許可(EEWE)ビットの1設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEWEの1設定は選ばれたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「**書き込み許可(EEWE)ビット**」の記述をご覧ください。

•ビット1 – EEW: EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EWE)はEEPROMへの書き込みストローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEWEビットを設定(1)しなければなりません。論理1がEWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならず、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2.と3.の順番は重要ではありません)。

1. EEPROM書き込み許可(EWE)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEARHとEEARL)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EWE)ビットへ論理1を書きます。

警告: 手順4.と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARかEEDRが変更されると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順2.～5.の間中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み時間(表25.参照)が経過してしまうと、EWEビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

•ビット0 – EERE: EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEWEビットをポーリングすべきです。書き込み動作が実行中の場合、EEREビットを設定(1)することもEEARを変更することもできません。

EEPROM書き込みアクセスの時間に校正付き内蔵RC発振器が使われます。右の表はCPUからのEEPROMアクセスについて代表的な書き込み時間を示します。

表25. EEPROM書き込み時間

項目	校正付きRC発振器クロック数	最小	最大
EEPROM書き込み(CPUから)	2048	1.9ms	3.8ms

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。これは動作電圧が検出電圧と一致する場合、内蔵低電圧検出器(BOD)を許可することにより行えます。一致しない場合、外部低VCCリセット保護回路が使えます。書き込み動作実行中にリセットが起きる場合、電源電圧が充分ならば、その書き込み動作は完了されます。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュメモリに定数を格納します。CPUからのフラッシュメモリ書き込みが許されるために設定されるブート施錠ビットとフラッシュメモリ書き込みを支援するブートローダソフトウェアを除いて、フラッシュメモリはCPUによって更新されることができません。詳細については118頁の「ブートローダ支援」をご覧ください。

直列周辺インターフェース (SPI: Serial Peripheral Interface)

直列周辺インターフェースはATmega323と多くのAVRデバイスや周辺デバイス間の高速同期データ転送を行います。SPIは次の特徴を含みます。

- 3線式全二重同期通信
- 主装置/従装置動作
- LSB/MSB先行のデータ通信
- 7つの設定変更可能なビット速度
- 送信終了割り込み
- 送信上書き検出
- **アイドル動作からの起動復帰**
(従装置動作のみ)
- 倍速(CK/2)主装置動作

SPIでの主装置と従装置CPU間の相互連結は図42.で示されます。SCK(PB7)ピンは主装置動作でのクロック出力、従装置動作でのクロック入力です。主装置CPUのSPIデータレジスタ(SPDR)書き込みはSPIクロック発生器を起動し、書かれたデータがMOSI(PB5)ピンへ移動出力され、従装置CPUのMOSI(PB5)ピンへ移動入力されます。1バイト移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の送信終了フラグ(SPIF)が設定(1)されます。SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置選択入力SS(PB4)は個々の従装置SPIデバイスを選択するためLowに設定します。主装置と従装置の2つの移動レジスタは分配された1つの循環型16ビット長移動レジスタと見做せます。これは図42.で示されます。主装置から従装置へデータが移動されるとき、同時にデータは逆方向にも移動されます。これは1移動周期中に主装置と従装置のデータが交換されることを意味します。

このシステムは送信方向が単一緩衝、受信方向が2重緩衝です。これは移動周期全てが完了される前に送信すべきバイトをSPIデータレジスタ(SPDR)に書けないことを意味します。しかし、データ受信時、次のバイトが完全に移動入力されてしまう前に受信されたバイトがSPIデータレジスタ(SPDR)から読まれなければなりません。そうしないと、最初のバイトが失われます。

SPIが許可されると、MOSI, MISO, SCK, SSピンのデータ方向は表26.に従って強制されます。

図41. SPI構成図

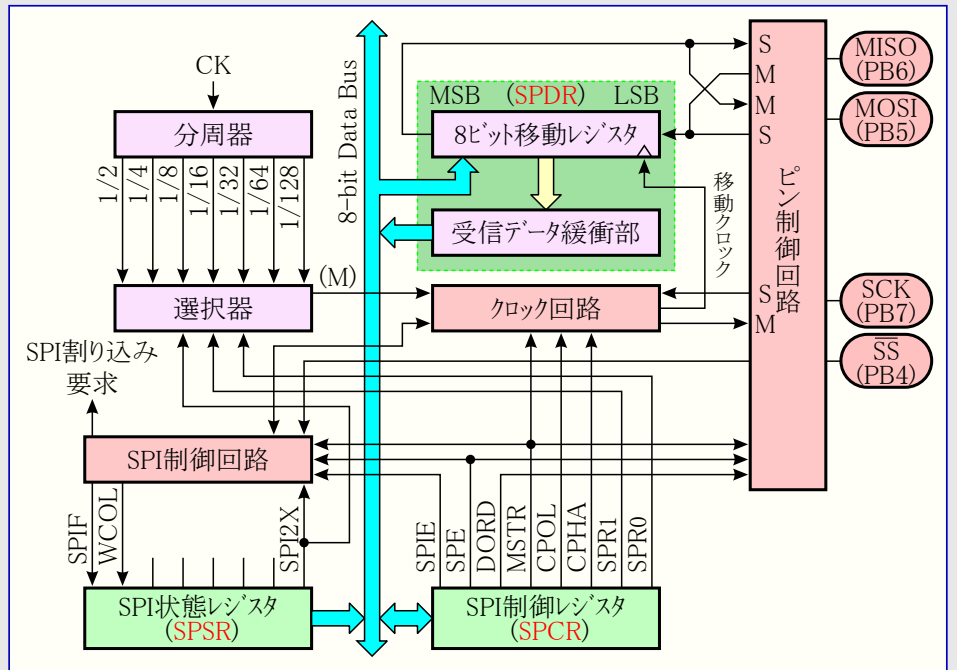


図42. SPI主装置/従装置の連結

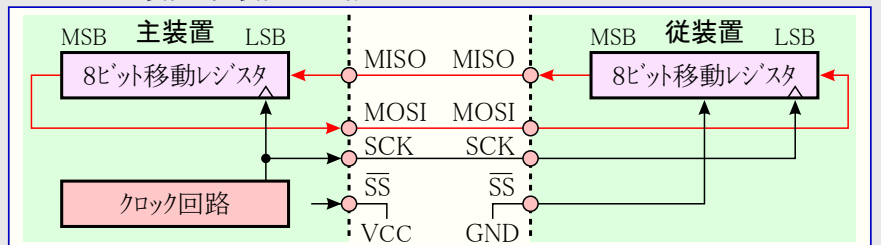


表26. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートB方向レジスタ(DDRB)の指定	入力
MISO	入力	ポートB方向レジスタ(DDRB)の指定
MOSI	ポートB方向レジスタ(DDRB)の指定	入力
SS	ポートB方向レジスタ(DDRB)の指定	入力

注: DDRBの指定については95頁の「ポートBの交換機能」を参照してください。

SSピンの機能

SPI制御レジスタ(SPCR)の主装置(MSTR)ビットの設定(1)でSPIが主装置として設定されると、使用者がSSピンの方向を決められます。SSが出力として設定されると、このピンはSPIシステムに影響を及ぼさない標準出力です。SSが入力として設定されると、SPI主装置動作を保証するため、それはHighを保持しなければなりません。SPIが主装置として設定され、SSピンが入力として定義される時にSSピンが周辺回路によってLowに駆動されると、他の主装置が従装置としてSPIを選び、データの送出を始めると解釈します。バスの衝突を避けるため、SPIシステムは次の動作を行います。

1. SPI制御レジスタ(SPCR)の主装置(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIが従装置になる結果、MOSIとSCKピンは入力になります。
2. SPI状態レジスタ(PSR)のSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていれば、割り込み処理ルーチンが実行されます。

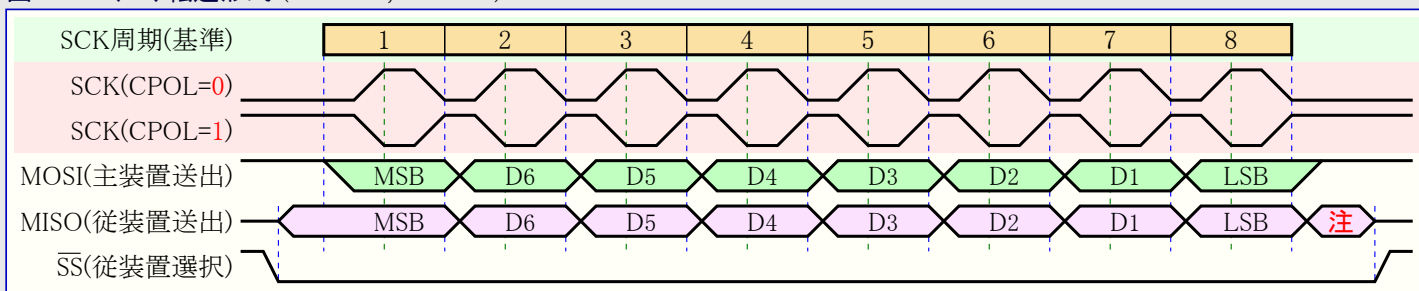
従って、割り込み駆動SPI送信が主装置動作で使われ、SSがLowに駆動される可能性があるとき、割り込み処理はMSTRビットが未だ設定(1)されているかを常に検査すべきです。一旦MSTRビットが従装置選択によって解除(0)されてしまうと、SPI主装置動作を再び許可するため、それは使用者によって設定(1)されなければなりません。

SPIが従装置として設定されると、SSピンは常に入力です。SSがLowに保持されると、SPIは活性化され、MISOは使用者によってそのよう(出力)に設定されるなら出力になります。他の全ピンは入力です。SSがHighに駆動されると、出力として使用者設定され得るMISOを除く全ピンが外部的に inputs で、SPIは到着データを受信しないことを意味する受動状態です。一旦SSピンがHighにされると、SPI回路がリセットすることに注意してください。送信中にSSピンがHighにされると、SPIは直ちに送受信を停止し、送受信両方のデータが失われるとみなさなければなりません。

データ転送形式

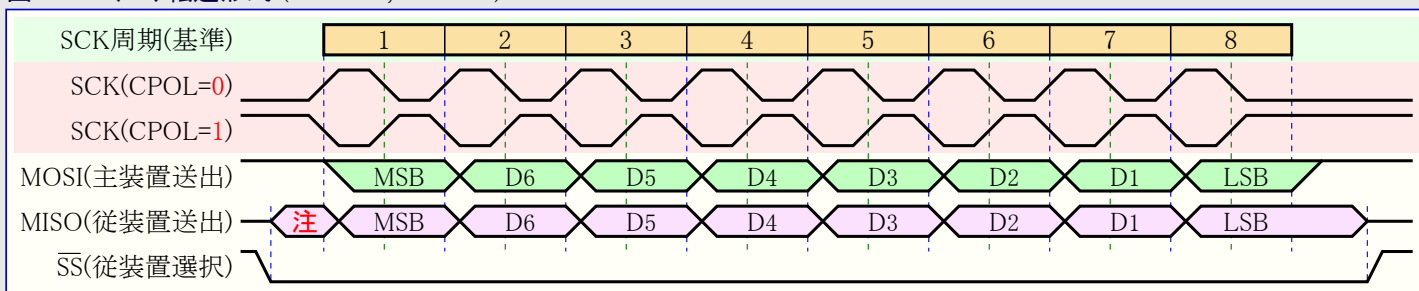
直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)ビットとSCK極性(CPOL)ビットで決められるSCKの位相と極性での4つの組み合わせがあります。SPIデータ転送形式は図43と図44で示されます。

図43. SPIデータ転送形式 (CPHA=0,DORD=0)



注: 未定義ですが、通常、受信されたデータのMSBです。

図44. SPIデータ転送形式 (CPHA=1,DORD=0)



注: 未定義ですが、通常、直前に送出されたデータのLSBです。

SPIデータレジスタ (SPI Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータレジスタはSPI移動レジスタと汎用レジスタ間のデータ転送に使われる読み書きレジスタです。このレジスタへ書くとデータ送信を開始します。このレジスタを読むと移動レジスタの受信緩衝部を読みます。

SPI状態レジスタ (SPI Status Register) SPSR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	SPIF	WCOL	—	—	—	—	—	SPI2X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIF : SPI割り込み要求フラグ (SPI Interrupt Flag)

直列転送が完了すると、このSPIFが設定(1)され、**SPI制御レジスタ(SPCR)のSPI割り込み許可(SPIE)ビット**と**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が共に設定(1)されていれば、割り込みが生成されます。SPIが主装置動作の時にSSが入力でLowに駆動されると、これもSPIFフラグを設定(1)します。SPIFは対応する割り込みベクタを実行すると、自動的に解除(0)されます。代わりに、SPIFが設定(1)されたSPSRを最初に読み、その後の**SPIデータレジスタ(SPDR)のアクセス**によっても、SPIFは解除(0)されます。

• ビット6 – WCOL : 上書き発生フラグ (Write Collision Flag)

データ転送中にSPIデータレジスタ(SPDR)が書かれると、このWCOLフラグが設定(1)されます。このWCOLフラグ(とSPIFフラグ)はWCOLが設定(1)されたSPI状態レジスタ(SPSR)を最初に読み、その後のSPIデータレジスタ(SPDR)のアクセスによって解除(0)されます。

• ビット5～1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

• ビット0 – SPI2X : SPI倍速許可 (Double SPI Speed Bit)

このビットが設定(1)されると、主装置動作時のSCK速度(周波数)が倍にされます(表27参照)。これは最小SCK周期が2 CPUクロック周期であることを意味します。SPIが従装置として設定されるとき、SPIは $f_{CK}/4$ 以下での動作のみ保証されます。

ATmega323のSPIインターフェースはフラッシュメモリやEEPROMの書き換え(読み書き)にも使われます。直列プログラミングと照合については131頁をご覧ください。

SPI制御レジスタ (SPI Control Register) SPCR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – SPIE : SPI割り込み許可 (SPI Interrupt Enable)

全割り込みが許可(SREGのI=1)され、**SPI状態レジスタ(SPSR)のSPI割り込み要求フラグ(SPIF)**が設定(1)される場合、このビットがSPI割り込みを実行させます。

• ビット6 – SPE : SPI許可 (SPI Enable)

SPEビットが設定(1)されるとSPIが許可されます。どのSPI操作でも、可能とするには、このビットが設定(1)されなければなりません。

• ビット5 – DORD : データ順選択 (Data Order)

DORDビットが設定(1)されるとLSBから送受信されます。DORDビットが解除(0)されるとMSBから送受信されます。

• ビット4 – MSTR : 主装置/従装置選択 (Master/Slave Select)

このビットは設定(1)されると主装置SPI動作、解除(0)されると従装置SPI動作を選びます。SSピンが入力として設定され、MSTRが設定(1)されている間にLowへ駆動されると、MSTRは解除(0)され、SPI状態レジスタ(SPSR)の**SPI割り込み要求フラグ(SPIF)**が設定(1)になります。SPI主装置動作を再び許可するには、その後MSTRを設定(1)しなければなりません。

• ビット3 – CPOL : SCK極性選択 (Clock Polarity)

このビットが設定(1)されるとSCKはアイドル時にHighとなります。CPOLが解除(0)されるとSCKはアイドル時にLowとなります。付加情報については図43と図44を参照してください。

• ビット2 – CPHA : SCK位相選択 (Clock Phase)

このビットの機能については図43と図44を参照してください。

• ビット1,0 – SPR1,0 : クロック選択 (SPI Clock Rate Select 1 and 0)

これら2ビットは主装置として設定されるデバイスのSCK速度を制御します。従装置でのSPR1,0は無効です。SCKと発振器周波数(f_{CK})間の関連は右表で示されます。

表27. SCK速度選択 (f_{CK} =発振器周波数)

SPR1	0		0		1		1	
SPR0	0		1		0		1	
SPI2X	1	0	1	0	1	0	1	0
SCK周波数	f _{CK} /2	f _{CK} /4	f _{CK} /8	f _{CK} /16	f _{CK} /32	f _{CK} /64		f _{CK} /128

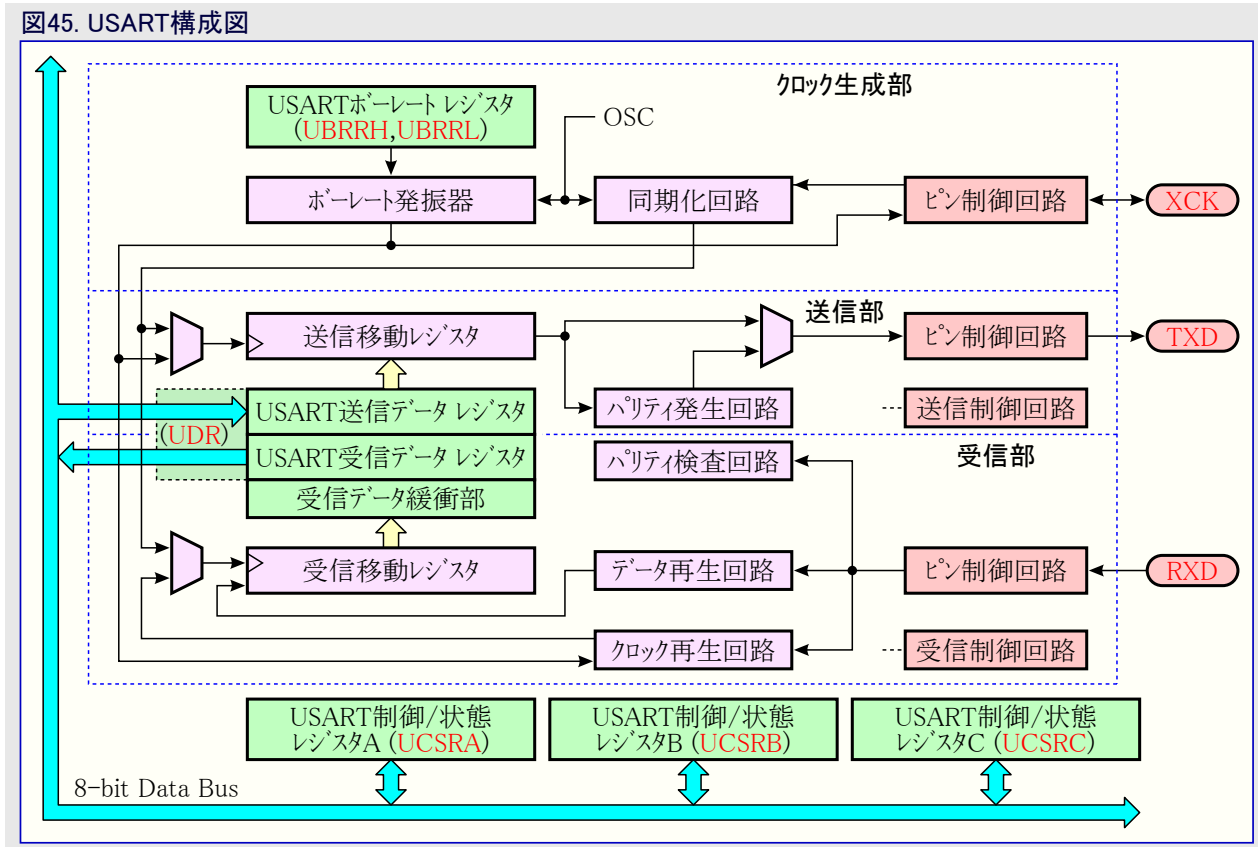
USART

USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は、高い柔軟性をもつ直列通信機能です。主な機能を次に示します。

- 全二重動作 (送受信独立同時動作)
- 同期または非同期動作
- 同期動作時、主装置/従装置動作
- 高分解能ボーレート発振器
- 5, 6, 7, 8または9ビットデータと、1または2停止ビット
- ハードウェアによる奇数または偶数パリティの生成と検査
- オーバーラン検出
- フレーミング異常検出
- デジタル低域通過濾波器と不正開始ビット検出による雑音濾波器
- 受信完了、送信完了、送信データレジスタ空き、の3つの分離された割り込み
- 複数プロセッサ通信機能
- 倍速非同期通信動作機能

概要

USART送受信部の簡略化された構成図は図45.で示されます。CPUがアクセス可能なレジスタとピンを赤字で示されます。



構成図上の破線で分けられた(上から)、クロック生成部、送信部、受信部がUSARTの3つの主要部分です。制御レジスタは各部によって共用されます。**クロック生成部**はボーレート発振器と同期従装置動作で使われる外部クロック入力(の同期化回路)で構成されます。転送クロック(XCK)ピンは同期転送動作によってのみ使われます。送信部は単一の書き込み(送信データ)緩衝部、直列移動レジスタ、パリティ発生回路、異なる**フレーム形式**の操作を行う制御回路で構成されます。送信データ緩衝部はフレーム間のどんな遅れもなしにデータの継続転送を許します。受信部はクロックとデータの再生回路のため、USART内で最も複雑な部分です。再生回路は非同期データ受信で使われます。再生回路に加えて、受信部は2重の受信データ緩衝部(UDR)、移動レジスタ、パリティ検査回路、制御回路を含みます。受信部は送信部と同じフレーム形式を支援し、**フレーミング異常**、**オーバーラン異常**、**パリティ異常**を検出できます。

USARTピンの配置

表28. はATmega323固有のUSARTピン配置を示します。

XCKがPB0に配置されるため、以降のDDR_XCKはDDB0を指します。

表28. USARTピンの配置

USARTピン名	対応するポートピン名
RXD	PD0
TXD	PD1
XCK	PB0

コード例について

このUSART文書はUSARTの使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立って、デバイス定義ヘッダファイルがインクルードされていると仮定します。全てのCコンパイラ業者がヘッダファイル内にビット定義を含むとは限らず、またCでの割り込み操作はコンパイラに依存することに注意してください。これらはCコンパイラの資料で確認してください。

UARTとの互換性

USARTはAVRのUARTと次の項目に関して完全な互換性があります。

- 全てのUSART側レジスタでのビット位置
- ホーレート クロック生成
- 送信操作
- 送信緩衝の動作
- 受信操作

然ながら、受信緩衝部にはいくつかの特別な場合で互換性に影響を及ぼす2つの改良点があります。

- 第2受信緩衝部が追加されました。これら2つの緩衝レジスタは循環型FIFO緩衝部として動作します。従って、USARTデータレジスタ(UDR)はデータ到着毎に1度だけ読まなければなりません。より重要なことはフレーミング異常(FE)、オーバーラン発生(DOR)フラグと受信第9ビット(RXB8)が受信緩衝部内のデータと共に緩衝されることです。従って常に、USARTデータレジスタ(UDR)を読む前にこれらの状態ビットを読まなければなりません。そうしないと、緩衝部の状態が失われるため、異常情報が失われます。
- 受信移動レジスタは第3受信緩衝部を務めることができます。これは緩衝レジスタが一杯の場合、新規開始ビットの検出まで、受信移動レジスタ(図45. 参照)内に留まることが受信されたデータに許されることによって行われます。従って、USARTはオーバーラン発生(DOR)状態に、より強くなります。

次の制御ビットは名称変更されましたが、機能とビット位置は同じです。

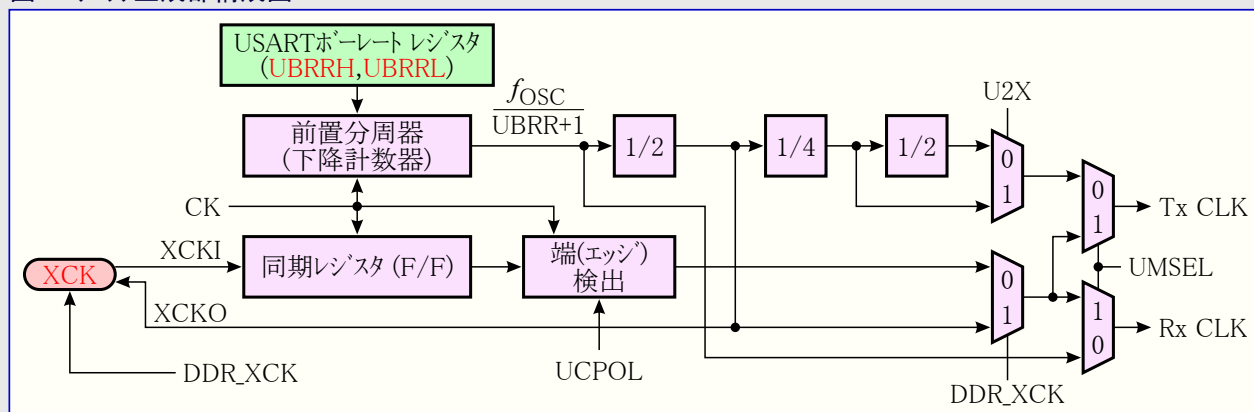
- 9ビット選択(CHR9)ビットはデータ長選択ビット2(UCSZ2)へ変更
- オーバーラン発生(OR)フラグはオーバーラン発生(DOR)フラグへ変更

クロック生成

クロック生成部は送受信部用の基準クロックを生成します。USARTは標準非同期、倍速非同期、同期主装置、同期従装置の4つのクロック動作を支援します。USART制御/状態レジスタC(UCSRC)のUSART動作種別選択(UMSEL)ビットは同期と非同期動作のどちらかを選択します。倍速動作(非同期動作時のみ)はUSART制御/状態レジスタA(UCSRA)の倍速許可(U2X)ビットによって制御されます。同期動作(UMSEL=1)使用時、XCKピン用の方向制御ビット(DDR_XCK)はクロック元が内部クロック(主装置動作)または外部クロック(従装置動作)のどちらかを制御します。XCKピンは同期動作使用時のみ有効です。

図46.はクロック生成部の構成図を示します。

図46. クロック生成部構成図



Tx CLK : 送信クロック (内部信号)
 Rx CLK : 受信クロック (内部信号)
 XCKI : XCKピンからの内部入力信号 (同期従装置時)
 XCKO : XCKピンへの内部出力信号 (同期主装置時)
 DDR_XCK : 対応するポート方向レジスタの方向ビット
 f_{OSC} : システムクロック周波数

ボーレート発振器での内部クロック発生

内部クロック生成は非同期動作と同期主装置動作で使われます。この項目の記述は図46.を参照します。

USARTボーレートレジスタ(UBRR(UBRRH:UBRRL))とそれに接続された下降カウンタは設定可能な前置分周器またはボーレート発振器として機能します。下降カウンタはシステムクロック(f_{OSC})で動作し、0への下降計数時毎、またはUBRRLレジスタへの書き込み時にUBRR値が設定されます。カウンタが0に到達する毎に1クロック(パルス)が生成されます。このクロックがボーレート発振器出力($=f_{OSC}/(UBRR+1)$)です。送信部は動作種別に応じてボーレート発振器出力を2,8,16分周します。ボーレート発振器出力は受信クロックとデータ再生回路によって直接使われます。しかし、この再生回路はUSART動作種別選択(UMSEL)ビット、倍速許可(U2X)ビット、DDR_XCKビットの状態によって設定される動作種別に依存する2,8,16段の順次処理回路を使います。

表29.は内部的に生成されたクロック元を使う各動作に於けるボーレート(bps)とUBRR値の計算式を含みます。

表29. ボーレートレジスタ(UBRR)値計算式

動作種別	ボーレート計算式	UBRR値計算式
標準速非同期動作 (U2X=0)	$BAUD = \frac{f_{OSC}}{16 \times (UBRR + 1)}$	$UBRR = \frac{f_{OSC}}{16 \times BAUD} - 1$
倍速非同期動作 (U2X=1)	$BAUD = \frac{f_{OSC}}{8 \times (UBRR + 1)}$	$UBRR = \frac{f_{OSC}}{8 \times BAUD} - 1$
同期主装置動作	$BAUD = \frac{f_{OSC}}{2 \times (UBRR + 1)}$	$UBRR = \frac{f_{OSC}}{2 \times BAUD} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BAUD : ボーレート (bps)
 UBRR : UBRRHとUBRRLレジスタ値 (0~4095)
 f_{OSC} : システム発振器クロック周波数

いくつかのシステムクロック周波数でのUBRR値の数例は65頁の表36.を参照してください。

倍速動作 (U2X)

USART制御/状態レジスタA(UCSRA)の倍速許可(U2X)ビットの設定(1)によって転送速度が倍にできます。このビットの設定は非同期動作に対してだけ有効です。同期動作使用時はこのビットを0に設定してください。

このビットの設定(1)で、ボーレート分周器の分周数が16から8に減り、結果的に非同期通信転送速度が倍になります。この場合、受信側ではデータとクロックの採取数が16から8に半減するだけですが、このため、この動作が使われる時にシステムクロックとボーレート設定の精度がより必要となることに注意してください。送信側についての悪化傾向はありません。

外部クロック

外部クロックは同期従装置動作で使われます。この項目の記述での詳細については図46を参照してください。

XCKピンからの外部クロック入力是不確定レベル状態(メタステーブル)の機会を最少とするため、同期化レジスタで採取されます。同期化レジスタからの出力は送受信部で使われる前に端(エッジ)検出回路を通過します。この処理手順が2 CPUクロック周期の遅延を引き起こし、このため最大外部クロック(XCK)周波数は次式によって制限されます。

$$f_{XCK} < \frac{f_{OSC}}{4}$$

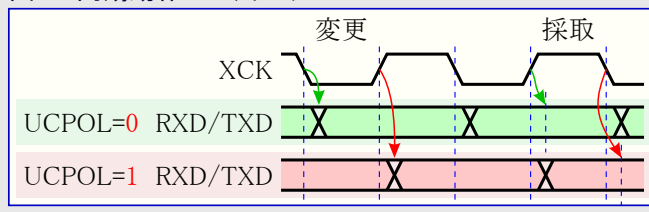
f_{OSC} がシステムクロック元の安定性に依存することに注意してください。従って周波数変動によるデータ損失の可能性を防止するため、ある程度の余裕分の追加が推奨されます。

同期クロック動作

同期動作(UMSEL=1)使用時、XCKピンはクロック入力(従装置時)またはクロック出力(主装置時)のどちらかに使用されます。データの採取または変更とクロック端間の依存性は同じです。基本原則はTXDピンのデータ出力変更端の逆端でRXDピンのデータ入力採取することです。

USART制御/状態レジスタC(UCSRC)のXCK極性(UCPOL)ビットはデータの変更と採取に使われるクロック端を選びます。図47.で示されるように、UCPOLビットが0のとき、XCKの下降端でデータが変更され、上昇端で採取されます。UCPOLビットが設定(1)されると、XCKの上昇端でデータが変更され、下降端で採取されます。

図47. 同期動作XCKタイミング



(訳注)

UCPOLの論理記述が他のデバイスと逆になっています。ATmega323のみ異なるのかまたは記述の誤りかは未確認です。

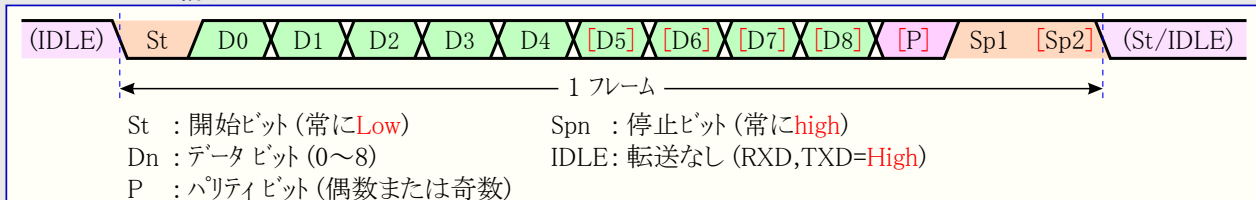
フレーム形式

1つのフレームは複数のデータビットと同期ビット(開始ビット、停止ビット)、任意の誤り検出用パリティビットで定義されます。USARTは有効なフレーム形式として、以下の組み合わせによる30種類全てを受け入れます。

- 1 開始ビット
- 5, 6, 7, 8, 9 ビット データ
- 奇数または偶数パリティビット、またはなし
- 1 または 2 停止ビット

フレームは開始ビットで始まり、次に最下位データビット(LSB)が続きます。その後データビットが最大合計9ビットまで続き、最後が最上位ビットです。許可されていればパリティビットがデータビットの後、停止ビットの前に挿入されます。完全なフレームが送信されると、直ちに新規フレーム送信とするか、または通信線をアイドル状態(high)にすることができます。図48.はフレーム形式の可能な組み合わせを示します。[] 付きビットは任意選択です。

図48. 1フレームの構成



USARTによって使われるフレーム形式はUSART制御/状態レジスタBとC(UCSRB,UCSRC)のデータ長選択(UCSZ2~0)ビット、パリティ選択(UPM1,0)ビット、停止ビット選択(USBS)ビットによって設定されます。受信部と送信部は同じ設定を使います。これらの何れかのビット変更が送受信両方に対して進行中の通信を不正とすることに注意してください。

UCSZ2~0ビットはフレーム内のデータビット長を選択します。UPM1,0ビットはパリティビットの有無と種別(奇/偶)を設定します。停止ビット数1か2かの選択はUSBSビットで行います。受信部は第2停止ビットを無視します。従って、フレーミング異常(FE)は最初の停止ビットが0(Low)の場合にだけ検出されます。

パリティビットの計算

パリティビットは全データビットの排他的論理和(Ex-OR)で計算されます。奇数パリティが使われる場合はこの結果が論理反転されます。パリティビットとデータビットの関連を次に示します。nはデータビット長です。

偶数パリティビット = $D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{Ex-OR } D_{n-1}$
 奇数パリティビット = $D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{Ex-OR } D_{n-1} \text{ Ex-OR } 1$

使われる場合のパリティビットは直列フレームの最後のデータビットと最初の停止ビット間に配置されます。

USARTの初期化

何れかの通信が行われるのに先立ってUSARTは初期化されなければなりません。標準的な初期化手順は使用方法に対応するボーレート設定、フレーム形式設定、送受信許可設定で構成されます。割り込み駆動USART操作に対する初期化を行うとき、[ステータスレジスタの全割り込み許可\(1\)ビット](#)を解除(0)し、全ての割り込みを禁止すべきです。

ボーレートまたはフレーム形式変更を伴う再初期化を行う前にはレジスタ変更期間中に送信動作が起きないことを確認します。[USART制御/状態レジスタA\(UCSRA\)](#)の[送信完了\(TXC\)フラグ](#)は送信部の全転送完了検査に使え、[受信完了\(RXC\)フラグ](#)は受信緩衝部内の未読データの有無検査に使えます。この目的にTXCフラグが使われる場合、各送信([USARTデータレジスタ\(UDR\)](#)書き込み)前にTXCフラグが解除(0)されていなければならないことに注意してください。

次の簡単なUSART初期化プログラム例は機能的に等しいアセンブリ言語とC言語の関数を示します。本例は固定フレーム形式でのボーリング(割り込み不許可)による非同期動作との仮定です。ボーレート(UBRR)値は関数の引数として与えられます。アセンブリ言語ではR17:R16レジスタに設定されると仮定されています。[USART制御/状態レジスタC\(UCSRC\)](#)へ書くとき、[ボーレートレジスタ上位\(UBRRH\)](#)とUCSRCがI/O位置を共有しているため、[レジスタ選択\(URSEL\)ビット](#)が設定(1)されなければなりません。

アセンブリ言語プログラム例

```
USART_Init: OUT    UBRRH, R17                ;ボーレート設定(上位バイト)
            OUT    UBRRL, R16                ;ボーレート設定(下位バイト)
            LDI    R16, (1<<URSEL) | (1<<USBS) | (3<<UCSZ0) ;フレーム形式値を取得
            OUT    UCSRC, R16                ;フレーム形式設定(8ビット,2停止ビット)
            LDI    R16, (1<<RXEN) | (1<<TXEN) ;送受信許可値を取得
            OUT    UCSRB, R16                ;送受信許可
            RET                                ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Init(unsigned int baud)
{
    UBRRH = (unsigned char) (baud>>8);      /* ボーレート設定(上位バイト) */
    UBRRL = (unsigned char) baud;            /* ボーレート設定(下位バイト) */
    UCSRC = (1<<URSEL) | (1<<USBS) | (3<<UCSZ0); /* フレーム形式設定(8ビット,2停止ビット) */
    UCSRB = (1<<RXEN) | (1<<TXEN);          /* 送受信許可 */
}
```

注: このプログラムはデバイス定義ファイルがインクルードされているという前提です。

割り込みの禁止や引数としてフレーム形式を含めるなどで、より進化した初期化ルーチンを作成できます。しかし、多くの応用プログラムではボーレートや制御レジスタの設定が固定的に使われ、これらの場合には初期化プログラムが主プログラムに直接記述されるか、他のI/Oの初期化と併記されます。

USARTのデータ送信

USART送信部は**USART制御/状態レジスタB(UCSRB)の送信許可(TXEN)ビット**の設定(1)によって許可されます。送信が許可されると、TXDピンの標準ポート機能がUSARTによって無効とされ、送信部の直列出力としての機能が与えられます。何かの送信を行う前に、一度はボーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKピンは標準ポート機能が無効になり、送信クロックとして使われます。

5〜8ビット データ フレーム送信

データ送信は送信データを送信緩衝部に設定することによって開始されます。CPUは**USARTデータレジスタ(UDR)**位置への書き込みによって送信緩衝部に設定できます。送信緩衝部内のデータは移動レジスタが新規フレームの送信可になった時に移動レジスタへ移されます。移動レジスタはアイドル状態(送信実行中以外)、または直前のフレーム送信の最後の停止ビット後直ちに次の新規データを設定されます。移動レジスタに新規データが設定されると、動作種別によって、**ボーレートレジスタ(UBRRH:UBRRL)**と**倍速許可(U2X)ビット**、またはXCKピンの外部クロックかによって与えられる速度で1つの完全なフレームを転送します。8ビット未満のデータビット長時、UDRに書き込まれた上位ビットは無効です。

USART制御/状態レジスタA(UCSRA)の送信データレジスタ空き(UDRE)フラグのポーリングによる簡単なUSART送信のプログラム例を次に示します。この関数が使われる前にUSARTは初期化されなければなりません。アセンブリ言語では送信データがR16レジスタに設定されると仮定されています。

アセンブリ言語プログラム例

```
USART_Tx:  SBIS    UCSRA, UDRE          ;送信緩衝部空きでスキップ
           RJMP    USART_Tx           ;送信緩衝部空き待機
;
           OUT     UDR, R16            ;データ送信(送信開始)
           RET                          ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned char data)
{
    while ( !(UCSRA & (1<<UDRE)) );    /* 送信緩衝部空き待機 */
    UDR = data;                          /* データ送信(送信開始) */
}
```

注: このプログラムはデバイス定義ファイルがインクルードされているという前提です。

この関数は新規送信データ設定前にUDREフラグの検査によって送信緩衝部が空くのを単に待ちます。送信緩衝部空き割り込みが利用される場合、その割り込み処理ルーチンが緩衝部内へデータを書きます。

9ビット データ フレーム送信

9ビット データ(UCSZ2〜0=111)が使われる場合、下位バイトがUSARTデータレジスタ(UDR)に書かれる前に第9ビットが**USART制御/状態レジスタB(UCSRB)の送信データビット8(TXB8)ビット**に書かれなければなりません。9ビット データ送信のプログラム例を次に示します。アセンブリ言語では送信データがR17:R16レジスタに設定されると仮定されています。

アセンブリ言語プログラム例

```
USART_Tx:  SBIS    UCSRA, UDRE          ;送信緩衝部空きでスキップ
           RJMP    USART_Tx           ;送信緩衝部空き待機
;
           CBI     UCSRB, TXB8         ;第9ビットを0に仮設定
           SBRC    R17, 0              ;送信すべき第9ビットが0でスキップ
           SBI     UCSRB, TXB8         ;第9ビットを1に設定
           OUT     UDR, R16            ;データ送信(送信開始)
           RET                          ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned int data)
{
    while ( !(UCSRA & (1<<UDRE)) );    /* 送信緩衝部空き待機 */
    UCSRB &= ~(1<<TXB8);               /* TXB8を0に仮設定 */
    if (data & 0x0100) UCSRB |= (1<<TXB8); /* 第9ビットをR17からTXB8へ複写 */
    UDR = data;                          /* データ送信(送信開始) */
}
```

注: これらのプログラムは一般的な記述です。UCSRB値が初期化後のように固定的な場合は最適化が可能です。

第9ビットは複数プロセッサ通信時のアドレス フレーム識別や、他の規約で例えば同期用として使うことができます。

送信フラグと割り込み

USART送信には状態を示すUSARTデータレジスタ空き(UDRE)と送信完了(TXC)の2つのフラグがあります。この両方のフラグ共割り込みを発生するために使えます。

USARTデータレジスタ空き(UDRE)フラグは送信緩衝部が新規データの受け入れ可能かどうかを示します。このビットは送信緩衝部が空の時に設定(1)され、移動レジスタに未だ移されていない送信すべきデータを送信緩衝部が含む時に解除(0)されます。将来のデバイスとの共通性のため、**USART制御/状態レジスタA(UCSRA)**の書き込み時、このビットへ常に0を設定してください。

USART制御/状態レジスタB(UCSRB)のデータレジスタ空き割り込み許可(UDRIE)ビットが設定(1)されると、(全割り込みが許可されているなら、)UDREが設定(1)されさえすれば、USARTデータレジスタ空き割り込みが実行されます。UDREは**USARTデータレジスタ(UDR)**書き込みによって解除(0)されます。割り込み駆動データ送信が使われるとき、データレジスタ空き割り込み処理ルーチンはUDREを解除(0)するために新規データをUDRに書くか、データレジスタ空き割り込みを禁止するかのどちらかを行わなければなりません。さもなければ、一旦割り込み処理ルーチンを終了しても新しい割り込みが継続的に発生してしまいます。

送信完了(TXC)フラグは送信移動レジスタがフレームを完全に移動し終わり、送信緩衝部に新規データが現在存在しない時に設定(1)されます。TXCフラグは送信完了割り込みの実行時、自動的に解除(0)され、またはこのビット位置に1を書くことでも解除(0)できます。このビットは送信完了後、直ちに通信回線を開放し、受信に移行しなければならない、(RS485のような)半二重(ハーフデュプレックス)通信で有用です。

UCSRBの**送信完了割り込み許可(TXCIE)ビット**が設定(1)されると、(全割り込みが許可されていれば、)TXCフラグが1になるとUSART送信完了割り込みが実行されます。送信完了割り込みが使われるとき、割り込み処理ルーチンはTXCフラグを解除(0)してはならず、これは割り込みが実行されるとき、自動的に行われます。

パリティ発生器

パリティ発生器は直列フレームのデータに対する**パリティを計算**します。パリティビット許可(**UPM1=1**)時、送信制御回路は送出されるフレームの最終データビットと最初の停止ビット間にパリティビットを挿入します。

送信の禁止

送信の禁止(**USART制御/状態レジスタB(UCSRB)のUSART送信許可(TXEN)ビット=0**)は実行中と保留中の送信が完了するまで、換言すると、送信移動レジスタと送信緩衝部が送信されるべきデータを含まなくなるまで効果がありません。送信が禁止されると、もはやTXDピンとしての機能は無効です。

USARTのデータ受信

USART受信部は**USART制御/状態レジスタB(UCSRB)の受信許可(RXEN)ビット**の設定(1)によって許可されます。受信が許可されると、RXDピンの標準ポート機能がUSARTによって無効とされ、受信部の直列入力としての機能が与えられます。何かの直列受信を行う前に、一度はボーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKピン上のクロックは転送(受信)クロックとして使われます。

5～8ビット データ フレーム受信

有効な開始ビット検出時、受信部はデータ受信を開始します。開始ビットに続く各ビットはボーレートまたはXCKクロックで採取され、そのフレームの最初の停止ビットが受信されるまで受信移動レジスタ内へ移動されます。第2停止ビットは受信部によって無視されます。最初の停止ビットが検出される、換言すると、受信移動レジスタに完全なフレームが存在すると、受信移動レジスタの内容は受信緩衝部へ移されます。受信緩衝部はUSARTデータレジスタ(UDR)I/O位置を読むことによって読めます。8ビット未満のフレーム使用時、UDRから読むデータの上位側ビットは0に遮蔽されます。

次のプログラム例は**USART制御/状態レジスタA(UCSRA)の受信完了(RXC)フラグ**のポーリングを基にした簡単なUSART受信関数を示します。この関数が使われる前にUSARTは初期化されなければなりません。

アセンブリ言語プログラム例

```
USART_Rx:  SBIS    UCSRA, RXC          ;受信完了でスキップ
            RJMP    USART_Rx         ;受信完了待機
;
            IN      R16, UDR          ;受信データ取得
            RET                     ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned char USART_Receive(void)
{
    while ( !(UCSRA & (1<<RXC)) );    /* 受信完了待機 */
    return UDR;                       /* 受信データ取得 */
}
```

注: このプログラムはデバイス定義ファイルがインクルードされているという前提です。

この関数は緩衝部を読んで値を戻す前に、RXCフラグの検査によってデータが受信緩衝部に存在するのを単に待ちます。

9ビット データ フレーム受信

9ビット データ(UCSZ2~0=111)が使われる場合、下位ビットをUSARTデータレジスタ(UDR)から読む前に第9ビットがUSART制御/状態レジスタB(UCSRB)の受信データビット8(RXB8)ビットから読まれなければなりません。この規則はフレーミング異常(FE)、オーバーラン発生(DOR)、パリティ異常(PE)状態フラグにも適用されます。USART制御/状態レジスタA(UCSRA)から状態を読み、その後UDRからデータを読んでも構いません。UDR I/O位置読み込みは受信FIFO緩衝部の状態(順序)を変更し、その結果、FIFO内に保存されているRXB8,FE,DOR,PEビットも換わります。

次のプログラム例は9ビット データと状態ビット両方を扱う簡単なUSART受信関数を示します。

アセンブリ言語プログラム例

```
USART_Rx:  SBIS    UCSRA, RXC          ;受信完了でスキップ
           RJMP    USART_Rx         ;受信完了待機
;
           IN      R18, UCSRA        ;状態フラグ取得
           IN      R17, UCSRB        ;受信第9ビット取得
           IN      R16, UDR          ;受信データ取得
           ANDI    R18, (1<<FE) | (1<<DOR) | (1<<PE) ;受信異常検査
           BREQ    USART_Rx_V       ;異常なしで分岐
;
           LDI     R17, -1           ;異常で-1値設定
           LDI     R16, -1           ;
USART_Rx_V: LSR     R17              ;RXB8ビットをビット0位置へ移動
           ANDI    R17, $01          ;RXB8ビットのみ有効
           RET                      ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int USART_Receive(void)
{
    unsigned char status, resh, resl; /* 一時変数定義 */
    while ( !(UCSRA & (1<<RXC)) ); /* 受信完了待機 */
    status = UCSRA; /* 状態フラグ取得 */
    resh = UCSRB; /* 受信第9ビット取得 */
    resl = UDR; /* 受信データ取得 */
    if ( status & ((1<<FE) | (1<<DOR) | (1<<PE)) ) return -1; /* 異常で-1値設定/復帰 */
    resh = (resh>>1) & 0x01; /* RXB8ビットのみ有効最下位へ */
    return ((resh<<8) | resl); /* 結果9ビットデータ取得/復帰 */
}
```

注: このプログラムはデバイス定義ファイルがインクルードされているという前提です。

この受信関数例は何らかの値操作に先立って全てのI/Oレジスタをレジスタ ファイルに読みます。これは受信緩衝部の読み出しが次のデータ受け入れをより早く可能にするため、最適な受信緩衝部の利用になります。

受信完了フラグと割り込み

USART受信には受信状態を示す1つのフラグがあります。

USART受信完了(RXC)フラグは受信緩衝部内の未読データの存在を示します。このフラグは受信緩衝部内に未読データが存在する時に1で、受信緩衝部が空(未読データなし)の時に0です。受信部が禁止(RXEN=0)されると、受信緩衝部が破棄され、その結果としてRXCフラグは0になります。

USART制御/状態レジスタB(UCSRB)のUSART受信完了割り込み許可(RXCIE)ビットが設定(1)されると、(全割り込みが許可されていれば、)RXCフラグが設定(1)されさえすれば、USART受信完了割り込みが実行されます。割り込み駆動データ受信が使われるとき、受信完了割り込み処理ルーチンはRXCフラグを解除(0)するために、USARTデータレジスタ(UDR)から受信データを読まなければなりません。さもなければ、一旦割り込み処理ルーチンを終了しても新しい割り込みが継続的に発生してしまいます。

受信異常フラグ

USART受信にはフレーミング異常(FE)、オーバラン発生(DOR)、パリティ異常(PE)の3つの異常フラグがあります。これら全てが**USART制御/状態レジスタA(UCSRA)**の読み込みでアクセスできます。異常フラグの共通点として、これらが異常状態を示すフレームと共に受信緩衝部内に配置されます。異常フラグは緩衝されており、**USARTデータレジスタ(UDR)**I/O位置読み込みが緩衝部読み出し位置を換えるので、UCSRAは受信緩衝部(UDR)の前に読まれなければなりません。その他の共通点として、これらの異常フラグ位置への書き込みによる変更ができません。但し、将来のUSART機能の上位互換のため、UCSRAの書き込み時、全てのフラグは**0**を設定しなければなりません。異常フラグは割り込みを発生できません。

フレーミング異常(FE)フラグは次に読める受信緩衝部内のフレームの第1停止ビットの状態を示します。FEフラグは停止ビットが正しく(**High**)読めた時に**0**で、不正(**Low**)だった時に**1**です。このビットは同期外れ状態検出、中断状態検出、規約操作に使えます。受信部が第1停止ビット以外を無視するため、FEフラグは**USART制御/状態レジスタC(UCSRC)**の**停止ビット選択(USBS)ビット**設定の影響を受けません。将来のデバイスとの共通性のため、UCSRA書き込み時、このビットへ常に**0**を設定しなければなりません。

オーバラン発生(DOR)フラグは受信緩衝部が一杯のためのデータ消失を示します。オーバランは受信緩衝部(2フレーム分)が一杯で、受信移動レジスタ内に次のフレームデータがあり、更に次の開始ビットを検出した時に発生します。DORフラグが設定(**1**)されていた場合、最後のUDR読み出しフレームと次のUDR読み出しフレーム間で1つ以上のフレームが失われています。将来のデバイスとの共通性のため、UCSRA書き込み時、このビットへ常に**0**を設定しなければなりません。DORフラグは受信されたデータが移動レジスタから受信緩衝部へ正常に移動された時に解除(**0**)されます。

パリティ異常(PE)フラグは受信緩衝部内の次フレームが受信時にパリティ誤りを伴っていたことを示します。パリティなしの場合、このPEフラグは常に**0**が読み出されます。将来のデバイスとの共通性のため、UCSRA書き込み時、このビットへ常に**0**を設定しなければなりません。より多くの詳細については53頁の「**パリティビットの計算**」や、次の「**パリティ検査器**」をご覧ください。

パリティ検査器

パリティ検査器はパリティ選択ビット(**UPM1=1**)設定時に有効です。実行されるべきパリティ検査種別(偶数または奇数)は**UPM0ビット**によって選ばれます。許可されると、パリティ検査器は到着フレーム内のデータビットのパリティを計算し、その結果を受信フレーム内からのパリティビットと比較します。検査結果は受信データ、停止ビットと共に受信緩衝部に格納されます。PEフラグはパリティ異常があるフレームかを検査するため、プログラムによって読むことができます。

PEフラグはパリティ検査がパリティビット許可(**UPM1=1**)で、受信緩衝部内の次に読まれるデータが受信時にパリティ誤りだった場合に設定(**1**)されます。このビットはUSARTデータレジスタ(UDR)が読まれるまで有効です。

受信の禁止

送信の場合と対照的に受信の禁止は直ちに行われます。従って受信実行中のデータは失われます。禁止されると(換言すると、**USART制御/状態レジスタB(UCSRB)**の**USART受信許可(RXEN)ビット**が解除(**0**)されると)、受信部はもはやRXDポートピンの標準機能が無効にしません。受信FIFO緩衝部は受信が禁止されると破棄されます。緩衝部内の残データは失われます。

受信緩衝部の破棄

受信FIFO緩衝部は受信が禁止されると破棄(換言すると内容が空に)されます。未読データは失われます。例えば異常状態のため、通常動作中に受信緩衝部を破棄しなければならない場合には、**USART制御/状態レジスタA(UCSRA)**の**受信完了(RXC)フラグ**が解除(**0**)されるまで、USARTデータレジスタ(UDR)I/O位置を読み続けます。次のプログラム例は受信緩衝部を破棄する方法を示します。

アセンブリ言語プログラム例

```
USART_Flush: SBIS    UCSRA, RXC          ;未読データありでスキップ
              RET                      ;未読データなしで復帰
;
              IN      R16, UDR          ;データ受信
              RJMP    USART_Flush      ;未読データなしまで継続
```

C言語プログラム例

```
void USART_Flush(void)
{
    unsigned char dummy;                /* 一時変数定義 */
    while ( UCSRA & (1<<RXC) ) dummy=UDR; /* 未読データ読み捨て */
}
```

注: このプログラムはデバイス定義ファイルがインクルードされているという前提です。

非同期受信

USARTには非同期データ受信操作用にクロック再生回路とデータ再生回路があります。クロック再生回路はボーレート発振器の内部クロックをRXDピンの非同期直列フレーム入力に同期するために使われます。データ再生回路は到着ビット毎の採取と、低域通過濾波器(ローパスフィルタ)によって受信雑音耐性を改善します。非同期受信動作範囲は内部ボーレートクロック精度、受信フレーム速度、フレームを構成するビット数に依存します。

非同期クロック再生

クロック再生回路は内部クロックを到着直列フレームに同期化します。図49.は到着フレームの開始ビット採取手順を示します。採取は標準動作で1ビットに対して16回、倍速動作で8回です。赤帯は採取手順に於ける同期範囲を示します。倍速動作(U2X=1)を使うとこの範囲が広がることに注意してください。採取番号0はRXD信号がアイドル(通信なし)の時の採取です。

図49. 開始ビットの採取

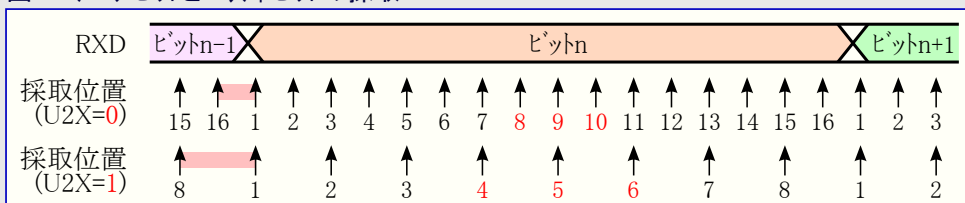


クロック再生回路がRXD信号上でHigh(アイドル)からLow(開始ビット)の遷移を検出すると、開始ビット検出手順が開始されます。図上の採取1は最初のLow採取を意味します。その後、クロック再生回路は標準動作で採取8,9,10を、倍速動作で採取4,5,6を使い、有効な開始ビット受信かを決定します。この3回の採取中2回以上がHighの場合(多数決)、この開始ビットは雑音として排除され、受信部は次のHighからLow遷移検出を開始します。有効な開始ビットが検出されると、クロック再生回路が同期化され、データ再生が始まります。この同期化手順は各開始ビット毎に繰り返されます。

非同期データ再生

受信部クロックが開始ビットに同期されると、データ再生が始まります。データ再生回路は標準動作では16段、倍速動作では8段の順列回路です。図50.はデータビットとパリティビットの採取を示します。各採取での番号は再生回路の各段階に対応する状態番号です。

図50. データビットとパリティビットの採取



受信ビットの論理値決定は受信ビット中心の3採取値の多数決によって行います。この中心の3採取位置を図上の赤の採取番号で示します。多数決の手順は2採取以上がHighで論理1を、2採取以上がLowで論理0を、受信ビットとして格納します。この多数決手順はRXDピンの入力信号に対して低域通過濾波器として働きます。この再生手順は完全なフレームが受信されるまで繰り返されます。これには第1停止ビットも含まれます。受信部がフレームの第1停止ビットだけを使うことに注意してください。

図51.は停止ビットの採取と次フレームの最も早い開始ビット開始の可能性を示します。

図51. 停止ビットの採取と次の開始ビットの採取



停止ビットはフレーム内の他のビットと同様に多数決で行われます。停止ビットが論理0と判定されると、フレーミング異常(FE)フラグが設定(1)されます。

次フレームの開始ビットを示すHighからLowへの新規遷移は多数決に使われた最後のビット後に実現できます。標準動作では図51.上のA点が最初のLow採取可能点で、倍速動作では遅れてB点になります。C点は1停止ビットの本来の終了位置です。この早い開始ビット検出は受信動作範囲に影響を及ぼします。

非同期での動作範囲

受信動作範囲は受信されたビット速度と内部的に生成されたボーレート間の不一致分に依存します。送信側が速すぎる、または遅すぎるビット速度でフレームを送信したり、受信側の内部的に生成されたボーレートが正確な基準周波数でない場合、受信部は開始ビットに対してフレームを同期できません。

次式は受信(到着)ビット速度を内部受信ボーレート間の比率計算に使えます。

$$R_{\text{slow}} = \frac{(D+1) \times S}{S-1+D \times S+S_F} \quad R_{\text{fast}} = \frac{(D+2) \times S}{(D+1) \times S+S_M}$$

D : データとパリティのビット数 (5~10)
 S : ビットあたりの採取数 (標準速=16、倍速=8)
 S_F : 多数決に使う最初の採取番号 (標準速=8、倍速=4)
 S_M : 多数決に使う中心の採取番号 (標準速=9、倍速=5)
 R_{slow} : は受信側ボーレートに対して許容できる最低受信ビット速度の比率です。
 R_{fast} : は受信側ボーレートに対して許容できる最高受信ビット速度の比率です。

表30.は受信側ボーレートの最大許容誤差の一覧を示します。標準速動作は倍速動作に対し、全ボーレートでより高い許容力があることに注目してください。

表30. 標準速と倍速での受信側ボーレート推奨最大許容誤差

D	標準速動作 (U2X=0)				倍速動作 (U2X=1)			
	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80~+6.67	±3.0	94.12	105.66	-5.88~+5.66	±2.5
6	94.12	105.79	-5.88~+5.79	±2.5	94.92	104.92	-5.08~+4.92	±2.0
7	94.81	105.11	-5.19~+5.11	±2.0	95.52	104.35	-4.48~+4.35	±1.5
8	95.36	104.58	-4.54~+4.58	±2.0	96.00	103.90	-4.00~+3.90	±1.5
9	95.81	104.14	-4.19~+4.14	±1.5	96.39	103.53	-3.61~+3.53	±1.5
10	96.17	103.78	-3.83~+3.78	±1.5	96.70	103.23	-3.30~+3.23	±1.0

注: Dはデータビット数とパリティビットの合計ビット数です。

(訳注) 原書は表30.に標準速、表31.に倍速を記載していますが、比較が容易なように表30.として纏めています。

受信側ボーレートの推奨最大許容誤差は最大総合許容誤差を送信側と受信側で等分割するという仮定の元での値です。

受信側ボーレート誤差には2つの要因があります。受信部のシステムクロックは供給電圧や温度の変化に関して常に若干の不安定性があります。システムクロックの発振にクリスタル発振子を使う場合は殆ど問題ありませんが、セラミック振動子などの場合はその素子に依存して誤差が2%を超える可能性があります。2つ目はより制御可能な要因です。ボーレート発振器は目的のボーレートに対して常に正確なシステムクロックの分周ができるとは限りません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRR値が使えます。

複数プロセッサ通信動作

USART制御/状態レジスタA(UCSRA)の複数プロセッサ通信動作(MPCM)ビットの設定(1)がUSART受信部で受信された到着フレームの選別機能を許可します。アドレス情報を含まないフレームは無視され、受信緩衝部に格納されません。これは同一直列バス経由で通信する複数MCUのシステムに於いてCPUによって扱われなければならない到着フレーム数を効果的に削減します。このMPCMビット設定によって送信部は影響されませんが、複数プロセッサ通信動作を利用するシステムの一部の時は違うように使われなければなりません。

受信部が5～8データビットを含む受信フレームに設定されるなら、最初の停止ビットはデータか、またはアドレス情報を含むフレームかを示します。受信部が9データビット長フレームに設定されるなら、USART制御/状態レジスタB(UCSRB)の受信第9(RXB8)ビットがアドレスとデータのフレーム指示に使われます。フレーム種別(最初の停止または第9)ビットが1の時にフレームはアドレスを含みます。フレーム種別ビットが0のとき、そのフレームはデータフレームです。

複数プロセッサ通信動作は主MCUからのデータを多くの従MCUで受信することを可能にします。これはどのMCUがアドレス指定されるかを検出するため、最初にアドレスフレームを調べることによって行われます。特定の従MCUがアドレス指定されたなら、そのMCUは後続するデータフレームを通常のように受信し、一方その他の従MCUは他のアドレスフレームが受信されるまで受信されるフレームを無視します。

複数プロセッサ通信の使用法

主MCUとして動作するMCUは9ビット長データフレーム形式(UCSZ=7)を使えます。UCSRBの送信第9(TXB8)ビットはアドレスフレーム時に設定(1)、またはデータフレーム時に解除(0)されて送信されなければなりません。この場合、従MCUは9ビット長データフレーム形式使用に設定されなければなりません。

複数プロセッサ通信動作でデータを交換するために次の手順が使われるべきです。

1. 全ての従MCUは複数プロセッサ通信動作です(UCSRAの複数プロセッサ通信動作(MPCM)ビットは設定(1))。
2. 主MCUはアドレスフレームを送り、全ての従装置がこのフレームを受信し、読みます。従CPUでは通常同様にUCSRAの受信完了(RXC)ビットが設定(1)されます。
3. 各従MCUはUSARTデータレジスタ(UDR)を読み、選ばれたかを判定します。選ばれた場合はUCSRAのMPCMビットを解除(0)し、非選択の場合はMPCMビットの設定を保持したままで次のアドレスフレームを待ちます。
4. アドレス指定されたMCUは新規アドレスフレームが受信されるまで、全てのデータフレームを受信します。MPCMビットが未だ設定(1)されている他の従CPUはこのデータフレームを無視します。
5. 最後のデータフレームがアドレス指定されたMCUによって受信されると、アドレス指定されたMCUはMPCMビットを設定(1)し、主装置からの新規アドレスフレームを待ちます。以降、2.からの手順を繰り返します。

5～8ビット長フレーム形式のどれかの使用も可能ですが、受信側が使うnビット長とn+1ビット長フレーム形式間を切り替えなければならないため非実用的です。これは送信側と受信側で同じデータビット長設定を使うため、全二重(フルデュプレックス)操作を困難とする原因になります。5～8ビット長フレームが使われる場合、最初の停止ビットがフレーム種別を示すのに使われるので、送信側は2停止ビット使用(USBS=1)に設定されなければなりません。

MPCMビットを設定(1)または解除(0)するために、読み-修正-書き(リード-モディファイライト)命令(SBIとCBI)を使ってはいけません。MPCMビットは送信完了(TXC)フラグと同じI/Oアドレスを共有しており、SBIまたはCBI命令を使うと、予期せぬ解除(0)が行われるかもしれません。

UBRRH/UCSRCレジスタのアクセス

ボーレートレジスタ上位(UBRRH)とUSART制御/状態レジスタC(UCSRC)は同じI/O位置を共有しています。このため、このI/O位置をアクセスするとき、いくつかの特別な考慮が必要とされなければなりません。

UBRRH/UCSRCへの書き込み

このI/O位置への書き込みを行うとき、USARTレジスタ選択(URSEL)ビット(書き込み値の最上位ビット)が2つのレジスタの書かれるべき1つがどちらかを制御します。書き込み操作中にURSELビットが0ならばUBRRH値が更新されます。URSELビットが1ならばUCSRC設定が更新されます。

次のプログラム例はこの2つのレジスタのアクセス法を示します。

アセンブリ言語プログラム例

```

    LDI    R16, 2                ;UBRRH値(2)を取得
    OUT    UBRRH, R16           ;UBRRHに2を設定
}
    LDI    R16, (1<<URSEL) | (1<<USBS) | (1<<UCSZ1) ;UCSRCのUSBS,UCSZ1のみ1設定
    OUT    UCSRC, R16           ;その他ビット=0

```

C言語プログラム例

```

UBRRH = 2; /* UBRRHに2を設定 */
UCSRC = (1<<URSEL) | (1<<USBS) | (1<<UCSZ1); /* UCSRCのUSBS,UCSZ1のみ1設定 */

```

注: このプログラムはデバイス定義ファイルがインクルードされているという前提です。

このプログラム例で示すように、2つのレジスタの書き込みは相互にI/O位置の共有の影響を受けません。

UBRRH/UCSRCからの読み込み

UBRRHまたはUCSRCからの読み込みはもっと複雑な操作です。しかし、殆どの応用ではこれらのレジスタのどれかを読む必要は稀です。

この読み込みは経過時間で制御されます。このI/O位置を読むと、一旦UBRRHレジスタの内容を返します。直前のシステムクロック周期でこのI/O位置が読まれていたなら、現在のクロック周期での本レジスタ読み込みはUCSRCの内容を返します。UCSRC読み込みの時間による手順が非分断操作であることに注意してください。従って、この読み込み操作中、割り込みは禁止されなければなりません。

次のプログラム例はUCSRCレジスタ内容の読み込み法を示します。

アセンブリ言語プログラム例

```

USART_R_UCSRC: IN    R16, UBRRH    ;初回読み込み(擬似)
                IN    R16, UCSRC   ;UCSRC内容取得
                RET                ;呼び出し元へ復帰

```

C言語プログラム例

```

unsigned char USART_RradUCSRC(void)
{
    unsigned char ucsrc; /* 戻り値変数定義 */
    ucsrc = UBRRH;       /* 初回読み込み(擬似) */
    ucsrc = UCSRC;       /* UCSRC内容取得 */
    return ucsrc;        /* 呼び出し元へ復帰 */
}

```

注: このプログラムはデバイス定義ファイルがインクルードされているという前提です。

このアセンブリ言語例はR16にUCSRC値を返します。

UBRRH内容の読み込みは非分断操作ではなく、従って、直前の命令がこのレジスタ位置をアクセスしない限り、通常のレジスタとして読むことができます。

USART用レジスタ

USARTデータレジスタ (USART I/O Data Register) UDR

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	R/TXB7	R/TXB6	R/TXB5	R/TXB4	R/TXB3	R/TXB2	R/TXB1	R/TXB0	UDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

USART受信データ緩衝レジスタとUSART送信データ緩衝レジスタは同じI/Oアドレスを共有し、USARTデータレジスタまたはUDRとして参照されます。このレジスタに書くと送信データ緩衝部(TXB)に書かれ、読むと受信データ緩衝部(RXB)の内容が返されます。

5～7ビット長データ時の上位未使用ビットは送信部によって無視され、受信部によって0に設定されます。

この送信緩衝部はUCSRAの送信データレジスタ空き(UDRE)フラグが設定(1)されている時だけ書けます。UDREフラグが設定(1)されていない時のUDR書き込みはUSART送信部によって無視されます。送信許可で送信緩衝部にデータが書かれると、送信移動レジスタが空きの時にデータを送信移動レジスタへ設定(移動)します。その後、データはTXDピンへ直列送信されます。

受信緩衝部は2段のFIFOで構成されます。このFIFOは受信緩衝部がアクセスされる毎に切り替わります。この受信緩衝部の構造のため、この位置に読み-修正-書き(リード モデファイライト)命令(SBIとCBI)を使えません。ビット検査(SBICとSBIS)命令もFIFOの状態を換えるので、これらの命令の使用には注意が必要です。

USART制御/状態レジスタA (USART Control and Status Register A) UCSRA

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM	UCSRA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

• ビット7 - RXC : USART受信完了フラグ (USART Receive Complete)

このフラグは受信緩衝部に未読データがある時に設定(1)され、受信緩衝部が空(未読データなし)の時に解除(0)されます。受信禁止の場合は受信緩衝部が破棄され、従ってRXCフラグは0になります。RXCフラグは受信完了割り込みの発生に役立ちます(USART制御/状態レジスタB(UCSRB)の受信完了割り込み許可(RXCIE)ビット参照)。

• ビット6 - TXC : USART送信完了フラグ (USART Transmit Complete)

このフラグは送信移動レジスタ内のフレームを完全に移動し終り、送信緩衝部(UDR)に新規データが現状存在しない時に設定(1)されます。TXCフラグは送信完了割り込み実行時、自動的に解除(0)され、このビットに1を書くことでも解除(0)できます。TXCフラグは送信完了割り込みを発生できます(UCSRBの送信完了割り込み許可(TXCIE)ビット参照)。

• ビット5 - UDRE : USART送信データレジスタ空きフラグ (USART Data Register Empty)

このフラグは送信緩衝部(UDR)が新規データを受け取る準備ができていないかを示します。UDREが1なら、緩衝部は空で、従って書かれる準備ができています。UDREフラグは送信緩衝部空き割り込みを発生できます(UCSRBの送信データレジスタ空き割り込み許可(UDRIE)ビット参照)。

UDREは送信可を示すため、リセット後の状態は設定(1)です。

• ビット4 - FE : フレーミング異常フラグ (Framing Error)

受信緩衝部内の次データが受信時にフレーミング異常(換言すると、第1停止ビットがLow)だった場合、このビットは設定(1)されます。このフラグは受信緩衝部(UDR)が読まれるまで有効です。受信されたデータの停止ビットがHighのとき、FEフラグは0です。UCSRA書き込み時、このビットへ常に0を設定してください。

• ビット3 - DOR : オーバーラン発生フラグ (Data OverRun)

このビットはオーバーラン状態が検出されると、設定(1)されます。受信緩衝部(2フレーム分)が一杯で、次フレームが受信移動レジスタ内で待機中に新規開始ビットが検出されると、データ オーバーランが起こります。UCSRA書き込み時、このビットへ常に0を設定してください。

• ビット2 - PE : パリティ異常フラグ (Parity Error)

受信緩衝部内の次データが受信時にパリティ検査が許可(UPM1=1)され、パリティ誤りがあった場合、このビットは設定(1)されます。このフラグは受信緩衝部(UDR)が読まれるまで有効です。UCSRA書き込み時、このビットへ常に0を設定してください。

• ビット1 - U2X : 倍速許可 (Double the USART Transmission Speed)

このビットの設定は非同期動作にのみ影響します。同期動作使用時、このビットに0を設定してください。

このビットの設定(1)はボーレート発振器の分周値を16から8に減少し、實際上、非同期通信の転送速度を倍速にします。

• ビット0 - MPCM : 複数プロセッサ通信動作 (Multi-Processor Communication Mode)

このビットの設定(1)は複数プロセッサ通信動作を許可します。MPCMビットが設定(1)されると、USART受信部によって受信されたアドレス情報を含まない全到着フレームは無視されます。送信部はMPCM設定に影響されません。より多くの詳細情報については60頁の「複数プロセッサ通信動作」をご覧ください。

USART制御/状態レジスタB (USART Control and Status Register B) UCSRB

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	UCSRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – RXCIE : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットの1設定はUSART制御/状態レジスタA(UCSRA)の受信完了(RXC)フラグの割り込みを許可します。USART受信完了割り込みはRXCIEビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、UCSRAの受信完了(RXC)フラグが設定(1)される場合だけ生成されます。

• ビット6 – TXCIE : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットの1設定はUSART制御/状態レジスタA(UCSRA)の送信完了(TXC)フラグの割り込みを許可します。USART送信完了割り込みはTXCIEビットが設定(1)され、SREGの全割り込み許可(I)ビットが設定(1)され、UCSRAの送信完了(TXC)フラグが設定(1)される場合だけ生成されます。

• ビット5 – UDRIE : 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットの1設定はUSART制御/状態レジスタA(UCSRA)の送信データレジスタ空き(UDRE)フラグの割り込みを許可します。USART送信データレジスタ空き割り込みはUDRIEビットが設定(1)され、SREGの全割り込み許可(I)ビットが設定(1)され、UCSRAの送信データレジスタ空き(UDRE)フラグが設定(1)される場合だけ生成されます。

• ビット4 – RXEN : 受信許可 (Receiver Enable)

このビットの1設定はUSART受信を許可します。許可されると受信部はRXDピンの標準ポート動作を無効にします。受信を禁止すると、受信緩衝部を破棄し、フレーミング異常(FE)、オーバラン(DOR)、パリティ異常(PE)の各フラグを無効にします。

• ビット3 – TXEN : 送信許可 (Transmitter Enable)

このビットの1設定はUSART送信を許可します。許可されると送信部はTXDピンの標準ポート動作を無効にします。送信を禁止(TXEN=0設定)すると、実行中と保留中の送信が完了する(送信移動レジスタと送信緩衝部のデータが送信により無くなる)まで効果がありません。禁止されると、送信部はもはやTXDポートを無効にしません。

• ビット2 – UCSZ2 : データビット長選択2 (Character Size)

このUCSZ2ビットはUSART制御/状態レジスタC(UCSRC)のUCSZ1,0ビットと組み合わせられ、送受信部で使うフレームのデータビット長(Character size)を設定します。

• ビット1 – RXB8 : 受信データビット8 (Receive Data Bit 8)

9ビット長データ時、このRXB8ビットが受信データの9ビット目(ビット8)になります。UDRから下位ビットを読む前に読まれねばなりません。

• ビット0 – TXB8 : 送信データビット8 (Transmit Data Bit 8)

9ビット長データ時、このTXB8ビットが送信データの9ビット目(ビット8)になります。UDRへ下位ビットを書く前に書かれねばなりません。

USART制御/状態レジスタC (USART Control and Status Register C) UCSRC

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	URSEL	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	UCSRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	0	0	0	0	1	1	0	

UCSRCレジスタはUBRRHレジスタと同じI/O位置を共有しています。このレジスタのアクセス法は61頁の「UBRRH/UCSRCレジスタのアクセス」をご覧ください。

• ビット7 – URSEL : レジスタ選択 (Register Select)

このビットはUCSRCまたはUBRRHレジスタのどちらをアクセスするかを選びます。UCSRCを読むと1が読めます。UCSRCに書く時はURSELが1でなければなりません。

• ビット6 – UMSEL : USART動作選択 (USART Mode Select)

このビットは非同期動作または同期動作かを選びます。

表32. USART動作選択

UMSEL	動作種別
0	非同期動作
1	同期動作

•ビット5,4 – UPM1,0 : パリティ選択 (Parity Mode)

これらのビットはパリティ発生/検査の許可と種別設定を行います。許可なら、送信部は各フレーム内の送信データビットのパリティを自動的に生成し送信します。受信部は到着データに対してパリティ値を生成し、UPM0設定値と比較します。不一致が検出されると、[USART制御/状態レジスタA\(UCSRA\)](#)の[パリティ異常\(PE\)フラグ](#)が設定(1)されます。

表33. パリティ選択

UPM1	UPM0	パリティ動作
0	0	禁止
0	1	(予約)
1	0	偶数パリティ許可
1	1	奇数パリティ許可

•ビット3 – USBS : 停止ビット選択 (Stop Bit Select)

このビットは送信部によって挿入される停止ビット数を選びます。受信部はこの設定を無視します。

表34. 停止ビット選択

USBS	停止ビット数
0	1ビット
1	2ビット

•ビット2,1 – UCSZ1,0 : データビット長選択 (Character Size)

UCSZ1,0ビットは[USART制御/状態レジスタB\(UCSRB\)](#)の[UCSZ2ビット](#)と組み合わせられ、送受信部で使うフレームのデータビット長(Character size)を設定します。

表35. データビット長選択

UCSZ2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
データビット長	5ビット	6ビット	7ビット	8ビット	(予約)	(予約)	(予約)	9ビット

•ビット0 – UCPOL : クロック極性選択 (Clock Polarity)

このビットは同期動作でだけ使われます。非同期動作が使われるとき、このビットを0に設定してください。UCPOLビットはデータ出力変更、データ入力採取と同期クロック(XCK)間の関係を設定します。

表A. XCKクロック極性選択

UCPOL	送信データ変更 (TXDピン出力)	受信データ採取 (RXDピン入力)
0	XCKの上昇端	XCKの下降端
1	XCKの下降端	XCKの上昇端

(訳注) UCPOLの論理記述が他のデバイスと逆になっています。ATmega323のみ異なるのか、または記述の誤りかは未確認です。

USARTボーレート レジスタ (USART Baud Rate Register) UBRRH, UBRL (UBRR)

ビット	15	14	13	12	11	10	9	8	
\$20 (\$40)	URSEL	—	—	—	UBRR11	UBRR10	UBRR9	UBRR8	UBRRH
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	UBRR7	UBRR6	UBRR5	UBRR4	UBRR3	UBRR2	UBRR1	UBRR0	UBRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

UBRRHレジスタは[UCSRレジスタ](#)と同じI/O位置を共有しています。このレジスタのアクセス法は61頁の「[UBRRH/UCSRレジスタのアクセス](#)」をご覧ください。

•ビット15 – URSEL : レジスタ選択 (Register Select)

このビットはUBRRHまたはUCSRレジスタのどちらをアクセスするかを選びます。UBRRHを読むと0が読めます。UBRRHに書く時はURSELが0でなければなりません。

•ビット14~12 – Res : 予約 (Reserved Bits)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性のため、UBRRH書き込み時、これらのビットは0を設定しなければなりません。

•ビット11~0 – UBRR11~0 : ボーレート分周値 (USART Baud Rate Register)

これはUSARTボーレートを含む12ビットのレジスタです。UBRRHが上位4ビット、UBRLがUSARTボーレートの下位8ビットです。ボーレートが変更されると、送受信部で実行中の転送は不正にされます。UBRL書き込みが、ボーレート分周器の更新を直ちに始めさせます。

ボーレート設定例

標準的なクリスタル発振子やセラミック振動子の周波数と、最も一般的に使われる非同期動作のボーレートに対するUBRR設定を表36に示します。目的のボーレートに対して設定誤差1.5%(標準速: U2X=0)、1.0%(倍速: U2X=1)以上を赤字で示します。より高い誤差でも使えますが、特に長いフレーム(59頁の「非同期での動作範囲」参照)で誤り率が高くなり、受信時の雑音耐性が低下します。誤差率は次式で示されます。

$$\text{誤差率(\%)} = \left(\frac{\text{UBRR設定ボーレート(最近似値)}}{\text{目的のボーレート}} - 1 \right) \times 100(\%)$$

表36. Xtal、ボーレート対UBRRH,UBRRL設定 (UBRR=UBRRH:UBRRL)

ボーレート (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ボーレート (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注: 最高速はUBRR=0、誤差=0.0%です。以降の周波数は次頁へ続く。

表36 (続き). Xtal、ホーレート対UBRRH,UBRRL設定 (UBRR=UBRRH:UBRRL)

ホーレート (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ホーレート (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

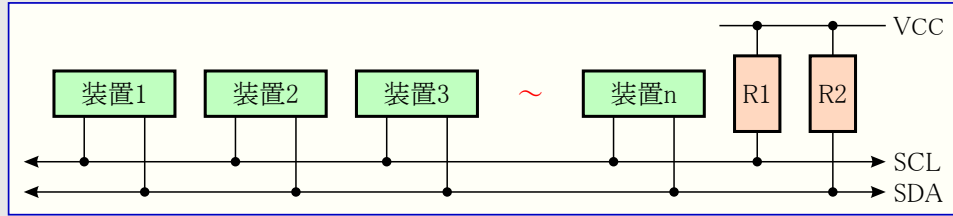
ホーレート (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注: 最高速はUBRR=0、誤差=0.0%です。

2線直列インターフェース (TWI:Two-wire Serial Interface, I²C)

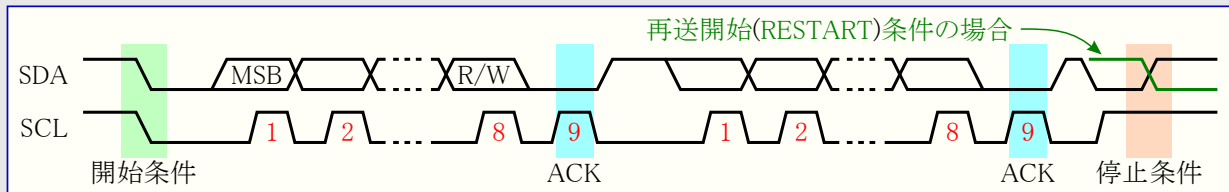
2線直列インターフェースは双方向直列通信を支援します。本来、これはIC(集積回路)を効率的かつ簡単に制御するために設計されたものです。このシステムは**SCL**(直列クロック)と**SDA**(直列データ)の2本の信号線で構成され、これらに接続されたIC間で情報を伝えます。様々な通信構成が、このバスを使って設計できます。**図52.**は代表的な2線直列バスの構成を示します。バスに接続されたどのデバイスでも主装置または従装置にできます。どんなバス操作も可能とするには、このバスに接続された全てのAVRデバイスが電力を供給されなければなりません。

図52. 2線直列バス構成



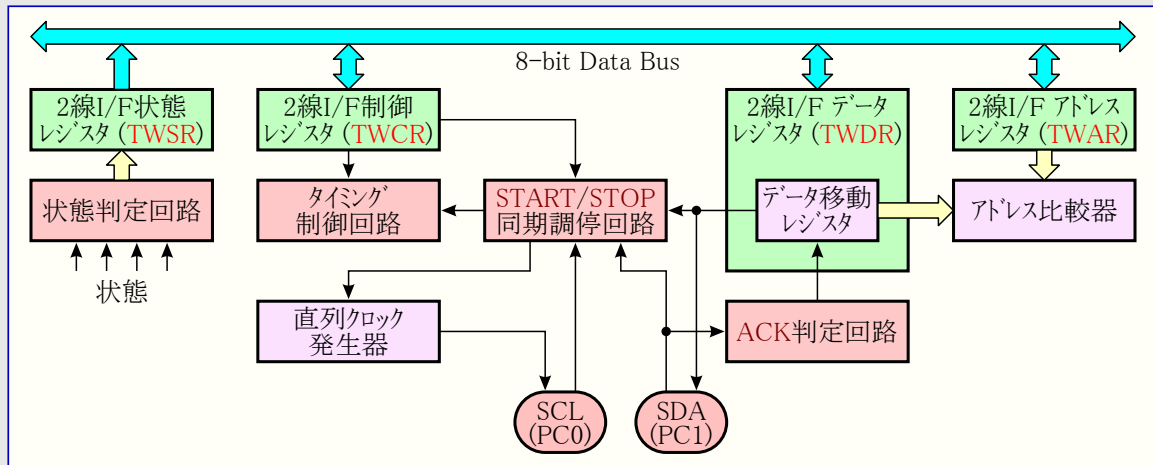
2線直列インターフェースは400kHzまでのバス クロックでの主装置/従装置と送受信動作を支援します。2線直列インターフェースは7ビット アドレス指定をハードウェアで支援しますが、例えば10ビット アドレス指定形式へソフトウェアで容易に拡張されます。2線直列インターフェースが許可(2線直列インターフェース制御レジスタ(TWCR)の2線直列インターフェース動作許可(TWEN)ビット=1)されると、SCL(PC0)とSDA(PC1)ピンからの入力信号用の不具合(雑音)濾波器が許可され、これらのピン出力はスレーブ(上昇/下降)制御されます。2線直列インターフェースはバイト対応です。2線直列バスの動作は**図53.**で、**開始(START)条件**、**停止(STOP)条件**、バス受信部による**確認応答(ACK)**信号の生成を含むパルス図として示されます。

図53. 2線直列バス タイミング



2線直列インターフェースの構成図は**図54.**で示されます。

図54. 2線直列インターフェース構成図



CPUは次の5つのI/Oレジスタを経由して2線直列インターフェースとやり取りします。

- 2線直列インターフェース制御レジスタ (TWCR)
- 2線直列インターフェース状態レジスタ (TWSR)
- 2線直列インターフェース データ レジスタ (TWDR)
- 2線直列インターフェース アドレス レジスタ (TWAR) (従装置動作で使用)
- 2線直列インターフェース ビット速度レジスタ (TWBR)

2線直列インターフェース制御レジスタ (The 2-wire Serial Interface Control Register) TWCR

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE	TWCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – TWINT : TWI割り込み要求フラグ (2-wire Serial Interface Interrupt Flag)

2線直列インターフェースが現在の作業を完了し、応用ソフトウェアの応答を予測するとき、このビットはハードウェアによって設定(1)されます。2線直列インターフェース制御レジスタ(TWCR)のTWI割り込み許可(TWIE)ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットが共に設定(1)なら、MCUは割り込みベクタアドレス\$0026へ飛びます。TWINTフラグが設定(1)中、バスのSCLクロック信号線のLow区間が伸長されます。TWINTフラグはソフトウェアによる論理1書き込みによって解除(0)されなければなりません。割り込み処理ルーチンを実行するとき、このフラグがハードウェアによって自動的に解除(0)されないことに注意してください。また、このフラグの解除(0)は2線直列インターフェースの(実)動作を始めさせるので、このフラグを解除(0)する前に2線直列インターフェースアドレスレジスタ(TWAR)、2線直列インターフェースデータレジスタ(TWDR)、2線直列インターフェース状態レジスタ(TWSR)への全てのアクセスを終えなければならないことに注意してください。

• ビット6 – TWEA : 確認応答(ACK)生成許可 (2-wire Serial Interface Enable Acknowledge Flag)

TWEAビットは確認応答(ACKパルス)生成を制御します。TWEAビットが設定(1)される場合、以下の条件に出会うと、2線直列バスにACKパルスが生成されます。

- デバイス自身の従装置アドレスが受信された場合。
- 2線直列インターフェースアドレスレジスタ(TWAR)の一斉呼び出し(General call)検出許可(TWGCE)ビットが設定(1)されている間に、一斉呼び出しが受信された場合。
- 主受信装置または従受信装置動作でデータバイトが受信された場合。

TWEAビットの0設定により、事実上、デバイスは一時的に2線直列バスから切り離されます。アドレス承認はその後再びTWEAビットを1に設定することによって再開できます。

• ビット5 – TWSTA : 開始(START)条件生成 (2-wire Serial Bus START Condition Flag)

このTWSTAビットは2線直列バスの主装置になるのを希望するとき、応用(プログラム)によって設定(1)されます。2線直列インターフェースハードウェアはバスが利用可能で空いていれば、バス上に開始条件を生成します。しかしバスが空いていなければ、停止条件が検出されるまで待機し、そしてバス主権要求のための新規開始条件を生成します。

• ビット4 – TWSTO : 停止(STOP)条件生成 (2-wire Serial Bus STOP Condition Flag)

TWSTOは停止条件制御ビットです。主装置動作でのTWSTOビットの設定(1)は2線直列バス上に停止条件を生成します。停止条件がバス上で実行されると、TWSTOビットは自動的に解除(0)されます。従装置動作でのTWSTOビットの設定(1)は異常状態からの回復に使えます。その時に停止条件はバス上に生成されず、2線直列インターフェースは明確に指定されていない従装置動作に復帰し、SCLとSDA信号線をHi-Z状態へ開放します。

• ビット3 – TWWC : TWI上書き発生フラグ (2-wire Serial Bus Write Collision Flag)

2線直列インターフェース制御レジスタ(TWCR)のTWI割り込み要求フラグ(TWINT)が解除(0)の時に2線直列インターフェースデータレジスタ(TWDR)に書き込みを試みると、TWWCフラグが設定(1)されます。このフラグはTWCRのTWINTが設定(1)の時のTWDR書き込みによって解除(0)されます。

• ビット2 – TWEN : TWI動作許可 (2-wire Serial Interface Enable Bit)

TWENビットは2線直列インターフェース動作を許可します。このビットが解除(0)されると、SCLとSDAバス出力はHi-Z状態に設定され、入力信号は無視されます。このインターフェースはこのビットの1設定によって活性(有効)化されます。

• ビット1 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

• ビット0 – TWIE : TWI割り込み許可 (2-wire Serial Interface Interrupt Enable)

このビットが許可(=1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)のとき、TWCRのTWI割り込み要求フラグ(TWINT)が設定(1)である限り、2線直列インターフェース割り込みは活性化(生成)されます。

この2線直列インターフェース制御レジスタ(TWCR)は2線直列インターフェースの動作を制御するために使われます。それは2線直列インターフェースを許可し、バスへ開始(START)条件を適用することによって主装置がアクセスを始め、受信装置が確認応答(ACK)を生成し、停止(STOP)条件を生成し、そしてバスへ送出されるべきデータが2線直列インターフェースデータレジスタ(TWDR)へ書かれる間、バスの停止を制御するのに使われます。それはTWDRがアクセス不可中にデータがTWDRへ書き込みを試みられる場合の上書きも示します。

2線直列インターフェース データ レジスタ (The 2-wire Serial Interface Data Register) TWDR

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0	TWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

• ビット7~0 – TWD7~0 : TWI データ (2-wire Serial Interface Data)

これら8ビットは送信されるべき次のバイト データ、または2線直列バス上で最後に受信されたバイト データです。

送信動作のTWDRは送信されるべき次のバイトです。受信動作のTWDRは最後に受信されたバイトです。2線直列インターフェースがバイトを移動中でない間、書き込み可能です。これは2線直列インターフェース制御レジスタ(TWCR)のTWI割り込み要求フラグ(TWINT)がハードウェアによって設定(1)される時に起きます。データレジスタ(TWDR)は最初のTWI割り込みが起こる前に使用者によって初期化できないことに注意してください。TWDR内のデータはTWINTが設定(1)されている限り安定して存続します。データが移動出力される間、同時にバス上のデータが移動入力されます。2線直列インターフェース割り込み(TWINT)によってA/D変換雑音低減動作、パワーダウン動作、またはパワーセーブ動作からの起動復帰後を除いて、常にTWDRはバス上に存在する(した)最後のバイトです。例えば、バス調停に敗れた場合でも、主装置から従装置への移行でデータは失われません。(バス上の)確認応答(ACK)ビットの操作は2線直列インターフェース回路によって自動的に制御され、CPUはACKビットを直接アクセスできません。

2線直列インターフェース (従装置)アドレス レジスタ (The 2-wire Serial Interface (Slave) Address Register) TWAR

ビット	7	6	5	4	3	2	1	0	
\$02 (\$22)	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	TWAR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	0	

• ビット7~1 – TWA6~0 : TWI 従装置アドレス (2-wire Serial Interface (Slave) Address)

これら7ビットは2線直列バス装置の従装置アドレスを指定します。

• ビット0 – TWGCE : 一斉呼び出し検出許可 (2-wire Serial Interface General Call Recognition Enable Bit)

設定(1)されると、このビットは2線直列バスによって与えられる一斉呼び出しの承認を許可します。

従装置の送信装置または受信装置として設定されるとき、TWARは2線直列インターフェースが応答する7ビットの従装置アドレスが(TWARの上位7ビットに)設定されるべきで、主装置動作では必要とされません。TWARの最下位ビット(TWGCE)は一斉呼び出しアドレス(\$00)の承認を許可するために使われます。これらは受信された直列アドレスで従装置アドレス(または許可されていれば一斉呼び出しアドレス)を待ち受けるアドレス比較器と組み合わせられます。一致が見つかり、割り込み要求が生成されます。

2線直列インターフェース状態レジスタ (The 2-wire Serial Interface Status Register) TWSR

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	TWS7	TWS6	TWS5	TWS4	TWS3	–	–	–	TWSR
Read/Write	R	R	R	R	R	R	R	R	
初期値	1	1	1	1	1	0	0	0	

• ビット7~3 – TWS7~3 : TWI状態 (2-wire Serial Interface Status)

これら5ビットは2線直列インターフェース回路と2線直列バスの状態を反映します。

• ビット2~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

このTWSRは読み出し専用です。それは2線直列インターフェース回路と2線直列バスの状態を反映する状態符号を含みます。これらは起り得る26種類の状態符号です。TWSRが\$F8のとき、適切な状態情報が利用できず、2線直列インターフェース割り込みは要求されません。2線直列インターフェース制御レジスタ(TWCR)のTWI割り込み要求フラグ(TWINT)がハードウェアによって設定(1)されてから1 CPUクロック周期後、有効な状態符号がTWSRで利用可能で、TWINTがソフトウェアによって解除(0)されてから1 CPUクロック周期後まで有効です。表37.~表44.は各動作に対する状態情報を示します。

2線直列インターフェースビット速度レジスタ (The 2-wire Serial Interface Bit Rate Register) TWBR

ビット \$00 (\$20)	7	6	5	4	3	2	1	0	TWBR
	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

TWBRはビット速度発生器の分周値を選びます。ビット速度発生器は次式に従って主装置動作でのSCLクロック周波数を生成する周波数分周器です。

$$\text{ビット速度} = \frac{f_{CK}}{16 + 2(TWBR) + t_A f_{CK}}$$

ビット速度 SCLクロック周波数
 f_{CK} CPUクロック周波数
 TWBR 2線直列インターフェースビット速度レジスタ値
 t_A バス調整用補正值

注: 送受信装置両方に於いて、使用者応答で待機するとき、SCL信号線のLow区間を引き伸ばせるので、これによって平均ビット速度が減少します。

正しい2線直列バス機能を保証するために、TWBRは7よりも大きな値に設定すべきです。バス調整補正は2線直列インターフェースによって自動的に挿入され、7よりも大きいどんなTWBR値に対してもバス上の設定と保持時間の有効性を保証します。この補正はバスの負荷とこのバスに接続されたデバイスの駆動能力に依存して200～600nsで変えられます。

2線直列インターフェースの動作種別

2線直列インターフェースは次の4つの異なる種別で動作することができます。

- 送信主装置
- 受信主装置
- 送信従装置
- 受信従装置

各動作種別でのデータ転送は図55.～図58.で示されます。これらの図は次の略号を含みます。

S	開始(START)条件
R	読みビット (SDA=High)
W	書きビット (SDA=Low)
A	確認応答(ACK)ビット (SDA=Low)
$\bar{A}$	非確認応答ビット (SDA=High)
Data	8ビットデータバイト
P	停止(STOP)条件
SLA	従装置アドレス

図55.～図58.内の楕円(注:原書は円)は2線直列インターフェース割り込み要求フラグ(TWCRのTWINT)が設定(1)されることを示すために使用されます。この楕円内の番号は2線直列インターフェース状態レジスタ(TWSR)内に保持される状態符号を表します。これらの個所での動きは、2線直列バス転送を継続または完了するため、応用(プログラム)によって行われなければなりません。2線直列バス転送は2線直列インターフェース割り込み要求フラグ(TWINT)がソフトウェアによって解除(0)されるまで一時停止されます。

2線直列インターフェース割り込み要求フラグ(TWINT)は割り込み処理ルーチン実行時、ハードウェアによって自動的に解除(0)されません。2線転送を継続するには、ソフトウェアがこのフラグを解除(0)しなければなりません。2線直列インターフェースはこのビットが解除(0)されると直ぐに実行を始めるので、従って2線直列インターフェースのデータレジスタ(TWDR)、アドレスレジスタ(TWAR)、状態レジスタ(TWSR)への全てのアクセスは、このフラグを解除(0)する前に終わらせておかねばならないことにも注意してください。

2線直列インターフェース割り込み要求フラグ(TWINT)が設定(1)されているとき、TWSRの状態符号は適切なソフトウェア動作を決めるのに使われます。各状態符号、必要とされるソフトウェア動作、続く直列転送の詳細については表37.～表44.で与えられます。

送信主装置動作

送信主装置動作では受信従装置へ何バイトかのデータが送信されます(図55参照)。送信主装置動作へ移行し得るのに先立って、**2線直列インターフェース制御レジスタ(TWCR)**は次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE
設定値	0	X	0	0	0	1	0	X

2線直列インターフェース動作許可(TWEN)は2線直列インターフェースを許可するために設定(1)されなければなりません。**開始(START)条件生成(TWSTA)**と**停止(STOP)条件生成(TWSTO)**は解除(0)されなければなりません。

TWSTAビットを設定(1)することによって直ぐに送信主装置動作へ移行できます。2線直列インターフェース回路は2線直列バスを検査し、バスが自由になるなら直ぐに**開始(START)条件**を生成します。**開始条件**が生成されると、**2線直列インターフェース割り込み要求(TWINT)フラグ**がハードウェアによって設定(1)され、**2線直列インターフェース状態レジスタ(TWSR)**の状態符号が\$08になります。そのとき、**2線直列インターフェースデータレジスタ(TWDR)**は従装置アドレスとデータ方向ビット(SLA+W)が設定されなければなりません。ソフトウェアでのTWINTフラグの解除(0)が転送を継続させます。TWINTフラグはこのフラグへの論理1書き込みによって解除(0)されます。

従装置アドレスと方向ビットが送信され、**確認応答(ACK)**ビットが受信されると、TWINTが再び設定(1)され、TWSR内の状態符号の番号は可能性のあるものを示します。主装置動作で可能性のある状態符号は\$18, \$20, \$38です。これら状態符号の各々に対して必要とされる適切な動作は表37で詳細に記述されます。データはTWINTが1の時だけ設定されなければなりません。そうでない場合、そのアクセスは破棄され、TWCRで**TWI上書き発生(TWWC)フラグ**が設定(1)されます。この仕組みは最後のバイトが送信されて**停止条件**または**再送開始条件**の生成によって転送が終了されるまで繰り返されます。**停止(STOP)条件**はTWSTOの設定(1)によって生成され、**再送開始条件**はTWSTAとTWSTOの設定(1)によって生成されます。

再送開始条件(状態符号\$10)後、2線直列インターフェースは**停止条件**を送出せずに再び同じ従装置へアクセスするか、新規従装置へアクセスできます。**再送開始条件**はバスの制御を失わずに、従装置間、送信主装置動作と受信主装置間の切り替えを主装置で可能にします。

送信主装置動作の操作を説明するアセンブリ言語プログラムは**TWI項の最後**で与えられます。

受信主装置動作

受信主動作では送信従装置から何バイトかのデータが受信されます(図56参照)。この転送は**送信主装置動作**でのように初期化されます。**開始(START)条件**が送出されてしまうと、**2線直列インターフェース制御レジスタ(TWCR)**の**TWI割り込み要求(TWINT)フラグ**がハードウェアによって設定(1)されます。そのとき、ソフトウェアは**2線直列インターフェースデータレジスタ(TWDR)**へ7ビットの従装置アドレスとデータ方向ビット(SLA+R)を設定しなければなりません。その後、ソフトウェアによって(1の書き込みで)TWINTが解除(0)されると、この転送は継続します。

従装置アドレスと方向ビットが送信され、**確認応答(ACK)**ビットが受信されると、TWINTが再び設定(1)され、**2線直列インターフェース状態レジスタ(TWSR)**内の状態符号の番号は可能性のあるものを示します。主装置動作で可能性のある状態符号は\$40, \$48, \$38です。これら状態符号の各々に対して必要とされる適切な動作は表38で詳細に記述されます。受信されたデータはハードウェアによってTWINTフラグが1に設定されている時にTWDRから読めます。この仕組みは最後のバイトが送信され、TWCRの**停止(STOP)条件生成(TWSTO)ビット**へ論理1を書くことによって**停止(STOP)条件**が送出されるまで繰り返されます。

再送開始条件(状態符号\$10)後、2線直列インターフェースはTWDRに従装置アドレスとデータ方向ビット(SLA+W)を設定することによって送信主装置動作へ切り替えたり、受信主装置または送信主装置として新規従装置にアクセスできます。

送信主装置動作の操作を説明するアセンブリ言語プログラムは**TWI項の最後**で与えられます。

受信従装置動作

受信従装置動作では送信主装置から何バイトかのデータが受信されます(図57.参照)します。受信従装置動作を始めるには2線直列インターフェース アドレス レジスタ(TWAR)と2線直列インターフェース制御レジスタ(TWCR)が次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	自分自身の従装置アドレス							1/0

上位7ビットは主装置によってアドレス指定される時に2線直列インターフェースが応答するアドレスです。最下位(TWGCE)ビットが設定(1)されると、2線直列インターフェースは一斉呼び出しアドレス(\$00)に応答します。そうでなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	—	TWIE
設定値	0	1	0	0	0	1	0	X

2線直列インターフェース動作許可(TWEN)は2線直列インターフェースを許可するために設定(1)されなければなりません。確認応答(ACK)許可(TWEA)ビットはデバイス自身の従装置アドレスまたは一斉呼び出しアドレスの確認応答を許可するために設定(1)されなければなりません。開始(START)条件生成(TWSTA)と停止(STOP)条件生成(TWSTO)は解除(0)されなければなりません。

TWARとTWCRが初期化されてしまうと、2線直列インターフェースは自身の従装置アドレス(または許可されていれば一斉呼び出しアドレス)によってアドレス指定されるまで待機し、受信従装置動作で操作するには、それに続くデータ方向ビットが0(W:主装置書き込み)でなければなりません。自身の従装置アドレスとWビットが受信されてしまった後、2線直列インターフェース割り込み要求フラグ(TWINT)が設定(1)され、有効な状態符号が2線直列インターフェース状態レジスタ(TWSR)から読めます。この状態符号は適切なソフトウェア動作を決めるのに使われます。各状態符号に対して必要とされる適切な動作は表39.で詳細に記述されます。受信従装置動作は、2線直列インターフェースが主装置動作中に調停が失敗される場合に移行される可能性もあります。(状態符号\$68, \$78参照)

転送中にTWEAビットが解除(0)されると、2線直列インターフェースは次に受信されるデータ バイトの後でSDAに非確認応答(NACK) (SDA=1)を返します。TWEAが解除(0)中、2線直列インターフェースは自身の従装置アドレスに応答しません。しかし、2線直列バスは未だ監視され、アドレス承認はTWEAの設定(1)によって何時でも再開できます。これはTWEAビットが2線直列インターフェースを2線直列バスから一時的に隔離するのに使えることを意味します。

アイドル動作を除く休止形態での2線直列インターフェースへのクロック システムはOFFに切り替えられます。受信従装置動作が許可される場合に、このインターフェースはクロック元として2線直列バス クロックを使うことにより、未だ自身の従装置アドレスと一斉呼び出しに応答できます。休止形態から起動復帰するとき、起動復帰中とTWINTフラグが解除(0)されるまで、2線直列インターフェースはSCL クロックをLowに保持します。

これらの休止形態から起動復帰するとき、2線直列インターフェース データ レジスタ(TWDR)はバス上に存在する最後のバイトを反映しないことに注意してください。

受信従装置動作の操作を説明するアセンブリ言語プログラムはTWI項の最後で与えられます。

送信従装置動作

送信従装置動作では受信主装置へ何バイトかのデータが送信されます(図58.参照)。この転送は受信従装置動作でのように初期化されます。2線直列インターフェース アドレス レジスタ(TWAR)と2線直列インターフェース制御レジスタ(TWCR)が初期化されてしまうと、2線直列インターフェースは自身の従装置アドレス(または許可されるなら一斉呼び出しアドレス)によってアドレス指定されるまで待機し、受信従装置動作で操作するには、それに続くデータ方向ビットが1(R:主装置読み出し)でなければなりません。自身の従装置アドレスとRビットが受信されてしまった後、2線直列インターフェース割り込み要求フラグ(TWINT)が設定(1)され、有効な状態符号が2線直列インターフェース状態レジスタ(TWSR)から読めます。この状態符号は適切なソフトウェア動作を決めるのに使われます。各状態符号に対して必要とされる適切な動作は表40.で詳細に記述されます。受信従装置動作は2線直列インターフェースが主装置動作中に調停が失敗される場合に移行される可能性もあります。(状態符号\$B0参照)

転送中に確認応答(ACK)許可(TWEA)ビットが解除(0)されると、2線直列インターフェースはその転送の最後のバイトを送信し、状態符号\$C0から\$C8へ移行します。2線直列インターフェースはアドレス指定されていない従装置動作に切り替えられ、転送が継続する場合、主装置を無視します。従って受信主装置は直列データとして全て1を受信します。TWEAが解除(0)中、2線直列インターフェースは自身の従装置アドレスに応答しません。しかし、2線直列バスは未だ監視され、アドレス承認はTWEAの設定(1)によって何時でも再開できます。これはTWEAビットが2線直列インターフェースを2線直列バスから一時的に隔離するのに使えることを意味します。

送信従装置動作の操作を説明するアセンブリ言語プログラムはTWI項の最後で与えられます。

その他の状態

これらは2線直列インターフェースで定義された状態に従っていない2つの状態符号で、表41をご覧ください。

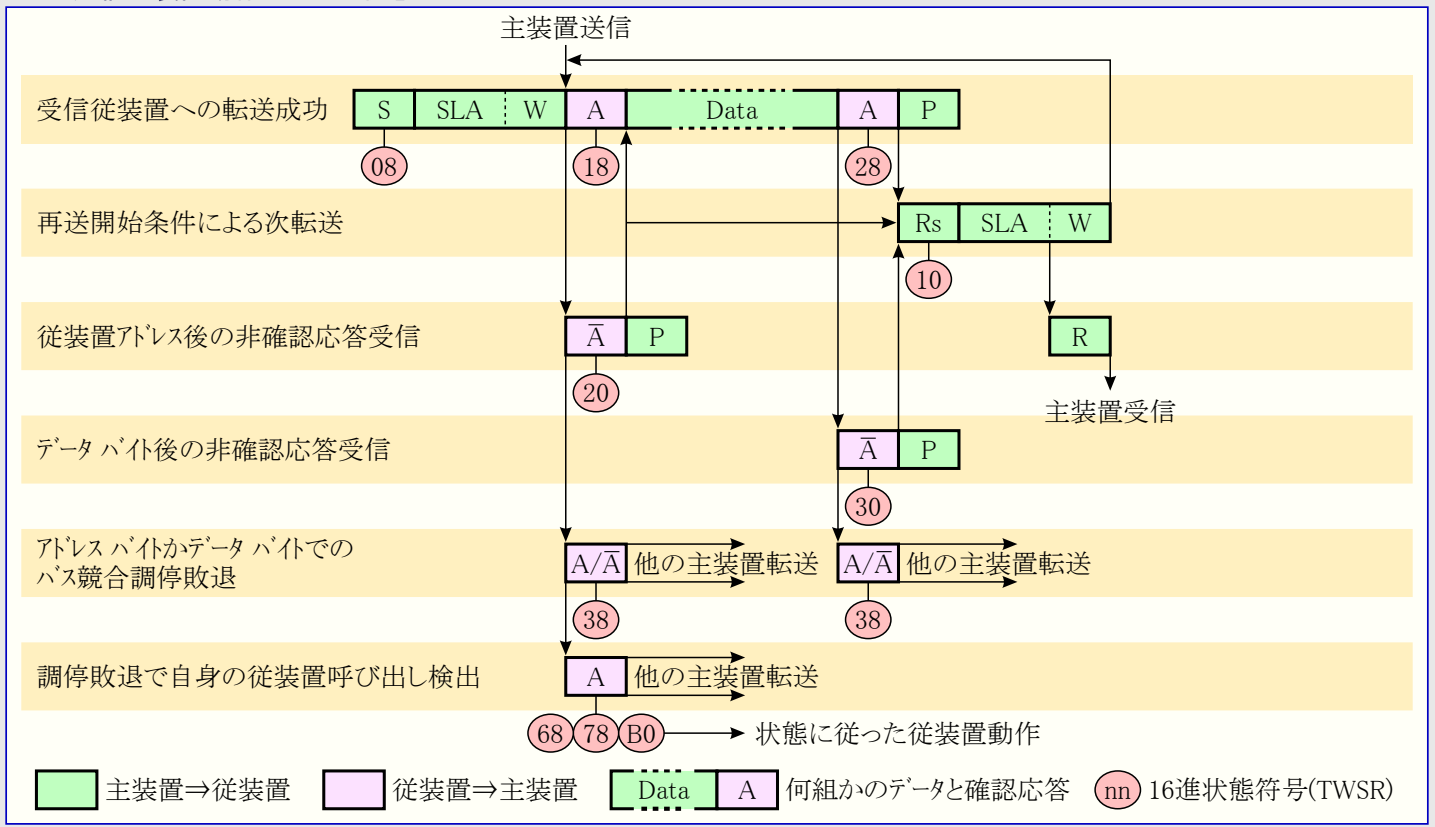
状態\$F8は今のところ2線直列インターフェース制御レジスタ(TWCR)のTWI割り込み要求フラグ(TWINT)が設定(1)されないため、適切な情報が利用できないことを表します。これは他の状態間で起き、その時の2線直列インターフェースは直列転送に関係していません。

状態\$00は2線直列バス転送中にバス異常が起きたことを表します。バス異常は転送形式内の不正な位置で開始(START)条件または停止(STOP)条件が起きた時に発生します。上記不正位置の実例はアドレスバイト、データバイト、または応答ビットの直列転送中です。バス異常が起これば、TWINTが設定(1)されます。バス異常から回復するには停止(STOP)条件生成(TWSTO)ビットが設定(1)され、論理1の書き込みによってTWINTが解除(0)されなければなりません。これは2線直列インターフェースをアドレス指定されていない従装置動作にして、TWSTOを(TWCRの他のビットに影響を及ぼさずに)解除(0)させます。SDAとSCL信号線は開放され、停止条件は送出されません。

表37. 送信主装置動作の状態符号

状態符号 (TWSR)	バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
\$08	開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
\$10	再送開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
		SLA+R設定	0	0	1	X	SLA+R送信、受信主装置動作へ移行
\$18	SLA+W送信 ACK受信	データ設定	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
\$20	SLA+W送信 NACK受信	データ設定	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
\$28	データバイト送信 ACK受信	データ設定	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
\$30	データバイト送信 NACK受信	データ設定	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
\$38	SLA+W, データバイトで バス競合調停敗退	なし	0	0	1	X	バス開放、未指定従装置動作へ移行
			1	0	1	X	バス開放時に開始条件送信

図55. 送信主装置動作の形式と状態



送信主装置動作のアセンブリ言語プログラム例

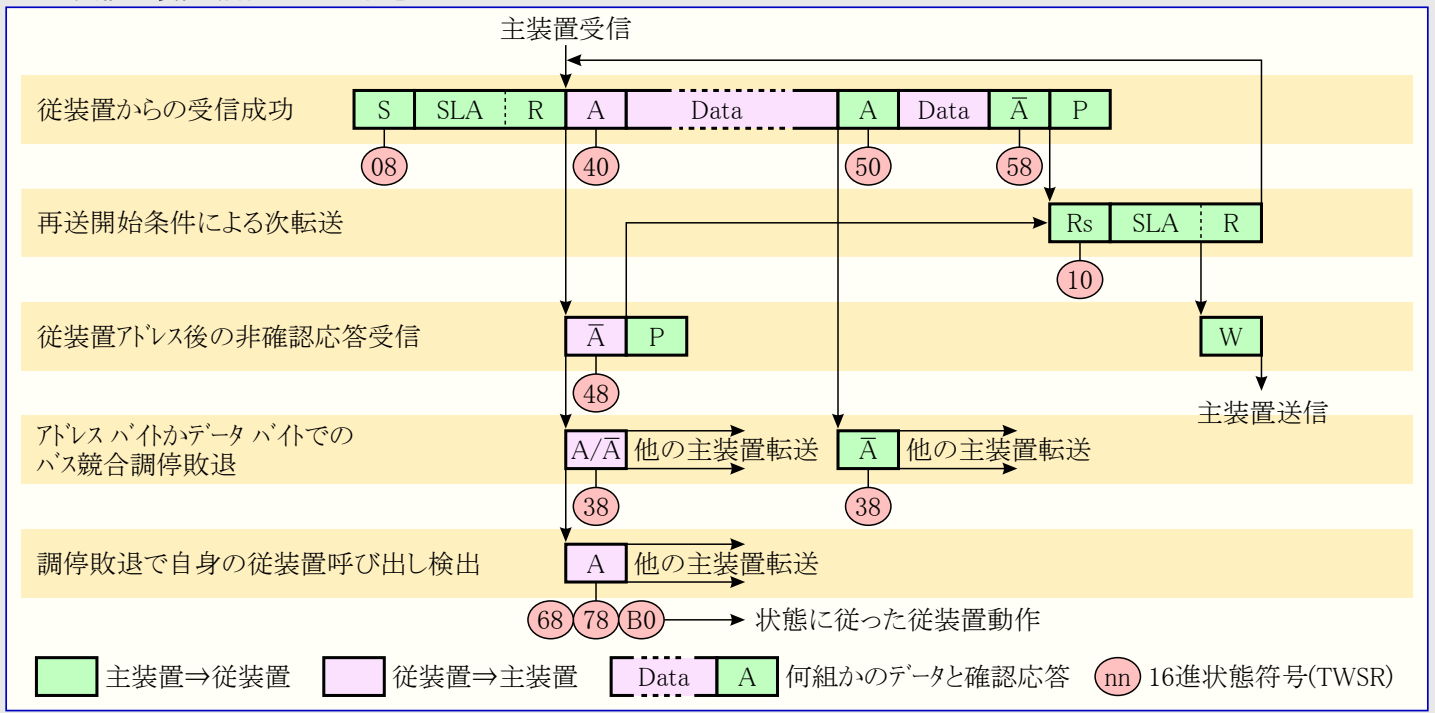
アドレス指定される従装置はアドレス\$64です。このコード例は或る種の異常処理ルーチンがERRORで示されると仮定します。デバイス定義ファイルとTWI定義ファイルがインクルードされなければなりません。

ラベル	命令	注釈
MTWT1:	LDI R16, (1<<TWINT)+(1<<TWSTA)+(1<<TWEN)	; 開始条件許可ビット値取得
	OUT TWCR, R16	; 開始条件送出開始
	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; 開始条件送出でスキップ
	RJMP MTWT1	; 開始条件送出まで待機
;		
	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, START	; 状態符号検査
;	BRNE ERROR	; 不適切状態符号で異常処理へ
;	LDI R16, (\$64<<1)	; 従装置アドレス+W値取得
	OUT TWDR, R16	; 従装置アドレスと書き込みを設定
	LDI R16, (1<<TWINT)+(1<<TWEN)	; 割り込み要求フラグ解除用ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、アドレス送出開始
MTWT2:	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; SLA+W送出完了、ACK/NACK受信でスキップ
	RJMP MTWT2	; ACK/NACK受信まで待機
;		
	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, MT_SLA_ACK	; 状態符号検査
;	BRNE ERROR	; 不適切状態符号で異常処理へ
;	LDI R16, \$33	; データ値取得
	OUT TWDR, R16	; 送信データ設定
	LDI R16, (1<<TWINT)+(1<<TWEN)	; 割り込み要求フラグ解除用ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、データ送出開始
MTWT3:	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; データ送出完了、ACK/NACK受信でスキップ
	RJMP MTWT3	; ACK/NACK受信まで待機
;		
	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, MT_DATA_ACK	; 状態符号検査
;	BRNE ERROR	; 不適切状態符号で異常処理へ
;		
;	LDI R16, (1<<TWINT)+(1<<TWSTO)+(1<<TWEN)	; 停止条件許可ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、停止条件送出開始

表38. 受信主装置動作の状態符号

状態符号 (TWSR)	バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
\$08	開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
\$10	再送開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
		SLA+W設定	0	0	1	X	SLA+W送信、送信主装置動作へ移行
\$38	SLA+Rで調停敗退 またはNACK受信	なし	0	0	1	X	バス開放、未指定従装置動作へ移行
			1	0	1	X	バス開放時に開始条件送信
\$40	SLA+R送信 ACK受信	なし	0	0	1	0	データ受信、NACK応答
			0	0	1	1	データ受信、ACK応答
\$48	SLA+R送信 NACK受信	なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0
\$50	データバイト受信 ACK応答	データ取得	0	0	1	0	データ受信、NACK応答
			0	0	1	1	データ受信、ACK応答
\$58	データバイト受信 NACK応答	データ取得	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件→開始条件送信、TWSTO=0

図56. 受信主装置動作の形式と状態



受信主装置動作のアセンブリ言語プログラム例

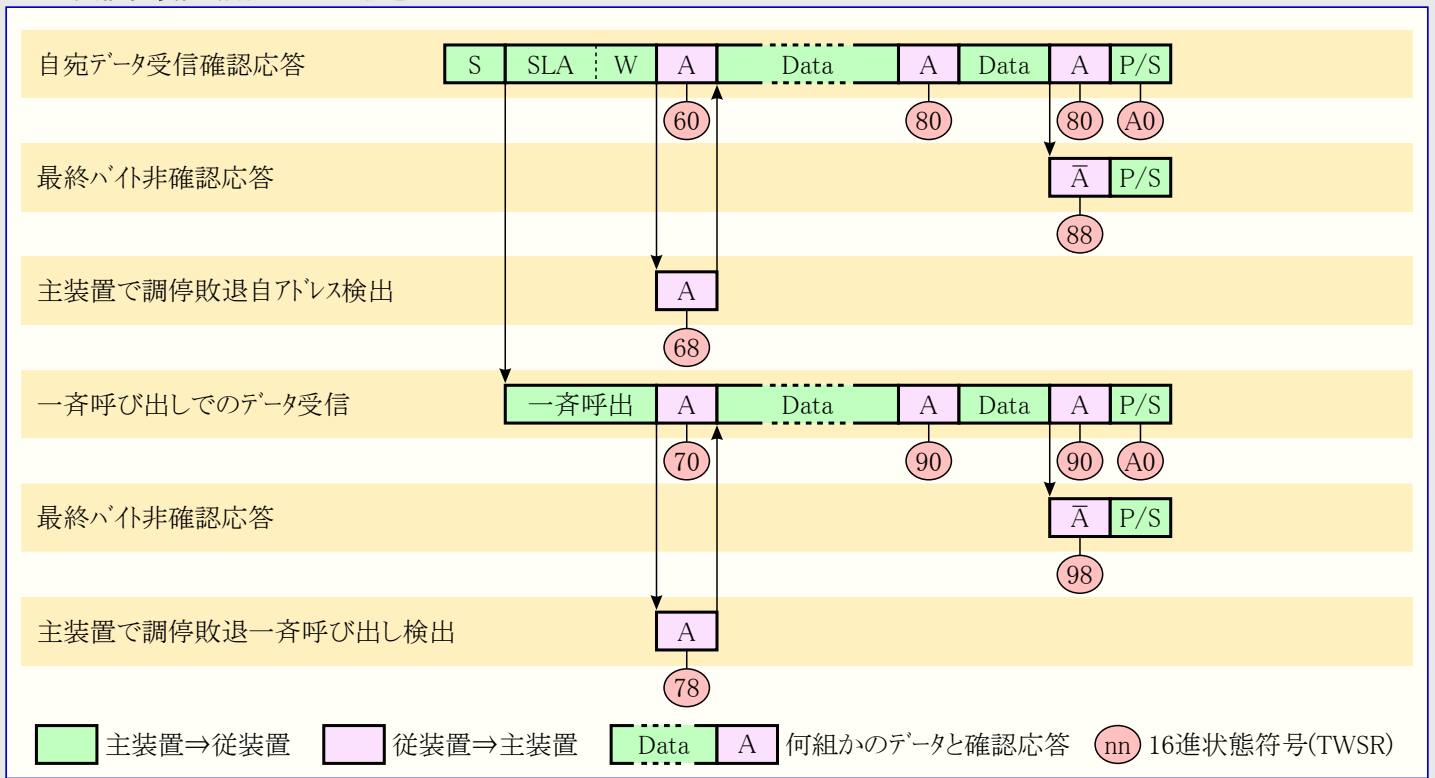
デバイス定義ファイルとTWI定義ファイルがインクルードされなければなりません。

ラベル	命令	注釈
MRWT1:	LDI R16, (1<<TWINT)+(1<<TWSTA)+(1<<TWEN)	; 開始条件許可ビット値取得
	OUT TWCR, R16	; 開始条件送出開始
	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; 開始条件送出でスキップ
	RJMP MRWT1	; 開始条件送出まで待機
;	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, START	; 状態符号検査
	BRNE ERROR	; 不適切状態符号で異常処理へ
	LDI R16, (\$64<<1)+1	; 従装置アドレス+R値取得
	OUT TWDR, R16	; 従装置アドレスと読み出しを設定
;	LDI R16, (1<<TWINT)+(1<<TWEN)	; 割り込み要求フラグ解除用ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、アドレス送出開始
MRWT2:	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; SLA+R送出完了、ACK/NACK受信でスキップ
	RJMP MRWT2	; ACK/NACK受信まで待機
	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, MR_SLA_ACK	; 状態符号検査
;	BRNE ERROR	; 不適切状態符号で異常処理へ
;	LDI R16, (1<<TWINT)+(1<<TWEA)+(1<<TWEN)	; 確認応答用ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、確認応答指定
MRWT3:	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; データ受信完了、ACK送出でスキップ
	RJMP MRWT3	; データ受信完了、ACK送出まで待機
	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, MR_DATA_ACK	; 状態符号検査
;	BRNE ERROR	; 不適切状態符号で異常処理へ
;	IN R16, TWDR	; 受信データバイト取得
		; (受信データ処理)
	必要バイト数-1分この部分を繰り返す	
;	LDI R16, (1<<TWINT)+(1<<TWEN)	; 非確認応答用ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、非確認応答指定
MRWT4:	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; データ受信完了、NACK送出でスキップ
	RJMP MRWT4	; データ受信完了、NACK送出まで待機
	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, MR_DATA_NACK	; 状態符号検査
;	BRNE ERROR	; 不適切状態符号で異常処理へ
;	IN R16, TWDR	; 受信データバイト取得
		; (受信データ処理)
	LDI R16, (1<<TWINT)+(1<<TWSTO)+(1<<TWEN)	; 停止条件許可ビット値取得
OUT	TWCR, R16	; 割り込み要求フラグ解除、停止条件送出開始

表39. 受信従装置動作の状態符号

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの応答				TWCR設定によるハードウェア動作	
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT		TWEA
\$60	自宛SLA+W受信 ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$68	主装置のSLA+R/Wで 調停敗退/自宛SLA+W 受信/ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$70	一斉呼び出し受信 ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$78	主装置のSLA+R/Wで 調停敗退/一斉呼び 出し受信/ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$80	自宛データバイト受信 ACK応答	データ取得	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$88	自宛データバイト受信 NACK応答	データ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 バス開放で開始条件送信
\$90	一斉呼び出しのデータ バイト受信/ACK応答	データ取得	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$98	一斉呼び出しのデータ バイト受信 NACK応答	データ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 バス開放で開始条件送信
\$A0	自指定中の 停止条件または 再送開始条件検出	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 バス開放で開始条件送信

図57. 受信従装置動作の形式と状態



受信従装置動作のアセンブリ言語プログラム例

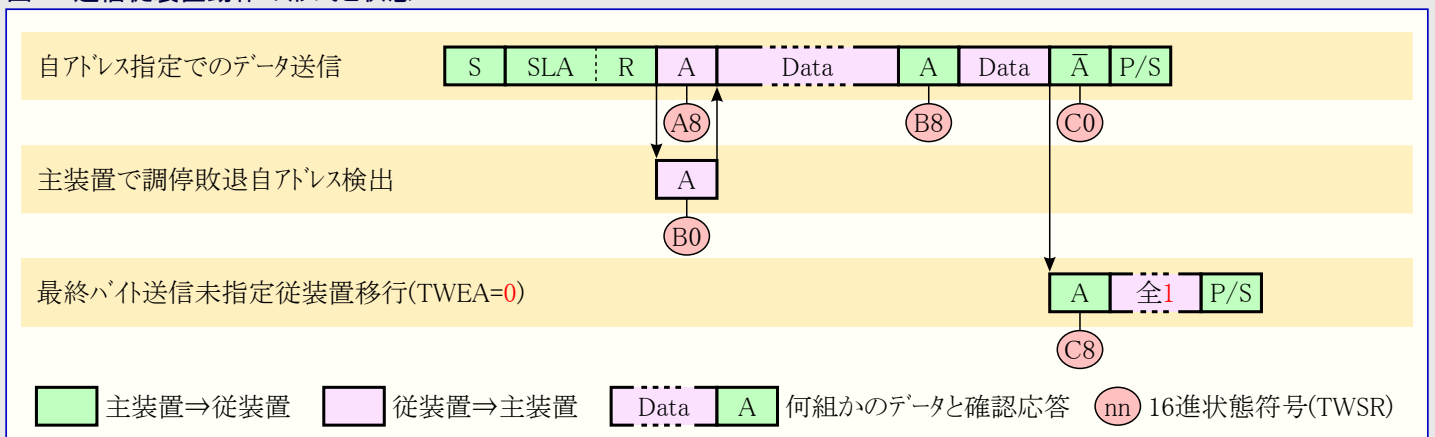
デバイス定義ファイルとTWI定義ファイルがインクルードされなければなりません。

ラベル	命令	注釈
SRWT1:	LDI R16, (\$64<<1)	; 従装置アドレス値取得
	OUT TWAR, R16	; 従装置アドレス設定(一斉呼び出し無視)
	LDI R16, (1<<TWINT)+(1<<TWEA)+(1<<TWEN)	; 確認応答許可ビット値取得
	OUT TWCR, R16	; 確認応答指定(従装置受信動作設定)
	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; 開始条件+SLA+W検出でスキップ
	RJMP SRWT1	; 開始条件+自宛SLA+W検出まで待機
	;	
	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, SR_SLA_ACK	; 状態符号検査
SRWT2:	BRNE ERROR	; 不適切状態符号で異常処理へ
	LDI R16, (1<<TWINT)+(1<<TWEA)+(1<<TWEN)	; 確認応答許可ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、確認応答指定
	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; データ受信完了、ACK送出でスキップ
	RJMP SRWT2	; データ受信完了、ACK送出まで待機
	;	
	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, SR_DATA_ACK	; 状態符号検査
	BRNE ERROR	; 不適切状態符号で異常処理へ
SRWT3:	IN R16, TWDR	; 受信データバイト取得
	;	; (受信データ処理)
	;	
	;	
	;	
	LDI R16, (1<<TWINT)+(1<<TWEN)	; 非確認応答用ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、非確認応答指定
	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; データ受信完了、NACK送出でスキップ
	RJMP SRWT3	; データ受信完了、NACK送出まで待機
SRWT4:	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, SR_DATA_NACK	; 状態符号検査
	BRNE ERROR	; 不適切状態符号で異常処理へ
	IN R16, TWDR	; 受信データ取得
	;	; (受信データ処理)
	;	
	LDI R16, (1<<TWINT)+(1<<TWEA)+(1<<TWEN)	; 確認応答許可ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、未指定従装置設定
	;	
	;	

表40. 送信従装置動作の状態符号

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
\$A8	自宛SLA+R受信 ACK応答	データ設定	X	0	1	0	最終データバイト送信、NACK受信予定
			X	0	1	1	データバイト送信、ACK受信予定
\$B0	主装置のSLA+R/Wで 調停敗退/自宛SLA+ R受信/ACK応答	データ設定	X	0	1	0	最終データバイト送信、NACK受信予定
			X	0	1	1	データバイト送信、ACK受信予定
\$B8	データバイト送信 ACK受信	データ設定	X	0	1	0	最終データバイト送信、NACK受信予定
			X	0	1	1	データバイト送信、ACK受信予定
\$C0	データバイト送信 NACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 バス開放で開始条件送信
\$C8	最終データバイト送信 (TWEA=0) ACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 バス開放で開始条件送信

図58. 送信従装置動作の形式と状態



送信従装置動作のアセンブリ言語プログラム例

デバイス定義ファイルとTWI定義ファイルがインクルードされなければなりません。

ラベル	命令	注釈
STWT1:	LDI R16, (\$64<<1)	; 従装置アドレス値取得
	OUT TWAR, R16	; 従装置アドレス設定(一斉呼び出し無視)
	LDI R16, (1<<TWINT) + (1<<TWEA) + (1<<TWEN)	; 確認応答許可用ビット値取得
	OUT TWCR, R16	; 確認応答指定(従装置送信動作設定)
	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; SLA+R検出、ACK送出でスキップ
	RJMP STWT1	; 自宛SLA+R検出、ACK送出まで待機
;	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, ST_SLA_ACK	; 状態符号検査
	BRNE ERROR	; 不適切状態符号で異常処理へ
STWT2:	LDI R16, \$33	; データ値取得
	OUT TWDR, R16	; 送信データ設定
	LDI R16, (1<<TWINT) + (1<<TWEA) + (1<<TWEN)	; 確認応答許可用ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、確認応答指定、送信開始
	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; データ送信完了、ACK/NACK検出でスキップ
	RJMP STWT2	; データ送信完了、ACK/NACK検出まで待機
;	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, ST_DATA_ACK	; 状態符号検査
	BRNE ERROR	; 不適切状態符号で異常処理へ
必要バイト数-1分この部分を繰り返し		
STWT3:	LDI R16, \$66	; 最終データ値取得
	OUT TWDR, R16	; 送信データ設定
	LDI R16, (1<<TWINT) + (1<<TWEN)	; 非確認応答許可用ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、非確認応答指定、送信開始
	IN R16, TWCR	; 2線I/F制御レジスタ値取得
	SBRS R16, TWINT	; データ送信完了、ACK/NACK検出でスキップ
	RJMP STWT3	; データ送信完了、ACK/NACK検出まで待機
;	IN R16, TWSR	; 2線I/F状態レジスタ値取得
	CPI R16, ST_LAST_DATA	; 状態符号検査
	BRNE ERROR	; 不適切状態符号で異常処理へ
;	LDI R16, (1<<TWINT) + (1<<TWEA) + (1<<TWEN)	; 確認応答用ビット値取得
	OUT TWCR, R16	; 割り込み要求フラグ解除、未指定従装置設定

表41. その他の状態符号

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWINT	TWEA	
\$F8	適切な状態情報なし TWINT=0	なし	-	-	-	-	待機または現在の転送続行
\$00	不正な開始条件/停止条件でのバス異常	なし	0	1	1	X	停止条件を送出せずにバスを開放 TWSTO=0

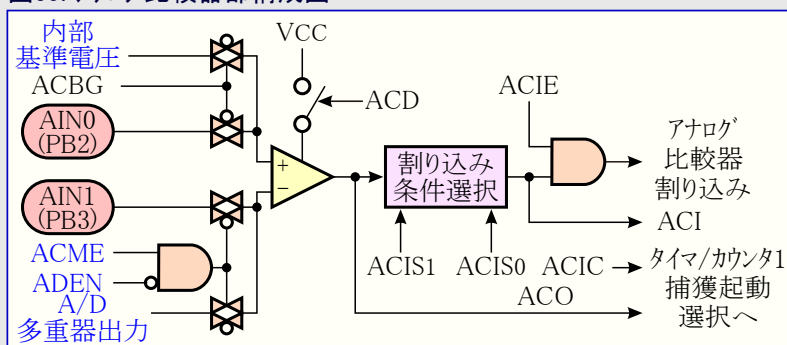
2線直列インターフェース状態符号定義ファイル内容

ラベル	命令	注釈
;	* 主装置一般状態符号 *	
	. EQU START	=\$08 ; 開始条件送出開始
	. EQU REP_START	=\$10 ; 再開条件送出開始
;	* 主装置送信状態符号 *	
	. EQU MT_SLA_ACK	=\$18 ; SLA+W送信、ACK受信
	. EQU MT_SLA_NACK	=\$20 ; SLA+W検出、NACK受信
	. EQU MT_DATA_ACK	=\$28 ; データバイト送信、ACK受信
	. EQU MT_DATA_NACK	=\$30 ; データバイト送信、NACK受信
	. EQU MT_ARB_LOST	=\$38 ; アドレス/データバイト中のバス競合による送信不許可
;	* 主装置受信状態符号 *	
	. EQU MR_ARB_LOST	=\$38 ; アドレス/データバイト中のバス競合による送信不許可
	. EQU MR_SLA_ACK	=\$40 ; SLA+R送信、ACK受信
	. EQU MR_SLA_NACK	=\$48 ; SLA+R送信、NACK受信
	. EQU MR_DATA_ACK	=\$50 ; データバイト受信、ACK送信
	. EQU MR_DATA_NACK	=\$58 ; データバイト受信、NACK送信
;	* 従装置受信状態符号 *	
	. EQU SR_SLA_ACK	=\$60 ; SLA+R受信、ACK送信
	. EQU SR_ARB_LOST_SLA_ACK	=\$68 ; 主装置でアドレス送信中の競合により、SLA+R受信、ACK送信
	. EQU SR_GCALL_ACK	=\$70 ; 一斉呼び出し受信、ACK送信
	. EQU SR_ARB_LOST_GCALL_ACK	=\$78 ; 主装置でアドレス送信中の競合により、一斉呼出受信、ACK送信
	. EQU SR_DATA_ACK	=\$80 ; 自宛データバイト受信、ACK送信
	. EQU SR_DATA_NACK	=\$88 ; 自宛データバイト受信、NACK送信
	. EQU SR_GCALL_DATA_ACK	=\$90 ; 一斉呼び出しによるデータバイト受信、ACK送信
	. EQU SR_GCALL_DATA_NACK	=\$98 ; 一斉呼び出しによるデータバイト受信、NACK送信
	. EQU SR_STOP	=\$A0 ; 従装置でアドレス指定中の停止条件または再送開始条件検出
;	* 従装置送信状態符号 *	
	. EQU ST_SLA_ACK	=\$A8 ; 自SLA+R受信、ACK送信
	. EQU ST_ARB_LOST_SLA_ACK	=\$B0 ; 主装置でアドレス送信中の競合により、SLA+W受信、ACK送信
	. EQU ST_DATA_ACK	=\$B8 ; データバイト送信、ACK受信
	. EQU ST_DATA_NACK	=\$C0 ; データバイト送信、NACK受信
	. EQU ST_LAST_DATA	=\$C8 ; 最終データバイト送信(TWEA=0)、ACK受信
;	* その他の状態符号 *	
	. EQU NO_INFO	=\$F8 ; 利用可能な状態情報なし、TWINT=0
	. EQU BUS_ERROR	=\$00 ; 不正な開始条件または停止条件によるバス異常

アナログ比較器

このアナログ比較器は非反転入力AIN0(PB2)と反転入力AIN1(PB3)の入力値を比較します。AIN0(PB2)非反転入力電圧がAIN1(PB3)反転入力電圧より高いとアナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)が設定(1)されます。この比較器出力はタイマ/カウンタ1の捕獲機能を起動するように設定できます。加えて、比較器はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端、またはその両方での割り込み起動が選べます。この比較器とその周辺回路の構成図は図59.で示されます。

図59. アナログ比較器部構成図



注: A/D多重器出力については85頁の図60.をご覧ください。

アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

• ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFに切り替えるために、何時でも設定(1)できます。これは活動動作やアイドル動作での消費電力を削減します。ACDビットを変更するとき、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

• ビット6 – ADBG : 内部基準電圧選択 (Analog Comparator Bandgap Select)

BODENヒューズがプログラム(0)で**低電圧検出(BOD)リセット**が許可され、このビットが設定(1)されると、公称 $1.22 \pm 0.10V$ の内部基準電圧がアナログ比較器への非反転入力(AIN0)に置き換わります。このビットが解除(0)されると、AIN0が比較器非反転入力に印加されます。20頁の「**内部基準電圧**」をご覧ください。

• ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

• ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが、**アナログ比較器割り込み条件(ACIS1, ACIS0)ビット**で定義された割り込み動作を起こす時にこのビットは設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)されて、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行するとき、ACIは自動的に解除(0)されます。代わりにこのフラグへ論理1を書くことによっても、ACIは解除(0)されます。

• ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、アナログ比較器割り込みが有効化されます。解除(0)されると、この割り込みは禁止されます。

• ビット2 – ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

設定(1)されると、このビットはアナログ比較器によって起動されるタイマ/カウンタ1の捕獲機能を許可します。この場合、比較器出力は直接、**捕獲起動入力の前処理回路**に接続され、比較器はタイマ/カウンタ1捕獲割り込みの**雑音除去と端(エッジ)選択機能**が利用可能になります。解除(0)されると、アナログ比較器と捕獲機能間の関係がなくなります。比較器がタイマ/カウンタ1捕獲割り込みを起動するには**タイマ/カウンタ割り込み許可レジスタ(TIMSK)の捕獲割り込み許可(TICIE1)ビット**が設定(1)されなければなりません。

• ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす比較器の出来事を決めます。各設定は表42.に示されます。

このACIS1, ACIS0ビットを変更するとき、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起き得ます。

表42. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移(トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

アナログ比較器入力選択

これは表で示されるような単純なものです。特殊I/O機能レジスタ(SFIOR)のアナログ比較器多重器許可(ACME)ビットが解除(0)されるか、またはA/D変換制御/状態レジスタ(ADCSR)のA/D許可(ADEN)が設定(1)されると、AIN1(PB3)がアナログ比較器の反転入力に印加されます。

表43. アナログ比較器反転入力選択

ACME	ADEN	MUX2~0	アナログ比較器反転入力
0	X	X X X	AIN1 (PB3)
	1	X X X	
1	0	0 0 0	ADC0 (PA0)
		0 0 1	ADC1 (PA1)
		0 1 0	ADC2 (PA2)
		0 1 1	ADC3 (PA3)
		1 0 0	ADC4 (PA4)
		1 0 1	ADC5 (PA5)
		1 1 0	ADC6 (PA6)
		1 1 1	ADC7 (PA7)

操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はAGNDを表し、最大値はAREFピンの電圧-1 LSBを表します。任意で、**A/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS1,REFS0)ビット**への書き込みにより、AVCCまたは内部2.56V基準電圧をAREFピンに接続できます。この内部基準電圧は雑音耐性を改善するため、AREFピンでの外部コンデンサによってデカップ(雑音結合の減少)のようにできます。

アナログ入力チャンネルはADMUXの**チャンネル選択(MUX4~0)ビット**への書き込みによって選ばれます。AGNDや公称1.22V内蔵基準電圧(VBG)だけでなく、8つのA/D変換入力ピン(ADC7~0)の何れもがA/D変換器へのシングル エント 入力として選べます。

A/D変換は単独と連続の2つの動作ができます。単独変換動作では変換毎に使用者によって開始されなければなりません。連続変換動作では絶えず採取と**A/Dデータ レジスタ(ADCH/ADCL)の更新**をします。**A/D制御/状態レジスタ(ADCSR)のA/D動作選択(ADFR)ビット**がこの2つの利用可能な種別の1つを選びます。

A/D変換部はADCSRの**A/D許可(ADEN)ビット**の設定(1)によって動作が許可されます。基準電圧と入力チャンネルの設定はADENが設定(1)されるまで実行しません。ADENが解除(0)の時にA/D変換部は電力を消費しないので、電力を節約する周期へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

ADCSRの**変換開始(ADSC)ビット**へ論理1を書くことによって変換が開始されます。このビットは変換が実行中である限り1に留まり、変換が完了されるとき、ハードウェアによって0に設定されます。変換が実行中の間に違うデータ(入力)チャンネルが選ばれる場合、A/D変換器はチャンネル変更を実行する前に現在の変換を済ませます。

このA/D変換部はA/Dデータ レジスタ(ADCH, ADCL)で示される10ビットの結果を生成します。既定ではこの結果が右揃え(16ビットのビット0側10ビット)で表されますが、任意でADMUXの**左揃え選択(ADLAR)ビット**を設定(1)することにより、左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHの読み込みで足ります。さもないければ、データレジスタの内容が同じ変換(からの結果)であることを保証するため、最初にADCLを読み、次にADCHを読まなければなりません。一度ADCLを読むと、A/D変換器からのA/Dデータ レジスタ(ADCH, ADCL)アクセスが防止されます。これはADCLを読んでしまい、ADCHを読む前に変換が完了すると、どちらのレジスタ(ADCH, ADCL)も更新されず、この変換からの結果が失われることを意味します。ADCHを読むと、ADCH, ADCLへのA/D変換器アクセスが再び許可されます。

A/D変換部には変換完了時に起動することができる自身用の割り込みがあります。A/Dデータ レジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されていると、例え変換結果が失われても、割り込みは起動します。

前置分周と変換タイミング

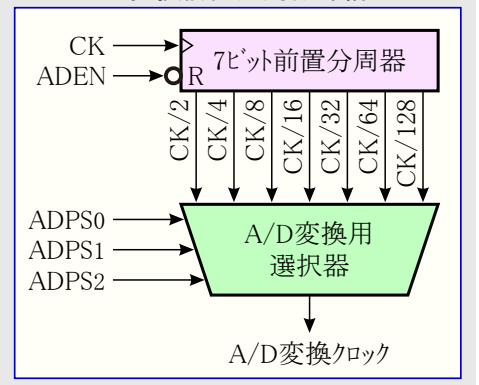
逐次比較回路が最大分解能を達成するためには50~200kHzの入力クロック周波数が必要です。10ビット未満の分解能が必要とされる場合、より高い採取速度を達成するためにA/D変換器の入力クロック周波数は200kHzより高くできます。より多くの詳細については91頁の「**A/D変換器特性 (暫定)**」をご覧ください。A/D変換部はシステム クロックを受け入れ可能なA/D変換クロック周波数に分周する前置分周器を含みます。

A/D制御/状態レジスタ(ADCSR)のA/Dクロック選択(ADPS2~0)ビットは100kHz以上のどのXTAL(システム クロック)周波数からも適当なA/D変換クロック入力周波数を生成するのに使われます。この前置分周器はADCSRの**A/D許可(ADEN)ビット**を設定(1)することによってA/D変換部がONに切り替えられる時から計数を始めます。前置分周器はADENビットが設定(1)である限り動作し続け、ADENが解除(0)の時は継続的にリセットされます。

ADCSRの**A/D変換開始(ADSC)ビット**を設定(1)することによって変換を開始するとき、この変換は直後の変換クロック周期の上昇端で始まります。

通常の変換は13変換クロック周期かかります。或る状態で、A/D変換器は初期化と変位(オフセット)誤差を最小にするためにより多くのクロック周期が必要です。延長された変換は25変換クロック周期かかり、A/D変換部がONに切り替え(ADCSRのADEN=1)後の最初の変換で起きます。基準電圧変更時に加え、基準電圧や多重器設定が変更された後の最初の変換結果を無視することで、精度の改善ができます。

図61. A/D変換前置分周器部構成



実際の採取&保持は通常変換開始後1.5、延長された変換開始後13.5変換クロック周期の位置で行われます。変換が完了する時に結果がA/Dデータレジスタ(ADCH, ADCL)に書かれ、ADCSRのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADFR=0)では同時にADSCが解除(0)されます。その後ソフトウェアは再びADSCを設定(1)でき、変換クロックの最初の上昇端で新規変換が開始されます。連続変換動作(ADFR=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。200kHzの変換クロック周波数と連続変換動作の使用は最大分解能での最小変換時間65μs(約15k採取/s)を与えます。変換時間の一覧については表44をご覧ください。

図62. 初回(延長された)変換タイミング (単独変換動作)

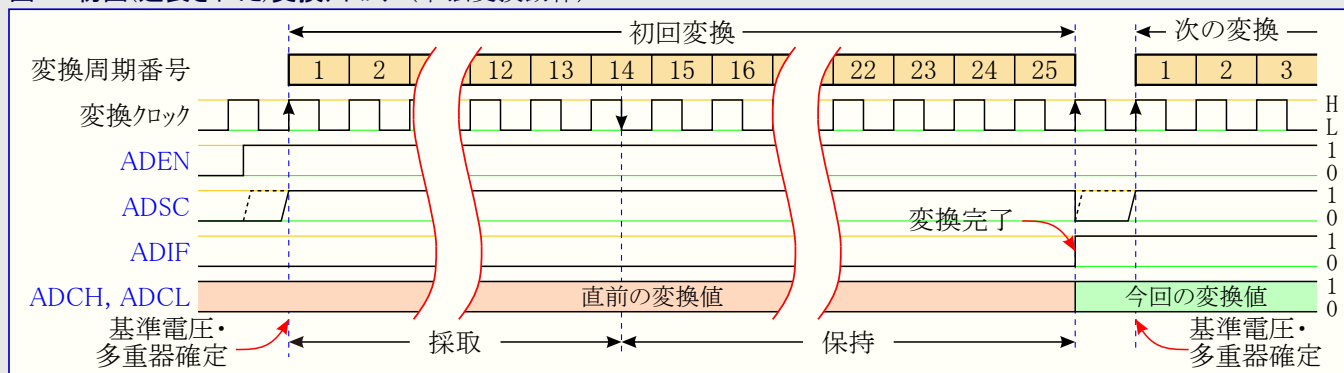


図63. 通常変換タイミング (単独変換動作)

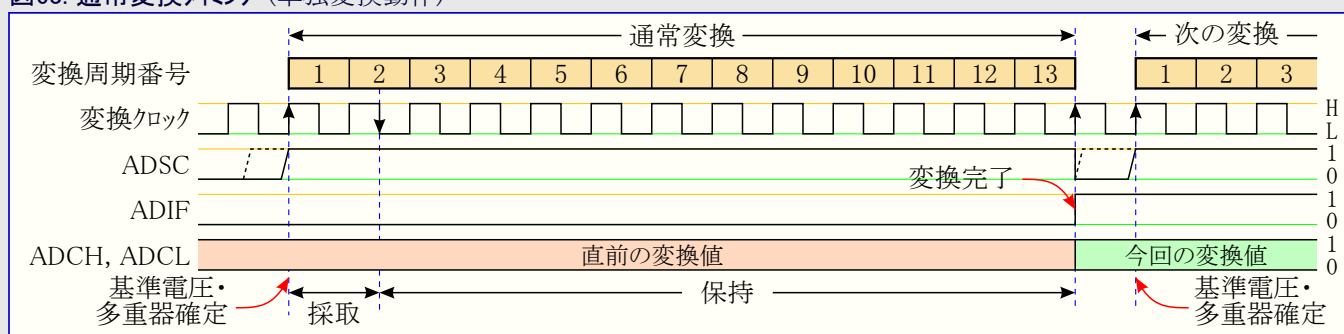


図64. 連続変換動作タイミング

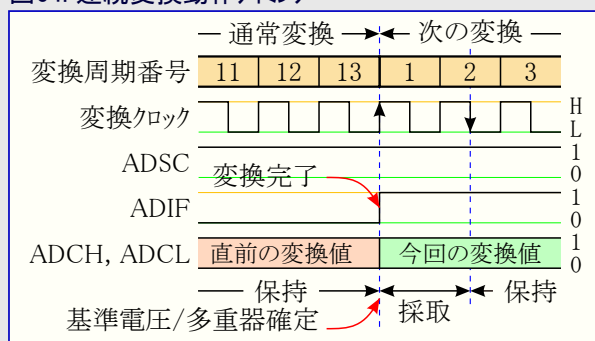


表44. A/D変換時間

変換種別	保持点	変換終了	総変換時間	変換時間(μs)
連続(初回)	13.5	25	25	125~500
単独(初回)	13.5	25	26	130~520
連続(通常)	1.5	13	13	65~260
単独(通常)	1.5	13	14	70~280

注: 変換時間を除く各番号は変換開始からの変換クロック数です。

(訳注) この表は原書に対して追加/修正されています。
より適切なタイミング図についてはAT90S2333またはAT90S4433データシートの該当箇所を参照してください。

雑音低減機能

A/D変換部は、CPUコアと他の周辺I/Oから誘導される雑音を低減するため、A/D変換雑音低減動作(27頁の「休止形態」参照)中にA/D変換を可能にする雑音低減機能が特徴です。他の周辺I/Oが変換中に動作しなければならない場合、この動作はアイドル動作に対して等価的に動作します。この機能の使用を行うには、次の手順が使われるべきです。

1. A/D変換が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認します。単独変換動作が選択(ADFR=0)され、A/D変換完了割り込みが許可(ADIE=1)されなければなりません。
2. A/D変換雑音低減動作(またはアイドル動作)へ移行します。一旦CPUが停止されてしまうと、A/D変換部は変換を開始します。
3. A/D変換完了前に他の割り込みが起きなければ、A/D変換完了割り込みがMCUを起動復帰し、A/D変換完了割り込み処理ルーチンを実行します。

A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7,6 – REFS1,0 : 基準電圧選択 (Reference Select Bits 1, 0)

これらのビットは表45.で示されるA/D変換器の基準電圧を選びます。これらのビットがA/D変換中に変更されると、(現在の)変換が完了する(A/D変換制御/状態レジスタ(ADCSR)のA/D変換完了割り込み要求フラグ(ADIF)=1)まで、この変更は実行しません。最大精度を得るため、これらのビットの変更後、最初の変換結果を無視すべきです。AREFピンに外部基準電圧が印加される場合、内部基準電圧機能が使われてはなりません。

表45. A/D変換器の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AREFピンの外部基準電圧 (AVCCと内蔵基準電圧は切り離されます。)
0	1	AVCC (内部基準電圧は切り離されますが、AREFにデカップ用コンデンサが接続できます。)
1	0	(予約)
1	1	2.56V内部基準電圧 (AVCCは切り離されますが、AREFにデカップ用コンデンサが接続できます。)

• ビット5 – ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットは、A/Dデータレジスタ内の変換結果の体裁に影響を及ぼします。ADLARが解除(0)されると、結果は右揃えにされます。ADLARが設定(1)されると、左揃えにされます。ADLARビットの変更は、進行中のどんな変換にも拘らず、直ちにA/Dデータレジスタに影響を及ぼします。完全な記述については90頁の「A/Dデータレジスタ (ADCH,ADCL)」をご覧ください。

• ビット4~0 – MUX4~0 : A/Dチャネル選択 (Analog Channel Select Bits 4~0)

これらのビット値はA/D変換器にどのアナログ入力に接続されるかを選びます。詳細については表46.をご覧ください。これらのビットが変換中に変更されると、変換が完了する(A/D変換制御/状態レジスタ(ADCSR)のA/D変換完了割り込み要求フラグ(ADIF)=1)まで、この変更は実行されません。

表46. アナログ入力チャネル選択

MUX4~0	00000	00001	00010	00011	00100	00101	00110	00111	01000~11101	11110	11111
アナログ入力チャネル	ADC0	ADC1	ADC2	ADC3	ADC4	ADC5	ADC6	ADC7	(予約)	1.22V	0V
備考	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7		V _{BG}	AGND

A/D変換 制御/状態レジスタ (ADC Control and Status Register) ADCSR

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 – ADEN : A/D許可 (ADC Enable)

このビットへの論理1書き込みがA/D動作を可能にします。このビットを0に解除することにより、A/D変換部はOFFに切り替えられます。A/D変換中のOFFへの切り替えは、その変換を終了します。

• ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作では変換毎に変換を開始するため、このビットに論理1が書かれなければなりません。連続変換動作では最初の変換を開始するため、このビットに論理1が書かれなければなりません。A/D許可(ADEN=1)後の最初のADSCの設定(1)か、A/D許可時の同時設定(1)で、**延長された変換**が始められる変換に先行します。この延長された変換はA/D変換部の初期化を行います。

ADSCは変換が実行されている限り1として読みます。変換が完了すると0に戻ります。延長された変換が実際の変換に先行するとき、ADSCは実際の変換が終了されるまで1に留まります。このビットへの0書き込みは無効です。

• ビット5 – ADFR : 連続/単独変換動作選択 (ADC Free Running Select)

このビットが設定(1)されるとA/D変換は連続変換動作で動きます。この動作では、継続的に採取とA/Dデータレジスタを更新します。このビットの解除(0)は連続変換を終了します(単独変換動作になります)。

• ビット4 – ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新される時、このビットが設定(1)されます。**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**とA/D変換完了割り込み許可(ADIE)ビットが設定(1)されていると、A/D変換完了割り込みが実行されます。ADIFは対応する割り込みベクタ実行時、自動的に解除(0)されます。代わりに、このフラグへの論理1書き込みによっても解除(0)されます。ADCSRで読み-変更-書き(リード モデファイライト)を行う場合、保留割り込みが禁止されることに注意してください。これはSBI, CBI命令が使われる場合にも適用されます。

• ビット3 – ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、A/D変換完了割り込みが有効に(許可)されます。

• ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはXTAL(システムクロック)周波数とA/D変換器への入力クロック間の分周比を決めます。

表47. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

A/Dデータレジスタ (ADC Data Register) ADCH,ADCL

ADLAR=0時								
ビット	15	14	13	12	11	10	9	8
\$05 (\$25)	SIGN	—	—	—	—	—	ADC9	ADC8
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ADLAR=1時								
ビット	15	14	13	12	11	10	9	8
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
ビット	7	6	5	4	3	2	1	0
	ADC1	ADC0	—	—	—	—	—	—

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、ADCHが読まれるまでA/Dデータレジスタは更新されません。従って、この結果が左揃えで、かつ8ビットを越える精度が必要とされないならば、ADCHを読むことで足ります。さもなければ、最初にADCLが、次にADCHが読まれなければなりません。

A/D多重器選択レジスタ(ADMUX)の左揃え選択(ADLAR)ビットは、このレジスタから結果が読まれる方法に影響を及ぼします。ADLARが設定(1)されると、結果は左揃えにされます。ADLARが解除(0)されると、結果は(既定の)右揃えにされます。

• ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは変換からの結果を表します。\$000がアナログ接地(AGND)を表し、\$3FFが選ばれた基準電圧-1 LSBを表します。

複数チャネル走査

アナログ入力チャネルの変更は常に変換が終了されるまで遅らされるため、**連続変換動作**はA/D変換部の割り込みなしでの複数チャネル走査に使えます。通常、**A/D変換完了割り込み**がチャネル移動を行うために使われます。しかし、次の要素が考慮されるべきです。

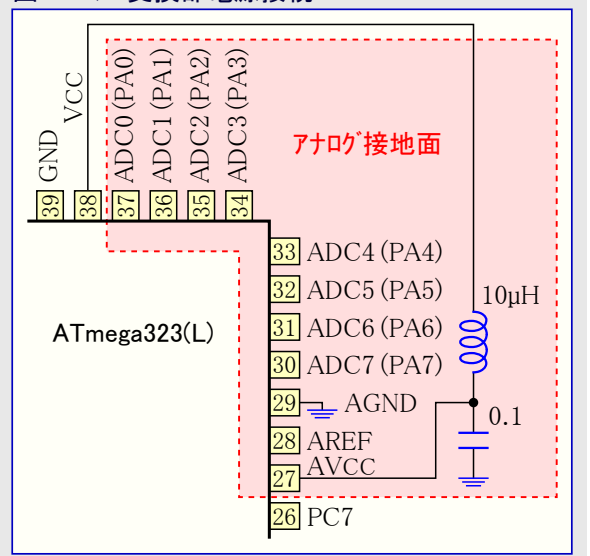
一旦読まれるべき結果が用意されると、割り込みが起動します。連続変換動作では、割り込みが起動するとき、次の変換が直ちに始まります。割り込み起動後にA/D多重器選択レジスタ(ADMUX)が変更される場合、次の変換は既に開始されており、これには変更前の設定が使われます。

雑音低減技術

ATmega323内外のデジタル回路はアナログ測定に精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要な場合、次の技法を適用することによって雑音レベルを減少できます。

1. ATmega323のアナログ部と応用回路内の全てのアナログ部品は基板上で分離したアナログGND面を持つべきです。このアナログGND面は基板上の1点でデジタルGND面に接続されます。
2. アナログ信号経路は可能な限り最短を維持します。アナログ信号線がアナログGND面上走っているか確認し、高速切り替えのデジタル信号線から充分分離することを厳守します。
3. ATmega323のAVCCピンは図65.で示されるようにLC濾波器を経由してVCC (デジタル供給電圧)に接続されるべきです。
4. CPUからの誘導雑音を低減するためにA/D変換雑音低減機能を使います。
5. ポートAピンのいくつかがデジタル出力として使われる場合、変換実行中はそれらを切り替ええないことが重要です。

図65. A/D変換部電源接続



A/D変換器特性 (暫定)

(TA=-40°C~85°C)

シンボル	項目	条件	最小	代表	最大	単位
	分解能			10		ビット
	絶対精度	VREF=4V	変換クロック=200kHz	1	2	LSB
			変換クロック=1MHz	4		
			変換クロック=2MHz	16		
	積分非直線性誤差	VREF > 2V		0.5		
	微分非直線性誤差	VREF > 2V		0.5		
	変位(オフセット)(ゼロ)誤差			1		
	変換時間		65		260	μs
	変換クロック周波数		50		200	kHz
AVCC	アナログ供給電圧		VCC-0.3(注1)		VCC+0.3(注2)	V
VREF	基準電圧		2		AVCC	
VINT	内部2.56V基準電圧		2.35	2.56	2.77	
VBG	内部1.22V基準電圧		1.12	1.22	1.32	
RREF	基準電圧入力インピーダンス		6	10	13	kΩ
VIN	アナログ入力電圧		AGND		AREF	V
RAIN	アナログ入力インピーダンス			100		MΩ

注1: AVCCの最小値は2.7Vです。

注2: AVCCの最大値は5.5Vです。

注: これらの値は目安で、実際の値はTBDです。

入出力ポート

AVRの全てのポートは標準デジタルI/Oポートとして使われる時に真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしに、ポートピンの1つの方向が変更できることを意味します。(出力として設定されている場合の)駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ポートA

ポートAは(任意選択可能な)内蔵プルアップ付き8ビットの双方向I/Oポートです。

ポートAについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTA), \$1B(\$3B)、データ方向レジスタ(DDRA), \$1A(\$3A)、データ入力レジスタ(PINA), \$19(\$39)に割り当てられます。ポートAデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートA出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PA0~7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートAにはA/D変換器のアナログ入力としての交換機能があります。ポートAピンのいくつかが出力として設定される場合、A/D変換実行中に、それらが切り替わらないことが重要です。これは変換の結果を不正にする可能性があります。

パワーダウン動作中、シュミットトリガ デジタル入力が(ピンから)切り離されます。これはパワーダウン動作中、過大な電力消費の原因とならずにVCC/2近辺のアナログ電圧が存在するのを許容します。

ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートA入力レジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートA入力レジスタ(PINA)はレジスタではなく、このアドレスはポートA各ピンの物理的な値へのアクセスができます。ポートA出力レジスタ(PORTA)を読む時はポートA出力ラッチが読まれ、ポートA入力レジスタ(PINA)を読む時は、このピン上に存在する論理値が読まれます。

ポートA 標準デジタル入出力

標準I/Oピンとして使われるとき、ポートAの8ピンは全て同じ機能動作です。

標準I/OピンPAnはポートA方向レジスタ(DDRA)のDDAnビットがそのピンの入出力方向を選び、DDAnが設定(1)されると、出力ピンとして設定されます。DDAnが解除(0)されると、入力ピンとして設定されます。ポートA出力レジスタ(PORTA)のPORTAnが設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTAnが解除(0)されるか、そのピンが出力として設定されるか、または特殊I/O機能レジスタ(SFIOR)のプルアップ禁止(PUD)ビットが設定(1)されなければなりません。ポートAピンはリセット条件が有効になると、例えクロックが動作していなくてもHi-Z状態にされます。

表48. ポートAピンに対するDDAnの関係

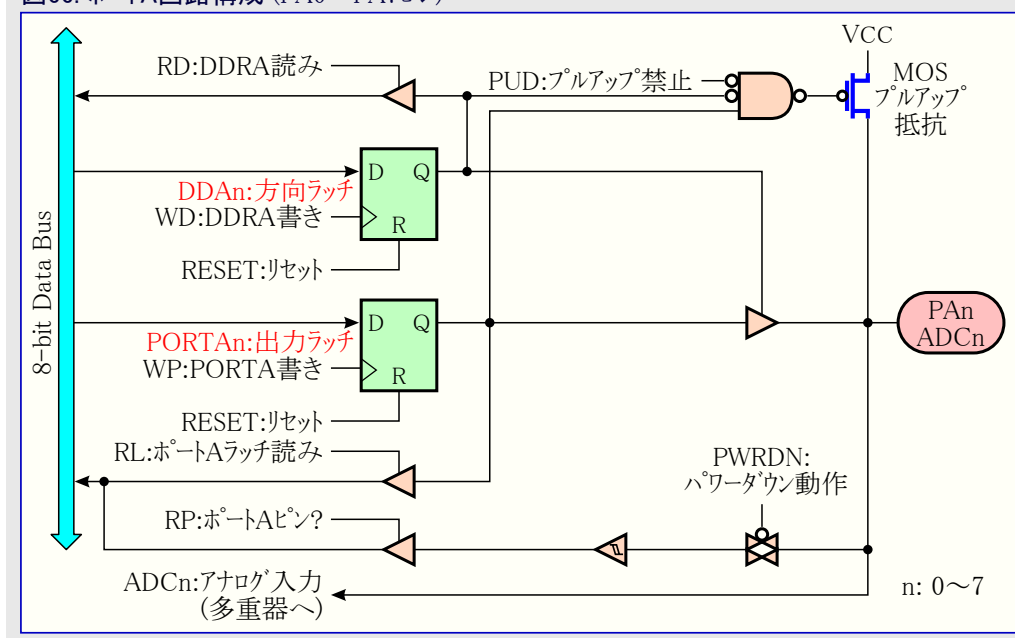
DDAn	PORTAn	PUD (SFIOR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	1		あり	PAnに外部からLowを入力すると吐き出し電流が流れます。
1	0	X	出力	なし	Low出力
1	1				High出力

注: nは7～0でビット番号を示します。

ポートA回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図66. ポートA回路構成 (PA0～PA7ピン)



ポートB

ポートBは(任意選択可能な)内蔵プルアップ付き8ビットの双方向I/Oポートです。

ポートBには3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTB), \$18(\$38)、データ方向レジスタ(DDRB), \$17(\$37)、データ入力レジスタ(PINB), \$16(\$36)に割り当てられます。ポートB データ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには個別に**選択可能なプルアップ抵抗**があります。ポートB出力緩衝部は20mAの吸い込み電流を流せるのでLED表示器を直接駆動できます。PB0～7ピンが入力として使われ、外部的に**Low**へ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートBピンの交換機能は表49.に示されます。

ピンが交換機能で使われる時に、ポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は、**交換機能の説明に従って設定**されなければなりません。

表49. ポートBピンの交換機能

ポートピン	交換機能
PB0	T0 (タイマ/カウンタ0 外部クロック入力) XCK (USART 外部クロック入出力)
PB1	T1 (タイマ/カウンタ1 外部クロック入力)
PB2	AIN0 (アナログ比較器非反転入力) INT2 (外部割り込み2入力)
PB3	AIN1 (アナログ比較器反転入力) OC0 (タイマ/カウンタ0 比較一致出力)
PB4	$\overline{SS}$ (SPI 従装置選択入力)
PB5	MOSI (SPI 主側データ出力/従側データ入力)
PB6	MISO (SPI 主側データ入力/従側データ出力)
PB7	SCK (SPI 直列クロック 主側出力/従側入力)

ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読めます。

ポートB 標準デジタル入出力

デジタルI/Oピンとして使われるとき、ポートBの8ピンは全て同じ機能動作です。標準I/OピンPBnは**ポートB方向レジスタ(DDRB)のDDBnビット**がそのピンの入出力方向を選び、DDBnが設定(1)されると、出力ピンとして設定されます。DDBnが解除(0)されると、入力ピンとして設定されます。**ポートB出力レジスタ(PORTB)のPORTBn**が設定(1)され、そのピンが**入力ピン**として設定されている場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるにはPORTBnが解除(0)されるか、そのピンが出力として設定されるか、または**特殊I/O機能レジスタ(SFIOR)のプルアップ禁止(PUD)ビット**が設定(1)されなければなりません。ポートピンはリセット条件が有効になると、例えばクロックが動作していなくてもHi-Z状態にされます。

表50. ポートBピンに対するDDBnの関係

DDBn	PORTBn	PUD (SFIOR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	1		あり	PBnに外部からLowを入力すると吐き出し電流が流れます。
1	0	X	出力	なし	Low出力
1	1				High出力

注: nは7～0でビット番号を示します。

ポートBの交換機能

ポートBの交換ピン機能を以下に示します。

• SCK – ポートB ビット7 : PB7

SCK : SPI用主装置クロック出力、従装置クロック入力ピンです。SPIが従装置として許可されると、このピンは**ポートB方向レジスタ(DDRB)のDDB7**設定に拘らず入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDB7によって制御されます。このピンが強制的に入力とされたとき、プルアップは**ポートB出力レジスタ(PORTB)のPORTB7**によって未だ制御できます。より多くの詳細については「**SPI**」の記述をご覧ください。

• MISO – ポートB ビット6 : PB6

MISO : SPI用主装置データ入力、従装置データ出力ピンです。SPIが主装置として許可されると、**DDRBのDDB6**設定に拘らず、入力として設定されます。SPIが従装置として許可されると、このピンのデータ方向はDDB6によって制御されます。このピンが強制的に入力とされたとき、プルアップは**PORTBのPORTB6**によって未だ制御できます。より多くの詳細については「**SPI**」の記述をご覧ください。

• MOSI – ポートB ビット5 : PB5

MOSI : SPI用主装置データ出力、従装置データ入力ピンです。SPIが従装置として許可されると、**DDRBのDDB5**設定に拘らず、入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDB5によって制御されます。このピンが強制的に入力とされたとき、プルアップは**PORTBのPORTB5**によって未だ制御できます。より多くの詳細については「**SPI**」の記述をご覧ください。

• $\overline{SS}$ – ポートB ビット4 : PB4

$\overline{SS}$: 従装置選択入力です。SPIが従装置として許可されると、**DDRBのDDB4**設定に拘らず、入力として設定されます。従装置のとき、このピンが**Low**に駆動されるとSPIが活性化(実際に動作)されます。SPIが主装置として許可されると、このピンのデータ方向はDDB4により制御されます。このピンが強制的に入力とされたとき、プルアップは**PORTBのPORTB4**によって未だ制御できます。より多くの詳細については「**SPI**」の記述をご覧ください。

• AIN1/OC0 – ポートB ビット3 : PB3

AIN1 : アナログ比較器の反転入力です。**DDRBのDDB3=0**で入力として設定され、**PORTBのPORTB3=0**で内蔵MOSプルアップ抵抗がOFFに切り替えられているとき、このピンは内蔵アナログ比較器の反転入力としても扱えます。**パワーダウン**動作中、シュミットトリガデジタル入力(ピンから)切り離されます。これはパワーダウン動作中、過大な電力消費の原因とならずに、VCC/2近辺のアナログ電圧が存在するのを許容します。

OC0 : タイマ/カウンタ0の比較一致出力です。PB3ピンはタイマ/カウンタ0の比較一致時の外部出力として扱えます。この機能を取り扱うにはPB3ピンが**DDRBのDDB3=1**で出力として設定されなければなりません。出力を許可する方法とより多くの詳細については**30頁の「8ビット タイマ/カウンタ0、タイマ/カウンタ2」**の記述をご覧ください。このOC0ピンは**PWM動作**時の出力ピンでもあります。

• AIN0/INT2 – ポートB ビット2 : PB2

AIN0 : **アナログ比較器**の非反転入力です。**DDRBのDDB2=0**で入力として設定され、**PORTBのPORTB2=0**で内蔵MOSプルアップ抵抗がOFFに切り替えられているとき、このピンは内蔵アナログ比較器の非反転入力としても扱えます。**パワーダウン**動作中、シュミットトリガデジタル入力(ピンから)切り離されます。これはパワーダウン動作中、過大な電力消費の原因とならずに、VCC/2近辺のアナログ電圧が存在するのを許容します。

INT2 : 外部割り込み2入力です。PB2ピンはMCUへの外部割り込み元として扱えます。より多くの詳細については**20頁の「MCU制御/状態レジスタ(MCUCSR)」**をご覧ください。

• T1 – ポートB ビット1 : PB1

T1 : タイマ/カウンタ1の外部クロック入力です。更なる詳細については「**16ビット タイマ/カウンタ1**」の記述をご覧ください。

• T0/XCK – ポートB ビット0 : PB0

T0 : タイマ/カウンタ0の外部クロック入力です。更なる詳細については「**8ビット タイマ/カウンタ0、タイマ/カウンタ2**」の記述をご覧ください。

XCK : USARTの外部クロック入出力です。より多くの詳細については「**USART**」の記述をご覧ください。

ポートB回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図67. ポートB回路構成 (PB0ピン)

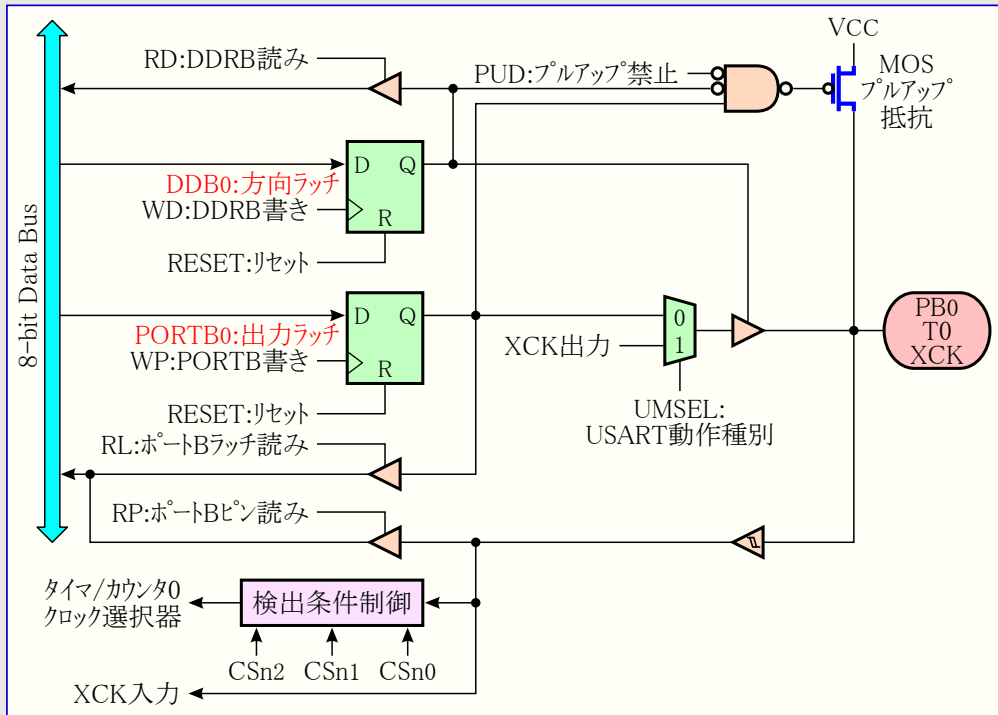


図68. ポートB回路構成 (PB1ピン)

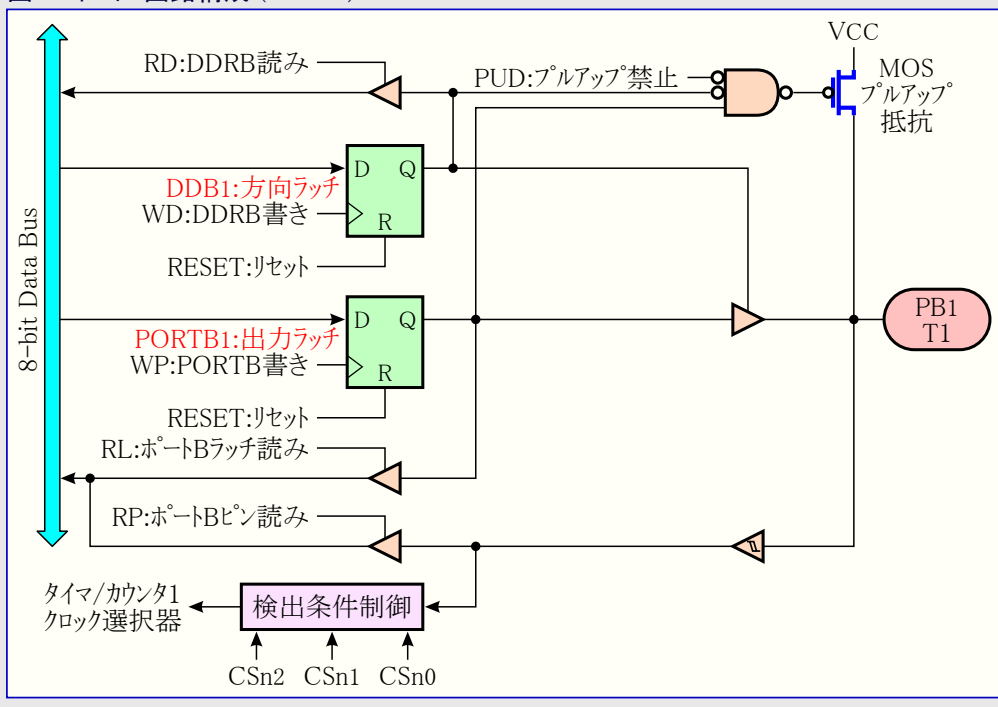


図69. ホートB回路構成 (PB2ピン)

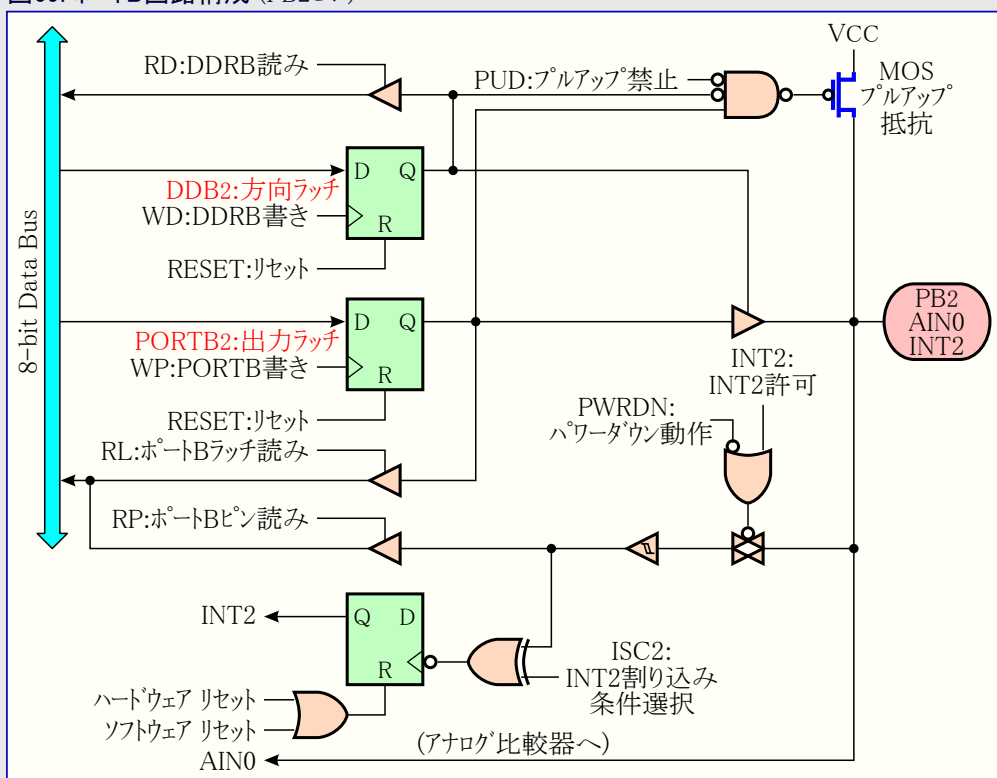


図70. ホートB回路構成 (PB3ピン)

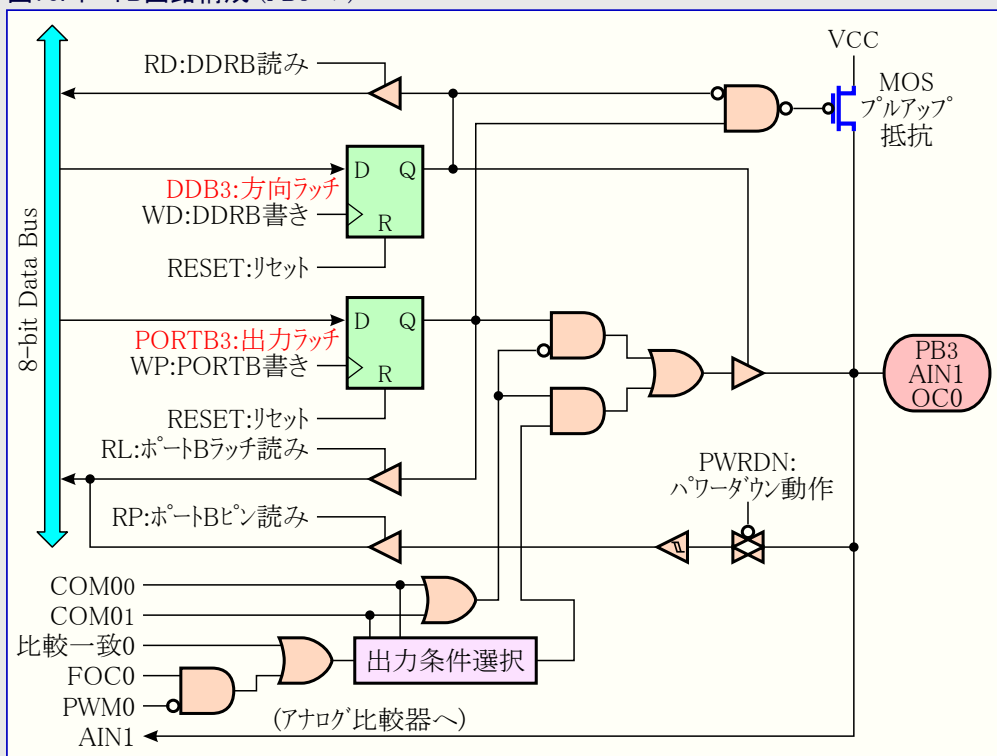


図71. ポートB回路構成 (PB4ピン)

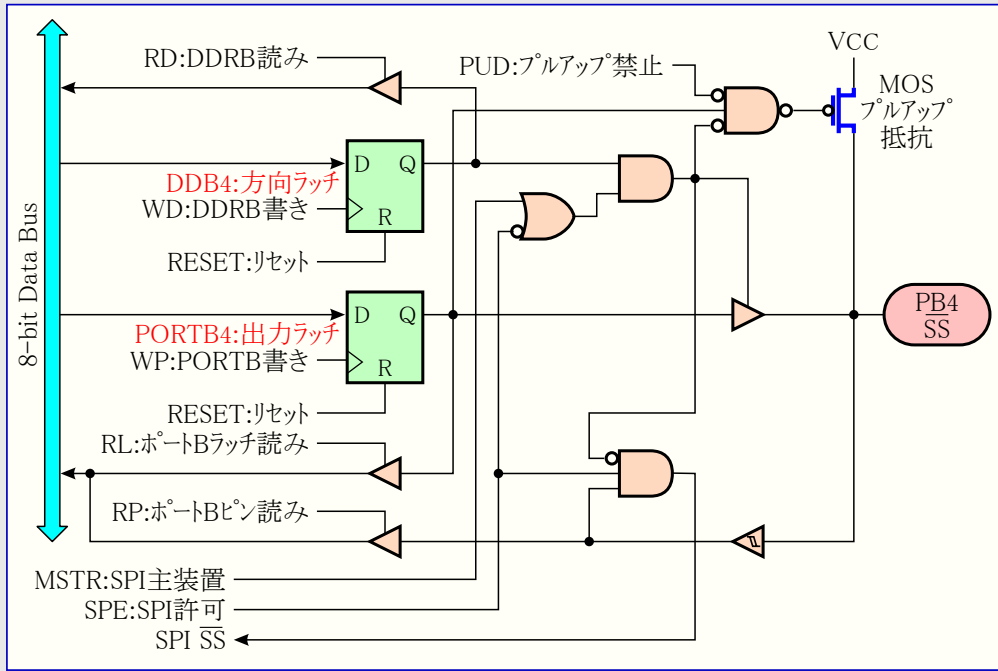


図72. ポートB回路構成 (PB5ピン)

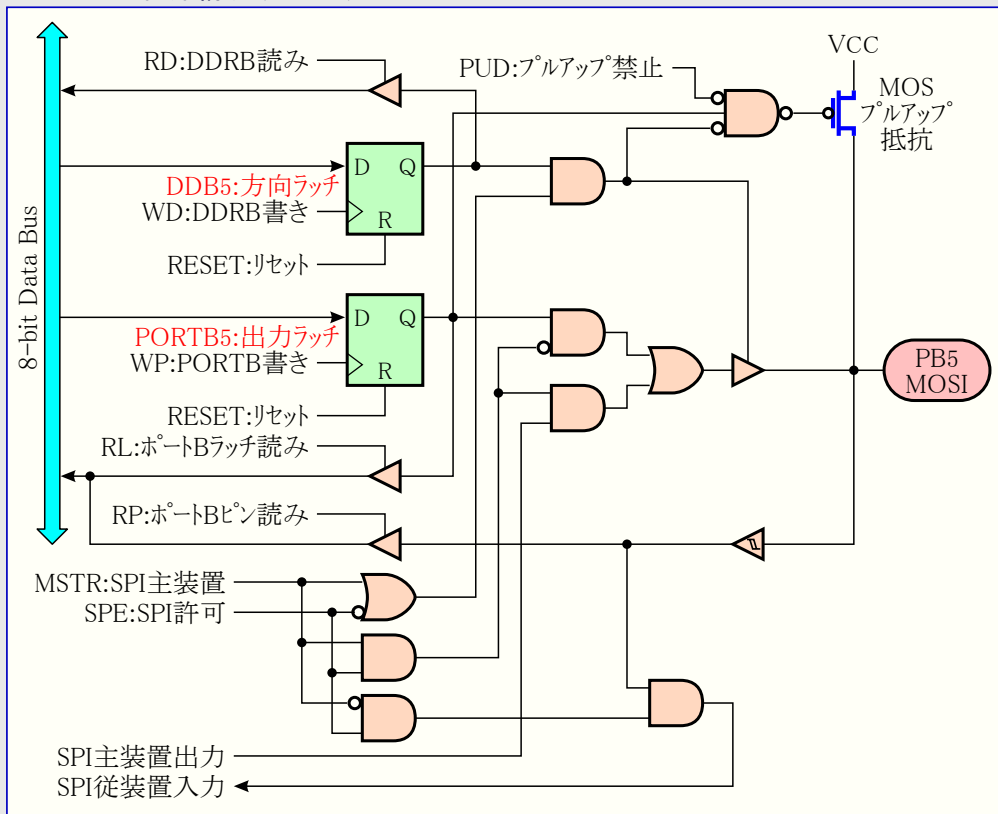


図73. ポートB回路構成 (PB6ピン)

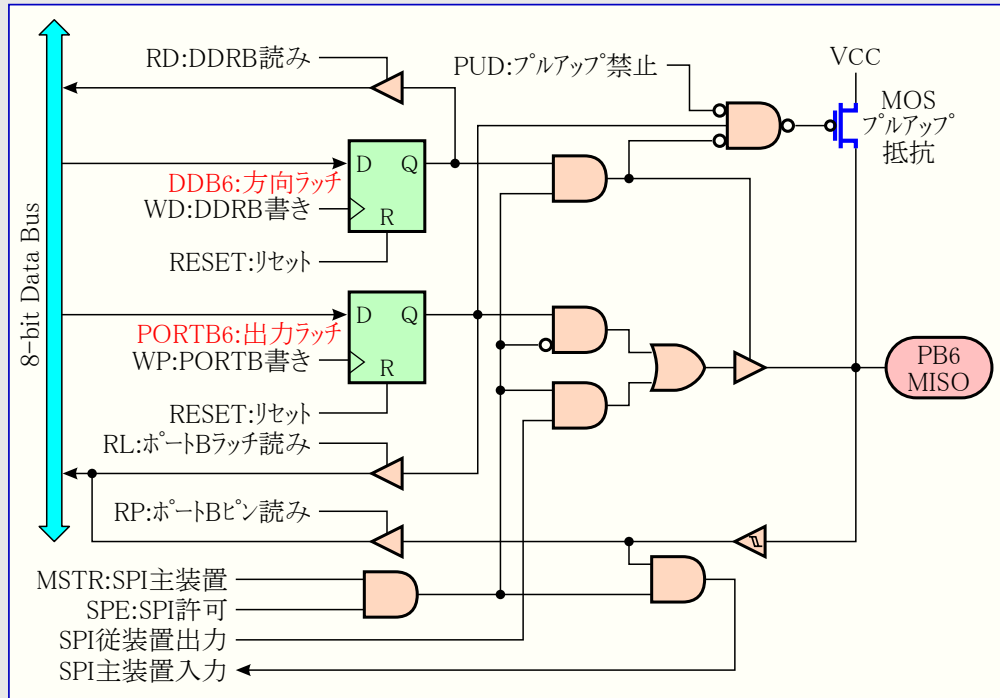
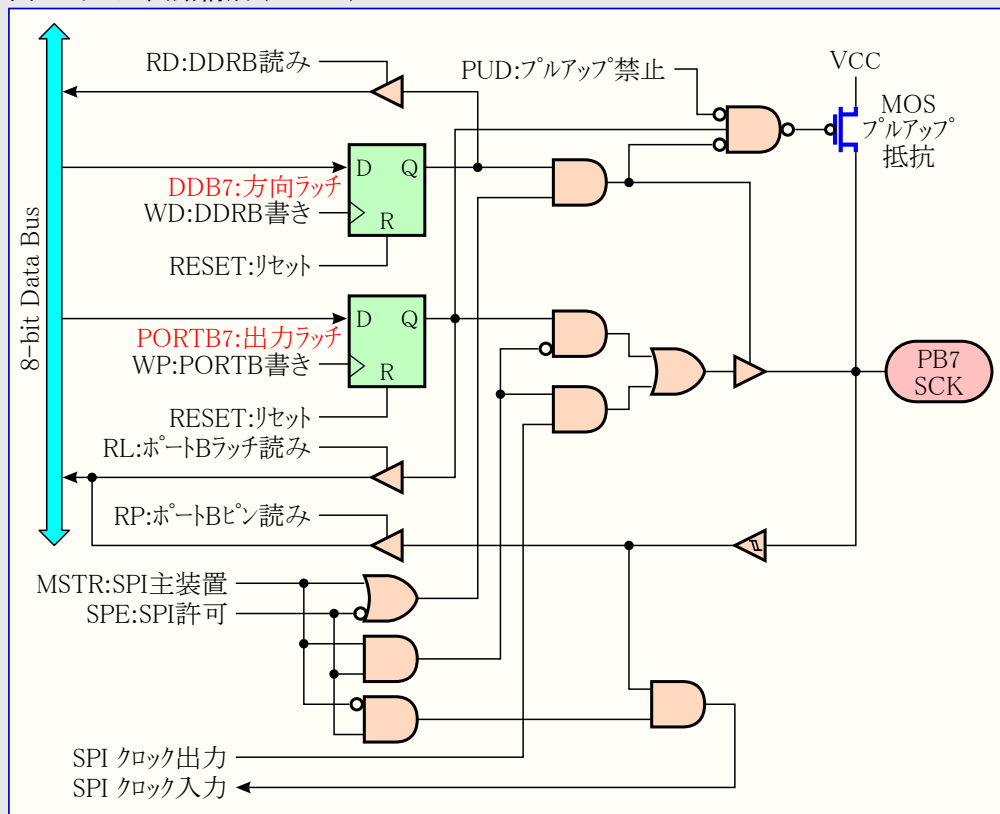


図74. ポートB回路構成 (PB7ピン)



ポートC

ポートCは(任意選択可能な)内蔵プルアップ付き8ビットの双方向I/Oポートです。

ポートCについては3つのI/Oメモリ アドレス位置が、各々、データ出力レジスタ(PORTC), \$15(\$35)、データ方向レジスタ(DDRC), \$14(\$34)、データ入力レジスタ(PINC), \$13(\$33)に割り当てられます。ポートCデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

全てのポートピンには、個別に**選択可能なプルアップ抵抗**があります。ポートC出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PC0~7ピンが入力として使われ、外部的に**Low**へ引き込まれるとき、内蔵プルアップ抵抗が有効化されると、それらには吐き出し電流が流れます。

表51. ポートCピンの交換機能

ポートピン	交換機能
PC0	SCL (2線直列インターフェース クロック入出力)
PC1	SDA (2線直列インターフェース データ入出力)
PC2	TCK (JTAG クロック入力)
PC3	TMS (JTAG 検査種別選択入力)
PC4	TDO (JTAG 検査データ出力)
PC5	TDI (JTAG 検査データ入力)
PC6	TOSC1 (タイマ/カウンタ2用発振器入力)
PC7	TOSC2 (タイマ/カウンタ2用発振器出力)

ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC方向レジスタ (Port C Data Direction Register) DDRC

ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートC入力レジスタ (Port C Input Address) PINC

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートC入力レジスタ(PINC)はレジスタではなく、このアドレスはポートC各ピンの物理的な値へのアクセスができます。ポートC出力レジスタ(PORTC)を読む時はポートC出力ラッチが読まれ、ポートC入力レジスタ(PINC)を読む時は、このピン上に存在する論理値が読まれます。

ポートC 標準デジタル入出力

標準I/Oピンとして使われるとき、ポートCの8ピンは全て同じ機能動作です。

標準I/OピンPCnは**ポートC方向レジスタ(DDRC)のDDCnビット**がそのピンの入出力方向を選び、DDCnが設定(1)されると、出力ピンとして設定されます。DDCnが解除(0)されると、入力ピンとして設定されます。**ポートC出力レジスタ(PORTC)のPORTCn**が設定(1)され、そのピンが入力ピンとして設定される場合、MOSプリアップ抵抗が有効化されます。このプリアップ抵抗をOFFに切り替えるには、PORTCnが解除(0)されるか、そのピンが出力として設定されるか、または**特殊I/O機能レジスタ(SFIOR)のプリアップ禁止(PUD)ビット**が設定(1)されなければなりません。ポートCピンはリセット条件が有効になると、例えクロックが動作していなくてもHi-Z状態にされます。

表52. ポートCピンに対するDDCnの関係

DDCn	PORTCn	PUD (SFIOR)	入出力	プリアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	1		あり	PCnに外部からLowを入力すると吐き出し電流が流れます。
		0	入力	あり	
1	0	X	出力	なし	Low出力
1	1			なし	High出力

注: nは7〜0でビット番号を示します。

JTAGインターフェースが許可される場合、例えリセットが起こっても、PC5(TDI), PC3(TMS), PC2(TCK)のプリアップ抵抗は活性(有効)化されます。

ポートCの交換機能

• TOSC2 – ポートC ビット7 : PC7

TOSC2 : タイマ/カウンタ2用発振器出力ピンです。タイマ/カウンタ2の非同期クロックを許可するために、**タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期動作許可(AS2)ビット**が設定(1)されると、PC7は(標準)ポートから切り離され、発振器用反転増幅器の出力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/Oピンとして使えません。

• TOSC1 – ポートC ビット6 : PC6

TOSC1 : **タイマ/カウンタ2**用発振器入力ピンです。タイマ/カウンタ2の非同期クロックを許可するために、**タイマ/カウンタ2非同期状態レジスタ(ASSR)の非同期動作許可(AS2)ビット**が設定(1)されると、PC6は(標準)ポートから切り離され、発振器用反転増幅器の入力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/Oピンとして使えません。

• TDI – ポートC ビット5 : PC5

TDI : JTAG検査データ入力ピン。命令レジスタまたはデータレジスタ(走査チェーン)に移動入力されるべき直列入力データです。JTAG インターフェースが許可されると、このピンはI/Oピンとして使えません。JTAGインターフェース操作の詳細については109頁の「**JTAGインターフェースと内蔵デバッグ機能**」を参照してください。

• TDO – ポートC ビット4 : PC4

TDO : JTAG検査データ出力ピン。命令レジスタまたはデータレジスタからの直列出力データです。JTAGインターフェースが許可されると、このピンはI/Oピンとして使えません。JTAGインターフェース操作の詳細については109頁の「**JTAGインターフェースと内蔵デバッグ機能**」を参照してください。

• TMS – ポートC ビット3 : PC3

TMS : JTAG検査種別選択入力ピン。このピンはTAP(検査入出力ポート)制御器順次機構を通す指示用に使われます。JTAGインターフェースが許可されると、このピンはI/Oピンとして使えません。JTAGインターフェース操作の詳細については109頁の「**JTAGインターフェースと内蔵デバッグ機能**」を参照してください。

• TCK – ポートC ビット2 : PC2

TCK : JTAG検査クロック入力ピン。JTAG操作はTCKに同期します。JTAGインターフェースが許可されると、このピンはI/Oピンとして使えません。JTAGインターフェース操作の詳細については109頁の「**JTAGインターフェースと内蔵デバッグ機能**」を参照してください。

• SDA – ポートC ビット1 : PC1

SDA : 2線直列バスのデータ入出力ピンです。2線直列インターフェースを許可するために2線直列インターフェース制御レジスタ(TWCR)の2線直列インターフェース動作許可(TWEN)ビットが設定(1)されると、PC1ピンは(標準)ポートから切り離され、2線直列インターフェースの直列データ入出力ピンです。この動作では入力信号での50nsより短いスパイクを捕らえるスパイク濾波器があり、このピンはスレーブ(上昇/下降)制限付きオープンドレイン駆動部によって駆動されます。

• SCL – ポートC ビット0 : PC0

SCL : 2線直列バスのクロック入出力ピンです。2線直列インターフェースを許可するために**2線直列インターフェース制御レジスタ(TWCR)の2線直列インターフェース動作許可(TWEN)ビット**が設定(1)されると、PC0ピンは(標準)ポートから切り離され、2線直列インターフェースの直列クロック入出力ピンです。この動作ではピンに入力信号での50nsより短いスパイクを捕らえるスパイク濾波器があります。

ポートC回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図75. ポートC回路構成 (PC0, PC1ピン)

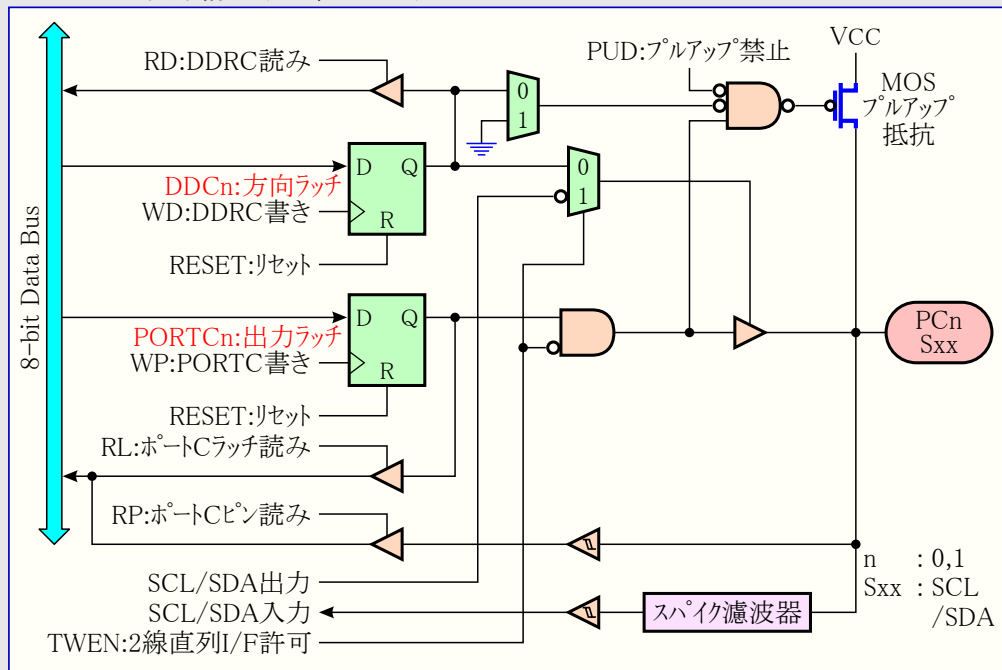
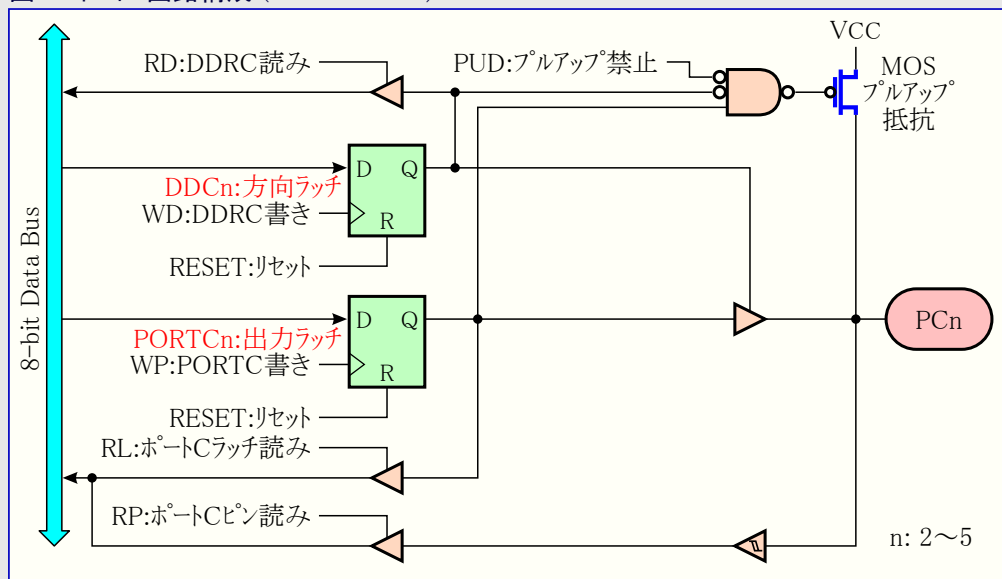


図76. ポートC回路構成 (PC2～PC5ピン)



注: これらのピンのJTAGインターフェースは、この図に示されていません。

図77. ポートC回路構成 (PC6ピン)

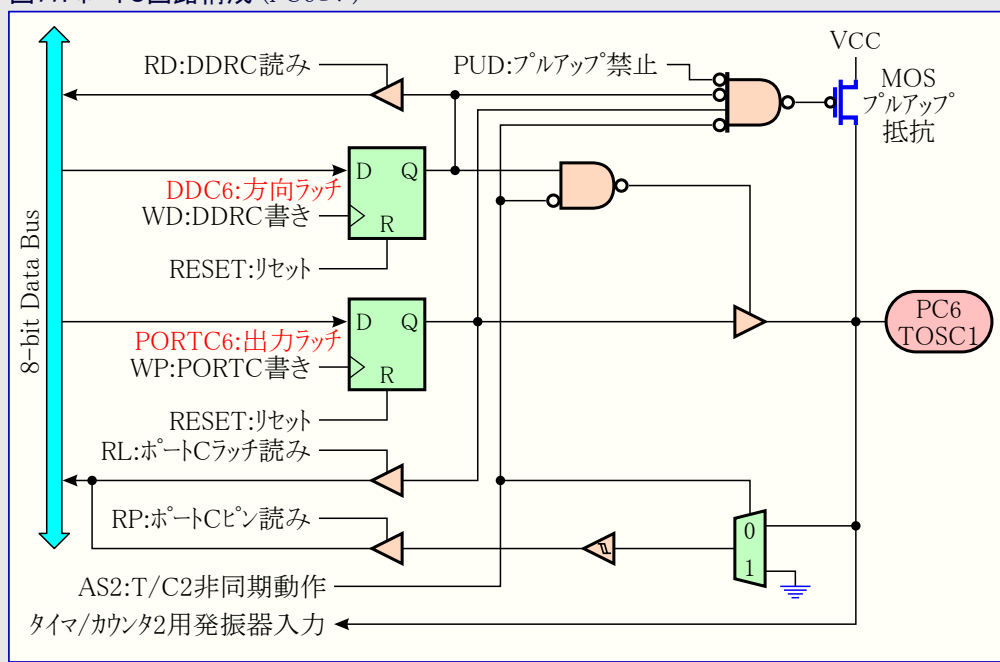
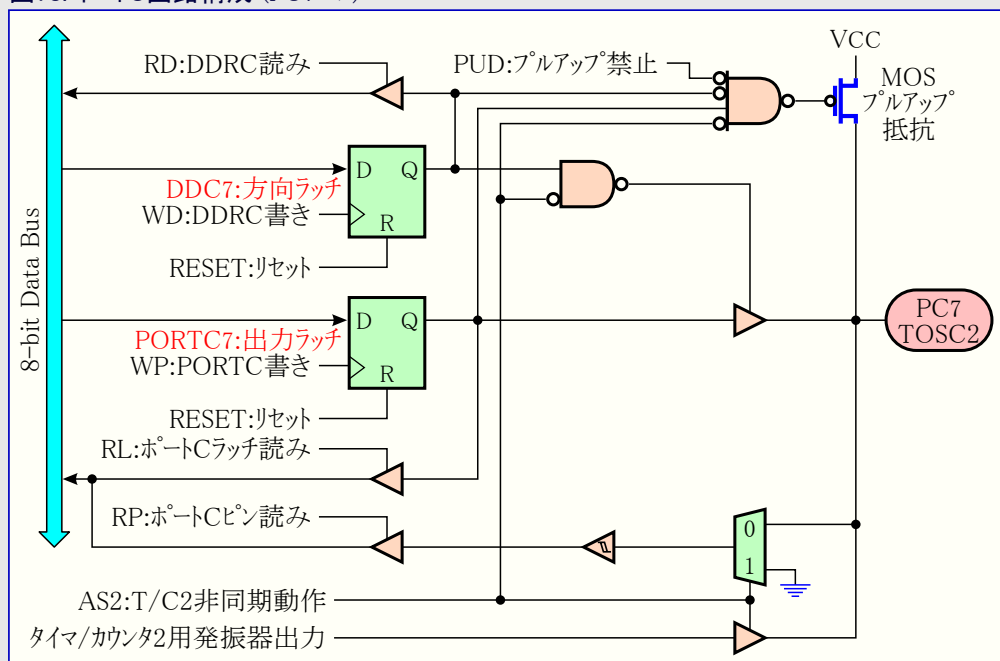


図78. ポートC回路構成 (PC7ピン)



ポートD

ポートDは(個別に選択可能な)内蔵プルアップ抵抗付きの8ビットの双方向I/Oポートです。

ポートDについては3つのI/Oメモリアドレス位置が各々、データ出力レジスタ(PORTD), \$12(\$32)、データ方向レジスタ(DDRD), \$11(\$31)、データ入力レジスタ(PIND), \$10(\$30)に割り当てられます。ポートDデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートD出力緩衝部は20mAの吸い込み電流を流せます。入力として、内蔵プルアップ抵抗が有効化されていると、外部的にLowへ引き込まれるポートDピンには吐き出し電流が流れます。いくつかのポートDピンには、表53.で示される交換機能があります。

表53. ポートDピンの交換機能

ポートピン	交換機能
PD0	RXD (USART受信データ入力)
PD1	TXD (USART送信データ出力)
PD2	INT0 (外部割り込み0入力)
PD3	INT1 (外部割り込み1入力)
PD4	OC1B (タイマ/カウンタ1 比較B一致出力)
PD5	OC1A (タイマ/カウンタ1 比較A一致出力)
PD6	ICP (タイマ/カウンタ1 捕獲起動入力)
PD7	OC2 (タイマ/カウンタ2 比較一致出力)

ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートD入力レジスタ (Port D Input Address) PIND

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R/W	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートD入力レジスタ(PIND)はレジスタではなく、このアドレスはポートD各ピンの物理的な値へのアクセスができます。ポートD出力レジスタ(PORTD)を読む時はポートD出力ラッチが読まれ、ポートD入力レジスタ(PIND)を読む時は、このピン上に存在する論理値が読めます。

ポートD 標準デジタル入出力

標準I/OピンPDnは**ポートD方向レジスタ(DDRD)**の**DDDnビット**がそのピンの入出力方向を選び、DDDnが設定(1)されると、出力ピンとして設定されます。DDDnが解除(0)されると、入力ピンとして設定されます。**ポートD出力レジスタ(PORTD)**の**PORTDn**が設定(1)され、そのピンが入力ピンとして設定される場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTDnが解除(0)されるか、そのピンが出力として設定されるか、または**特殊I/O機能レジスタ(SFIOR)**の**プルアップ禁止(PUD)ビット**が設定(1)されなければなりません。ポートDピンはリセット条件が有効になると、例えクロックが動作していなくてもHi-Z状態にされます。

表54. ポートDピンに対するDDDnの関係

DDDn	PORTDn	PUD (SFIOR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	1		あり	PDnに外部からLowを入力すると吐き出し電流が流れます。
1	0	X	出力	なし	Low出力
1	1				High出力

注: nは7〜0でビット番号を示します。

ポートDの交換機能

ポートDの交換機能を以下に示します。

• OC2 – ポートD ビット7 : PD7

OC2 : タイマ/カウンタ2の比較一致出力です。PD7ピンはタイマ/カウンタ2の比較一致時の外部出力として扱えます。この機能を取り扱うにはPD7ピンが**DDRDのDDD7=1**で出力として設定されなければなりません。この機能を許可する方法は「[タイマ/カウンタ2](#)」の記述をご覧ください。このOC2ピンは**PWM動作**時の出力ピンでもあります。

• ICP – ポートD ビット6 : PD6

ICP : タイマ/カウンタ1の捕獲起動入力です。PD6ピンはタイマ/カウンタ1の捕獲起動入力ピンとして動作できます。この機能を取り扱うには、このピンが**DDRDのDDD6=0**で入力として設定されなければなりません。この機能を許可する方法は「[タイマ/カウンタ1](#)」の記述をご覧ください。

• OC1A – ポートD ビット5 : PD5

OC1A : タイマ/カウンタ1の比較A一致出力です。PD5ピンはタイマ/カウンタ1の比較A一致時の外部出力として扱えます。この機能を取り扱うには、PD5ピンが**DDRDのDDD5=1**で出力として設定されなければなりません。出力を許可する方法は「[タイマ/カウンタ1](#)」の記述をご覧ください。このOC1Aピンは**PWM動作**時の出力ピンでもあります。

• OC1B – ポートD ビット4 : PD4

OC1B : タイマ/カウンタ1の比較B一致出力です。PD4ピンはタイマ/カウンタ1の比較B一致時の外部出力として扱えます。この機能を取り扱うにはPD4ピンが**DDRDのDDD4=1**で出力として設定されなければなりません。出力を許可する方法は「[タイマ/カウンタ1](#)」の記述をご覧ください。このOC1Bピンは**PWM動作**時の出力ピンでもあります。

• INT1 – ポートD ビット3 : PD3

INT1 : 外部割り込み1入力です。PD3ピンはMCUへの外部割り込み元として扱えます。外部入力信号で使うには**ポートD方向レジスタ(DDRD)**の**DDD3**を解除(0)し、入力として設定しなければなりません。より多くの詳細と許可の方法については「[割り込みの扱い](#)」の記述をご覧ください。

• INT0 – ポートD ビット2 : PD2

INT0 : 外部割り込み0入力です。PD2ピンはMCUへの外部割り込み元として扱えます。外部入力信号で使うには**DDRDのDDD2**を解除(0)し、入力として設定しなければなりません。より多くの詳細と許可の方法については、「[割り込みの扱い](#)」の記述をご覧ください。

• TXD – ポートD ビット1 : PD1

TXD : UARTの送信データ出力です。**UART送信(部)**が許可されると、このピンは**DDRDのDDD1**の値に拘らず出力として設定されます。

• RXD – ポートD ビット0 : PD0

RXD : UARTの受信データ入力です。**UART受信(部)**が許可されると、このピンは**DDRDのDDD0**の値に拘らず入力として設定されます。UARTがこのピンを強制的に入力とするときでも、**ポートD出力レジスタ(PORTD)**の**PORTD0**の論理1は内蔵プルアップ抵抗をONに切り替えます。

ポートD回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図79. ポートD回路構成 (PD0ピン)

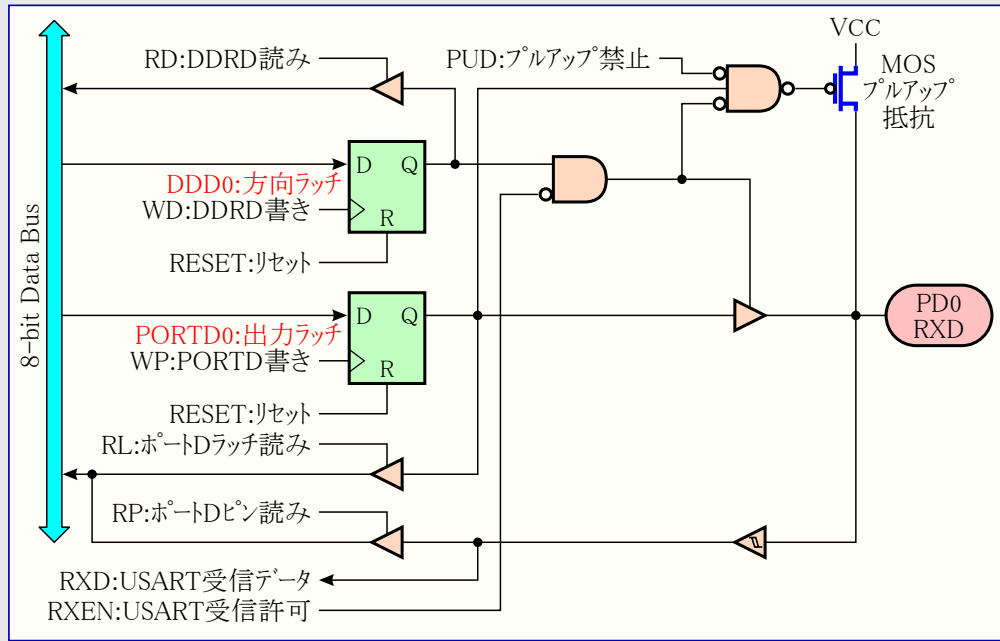


図80. ポートD回路構成 (PD1ピン)

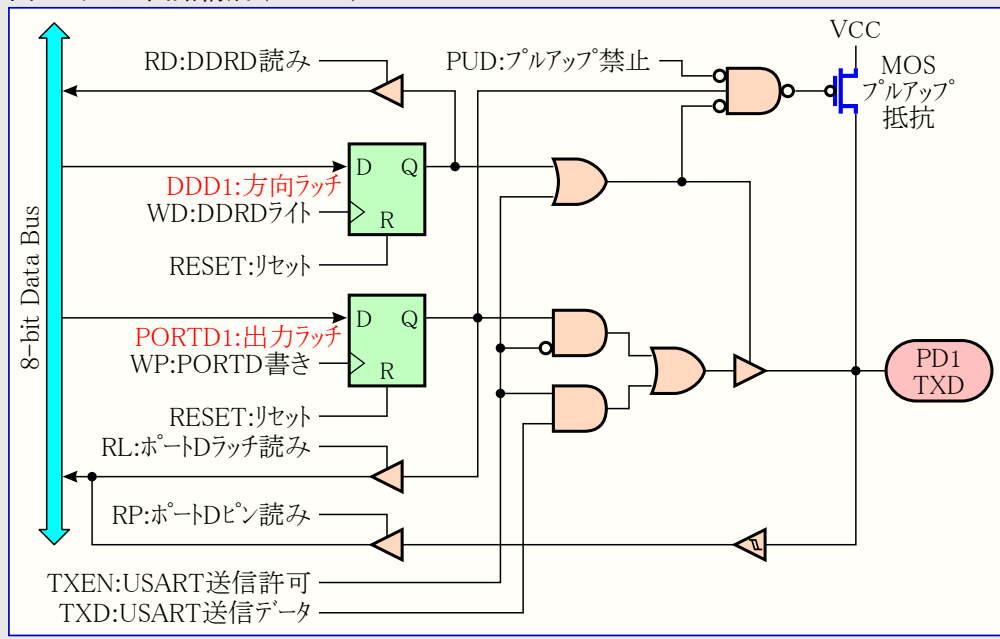


図81. ポートD回路構成 (PD2, PD3ピン)

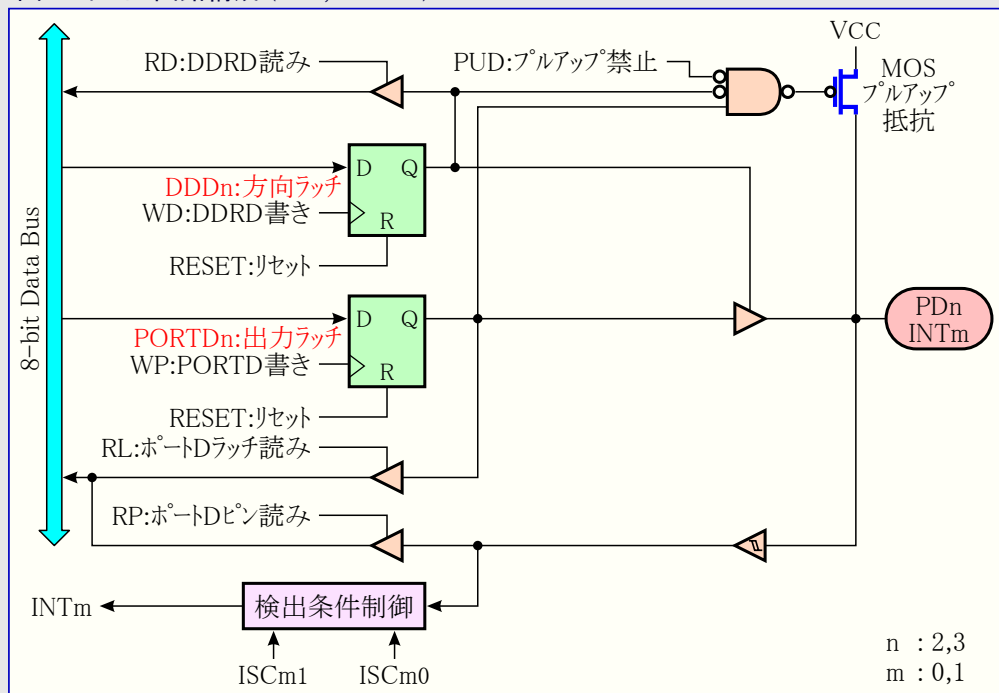


図82. ポートD回路構成 (PD4, PD5ピン)

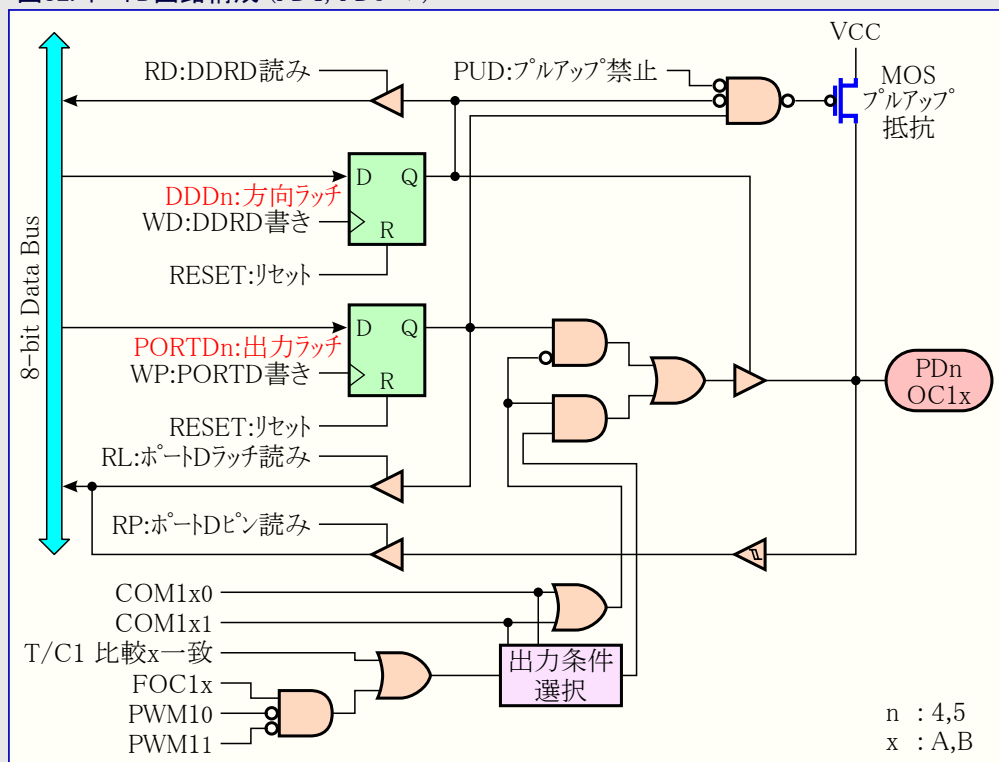


図83. ホートD回路構成 (PD6ピン)

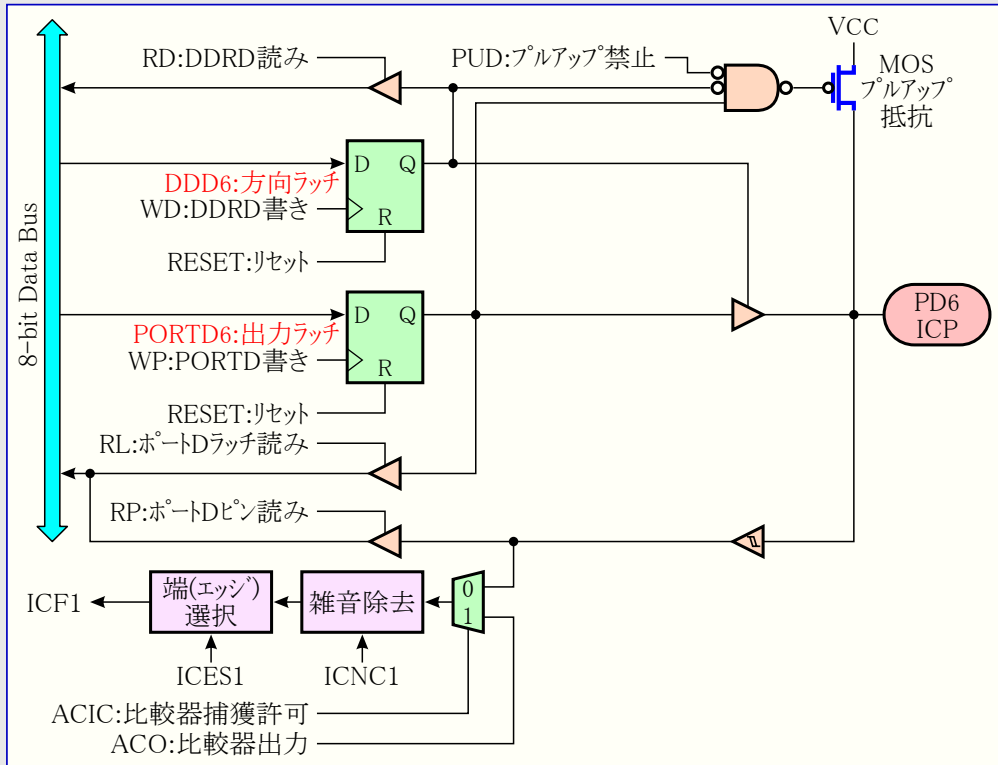
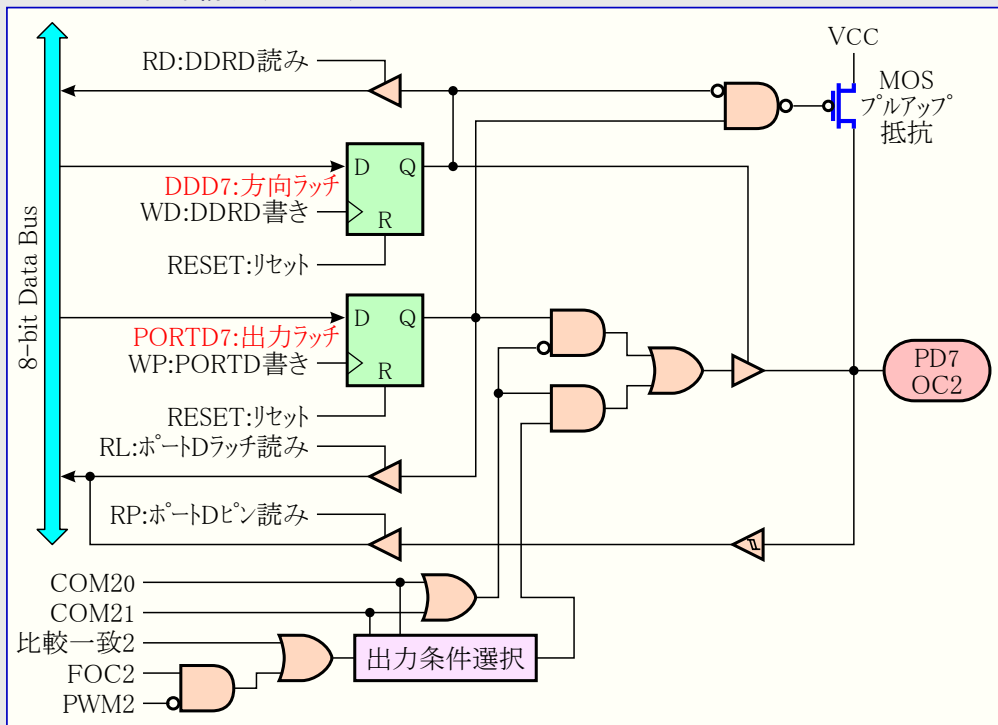


図84. ホートD回路構成 (PD7ピン)



JTAGインターフェースと内蔵デバッグ機能

特徴

- JTAGインターフェース (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- デバッグは各部のアクセスが可能
 - 全ての内蔵周辺機能
 - 内部及び外部RAM
 - 内蔵レジスタファイル
 - プログラムカウンタ
 - EEPROM及びフラッシュメモリ
- 中断(BREAK)によって支援される広範囲な内蔵デバッグ機能
 - AVRのBREAK命令
 - プログラムの流れ変更での停止
 - 1命令実行(シングルステップ)停止
 - プログラムメモリ上の単一アドレスまたはアドレス範囲による中断点(ブレークポイント)
 - データメモリ上の単一アドレスまたはアドレス範囲による中断点
- JTAGインターフェースを介してのフラッシュメモリ、EEPROM、ヒューズビット、施錠ビットの読み書き(プログラミング)
- AVR Studioによる内蔵デバッグ機能の支援

概要

AVRのIEEE標準1149.1準拠JTAGインターフェースは以下について使えます。

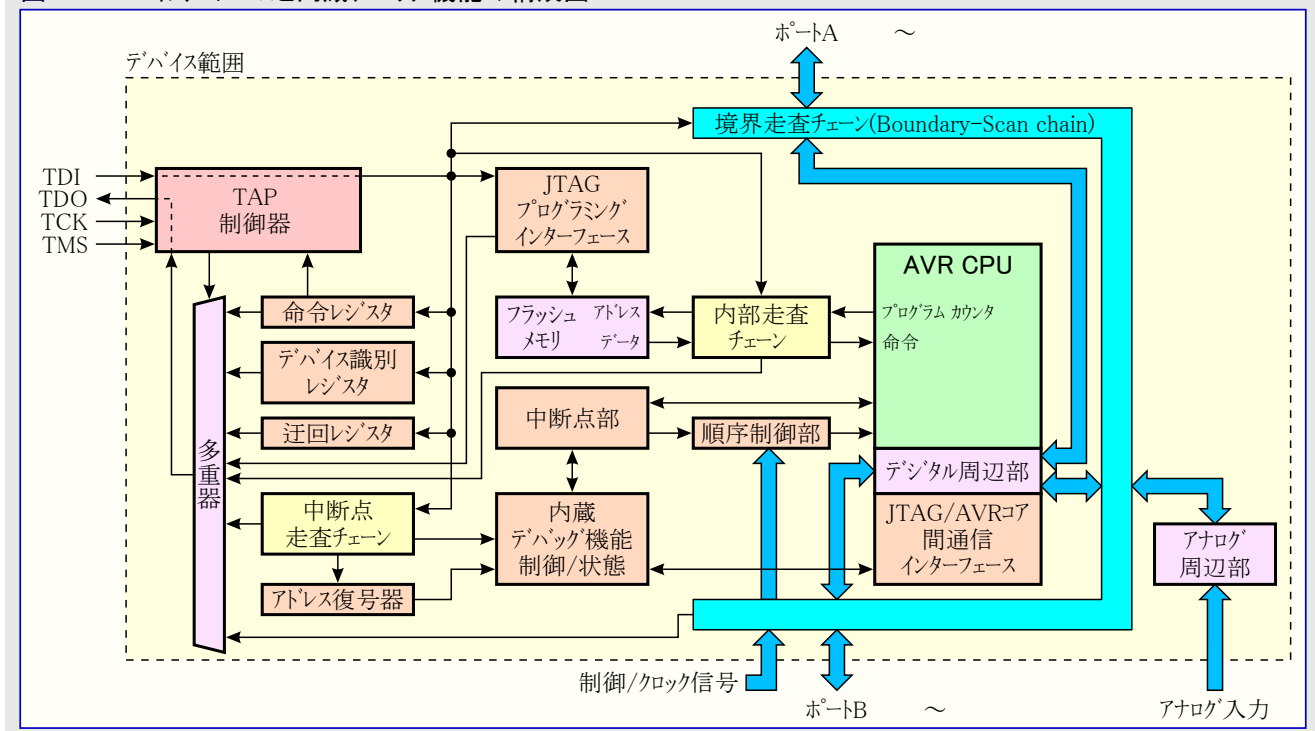
- JTAG境界走査(Boundary-Scan)能力による基板などの試験
- 不揮発性メモリ、ヒューズビット、施錠ビットの読み書き(プログラミング)
- 内蔵デバッグ機能による実装デバッグ

簡単な記述は次節で与えられます。JTAGインターフェース経由のプログラミングと境界走査(Boundary-Scan)チェーンに関する詳細な記述は、各々134頁の「JTAGインターフェース経由のプログラミング」と113頁の「IEEE 1149.1(JTAG)境界走査(Boundary-Scan)」で得られます。内蔵デバッグ機能の支援は独自JTAG命令で考慮されており、Atmelと選ばれた業者のみに配布されます。

図85はJTAGインターフェースと内蔵デバッグ機能の構成図を示します。TAP(検査入出力ポート)制御器はTMSとTCKによって制御される順次回路です。TAP制御器はTDI入力とTDO出力間の走査チェーン(移動レジスタ接続)として、JTAG命令レジスタまたは各種データレジスタの1つのどれかを選びます。JTAG命令レジスタはデータレジスタの動きを制御するJTAG命令を保持します。

デバイス識別(Identification)レジスタ、迂回(Bypass)レジスタ、境界走査チェーン(Boundary-Scan chain)の各データレジスタは基板段階の試験に使われます。(実際には現実と仮定の各種データレジスタで構成する)JTAGプログラミングインターフェースはJTAGインターフェース経由での直列プログラミングに使われます。内部走査チェーン(Scan chain)と中断点(ブレークポイント)走査チェーンは内部デバッグ機能だけで使われます。

図85. JTAGインターフェースと内蔵デバッグ機能の構成図



検査入出力ポート (TAP:Test Access Port)

JTAGインターフェースはAVRの4つのピンを通してアクセスされます。JTAG用語ではこれらのピンが検査入出力ポート(TAP)を構成します。

- **TMS** : 検査種別選択。このピンはTAP制御器順次回路を通しての指示に使われます。
- **TCK** : 検査クロック。JTAG操作はTCKに同期します。
- **TDI** : 検査データ入力。命令レジスタまたはデータレジスタ(走査チェーン)内に移されるべき直列入力データです。
- **TDO** : 検査データ出力。命令レジスタまたはデータレジスタからの直列出力データです。

IEEE標準1149.1では任意TAP信号の検査リセット(TRST)も記載されていますが、この信号は提供されません。

JTAGENヒューズが非プログラム(1)の時にこれら4つのTAPピンは標準ポートピンで、TAP制御器はリセットです。プログラム(0)され、MCU制御/状態レジスタ(MCUCSR)のJTAGインターフェース禁止(JTD)ビットが解除(0)されると、TAP信号入力は内部的にHighへ引かれ、JTAGは境界走査(Boundary-Scan)とプログラミングに関して許可されます。この場合、TAP出力(TDO)ピンはJTAG TAP制御器がデータを移動していない状態で浮き状態(フローティング)のままにされ、従ってプルアップ抵抗が接続されるか、または他のハードウェア(例えば走査チェーン内の次のデバイスのTDI入力)がプルアップを持たなければなりません。このデバイスはこのヒューズがプログラム(0)されて出荷されます。

内蔵デバッグ機能ではJTAGインターフェースピンに加え、外部リセット元が検知できるため、RESETピンがデバッグによって監視されます。応用でリセット信号線にオープンコレクタ(トレイン)だけが使われるとすれば、デバッグは全システムをリセットするためにRESETピンをLowにすることもできます。

TAP制御器

TAP制御器は境界走査(Boundary-Scan)回路、JTAGプログラミング回路、内蔵デバッグ機能の働きを制御する16段の無限順次回路です。図86.に描かれた状態遷移はTCKクロックの上昇時の(各状態遷移付近で示される)TMS上に存在する信号に依存します。電源投入リセット後の初期状態は検査回路リセットです。

この文書内の定義として、全ての移動レジスタに関して入出力ともLSBが最初に移動されます。

検査実行/アイドル状態が現在の状態と仮定した、JTAGインターフェースを使うための典型的な手順を次に示します。

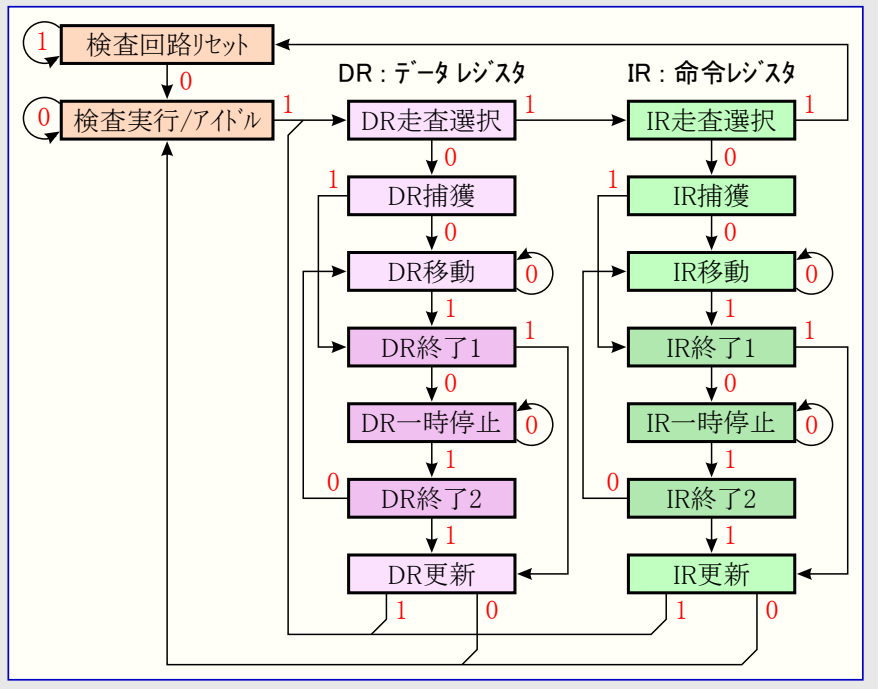
- 命令レジスタ(IR)移動状態へ移行するためにTCKの上昇でTMSへ順次1,1,0,0を与えます。この状態中、TCKの上昇端でTDI入力からJTAG命令レジスタ内に4ビットのJTAG命令を移動します。TMS入力はIR移動状態に留まるために3 LSBの入力中、Lowに保持されなければなりません。命令のMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。命令がTDIピンから移動されている間、捕獲されたIRの状態(\$01)がTDOピンへ移動出力されます。JTAG命令はTDIとTDO間に通ず(接続する)特定のデータレジスタを選び、選んだデータレジスタ周辺回路を制御します。
- 検査実行/アイドル状態へ再度移行するためにTMSへ順次1,1,0を与えます。この(JTAG)命令はIR更新状態通過で移動レジスタから並列出力にラッチされます。IR終了1、IR一時停止、IR終了2の各状態は順次回路の誘導操作のためだけに使われます。
- データレジスタ(DR)移動状態へ移行するためにTCKの上昇端でTMSへ順次1,0,0を与えます。この状態中、TCKの上昇端でTDI入力から(JTAG命令レジスタ内の現在のJTAG命令で)選んだデータレジスタに値を移動入力します。DR移動状態に留まるためにMSBを除く全ビットの入力中、TMS入力はLowに保持されなければなりません。データのMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。データレジスタがTDIピンから移動入力される間、DR捕獲状態(1,0)でデータレジスタに捕獲した並列入力がTDOピンへ移動出力されます。
- 検査実行/アイドル状態へ再移行するためにTMSへ順次1,1,0を与えます。選んだデータレジスタがラッチした並列出力を持つ場合、DR更新状態でラッチを行います。DR終了1、DR一時停止、DR終了2の各状態は順次回路の誘導操作のためだけに使われます。

状態遷移図で示されるように検査実行/アイドル状態はJTAG命令の選択とデータレジスタの使用間で移行される必要はなく、また、いくつかのJTAG命令は検査実行/アイドル状態で実行されるべき必然的な機能を選ぶかもしれず、それはアイドル状態として不適当になります。

注: TAP制御器の初期状態に関係なく、5 TCKクロック周期に対してTMSをHighに保持することにより、常に検査回路リセット状態へ移行することができます。

JTAG仕様の詳細情報については112頁の「参考文献」に記載された文献を参照してください。

図86. TAP制御器状態遷移図



境界走査チェーン(Boundary-Scan Chain)の使用

境界走査能力の完全な説明は113頁の「IEEE 1149.1(JTAG)境界走査(Boundary-Scan)」章で与えられます。

内蔵デバッグ機能の使用

図85.で示されるように内蔵デバッグに関するハードウェア支援は主に次の部分から成ります。

- 内部AVR CPUコアと内部周辺機能部間インターフェースの走査チェーン(Scan chain)
- 中断点(ブレークポイント)部
- CPUとJTAGシステム間の通信インターフェース

デバッグの実行で必要とされる全ての読み込みまたは変更/書き込みは内部AVR CPU走査チェーン(Scan chain)経由のAVR命令によって行われます。CPUはCPUとJTAGシステム間の通信インターフェース部分が配置されるI/Oメモリ位置に結果を送ります。

中断点部はプログラムの流れ変更での一時停止(Break)、1命令実行(Single Step Break)、2つのプログラムメモリ用中断点、2つの複合中断点を実行します。合わせて4つ中断点は次のどれかとして設定ができます。

- 4つのプログラムメモリ単一中断点
- 3つのプログラムメモリ単一中断点 + 1つのデータメモリ単一中断点
- 2つのプログラムメモリ単一中断点 + 2つのデータメモリ単一中断点
- 2つのプログラムメモリ単一中断点 + 1つのプログラムメモリ範囲中断点(中断点と遮蔽)
- 2つのプログラムメモリ単一中断点 + 1つのデータメモリ範囲中断点(中断点と遮蔽)

内蔵デバッグ特殊JTAG命令の一覧は次の「**内蔵デバッグ特殊JTAG命令**」で与えられます。Atmelがパソコン用AVR Studio前処理ソフトウェアと共に内蔵デバッグ機能を支援することに注意してください。従って、ハードウェア動作やJTAG命令の詳細は内蔵デバッグ機能の使用者にとって無関係です。

JTAG検査入出力ポート(TAP)を許可するにはJTAGENヒューズがプログラム(0)されなければなりません。加えて内蔵デバッグ機能で作業するには更にOCDENヒューズがプログラム(0)され、施錠ビットが施錠なしに設定されなければなりません。何れかの施錠ビットが設定(0)されると、保護機能で内蔵デバッグ機能が禁止されます。そうでなければ内蔵デバッグ機能が保護されたデバイスへの裏口を提供することになっていでしょう(**訳補**:保護の意味がなくなるの意)。

AVR Studioは使用者に対してチップ内蔵デバッグ能力、AVRインサーキットエミュレータ、内蔵AVR命令シミュレータでのAVRデバイスの完全なプログラム実行制御を可能にします。AVR StudioはAtmel製AVRアセンブラでアセンブルされたアセンブリ言語プログラムや、他社製コンパイラでコンパイルされたC言語プログラムのソースレベルの実行を支援します。

AVR StudioはMicrosoft Windows 95/98/2000, Windows NT下で動作します。

AVR Studioの完全な記述についてはAVR Studio使用者の手引きを参照してください。この文書では要点だけが示されます。

全ての必要な実行指令はAtmel Studio内のソースレベルと逆アセンブリレベルの両方で利用できます。使用者はプログラムの実行、1命令実行(Single Step)、内側(関数内)実行、外側(関数外)実行、命令行へのカーソル配置と命令行が(カーソル行へ)到達されるまでの実行、一時停止、実行対象のリセットができます。加えて使用者は無制限数のコードの中断点(**BREAK**命令使用)と、2つまでのデータメモリの中断点か、代わりに遮蔽による範囲指定(複合)中断点を持てます。

内蔵デバッグ特殊JTAG命令

内蔵デバッグの支援は独自JTAG命令で考慮され、Atmelと選ばれた業者だけに配布されます。参考のため、命令コードの一覧が示されます。

- 独自命令0 : \$8 (内蔵デバッグ機能アクセス用独自JTAG命令)
- 独自命令1 : \$9 (内蔵デバッグ機能アクセス用独自JTAG命令)
- 独自命令2 : \$A (内蔵デバッグ機能アクセス用独自JTAG命令)
- 独自命令3 : \$B (内蔵デバッグ機能アクセス用独自JTAG命令)

JTAGプログラミング能力の使用

JTAG経由AVRデバイスプログラミングは4ピンのJTAGポート、TCK,TMS,TDI,TDO経由で実行されます。これらはJTAGプログラミング実行のために(電源ピンに加えて)制御/監視される必要があるピンだけです。外部的な12V印加は必要とされません。JTAG検査入出力ポート(TAP)を許可するにはJTAGENヒューズがプログラム(0)され、MCU制御/状態レジスタ(MCUCSR)のJTAGインターフェース禁止(JTD)ビットが解除(0)されなければなりません。

JTAGプログラミング能力は以下を支援します。

- フラッシュメモリのプログラミングと照合
- EEPROMのプログラミングと照合
- ヒューズビットのプログラミングと照合
- 施錠ビットのプログラミングと照合

施錠ビット保護は丁度並列プログラミング動作でのようです。施錠ビットLB1またはLB2がプログラム(0)されると、先にチップ消去を行わない限り、OCDENヒューズはプログラム(0)できません。これは保護されたデバイスの内容を読み出す裏口がないことを保証する保護機能です。

プログラミング特殊JTAG命令の記述は134頁の「**プログラミング特殊JTAG命令**」で与えられます。JTAGインターフェースを通すプログラミングの詳細は134頁の「**JTAGインターフェース経由のプログラミング**」項で与えられます。

参考文献

一般的な境界走査(Boundary-Scan)についての詳細は次の文献を参照してください。

- IEEE : IEEE Std 1149.1-1990. IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE, 1993
- Colin Maunder : The Board Designers Guide to Testable Logic Circuits, Addison Wesley, 1992

IEEE 1149.1 (JTAG) 境界走査(Boundary-Scan)

特徴

- JTAGインターフェース (IEEE標準1149.1準拠)
- JTAG規格に従った境界走査(Boundary-Scan)能力
- 全てのポート機能の完全な走査(Scan)
- 任意IDCODE命令の支援
- AVRリセット用公開AVR_RESET命令の追加

概要

境界走査チェーン(Boundary-Scan chain)にはデジタル/Oピンの論理値を駆動、監視する能力があります。システム上ではJTAG機能を持つ全てのICがTDIとTDOの接続によって長い移動レジスタの形態で接続されます。外部制御器がこれらの出力ピンで値を駆動するためにデバイスを設定し、他のデバイスから受信された入力値を監視します。この制御器は予測される結果と受信された値を比較します。この方法によって境界走査(Boundary-Scan)は4つのTAP信号だけの使用で、基板上の部品全般と内部結線の検査機構を提供します。

IEEE 1149.1で定義された4つの必須JTAG命令、IDCODE, BYPASS, SAMPLE/PRELOAD, EXTESTだけでなく、AVR特殊公開JTAG命令のAVR_RESETも基板検査に使えます。既定JTAG命令がIDCODEのため、データレジスタ経路の初期走査はデバイスの識別符号(ID-code)を示します。検査動作中にリセット(状態)のAVRデバイスがあることは好都合かもしれませんが、リセットでない場合、デバイスの入力は走査動作により決定されるかもしれず、検査動作を終了するとき、内部ソフトウェアは未確定状態となってしまうかもしれません。リセットへの移行で、どのポートピンの出力も直ちにHi-Z状態に移行し、HIGHZ命令が不要になります。必要とされるなら、デバイスを通過する走査チェーンを可能な限り最短とするために、BYPASS命令が発行できます。外部RESETピンをLowに引き込むか、またはリセットデータレジスタの適切な設定によるAVR_RESET命令の発行で、デバイスはリセット状態に設定できます。

EXTEST命令は外部ピンの採取と出力ピンの値設定に使われます。EXTEST命令がJTAG命令レジスタ(IR)に設定されると、直ちに出力ラッチからの値がピンで出力駆動されます。このため、最初にEXTEST命令を発行するとき、基板の損傷を避けるため、走査チェーン内に初期値を設定するのにSAMPLE/PRELOAD命令も使われるべきです。SAMPLE/PRELOAD命令は、通常動作中デバイスの外部ピンの高速監視にも使えます。

JTAG検査アクセスポート(TAP)を許可するにはJTAGENヒューズがプログラム(0)され、MCU制御/状態レジスタ(MCUCSR)のJTAGインターフェース禁止(JTD)ビットが解除(0)されなければなりません。

境界走査(Boundary-Scan)にJTAGインターフェースを使う場合、内部チップ周波数より高いJTAG TCKクロック周波数の使用が可能です。チップのクロックは動作に必要とされません。

データレジスタ

データレジスタ(DR)は114頁の「境界走査用JTAG命令」で記載されたJTAG命令レジスタ(IR)によって選ばれます。境界走査(Boundary-Scan)に関連するデータレジスタ(DR)を次に示します。

- 迂回(Bypass)レジスタ • デバイス識別(Device Identification)レジスタ • リセット(Reset)レジスタ • 境界走査チェーン(Boundary-Scan chain)

迂回 (Bypass) レジスタ

迂回レジスタは1段の移動レジスタから成ります。TDIとTDO間の経路として迂回レジスタが選ばれると、このレジスタはTAP制御器がデータレジスタ(DR)捕獲状態を抜ける時に0にリセットされます。迂回レジスタは他のデバイスが検査される時、システム上の走査チェーン(Scan chain)を短くするために使えます。

デバイス識別 (Device Identification) レジスタ

図87.はデバイス識別レジスタの構造を示します。

図87. デバイス識別レジスタの形式

ビット	31	28	27	12	11	1	0
デバイス識別	版				部品番号		製造者識別
ビット数	4				16		11

版

版は4ビットで部品の改訂を示します。関連する版番号は表55.で示されます。

表55. JTAG版番号

版	JTAG版番号(2進)
ATmega323改訂B	0 0 1 0

部品番号

部品番号は16ビットで部品を示します。AVRデバイスのJTAG部品番号は表56.で示されます。

表56. AVR JTAG 部品番号

部品番号	JTAG部品番号(16進)
ATmega323	\$9501

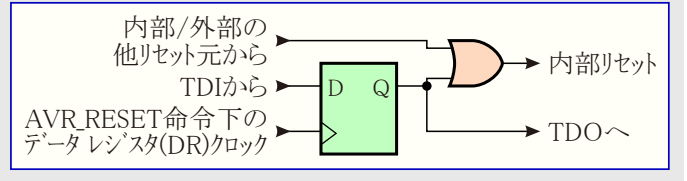
製造者識別 AtmelのJTAG製造者IDは\$01F(11ビット)です。

リセット (Reset) レジスタ

リセットレジスタはデバイスのリセットに使われる検査データレジスタです。リセットによってAVRのポートピンがHi-Z状態となるため、未実装の任意JTAG命令HIGHZ機能の代わりにできます。

リセットレジスタ内の値1は外部RESETピンをLowにするのと同じです。デバイスはリセットレジスタ内の値が1である限りリセット状態を保持します。リセットレジスタを開放すると、デバイスはクロック種別ヒューズビットの設定に従い、リセット遅延時間(18頁の表6.参照)分リセット状態を継続します。図88.で示されるように、このデータレジスタからの出力はラッチされず、直ちにリセットとなります。

図88. リセットレジスタ



境界走査チェーン (Boundary-Scan Chain)

境界走査チェーンにはデジタルI/Oピンの論理値の設定と監視能力があります。

完全な説明については115頁の「境界走査チェーン(Boundary-Scan chain)」をご覧ください。

境界走査(Boundary-Scan)用JTAG命令

命令レジスタ(IR)は4ビット長で16種類までの命令を支援します。以下に示される一覧は境界走査(Boundary-Scan)操作に有用なJTAG命令です。全てのポートピンをHi-Z状態にするための任意HIGHZ命令は実装されていませんが、AVR_RESET命令を使うことにより、全ての出力がHi-Z状態に設定できることに注目してください。

このデータシート内の定義として、全ての移動レジスタに関して入出力共にLSBが最初に移動されます。

各命令の命令コードは命令名下の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選ばれるデータレジスタを記述します。

EXTEST - \$0

AVRデバイスに外部回路の検査を行うためにデータレジスタ(DR)として境界走査チェーン(Boundary-Scan chain)を選ぶための必須JTAG命令です。ポートピンは方向、プルアップ、出力値、入力値は走査チェーン(Scan chain)内で全てアクセス可能です。チップ外接線を持つアナログ回路についてはアナログとデジタル論理間のインターフェースが走査チェーン内になります。境界走査チェーンのラッチした出力値はJTAG命令レジスタ(IR)にEXTEST命令が設定されると直ぐに駆動されます。本命令が有効な状態を次に示します。

- **DR捕獲**：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動**：内部走査チェーンがTCKクロック入力によって移されます。
- **DR更新**：走査チェーンからの値が出力ピンに印加(出力)されます。

IDCODE - \$1

データレジスタ(DR)として32ビットのデバイス識別(ID)レジスタを選ぶ任意JTAG命令です。デバイス識別レジスタは版番号、デバイス番号と、JED ECによって決められた製造者符号から成ります。これは電源投入後の既定命令です。本命令が有効な状態を次に示します。

- **DR捕獲**：デバイス識別レジスタ内の値が境界走査チェーン内に採取されます。
- **DR移動**：内部走査チェーン(デバイス識別レジスタ値)がTCKクロック入力によって移されます。

SAMPLE_PRELOAD - \$2

システム動作に影響を与えずに入出力ピンの状態採取、出力ラッチの事前設定を行うための必須JTAG命令です。けれども出力ラッチはピンに接続されません。データレジスタ(DR)として境界走査チェーン(Boundary-Scan chain)が選ばれます。本命令が有効な状態を次に示します。

- **DR捕獲**：外部ピン上の値が境界走査チェーン内に採取されます。
- **DR移動**：境界走査チェーンがTCKクロック入力によって移されます。
- **DR更新**：境界走査チェーンからの値が出力ラッチに印加(設定)されます。けれども出力ラッチはピンに接続されません。

AVR_RESET - \$C

AVRデバイスを強制的にリセット状態、またはJTAGリセット元から開放するためのAVR特殊公開JTAG命令です。この命令で検査入出力ポート(TAP)制御器はリセットされません。データレジスタ(DR)として1ビットのリセットレジスタが選ばれます。リセットチェーン(レジスタ)が論理1である限り、リセットが活性(有効)なことに注意してください。このチェーンからの出力はラッチされません。本命令が有効な状態を次に示します。

- **DR移動**：走査チェーン(リセットレジスタ)がTCKクロック入力によって移されます。

BYPASS - \$F

データレジスタ(DR)に迂回(Bypass)レジスタを選ぶ必須JTAG命令です。本命令が有効な状態を次に示します。

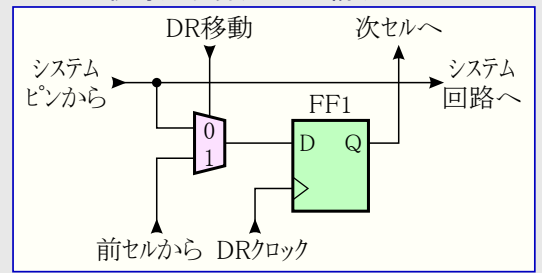
- **DR捕獲**：迂回レジスタに論理0を設定します。
- **DR移動**：TDIとTDO間の迂回レジスタ(セル)が移されます。

RESETピンの走査

RESETピンは標準リセット動作について5V負論理(Low有効)を受け入れます。図91. に示される監視専用セルがリセット検出器(RST)からの出力に挿入されます。

注: 走査された信号は正論理(High有効)です。RST信号は外部RESETピンの反転信号です。

図91. 監視専用境界走査セル構成図



内部信号

ATmega323は1組の内部信号用走査チェーン(Scan chain)を含みます。これらの信号の説明書は非公開です。しかし、検査入出力ポート(TAP)制御器のデータレジスタ(DR)更新状態を適用する前に、これらのセルに安全な値を適用しなければなりません。

注: 内部信号用走査(Scan)セルの不正な設定は信号衝突原因になるかもしれず、またデバイスに損傷を与えます。安全な値が使われているかを確認してください。

表57. ADC用境界走査(Boundary-Scan)信号

信号名	セル種別	未使用時推奨値	信号名	セル種別	未使用時推奨値
SIG_PRIVATE0	標準走査セル	1	SIG_PRIVATE30	標準走査セル	1
SIG_PRIVATE1	標準走査セル	0	SIG_PRIVATE31	標準走査セル	0
SIG_PRIVATE2	標準走査セル	0	SIG_PRIVATE32	標準走査セル	0
SIG_PRIVATE3	標準走査セル	0	SIG_PRIVATE33	標準走査セル	0
SIG_PRIVATE4	標準走査セル	0	SIG_PRIVATE34	標準走査セル	1
SIG_PRIVATE5	標準走査セル	0	SIG_PRIVATE35	標準走査セル	0
SIG_PRIVATE6	標準走査セル	0	SIG_PRIVATE36	標準走査セル	0
SIG_PRIVATE7	標準走査セル	0	SIG_PRIVATE37	標準走査セル	0
SIG_PRIVATE8	標準走査セル	0	SIG_PRIVATE38	標準走査セル	1
SIG_PRIVATE9	標準走査セル	0	SIG_PRIVATE39	標準走査セル	1
SIG_PRIVATE10	標準走査セル	0	SIG_PRIVATE40	標準走査セル	0
SIG_PRIVATE11	標準走査セル	1	SIG_PRIVATE41	標準走査セル	0
SIG_PRIVATE12	標準走査セル	0	SIG_PRIVATE42	標準走査セル	0
SIG_PRIVATE13	標準走査セル	0	SIG_PRIVATE43	監視専用セル	X
SIG_PRIVATE14	標準走査セル	0	SIG_PRIVATE44	監視専用セル	X
SIG_PRIVATE15	標準走査セル	0	SIG_PRIVATE45	監視専用セル	X
SIG_PRIVATE16	標準走査セル	0	SIG_PRIVATE46	監視専用セル	X
SIG_PRIVATE17	標準走査セル	0			
SIG_PRIVATE18	標準走査セル	0			
SIG_PRIVATE19	標準走査セル	0			
SIG_PRIVATE20	標準走査セル	0			
SIG_PRIVATE21	標準走査セル	1			
SIG_PRIVATE22	標準走査セル	0			
SIG_PRIVATE23	標準走査セル	0			
SIG_PRIVATE24	標準走査セル	0			
SIG_PRIVATE25	標準走査セル	1			
SIG_PRIVATE26	標準走査セル	0			
SIG_PRIVATE27	標準走査セル	0			
SIG_PRIVATE28	標準走査セル	0			
SIG_PRIVATE29	標準走査セル	0			

ATmega323の境界走査(Boundary-Scan)順

表58.は境界走査チェーンがデータ経路として選ばれたときのTDIとTDO間の走査順を示します。ビット0が最下位ビットで、走査の最初に入出力されます。走査順は可能な限りピン配置順に従います。このため、ポートAのビットは他のポートと違うビット順で走査されます。この規則の例外は、アナログ回路が接続される物理ピンに関係なく、走査チェーンの最上位を構成するアナログ回路用走査チェーンです。図89.上で、Pxn出力はFF0、Pxn制御はFF1、Pxnプルアップ禁止はFF2に各々対応します。ポートCのビット2, 3, 4, 5は、JTAG許可時にTAPピンを構成するため、走査チェーンにはありません。

表58. ATmega323境界走査(Boundary-Scan)順

ビット	信号名	部門	ビット	信号名	部門	ビット	信号名	部門
131	SIG_PRIVATE0	独自部1	87	PB0.Control	ポートB	43	PD5.Control	ポートD
130	SIG_PRIVATE1		86	PB0.Pullup_Disable		42	PD5.Pullup_Disable	
129	SIG_PRIVATE2		85	PB1.Data		41	PD6.Data	
128	SIG_PRIVATE3		84	PB1.Control		40	PD6.Control	
127	SIG_PRIVATE4		83	PB1.Pullup_Disable		39	PD6.Pullup_Disable	
126	SIG_PRIVATE5		82	PB2.Data		38	PD7.Data	
125	SIG_PRIVATE6		81	PB2.Control		37	PD7.Control	
124	SIG_PRIVATE7		80	PB2.Pullup_Disable		36	PD7.Pullup_Disable	
123	SIG_PRIVATE8		79	PB3.Data		35	PC0.Data	ポートC
122	SIG_PRIVATE9		78	PB3.Control		34	PC0.Control	
121	SIG_PRIVATE10	独自部2	77	PB3.Pullup_Disable		33	PC0.Pullup_Disable	
120	SIG_PRIVATE11		76	PB4.Data		32	PC1.Data	
119	SIG_PRIVATE12		75	PB4.Control		31	PC1.Control	
118	SIG_PRIVATE13		74	PB4.Pullup_Disable		30	PC1.Pullup_Disable	
117	SIG_PRIVATE14		73	PB5.Data		29	PC6.Data	
116	SIG_PRIVATE15		72	PB5.Control		28	PC6.Control	
115	SIG_PRIVATE16		71	PB5.Pullup_Disable		27	PC6.Pullup_Disable	
114	SIG_PRIVATE17		70	PB6.Data		26	PC7.Data	
113	SIG_PRIVATE18		69	PB6.Control		25	PC7.Control	
112	SIG_PRIVATE19		68	PB6.Pullup_Disable		24	PC7.Pullup_Disable	
111	SIG_PRIVATE20	独自部2	67	PB7.Data	監視専用セル	23	PA7.Data	ポートA
110	SIG_PRIVATE21		66	PB7.Control		22	PA7.Control	
109	SIG_PRIVATE22		65	PB7.Pullup_Disable		21	PA7.Pullup_Disable	
108	SIG_PRIVATE23		64	RSTT		20	PA6.Data	
107	SIG_PRIVATE24		63	SIG_PRIVATE43		19	PA6.Control	
106	SIG_PRIVATE25		62	SIG_PRIVATE44		18	PA6.Pullup_Disable	
105	SIG_PRIVATE26		61	SIG_PRIVATE45		17	PA5.Data	
104	SIG_PRIVATE27		60	SIG_PRIVATE46		16	PA5.Control	
103	SIG_PRIVATE28		59	PD0.Data	ポートD	15	PA5.Pullup_Disable	
102	SIG_PRIVATE29		58	PD0.Control		14	PA4.Data	
101	SIG_PRIVATE30	独自部2	57	PD0.Pullup_Disable		13	PA4.Control	
100	SIG_PRIVATE31		56	PD1.Data		12	PA4.Pullup_Disable	
99	SIG_PRIVATE32		55	PD1.Control		11	PA3.Data	
98	SIG_PRIVATE33		54	PD1.Pullup_Disable		10	PA3.Control	
97	SIG_PRIVATE34		53	PD2.Data		9	PA3.Pullup_Disable	
96	SIG_PRIVATE35		52	PD2.Control		8	PA2.Data	
95	SIG_PRIVATE36		51	PD2.Pullup_Disable		7	PA2.Control	
94	SIG_PRIVATE37		50	PD3.Data		6	PA2.Pullup_Disable	
93	SIG_PRIVATE38		49	PD3.Control		5	PA1.Data	
92	SIG_PRIVATE39		48	PD3.Pullup_Disable		4	PA1.Control	
91	SIG_PRIVATE40	独自部2	47	PD4.Data	ポートD	3	PA1.Pullup_Disable	
90	SIG_PRIVATE41		46	PD4.Control		2	PA0.Data	ポートA
89	SIG_PRIVATE42		45	PD4.Pullup_Disable		1	PA0.Control	
88	PB0.Data	ポートB	44	PD5.Data		0	PA0.Pullup_Disable	

境界走査記述言語(Boundary-Scan Description Language)ファイル

境界走査記述言語(BSDL)ファイルは境界走査が可能なデバイスを自動検査生成ソフトウェアによって使われる標準形式で記述します。境界走査データレジスタ内のビットの順番と機能がこの記述内に含まれます。ATmega323用のBSDLファイルは入手可能です。

ブートローダ支援

ATmega323はMCU自身によりプログラムコードの書き込みや書き換えるための機構を提供します。この特徴はフラッシュメモリ常駐ブートローダプログラムを使うMCUによって制御される柔軟な応用ソフトウェア更新を可能にします。これはSPIピンへのアクセスなしに対象システム内のAVRにプログラミングすることを可能にします。ブートローダプログラムはプログラムコードの入出力のためにUSART直列バスインターフェースのような利用可能なインターフェースと関連通信規約のどれかが使え、フラッシュメモリ内へのコード書き込みやコード読み出しを行います。

ATmega323のフラッシュメモリは2つの主要な領域で構成されます。

- 応用フラッシュメモリ領域
- ブートローダフラッシュメモリ領域

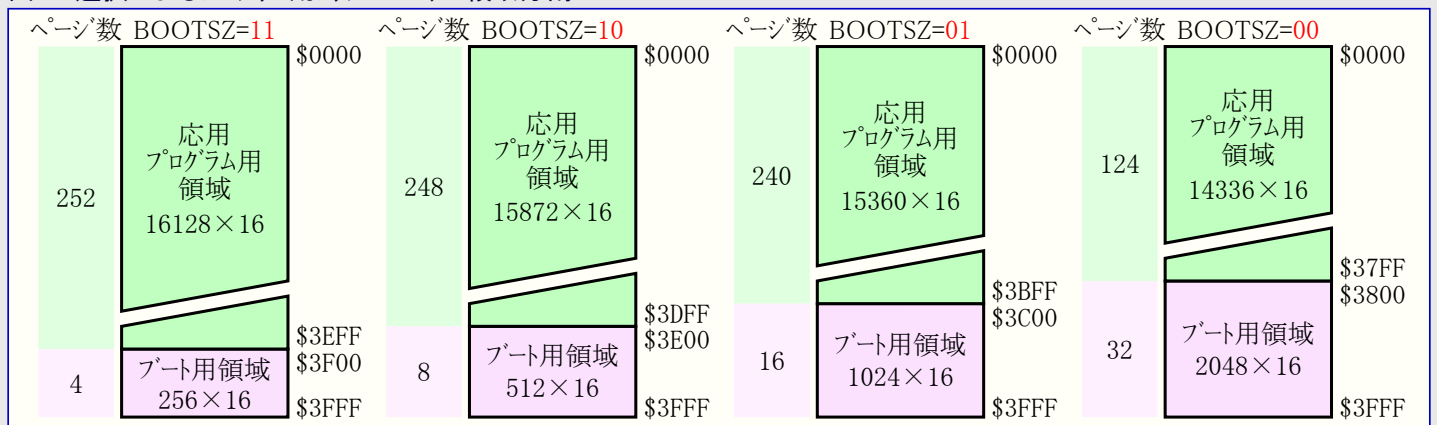
応用フラッシュメモリ領域とブートローダフラッシュメモリ領域は個別の**ブート施錠ビット**を持っています。従って、この2つの領域に対して異なる保護基準を選べます。**SPM**(フラッシュメモリ書き込み)命令はブートローダフラッシュメモリ領域からだけ実行できます。

ATmega323のプログラム用フラッシュメモリは64語(ワード)毎の128ページに分けられます。ブートローダフラッシュメモリ領域はフラッシュメモリの上位アドレス空間に配置され、**表59**で示されるように**BOOTSZ**ヒューズを通して設定できます。

表59. 応用領域とブートローダ領域の分割設定

BOOTSZ1	BOOTSZ0	ブートローダ領域		アドレス範囲	
		容量(語)	ページ数	応用プログラム領域	ブートローダプログラム領域
1	1	256	4	\$0000~\$3EFF	\$3F00~\$3FFF
1	0	512	8	\$0000~\$3DFF	\$3E00~\$3FFF
0	1	1024	16	\$0000~\$3BFF	\$3C00~\$3FFF
0	0	2048	32	\$0000~\$37FF	\$3800~\$3FFF

図92. 選択によるプログラム用フラッシュメモリの領域分割



ブートローダプログラムへの移行

SPM命令は全フラッシュメモリをアクセスできますが、ブートローダフラッシュメモリ領域だけから実行できます。ブートローダ機能が必要とされないなら、全フラッシュメモリが応用コード用に利用可能です。ブートローダへの移行は応用プログラムからの分岐(JMP)か呼び出し(CALL)によって行います。これはUSARTやSPIインターフェース経由で受信された指令のような何かの起点によって始められるかもしれません。代わりにリセット後のリセットベクタがブート領域開始アドレスを指し示すように**ブートリセット(BOOTRST)ヒューズ**がプログラム(0)できます。この場合、リセット後にブートローダが開始されます。応用コードの書き換え(書き込み)後、プログラムは応用コードの実行を始められます。このヒューズビットがMCU自身によって変更できないことに注意してください。これは一旦ブートリセットヒューズがプログラム(0)されると、リセットベクタは常にブートローダリセットを指示し、このヒューズが**直列**または**並列プログラミング**、または**JTAGインターフェース**を通してのみ変更できることを意味します。

表60. ブートリセットヒューズ (0=プログラム、1=非プログラム)

BOOTRST	リセット後実行開始アドレス (リセットベクタ)	
0	ブートローダリセット	ブートローダ開始アドレス (表59.参照)
1	応用コードリセット	\$0000

ブートローダの能力

ブートローダ領域内のプログラムコードはブートローダメモリを含む全フラッシュメモリに対する読み出し/書き込み能力を持ちます。これは応用コードとソフトウェア更新を操作するブートローダコード両方の更新を使用者に許します。従ってブートローダは自身をも修正でき、この機能がそれ以上必要とされない場合、そのコードから自身を消去することもできます。

フラッシュメモリの自己プログラミング

フラッシュメモリのプログラミングは1ページ毎に実行されます。正しいプログラミングのため、フラッシュのページは最初に消去されなければなりません。一般書き込み禁止(LB動作種別2)ではSPM命令によるフラッシュメモリのプログラミング制御を行いません。同様に、行ったとすれば、一般読み書き禁止(LB動作種別3)ではLPM命令とSPM命令による読み込みまたは書き込みを制御しません。

プログラムメモリは語(ワード)毎ではなくページ毎にのみ更新できます。1ページは64語(128バイト)です。プログラムメモリは最初にページ消去を実行し、次にSPM命令を使って1語毎にページ一時緩衝部を満たし、そしてページ書き込みを実行することによって修正されます。ページの一部だけの変更が必要な場合、他の部分は消去前に(例えば内蔵SRAMに)保存され、その後、再書き込みされなければなりません。ページ一時緩衝部は欄順にアクセスできます。ページ消去とページ書き込み操作の両方で使われるページアドレスは同じページを指示することが重要です。アセンブリ言語のプログラム例については123頁の「アセンブリ言語によるブートローダ例」をご覧ください。

SPM命令によるページ消去の実行

ページ消去を実行するには、Zポインタにアドレスを設定し、SPM命令制御レジスタ(SPMCR)の下位5ビットに00011を書き、SPMCR書き込み後4クロック周期内にSPM命令を実行します。レジスタR1とR0の値は無視されます。ページアドレスはZ13~7に書かれなければなりません。Zポインタ内の他のビットは、この操作中、無視されます。ページ消去操作中、割り込みは禁止されることが推奨されます。

ページ一時緩衝部の設定 (ページ設定)

命令語をページ一時緩衝部へ書くには、Zポインタにアドレス、レジスタR1:R0にデータを設定し、SPMCRの下位5ビットに00001を書き、SPMCR書き込み後4クロック周期以内にSPM命令を実行します。Z6~1の内容が一時緩衝部内のデータのアドレスに使われます。Z13~7は書かれることになっているページを指示しなければなりません。

ページ書き込みの実行

ページ書き込みを実行するには、Zポインタにアドレスを設定し、SPMCRの下位5ビットに00101を書き、SPMCR書き込み後4クロック周期以内にSPM命令を実行します。レジスタR1とR0の値は無視されます。ページアドレスはZ13~7に書かれなければなりません。ページが正しく書かれることを保証するため、この操作の間中、Z6~0は0でなければなりません。ページ書き込み操作中、割り込みは禁止されることが推奨されます。

ブートローダ領域更新中の考慮

ブート施錠ビット11(BLB11)を非プログラム(1)のままとすることにより、ブートローダ領域の更新を許す場合、特段の注意が払われなければなりません。ブートローダ自体への予期せぬ書き込みはブートローダ全体を不正にし、その上、ソフトウェア更新を不可能するかもしれません。ブートローダソフトウェア自体の変更が必要とされない場合、どの内部ソフトウェア変更からもブートローダソフトウェアを保護するためにブート施錠ビット11(BLB11)をプログラム(0)することが推奨されます。

SPM命令完了待機

ページ消去、ページ書き込み、施錠ビット書き込みの間、CPUが停止されるとは言え、将来との共通性のため、使用者ソフトウェアはプログラミング操作後、SPM命令制御レジスタ(SPMCR)を読み、SPM操作許可(SPMEN)ビットが解除(0)されるまでを繰り返すことにより、SPM操作の完了をポーリングしなければなりません。プログラム例については123頁の「アセンブリ言語によるブートローダ例」をご覧ください。

ページ消去、ページ書き込み、施錠ビット書き込み後の命令読み込み

プログラミング動作(ページ消去、ページ書き込み、施錠ビット書き込み)後の正しい命令パイプライン動作を保証ためにSPM命令は以下に示される手順が後続されなければなりません。

```
SPM
.DW    $FFFF
NOP
```

これを行わないと、SPM命令の次の命令が失敗するかもしれません。SPM命令が一時緩衝部を設定するだけの時はこの手順を追加する必要がありません。

自己プログラミング中の応用領域読み込み回避

自己プログラミング(ページ消去とページ書き込み)中、応用領域を読むべきではありません。自己プログラミング動作中、この領域へのアクセスを防止しなければなりません。これは割り込みが禁止されなければならないことを意味します。プログラミングが完了された後、応用領域をアクセスする前に将来との共通性のため、SPM命令制御レジスタ(SPMCR)の下位5ビットに10001を書き、4クロック周期以内にSPM命令を実行しなければなりません。次にSPMCRの応用領域多忙(ASB)ビットが解除(0)されていることを確認すべきです。例については123頁の「アセンブリ言語によるブートローダ例」をご覧ください。このデバイスでは応用領域多忙(ASB)と応用領域読み出し許可(ASRE)ビットに特別な機能がないとは言え、将来とのコード共通性のため、上記のように扱われることが重要です。

ブートローダ施錠ビット (BLBnn)

ATmega323は個別に設定できる分離された2組のブート施錠ビットを持っています。これは異なる保護基準を選ぶための独特な柔軟性を使用者に与えます。次に示す保護範囲が選べます。

- MCUによるソフトウェア更新から全フラッシュメモリを保護
- MCUによるソフトウェア更新からブートローダフラッシュメモリ領域のみ保護
- MCUによるソフトウェア更新から応用フラッシュメモリ領域のみ保護
- 全フラッシュメモリでソフトウェア更新可

より多くの詳細については表61と表62をご覧ください。ブート施錠ビットはプログラムや直列または並列プログラミング動作で設定(プログラム(0))できますが、これらはチップ消去指令によってのみ消去(非プログラム(1))できます。

表61. 応用領域に対する保護種別 (0=プログラム、1=非プログラム)

BLB0 動作種別	BLB02	BLB01	保護種別
1	1	1	LPM, SPM命令による応用領域へのアクセスを禁止しません。
2	1	0	応用領域へのSPM命令での書き込みができません。
3	0	0	応用領域へのSPM命令での書き込みと、ブートローダ領域でのLPM命令による応用領域からの読み込みができません。(注)
4	0	1	ブートローダ領域でのLPM命令による応用領域からの読み込みができません。(注)

注: BLB02=0で、割り込みベクタがブートローダ領域に配置されていると、応用領域からの実行時、割り込みが禁止されます。

表62. ブートローダ領域に対する保護種別 (0=プログラム、1=非プログラム)

BLB1 動作種別	BLB12	BLB11	保護種別
1	1	1	LPM, SPM命令によるブートローダ領域へのアクセスを禁止しません。
2	1	0	ブートローダ領域へのSPM命令での書き込みができません。
3	0	0	ブートローダ領域へのSPM命令での書き込みと、応用領域でのLPM命令によるブートローダ領域からの読み込みができません。(注)
4	0	1	応用領域でのLPM命令によるブートローダ領域からの読み込みができません。(注)

注: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブートローダ領域からの実行時、割り込みが禁止されます。

SPM命令によるブートローダ施錠ビットの設定

ブートローダ施錠ビットを設定するには、希望する値をレジスタR0に書き、SPMCRに00001001を書いて、SPMCR書き込み後4クロック周期以内にSPM命令を実行します。アクセス可能な施錠ビットは、応用領域とブートローダ領域のMCUによるどんなソフトウェア更新も防げるブート施錠ビットだけです。

ビット	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	1	1

レジスタR0のビット5～2が解除(0)されると、SPM操作許可(SPMEN)とブート施錠ビット設定(BLBSET)がSPM命令制御レジスタ(SPMCR)に設定(1)された後、4周期以内にSPM命令が実行されると、対応するブート施錠ビットがプログラム(0)されます。

ソフトウェアからのヒューズ・ビットと施錠ビットの読み出し

ソフトウェアからヒューズと施錠ビット両方が読めます。施錠ビットを読み出すには、Zポインタに\$0001を設定し、SPM命令制御レジスタ(SPMCR)の**ブート施錠ビット設定(BLBSET)**と**SPM操作許可(SPMEN)**ビットを設定(1)します。BLBSETとSPMENがSPMCRに設定された後、5 CPU周期内にLPM命令が実行されると、転送先レジスタに施錠ビットが取得されます。BLBSETとSPMENビットは、施錠ビット読み出し完了、またはLPM、SPM命令が5, 4 CPU周期内に実行されないと、自動的に解除(0)されます。BLBSETとSPMENビットが解除(0)されると、LPMは命令一式手引書と9頁の「LPM,SPM命令による定数アドレス指定」で記述されるように動作します。

ビット	7	6	5	4	3	2	1	0
Rd	—	—	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ヒューズ下位ビットを読み出す手順は上記の施錠ビット読み出しと同様です。しかし、ヒューズ下位ビットを読み出すには、Zポインタに\$0000を設定し、SPMCRでBLBSETとSPMENを設定(1)します。BLBSETとSPMENがSPMCRで設定された後、5 CPU周期内にLPM命令が実行されると、以下で示されるヒューズ下位ビットの値が転送先レジスタに設定されます。

ビット	7	6	5	4	3	2	1	0
Rd	BODLEVEL	BODEN	—	—	CKSEL3	CKSEL2	CKSEL1	CKSEL0

同様に、ヒューズ上位ビットを読み出すとき、Zポインタに\$0003を設定します。BLBSETとSPMENがSPMCRで設定された後、5 CPU周期内にLPM命令が実行されると、以下で示されるヒューズ上位ビットの値が転送先レジスタに設定されます。

ビット	7	6	5	4	3	2	1	0
Rd	OCDEN	JTAGEN	SPIEN	—	EESAVE	BOOTSZ1	BOOTSZ0	BOOTRST

プログラムされたヒューズ・ビットと施錠ビットは0として読みます。プログラムされないヒューズ・ビットと施錠ビットは1として読みます。

全ての場合で、未使用ビット位置の読み出し値は未定義です。

SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリへの全てのソフトウェアプログラミングを妨害することに注意してください。ソフトウェアからのヒューズや施錠ビット読み出しも、EEPROM書き込み動作中に妨害されます。SPM命令制御レジスタ(SPMCR)に書く前にEEPROM制御レジスタ(EECR)のEEPROM書き込み許可(EWE)ビットを検査し、このビットが解除(0)されているのを確かめることが推奨されます。割り込みルーチン内部でEEPROM書き込みが行われる場合、EWE状態ビットを検査する前にその割り込みを禁止すべきです。

自己プログラミングでのフラッシュメモリのアドレス指定

SPM命令でのアドレス指定にはZレジスタ(ポインタ)が使われます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

Z15 : 常に無視
 Z14~7 : ページ消去とページ書き込みに対するページ選択
 Z6~1 : ページ一時緩衝部設定に対する語(ワード)選択 (ページ書き込み操作中は0固定)
 Z0 : 全SPM命令について0であるべき、LPM命令に対するバイト選択

Zポインタを使わない操作は、ブートローダ施錠ビット設定だけです。Zポインタの内容は無視され、この操作では無効です。

ページ消去とページ書き込み操作は個別にアドレス指定されることに注意してください。従って、ブートローダソフトウェアは、ページ消去とページ書き込み操作の両方で同じページを指定することが最も重要になります。

LPM命令もアドレスを格納するためにZポインタを使います。この命令はフラッシュメモリをバイト単位で指定するため、Zポインタの最下位ビット(Z0)も使われます。詳細な記述については9頁をご覧ください。

SPM命令制御レジスタ (Store Program Memory Control Register) SPMCR

このレジスタ内には内部コード実行からフラッシュメモリのプログラミングを制御するために必要とされる制御ビットがあります。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	–	ASB	–	ASRE	BLBSET	PGWRT	PGERS	SPMEN	SPMCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	不定	0	0	0	0	0	0	0	

• ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。SPMCR書き込み時、このビットは0が書かれるべきです。

• ビット6 – ASB : 応用領域多忙 (Application Section Busy)

ブートローダ操作(ページ消去またはページ書き込み)後、応用領域へ移行する前にこのビットが解除(0)されていることを確認しなければなりません。将来のデバイスではページ消去とページ書き込みによってこのビットが設定(1)されます。ATmega323ではこのビットが常に0として読みます。

• ビット5 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。SPMCR書き込み時、このビットは0が書かれるべきです。

• ビット4 – ASRE : 応用領域読み出し許可 (Application Section Read Enable)

応用領域への再移行に先立って、このビットとSPM操作許可(SPMEN)ビットを共に設定(1)し、4クロック周期内にSPM命令を実行しなければなりません。

• ビット3 – BLBSET : ブート施錠ビット設定 (Boot Lock Bits Set)

このビットがSPMENと同時に設定(1)されると、次の4クロック周期内のSPM命令がブート施錠ビットを設定します。同様に5周期内のLPM命令はヒューズビットまたは施錠ビットのどちらかを読みます。このBLBSETビットはSPMまたはLPM命令の完了、または4,5クロック周期内にSPMまたはLPM命令が実行されないと、自動的に解除(0)されます。

• ビット2 – PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に設定(1)されると、次の4クロック周期内のSPM命令は一時緩衝部内に格納されたデータのページ書き込みを実行します。ページアドレスはZポインタの上位部から取得されます。レジスタR1とR0の値は無視されます。このPGWRTビットはページ書き込み完了、または4クロック周期内にSPM命令が実行されないと、自動的に解除(0)されます。ページ全体の書き込み動作中、CPUは停止されます。

• ビット1 – PGERS : ページ消去 (Page Erase)

このビットがSPMENと同時に設定(1)されると、次の4クロック周期内のSPM命令はページ消去を実行します。ページアドレスはZポインタの上位部から取得されます。レジスタR1とR0の値は無視されます。このPGERSビットはページ消去完了、または4クロック周期内にSPM命令が実行されないと、自動的に解除(0)されます。ページ全体の消去動作中、CPUは停止されます。

• ビット0 – SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロック周期間SPM命令を許可します。ASRE, BLBSET, PGWRT, PGERSのどれかと共に設定(1)されると、後続のSPM命令は特別な意味を持ちます(上記参照)。SPMENだけが設定(1)されると、後続のSPM命令はZポインタで指示されたページ一時緩衝部へレジスタR1:R0内の値を格納します。Zレジスタの最下位ビットは無視されます。このSPMENビットはSPM命令完了、または4クロック周期内にSPM命令が実行されないと、自動的に解除(0)されます。ページ消去とページ書き込みの間中、SPMENビットはその動作が完了されるまで1に留まります。

下位5ビットに10001, 01001, 00101, 00011, 00001以外の他のどんな組み合わせを書いても無効です。

フラッシュメモリデータ化けの防止

電源電圧が低すぎる時のCPUやフラッシュメモリの動作特性により、低VCCの期間中、フラッシュメモリデータが化けてしまいます。これらはフラッシュメモリを使う基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

フラッシュメモリデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、フラッシュメモリ書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、フラッシュメモリのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。これは動作電圧が検出電圧と一致する場合、**内蔵低電圧検出器(BOD)を許可**することにより行えます。一致しない場合、外部低VCCリセット保護回路が使えます。書き込み動作実行中にリセットが起きる場合、電源電圧が充分ならば、その書き込み動作は完了されます。総合リセット時間はフラッシュメモリ書き込み時間より長くなければなりません。これは**外部リセット**で保持するか、長い**リセット遅延時間を選ぶ**ことで達せられます。
- 低VCCの時間中、AVRコアを**パワーダウン休止動作**に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからフラッシュメモリを保護する効果があります。

アセンブリ言語によるブートローダ例

このルーチンはSRAMからフラッシュメモリへ1ページのデータを書きます。SRAMの最初のデータ位置(最下位アドレス)はYレジスタ(ポインタ)により指示されます。フラッシュメモリの最初のデータ位置(最下位アドレス)はZレジスタ(ポインタ)により指示されます。異常処理は含まれません。このルーチンはブート空間に配置されなければなりません。自己プログラミング中、ブートローダ領域側のコードだけが読まれるべきです。レジスタはR0, R1, TMP, CNTL, CNTH, SPMCが使われます。レジスタの保存と復帰は、このルーチンに含まれません。レジスタ使用量はコード量を犠牲にすれば最適化が可能です。割り込みは禁止されているものとします。

ページ内データが256バイト以下の場合、カウンタ上位が不要になり、関連する命令も変更となります。これらの部分を赤字で示します。

ラベル	命令	注釈
	. EQU PGSZB = PAGESIZE*2	; PGSZBはページ内のバイト数です。(PAGESIZEが語(ワード)数)
	. ORG SMALLBOOTSTART	; ブート領域(容量)開始アドレス指定
WRPG:	LDI SPMC, (1<<PGERS) + (1<<SPMEN)	; [ページ消去]
	CALL SPMJ	; ページ消去SPMCR値を取得
		; ページ消去
	LDI SPMC, (1<<ASRE) + (1<<SPMEN)	; [応用領域読み出し許可]
	CALL SPMJ	; 応用領域読み出し許可SPMCR値を取得
		; 応用領域読み出し許可
	LDI CNTL, LOW(PGSZB)	; [RAMからフラッシュページ一時緩衝部へ転送]
	LDI CNTH, HIGH(PGSZB)	; バイトカウンタを初期化
WLP:	LD R0, Y+	; (削除)
	LD R1, Y+	; RAM上の下位バイトデータを取得(ポインタ進行)
	LDI SPMC, (1<<SPMEN)	; RAM上の上位バイトデータを取得(ポインタ進行)
	CALL SPMJ	; ページ一時緩衝部書き込みSPMCR値を取得
	ADIW ZH: ZL, 2	; 対応語データをページ一時緩衝部に設定
	SBIW CNTH: CNTL, 2	; ページ一時緩衝部ポインタ進行
	BRNE WLP	; カウンタを減数 (SUBI)
		; 指定バイト数分継続
		; [ページ書き込み]
	SUBI ZL, LOW(PGSZB)	; ページ一時緩衝部先頭にポインタを復帰
	SBCI ZH, HIGH(PGSZB)	; (削除)
	LDI SPMC, (1<<PGWRT) + (1<<SPMEN)	; フラッシュ書き込みSPMCR値を取得
	CALL SPMJ	; フラッシュメモリページ書き込み
		; [応用領域読み出し許可]
	LDI SPMC, (1<<ASRE) + (1<<SPMEN)	; 応用領域読み出し許可SPMCR値を取得
	CALL SPMJ	; 応用領域読み出し許可
		; [照合]
	LDI CNTL, LOW(PGSZB)	; バイトカウンタを初期化
	LDI CNTH, HIGH(PGSZB)	; (削除)
	SUBI YL, LOW(PGSZB)	; RAMデータ先頭にポインタを復帰
	SBCI YH, HIGH(PGSZB)	;
RLP:	LPM R0, Z+	; フラッシュメモリから1バイト取得(ポインタ進行)
	LD R1, Y+	; RAMから1バイトデータを取得(ポインタ進行)
	CPSE R0, R1	; 値一致でスキップ
	JMP ERROR	; 不一致で異常処理へ
;		
	SBIW CNTH: CNTL, 1	; カウンタを減数 (SUBI)
	BRNE RLP	; 指定バイト数分継続
:		; [応用領域へ復帰(移行)]
RTN:	IN TMP, SPMCR	; SPM命令制御レジスタ値を取得
	SBRB TMP, ASB	; 応用領域多忙でスキップ
	RET	; 準備可で呼び出し元へ復帰
;		; [応用領域読み出し許可]
	LDI SPMC, (1<<ASRE) + (1<<SPMEN)	; 応用領域読み出し許可SPMCR値を取得
	CALL SPMJ	; 応用領域読み出し許可
	RJMP RTN	; 応用領域レディまで待機
		; [SPM命令実行サブルーチン]
SPMJ:	SBIC EECR, EEWE	; EEPROM書き込み中以外でスキップ
	RJMP SPMJ	; EEPROM書き込み完了まで待機
;		
	OUT SPMC, SPMC	; SPM動作指定
	SPM	; 対応SPM動作実行
	. DW \$FFFF	; 次命令用パイプライン正常化処理
	NOP	; //
WAIT:	IN TMP, SPMCR	; SPM命令制御レジスタ値を取得
	SBRB TMP, SPMEN	; 設定可能(直前のSPM完了)でスキップ
	RJMP WAIT	; SPM操作完了まで待機
;		
	RET	; 呼び出し元へ復帰

メモリプログラミング

プログラムメモリ施錠ビット

ATmega323は非プログラム(1)のままか、表63.で示される付加機能を得るためにプログラム(0)できる6つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表63. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはJTAG経由でプログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズビットが固定されます。(注1)
LB0 種別	BLB02	BLB01	フラッシュメモリの応用プログラム領域に対する保護
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブートローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
4	0	1	ブートローダ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
LB1 種別	BLB12	BLB11	フラッシュメモリのブートローダプログラム領域に対する保護
1	1	1	LPM, SPM命令がブートローダ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブートローダ領域に書くことを許されません。
3	0	0	SPM命令によるブートローダ領域への書き込みと、応用領域でのLPM命令によるブートローダ領域からの読み込みが許されません。(注3)
4	0	1	応用領域でのLPM命令によるブートローダ領域からの読み込みが許されません。(注3)

注1: ヒューズビットの書き込みは施錠ビットの書き込み前に行ってください。

注2: BLB02=0で、割り込みベクタがブートローダ領域に配置されていると、応用領域からの実行時、割り込みが禁止されます。

注3: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブートローダ領域からの実行時、割り込みが禁止されます。

ヒューズビット

ATmega323には2群に分けられた13個のヒューズビットがあります。ヒューズ上位ビットはOCDEN, JTAGEN, SPIEN, EESAVE, BOOTSZ1,0とBOOTRSTで、ヒューズ下位ビットがBODLEVEL, BODENとCKSEL3~0です。全てのヒューズが並列プログラミング動作とJTAGインターフェース経由のプログラミング時にアクセス可能です。直列プログラミング動作ではSPIENヒューズ以外の全てがアクセス可能です。

- **OCDEN**ヒューズがプログラム(0)されると、JTAGENヒューズがプログラム(0)されていれば内蔵デバッグ機能が許可されます。JTAGENヒューズが非プログラム(1)の場合はOCDENヒューズは見た目の効果を持ちません。OCDENヒューズがプログラム(0)された製品は決して出荷致しません。施錠ビットやJTAGENヒューズの設定に拘らず、プログラム(0)されたOCDENヒューズは全休止形態でクロックシステムのいくつかの部分の動作を許可します。これは電力消費を増加するかもしれませんが、既定値は非プログラム(1)です。
- **JTAGEN**ヒューズがプログラム(0)されると、ポートCのPC5~2ピンのJTAGインターフェースが許可されます。既定値はプログラム(0)です。JTAGインターフェースが未接続のままにされる場合、可能ならばJTAGENヒューズは禁止されるべきです。これはJTAGインターフェースのTDOピンでの静止時電流を避けるためです。
- **SPIEN**ヒューズがプログラム(0)されると、直列プログラミングが許可されます。既定値はプログラム(0)です。SPIENヒューズは直列プログラミング動作でアクセスできません。
- **EESAVE**ヒューズがプログラム(0)されると、EEPROMメモリはチップ消去期間を通して保護されます。既定値は非プログラム(1)です。施錠ビットの何れかがプログラム(0)されている場合、EESAVEヒューズはプログラム(0)できません。
- **BOOTSZ1,0**は117頁の表59.に従ってブートフラッシュメモリ領域の容量と開始アドレスを選びます。既定値は"11"(共に非プログラム)です。
- **BOOTRST**がプログラム(0)されると、118頁の表59.に従ってBOOTSZ1,0により選ばれたブートフラッシュメモリ領域の開始アドレスにリセットベクタが設定されます。BOOTRSTが非プログラム(1)なら、リセットベクタはアドレス\$0000に設定されます。既定値は非プログラム(1)です。
- **BODLEVEL**ヒューズは17頁の表5.と18頁の表6.に従って低電圧検出電圧と起動時間を選びます。既定値は非プログラム(1)です。
- **BODEN**ヒューズがプログラム(0)されると、低電圧検出(リセット)器(BOD)が許可されます。14頁の「リセットと割り込みの扱い」をご覧ください。既定値は非プログラム(1)です。
- **CKSEL3~0**は5頁の表1.と18頁の表6.に従ってクロック元とリセット後の起動遅延を選びます。既定値は"0010"(内蔵RC発振器)です。

ヒューズビットの状態はチップ消去による影響を受けません。施錠ビット1(LB1)がプログラム(0)されると、ヒューズビットが固定化されることに注意してください。ヒューズビットのプログラミングは、施錠ビットのプログラム(0)前に行ってください。

識票バイト

Atmelの全マイクロ コントローラはデバイス識別用に3バイトの識票符号を持ちます。この符号は直列と並列の両プログラミング動作で読めます。この3バイトは他から分離された空間に存在します。ATmega323の識票符号を右に示します。

- ① \$000 : \$1E 製造業者Atmel。
- ② \$001 : \$95 フラッシュ メモリ容量32Kバイト。
- ③ \$002 : \$01 ②値\$95と合せ、ATmega323。

校正バイト

ATmega323には内蔵RC発振器用の1バイトの校正値があります。このバイトは識票アドレス空間のアドレス\$000の上位バイトにあります。このバイトを使うには外部書き込み器により、この位置を読み、通常のプログラム用フラッシュ メモリ内に書かれるべきです。起動で、使用者ソフトウェアはこのフラッシュ メモリ位置を読み、その値を**発振校正レジスタ(OSCCAL)**に書かねばなりません。

並列プログラミング

この章ではATmega323でのプログラム用フラッシュ メモリ、データ用EEPROM、**施錠ビット**、**ヒューズ ビット**の並列プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低500nsという前提です。

信号名

本章ではATmega323のいくつかのピンが並列プログラミング中の機能を示す信号名によって参照されます(図93.と表64.をご覧ください)。表64.で示されないピンはピン名で参照されます。

XA0とXA1ピンは、XTAL1ピンに正パルスが与えられる時に実行される動作を決めます。この規約は表65.で示されます。

WRまたはOEパルス時、取得された指令が実行される動作を決めます。この指令は表66.で示されるように各ビットで機能が示されるバイトです。

図93. 並列プログラミング構成図

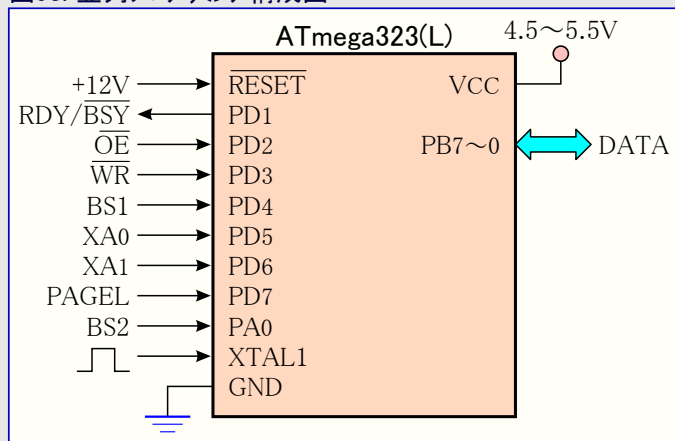


表64. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0: プログラミング多忙 1: 準備可(指令受付可)
OE	PD2	入力	出力許可(負論理)
WR	PD3	入力	書き込み(負論理)
BS1	PD4	入力	バイト選択1: 上位/下位バイト選択 (0: 下位, 1: 上位) (一般用)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
PAGEL	PD7	入力	プログラム メモリ用ページ緩衝部へ設定
BS2	PA0	入力	バイト選択2: 上位/下位バイト選択 (0: 下位, 1: 上位) (ヒューズ ビット用)
DATA	PB7~0	入出力	データ (OE=L時出力)

表65. XA0とXA1の機能

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位/下位はBS1で指示)
0	1	データ取得 (フラッシュ時の上位/下位はBS1で指示)
1	0	指令取得
1	1	アイドル (動作なし)

表66. ビット規約による指令バイト

指令バイト	指令の機能	指令バイト	指令の機能
\$80 (1000 0000)	チップ消去	\$08 (0000 1000)	識票バイト、校正バイト読み出し
\$40 (0100 0000)	ヒューズ ビット書き込み	\$04 (0000 0100)	ヒューズ ビット、施錠ビット読み出し
\$20 (0010 0000)	施錠ビット書き込み	\$02 (0000 0010)	フラッシュ メモリ読み出し
\$10 (0001 0000)	フラッシュ メモリ書き込み	\$03 (0000 0011)	EEPROM読み出し
\$11 (0001 0001)	EEPROM書き込み		

プログラミング動作への移行

次の方法がデバイスを並列プログラミング動作にします。

- ① VCCとGND間に4.5～5.5Vを印加します。
- ② $\overline{\text{RESET}}$ とBS1ピンをLow(0)にし、最低100ns待ちます。
- ③ $\overline{\text{RESET}}$ に11.5～12.5Vを印加します。 $\overline{\text{RESET}}$ に+12V印加後100ns以内のどんなBS1の動き(値)も、デバイスのプログラミング動作移行失敗の原因になります。

チップ消去

チップ消去指令はフラッシュメモリ、EEPROM、**施錠ビット**を消去します。施錠ビットはフラッシュメモリとEEPROMが完全に消去されてしまうまで消去されません。チップ消去で**ヒューズビット**は変化しません。フラッシュメモリまたはEEPROMの再書き込み前にはチップ消去が実行されなければなりません。

チップ消去の手順を次に示します。

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BS1をLow(0)にします。
- ③ DATAを\$80(1000 0000)にします。これはチップ消去指令です。
- ④ $\overline{\text{WR}}$ に負パルスを与えます。これでチップ消去が始まります。RDY/ $\overline{\text{BSY}}$ がLowになります。
- ⑤ 新規指令設定前に、RDY/ $\overline{\text{BSY}}$ がHighになるまで待ちます。

フラッシュメモリ書き込み

フラッシュメモリは128バイト毎の256ページで構成されます。フラッシュメモリ書き込み時、プログラムデータはページ緩衝部内にラッチ(一時格納)されます。これはどちらのプログラミング動作でもプログラムデータの1ページが同時に書かれることを許します。次の手順はフラッシュメモリの書き込み方法を示します。(図94.タイミングを参照)

A. フラッシュメモリ書き込み指令設定

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BS1をLow(0)にします。
- ③ DATAを\$10(0001 0000)にします。これはフラッシュメモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これでフラッシュメモリ書き込み指令を設定します。

B. 下位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BS1をLow(0)にします。これは下位バイト選択です。
- ③ DATAにアドレス下位バイト(\$00～\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス下位バイトを設定します。

C. データ下位バイト設定

- ① BS1をLow(0)にします。これは下位バイト選択です。
- ② XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ③ DATAにデータ下位バイト(\$00～\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでデータ下位バイトを設定します。

D. データ上位バイト設定

- ① BS1をHigh(1)にします。これは上位バイト選択です。
- ② XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ③ DATAにデータ上位バイト(\$00～\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでデータ上位バイトを設定します。

E. データ上位・下位バイト ページ緩衝部格納

- ① PAGESLに正パルスを印加します。これはデータ語(ワード)をページ緩衝部へ格納します。

F. ページ緩衝部を満たすためにB.～E.を64回繰り返します。

[次頁へ続く](#)

フラッシュメモリ内のページを指定するには8ビット(256ページ)が必要とされます。以下のG.項で記載されるように上位6ビットは上位アドレスバイトから読み取られます。しかし、ページアドレスの下位2ビットは、B.項で記載される最後に設定される下位アドレスバイトの上位2ビット(ビット7と6)です。

G. 上位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BS1をHigh(1)にします。これは上位バイト選択です。
- ③ DATAにアドレス上位バイト(\$00~\$3F)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス上位バイトを設定します。

H. ページ書き込み

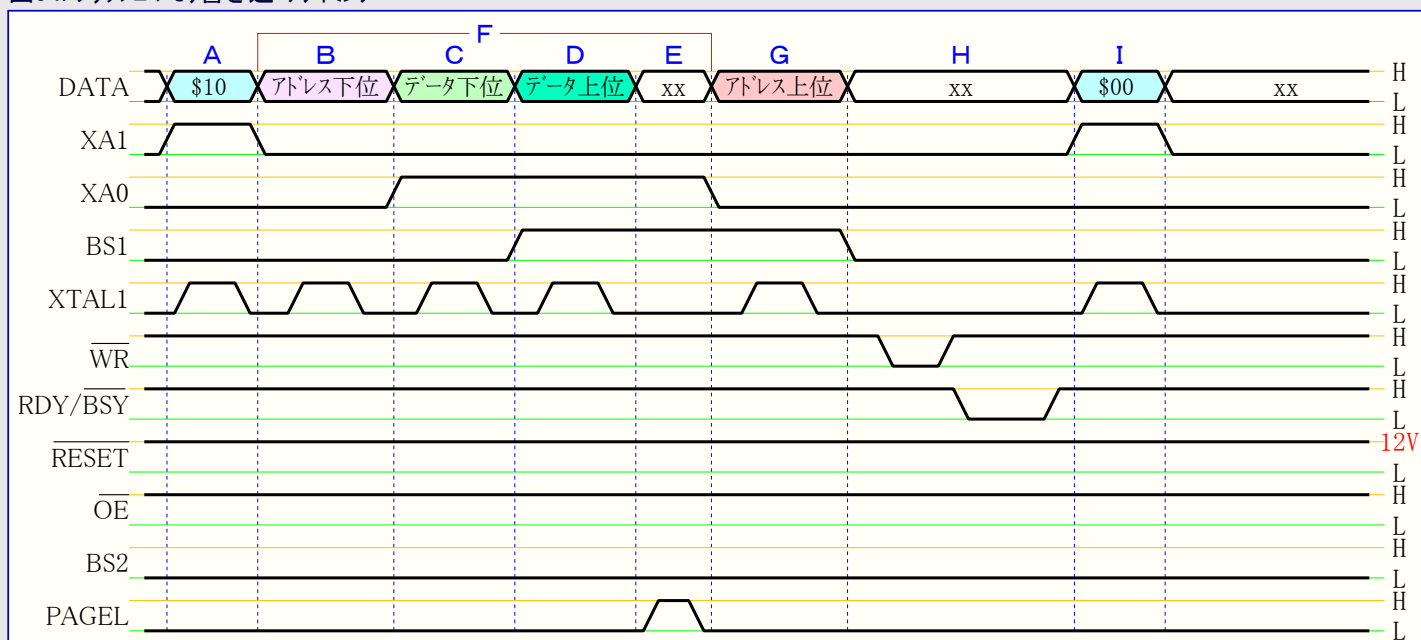
- ① $\overline{WR}$ に負パルスを与えます。これでデータのページ全体の書き込みが始まります。RDY/BSYがLow(0)になります。
- ② RDY/BSYがHigh(1)になるまで待ちます。

I. ページ書き込み終了

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② DATAを\$00(0000 0000)にします。これは無操作指令です。
- ③ XTAL1に正パルスを与えます。これは指令を取得し、内部書き込み信号をリセットします。

J. 256回、または全データが書かれてしまうまでA.~I.を繰り返します。

図94. フラッシュメモリ書き込みタイミング



注: xx値は無関係です。A~Jは前記プログラミングを参照してください。

(訳注) 原書での図94と図95は図94として結合し、文章内容と合致するよう補正しました。

EEPROM書き込み

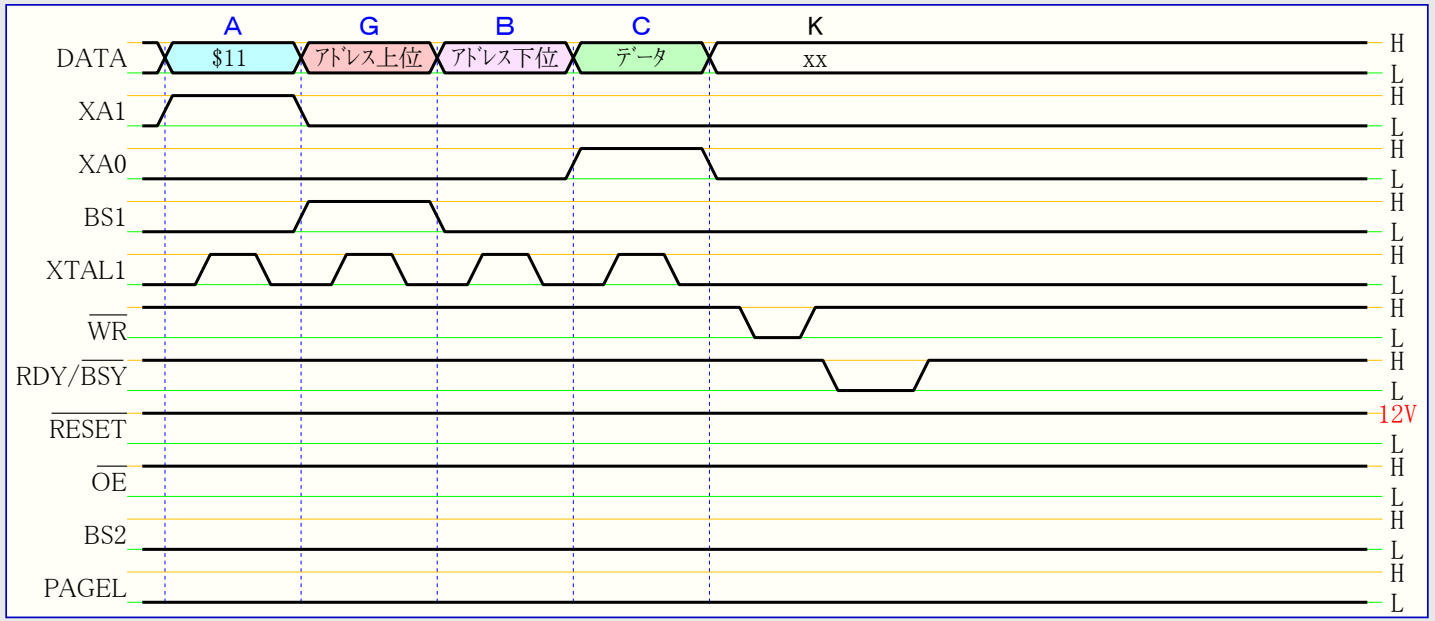
データ用EEPROMメモリの書き込み方法を次に示します。(指令、アドレス、データ設定の詳細は「[フラッシュメモリ書き込み](#)」を参照)

1. EEPROM書き込み指令\$11(0001 0001)を設定します。(「[フラッシュメモリ書き込み](#)」のA.を参照)
2. アドレス上位バイト(\$00~\$03)を設定します。(「[フラッシュメモリ書き込み](#)」のG.を参照)
3. アドレス下位バイト(\$00~\$FF)を設定します。(「[フラッシュメモリ書き込み](#)」のB.を参照)
4. データ下位バイト(\$00~\$FF)を設定します。(「[フラッシュメモリ書き込み](#)」のC.を参照)

K. データ下位バイト書き込み

- ① BS1をLow(0)にします。これは下位バイト選択です。
- ② $\overline{WR}$ に負パルスを与えます。これでバイトデータの書き込みが開始されます。RDY/BSYがLow(0)になります。
- ③ 次バイト書き込みに先立って、RDY/BSYがHigh(1)になるまで待ちます。

図96. EEPROM書き込みタイミング



設定された指令とアドレスはプログラム中、保持されます。効率的なプログラミングを行うには次の点が考慮されるべきです。

- 複数のメモリ位置を読み書きする時に指令は一度の設定だけです。
- アドレス上位バイトはEEPROMの新規256語(ワード) ページのプログラミング前に設定されることが必要です。
- チップ消去後のEEPROMの全内容は\$FFなので、値\$FFのデータ書き込みは行わないようにします。

これらの考慮はフラッシュメモリ、EEPROM、[識別バイト](#)の読み出しにも適用されます。

フラッシュメモリ読み出し

フラッシュメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「[フラッシュメモリ書き込み](#)」を参照)

1. フラッシュメモリ読み出し指令\$02(0000 0010)を設定します。(「[フラッシュメモリ書き込み](#)」のA.を参照)
 2. アドレス上位バイト(\$00~\$3F)を設定します。(「[フラッシュメモリ書き込み](#)」のG.を参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「[フラッシュメモリ書き込み](#)」のB.を参照)
- ① BS1をLow(0)、 $\overline{OE}$ をLow(0)にします。これでフラッシュメモリの語(ワード)の下位バイトがDATAに読み出されます。
 - ② BS1をHigh(1)にします。これでフラッシュメモリの語(ワード)の上位バイトがDATAに読み出されます。
 - ③ $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

EEPROM読み出し

EEPROMメモリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「[フラッシュメモリ書き込み](#)」を参照)

1. EEPROM読み出し指令\$03(0000 0011)を設定します。(「[フラッシュメモリ書き込み](#)」のA.を参照)
 2. アドレス上位バイト(\$00~\$03)を設定します。(「[フラッシュメモリ書き込み](#)」のG.を参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「[フラッシュメモリ書き込み](#)」のB.を参照)
- ① BS1をLow(0)、 $\overline{OE}$ をLow(0)にします。これでEEPROMメモリのバイトデータがDATAに読み出されます。
 - ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

ヒューズビット書き込み

ヒューズビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュメモリ書き込み」のC.を参照)

ビット	ヒューズ下位ビット [BS1=Low(0)]	ヒューズ上位ビット [BS1=High(1)]
7	BODLEVEL ヒューズビット	OCDEN ヒューズビット
6	BODEN ヒューズビット	JTAGEN ヒューズビット
5		SPIEN ヒューズビット
4	1 (これらのビットは予約されており、非プログラム(1)のままとすべきです。)	
3	CKSEL3 ヒューズビット	EESAVE ヒューズビット
2	CKSEL2 ヒューズビット	BOOTSZ1 ヒューズビット
1	CKSEL1 ヒューズビット	BOOTSZ0 ヒューズビット
0	CKSEL0 ヒューズビット	BOOTRST ヒューズビット

- ① ヒューズ上位の場合はBS1をHigh(1)に、ヒューズ下位の場合はLow(0)にします。
- ② WRに負パルスを与え、RDY/BSYがHighになるのを待ちます。
- ③ 上位側ヒューズの場合はBS1をLow(0)に戻します。

施錠ビット書き込み

施錠ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=無変化(状態維持)です。(「フラッシュメモリ書き込み」のC.を参照)

ビット5	フート施錠ビット12 (BLB12)	ビット2	フート施錠ビット01 (BLB01)
ビット4	フート施錠ビット11 (BLB11)	ビット1	施錠ビット2 (LB2)
ビット3	フート施錠ビット02 (BLB02)	ビット0	施錠ビット1 (LB1)
ビット7,6	1 (これらのビットは予約されており、非プログラム(1)のままとすべきです。)		

3. データ下位バイトを書き込みます。(「EEPROM書き込み」のK.を参照)

施錠ビットはチップ消去の実行によってのみ消去(1)できます。

ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法を次に示します。(指令設定の詳細については「フラッシュメモリ書き込み」を参照)

1. ヒューズビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュメモリ書き込み」のA.を参照)

① BS1とBS2を下表で示すように設定し、 $\overline{OE}$ をLow(0)にします。これで対応するヒューズビットと施錠ビットの状態がDATAに読み出されます。(読み出し値0はプログラムの意味です。)

ビット	BS2=Low(0), BS1=Low(0)	BS2=High(1), BS1=High(1)	BS2=Low(0), BS1=High(1)
7	BODLEVEL ヒューズビット	OCDEN ヒューズビット	
6	BODEN ヒューズビット	JTAGEN ヒューズビット	
5		SPIEN ヒューズビット	フート施錠ビット12 (BLB12)
4			フート施錠ビット11 (BLB11)
3	CKSEL3 ヒューズビット	EESAVE ヒューズビット	フート施錠ビット02 (BLB02)
2	CKSEL2 ヒューズビット	BOOTSZ1 ヒューズビット	フート施錠ビット01 (BLB01)
1	CKSEL1 ヒューズビット	BOOTSZ0 ヒューズビット	施錠ビット2 (LB2)
0	CKSEL0 ヒューズビット	BOOTRST ヒューズビット	施錠ビット1 (LB1)

- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

識票バイトと校正バイト読み出し

識票バイトと校正バイトの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュメモリ書き込み」を参照)

1. 識票バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリ書き込み」のA.を参照)
2. アドレス下位バイト(\$00~\$02)を設定します。校正バイトの場合は\$00。(「フラッシュメモリ書き込み」のB.を参照)

- ① 識票バイトはBS1=Low(0)、校正バイトはBS1=High(1)にし、 $\overline{OE}$ をLow(0)にすると対応する値がDATAに読み出されます。
- ② $\overline{OE}$ をHigh(1)にします。これでDATAはHi-Zになります。

並列プログラミング特性

図97. 並列プログラミング タイミング

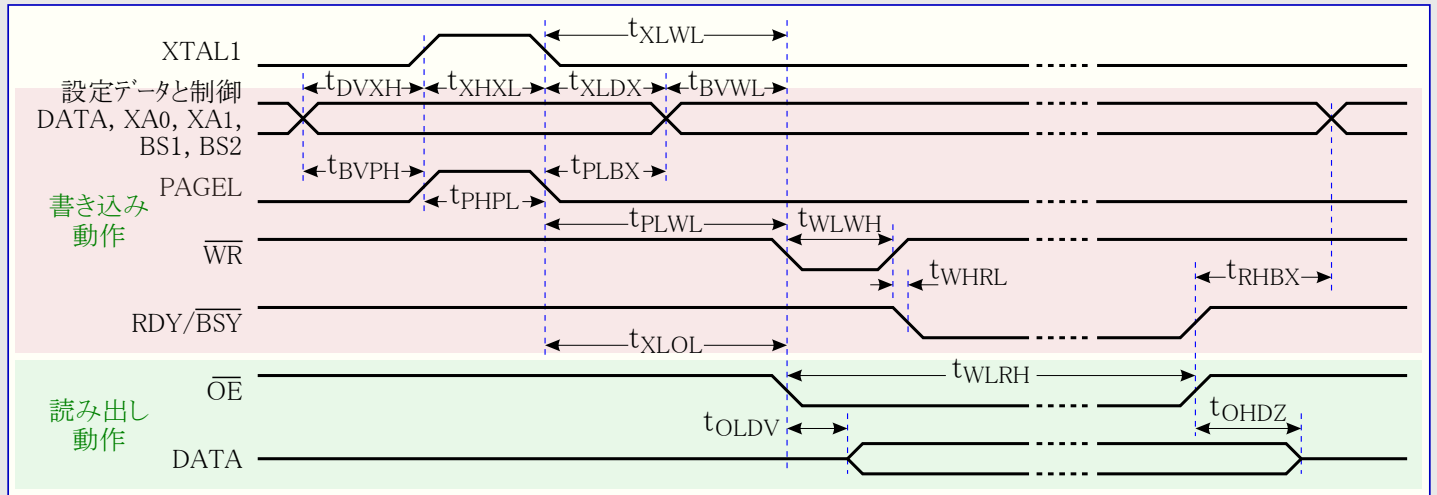


表67. 並列プログラミング特性 (TA=25°C ±10% , VCC=5V ±10%)

シンボル	項目	最小	代表	最大	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
t _{DVXH}	XTAL1に対するデータと制御の準備時間	67			ns
t _{XHXL}	XTAL1パルス幅	67			
t _{XLDX}	XTAL1に対するデータと制御の保持時間	67			
t _{XLWL}	XTAL1パルスの↓に対するWR ↓ 待機時間	67			
t _{BVPH}	PAGESパルス↑に対するBS1準備時間	67			
t _{PHPL}	PAGESパルス幅	67			
t _{PLBX}	PAGES ↓ 後のBS1保持時間	67			
t _{PLWL}	PAGESパルスの↓に対するWR ↓ 待機時間	67			
t _{BVWL}	BS1(有効から)に対するWR ↓ 待機時間	67			
t _{RHBX}	RDY/BSY ↑ 後のBS1保持時間	67			
t _{WLWH}	WRパルス幅	67			
t _{WHRL}	WRパルス↑後のRDY/BSY ↓ 遅延時間	0		2.5	μs
t _{WLRH}	書き込み時間 (WR ↓ からRDY/BSY ↑) (注1)	1	1.5	1.9	ms
t _{WLRH_CE}	チップ消去時間 (WR ↓ からRDY/BSY ↑) (注2)	16	23	30	
t _{WLRH_FLASH}	フラッシュ メモリ書き込み時間 (WR ↓ からRDY/BSY ↑) (注3)	8	12	15	
t _{XLCL}	XTAL1パルスの↓に対するOE ↓ 待機時間	67			ns
t _{OLDV}	OE ↓ に対するデータ出力遅延時間		20		
t _{OHDZ}	OE ↑ に対するHi-Z遅延時間			20	

注1: t_{WLRH}はEEPROM、ヒューズ ビット、施錠ビット書き込みに対して有効です。

注2: t_{WLRH_CE}はチップ消去指令に対して有効です。

注3: t_{WLRH_FLASH}はフラッシュ メモリ書き込み指令に対して有効です。

直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間に直列SPIバスを使ってプログラミングできます。この直列インターフェースはSCK入力、MOSI入力、MISO出力ピンで構成されます。RESETをLowレベルに設定後、プログラムや消去命令が実行される前に**プログラミング許可命令**が最初に実行されなければなりません。

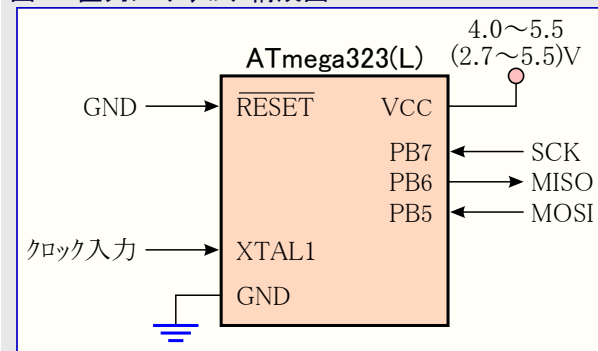
EEPROM書き込み時、自己タイミングによる**書き込み命令**内で先行して自動消去周期が提供される(直列プログラミングのみ)ので、最初に**チップ消去命令**を実行する必要はありません。チップ消去命令はフラッシュメモリとEEPROMの全ての内容を\$FFにします。

フラッシュメモリとEEPROMはプログラム用フラッシュメモリが\$0000～\$3FFF、データ用EEPROMメモリが\$0000～\$03FFの分離されたアドレス空間を持ちます。

このデバイスは直列プログラミングの間中、どのクロック種別によってもクロック駆動できます。直列クロック(SCK)のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 > 2 MCUクロック周期
High区間 > 2 MCUクロック周期

図98. 直列プログラミング構成図



注: 内蔵発振器よりクロック駆動される場合、XTAL1へのクロック元接続は必要とされません。

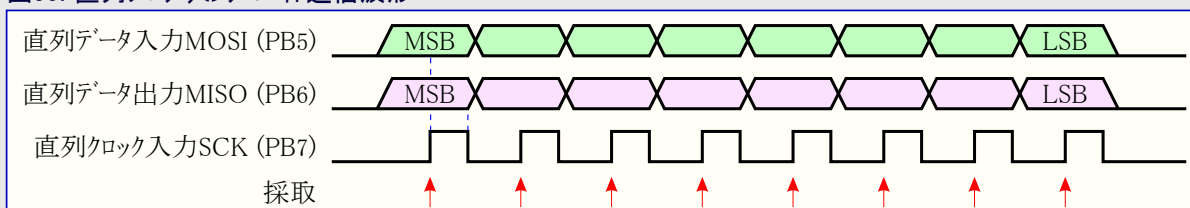
直列プログラミング手順

ATmega323に直列データを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細タイミングについては図99、図100、表70をご覧ください。

直列プログラミング動作でのATmega323のプログラミングと照合は次の手順が推奨されます。(4バイトの命令形式は表69を参照)

- 次の手順で電源を投入します。
RESETとSCKがLow(0)に設定されている間中に、VCCとGND間へ電源を印加します。CKSELヒューズの設定に従って、クリスタル/振動子、外部クロック、または外部RCを適用するか、またはデバイスを内蔵RC発振器で動作させます。いくつかのシステムに於いて、電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低XTAL1周期幅2つ分の正パルスが与えられなければなりません。
- 最低20ms待機し、MOSI(PB5)ピンに**プログラミング許可命令**を送ることによって直列プログラミングを可能にします。
- 通信の同期が外れていると、直列プログラミング命令が動作しません。同期しているとき、プログラム許可命令の第3バイト送出時に第2バイト(\$53)が送り返されます。この送り返しが成功か失敗かによらず、命令の4バイト全てが送信されなければなりません。送り返しが\$53でなかった場合、SCKに正パルスを与え、新規プログラミング許可命令を行います。32回の試行で\$53が検出できない場合、直列プログラミング機能のないデバイスが接続されています。
- チップ消去が実行される場合(フラッシュメモリの消去のために実行が必要)、この命令実行後2×tWD_FLASH(表68.参照)時間待ち、RESETに正パルスを与え、手順2.からを行います。
- フラッシュメモリは一度に1ページが書き込まれます。このメモリページは**ページ設定命令**と共にアドレスの下位6+1ビットとデータを供給することによって1バイト単位で設定します。アドレスの上位8ビットを含む**ページ書き込み命令**でページ内容がフラッシュメモリに書き込まれます。ポーリングが使われない場合、次ページを行う前に最低tWD_FLASH(表68.参照)時間待たなければなりません。フラッシュメモリ書き込み動作完了前の直列プログラミングインターフェースのアクセスは不正な書き込み結果になります。
- EEPROMは、適切な**書き込み命令**内でアドレスとデータを供給することによって1バイト単位で書き込まれます。EEPROMメモリ位置は新規(今回)データが書かれる前、最初に自動消去されます。ポーリングが使われない場合、次バイトを行う前に最低tWD_EEPROM(表68.参照)時間待たなければなりません。消去されているデバイスでは\$FFのデータを書く必要がありません。
- 何れのメモリ位置も、選んだアドレスの内容を直列出力MISO(PB6)ピンに読み戻す、**読み出し命令**の使用で検証ができます。
- プログラミング終了時、通常動作とするためには、RESETをHigh(1)に設定します。
- 電源OFF手順 (必要な場合)
 - 外部クロックが使われる場合は、XTAL1をLow(0)にします。
 - RESETをHigh(1)にします。
 - VCC電源をOFFにします。

図99. 直列プログラミング バイト通信波形



フラッシュメモリのデータポーリング

フラッシュメモリ内にページが書かれつつある時に書かれているページ内のアドレス位置を読むと、値\$FFが得られます。書かれた値が正しく読めると同時に、デバイスが新規ページの準備が整います。これは次ページが書ける時を決めるのに使われます。ページ全体が同時に書かれ、ページ内のどのアドレスもがポーリングに使えることに留意してください。フラッシュメモリのデータポーリングは値\$FFについては行えないので、この値を書く時は次ページ書き込み前に最低tWD_FLASH待たなければなりません。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。tWD_FLASH値については表68をご覧ください。

EEPROMのデータポーリング

新規バイトが書かれてEEPROM内で書かれつつある時に書かれているアドレス位置を読むと、値\$FFが得られます。書かれた値が正しく読めると同時に、デバイスは新規バイトの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値\$FFについては行えませんが、次のことに留意すべきです。チップ消去されたデバイスの内容は全て\$FFなので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。これはデバイスをチップ消去しないでEEPROMが再書き込みされる場合、適用されません。この場合、値\$FFについてデータポーリングは使えず、次バイト書き込み前に最低tWD_EEPROM待たなければなりません。tWD_EEPROM値については表68をご覧ください。

不揮発性メモリのプログラミング時間

フラッシュメモリ、EEPROM、ヒューズビット、施錠ビットの消去や書き込み時、プログラミング時間を制御するのに内蔵RC発振器が使われます。並列または直列プログラミングの間中、デバイスはリセット状態で、この発振器は0.5～1.0MHzで変わるかもしれない校正されない周波数で動作します。ソフトウェアでこの発振器を1.0MHzに校正できます(28頁の「校正付き内蔵RC発振器」参照)。このため、SPM命令やEEPROMインターフェースを使うソフトウェアから不揮発性メモリを消去または書き込むと、プログラミング時間はより正確で短くなります。プログラミング時間の一覧については表68をご覧ください。

表68. 不揮発性メモリの最大プログラミング時間

シンボル	動作	内蔵RC発振器 クロック数	並列/直列プログラミング		自己(注1) プログラミング
			2.7V	5.0V	
tWD_CE	チップ消去	16K	32ms	30ms	17ms
tWD_FLASH	フラッシュメモリ書き込み	8K	16ms	15ms	8.5ms
tWD_EEPROM	EEPROM書き込み	2K (注2)	4ms	3.8ms	2.2ms
tWD_FUSE	ヒューズ/施錠ビット書き込み	1K	2ms	1.9ms	1.1ms

注1: 内蔵RC発振器が1.0MHzに校正されてしまった後の電圧と温度についての変動を含みます。

注2: 並列EEPROM書き込みは1Kで行われます。

表69. 直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリとEEPROMを消去します。
フラッシュメモリ読み出し	0010 P000	xxHH HHHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
ページ緩衝部設定	0100 P000	xxxx xxxx	xxLL LLLL	WWW WWW	緩衝部アドレスLのP(H/L)バイトに書き込みます。
フラッシュページ書き込み	0100 1100	xxHH HHHH	LLxx xxxx	xxxx xxxx	アドレスH:Lのページに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxHH	LLLL LLLL	RRRR RRRR	アドレスH:Lのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxHH	LLLL LLLL	WWW WWW	アドレスH:Lのバイトに書き込みます。
施錠ビット読み出し	0101 1000	0000 0000	xxxx xxxx	xx65 4321	施錠ビットを読み出します。
施錠ビット書き込み	1010 1100	111x xxxx	xxxx xxxx	1165 4321	施錠ビットを書き込みます。
ヒューズ下位読み出し	0101 0000	0000 0000	xxxx xxxx	CBxx A987	ヒューズ下位ビットを読み出します。
ヒューズ上位読み出し	0101 1000	0000 1000	xxxx xxxx	IHxx GFED	ヒューズ上位ビットを読み出します。
ヒューズ下位書き込み	1010 1100	1010 0000	xxxx xxxx	CB11 A987	ヒューズ下位ビットに書き込みます。
ヒューズ上位書き込み	1010 1100	1010 1000	xxxx xxxx	IH11 GFED	ヒューズ上位ビットに書き込みます。
識別バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識別バイトを読み出します。
校正バイト読み出し	0011 1000	xxxx xxxx	0000 0000	RRRR RRRR	校正バイトを読み出します。

H = アドレス上位バイトのビット
 L = アドレス下位バイトのビット
 P = 0=下位バイト, 1=上位バイト
 R = 読み出しデータ (MCU出力)
 W = 書き込みデータ (MCU入力)
 x = 0または1 (無意味/不定)

1 = 施錠ビット1 (LB1)
 2 = 施錠ビット2 (LB2)
 3 = ブート施錠ビット01 (BLB01)
 4 = ブート施錠ビット02 (BLB02)
 5 = ブート施錠ビット11 (BLB11)
 6 = ブート施錠ビット12 (BLB12)

7 = CKSEL0 ヒューズビット
 8 = CKSEL1 ヒューズビット
 9 = CKSEL2 ヒューズビット
 A = CKSEL3 ヒューズビット
 B = BODEN ヒューズビット
 C = BODLEVEL ヒューズビット

D = BOTRST ヒューズビット
 E = BOOTSZ0 ヒューズビット
 F = BOOTSZ1 ヒューズビット
 G = EESAVE ヒューズビット
 H = JTAGEN ヒューズビット
 I = OCDEN ヒューズビット

直列プログラミング特性

図100. 直列プログラミングタイミング

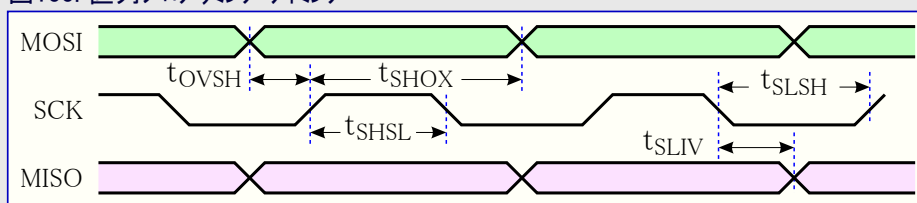


表70. 直列プログラミング特性 (特記条件を除いて、TA=-40℃～85℃, VCC=2.7～5.5V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	2.7～5.5V	0	4	MHz
		4.0～5.5V	0	8	
tCLCL	発振器周期	2.7～5.5V	250		ns
		4.0～5.5V	125		
tSHSL	SCKパルスHレベル幅	2tCLCL			
tSLSH	SCKパルスLレベル幅	2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間	tCLCL			
tSHOX	SCK↑に対するMOSI保持時間	2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間	10	16	32	

JTAGインターフェース経由のプログラミング

JTAGインターフェースを通すプログラミングは4つのJTAG仕様ピン、TCK、TMS、TDI、TDOの制御が必要です。RESETピンとクロックピンの制御は必要とされません。

JTAGインターフェースを使い得るにはJTAGENヒューズがプログラム(0)されなければなりません。本デバイスは既定でこのヒューズがプログラム(0)されて出荷されます。更にMCU制御/状態レジスタ(MCUCSR)のJTAGインターフェース禁止(JTD)ビットが解除(0)されなければなりません。JTDビットが設定(1)の場合、代わりに外部リセットを強制的なLowにできます。その後、2チップ(CPU)クロック後にJTDビットが解除(0)され、JTAGピンはプログラミングに利用できます。これはJTAGインターフェース経由実装書き込みを許すにも拘らず、一方で実行動作に於いて標準ポートピンとしてJTAGピンを使う手段を提供します。境界走査(Boundary-Scan)や内蔵デバッグ機能にJTAGピンを使うとき、この手法が使えないことに注意してください。これらの場合のJTAGピンはその目的専用とされなければなりません。

この文書内の定義では全ての移動レジスタに関して入出力共にLSBが最初に移動されます。

プログラミング用JTAG命令

命令レジスタ(IR)は4ビット長で16種類までの命令を支援します。以下に示される一覧はプログラミングに有用なJTAG命令です。

各命令の命令コードは命令名下の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選ばれるデータレジスタを記述します。

検査入出力ポート(TAP)制御器の検査実行/アイドル状態は内部クロックの発生に使われます。また、JTAG手順間のアイドル状態としても使えます。

AVR_RESET (\$C)

AVRデバイスをリセット状態へ、またはリセット状態から開放するためのAVR固有公開JTAG命令です。この命令によって検査入出力ポート(TAP)制御器はリセットされません。1ビットのリセットレジスタがデータレジスタ(DR)として選ばれます。リセットチェーンに論理1がある限り、リセットが有効であることに注意してください。このチェーンからの出力はラッチされません。本命令が有効な状態を次に示します。

- **DR移動** : リセットレジスタがTCKクロック入力によって移されます。

PROG_ENABLE (\$4)

JTAGポート経由のプログラミングを許可するためのAVR固有公開JTAG命令です。16ビット長のプログラミング許可レジスタがデータレジスタ(DR)として選ばれます。本命令が有効な状態を次に示します。

- **DR移動** : プログラミング許可識別子がデータレジスタに移動入力されます。
- **DR更新** : プログラミング許可識別子が正規値と比較され、識別子が有効なら、プログラミング動作に移行されます。

PROG_COMMANDS (\$5)

JTAGポート経由のプログラミング命令移行用のAVR固有公開JTAG命令です。15ビット長のプログラミング命令レジスタがデータレジスタ(DR)として選ばれます。本命令が有効な状態を次に示します。

- **DR捕獲** : 直前の命令の結果がデータレジスタに設定されます。
- **DR移動** : データレジスタがTCK入力により移され、直前の命令の結果を移動出力し、新規命令を移動入力します。
- **DR更新** : プログラミング命令がフラッシュメモリ入力に適用されます。
- **検査実行/アイドル** : 1つのクロック周期が生成され、適用された命令を実行します(常に必要とされる訳でなく、以降の表71をご覧ください)。

PROG_PAGELOAD (\$6)

JTAGポート経由でフラッシュメモリのページデータを直接設定するためのAVR固有公開JTAG命令です。1024ビット長の仮想フラッシュページ設定レジスタがデータレジスタ(DR)として選ばれます。これはフラッシュメモリ1ページ分のビット数と同じ長さの仮想走査チェーン(Scan chain)です。内部的な移動レジスタは8ビットです。多くのJTAG命令と異なり、移動レジスタからのデータ転送に**DR更新**状態が使われません。データは内部順次回路により、**DR移動**状態でフラッシュメモリページ緩衝部へバイト単位で自動的に転送されます。これは(この命令が)活性(有効)な場合だけです。

- **DR移動** : フラッシュメモリページデータがTCK入力によってTDIから移動入力され、バイト毎にフラッシュメモリページ緩衝部へ自動的に設定されます。

PROG_PAGEREAD (\$7)

JTAGポート経由でフラッシュメモリの1ページの全データを取得するためのAVR固有公開JTAG命令です。1032ビット長の仮想フラッシュページ取得レジスタがデータレジスタ(DR)として選ばれます。これはフラッシュメモリ1ページ+8ビット分のビット数と同じ長さの仮想走査チェーン(Scan chain)です。内部的な移動レジスタは8ビットです。多くのJTAG命令と異なり、移動レジスタからのデータ転送に**DR捕獲**状態が使われません。データは内部順次回路により、**DR移動**状態でフラッシュメモリページ緩衝部からバイト単位で自動的に転送されます。これは(この命令が)活性(有効)な場合だけです。

- **DR移動** : フラッシュメモリのデータが自動的に(フラッシュメモリページ緩衝部から)バイト毎に読まれ、TCK入力によってTDOへ移動出力されます。TDI入力は無視されます。

データレジスタ

データレジスタ(DR)は134頁の「プログラミング用JTAG命令」項で記載されたJTAG命令レジスタ(IR)によって選ばれます。プログラミング操作に関連するデータレジスタを次に示します。

- リセット(Reset)レジスタ
- プログラミング許可(Programing Enable)レジスタ
- プログラミング命令(Programing Command)レジスタ
- 仮想フラッシュページ設定(Virtual Flash Page Load)レジスタ
- 仮想フラッシュページ取得(Virtual Flash Page Read)レジスタ

リセット (Reset) レジスタ

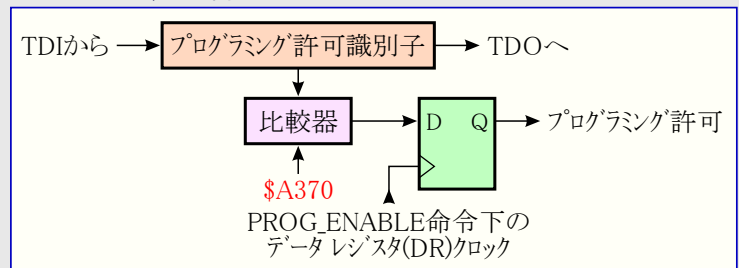
リセットレジスタはプログラミング中、デバイスをリセットするのに使われる検査データレジスタです。プログラミング動作への移行に先立ってデバイスをリセットするために必要とされます。

リセットレジスタ内の値1は外部RESETをLowに引き込むことに相当します。リセットレジスタ内の値が1である限り、デバイスはリセットです。リセットレジスタの開放後、デバイスはクロック種別ヒューズ設定に従ってリセット遅延時間(18頁の表6.参照)分リセットを維持します。114頁の図88.で示されるように、このデータレジスタからの出力はラッチされず、それ故リセットが直ちに起こります。

プログラミング許可 (Programing Enable) レジスタ

プログラミング許可レジスタは16ビット長のレジスタです。このレジスタの内容はプログラミング許可識別子\$A370(1010 0011 0111 0000)と比較されます。このレジスタの内容がプログラミング許可識別子と一致すると、JTAGポート経由のプログラミングが許可されます。このレジスタは電源ONリセットで0にリセットされ、プログラミング動作を抜ける時は常にリセットされるべきです。

図101. プログラミング許可 レジスタ



プログラミング命令 (Programing Command) レジスタ

プログラミング命令レジスタは15ビット長のレジスタです。このレジスタはプログラミング命令を連続的に移動入力し、直前のプログラミング命令の結果を連続的に移動出力するのに使われます。JTAGプログラミング命令一式は表71.で示されます。プログラミング命令を移動入力する時の状態順は図102.に示されます。

図102. プログラミング命令 レジスタ

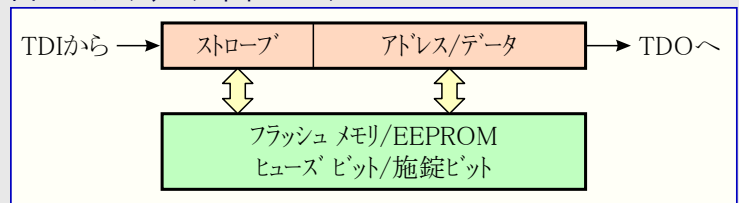


表71. JTAGプログラミング命令一式 (手順)

命令			TDI入力	TDO出力	備考
チップ消去	1 ①	チップ消去	010 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0001 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
	1 ②	チップ消去完了検査	011 0011 1000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュメモリ書き込み	2 ①	フラッシュ書き込み移行	010 0011 0001 0000	xxx xxxx xxxx xxxx	
	2 ②	アドレス上位バイト設定	000 0111 00HH HHHH	xxx xxxx xxxx xxxx	
	2 ③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	2 ④	データ下位バイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	2 ⑤	データ上位バイト設定	001 0111 WWWW WWWW	xxx xxxx xxxx xxxx	
	2 ⑥	データラッチ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2 ⑦	ページ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2 ⑧	ページ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
フラッシュ読み出し	3 ①	フラッシュ読み出し移行	010 0011 0000 0010	xxx xxxx xxxx xxxx	
	3 ②	アドレス上位バイト設定	000 0111 00HH HHHH	xxx xxxx xxxx xxxx	
	3 ③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	3 ④	データ下位/上位バイト取得	011 0010 0000 0000	xxx xxxx xxxx xxxx	下位バイト 上位バイト
			011 0110 0000 0000	xxx xxxx RRRR RRRR	
			011 0111 0000 0000	xxx xxxx RRRR RRRR	
EEPROM書き込み	4 ①	EEPROM書き込み移行	010 0011 0001 0001	xxx xxxx xxxx xxxx	
	4 ②	アドレス上位バイト設定	000 0111 0000 00HH	xxx xxxx xxxx xxxx	
	4 ③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	4 ④	データバイト設定	001 0011 WWWW WWWW	xxx xxxx xxxx xxxx	
	4 ⑤	EEPROM書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	4 ⑥	EEPROM書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
EEPROM読み出し	5 ①	EEPROM読み出し移行	010 0011 0000 0011	xxx xxxx xxxx xxxx	
	5 ②	アドレス上位バイト設定	000 0111 0000 00HH	xxx xxxx xxxx xxxx	
	5 ③	アドレス下位バイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	5 ④	EEPROM読み出し	011 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
			011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
ヒューズビット書き込み	6 ①	ヒューズ書き込み移行	010 0011 0100 0000	xxx xxxx xxxx xxxx	
	6 ②	データ上位バイト設定	001 0011 KJ11 GFED	xxx xxxx xxxx xxxx	(注3)
	6 ③	上位側ヒューズ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	6 ④	上位ヒューズ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注2)
	6 ⑤	データ下位バイト設定	001 0011 CB11 A987	xxx xxxx xxxx xxxx	(注3)
	6 ⑥	下位側ヒューズ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	6 ⑦	下位ヒューズ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)

次頁へ続く

表71 (続き). JTAG プログラミング命令一式 (手順)

命令			TDI入力	TDO出力	備考
施錠ビット書き込み	7 ①	施錠ビット書き込み移行	010 0011 0010 0000	xxx xxxx xxxx xxxx	
	7 ②	データ下位バイト設定	001 0011 1165 4321	xxx xxxx xxxx xxxx	(注4)
	7 ③	施錠ビット書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	7 ④	施錠ビット書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注2)
ヒューズ/施錠ビット読み出し	8 ①	ヒューズ/施錠ビット読み出し移行	010 0011 0000 0100	xxx xxxx xxxx xxxx	
	8 ②	上位側ヒューズ読み出し	011 1110 0000 0000	xxx xxxx xxxx xxxx	
			011 1111 0000 0000	xxx xxxx KJxx GFED	
	8 ③	下位側ヒューズ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx CBxx A987	
	8 ④	施錠ビット読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	(注5)
			011 0111 0000 0000	xxx xxxx xx65 4321	
	8 ⑤	ヒューズ/施錠ビット読み出し	011 1110 0000 0000	xxx xxxx xxxx xxxx	(注5)
			011 0010 0000 0000	xxx xxxx RRRR RRRR	上位ヒューズ
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位ヒューズ
			011 0111 0000 0000	xxx xxxx RRRR RRRR	施錠ビット
識票バイト	9 ①	識票バイト読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	9 ②	アドレスバイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	9 ③	識票バイト読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
校正バイト	10 ①	校正バイト読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	10 ②	アドレスバイト設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	10 ③	校正バイト読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx RRRR RRRR	
	11 ①	無操作設定	010 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	

注1: この命令は直前の命令手順により上位7ビットが正しく設定されている(通常の場合、必要ではありません)。

注2: Sが1になるまで繰り返します。(待機)

注3: 設定値0でプログラム、1で非プログラムです。

注4: 設定値0でプログラム、1では施錠ビットが変化しません。

注5: 読み出し値0でプログラム、1で非プログラムです。

H = アドレス上位バイトのビット

1 = 施錠ビット1 (LB1)

7 = CKSEL0 ヒューズ' ビット

D = BOOTRST ヒューズ' ビット

L = アドレス下位バイトのビット

2 = 施錠ビット2 (LB2)

8 = CKSEL1 ヒューズ' ビット

E = BOOTSZ0 ヒューズ' ビット

P = 0=下位バイト、1=上位バイト

3 = ブート施錠ビット01 (BLB01)

9 = CKSEL2 ヒューズ' ビット

F = BOOTSZ1 ヒューズ' ビット

R = 読み出しデータ

4 = ブート施錠ビット02 (BLB02)

A = CKSEL3 ヒューズ' ビット

G = EESAVE ヒューズ' ビット

W = 書き込みデータ

5 = ブート施錠ビット11 (BLB11)

B = BODEN ヒューズ' ビット

J = JTAGEN ヒューズ' ビット

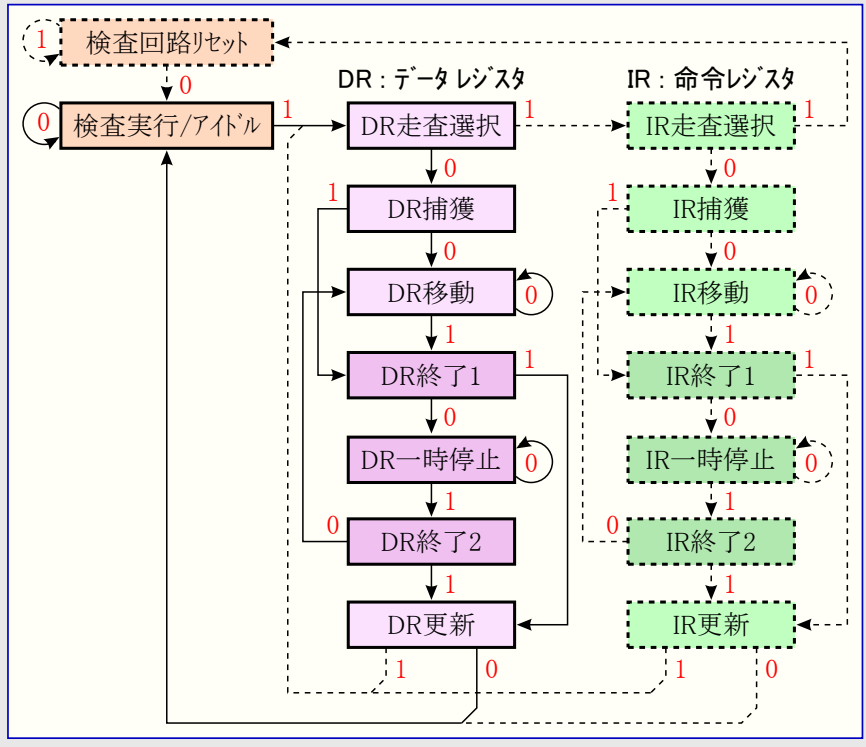
x = 0か1 (無意味、無効)

6 = ブート施錠ビット12 (BLB12)

C = BODLEVEL ヒューズ' ビット

K = OCDEN ヒューズ' ビット

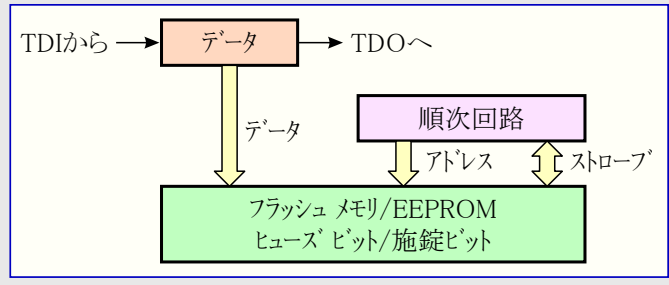
図103. データ語変更/読み出し手順時順次回路状態遷移図



仮想フラッシュ ページ設定 (Virtual Flash Page Load) レジスタ

仮想フラッシュ ページ設定レジスタはフラッシュ メモリの1ページと等しいビット長の仮想走査チェーン(Scan chain)です。内部的な移動レジスタは8ビットで、データはバイト単位でフラッシュ メモリ ページ緩衝部へ自動的に転送されます。ページ内への全命令語(データ)の移動入力ページ アドレス0の命令のLSBから始まり、ページ アドレス\$3Fの命令のMSBで終了します。これはページ書き込みを実行する前にフラッシュ メモリ ページ緩衝部全体を設定する効率的な方法を提供します。

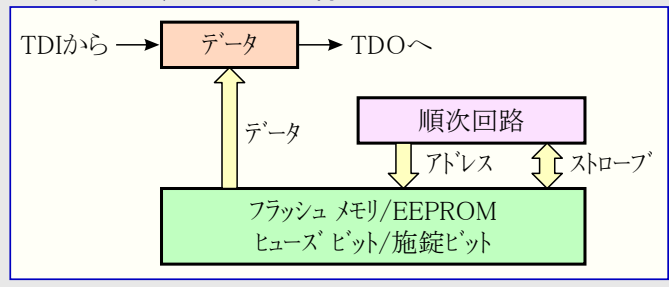
図104. 仮想フラッシュ ページ設定 レジスタ



仮想フラッシュ ページ取得 (Virtual Flash Page Read) レジスタ

仮想フラッシュ ページ取得レジスタはフラッシュ メモリの1ページと等しいビット数+8、合計1032ビットの仮想走査チェーン(Scan chain)です。内部的な移動レジスタは8ビットで、データはフラッシュ メモリ ページ緩衝部からバイト単位で自動的に転送されます。最初の8クロックは先頭バイトを内部移動レジスタへ転送するために使われ、この8クロック中に移動出力されたビットは無視されるべきです。この初期化に続いて、ページ アドレス0の命令のLSBで始まり、ページ アドレス\$3Fの命令のMSBで終了するデータが移動出力されます。これは書き込み確認のためにフラッシュ メモリの1ページ全体を読み出す効率的な方法を提供します。

図105. 仮想フラッシュ ページ取得 レジスタ



プログラミング手法

1①、1②形式のような以下の全ての参照は表71.を参照してください。

プログラミング動作への移行

1. JTAG命令AVR_RESETを入力し、リセットレジスタに1を移動します。
2. PROG_ENABLE命令を入力し、プログラミング許可レジスタに\$A370(1010 0011 0111 0000)を移動します。

プログラミング動作からの抜け出し

1. JTAG命令PROG_COMMANDSを入力します。
2. 無操作命令(11①参照)により、全てのプログラミング命令を禁止します。
3. PROG_ENABLE命令を入力し、プログラミング許可レジスタに\$0000(0000 0000 0000 0000)を移動します。
4. JTAG命令AVR_RESETを入力し、リセットレジスタに0を移動します。

PROG_ENABLE命令の後にAVR_RESET命令が続かない場合は、次の手順が使われるべきです。手順1.と2.は上記と同じです。

3. PROG_ENABLE命令を入力し、プログラミング許可レジスタに\$0000(0000 0000 0000 0000)を移動します。
4. PROG_ENABLE命令を入力し、プログラミング許可レジスタに\$0000(0000 0000 0000 0000)を移動します。
5. 次の命令を加える前に、選ばれた発振器が発振開始されるまで待機します。

チップ消去の実行

1. JTAG命令PROG_COMMANDSを入力します。
2. チップ消去命令(1①参照)を使い、チップ消去を開始します。
3. チップ消去完了検査(1②参照)を使い、完了までポーリングするか、tWLRH_CE(130頁の表67.参照)時間待機します。

フラッシュメモリの書き込み

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ書き込み移行命令(2①参照)を使い、フラッシュメモリ書き込みを許可します。
3. アドレス設定命令(2②, 2③参照)を使い、書き込みアドレスを設定します。
4. データ設定命令(2④, 2⑤, 2⑥参照)を使い、書き込みデータを設定します。
5. ページ内の全64語(ワード)数分3.と4.を繰り返します。
6. ページ書き込み命令(2⑦参照)を使い、ページをフラッシュメモリに書き込みます。
7. ページ書き込み完了検査(2⑧参照)を使い、完了までポーリングするか、tWLRH_FLASH(130頁の表67.参照)時間待機します。
8. 全データが書かれてしまうまで3.~7.を繰り返します。

より効率的なデータ転送はPROG_PAGELOAD命令を使うことで達せられます。手順1.と2.は上記と同じです。

3. アドレス設定命令(2②, 2③参照)を使い、ページアドレスを設定します。ページ内アドレスには下位6ビットが使われ、0が書かれなければなりません。
4. JTAG命令PROG_PAGELOADを入力します。
5. ページ内に全命令語(ワードデータ)を移動入力することにより、ページ内の最初の命令のLSBから始まり、最後の命令のMSBで終了する完全なページを設定します。
6. JTAG命令PROG_COMMANDSを入力します。
7. ページ書き込み命令(2⑦参照)を使い、ページをフラッシュメモリに書き込みます。
8. ページ書き込み完了検査(2⑧参照)を使い、完了までポーリングするか、tWLRH_FLASH(130頁の表67.参照)時間待機します。
9. 全データが書かれてしまうまで3.~8.を繰り返します。

フラッシュメモリの読み出し

1. JTAG命令PROG_COMMANDSを入力します。
2. フラッシュ読み出し移行命令(3①参照)を使い、フラッシュメモリ読み出しを許可します。
3. アドレス設定命令(3②, 3③参照)を使い、読み出しアドレスを設定します。
4. データ読み出し命令(3④参照)を使い、データを読み出します。
5. 全データが読まれてしまうまで3.~4.を繰り返します。

より効率的なデータ転送はPROG_PAGEREAD命令を使うことで達せられます。手順1.と2.は上記と同じです。

3. アドレス設定命令(3②, 3③参照)を使い、ページアドレスを設定します。ページ内アドレスには下位6ビットが使われ、0が書かれなければなりません。
4. JTAG命令PROG_PAGEREADを入力します。
5. ページ内の全命令ワード(データ)を移動出力することにより、ページアドレス0の命令のLSBで始まり、ページアドレス\$3Fの命令のMSBで終わる完全なページを読みます。最初に移動出力される8ビットが無視されるべきことを記憶しておいてください。
6. JTAG命令PROG_COMMANDSを入力します。
7. 全データが読まれてしまうまで3.~6.を繰り返します。

EEPROMの書き込み

1. JTAG命令**PROG_COMMANDS**を入力します。
2. EEPROM書き込み移行命令(4①参照)を使い、EEPROMメモリ書き込みを許可します。
3. アドレス設定命令(4②, 4③参照)を使い、書き込みアドレスを設定します。
4. データ設定命令(4④参照)を使い、書き込みデータを設定します。
5. EEPROM書き込み命令(4⑤参照)を使い、データをEEPROMメモリに書き込みます。
6. EEPROM書き込み完了検査(4⑥参照)を使い、完了までポーリングするか、tWLRH(130頁の表67.参照)時間待機します。
7. 全データが書かれてしまうまで3.～6.を繰り返します。

EEPROMの読み出し

1. JTAG命令**PROG_COMMANDS**を入力します。
2. EEPROM読み出し移行命令(5①参照)を使い、EEPROMメモリ読み出しを許可します。
3. アドレス設定命令(5②, 5③参照)を使い、読み出しアドレスを設定します。
4. データ読み出し命令(5④参照)を使い、データを読み出します。
5. 全データが読まれてしまうまで3.～4.を繰り返します。

ヒューズビットの書き込み

1. JTAG命令**PROG_COMMANDS**を入力します。
2. ヒューズ書き込み移行命令(6①参照)を使い、ヒューズ書き込みを許可します。
3. 上位データ設定命令(6②参照)を使い、ヒューズ上位値を設定します。(0=プログラム、1=非プログラム)
4. 上位ヒューズ書き込み命令(6③参照)を使い、ヒューズ上位バイトを書き込みます。
5. ヒューズ書き込み完了検査(6④参照)を使い、完了までポーリングするか、tWLRH(130頁の表67.参照)時間待機します。
6. 下位データ設定命令(6⑤参照)を使い、ヒューズ下位値を設定します。(0=プログラム、1=非プログラム)
7. 下位ヒューズ書き込み命令(6⑥参照)を使い、ヒューズ下位バイトを書き込みます。
8. ヒューズ書き込み完了検査(6⑦参照)を使い、完了までポーリングするか、tWLRH(130頁の表67.参照)時間待機します。

施錠ビットの書き込み

1. JTAG命令**PROG_COMMANDS**を入力します。
2. 施錠ビット書き込み移行命令(7①参照)を使い、施錠ビット書き込みを許可します。
3. データ設定命令(7②参照)を使い、施錠ビット値を設定します。(0=プログラム、1=無変化)
4. 施錠ビット書き込み命令(7③参照)を使い、施錠ビットに書き込みます。
5. 施錠ビット書き込み完了検査(7④参照)を使い、完了までポーリングするか、tWLRH(130頁の表67.参照)時間待機します。

ヒューズ/施錠ビットの読み出し

1. JTAG命令**PROG_COMMANDS**を入力します。
2. ヒューズ/施錠ビット読み出し移行命令(8①参照)を使い、ヒューズ/施錠ビット読み出しを許可します。
3. ヒューズ/施錠ビットの全てを読むには、ヒューズ/施錠ビット読み出し命令(8⑤参照)を使います。
ヒューズ上位バイトだけ読むには、上位ヒューズ読み出し命令(8②参照)を使います。
ヒューズ下位バイトだけ読むには、下位ヒューズ読み出し命令(8③参照)を使います。
施錠ビットだけ読むには、施錠ビット読み出し命令(8④参照)を使います。

識票バイトの読み出し

1. JTAG命令**PROG_COMMANDS**を入力します。
2. 識票読み出し移行命令(9①参照)を使い、識票読み出しを許可します。
3. アドレス設定命令(9②参照)を使い、読み出しアドレス\$00を設定します。
4. データ読み出し命令(9③参照)を使い、識票バイトを読み出します。
5. 第2, 第3識票バイトを読むには、各々アドレスを\$01,\$02として3.～4.を繰り返します。

校正バイトの読み出し

1. JTAG命令**PROG_COMMANDS**を入力します。
2. 校正バイト読み出し移行命令(10①参照)を使い、校正バイト読み出しを許可します。
3. アドレス設定命令(10②参照)を使い、読み出しアドレス\$00を設定します。
4. データ読み出し命令(10③参照)を使い、校正バイトを読み出します。

電気的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=2.7V~5.5V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧	XTAL1を除く	-0.5		0.3VCC (注1)	V
V _{IL1}	Lowレベル入力電圧	XTAL1, CKSEL3=0	-0.5		0.3VCC (注1)	
		XTAL1, CKSEL3=1	-0.5		0.2VCC (注1)	
V _{IH}	Highレベル入力電圧	XTAL1, RESETを除く	0.6VCC (注2)		VCC+0.5	
V _{IH1}	Highレベル入力電圧	XTAL1, CKSEL3=0	0.6VCC (注2)		VCC+0.5	
		XTAL1, CKSEL3=1	0.8VCC (注2)		VCC+0.5	
V _{IH2}	Highレベル入力電圧	RESET	0.9VCC (注2)		VCC+0.5	
V _{OL}	Lレベル出力電圧 (ポートA,B,C,D) (注3)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	
V _{OH}	Hレベル出力電圧 (ポートA,B,C,D) (注4)	IOH=-3mA, VCC=5V	4.2			
		IOH=-1.5mA, VCC=3V	2.3			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V			8.0	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	確実なH/L範囲			980	nA
R _{RST}	RESETピンプルアップ抵抗		100		500	kΩ
R _{I/O}	I/Oピンプルアップ抵抗		35		120	
I _{CC}	活動動作消費電流	ATmega323L VCC=3V, 4MHz			5.0	mA
		ATmega323 VCC=5V, 8MHz			15.0	
	アイドル動作消費電流	ATmega323L VCC=3V, 4MHz			2.5	
		ATmega323 VCC=5V, 8MHz			8.0	
	パワーダウン動作消費電流 (注5)	VCC=3V, WDT有効		9	15.0	μA
		VCC=3V, WDT禁止		<1	4.0	
V _{ACIO}	アナログ比較器入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2			40	mV
I _{ACLK}	アナログ比較器入力漏れ電流		-50		50	nA
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

(注3)~(注5)については次頁を参照してください。

注3: 各I/Oポートは安定状態(非過渡時)に於いては検査条件(VCC=5Vで20mA、VCC=3Vで10mA)より多くの吸い込み電流を流すことができますが、次の条件を厳守してください。

- PDIP**
1. 全ポートのIOLの合計が200mAを超えるべきではありません。
 2. ポート(A0~A7)、(B0~B7、C0~C7、D0~D7とXTAL2)の各々でIOLの合計が100mAを超えるべきではありません。
- TQFP**
1. 全ポートのIOLの合計が400mAを超えるべきではありません。
 2. ポート(A0~A7)、(B0~B3)、(B4~B7)、(C0~C3)、(C4~C7)、(D0~D3とXTAL2)、(D4~D7)の各々でIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いては検査条件(VCC=5Vで3mA、VCC=3Vで1.5mA)より多くの吐き出し電流を流すことができますが、次の条件を厳守してください。

- PDIP**
1. 全ポートのIOHの合計が200mAを超えるべきではありません。
 2. ポート(A0~A7)、(B0~B7、C0~C7、D0~D7とXTAL2)の各々でIOHの合計が100mAを超えるべきではありません。
- TQFP**
1. 全ポートのIOHの合計が400mAを超えるべきではありません。
 2. ポート(A0~A7)、(B0~B3)、(B4~B7)、(C0~C3)、(C4~C7)、(D0~D3とXTAL2)、(D4~D7)の各々でIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きな吐き出し電流を流すことは保証されません。

注5: パワーダウン動作時の最小電源電圧(VCC)は2.5Vです。

外部クロック特性

図106. 外部クロック

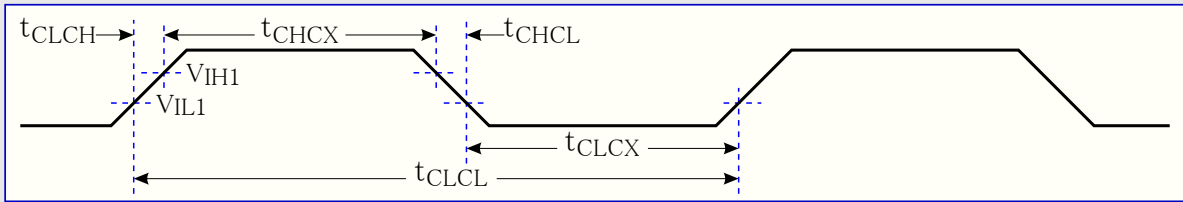


表72. 外部クロック特性

シンボル	項目	VCC=2.7V~5.5V		VCC=4.0V~5.5V		単位
		最小	最大	最小	最大	
$1/t_{CLCL}$	クロック周波数	0	4	0	8	MHz
t_{CLCL}	クロック周期	250		125		ns
t_{CHCX}	Highレベル時間	100		50		
t_{CLCX}	Lowレベル時間	100		50		
t_{CLCH}	上昇時間		1.6		0.5	μ s
t_{CHCL}	下降時間		1.6		0.5	

表73. 外部RC発振周波数

周波数 f	抵抗 R (k Ω)	容量 C (pF)
100kHz	100	70
1.0MHz	31.5	20
4.0MHz	6.5	20

注: Rは3~100k Ω の範囲、Cは最小20pFであるべきです。表で与えられるC値はピン容量を含みます。これは外圍器形式で変わります。

2線直列インターフェース特性

表74. は2線直列バスに接続される装置についての必要条件を記述します。ATmega323の2線直列インターフェースは記載された条件下でこれらの必要条件を越えるかまたは合致します。

図107. 2線直列バス タイミング

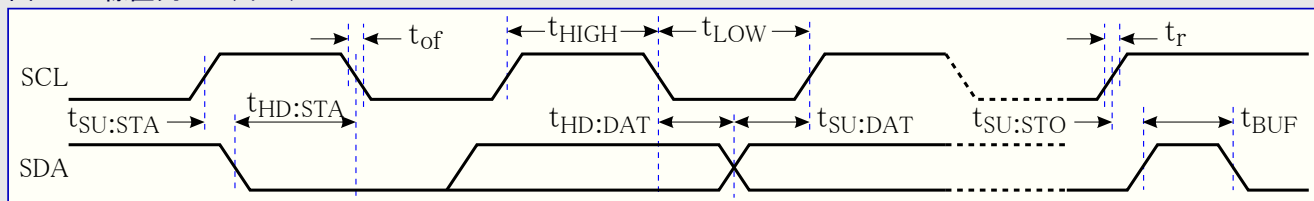


表74. 2線直列インターフェース特性

シンボル	項目	条件	最小	最大	単位
V_{IL}	Lowレベル入力電圧		-0.5	0.3VCC	V
V_{IH}	Highレベル入力電圧		0.7VCC	VCC+0.5	
V_{hys} ①	シュミットトリガ入力ヒステリシス電圧		② 0.05VCC		
V_{OL} ①	Lowレベル出力電圧	3mA	0	0.4	
t_{of} ①	出力上昇時間($V_{IHmin} \rightarrow V_{ILmax}$)	$10pF < C_b < 400pF$ ③	② $20 + 0.1C_b$ ③	250	ns
t_{SP} ①	入力パルス最小幅(尖頭消去濾波)		0	② 50	
I_i	入力電流(ピン単位)	$0.1VCC < V_i < 0.9VCC$	-10	10	μA
C_i ①	ピン入力容量			10	pF
f_{SCL}	SCLクロック周波数 ④⑤	$f_{CK} > \max(16f_{SCL}, 250kHz)$	0	217	kHz
$t_{HD:STA}$	(再送)開始条件保持時間	$f_{SCL} \leq 100kHz$	4.0		
		$f_{SCL} > 100kHz$	0.6		
t_{LOW}	SCLクロックLowレベル時間	$f_{SCL} \leq 100kHz$ ⑥	4.7		
		$f_{SCL} > 100kHz$	1.3		
t_{HIGH}	SCLクロックHighレベル時間	$f_{SCL} \leq 100kHz$	4.0		
		$f_{SCL} > 100kHz$	0.6		
$t_{SU:STA}$	再送開始条件準備時間	$f_{SCL} \leq 100kHz$	4.7		
		$f_{SCL} > 100kHz$	0.6		
$t_{HD:DAT}$	データ保持時間	$f_{SCL} \leq 100kHz$	0	3.45	
		$f_{SCL} > 100kHz$	0	0.9	
$t_{SU:DAT}$	データ準備時間	$f_{SCL} \leq 100kHz$	250		ns
		$f_{SCL} > 100kHz$	100		
$t_{SU:STO}$	停止条件準備時間	$f_{SCL} \leq 100kHz$	4.0		μs
		$f_{SCL} > 100kHz$	0.6		
t_{BUF}	停止→開始条件間バス開放時間	$f_{SCL} \leq 100kHz$	4.7		
		$f_{SCL} > 100kHz$	1.3		

① ATmega323でこの項目は特性が記載されていますが、100%検査はされていません。

② $f_{SCL} > 100kHz$ についてのみ必要とされます。

③ C_b はバス信号線の容量(pF)です。

④ f_{CK} はシステムクロック周波数です。

⑤ この必要条件はATmega323の全2線直列インターフェース動作に適用されます。2線直列バスに接続された他の装置は一般的な f_{SCL} 必要条件に従うことだけが必要です。

⑥ ATmega323の2線直列インターフェースによって生成される実際のLow区間は $(1/f_{SCL} - 2/f_{CK})$ ですので、 $f_{SCL} = 100kHz$ でLow時間の必要条件が厳密に満たされるには f_{CK} が(概ね)6MHz以上でなければなりません。

⑦ ATmega323の2線直列インターフェースによって生成される実際のLow区間は $(1/f_{SCL} - 2/f_{CK})$ ですので、 $f_{CK} = 8MHz$ 時、厳密には $f_{SCL} > 308kHz$ でLow時間の必要条件が満たされていませんが、バスに接続されたATmega323は相応な t_{LOW} 許容余地のある他の装置だけでなく他のATmega323と最高速(400kHz)で通信できます。

代表特性 (暫定)

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $CL(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f(I/O\text{ピンの平均切り替え周波数})$ として推測できます。

デバイス検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマにより引き込んだ(消費した)差電流を表します。

図108. 活動動作消費電流 対 周波数 (TA=25°C)

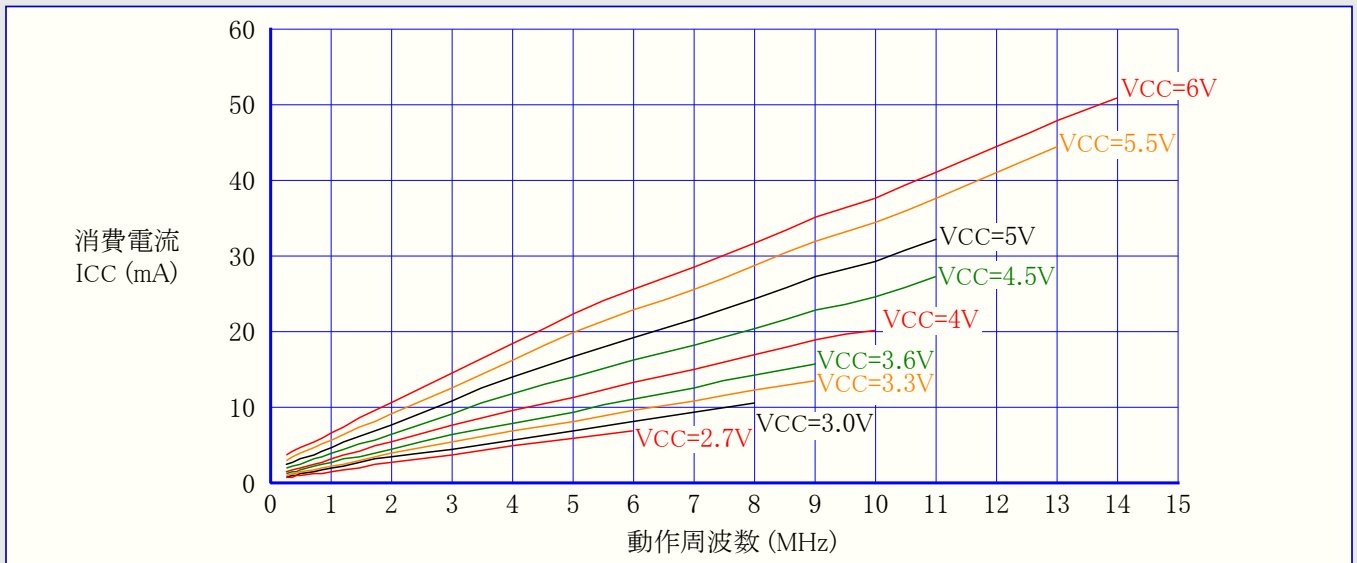


図109. 活動動作消費電流 対 動作電圧 (周波数=4MHz)

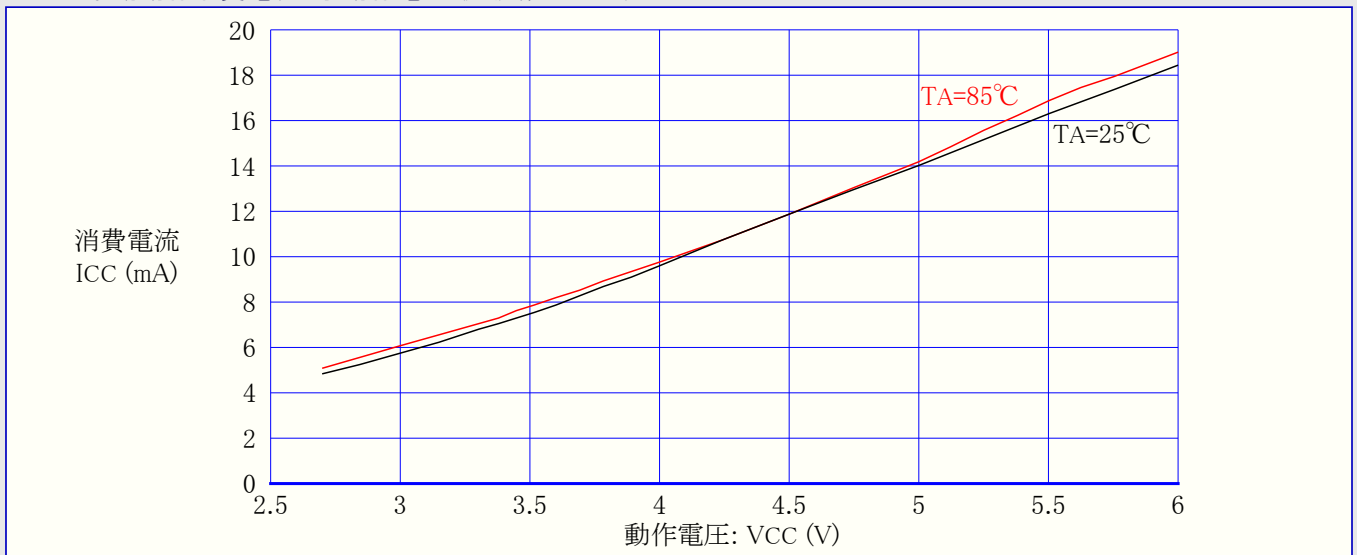


図110. 活動動作消費電流 対 動作電圧 (1.0MHz内蔵RC発振器)

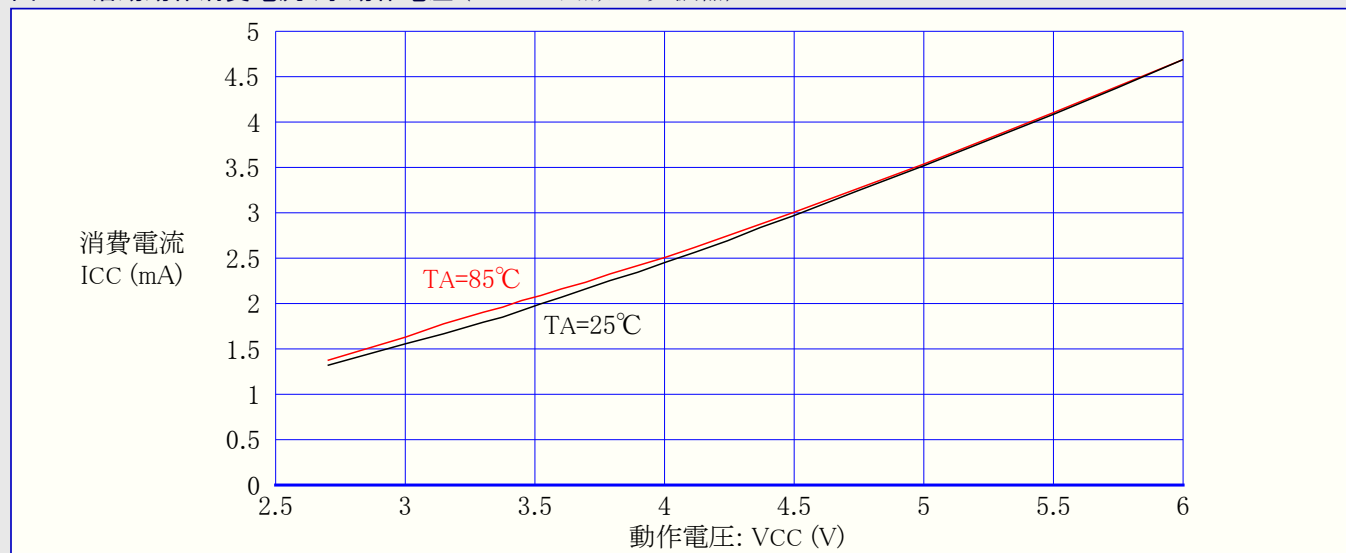


図111. 活動動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

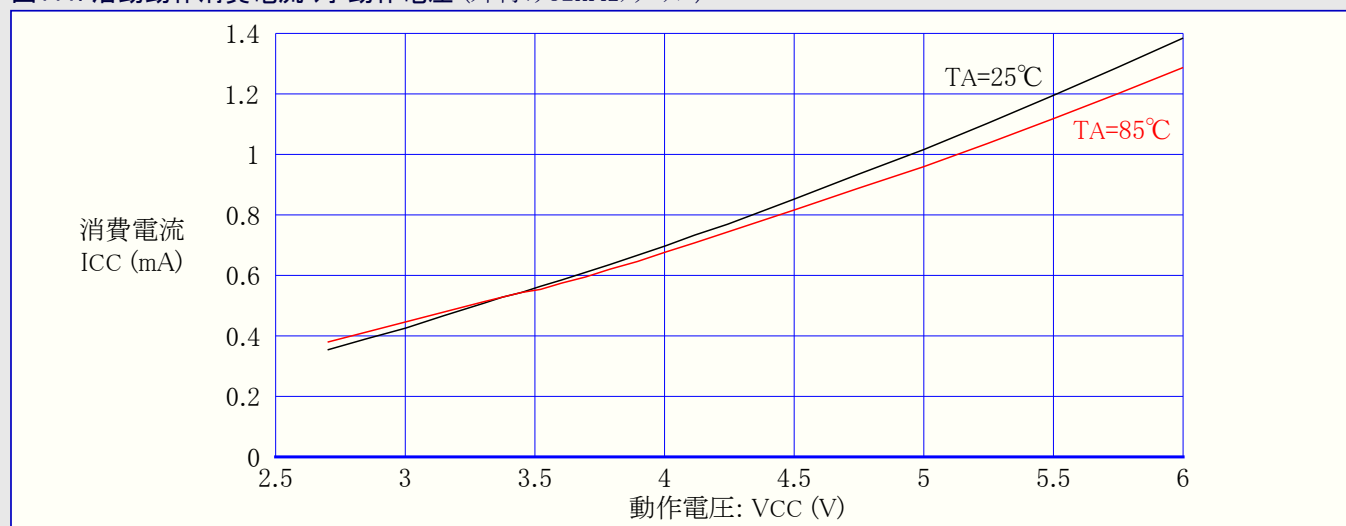


図112. アイドル動作消費電流 対 周波数 (TA=25°C)

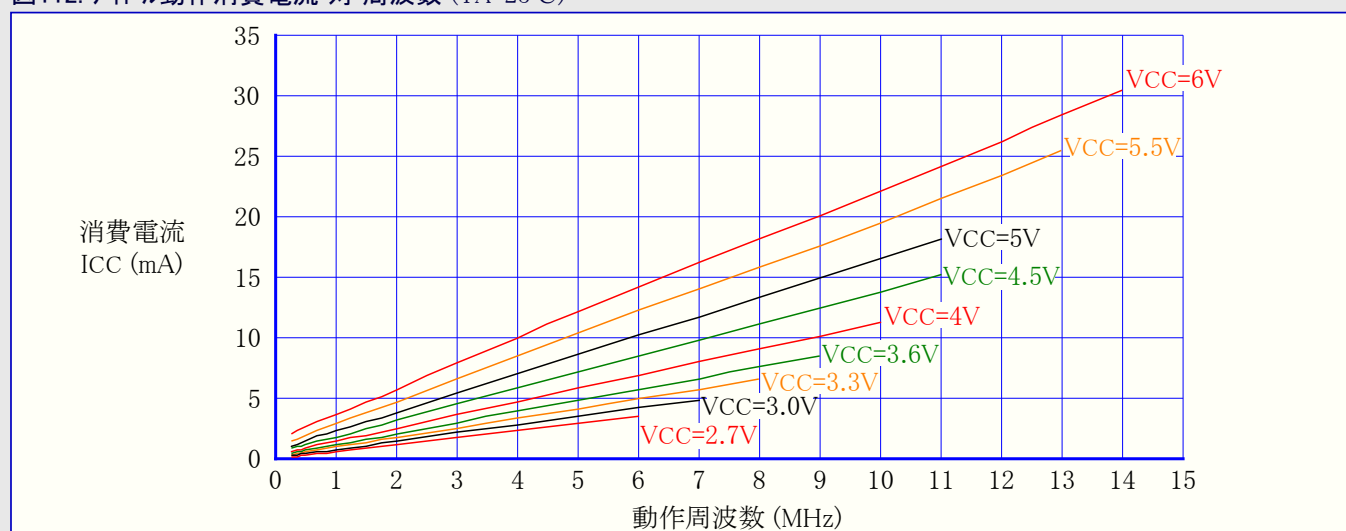


図113. アイドル動作消費電流 対 動作電圧 (周波数=4MHz)

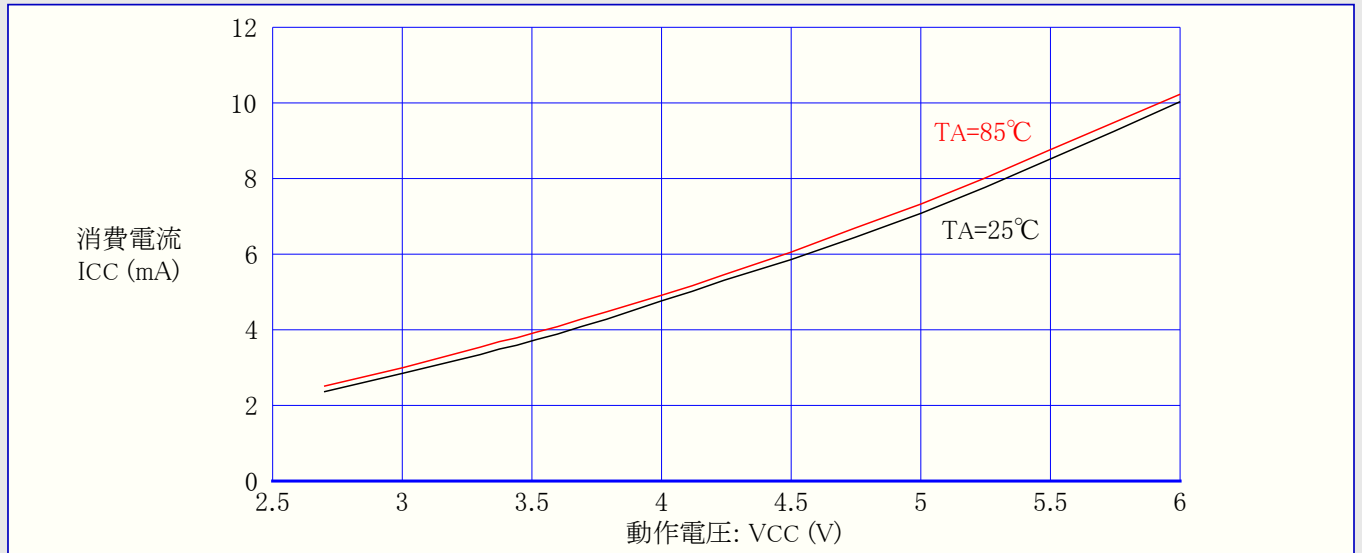


図114. アイドル動作消費電流 対 動作電圧 (1.0MHz内蔵RC発振器)

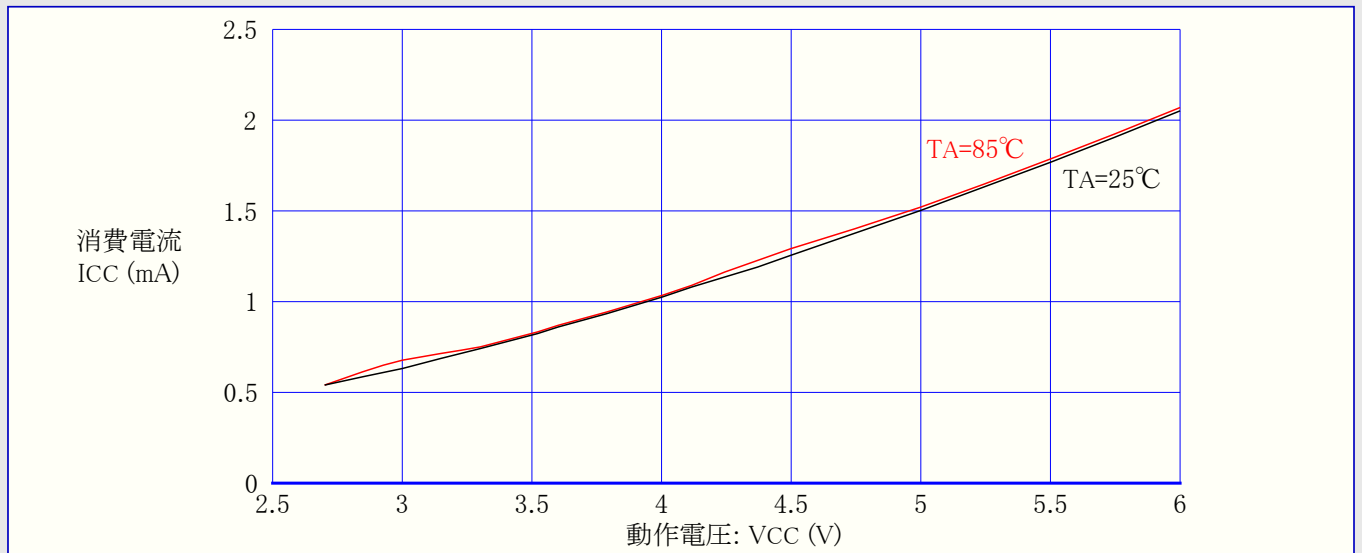


図115. アイドル動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

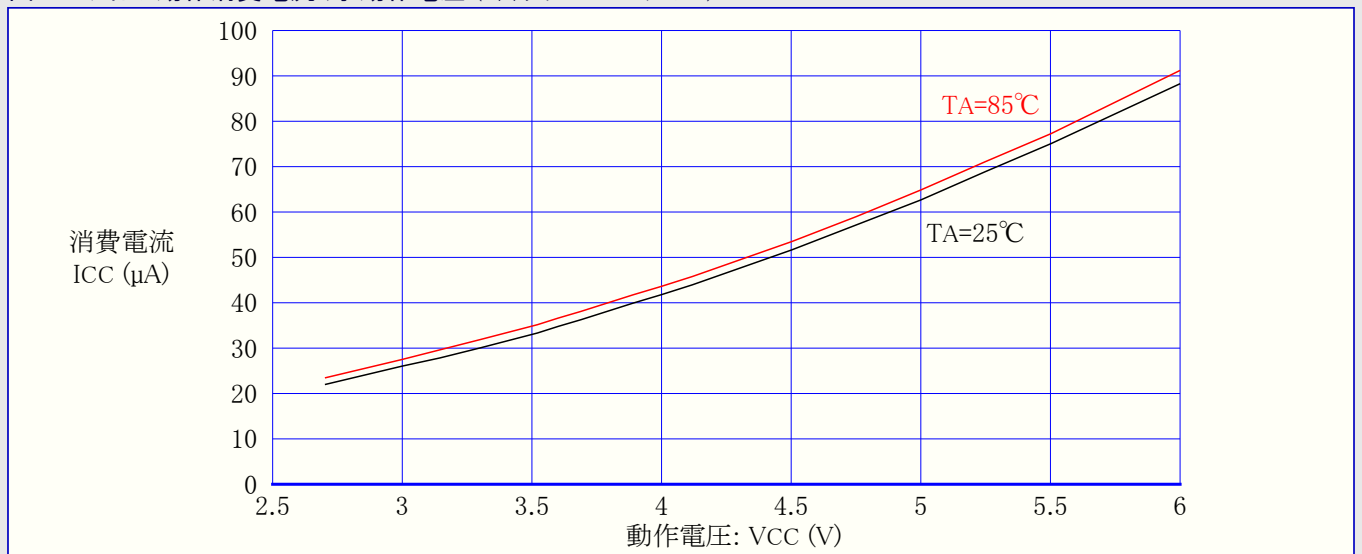


図116. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ停止)

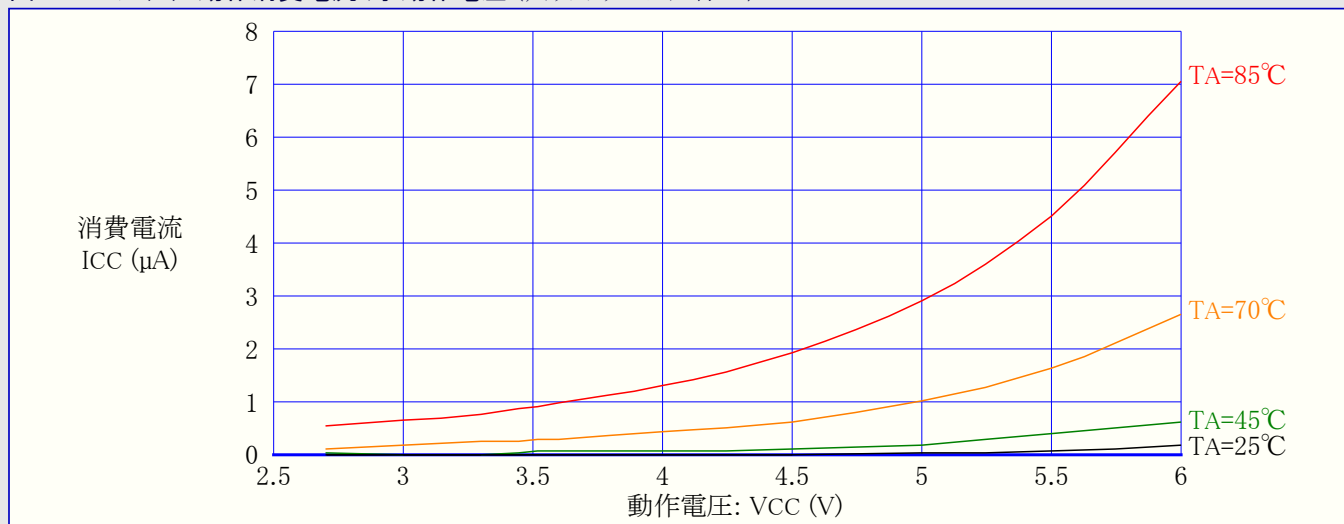


図117. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)

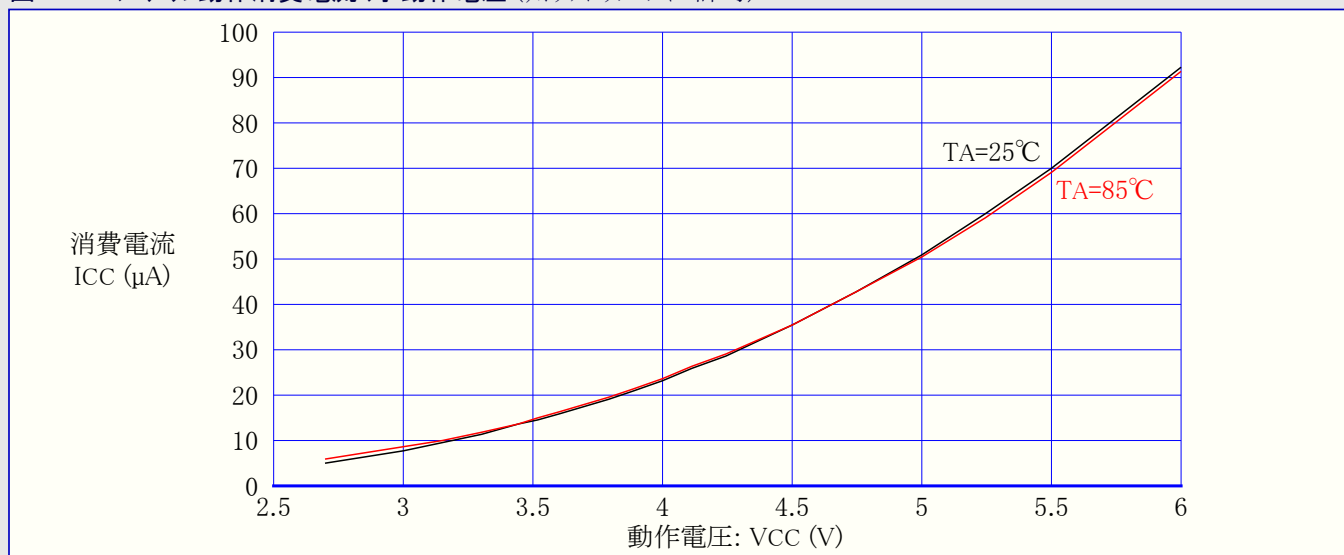


図118. パワーセーブ動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

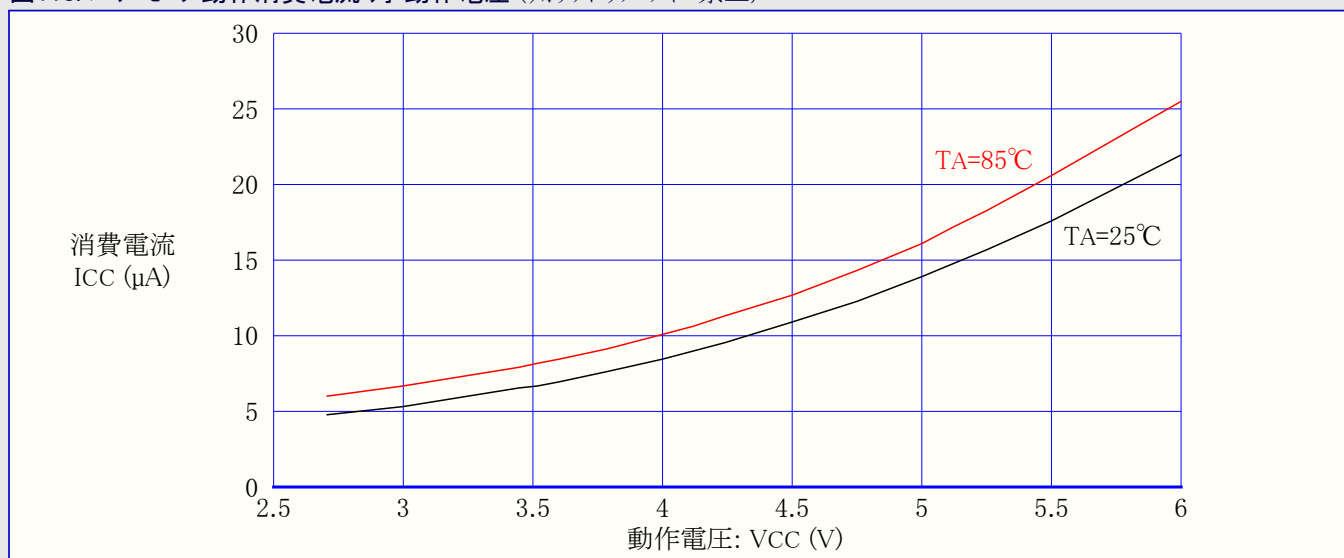


図119. アナログ比較器消費電流 対 動作電圧

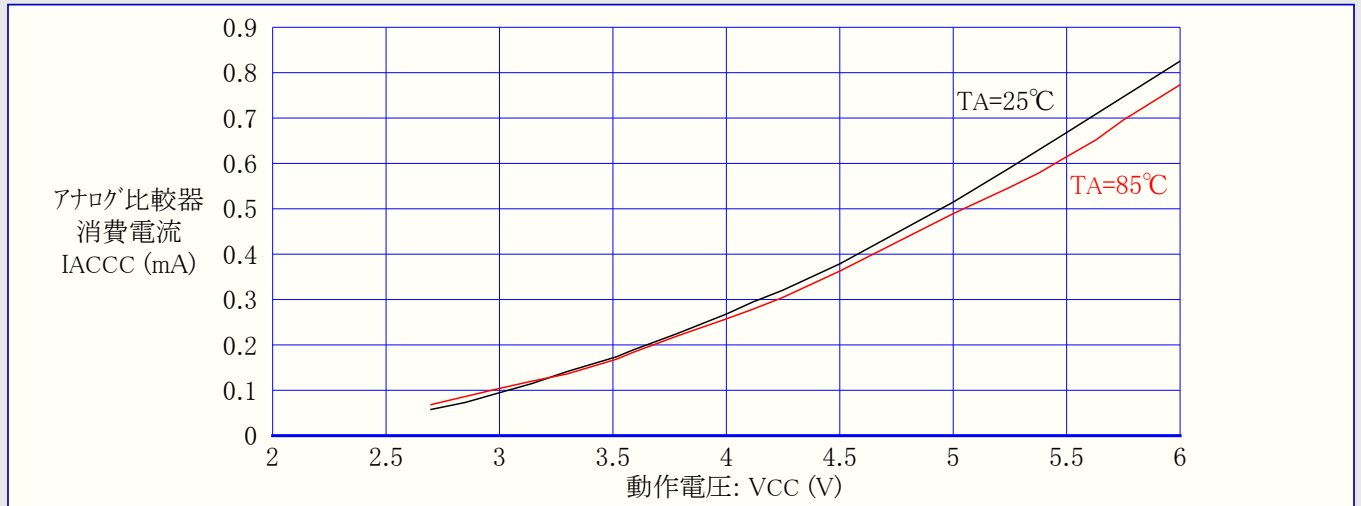
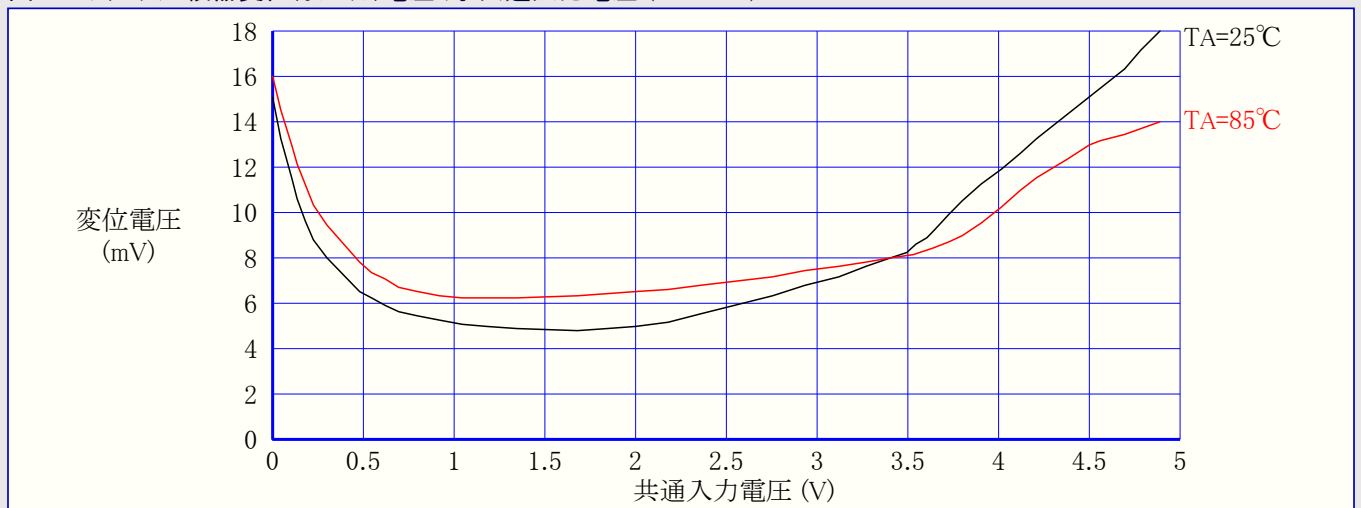
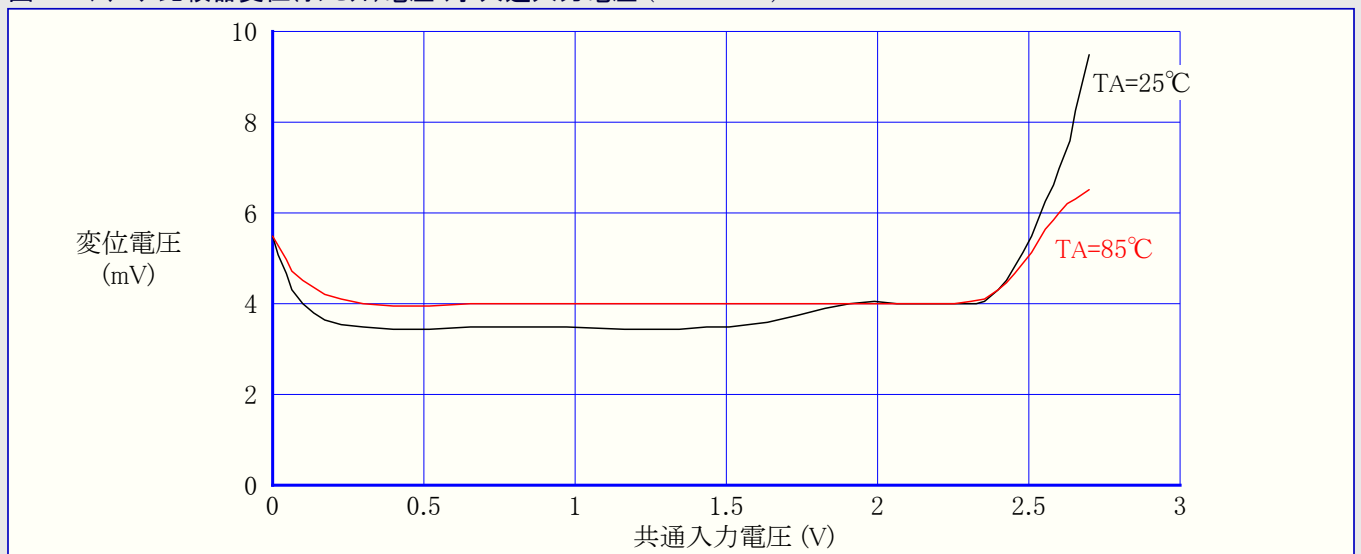


図120. アナログ比較器変位(オフセット)電圧 対 共通入力電圧 ($V_{CC}=5\text{V}$)



注: 変位(オフセット)電圧は絶対値です。

図121. アナログ比較器変位(オフセット)電圧 対 共通入力電圧 ($V_{CC}=2.7\text{V}$)



注: 変位(オフセット)電圧は絶対値です。

図122. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25°C)

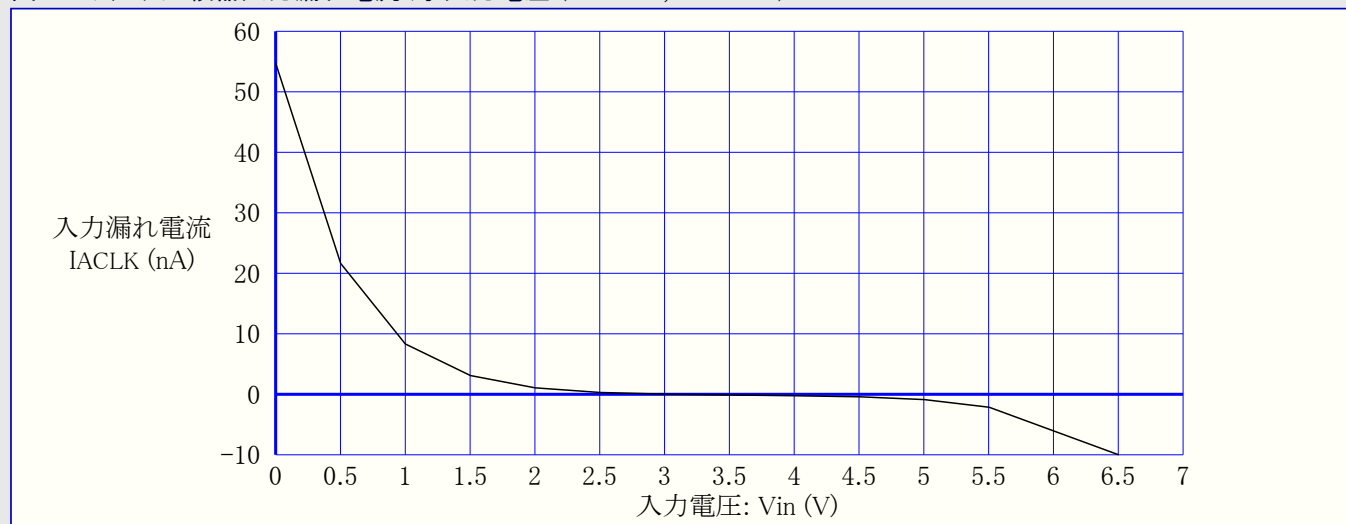


図123. 校正済み内蔵RC発振器周波数 対 動作電圧

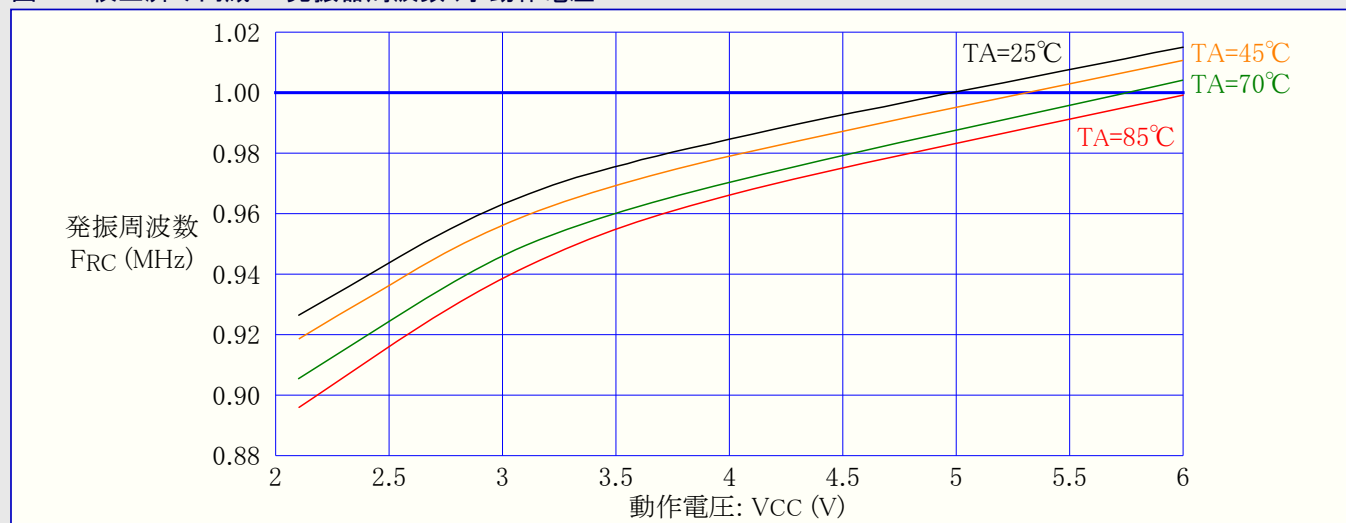


図124. ウォッチドッグ用発振器 発振周波数 対 動作電圧

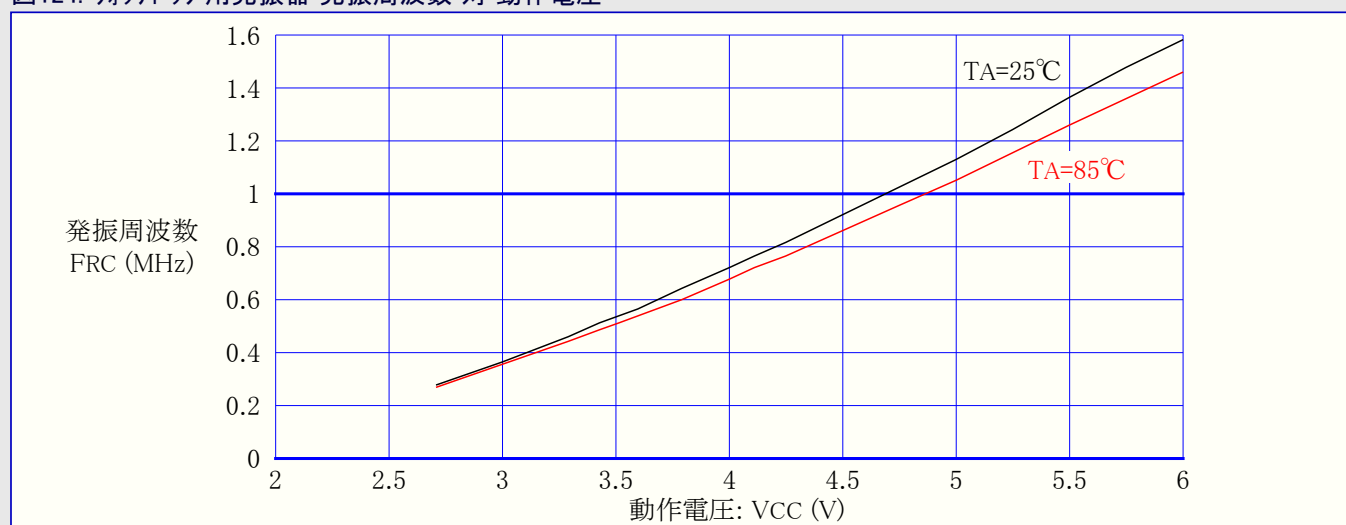
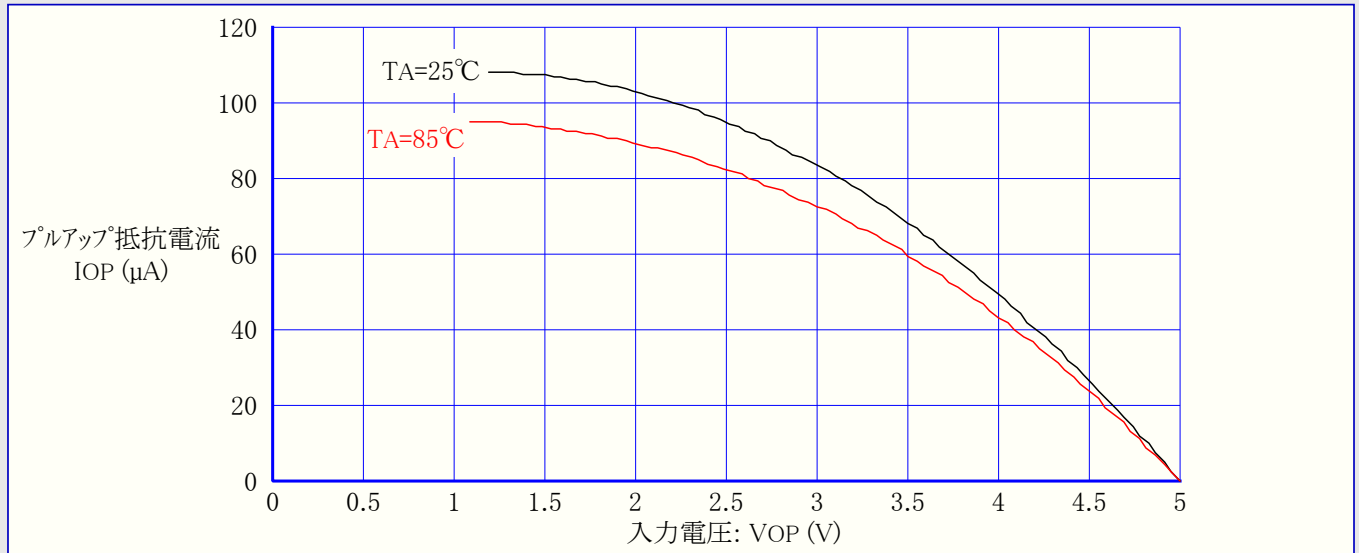
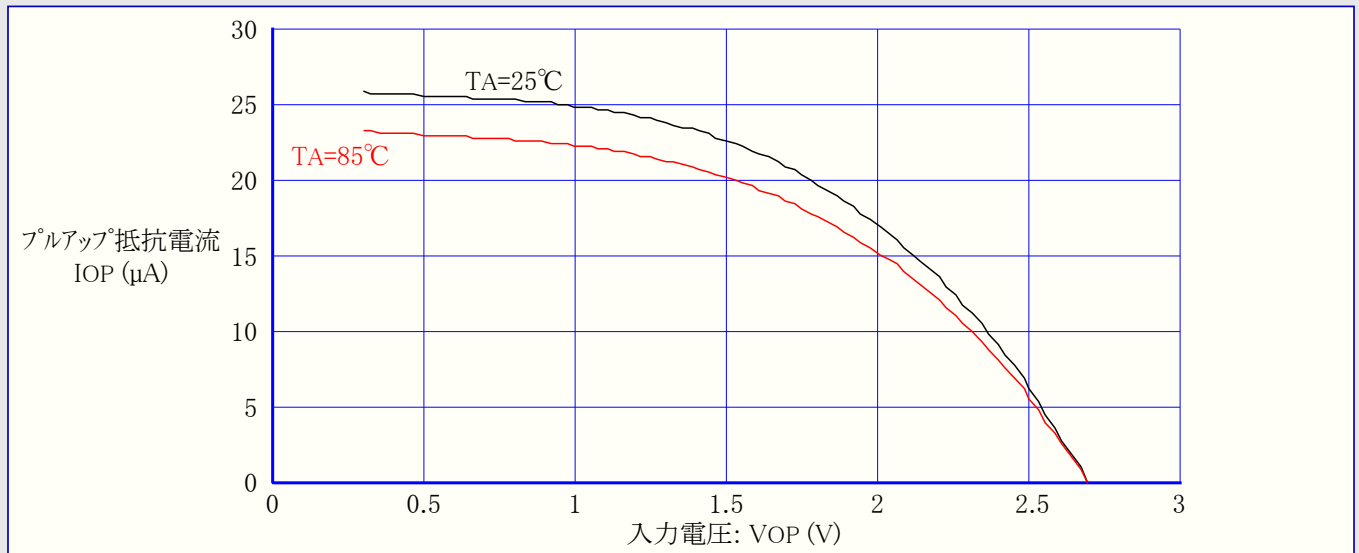


図125. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



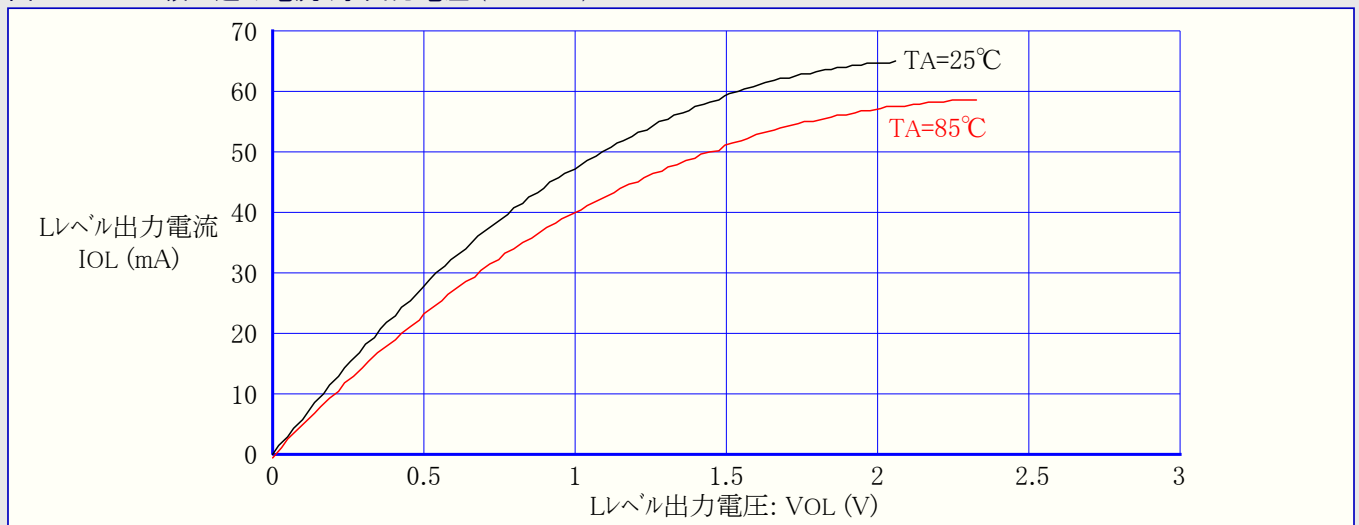
注: 測定は1ピン単位です。

図126. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



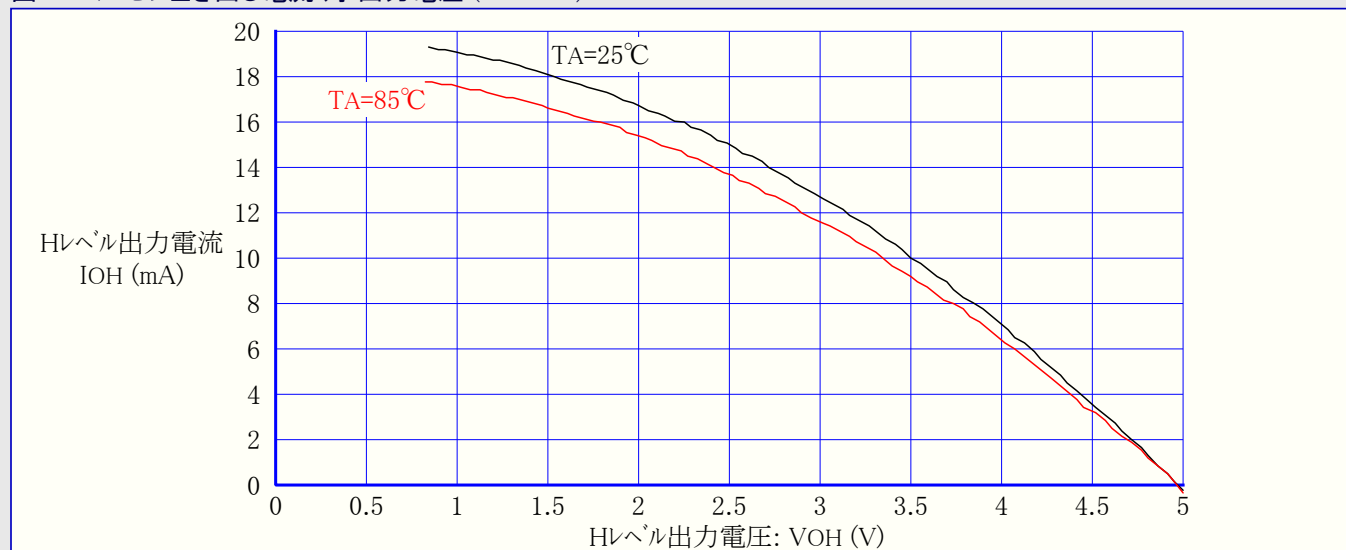
注: 測定は1ピン単位です。

図127. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



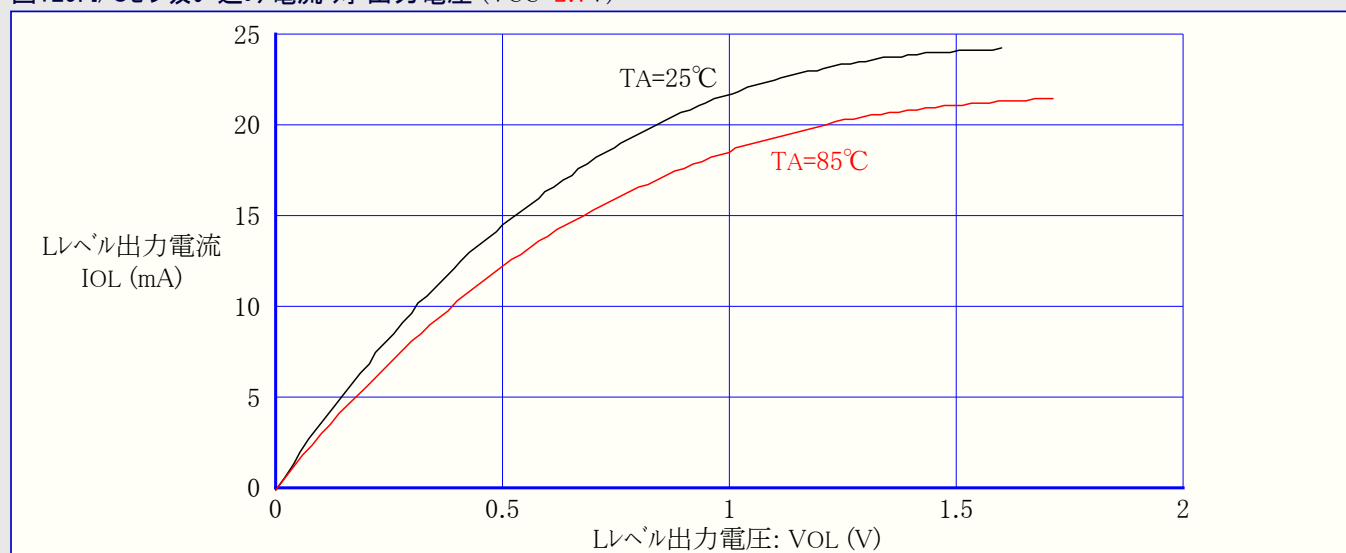
注: 測定は1ピン単位です。

図128. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



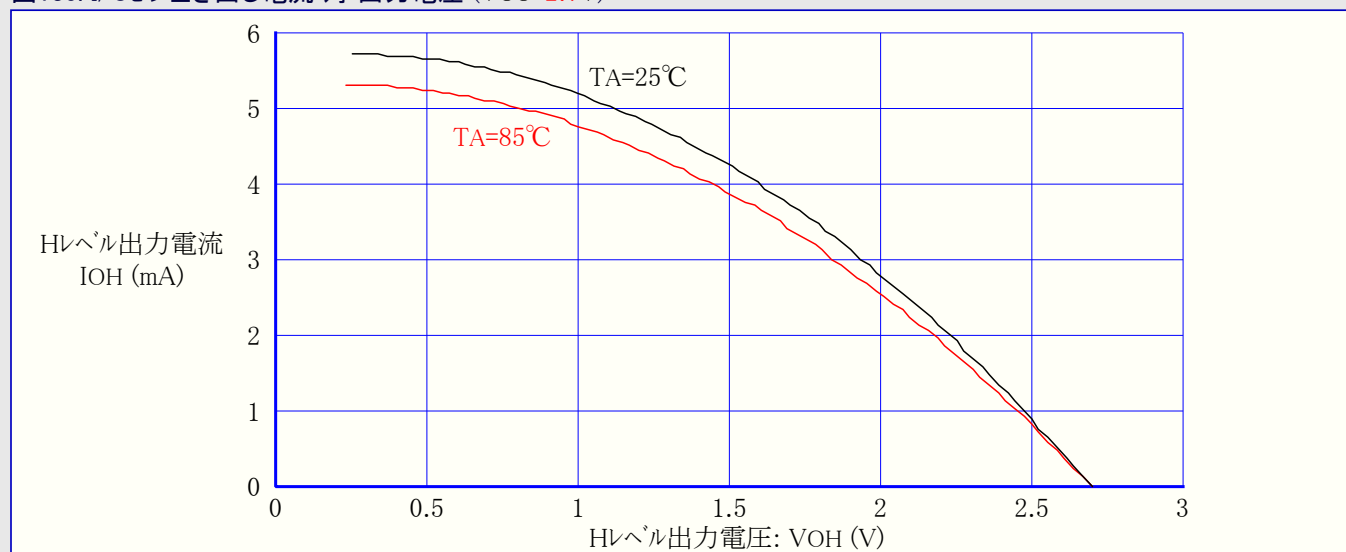
注: 測定は1ピン単位です。

図129. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図130. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図131. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (TA=25°C)

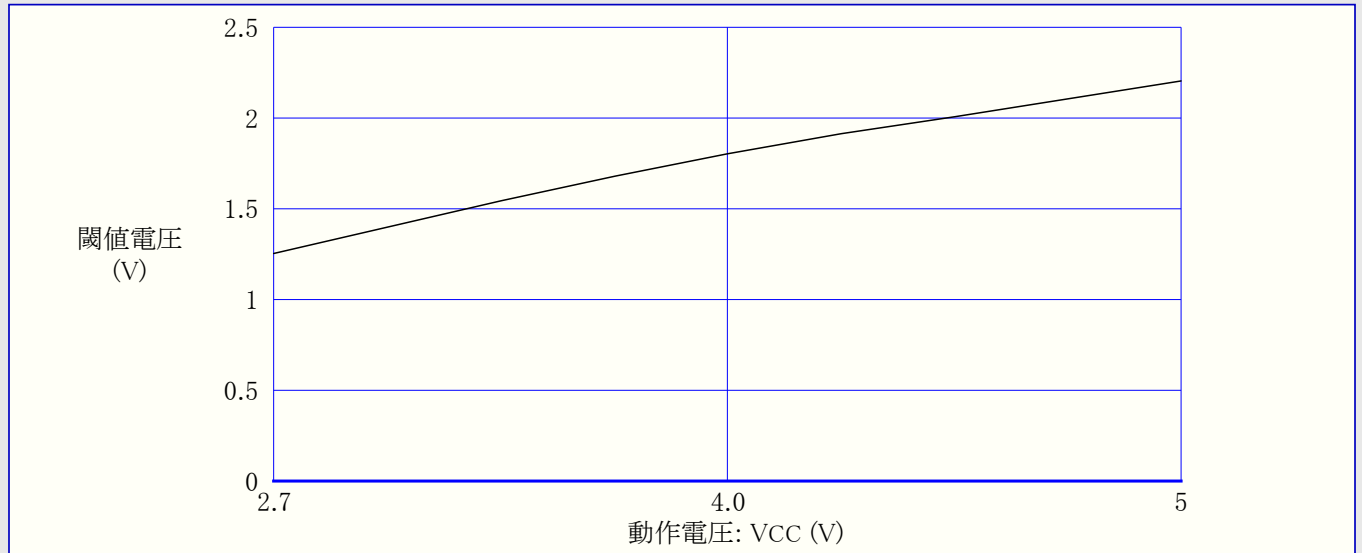
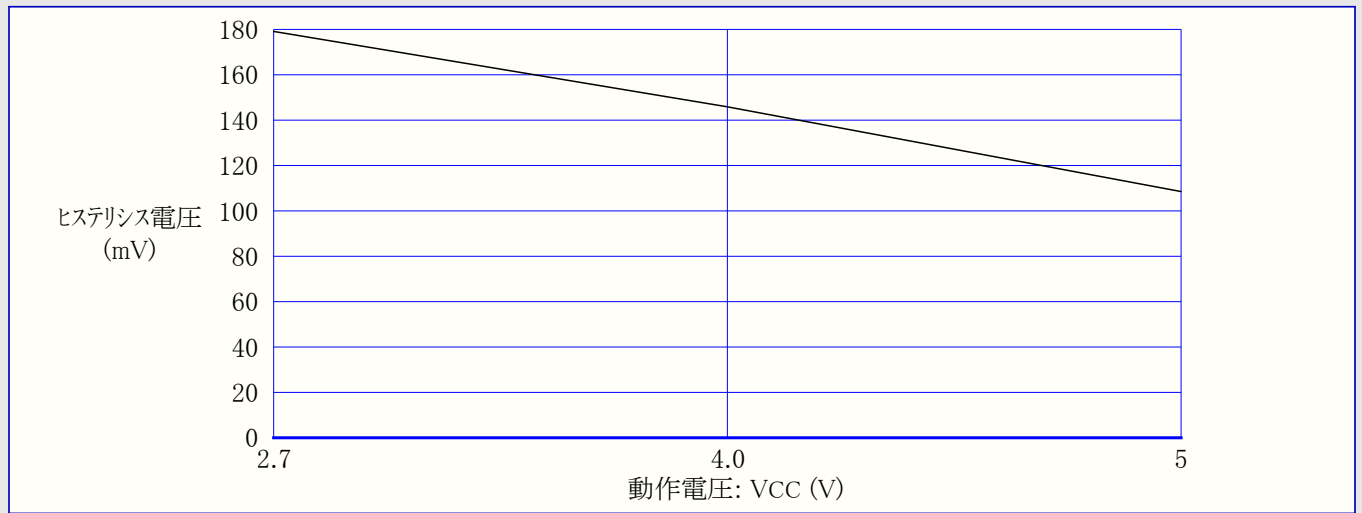


図132. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	12	
\$3E (\$5E)	SPH	-	-	-	-	-	SP10	SP9	SP8	13	
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0		
\$3C (\$5C)	OCR0	タイマ/カウンタ0 比較レジスタ									
\$3B (\$5B)	GICR	INT1	INT0	INT2	-	-	-	IVSEL	IVCE	22	
\$3A (\$5A)	GIFR	INTF1	INTF0	INTF2	-	-	-	-	-	23	
\$39 (\$59)	TIMSK	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	24	
\$38 (\$58)	TIFR	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	25	
\$37 (\$57)	SPMCR	-	ASB	-	ASRE	BLBSET	PGWRT	PGERS	SPMEN	121	
\$36 (\$56)	TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE	68	
\$35 (\$55)	MCUCR	SE	SM2	SM1	SM0	ISC11	ISC10	ISC01	ISC00	26	
\$34 (\$54)	MCUCSR	JTD	ISC2	-	JTRF	WDRF	BORF	EXTRF	PORF	20	
\$33 (\$53)	TCCR0	FOC0	PWM0	COM01	COM00	CTC0	CS02	CS01	CS00	31	
\$32 (\$52)	TCNT0	タイマ/カウンタ0								32	
\$31 (\$51)	OSCCAL	内蔵RC発振器 発振校正値レジスタ								28	
	OCDR	内蔵デバッグレジスタ								111	
\$30 (\$50)	SFIOR	-	-	-	-	ACME	PUD	PSR2	PSR10	28	
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM11	PWM10	38	
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	39	
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 上位バイト								40	
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 下位バイト									
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1 比較Aレジスタ上位バイト									
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1 比較Aレジスタ下位バイト								41	
\$29 (\$49)	OCR1BH	タイマ/カウンタ1 比較Bレジスタ上位バイト								41	
\$28 (\$48)	OCR1BL	タイマ/カウンタ1 比較Bレジスタ下位バイト									
\$27 (\$47)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト									
\$26 (\$46)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト								41	
\$25 (\$45)	TCCR2	FOC2	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20	31	
\$24 (\$44)	TCNT2	タイマ/カウンタ2								32	
\$23 (\$43)	OCR2	タイマ/カウンタ2 比較レジスタ								33	
\$22 (\$42)	ASSR	-	-	-	-	AS2	TCN2UB	OCR2UB	TCR2UB	35	
\$21 (\$41)	WDTCSR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	43	
\$20 (\$40)	UBRRH	URSEL	-	-	-	USARTボーレートレジスタ上位 (UBRR11~8)					64
	UCSRC	URSEL	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	63	
\$1F (\$3F)	EEARH	-	-	-	-	-	-	EEAR9	EEAR8	44	
\$1E (\$3E)	EEARL	EEPROMアドレスレジスタ下位バイト (EEAR7~0)									
\$1D (\$3D)	EEDR	EEPROMデータレジスタ									
\$1C (\$3C)	EEDR	-	-	-	-	EERIE	EEMWE	EEWE	EERE	44	
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	92	
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	92	
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	92	
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	94	
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	94	
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	94	
\$15 (\$35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	100	
\$14 (\$34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	100	
\$13 (\$33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	100	
\$12 (\$32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	104	
\$11 (\$31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	104	
\$10 (\$30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	104	
\$0F (\$2F)	SPDR	SPI データレジスタ								47	
\$0E (\$2E)	SPSR	SPIF	WCOL	-	-	-	-	-	SPI2X	48	
\$0D (\$2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	48	
\$0C (\$2C)	UDR	USARTデータレジスタ								62	
\$0B (\$2B)	UCSRA	RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM	62	
\$0A (\$2A)	UCSRB	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	63	
\$09 (\$29)	UBRRL	USARTボーレートレジスタ下位バイト (UBRR7~0)								64	
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	83	
\$07 (\$27)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	88	
\$06 (\$26)	ADCSR	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	89	
\$05 (\$25)	ADCH	A/Dデータレジスタ上位バイト (ADC9~8またはADC9~2)								90	
\$04 (\$24)	ADCL	A/Dデータレジスタ下位バイト (ADC7~0またはADC1~0)									
\$03 (\$23)	TWDR	2線直列インターフェース データレジスタ									
\$02 (\$22)	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	69	
\$01 (\$21)	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	-	-	-	69	
\$00 (\$20)	TWBR	2線直列インターフェースビット速度レジスタ								70	

注: 将来のデバイスとの互換性のため、予約ビットへ書き込む場合は0を書くべきです。予約アドレスへは決して書くべきではありません。いくつかの状態ビットは1の書き込みでも解除(0)できます。CBI, SBI命令はI/Oレジスタを読み、対応ビットを設定して書き戻しますので、そのビットを解除(0)します。これらの命令は\$00~\$1FのI/Oレジスタのみ操作できます。OCDENヒューズが非プログラム(1)の場合、常にOSCCALレジスタがアクセスされます。OCDRの使用法はデバッグの資料を参照してください。UBRRHとUCSRCレジスタのアクセスについてはUSARTを参照してください。

命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,C	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr \quad (U \times U)$	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr \quad (S \times S)$	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr \quad (S \times U)$	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1 \quad (U \times U)$	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1 \quad (S \times S)$	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1 \quad (S \times U)$	I,T,H,S,V,N,Z,C	2
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
CALL	k	絶対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	4
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ*	$Rd=Rr$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ*	$Rr(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBRB	Rr,b	汎用レジスタのビットが設定(1)でスキップ*	$Rr(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ*	$P(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ*	$P(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの $\geq$ で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの $\geq$ で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグ機能専用	I,T,H,S,V,N,Z,C	N/A

注文情報

速度(MHz)	電源電圧	注文符号	外周器	動作範囲
4	2.7~5.5V	ATmega323L-4AC	44A	一般用 (0°C~70°C)
		ATmega323L-4PC	40P6	
		ATmega323L-4AI	44A	工業用 (-40°C~85°C)
		ATmega323L-4PI	40P6	
8	4.0~5.5V	ATmega323-8AC	44A	一般用 (0°C~70°C)
		ATmega323-8PC	40P6	
		ATmega323-8AI	44A	工業用 (-40°C~85°C)
		ATmega323-8PI	40P6	

外周器形式

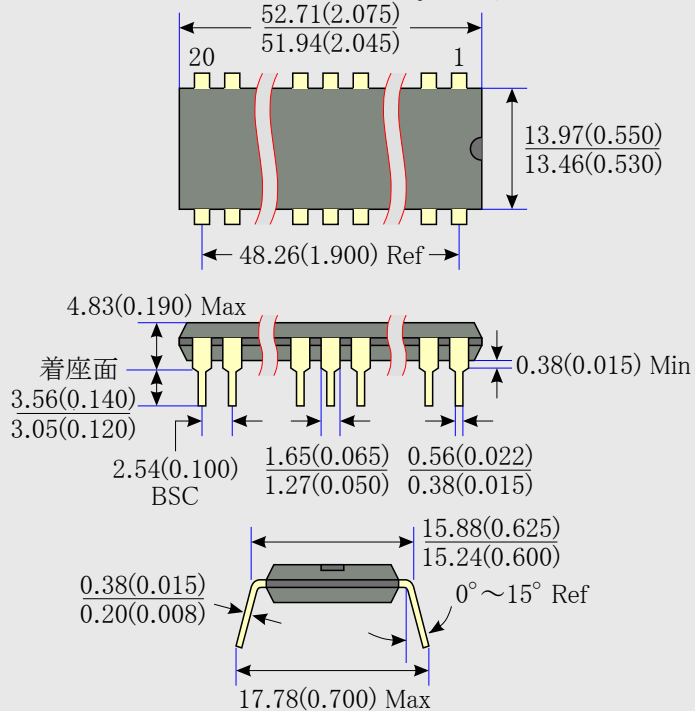
44A	44リード 1.0mm厚 プラスチック4方向平板外周器 (TQFP)
40P6	40ピン 600mil幅 プラスチック2列直線外周器 (PDIP)

外周器情報

40P6

40ピン 600mil幅 プラスチック2列直線外周器 (PDIP)

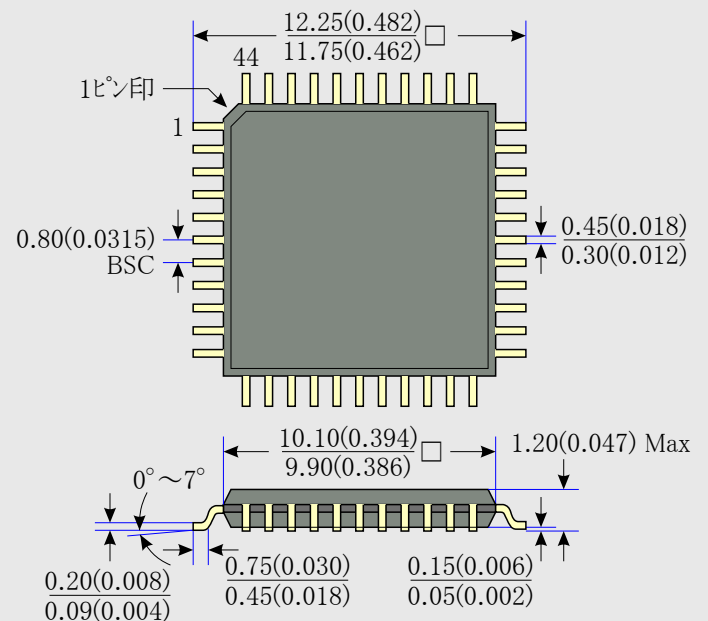
寸法: mm、()内はインチ
JEDEC規格 MS-011 AC



44A

44リード 0.8mmピッチ プラスチック4方向平板外周器 (TQFP)

寸法: mm、()内はインチ
JEDEC規格 MS-026 ACB



データシート変更記録

以下は本データシートの変更記録です。ここでの頁番号は本データシートが基準です。

1457E – 2001年11月から1457F – 2002年9月への変更

1. 製造終了予告記載を追加
2. 改訂B障害情報を追加

1457F – 2002年9月から1457G – 2003年9月への変更

1. 「**暫定**」を削除
2. JTAGENに関する110頁の「**検査入出力ポート(TAP)**」を更新
3. 20頁のJTDビットに対する説明を更新
4. 125頁の「**ヒューズ・ビット**」にJTAGインターフェースに関する追加情報を追加
5. 141頁の「**電気的特性**」でいくつかの値を更新
6. 158頁の「**障害情報**」でJTAG命令IDCODEに関する問題解決案を追加

障害情報

この章の改訂番号はATmega323デバイスの改訂版を参照してください。

改訂B

- USARTでのオーバーランフラグ消失と虚偽のフレーミング異常発生 B
- ボーレート(UBRR)の設定異常 B
- 従装置動作での2線インターフェースの速度制限 B
- PWMでの不正な位相 B
- 2線インターフェース制御レジスタ(TWCR)の書き込み無効 B
- 主装置動作の2線インターフェースでのスパイク未検出 B
- パワーダウン中の割り込みによる2線インターフェース停止 B

1. USARTでのオーバーランフラグ消失と虚偽のフレーミング異常発生 (B)

USARTが読まれずに3フレーム受信し、FIFOが一杯の状態では次の(第4)フレームの開始ビットを検出すると、第3フレームにオーバーラン(DOR)フラグが設定されますが、第4フレームの開始ビット受信直後にUSARTデータレジスタ(UDR)から読み出しを行うと、第3フレームでフレーミング異常(FE)が発生します。第4フレームの最初のデータビットから開始ビットの前までに読み出しを行うと、第3フレームのDORフラグが失われます。

対策/対処

USARTのFIFOが完全に一杯とならないような設計を行います。これが不可能な場合、このような状態が起こっても、受信データの消失を検出して再送が行える上位規約を使います。

2. ボーレート(UBRR)の設定異常 (B)

UBRRH、UBRRL何れの書き込みでも、最終的なUBRR設定に従ったボーレートで送受信されます。内部ボーレート(下降)カウンタが0で新規設定となるため、著しい速度変更は一時的に通信を妨害する結果となります。また、UBRRL書き込みでUBRRH設定を不正に解除してしまいます。

対策/対処

UBRR設定がUBRRHを解除してしまうため、UBRRL設定後にUBRRHを設定しなければなりません。UBRRHの追加書き込みでボーレートは正しく設定できます。UBRR設定法を次例に示します、最初のUBRRH書き込みは正常なデバイスや上位互換デバイス用です。

LDI	R17, HIGH(boudrate)	;ボーレート値上位を取得
LDI	R16, LOW(boudrate)	;ボーレート値下位を取得
OUT	UBRRH, R17	;正常品、上位互換品用の追加
OUT	UBRRL, R16	;UBRRL設定 (UBRRHの不正解除)
OUT	UBRRH, R17	;UBRRH設定
OUT	UBRRH, R17	;正しいUBRR値をボーレートカウンタへ設定

3. 従装置動作での2線インターフェースの速度制限 (B)

2線インターフェースが従装置動作時、CPUクロック周波数が直列バス周波数の64倍未満時、フレームを検出できない場合があります。

対策/対処

CPUクロック周波数が2線インターフェースのバス周波数の64倍以上を必ず保つようにします。

4. PWMでの不正な位相 (B)

昇降カウンタ動作(CTC=0)PWMでOCRx=上限値から上限値未満に変更すると、OCx出力が変化しません。このため、次の周期が不正位相となります。

対策/対処

この問題が応用で実害となるかを確認します。

5. 2線インターフェース制御レジスタ(TWCR)の書き込み無効 (B)

TWCRの連続書き込みには待機時間が必要です。TWCR書き込み直後にまたTWCRに書き込むと、最初の書き込みが無効になる場合があります。

対策/対処

TWCR書き込み間に最低1命令(例えばNOP)を実行します。

6. 主装置動作の2線インターフェースでのスパイク未検出 (B)

2線インターフェースの主装置動作時、アイドル(SCL=1, SDA=1)状態のバス上で短いスパイク(SDA=0)が発生すると、割り込みが発生せずに状態符号(\$F8)のままとなり、新しい開始条件を設定してTWI割り込み要求フラグ(TWINT)を解除(0)しても、SCL, SDAに変化がなく、TWINTを再び設定できなくなります。

対策/対処

次の何れかを行います。

1. SCL, SDAにスパイクが発生しないことを保証します。
2. 有効な開始条件受信後の停止条件による状態符号(\$00)のバス異常割り込みに対処します。
3. 単一主装置の場合は開始条件生成許可(TWSTA)ビット書き込み後、直ちに停止条件生成許可(TWSTO)ビットを書き込みます。

7. パワーダウン中の割り込みによる2線インターフェース停止 (B)

パワーダウン動作中の2線インターフェースは他の割り込みによって中断/停止する場合があります。2線インターフェースがパワーダウンでのアドレス一致待ち中に割り込み(例えばINT0)が発生すると、CPU再起動後に2線インターフェース動作は中断され、アイドル状態になります。パワーダウン動作のアドレス比較中(例えば従装置アドレス読み込み中)に割り込みが発生すると、受信アドレスは失われACK状態で復帰しません。

対策/対処

パワーダウン動作時、2線インターフェースのアドレス一致割り込み以外の割り込みが禁止されることを保証します。

主装置はNACKを受信した場合、再送要求によって対処することができます。

- ・これらは全改訂版のATmega323に対する障害ではありません。然しながらJTAG命令IDCODEに関する問題解決案が以下に示されます。

IDCODEがTDI入力からのデータを遮蔽

公開ですが任意JTAG命令のIDCODEはIEEE1149.1に従って正しく実行されず、デバイス識別(ID)レジスタを移動している間中、TDI入力の代わりに論理1が走査されます。従ってDR更新の間中、境界走査チェーン内で先行するデバイスで捕獲したデータは失われて全て1に置換され、後続するデバイスへのデータは全て1に置換されます。

ATmega323が走査チェーン内で唯一のデバイスなら、この問題は見られません。

問題の修正と対策

ATmega323のデバイスIDレジスタとおそらくは走査チェーンの後続するデバイスからのデータ内容を読むために、(IDCODE命令を実行するか、またはTAP制御器の検査回路リセット状態へ移行することのどちらかにより、)ATmega323のデバイスIDレジスタを選んでください。この走査の間中、後続するデバイスへのデータは送れませんが、先行するデバイスへのデータは可能です。境界走査チェーンの先行デバイスのデバイスIDレジスタを読む間中、迂回レジスタを選ぶため、ATmega323へBYPASS命令を実行してください。ATmega323に対してデバイスIDレジスタが選ばれている間中、決して後続デバイスへ読み書きを行ってはいけません。IDCODE命令がTAP制御器の検査回路リセット状態によって選ばれる既定命令であることに注意してください。

問題の修正と対策(代替)

境界走査チェーン内の全デバイスのデバイスIDが同時捕獲されなければならない(例えば全存在問い合わせが使われる)場合、境界走査チェーンはATmega323がチェーンの先頭デバイスであるような方法で接続できます。DR更新はIDCODEがJTAG命令レジスタに存在する限り、境界走査チェーン内の後続するデバイスに対して未だ使わないでしょうが、何れにしても記録したデバイスIDは送れません。

目次

特徴	1	特徴	85
ピン配置	2	操作	86
概要	3	前置分周と変換タイミング	86
構成図	3	雑音低減機能	88
ピン説明	4	複数チャネル走査	90
クロック任意選択	5	雑音低減技術	90
校正付き内蔵RC発振器	5	A/D変換器特性 (暫定)	91
クリスタル用発振器	5	入出力ポート	92
外部クロック信号	5	ポートA	92
外部RC発振器	5	ポートB	94
タイマ/カウンタ用発振器	5	ポートC	100
構造概要	6	ポートD	104
汎用レジスタ ファイル	7	JTAGインターフェースと内蔵デバッグ機能	109
ALU (Arithmetic Logic Unit)	7	特徴	109
実装書き換え可能なプログラム用フラッシュ メモリ	7	概要	109
データ用SRAMメモリ	7	検査入出力ポート (TAP:Test Access Port)	110
データ用EEPROMメモリ	7	境界走査チェーン(Boundary-Scan Chain) の使用	111
プログラム/データ空間に対するアドレス指定種別	8	内蔵デバッグ機能の使用	111
メモリアクセスと命令実行タイミング	10	内蔵デバッグ特殊JTAG命令	111
I/Oメモリ (レジスタ)	11	JTAGプログラミング能力の使用	111
リセットと割り込みの扱い	14	IEEE1149.1(JTAG)境界走査	113
休止形態	27	特徴	113
校正付き内蔵RC発振器	28	概要	113
タイマ/カウンタ	29	データレジスタ	113
タイマ/カウンタ前置分周器	29	境界走査(Boundary-Scan)用JTAG命令	114
8ビット タイマ/カウンタ0とタイマ/カウンタ2	30	境界走査チェーン(Boundary-Scan Chain)	115
16ビット タイマ/カウンタ1	37	ATmega323の境界走査順	117
ウォッチドッグ タイマ	43	境界走査記述言語(BSDL)ファイル	117
EEPROMアクセス	44	ブートローダ(自己プログラミング)	118
EEPROMデータ化けの防止	45	ブートローダ支援	118
SPI (直列周辺インターフェース)	46	フラッシュメモリの自己プログラミング	119
SSピンの機能	47	フラッシュメモリデータ化けの防止	122
データ転送形式	47	メモリプログラミング	124
USART	49	プログラムメモリとデータメモリ用施錠ビット	124
概要	49	ヒューズビット	124
プログラムコード例について	50	識票バイト	125
クロック生成	51	校正バイト	125
フレーム形式	52	並列プログラミング	125
USARTの初期化	53	並列プログラミング特性	130
USARTのデータ送信	54	直列プログラミング	131
USARTのデータ受信	55	直列プログラミング特性	133
非同期受信	58	JTAGインターフェース経由プログラミング	134
複数プロセッサ通信動作	60	電气的特性	141
UBRRH/UCSRCLレジスタのアクセス	61	絶対最大定格	141
USART用レジスタ	62	DC特性	141
ボーレート設定例	65	外部クロック特性	142
2線直列インターフェース (TWI)	67	2線直列インターフェース特性	143
2線直列インターフェースの動作種別	70	代表特性 (暫定)	144
送信主装置動作	71	レジスタ要約	153
受信主装置動作	71	命令要約	154
送信従装置動作	72	注文情報	156
受信従装置動作	72	外圍器情報	156
その他の状態	73	データシート変更記録	157
アナログ比較器	83	障害情報	158
アナログ比較器入力選択	84		
A/D変換器	85		



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantnerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2003.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2022.

本データシートはAtmelのATmega323/323L英語版データシート(改訂1457G-09/03)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部用語は略記されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。