



ATtiny4/5/9/10

tinyAVR® データシート

序説

ATtiny4/5/9/10はAVR®強化RISC構造に基づく低電力CMOS 8ビット マイクロコントローラです。ATtiny4/5/9/10は32ビットのSRAMを持つ512から1024バイトまでのフラッシュメモリの6/8ピンデバイスです。単一クロック周期での強力な命令の実行により、デバイスはMHz当たり1MIPS(100万命令/秒)近くの単位処理量を達成します。これは消費電力対処理速度に対するデバイスの最適化をシステム設計者に許します。

本書は一般の方々の便宜のため有志により作成されたもので、Microchip社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

特徴

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
 - 強力な**112命令** - 多くは1クロック周期実行
 - 16個の1バイト長**汎用レジスタ**
 - 完全なスタティック動作
 - 12MHz時、12MIPSに達する高速動作
- データ用メモリとプログラム用不揮発性メモリ
 - 実装書き換え可能な512/1Kバイト(256/512語)**フラッシュメモリ**内蔵
 - 32バイトの内蔵**SRAM**
 - フラッシュ書き込み/消去回数: 10,000
 - **データ保持力**: 20年/85°C, 100年/25°C
- 内蔵周辺機能
 - 容量性接触感知用QTouch®ライブラリ支援(1チャンネル)
 - 前置分周器と2つのPWM出力付き、1つの**16ビットタイマ/カウンタ**
 - 4チャンネル 8ビット **A/D変換器** (ATtiny5/10のみ)
 - 独立したチップ上発振器を持つ**ウォッチドッグタイマ**
 - **アナログ比較器**
- 特殊マイクロコントローラ機能
 - **実装書き込み**可能 (5Vでのみ)
 - 内部及び外部の**割り込み**
 - **アイドル**、**A/D変換雑音低減**、**スタンバイ**、**パワーダウン**の4つの**低消費動作**
 - 強化した**電源ONリセット**回路
 - 割り込みとリセットを持つ設定可能な**供給電圧レベル監視器**
 - **校正付き内蔵RC発振器**
- I/Oと外圍器
 - 4ビットの**設定変更可能なI/O**
 - **6ピンSOT**と**8ピンUDFN**
- 動作電圧
 - 1.8~5.5V
- 動作速度
 - 0~4MHz/1.8~5.5V
 - 0~8MHz/2.7~5.5V
 - 0~12MHz/4.5~5.5V
- 工業用と拡張の温度範囲: -40~+85°C/+125°C
- 低消費電力
 - 活動動作: 200µA (1MHz,1.8V)
 - アイドル動作: 25µA (1MHz,1.8V)
 - パワーダウン動作: <0.1µA (1.8V)

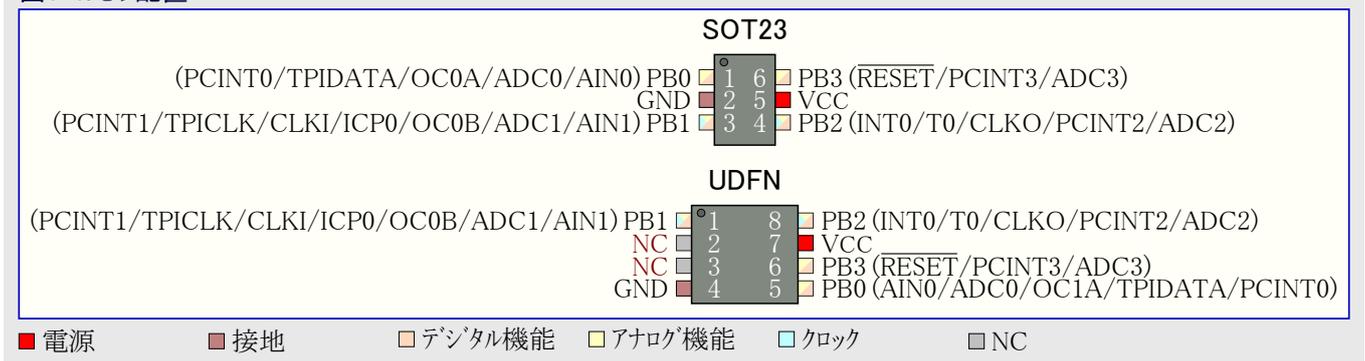
目次

序説	1	12.6. 比較出力部	46
特徴	2	12.7. 比較一致出力部	47
1. ピン配置	5	12.8. 動作種別	49
1.1. ピン説明	5	12.9. タイマ/カウンタのタイミング図	53
2. 注文情報	6	12.10. 16ビットレジスタのアクセス	54
3. 概要	7	12.11. 16ビットタイマ/カウンタ0用レジスタ	56
3.1. ATtiny4,ATtiny5,ATtiny9,ATtiny10の比較	7	13. アナログ比較器	62
4. 一般情報	8	13.1. アナログ比較器用レジスタ	62
4.1. 資料	8	14. A/D変換器	64
4.2. コード例	8	14.1. 特徴	64
4.3. 容量性接触感知	8	14.2. 概要	64
4.4. データ保持力	8	14.3. 操作	64
5. AVR CPU コア	9	14.4. 変換の開始	65
5.1. 基本構造概要	9	14.5. 前置分周と変換タイミング	65
5.2. ALU (Arithmetic Logic Unit)	9	14.6. チャネル変更と基準電圧	67
5.3. ステータスレジスタ	9	14.7. 雑音低減機能	67
5.4. 汎用レジスタファイル	10	14.8. アナログ入力回路	67
5.5. スタックポインタ	10	14.9. 雑音低減技術	68
5.6. 命令実行タイミング	10	14.10. A/D変換の精度定義	68
5.7. リセットと割り込みの扱い	11	14.11. A/D変換の結果	68
5.8. コア関係レジスタ	12	14.12. A/D変換用レジスタ	69
6. メモリ	14	15. プログラミングインターフェース	71
6.1. 実装書き換え可能なプログラム用フラッシュメモリ	14	15.1. 特徴	71
6.2. データメモリ	14	15.2. 概要	71
6.3. I/Oメモリ (レジスタ)	15	15.3. Tinyプログラミングインターフェースの物理層	71
7. クロック体系	16	15.4. Tinyプログラミングインターフェースのアクセス層	74
7.1. クロック副系統	16	15.5. 命令一式	74
7.2. クロック元	16	15.6. 不揮発性メモリ制御器のアクセス	76
7.3. システムクロック前置分周器	17	15.7. 制御/状態空間レジスタ説明	76
7.4. 始動	17	16. メモリプログラミング	78
7.5. クロック関係レジスタ	19	16.1. 特徴	78
8. 電力管理と休止形態動作	21	16.2. 概要	78
8.1. 休止形態動作種別	21	16.3. 不揮発性メモリ	78
8.2. 電力削減レジスタ	22	16.4. NVMのアクセス	80
8.3. 消費電力の最小化	22	16.5. 自己プログラミング	82
8.4. 電力管理用レジスタ	23	16.6. 外部プログラミング	82
9. システム制御とリセット	24	16.7. NVMプログラミング用レジスタ	83
9.1. AVRのリセット	24	17. 電気的特性	84
9.2. リセット元	24	17.1. 絶対最大定格	84
9.3. ウォッチドッグタイマ	26	17.2. DC特性	84
9.4. リセット関係レジスタ	27	17.3. 速度	85
10. 割り込み	29	17.4. クロック特性	85
10.1. 割り込みベクタ	29	17.5. システムとリセットの特性	85
10.2. 外部割り込み	30	17.6. アナログ比較器特性	86
10.3. 割り込み用レジスタ	31	17.7. A/D変換器特性	86
11. 入出力ポート	33	17.8. 直列プログラミング特性	87
11.1. 概要	33	18. 代表特性	88
11.2. 標準デジタル入出力としてのポート	33	18.1. 周辺機能部供給電流	88
11.3. 交換ポート機能	36	18.2. 活動動作消費電流	88
11.4. I/Oポート用レジスタ	40	18.3. アイドル動作消費電流	90
12. 16ビットタイマ/カウンタ0 (PWM)	41	18.4. パワーダウン動作消費電流	92
12.1. 特徴	41	18.5. ピンプルアップ	92
12.2. 概要	41	18.6. ピン駆動能力	93
12.3. クロック元	42	18.7. ピン閾値とヒステリシス	97
12.4. 計数器部	44	18.8. アナログ比較器オフセット	100
12.5. 捕獲入力部	45	18.9. 内部発振器周波数	100
		18.10. VLM閾値	102
		18.11. 周辺機能部消費電流	103

18.12.	リセット消費電流とリセットパルス幅	105
19.	レジスタ要約	106
20.	命令要約	107
21.	外圍器情報	109
21.1.	6ST1	109
21.2.	8MA4	109
22.	障害情報	110
23.	データシート改訂履歴	111
23.1.	改訂8127A - 2009年4月	111
23.2.	改訂8127B - 2009年8月	111
23.3.	改訂8127C - 2009年10月	111
23.4.	改訂8127D - 2010年2月	111
23.5.	改訂8127E - 2011年11月	112
23.6.	改訂8127F - 2013年2月	112
23.7.	改訂8127G - 2015年9月	112
23.8.	改訂8127H - 2016年11月	112
23.9.	改訂A - 2018年8月	112

1. ピン配置

図1-1. ピン配置



1.1. ピン概要

1.1.1. VCC

電圧供給

1.1.2. GND

接地

1.1.3. PB3~PB0 (ポートB)

ポートBはビット単位で選択される内蔵プルアップ抵抗付きの4ビット双方向入出力ポートです。出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力としてプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートピンには吐き出し電流が流れます。リセット条件が有効になると、例えクロックが動いていなくても、ポートピンはHi-Zにされます。

ポートは38頁で一覧にされるように、ATtiny4/5/9/10の様々な特殊な特徴の機能も扱います。

1.1.4. RESET

リセット入力。リセットピンが禁止されていなければ、例えクロックが走行していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は85頁の表17-4.で与えられます。より短いパルスはリセットの生成が保証されません。

リセットピンは((駆動能力の弱い)入出力ピンとしても使うことができます。

2. 注文情報

デバイス	電源電圧	速度(MHz) (注1)	動作範囲	外囲器 (注2)	注文コード (注3)
ATtiny4	1.8~5.5V	12	工業用 (-40°C~85°C) (注4)	6ST1	ATtiny4-TSHR (注5)
		10	拡張品 (-40°C~125°C) (注6)	8MA4	ATtiny4-MAHR (注6)
ATtiny5	1.8~5.5V	12	工業用 (-40°C~85°C) (注4)	6ST1	ATtiny5-TSHR (注5)
		10	拡張品 (-40°C~125°C) (注6)	8MA4	ATtiny5-MAHR (注6)
ATtiny9	1.8~5.5V	12	工業用 (-40°C~85°C) (注4)	6ST1	ATtiny9-TSHR (注5)
		10	拡張品 (-40°C~125°C) (注6)	8MA4	ATtiny9-MAHR (注6)
ATtiny10	1.8~5.5V	12	工業用 (-40°C~85°C) (注4)	6ST1	ATtiny10-TSHR (注5)
		10	拡張品 (-40°C~125°C) (注6)	8MA4	ATtiny10-MAHR (注6)
		10	拡張品 (-40°C~125°C) (注6)	6ST1	ATtiny10-TS8R (注5)

注1: 速度対電源電圧については85頁の「17.3. 速度」項をご覧ください。

注2: 全ての外囲器は鉛フリー、ハロゲン化合物フリーで完全に安全で、これらは有害物質使用制限に関する欧州指令(RoHS指令)に適合します。

注3: テープとリール。

注4: このデバイスはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のMicrochip営業所へお問い合わせください。

注5: 表側/裏側印は以下のとおりです。

- 表: 各々、T4x, T5x, T9x, T10x、ここでのx=ダイ改訂番号

- 裏: zHzzzまたはz8zzz、ここでのH=(-40°C~85°C)と8=(-40°C~125°C)

注6: このデバイスに関する電気的特性と代表特性についてはwww.microchip.comで追補A:125°CでのATtiny4/5/9/10仕様を調べてください。

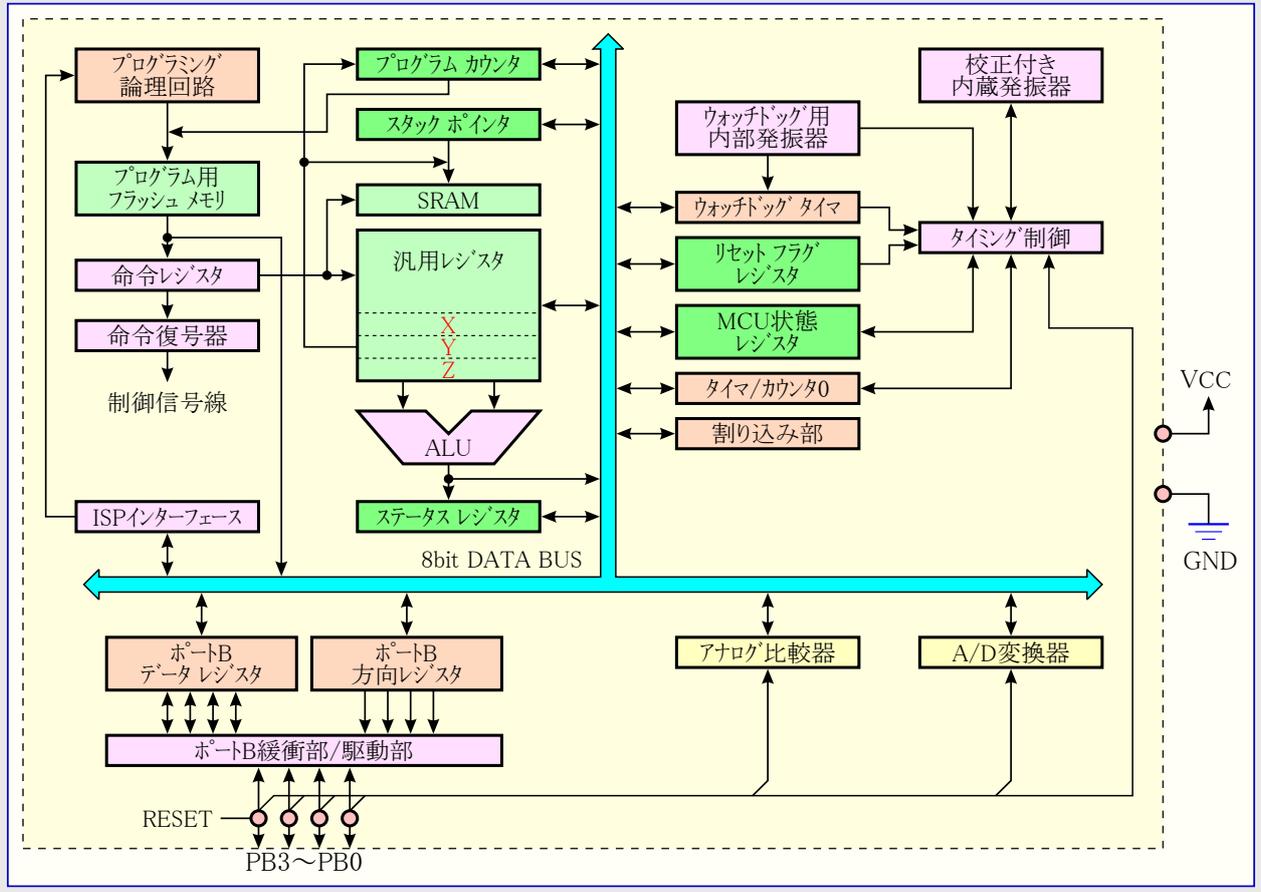
外囲器形式

6ST1	6リード 2.90×1.60mm プラスティック小型外形外囲器 (SOT23)
8MA4	6パッド 2×2×0.6mm プラスティック極薄2列平板リードなし外囲器 (UDFN)

3. 概要

ATtiny4/5/9/10は簡潔なAVR強化RISC構造を基にした低消費CMOS 8ビットマイクロコントローラです。1クロック周期での強力な命令の実行により、ATtiny4/5/9/10はMHzあたり1MIPSに達する処理量を成し遂げ、処理速度対消費電力の最適化を設計者に許します。

図3-1. 構成図



AVRコアは16個の汎用作業レジスタを伴う豊富な命令群とシステムレジスタを結合します。全レジスタはALU(Arithmetic Logic Unit)に直結され、1クロック周期で実行される単一命令でのアクセスを2つの独立したレジスタに許します。その結果としての基本構造は簡潔且つコード効率的で、同時に伝統的なCISC型マイクロコントローラに対して10倍程度までの処理量を達成します。

ATtiny4/5/9/10は512/1024バイトの実装書き込み可能なフラッシュメモリ、32バイトのSRAM、4本の汎用入出力線、16個の汎用作業レジスタ、2つのPWMチャンネルを持つ16ビットタイマ/カウンタ、内部及び外部割り込み、内蔵発振器付きの設定変更可能なウォッチドッグタイマ、校正付き内蔵発振器、ソフトウェアで選択できる4つの低消費動作を提供します。ATtiny5/10には4チャンネルの8ビットA/D変換器も装備されています。

アイドル動作はCPUを停止し、一方SRAM、タイマ/カウンタ、A/D変換器(ATtiny5/10のみ)、アナログ比較器、割り込み機構に機能の継続を許します。A/D変換雑音低減動作はA/D変換器を除く全I/O部とCPUを停止することによってA/D変換中の切り替え雑音を最小にします。パワーダウン動作ではレジスタがそれらの内容を保ち、次の割り込みかハードウェアリセットまで、全てのチップ機能が禁止されます。スタンバイ動作ではデバイスの残りが休止する一方で発振器が走行し、低消費電力と組み合わせられた非常に速い始動を許します。

本デバイスは高密度不揮発性メモリ技術を使って製造されます。チップ上の実装書き換え可能なフラッシュメモリは伝統的な不揮発性メモリ書き込み器による実装書き換えをプログラム用メモリに許します。

ATtiny4/5/9/10 AVRはマクロアセンブラと評価キットを含む完全なプログラム及びシステム開発ツールの1式によって支援されます。

3.1. ATtiny4, ATtiny5, ATtiny9, ATtiny10の比較

デバイスの比較は表3-1.で示されます。

表3-1. ATtiny4, ATtiny5, ATtiny9, ATtiny10間の違い

デバイス名	フラッシュメモリ	A/D変換器	識票
ATtiny4	512バイト	無	\$1E, \$8F, \$0A
ATtiny5	512バイト	有	\$1E, \$8F, \$09
ATtiny9	1Kバイト	無	\$1E, \$90, \$08
ATtiny10	1Kバイト	有	\$1E, \$90, \$03

4. 一般情報

4.1. 資料

包括的なドライバ、応用記述、データシート、及び開発ツールの説明はwww.microchip.comでのダウンロードで利用可能です。

4.2. コード例

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立って、デバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

4.3. 容量性接触感知

QTouchライブラリは殆どのAVRマイクロコントローラでの接触感知インターフェースに対する使い易い解決策を提供します。QTouchライブラリはQTouch®とQMatrix™の採取法に対する支援を含みます。

接触感知はQTouchライブラリをリンクして接触チャンネルと感知器を定義するのに応用プログラミングインターフェース(API)を使うことによってどの応用にも容易に追加することができます。チャンネル情報を取得して接触感知器の状態を判断するために応用はその後に接触感知APIを呼び出します。

QTouchライブラリは無料でウェブサイトからダウンロードすることができます。より多くの情報と実装の詳細についてはウェブサイトからも入手可能な「QTouchライブラリ使用者の手引き」を参照してください。

4.4. データ保持力

信頼性証明結果はデータ保持誤り率の反映を示し、20年以上/85°Cまたは100年以上/25°Cで1PPMよりずっと小さな値です。

5. AVR CPU コア

本項はAVRコア構造を一般的に説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

5.1. 基本構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの16個の8ビット長汎用レジスタを含みます。これは1クロック周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行されてその結果がレジスタファイルに書き戻されます。

16個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用に3つの16ビット長間接アドレスポインタ用レジスタとして使われます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数表参照用アドレスポインタとしても使えます。これら16ビット長付加機能レジスタはX,Y,Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するために、ステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定する能力があります。殆どのAVR命令は単一16ビット語(ワード)形式ですが、32ビット幅の命令も存在します。実際の命令1式はいくつかのデバイスが(全)命令1式の部分だけを実装するよう変わります。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量はSRAM容量とSRAM使用量でのみ制限されます。全てのユーザープログラムはリセット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される4つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(I)ビットがあります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタや他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリはデータ空間位置\$0000~\$003Fとしてアクセスできます。

5.2. ALU (Arithmetic Logic Unit)

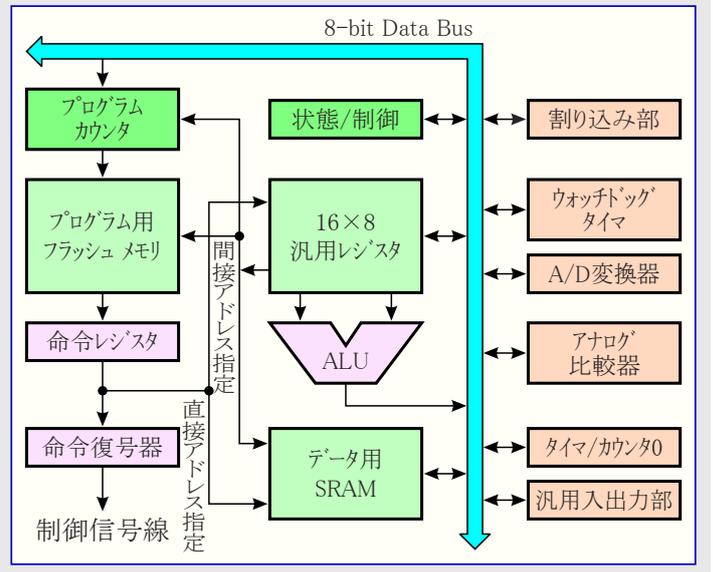
高性能なAVRのALUは16個全ての汎用レジスタに直接接続され動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「AVR命令一式」資料と110頁の「命令要約」章をご覧ください。

5.3. ステータスレジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータスレジスタは「AVR命令一式」資料と107頁の「命令要約」章で詳述されるように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはソフトウェアによって扱われなければなりません。

図5-1. AVR構造構成図



5.4. 汎用レジスタ ファイル

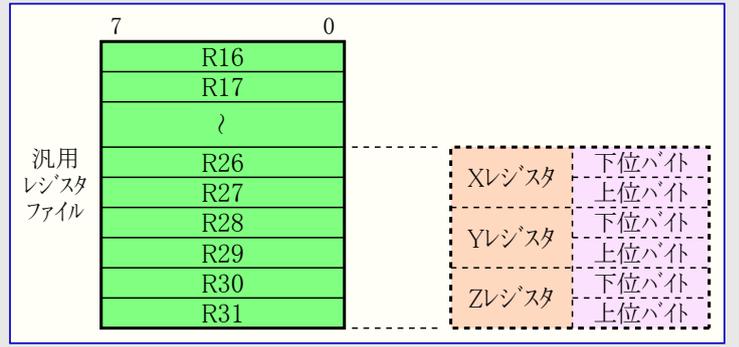
このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

- 1つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 1つの16ビット出力オペラントと1つの16ビットの結果入力

右の図5-2はCPU内の16個の汎用作業レジスタの構造を示します。

注: AVRレジスタ ファイルの代表的な実装は32個の汎用レジスタを含みますが、ATtiny4/5/9/10は16個のレジスタだけを実装します。互換性のため、レジスタはR0～R15ではなく、R16～R31で番号付けされます。

図5-2. AVR CPU 汎用レジスタ構成図



レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一クロック周期命令です。

5.4.1. Xレジスタ, Yレジスタ, Zレジスタ

R26～R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図5-3で記載したように定義されます。

各種アドレス指定動作でこれらのアドレスレジスタは自動増加、自動減少として機能します(詳細については「AVR命令一式」資料と107頁の「命令要約」章をご覧ください)。

図5-3. X,Y,Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

5.5. スタック ポインタ

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使われます。スタック ポインタレジスタは常にこのスタックの先頭(訳注:次に使われるべき位置)を指し示します。スタックは高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックPUSH命令がスタック ポインタを減らすことを意味します。

スタック ポインタはサブルーチンと割り込みのスタックが配置されたデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間は何れかのサブルーチン呼び出しが実行される、または割り込みが許可されるのに先立ってプログラムによって定義されなければなりません。スタック ポインタは\$40以上を指示するように設定されなければなりません。スタック ポインタはデータがPUSH命令でスタックに押し込まれる時に1つ減らされ、サブルーチンや割り込みで戻りアドレスがスタックに押し込まれる時に2つ減らされます。スタック ポインタはPOP命令でデータがスタックから引き出される時に1つ増やされ、サブルーチンからの戻り(RET)または割り込みからの戻り(RETI)でデータがスタックから引き出される時に2つ増やされます。

AVRのスタック ポインタはI/O空間内の2つの8ビットレジスタとして実装されます。実際に使われるビット数は(そのデバイス)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(デバイス)のデータ空間もあることに注意してください。その場合、SPHレジスタは存在しません。

5.6. 命令実行タイミング

本項は命令実行の一般的なアクセスタイミングの概念を記述します。AVR CPUはチップ(デバイス)用に選択したクロック元から直接的に生成したCPUクロック(clkCPU)によって駆動されます。内部クロック分周は使われません。

図5-4はハーバート構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図5-4. 命令の取得と実行の並列動作

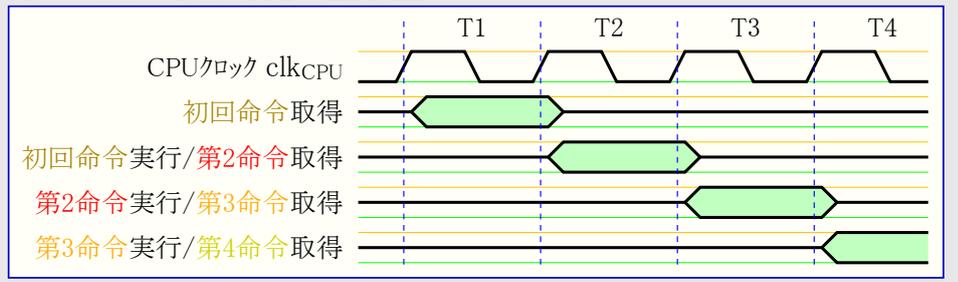
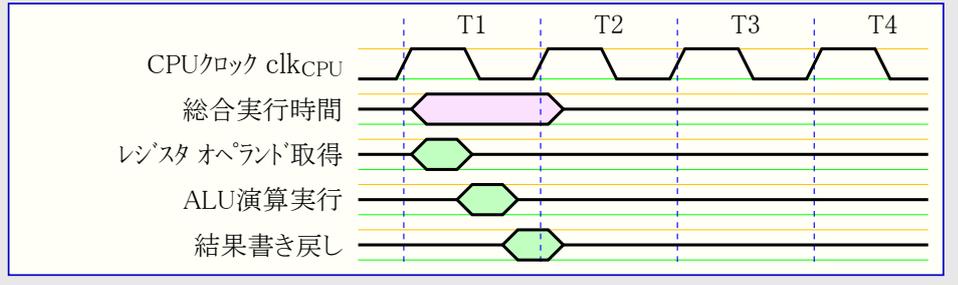


図5-5はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図5-5. 1クロック周期ALU命令



5.7. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセットベクタ各々はプログラムメモリ空間内に独立したプログラムベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。

既定でのプログラムメモリ空間の最下位アドレスはリセットと割り込みのベクタとして定義されます。ベクタの完全な一覧は29頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0(INT0)です。

割り込みが起こると全割り込み許可(I)ビットが解除(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可(I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可(I)ビットは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除(0)します。割り込み要求フラグは解除(0)されるべきフラグのビット位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ビットが解除(0)されている間に割り込み条件が起こると、割り込み要求フラグが設定(1)されて割り込みが許可されるか、またはこのフラグがソフトウェアによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ビットが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定(1)されて全割り込み許可(I)ビットが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われないうことに注意してください。これはソフトウェアによって扱われなければなりません。

割り込みを禁止するCLI命令を使うと、割り込みは直ちに禁止されます。CLI命令と同時に割り込みが起こっても、CLI命令後に割り込みは実行されません。

割り込みを許可するSEI命令を使うと、以下の例で示されるようにどの保留割り込みにも先立ち、SEI命令の次の命令が実行されます。

```

アセンブリ言語プログラム例
SEI ;全割り込み許可
SLEEP ;休止形態動作移行 (移行後に割り込み待ち)
    
```

注: 8頁の「コード例」をご覧ください。

5.7.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対するプログラムベクタアドレスが実行されます。この4クロック周期間にプログラムカウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は2クロック周期(訳注:原文は3(JMP命令=3を想定、実際はRJMP命令=2)要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態動作の時に割り込みが起こると、割り込み実行応答時間は4クロック周期、増やされます。この増加は選択した休止形態動作からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラムカウンタ(PC:2バイト)がスタックから取り戻され(ポップ)、スタックポインタは増加され(+2)、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。

5.8. コア関係レジスタ

5.8.1. CCP – 構成設定変更保護レジスタ (Configuration Change Protection Register)

ビット	7	6	5	4	3	2	1	0	
\$3C	CCP7~0								CCP
Read/Write	W	W	W	W	W	W	W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CCP7~0 : 構成設定変更保護 (Configuration Change Protection)

保護されたI/Oレジスタの内容を変更するため、CCPレジスタは最初に正しい識票を書かれなければなりません。CCPが書かれた後、保護されたI/Oレジスタは次からの4CPU命令周期中に書けます。これらの周期中は全ての割り込みが無視されます。これらの周期後に割り込みはCPUによって自動的に再び取り扱われて、どの保留割り込みもそれらの優先権に従って実行されます。

保護されたI/Oレジスタの識票が書かれると、CCP0は保護機能が許可されている限り1として読めます。CCP7~2は常に0として読めます。

表5-1.は認証に於ける識票を示します。

表5-1. 構成設定変更保護レジスタによって認証される識票

識票	適用群	説明
\$D8	IOREG: CLKMSR, CLKPSR, WDTCSR	保護されたI/Oレジスタ

5.8.2. SPH,SPL (SP) – スタックポインタ (Stack Pointer)

ビット	15	14	13	12	11	10	9	8	
\$3E	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
Read/Write	R	R	R	R	R	R	R	R	
初期値	RAMEND								
ビット	7	6	5	4	3	2	1	0	
\$3D	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	RAMEND								

5.8.3. SREG – ステータス レジスタ (Status Register)

ビット	7	6	5	4	3	2	1	0	
\$3F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

● ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

割り込みが許可されるには全割り込み許可ビットが設定(1)されなければなりません。その時の個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。ビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するため、**RETI**命令によって設定(1)されます。Iビットは「AVR命令一式」資料と107頁の「命令要約」章で記述されるように**SEI**や**CLI**命令で応用(プログラム)によって設定(1)や解除(0)もできます。

● ビット6 – T: ビット変数 (Bit Copy Storage)

ビット複写命令、**BLD**(Bit LoaD)と**BST**(Bit STore)は操作したビットの転送元または転送先として、このTビットを使います。レジスタファイルのレジスタからのビットは**BST**命令によってTに複写でき、Tのビットは**BLD**命令によってレジスタファイルのレジスタ内のビットに複写できます。

● ビット5 – H: ハーフキャリー フラグ* (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「AVR命令一式」資料と107頁の「命令要約」章をご覧ください。

● ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については、「AVR命令一式」資料と107頁の「命令要約」章をご覧ください。

● ビット3 – V: 2の補数溢れフラグ* (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「AVR命令一式」資料と107頁の「命令要約」章をご覧ください。

● ビット2 – N: 負フラグ* (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「AVR命令一式」資料と107頁の「命令要約」章をご覧ください。

● ビット1 – Z: ゼロフラグ* (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「AVR命令一式」資料と107頁の「命令要約」章をご覧ください。

● ビット0 – C: キャリー フラグ* (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(またはホロー)を示します。詳細情報については「AVR命令一式」資料と107頁の「命令要約」章をご覧ください。

6. メモリ

本章項はATtiny4/5/9/10の各種メモリを記述します。デバイスはプログラムメモリ空間とデータメモリ空間の2つの主なメモリ空間を持ちます。

6.1. 実装書き換え可能なプログラム用フラッシュメモリ

ATtiny4/5/9/10はプログラム保存用に実装書き換え可能な512/1024バイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは256/512×16ビットとして構成されます。

フラッシュメモリは最低10,000回の消去/書き込み周回の耐久性があります。ATtiny4/5/9/10のプログラムカウンタ(PC)は8/9ビット幅、従って\$0000から始まる256/512プログラムメモリ位置をアドレス指定する能力があります。78頁の「メモリプログラミング」はフラッシュメモリの(TPI)直列プログラミングの詳細な記述を含みます。

定数表は全てのプログラムメモリアドレス空間に配置することができます。プログラムメモリが直接アクセスできないため、これはデータメモリに割り当てられています。割り当てられたプログラムメモリはデータメモリのバイトアドレス\$4000から始まります(図6-1.をご覧ください)。

プログラム用フラッシュメモリへの内部的な書き込みは禁止され、従ってプログラムメモリはファームウェアに対して読み込み専用として見えます。フラッシュメモリは未だ外部的に書けますが、プログラム用メモリ空間に対する内部的な書き込み操作は成功しません。

命令の取得と実行のタイミング図は10頁の「命令実行タイミング」で示されます。

6.2. データメモリ

データメモリはI/Oメモリ、内部SRAM、不揮発性メモリ(NVM)施錠ビット、フラッシュメモリを含みます。ATtiny4/5/9/10のメモリ空間がどう構成されるかの図解については図6-1.をご覧ください。

最初の64位置はI/Oメモリ用に予約され、同時に後続する32データメモリ位置はデータ用内部SRAMをアドレス指定します。

不揮発性メモリ施錠ビットと全てのフラッシュメモリ領域がデータメモリ空間に割り当てられています。これらの位置はデバイスのファームウェアに関して読み込み専用として見えます。

データメモリ用の4つの異なるアドレス指定形態は、直接、間接、事前減少付き間接、事後増加付き間接です。レジスタファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタとして機能します。

INとOUTの命令はI/Oメモリの64位置全てをアクセスできます。LDSとSTSの命令を用いる直接アドレス指定は\$0040～\$00BF間の128位置に届きます。

間接アドレス指定はデータ空間全体に届きます。自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われた)X,Y,Zアドレスレジスタが減少(-1)または増加(+1)されます。

図6-1. データメモリ配置図(バイトアドレス)

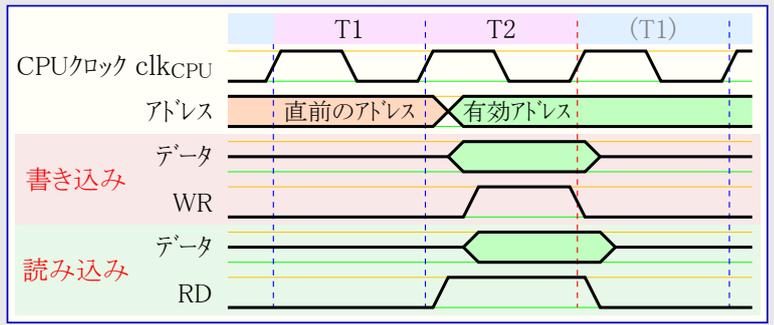
I/O空間	\$0000～\$003F
SRAMデータメモリ	\$0040～\$005F
(予約)	\$0060～\$3EFF
NVM施錠ビット	\$3F00～\$3F01
(予約)	\$3F02～\$3F3F
構成設定ビット	\$3F40～\$3F41
(予約)	\$3F42～\$3F7F
校正ビット	\$3F80～\$3F81
(予約)	\$3F82～\$3FBF
デバイス識別ビット	\$3FC0～\$3FC3
(予約)	\$3FC4～\$3FFF
プログラム用フラッシュメモリ	\$4000～\$41FF/\$43FF
(予約)	\$4400～\$FFFF

6.2.1. データメモリアクセスタイミング

本項は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図6-2.で記載されるように2clk_{CPU}周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図6-2. データ用内蔵SRAMアクセス周期



6.3. I/Oメモリ (レジスタ)

ATtiny4/5/9/10のI/O空間定義は106頁の「レジスタ要約」で示されます。

ATtiny4/5/9/10の全てのI/Oと周辺機能はI/O空間に置かれます。全てのI/O位置はLDとSTの命令を使ってアクセスすることができ、I/O空間と16個の汎用作業レジスタ間のデータ転送を許します。アドレス範囲\$00～\$1F内のI/OレジスタはSBI命令とCBI命令を使って直接的にビットアクセスが可能です。これらのレジスタではSBISとSBICの命令を使うことによって単一ビット値を検査することができます。より多くの詳細については「AVR命令一式」資料と107頁の「命令要約」章をご覧ください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。

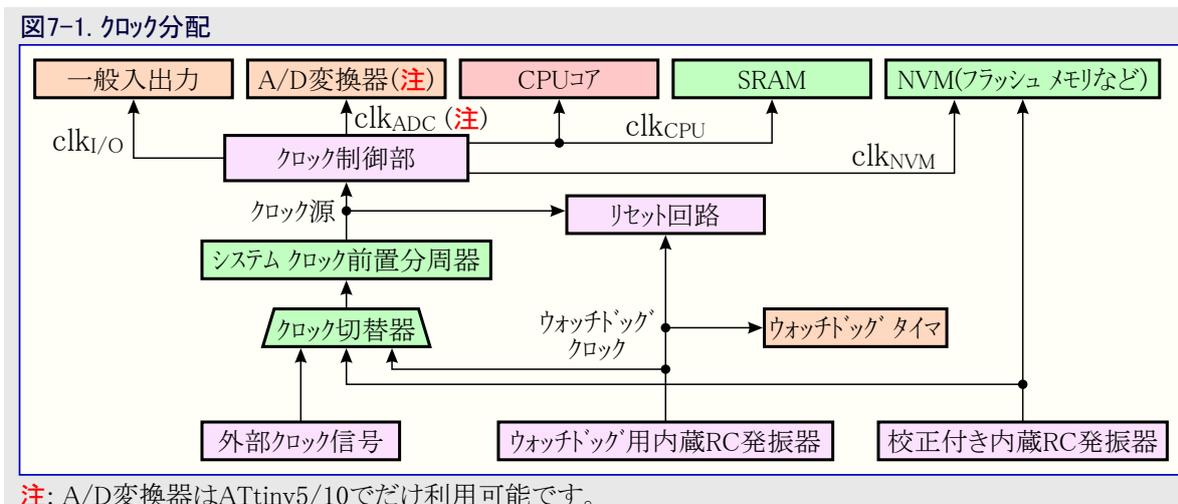
将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリアドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに注意してください。CBIとSBI命令はI/Oアドレス範囲\$00～\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

7. クロック体系

図7-1はATtiny4/5/9/10に於ける主要なクロック系統とその配給を表します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、21頁の「電力管理と休止形態動作」章で記述される各種休止形態動作と電力削減レジスタビットを使うことにより、使われていない部分のクロックを停止できます。クロック体系は下で詳述されます。



7.1. クロック副系統

クロック副系統は下の項で詳述されます。

7.1.1. CPU クロック - clk_{CPU}

CPUクロックはAVRコアの動作と関係する系統部分に配給されます。このような部分の例はシステムレジスタとデータ用SRAMメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

7.1.2. I/O クロック - $clk_{I/O}$

I/Oクロックはタイマ/カウンタのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えばI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。

7.1.3. NVMクロック - clk_{NVM}

NVMクロックは不揮発性メモリ(NVM)制御部の動作を制御します。NVMクロックは通常CPUクロックと同時に活動します。

7.1.4. A/D変換クロック - clk_{ADC}

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

A/D変換器(ADC)はATtiny5/10でだけ利用可能です。

7.2. クロック元

全ての同期クロック信号は主クロックから配給されます。デバイスは次のような3つの主クロック用切り替え供給元を持ちます。

- 校正付き8MHz内蔵発振器 (16頁をご覧ください。)
- 外部クロック信号 (17頁をご覧ください。)
- 128kHz内部発振器 (17頁をご覧ください。)

活動するクロック元を選択して変更する方法については19頁の表7-3をご覧ください。

7.2.1. 校正付き8MHz内蔵発振器

校正された内蔵RC発振器は概ね8MHzのクロック信号を提供します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については85頁の表17-2、101頁の図18-39と図18-40をご覧ください。

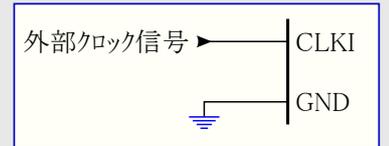
このクロックはクロック主設定レジスタ(CLKMSR)のクロック主選択(CLKMS)ビットを00に設定することによって主クロックとして選択できます。一旦許可されると、発振器は外部部品なしで動作します。リセット中、ハードウェアが発振校正(OSCCAL)レジスタに校正値ビットを設定し、これによって発振器を自動的に校正します。この校正の精度は85頁の表17-2で工場校正として示されます。

この発振器が主クロックとして使われる時に未だウォッチドッグ発振器がウォッチドッグタイマとリセット時間経過に使われます。予め設定された校正値のより多くの情報については80頁の「校正領域」をご覧ください。

7.2.2. 外部クロック信号

外部クロック元でデバイスを使うには、CLKIが図7-2.で示されるように駆動されるべきです。外部クロックはクロック主設定レジスタ(CLKMSR)のクロック主選択(CLKMS)ビットを10に設定することによって主クロックとして選ばれます。

図7-2. 外部クロック駆動形態設定



外部クロックを印加する時にMCUの安定な動作を保証するため、印加したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。クロック周波数での変更のような間、MCUはリセットに保たれるのを保証することが必要とされます。

7.2.3. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを提供する低電力発振器です。周波数は供給電圧、温度、一群の変量に依存します。このクロックはクロック主設定レジスタ(CLKMSR)のクロック主選択(CLKMS)ビットを01に設定することによって主クロックとして選択することができます。

7.2.4. クロック元切り替え

主クロック元は19ページの「CLKMSR – クロック主設定レジスタ」を使って走行時に切り替えることができます。どのクロック元を切り替える時にもクロックシステムは主クロックに異常が起きないことを保証します。

7.2.5. 既定のクロック元

デバイスが電源投入またはリセットされる時に、主クロックとして常に校正付き8MHz内蔵発振器が選択されます。同期システムクロックはシステムクロック前置分周器によって8分周に制御された主クロックです。クロック前置分周レジスタ(CLKPSR)の前置分周選択(CLKPS)ビットは後でシステムクロック周波数を変更するために書くことができます。次の「システムクロック前置分周器」項をご覧ください。

7.3. システムクロック前置分周器

システムクロックはシステムクロック前置分周器経由で主クロックから配給されます。システムクロックは20ページの「CLKPSR – クロック前置分周レジスタ」を設定することによって分周できます。システムクロック前置分周器は処理能力に対する必要条件が低い時の消費電力低減、またはシステムクロックを最大周波数の制限内に持って来るのに使うことができます。前置分周器は全ての主クロック元任意選択で使うことができ、CPUと全ての同期周辺機能のクロック周波数に影響を及ぼします。

システムクロック前置分周器は未だ安定動作を保証すると同時に内部クロック周波数の走行時変更の実行に使うことができます。

7.3.1. 切り替え時間

前置分周器設定を切り替える時に、システムクロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、システムクロックで異常が起きないことを保証します。

前置分周器として実行するリップルカウンタは主クロックの周波数で動き、それはCPUのクロック周波数よりも速いかもかもしれません。従って例えば(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。

CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前に $T1+T2 \sim T1+2 \times T2$ 間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

7.4. 始動

7.4.1. リセットからの始動

リセット元が活性(有効)になる時に内部リセットは直ちに有効設定にされます。内部リセットはリセット下が開放されて始動手順が完了されるまで有効設定にされ続けます。始動手順は次のような3つの段階を含みます。

1. リセット元が開放された後の最初の段階はリセット始動時間を計数するデバイスから成ります。このリセット始動時間の目的は供給電圧が十分な水準に達するのを保証することです。リセット始動時間は128kHz内部発振器を使って計数されます。リセット始動時間の詳細については表7-1.をご覧ください。
実際の供給電圧は始動回路によって監視されません。例えばデバイスが早くに十分な供給電圧水準へ達したとしても、デバイスはリセット始動時間まで計数することに注意してください。
2. 2つ目の段階は発振器始動時間を計数することで、これは校正付き内蔵発振器がシステムの他の部分によって使われる前にそれが安定状態に達することを保証します。校正付き内蔵発振器はそれが安定と見做され得る前に最低周期数の発振が必要です。発振器始動時間の詳細については表7-1.をご覧ください。
3. 内部リセットを開放する前の最後段階はデバイスを正しく構成設定するために不揮発性メモリから校正値と構成設定値を設定することです。構成設定時間は表7-1.で一覧にされます。

表7-1. 校正付き内蔵発振器使用時の始動時間

リセット	発振器	構成設定	総始動時間
64ms	6周期	21周期	64ms+6発振器周期+21システムクロック周期 (注)

注: デバイスの電源投入後またはリセット後のシステムクロックは自動的に8分周された校正付き8MHz内蔵発振器に設定されます。

7.4.2. パワーダウン動作からの始動

パワーダウン休止動作からの起動時、供給電圧は十分な水準であると仮定され、発振器の安定動作を保証するために発振器始動時間だけが計数されます。発振器始動時間は選択されている主クロックで計数され、始動時間はその選択されたクロックに依存します。詳細については表7-2をご覧ください。

表7-2. パワーダウン休止動作からの始動時間

発振器始動時間	総始動時間
6周期	6発振器周期 (注)

注: 始動時間は主クロック発振器周期で測定されます。

7.4.3. アイドル,A/D変換雑音低減,スタンバイ動作からの始動

アイドル、A/D変換雑音低減、スタンバイ動作からの起動時、発振器は既に動いており、発振器始動時間は全く持ち込まれません。A/D変換器(ADC)はATtiny5/10でだけ利用可能です。

7.5. クロック関係レジスタ

7.5.1. CLKMSR – クロック主設定レジスタ (Clock Main Settings Register)

ビット	7	6	5	4	3	2	1	0	
\$37	-	-	-	-	-	-	CLKMS1	CLKMS0	CLKMSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~2 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

● **ビット1,0 – CLKMS1,0 : クロック主選択 (Clock Main Select Bits)**

これらのビットはシステムの主クロック元を選びます。このビットは主クロックの供給元を切り替えるために走行時に書くことができます。クロックシステムは不具合なしでの主クロック元切り替えを保証します。

主クロック切り替えは表7-3.で示されます。

主クロック元の予期せぬ切り替えを避けるため、CLKMSビットを変更するには次のような保護された変更手順に従わなければなりません。

1. 保護されたI/Oレジスタの変更許可の識票を**構成設定変更保護 (CCP)レジスタ**に書いてください。
2. 4命令周期内に望む値でCLKMSビットを書いてください。

表7-3. 主クロックの選択

CLKMS1	CLKMS0	主クロック元
0	0	校正付き8MHz内蔵発振器
0	1	128kHz内部発振器(WDT発振器)
1	0	外部クロック信号
1	1	(予約)

7.5.2. OSCCAL – 発振校正レジスタ (Oscillator Calibration Register)

ビット	7	6	5	4	3	2	1	0	
\$39	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正值								

● **ビット7~0 – CAL7~0 : 発振校正值 (Oscillator Calibration Value)**

発振校正レジスタは内蔵発振器の調整に使われ、発振器周波数の偏差処理を省きます。チップのリセット中に予めプログラムされた値が自動的にこのレジスタへ書かれ、85頁の「表17-2. 校正付き内蔵RC発振器の校正精度」で指定されるように工場校正された周波数を与えます。

応用ソフトウェアは周波数を変更するために、このレジスタに書くことができます。この発振器は85頁の「表17-2. 校正付き内蔵RC発振器の校正精度」の表で指定されるように周波数を校正することができます。この範囲外への校正は保証されません。

CAL7~0ビットは発振器の周波数を調整するのに使われます。\$00の設定は最低周波数を生じ、\$FFの設定は最高周波数を与えます。

7.5.3. CLKPSR – クロック前置分周レジスタ (Clock Prescale Register)

ビット	7	6	5	4	3	2	1	0	
\$36	–	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	1	1	

● ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

● ビット3~0 – CLKPS3~0 : クロック分周値選択 (Clock Prescaler Select Bits 3~0)

これらのビットは選択したクロック元と内部システム クロック間の分周係数を定義します。これらのビットはクロック周波数を変えて応用の必要条件に合わせるため、走行時に書くことができます。前置分周器はMCUへの主クロック入力を分周するため、これによって全ての同期周辺機能の速度が減じられます。分周係数は表7-4. で与えられます。

表7-4. クロック前置分周器選択 (注:既定値)

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周係数(数)	1	2	4	8(注)	16	32	64	128	256	(予約)						

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更するには保護された変更手順に従わなければなりません。

1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
2. (次からの)4命令周期内に望む値でCLKPSビットを書いてください。

始動でクロック分周係数8を選択するためにCLKPSビットは0011にリセットされます。応用ソフトウェアは選択したクロック元が現在の動作条件に於いてデバイスの最大周波数よりも高い周波数を持つ場合に、十分な分周係数が使われるのを保証しなければなりません。書き込み手続きが割り込まれないことを保証するため、前置分周器設定変更時に割り込みは禁止されなければなりません(訳注:本行の記述はCCP書き込みによって自動的に割り込みが禁止されるため不適切です。消し忘れと思われます)。

8. 電力管理と休止形態動作

高機能と産業的に先行するコード効率率は低電力の応用に対してAVRマイクロコントローラを理想的に選択させます。加えて休止形態動作は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態動作を提供します。

8.1. 休止形態動作種別

16頁の図7-1.はATtiny4/5/9/10の各種クロック系統とその配給を示します。この図は適切な休止形態動作選択で役立ちます。表8-1.は各種休止形態動作とそれらの起動元を示します。

表8-1. 各休止形態動作に於ける動作クロック範囲と復帰起動元

休止形態種別	動作クロック範囲				発振器動作	復帰起動元 (割り込み)				
	clk CPU	clk NVM	clk IO	clk ADC (注)	主クロック供給元	INT0ピン変化	A/D変換完了 (注)	その他I/O	ウォッチドッグ	VCCレベル監視 (VLM)
アイドル			○	○	○	○	○	○	○	○
A/D変換雑音低減				○	○	①	○		○	○
スタンバイ					○	①			○	
パワーダウン						①			○	

注: A/D変換器はATtiny5/10でだけ利用可能です。

① INT0についてはレベル割り込みのみです。

4つの休止形態動作のどれかへ移行するには**休止形態制御レジスタ(SMCR)**の**休止許可(SE)**ビットが論理1を書かれ、**SLEEP**命令が実行されなければなりません。SMCRの**休止形態種別選択(SM2~0)**ビットは**SLEEP**命令によってどの休止形態(アイドル、A/D変換雑音低減、スタンバイ、パワーダウン)が活性(有効)にされるのかを選びます。要約については表8-2.をご覧ください。

MCUが休止形態動作中に許可した割り込みが起こると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そして**SLEEP**命令の次の命令から実行を再開します。デバイスが休止状態から起動するとき、レジスタファイルとSRAMの内容は変更されません。休止形態動作中にリセットが起こると、MCUは起動し、リセットベクタから実行します。

レベルで起動した割り込みが起動復帰に使われる場合、MCUを起動(とMCUがその割り込み処理ルーチンへ移行)するには、変更したレベルが一定時間保持されなければならないことに注意してください。詳細については30頁の「外部割り込み」をご覧ください。

8.1.1. アイドル動作

休止形態種別選択(SM2~0)ビットが'000'を書かれると、**SLEEP**命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、A/D変換器、アナログ比較器、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkNVMを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、62頁の「**ACSR - アナログ比較器制御/状態レジスタ**」の**アナログ比較器禁止(ACD)**ビットを設定(1)することにより、アナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら(ATtiny5/10のみ)、この動作に移行すると変換が自動的に始まります。

8.1.2. A/D変換雑音低減動作

SM2~0ビットが'001'を書かれると、**SLEEP**命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態はclkI/O、clkCPU、clkNVMを停止する一方で他のクロックに走行を許します。

この動作形態はA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグシステムリセット、VCCレベル監視(VLM)割り込み、INT0の外部レベル割り込み、ピン変化割り込みだけが、A/D変換雑音低減動作からMCUを起動できます(訳注:本行追加)。

例えATtiny5/10だけがA/D変換器(ADC)を装備されていても、この動作種別は全てのデバイスで利用可能です。

8.1.3. パワーダウン動作

SM2~0ビットが'010'を書かれると、**SLEEP**命令はMCUをパワーダウン動作へ移行させます。この動作では発振器が停止される一方、外部割り込み、ウォッチドッグ機能は(許可されていれば)継続して動作します。ウォッチドッグリセット、INT0の外部レベル割り込み、ピン変化割り込みだけがMCUを起動できます。この休止形態は生成した全てのクロックを停止し、非同期部の動作だけを許します。

8.1.4. スタンバイ動作

SM2~0ビットが'100'を書かれると、**SLEEP**命令はMCUをスタンバイ動作へ移行させます。この動作は発振器が走行(動作)を保たれる例外を除いて**パワーダウン動作**と同じです。発振器が既に走行していて始動が必要ないので、これは起動時間を減らします。

8.2. 電力削減レジスタ

電力削減レジスタ(PRR、23頁の「[PRR – 電力削減レジスタ](#)」をご覧ください。)は個別周辺機能へのクロックを停止することによって消費電力を削減するための方法を提供します。周辺機能へのクロックが停止されると、以下のようになります。

- 周辺機能の現在の状態が固定化されます。
- 関連するレジスタは読み書きすることができません。
- 周辺機能によって使われる資源は専有されたままに留まります。

周辺機能は殆どの場合に於いてクロックを停止する前に禁止されるべきです。電力削減レジスタ(PRR)のビットを解除(0)することが周辺機能部を起し、停止前と同じ状態にします。

周辺機能の停止は全体に亘る重要な消費電力の削減のために活動動作とアイドル動作で使えます。例については88頁の「[周辺機能部供給電流](#)」をご覧ください。その他の休止形態動作ではクロックが予め停止されます。

8.3. 消費電力の最小化

これらはAVRコアが制御するシステムで消費電力の最小化を試みる時に考慮するための様々な問題です。一般的に休止形態動作は可能な限り多く使用されるべきで、休止形態種別は動作するデバイスの機能が可能な限り少なくなるように選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

8.3.1. アナログ比較器

アイドル動作またはA/D変換雑音削減動作へ移行するとき、アナログ比較器は使われないなら、禁止されるべきです。その他の休止形態動作でのアナログ比較器は自動的に禁止されます。更なる詳細については62頁の「[アナログ比較器](#)」をご覧ください。

8.3.2. A/D変換器 (ADC)

許可したなら、A/D変換器は全ての休止形態動作で許可されます。節電するため、休止形態動作の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については64頁の「[A/D変換器](#)」をご覧ください。

A/D変換器(ADC)はATtiny5/10でだけ利用可能です。

8.3.3. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFされるべきです。ウォッチドッグ タイマが許可されていると全休止形態動作で許可され、故に常時電力を消費します。これはより深い休止形態動作での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については26頁の「[ウォッチドッグ タイマ](#)」を参照してください。

8.3.4. ポートピン

休止形態動作へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック($clk_{I/O}$)が停止される休止形態動作ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については35頁の「[デジタル入力許可と休止形態動作](#)」項を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は活動動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ0(DIDR0)の書き込みによって禁止できます。詳細については70頁の「[DIDR0 – デジタル入力禁止レジスタ0](#)」をご覧ください。

8.4. 電力管理用レジスタ

8.4.1. SMCR – 休止形態制御レジスタ (Sleep Mode Control Register)

SMCR制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$3A	–	–	–	–	SM2	SM1	SM0	SE	SMCR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~4 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読みます。

● **ビット3~1 – SM2~0 : 休止形態種別選択 (Sleep Mode Select Bit 2, 1 and 0)**

これらのビットは表8-2.で示される利用可能な休止形態動作を選択します。

表8-2. 休止形態動作種別選択

SM2	SM1	SM0	休止形態動作種別
0	0	0	アイドル動作
0	0	1	A/D変換雑音低減動作 (注)
0	1	0	パワーダウン動作
0	1	1	(予約)
1	0	0	スタンバイ動作
1	0	1	(予約)
1	1	0	(予約)
1	1	1	(予約)

注: 例えATtiny5/10だけがA/D変換器(ADC)を装備されていても、この動作種別は全てのデバイスで利用可能です。

● **ビット0 – SE : 休止許可 (Sleep Enable)**

SLEEP命令が実行される時にMCUを休止形態動作へ移行させるには、休止許可(SE)ビットが論理1を書かれなければなりません。MCUの目的外休止形態動作移行を避けるため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)し、起動後直ちに解除(0)することが推奨されます。

8.4.2. PRR – 電力削減レジスタ (Power Reduction Register)

ビット	7	6	5	4	3	2	1	0	
\$35	–	–	–	–	–	–	PRADC	PRTIM0	PRR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~2 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読みます。

● **ビット1 – PRADC : A/D変換器電力削減 (Power Reduction ADC)**

このビットへの1書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。ADCが停止されている時にアナログ比較器はADC入力多重器(MUX)を使えません。

A/D変換器(ADC)はATtiny5/10でだけ利用可能です。

● **ビット0 – PRTIM0 : タイマ/カウンタ0電力削減 (Power Reduction Timer/Counter0)**

このビットへの1書き込みはタイマ/カウンタ0部を停止します。タイマ/カウンタ0が許可されると、停止前と同様に動作は続きます。

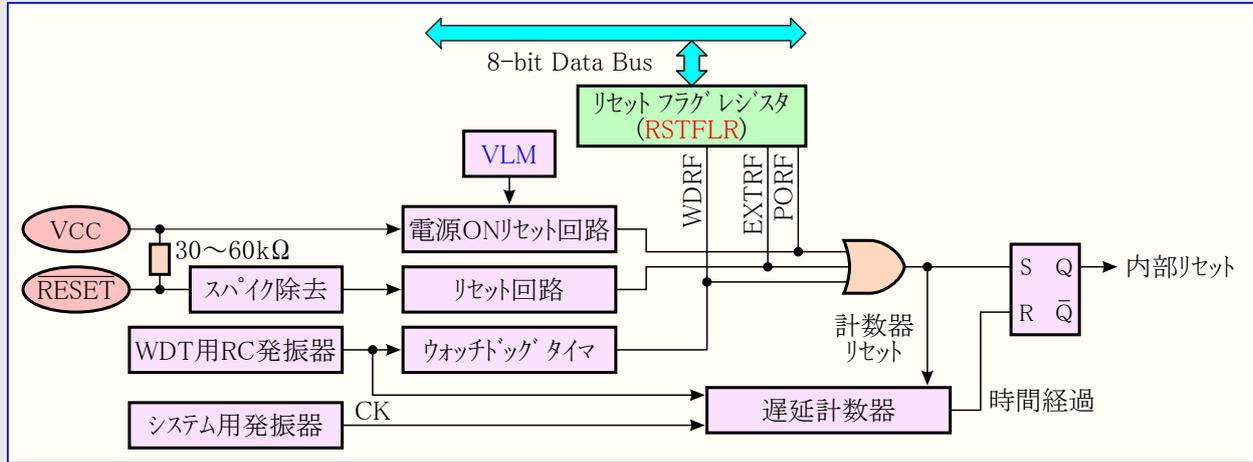
注: アナログ比較器は「ACSR – アナログ比較器制御/状態レジスタ」のアナログ比較器禁止(ACD)ビットを使うことで禁止されます。(訳注: 共通性から本注追加)

9. システム制御とリセット

9.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きっとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードが配置できます。図9-1の回路構成図はリセット論理回路を示します。リセット回路の電气的特性は85頁の「システムとリセットの特性」項で定義されます。

図9-1. リセット回路構成



AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。始動手順は17頁の「リセットからの始動」で記述されます。

9.2. リセット元

ATtiny4/5/9/10は次の4つのリセット元を持ちます。

- **電源ONリセット** 供給電圧が電源ONリセット閾値電圧(V_{POA})以下でMCUがリセットされます。
- **VCCレベル監視(VLM)リセット** ... VCCピンの電圧が選択した起動レベル以下の時にMCUがリセットされます。
- **外部リセット** RESETピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- **ウォッチドッグシステムリセット** ウォッチドッグシステムリセット動作が許可され、ウォッチドッグタイマが終了すると、MCUがリセットされます。

9.2.1. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は85頁の「システムとリセットの特性」項で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧(V_{POR})への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図9-2. 内蔵電源ONリセット (RESETはVCCに接続)

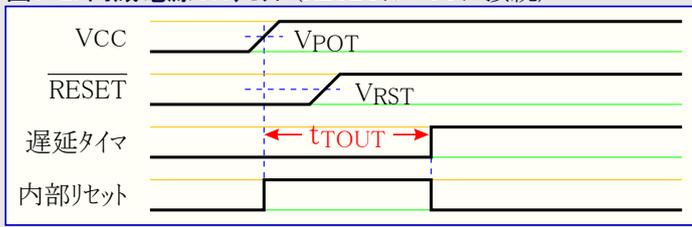
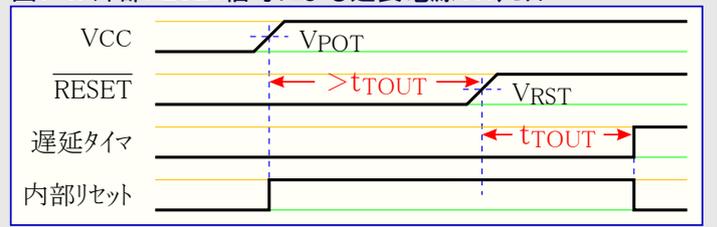


図9-3. 外部RESET信号による延長電源ONリセット



9.2.2. VCCレベル監視

ATtiny4/5/9/10は固定の起動レベルに対してVCCピンの電圧レベルを比較するVCCレベル監視(VLM)回路を持ちます。起動レベルは**電圧レベル監視器起動レベル(VLM2~0)ビット**で設定されます。28頁の「**VLMCSR – VCCレベル監視制御/状態レジスタ**」をご覧ください。

VLM回路はVCCピンの電圧が選択した起動レベル以下かどうかを示す**状態フラグ(VLMF)**を提供します。このフラグはVLMCSRから読むことができますが、VLMF状態フラグが設定(1)された時に割り込みを生成することも可能です。この割り込みはVLMCSRレジスタの**VLM割り込み許可(VLMIE)ビット**によって許可されます。状態フラグは起動レベルを変更すること、またはそれに0を書くことによって解除(0)することができます。このフラグはVCCピンの電圧が選択した起動レベル以上に上がって戻るときに自動で解除(0)されます。

VLMは供給低下でのリセット特性を改善するのにも使うことができます。VLMなしでの電源ONリセット(POR)はMCUが必ずしももう機能的でないレベルへ供給電圧が落ちる前に活動しません。VLMではより早いリセットを生成することが可能です。

活動(有効)時、VLM回路は104頁の**図18-48**で図解されるように、或る程度の電力を消費します。節電のため、VLM回路は完全にOFF、または一定間隔でONとOFFを切り替えることができます。けれども、検出には或る程度の時間がかかり、従って安定な合図のために十分な長さで回路を許可することが推奨されます。86頁の「**VCCレベル監視器**」をご覧ください。

VLMが活性(有効)でVCCピンの電圧が選択した起動レベル以上の時が標準として動作で、VLMは短時間の間、停止することができます。VCCピンの電圧が選択した閾値以下に落ちた場合、VLMは構成設定に依存して割り込みで合図するか、またはリセットを生成するかのどちらかです。

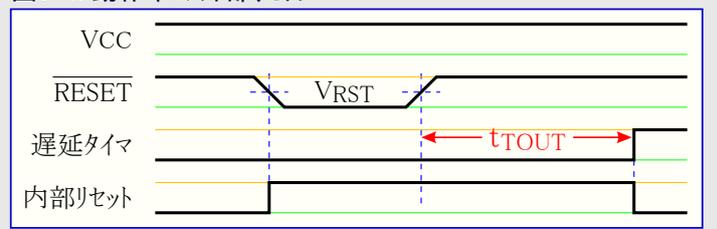
VLMが低供給電圧でのリセット生成に構成設定されると、VCCがそのリセットレベル以下である限り、デバイスはリセットを保ちます。リセットレベル詳細については28頁の**表9-4**をご覧ください。供給電圧がリセットレベル以上に上昇した場合、その(リセット)条件が取り払われ、MCUはリセットを出て**電源投入始動手順**を始めます。

供給電圧がPORを起動するのに足るまで落ちた場合、供給電圧が回復された後で**電源ONリセットフラグ(PORF)**が設定(1)されます。

9.2.3. 外部リセット

許可されていれば外部リセットはRESETピンのLowレベルによって生成されます。クロックが動いていなくても、最小パルス幅(85頁の「**システムとリセットの特性**」項をご覧ください。)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の上昇が**リセット閾値電圧(VRST)**に達すると(遅延タイマを起動し)、遅延タイマは**遅延時間(t_{TOUT})**経過後にMCUを始動します。外部リセットは電源ON始動計数の間、無視されます。電源ONリセット後、最初の電源ON遅延計数完了時にRESETピンがLowの場合にだけ内部リセットが延長されます。24頁の**図9-2**と**図9-3**をご覧ください。外部リセットは**RSTDISBLピンス**によって禁止することができます(**訳注**:共通性から本行追加)。

図9-4. 動作中の外部リセット

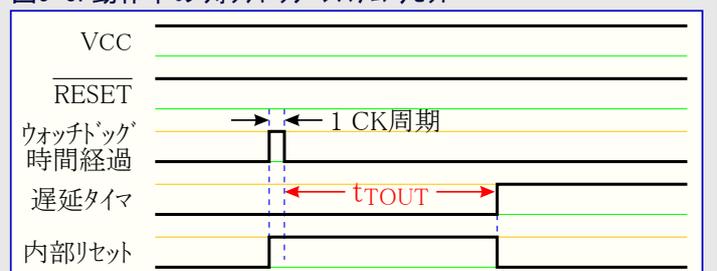


(訳注:共通性から本行追加)

9.2.4. ウォッチドッグ システム リセット

ウォッチドッグ時間経過時、(内部的に)1CK周期幅の短いリセットパルスを生成します。遅延タイマはこのパルスの下降端で遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグタイマの操作の詳細については26頁の「**ウォッチドッグ タイマ**」を、リセット保持時間の詳細については85頁の**表17-4**をご覧ください。

図9-5. 動作中のウォッチドッグ システム リセット



9.3. ウォッチドッグ タイマ

ウォッチドッグ タイマは128kHzで走行するチップ上の発振器からクロック駆動されます。図9-6をご覧ください。ウォッチドッグ タイマ前置分周器を制御することにより、ウォッチドッグ リセット間隔は表9-3.で示されるように調整することができます。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。ウォッチドッグ タイマはそれが禁止される時とデバイスリセットが起きる時にもリセットされます。リセット期間を決めるために10種クロック周期期間を選ぶことができます。他のウォッチドッグ リセットなしにリセット期間が経過した場合、ATtiny4/5/9/10はリセットしてリセットヘクタから実行します。ウォッチドッグ リセットのタイミング詳細については27頁の表9-3.をご覧ください。

ウォッチドッグ タイマはリセットの代わりに割り込みを生成する設定にもできます。これは「パワーダウン動作」から起動するのにウォッチドッグを使う時に大変有用となり得ます。

表9-1.で示されるように予期せぬウォッチドッグ禁止や予期せぬ計時終了周期変更を防ぐため、WDTON構成設定ビットによって2つの異なる安全レベルが選択されます。詳細については次の「ウォッチドッグ タイマ構成設定変更手順」をご覧ください。

図9-6. ウォッチドッグ タイマ構成図 (訳注:内容に合せ修正)

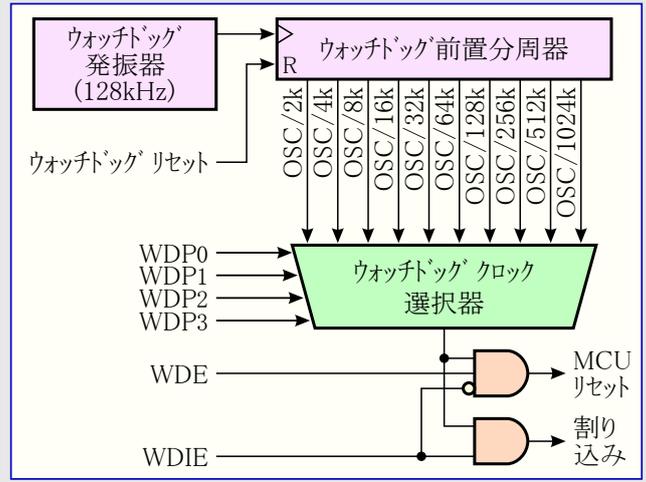


表9-1. WDTON構成設定ビットの設定によるウォッチドッグ機能設定

WDTON構成設定ビット	安全レベル	WDT初期状態	WDT禁止方法	計時完了時間変更方法
非プログラム(1)	1	禁止	保護された変更手順	なし(常時可)
プログラム(0)	2	許可	なし(常時許可)	保護された変更手順

9.3.1. ウォッチドッグ タイマ構成設定変更手順

ウォッチドッグ構成設定変更手順は安全レベル間で異なります。

9.3.1.1. 安全レベル1

この動作種別ではウォッチドッグ タイマが初めに禁止されますが、どんな制限もなくウォッチドッグ システム リセット許可(WDE)ビットに1を書くことによって許可できます。許可したウォッチドッグ タイマを禁止する時に特別な手順が必要とされます。許可したウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
2. (次からの)4命令周期内に同じ操作(命令)で欲したWDEとウォッチドッグ タイマ前置分周選択(WDP3~0)ビットを書いてください。

9.3.1.2. 安全レベル2

この動作種別ではウォッチドッグ タイマが常に許可され、WDEビットは常に1として読めます。ウォッチドッグ計時完了周期を変更する時に保護された変更が必要とされます。ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
2. (次からの)4命令周期内に同じ操作(命令)でWDP2~0ビットを書いてください。WDEビットに書かれた値は無関係です。

9.3.2. コード例

次のコード例はウォッチドッグ(WDT)をOFFに切り替える方法を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故この関数実行中に割り込みが起きない前提です。

```

アセンブリ言語プログラム例
WDT_OFF:      WDR                ;ウォッチドッグ タイマリセット
              IN      R16, RSTFLR    ;現RSTFLR値を取得
              ANDI   R16, ~(1<<WDRF) ;WDRFビットのみ0値を取得
              OUT    RSTFLR, R16     ;RSTFLRのWDRFを解除(0)
              LDI   R16, $D8         ;変更許可識票値を取得
              OUT    CCP, R16       ;構成設定変更許可手順開始
              LDI   R16, (0<<WDE)   ;WDE論理0値を取得
              OUT    WDTCSR, R16    ;ウォッチドッグ禁止
              RET                    ;呼び出し元へ復帰
    
```

注: 8頁の「コード例」をご覧ください。

9.4. リセット関係レジスタ

9.4.1. WDTCSR – ウォッチドッグ タイマ制御/状態レジスタ (Watchdog Timer Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$31	WDIF	WDIE	WDP3	–	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

● ビット7 – WDIF : ウォッチドッグ割り込み要求フラグ (Watchdog Timer Interrupt Flag)

ウォッチドッグ タイマが割り込みに設定され、ウォッチドッグ タイマで計時完了が起こると、本ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDIFはハードウェアによって解除(0)されます。代わりにWDIFはこのフラグへの論理1書き込みによっても解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(1)ビットとウォッチドッグ割り込み許可(WDIE)が設定(1)されると、ウォッチドッグ計時完了割り込みが実行されます。

● ビット6 – WDIE : ウォッチドッグ割り込み許可 (Watchdog Timer Interrupt Enable)

このビットが1を書かれ、SREGの全割り込み許可(1)ビットが設定(1)されると、ウォッチドッグ割り込みが許可されます。この設定での組み合わせでウォッチドッグシステムリセット許可(WDE)ビットが解除(0)されると、ウォッチドッグ タイマは割り込み動作形態になり、ウォッチドッグ タイマで計時完了が起こると、対応する割り込みが要求されます。

WDEが設定(1)されると、ウォッチドッグ タイマは割り込み及びシステムリセット動作形態です。ウォッチドッグ タイマでの最初の計時完了がウォッチドッグ割り込み要求(WDIF)フラグを設定(1)します。対応する割り込みベクタの実行はハードウェアによってWDIEとWDIFを自動的に解除(0)します(ウォッチドッグはシステムリセット動作形態になります)。これは割り込みを使うのと同じにウォッチドッグ タイマ保護を維持するのに有用です。割り込み及びシステムリセット動作形態に留まるには、各割り込み後にWDIEが設定(1)されなければなりません。然しながら、これがウォッチドッグシステムリセット動作形態の安全機能を危険に晒すかもしれないため、これは割り込み処理ルーチン自身内で行われるべきではありません。次の計時完了に先立って割り込みが実行されない場合、システムリセットが適用(実行)されます。

表9-2. ウォッチドッグ タイマ構成設定

WDTON	WDE	WDIE	動作種別	計時完了での動作
1	0	0	停止	なし
1	0	1	割り込み	割り込み
1	1	0	システムリセット	リセット
1	1	1	割り込み及びシステムリセット	割り込み、その後システムリセット動作種別
0	x	x	システムリセット	リセット

注: WDTON構成設定ビットは0でプログラム、1で非プログラムに設定です。

● ビット4 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読みます。

● ビット3 – WDE : ウォッチドッグシステムリセット許可 (Watchdog System Reset Enable)

WDEはリセットフラグレジスタ(RSTFLR)のウォッチドッグリセットフラグ(WDRF)によって無効にされます。これはWDRFが設定(1)されると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するにはWDRFが先に解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

● ビット5,2~0 – WDP3~0 : ウォッチドッグタイマ前置分周選択 (Watchdog Timer Prescaler)

このWDP3~0ビットはウォッチドッグタイマが走行する時のウォッチドッグタイマの前置分周を決めます。各種前置分周値と対応する計時完了周期は表9-3.で示されます。

表9-3. ウォッチドッグ前置分周選択

WDP3	0								1							
	0				1				0				1			
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

9.4.2. VLMCSR – VCCLレベル監視制御/状態レジスタ (VCC Monitoring Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$34	VLMF	VLMIE	–	–	–	VLM2	VLM1	VLM0	VLMCSR
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – VLMF : VLMフラグ (VLM Flag)

このビットは電圧レベル条件が起動されたことを示すためにVLM回路によって設定(1)されます(表9-4をご覧ください)。このビットは起動レベル選択が“禁止”に設定された時、またはVCCの電圧が選択した起動レベル以上へ上昇した時に解除(0)されます。

● ビット6 – VLMIE : VLM割り込み許可 (VLM Interrupt Enable)

このビットが設定(1)されると、VLM割り込みが許可されます。VLM割り込みはVLMフラグが設定(1)される時毎に生成されます。

● ビット5~3 – Res : 予約 (Reserved)

これらのビットは予約されています。将来のデバイスとの互換性を保証するため、これらのビットはレジスタが書かれる時に0を書かれなければなりません。

● ビット2~0 – VLM2~0 : 電圧レベル監視器起動レベル (Trigger Level of Voltage Level Monitor)

下の表9-4で記述されるように、これらのビットは電圧レベル監視器に対する起動レベルを設定します。

表9-4. 電圧レベル監視器の起動レベル設定

VLM2~0	ラベル表記	説明
0 0 0	VLM0	電圧レベル監視器禁止
0 0 1	VLM1L	この起動は通常の電源ONリセット(POR)を生成します。
0 1 0	VLM1H	VLMフラグは設定(1)されません。
0 1 1	VLM2	この起動はVLMフラグ(VLMF)を設定(1)し、許可ならばVLM割り込みを生成します。
1 0 0	VLM3	
1 0 1		(使用不可)
1 1 0		
1 1 1		

VLM電圧レベルについては86頁の表17-6をご覧ください。

9.4.3. RSTFLR – リセット フラグ レジスタ (Reset Flag Register)

リセット フラグ レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$3B	–	–	–	–	WDRF	–	EXTRF	PORF	RSTFLR
Read/Write	R	R	R	R	R/W	R	R/W	R/W	
初期値	0	0	0	0	内容参照	0	内容参照	内容参照	

● ビット7~4,2 – Res : 予約 (Reserved)

これらのビットはATtiny4/5/9/10で予約されており、常に0として読みます。

● ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ システムリセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

● ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

● ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセット フラグを使うため、使用者はプログラム内で可能な限り早くRSTFLRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセット フラグを調べることによって得られます。

10. 割り込み

本章はATtiny4/5/9/10での割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については11頁の「リセットと割り込みの扱い」をご覧ください。

10.1. 割り込みベクタ

ATtiny4/5/9/10の割り込みベクタは下の表10-1.で記述されます。

表10-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	ラベル表記	割り込み元
1	\$0000	RESET	電源ON, WDT, VLM等の各種リセット
2	\$0001	INT0	外部割り込み要求0
3	\$0002	PCINT0 (PCI0)	ピン変化0群割り込み要求
4	\$0003	TIM0_CAPT	タイマ/カウンタ0捕獲発生
5	\$0004	TIM0_OVF	タイマ/カウンタ0溢れ
6	\$0005	TIM0_COMPA	タイマ/カウンタ0比較A一致
7	\$0006	TIM0_COMPB	タイマ/カウンタ0比較B一致
8	\$0007	ANA_COMP	アナログ比較器出力遷移
9	\$0008	WDT	ウォッチドッグ計時完了
10	\$0009	VLM	VCC電圧レベル監視器(低電圧検出)
11	\$000A	ADC	A/D変換完了 (注)

注: A/D変換器(ADC)はATtiny5/10でだけ利用可能です。

プログラムが決して割り込み元を許可しない条件では、割り込みベクタは使われず、結果としてこれらの位置に通常のプログラムコードを配置することができます。

ATtiny4/5/9/10での最も代表的且つ一般的なリセットと割り込みのベクタ アドレス用設定が下のプログラム例で示されます。

アドレス	ラベル	命令	注釈
\$0000		RJMP RESET	:各種リセット
\$0001		RJMP INT0	:外部割り込み要求0
\$0002		RJMP PCINT0	:ピン変化0群割り込み要求
\$0003		RJMP TIM0_CAPT	:タイマ/カウンタ0捕獲発生
\$0004		RJMP TIM0_OVF	:タイマ/カウンタ0溢れ
\$0005		RJMP TIM0_COMPA	:タイマ/カウンタ0比較A一致
\$0006		RJMP TIM0_COMPB	:タイマ/カウンタ0比較B一致
\$0007		RJMP ANA_COMP	:アナログ比較器出力遷移
\$0008		RJMP WDT	:ウォッチドッグ計時完了
\$0009		RJMP VLM	:VCC電圧レベル監視器(低電圧検出)
\$000A		RJMP ADC	:A/D変換完了 (注:ATtiny5/10のみ)
;			
\$000B	RESET:	LDI R16, LOW (RAMEND)	:RAM最終アドレス下位を取得
\$000C		OUT SPL, R16	:スタック ポインタを初期化
		}	:以下、I/O初期化など

10.2. 外部割り込み

外部割り込みはINT0ピンまたはPCINT0～3ピンの何れかによって起動されます。許可したなら、例えばINT0またはPCINT0～3ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。**ピン変化割り込みPCIF0**は許可したPCINT0～3の何れかが切り替わると起動します。**ピン変化割り込み許可レジスタ(PCMSK)**は、どのピンがピン変化割り込み要因となるかを制御します。PCINT0～3でのピン変化割り込みは非同期に検知され、それはそれらの割り込みがアイドル動作以外の休止形態動作からもデバイスを起動するのに使えることを意味します。

INT0割り込みは上昇端または下降端(含む両端)またはLowレベルによって起動できます。これは31ページの「**EICRA – 外部割り込み制御レジスタA**」で構成設定されます。INT0割り込みがレベル起動として設定されて許可されると、そのピンがLowに保持される限り、割り込みは(継続的に)起動します。INT0の上昇端または下降端割り込みの認知は16ページの「**クロック体系**」で記述されるI/Oクロックの存在を必要とすることに注意してください。

10.2.1. Lowレベル割り込み

INT0のLowレベル割り込みは非同期に検知されます。これはそれらの割り込みが**アイドル動作以外の休止形態動作**からもデバイスを起動するのに使えることを意味します。I/Oクロックはアイドル動作を除く全休止形態動作で停止されます。

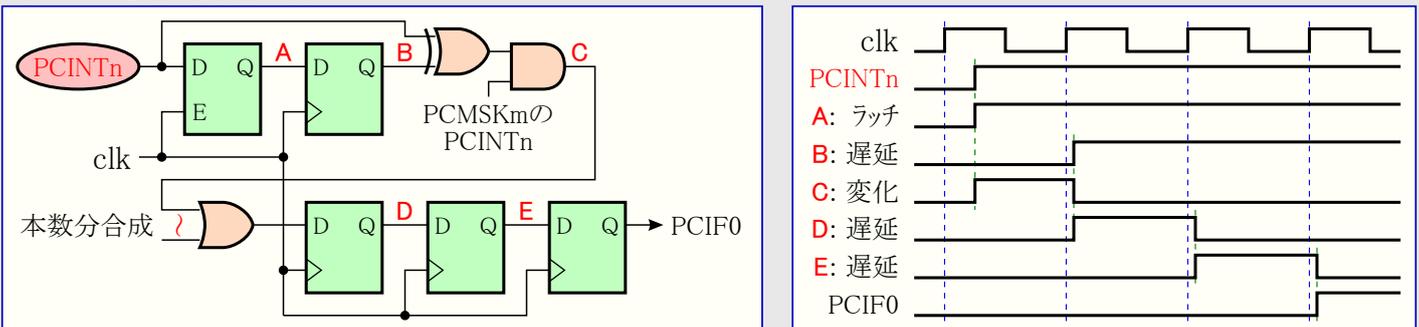
レベル起動割り込みが**パワーダウン動作**からの起動に使われる場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このレベルが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は16ページの「**クロック体系**」で示されるように定義されます。

デバイスが起動復帰する前に割り込みピン上のLowレベルが取り去られると、プログラム実行は割り込み処理ルーチンへ転換されませんが、**SLEEP**命令に続く命令から継続します。

10.2.2. ピン変化割り込みタイミング

ピン変化割り込みのタイミング例は図10-1.で示されます。

図10-1. ピン変化割り込みタイミング



10.3. 割り込み用レジスタ

10.3.1. EICRA – 外部割り込み制御レジスタA (External Interrupt Control Register A)

外部割り込み制御レジスタAは割り込み条件制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$15	-	-	-	-	-	-	ISC01	ISC00	EICRA
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み許可レジスタ(EIMSK)の外部割り込み0許可(INT0)ビットが設定(1)される場合のINT0外部ピンによって活性(有効)にされます。割り込みを活性にする外部INT0ピンのエッジとレベルは表10-2.で定義されます。INT0ピンの値はエッジ検出に先立って採取されます。エッジまたは論理変化割り込みが選択される場合、1クロック周期よりも長く留まるパルスは割り込みを生成します。より短いパルスは割り込み発生が保証されません。Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するのに現在実行している命令の完了まで保たれなければなりません。

表10-2. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンのLowレベル
0	1	INT0ピンの論理変化(両端)
1	0	INT0ピンの下降端
1	1	INT0ピンの上昇端

10.3.2. EIMSK – 外部割り込み許可レジスタ (External Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$13	-	-	-	-	-	-	-	INT0	EIMSK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット0 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、INT0ビットが設定(1)されると、INT0外部ピン割り込みが許可されます。外部割り込み制御レジスタA(EICRA)の割り込み条件制御0(ISC1,0)ビットは、この外部割り込みがINT0ピンの上昇端、下降端、両端、またはLowレベルのどれで活性(有効)にされるかを定義します。例えばINT0ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはINT0割り込みベクタから実行されます。

10.3.3. EIFR – 外部割り込み要求フラグレジスタ (External Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$14	-	-	-	-	-	-	-	INTF0	EIFR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット0 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag 0)

INT0ピン上のエッジまたは論理変化が割り込み要求を起動すると、INTF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み許可レジスタ(EIMSK)の外部割り込み0許可(INT0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。

このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

このフラグはINT0がレベル割り込みとして設定される時に定期的に0です。

10.3.4. PCICR – ピン変化割り込み制御レジスタ (Pin Change Interrupt Control Register)

ビット	7	6	5	4	3	2	1	0	
\$12	–	–	–	–	–	–	–	PCIE0	PCICR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット0 – PCIE0 : ピン変化0群割り込み許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE0ビットが設定(1)されると、ピン変化0群割り込みが許可されます。許可したPCINT0～3ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCIO割り込みベクタから実行されます。PCINT0～3ピンはピン変化割り込み許可レジスタ(PCMSK)によって個別に許可されます。

10.3.5. PCIFR – ピン変化割り込み要求フラグレジスタ (Pin Change Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$11	–	–	–	–	–	–	–	PCIF0	PCIFR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット0 – PCIF0 : ピン変化0群割り込み要求フラグ (Pin Change Interrupt Flag 0)

PCINT0～3ピンの何れかの論理変化が割り込み要求を起動すると、PCIF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとピン変化割り込み制御レジスタ(PCICR)のピン変化0群割り込み許可(PCIE0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

10.3.6. PCMSK – ピン変化割り込み許可レジスタ (Pin Change Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$10	–	–	–	–	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット3～0 – PCINT3～PCINT0 : ピン変化割り込み3～0許可 (Pin Change Enable Mask 3～0)

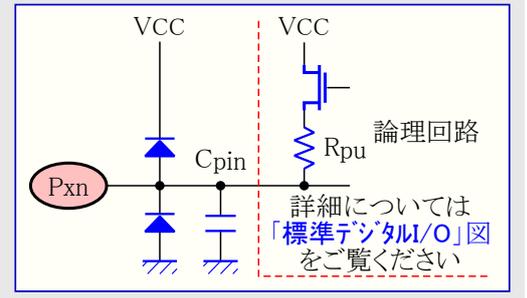
各PCINT0～3ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT0～3とピン変化割り込み制御レジスタ(PCICR)のPCIE0が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT0～3が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

11. 入出力ポート

11.1. 概要

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード-モディファイライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方角をも無意識に変更することなく、1つのポートピンの方角を変更できることを意味します。(出力として設定なら)駆動値を変更、または(入力として設定なら)プルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)の両能力で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図11-1.で示されるようにVCCとGNDの両方に保護ダイオードがあります。各値の完全な一覧については84頁の「電気的特性」をご覧ください。

図11-1. 入出力ピン等価回路



本章内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使うとき、正確な形式(例えば、ここで一般に記されたPORTxnがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は40頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、プルアップ許可レジスタ(PUEx)、入力レジスタ(PINx)の各ポートに対して、4つI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタ、方向レジスタ、プルアップ許可レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。

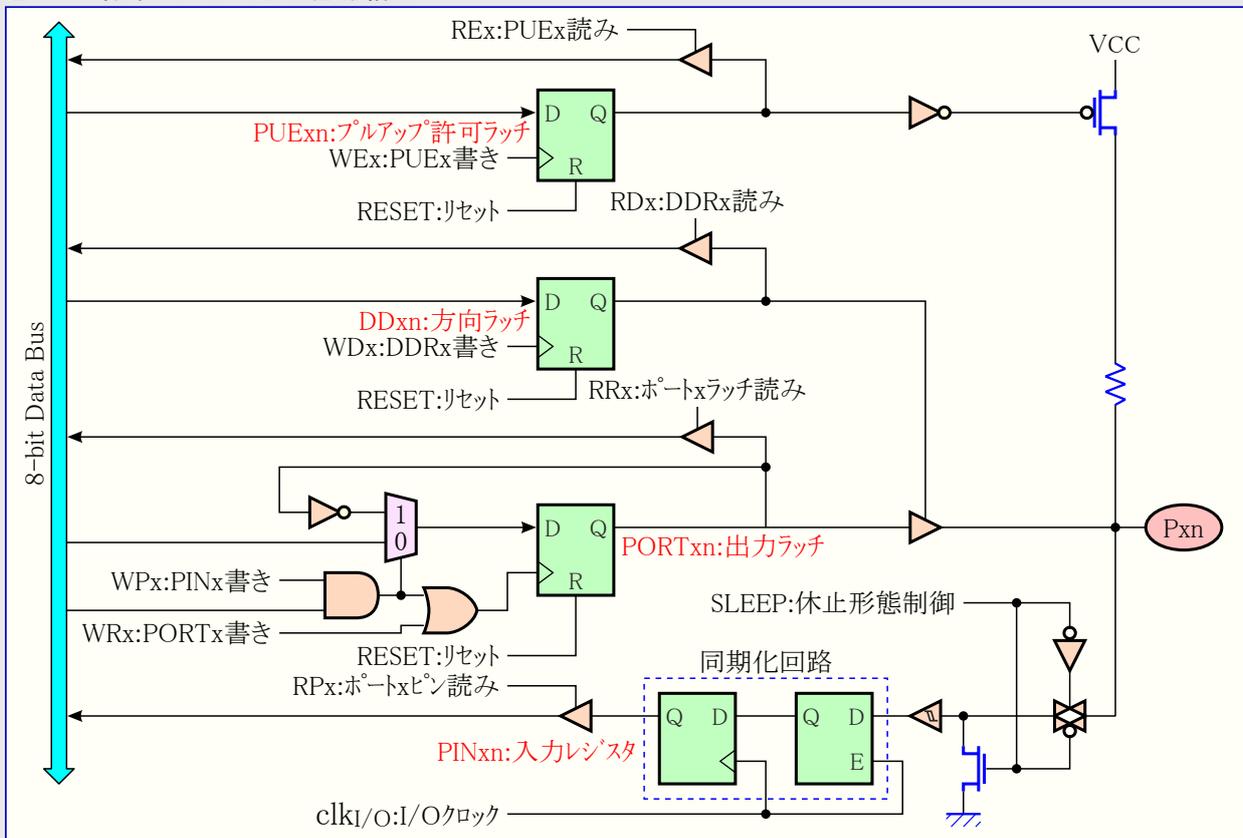
標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は36頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

ポートピンのいくつかの交換機能を許可することはそのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに留意してください。

11.2. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図11-2.はここで属にPxnと呼ばれるI/Oポートピンの1つの機能説明を示します。

図11-2. 標準デジタル入出力回路構成



注: WEx, WRx, WPx, WDX, REx, RRx, RPx, RDXは同一ポート内の全ピンで共通です。clkI/OとSLEEPは全ポートで共通です。

11.2.1. ピンの構成設定

各ポートピンはDDxn、PUExn、PORTxn、PINxnの4つのレジスタビットから成ります。40頁の「I/Oポート用レジスタ」で示されるように、DDxnビットはDDRx I/O位置、PORTxnビットはPORTx I/O位置、PUExnビットはPUEx I/O位置、PINxnビットはPINx I/O位置でアクセスされます。DDRxレジスタ内のDDxnビットはそのピンの方向を選択します。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

PUExnが論理1を書かれた場合、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPUExnが論理0を書かれなければなりません。

表11-1.はピン値に対する制御信号を要約します。

表11-1. ポートピンの設定

DDxn	PORTxn	PUExn	入出力	プルアップ抵抗	備考
0	x	0	入力	なし	高インピーダンス (Hi-Z)
0	x	1	入力	あり	外部的にLowへ引かれた場合に電流を吐き出します。
1	0	0	出力	なし	Low (吸い込み)出力
1	0	1	出力	あり	非推奨: Low (吸い込み)出力、内部プルアップ活性(有効) 内部プルアップ抵抗を通して電流を吐き出し、常に電力を消費します。
1	1	0	出力	なし	High (吐き出し)出力
1	1	1	出力	あり	High (吐き出し)出力、内部プルアップ活性(有効)

ポートピンは例えクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

11.2.2. ピンの出力交互切り替え

PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。SBI命令がポート内の1ビットの反転切り替えに使うことができることに留意してください。

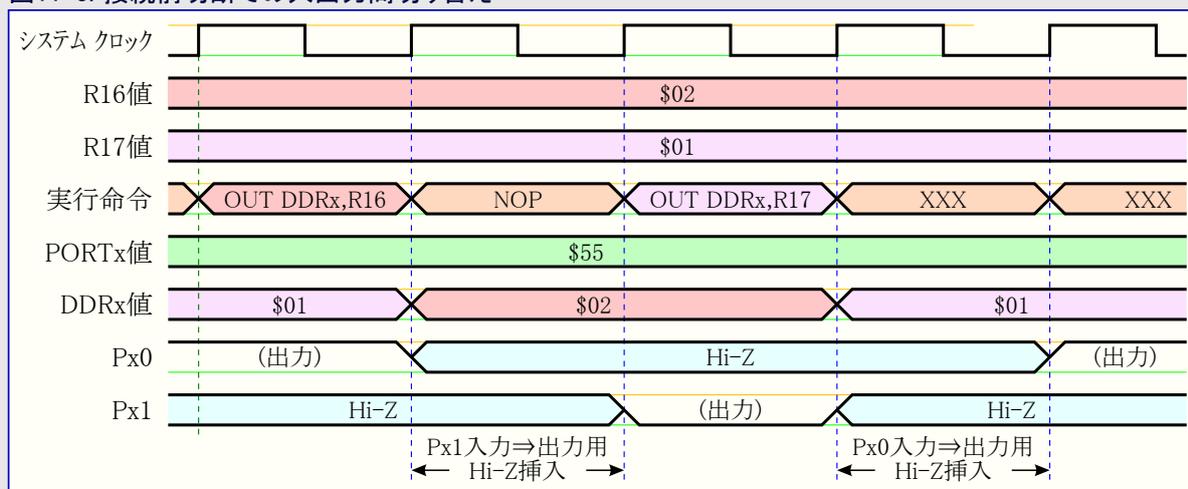
11.2.3. 接続前切断(Break-Before-Make)切り替え

接続前切断動作ではDDRxnを入力から出力へ切り換える時に1システムクロック持続する隣接Hi-Z区間が図11-3.で示されるように導入されます。例えば、システムクロックが4MHzでDDRxnが出力にするように書かれた場合、PORTxnの値がポートピンで見える前に250nsの隣接Hi-Z区間が導入されます。

異常を避けるため、DDRxn最大切り替え周波数は2システムクロックが推奨されます。この接続前切断はポート単位動作で、ポート単位の接続前切断許可(BBMx)ビットによって活性(有効)にされます。BBMxビットの詳細については40頁の「PORTCR - ポート制御レジスタ」をご覧ください。

DDRxnビットを出力から入力に切り替える時に隣接Hi-Z区間は導入されません。

図11-3. 接続前切断での入出力間切り替え



11.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読めます。33頁の図11-2.で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図11-4.は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々 $t_{pd,min}$ と $t_{pd,max}$ で示されます。

(右図で)システムクロックの最初の下降端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印 $t_{pd,min}$ と $t_{pd,max}$ によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図11-5.で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システムクロック周期です。

図11-4. 外部供給ピン値読み込み時の同期化

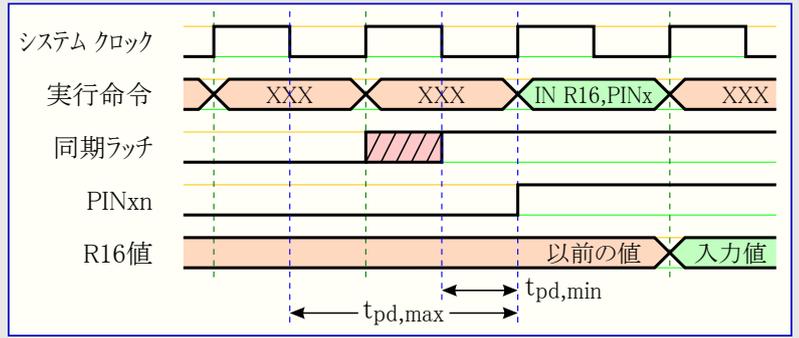
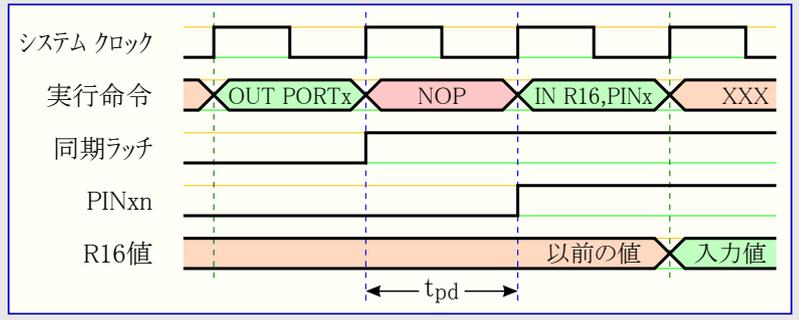


図11-5. プログラムで設定したピン値読み戻し時の同期化



11.2.5. デジタル入力許可と休止形態動作

33頁の図11-2.で示されるようにデジタル入力信号はシュmittトリガの入力をGNDにクランプできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、パワーダウン動作とスタンバイ動作でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対して無視されます。外部割り込み要求が許可されないなら、SLEEPはそれらのピンにも有効です。SLEEPは36頁の「交換ポート機能」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない”上昇端、下降端または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理highレベル('1')が存在すると、上で言及した休止形態動作から(復帰)再開する時に、これらの休止形態動作に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(=1)されます。

11.2.6. 未接続ピン

いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つことの保証が推奨されます。例え上記のような深い休止形態動作で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、活動動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部のプルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

11.2.7. プログラム例

次のコード例はポートBピンの0をHigh出力、1をLow出力、2をプルアップ指定として2と3を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

```

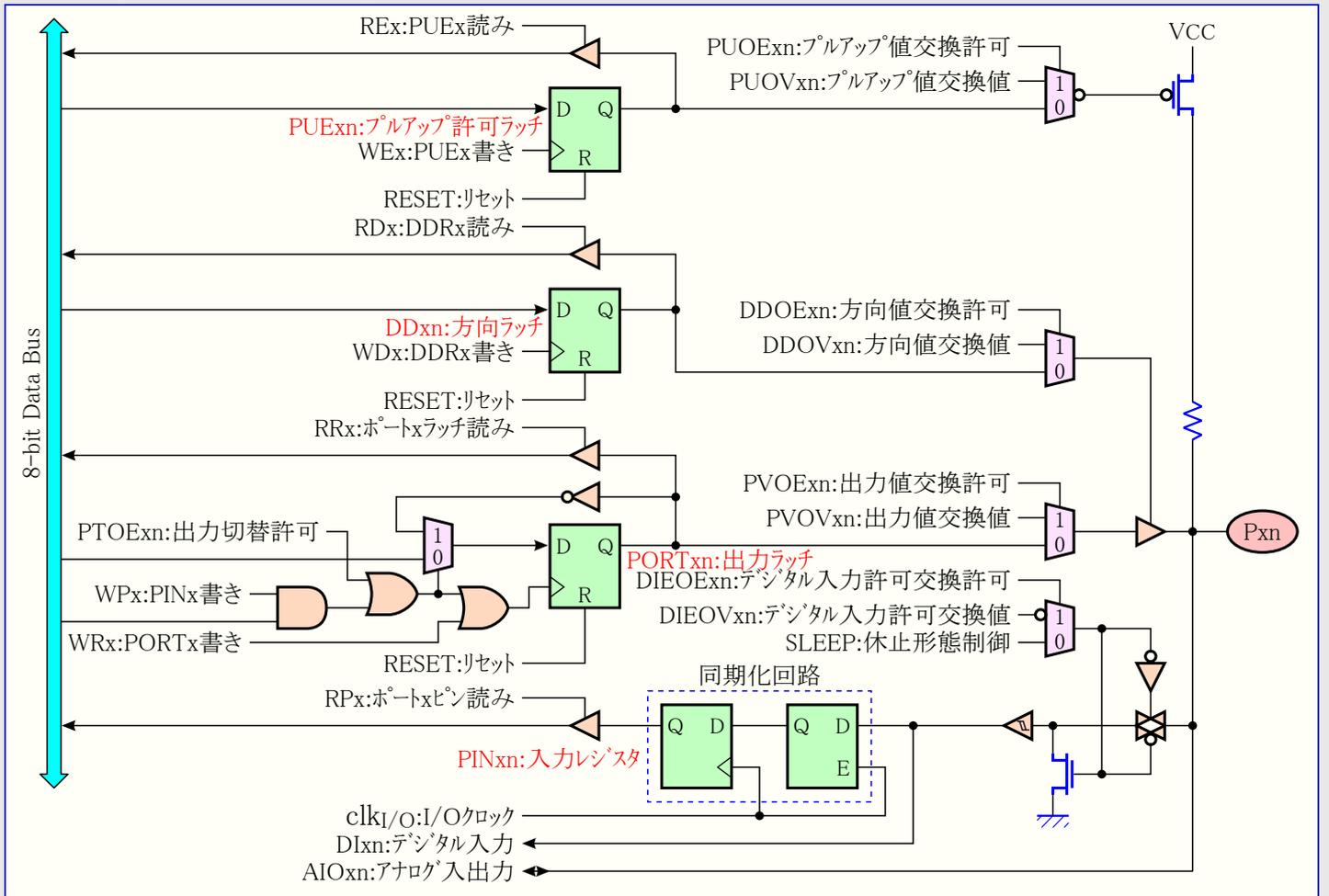
アセンブリ言語プログラム例
LDI    R16, (1<<PUEB2)           ;プルアップ許可値を取得
OUT    PUEB, R16                 ;プルアップを設定
LDI    R16, (1<<PB0)              ;High値を取得
OUT    PORTB, R16                ;High値を設定
LDI    R16, (1<<DDB1) | (1<<DDB0) ;出力ビット値を取得
OUT    DDRB, R16                 ;入出力方向を設定
NOP                                ;同期化遅延対処
IN     R16, PINB                  ;ピン値読み戻し
    
```

注: 8頁の「コード例」をご覧ください。

11.3. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。下の図11-6は単純化された33頁の図11-2でのポートピン制御信号が交換機能によってどう重複できるかを示します。

図11-6. 交換ポート機能入出力回路構成



注: WE_x, WR_x, WP_x, WD_x, RE_x, RR_x, RP_x, RD_xは同一ポート内の全ピンで共通です。
clk_{I/O}とSLEEPは全ポートで共通です。他の信号は各ピン固有です。

上図の図解はAVRマイクロコントローラシステムの全ポートピンに適用できる一般的な記述として取り扱います。いくつかの重複信号は全てのポートピンに存在しないかもしれません。

表11-2は重複(交換)信号の機能一覧を示します。36頁の図11-6.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表11-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、PUExn=1でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、PUExnレジスタビット設定に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0なら、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可 交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態動作)によって決定されます。
OIEOV	デジタル入力許可 交換値	DIEOE=1時、MCUの状態(活動動作、休止形態動作)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。本信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

以降の節は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

11.3.1. ポートBの交換機能

ポートBピンの交換機能は表11-3.で示されます。

表11-3. ポートBピンの交換機能

ポートピン	交換機能	ポートピン	交換機能
PB3	ADC3 (A/D変換チャネル3入力) (注) PCINT3 (ピン変化割り込み3入力) RESET (外部リセット入力)	PB1	ADC1 (A/D変換チャネル1入力) (注) AIN1 (アナログ比較器反転入力) ICP0 (タイマ/カウンタ0 捕獲起動入力) OC0B (タイマ/カウンタ0 比較B一致出力) PCINT1 (ピン変化割り込み1入力) CLKI (外部クロック信号入力) TPICLK (直列プログラミング クロック)
PB2	ADC2 (A/D変換チャネル2入力) (注) INT0 (外部割り込み0入力) T0 (タイマ/カウンタ0 外部クロック入力) PCINT2 (ピン変化割り込み2入力) CLKO (システムクロック出力)	PB0	ADC0 (A/D変換チャネル0入力) (注) AIN0 (アナログ比較器非反転入力) OC0A (タイマ/カウンタ0 比較A一致出力) PCINT0 (ピン変化割り込み0入力) TPIDATA (直列プログラミング データ)

注: A/D変換器(ADC)はATtiny5/10でだけ利用可能です。

- **ポートBビット3: PB3 – ADC3/PCINT3/RESET**
 - **ADC3**: A/D変換器チャネル3入力。(ATtiny5/10のみ)
 - **PCINT3**: ピン変化割り込み元3入力。PB3ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
 - **RESET**: 外部リセット入力。
- **ポートBビット2: PB2 – ADC2/INT0/T0/PCINT2/CLKO**
 - **ADC2**: A/D変換器チャネル2入力。(ATtiny5/10のみ)
 - **INT0**: 外部割り込み0入力。
 - **T0**: タイマ/カウンタ0の外部クロック入力。
 - **PCINT2**: ピン変化割り込み元2入力。PB2ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
 - **CLKO**: システムクロック出力。システムクロックはPB2ピンに出力することができます。分周したシステムクロックは**CKOUT構成設定ビット**がプログラム(0)された場合に**PORTB2**と**DDB2**設定に拘らず、出力されます。
- **ポートBビット1: PB1 – ADC1/AIN1/ICP0/OC0B/PCINT1/CLKI/TPICLK**
 - **ADC1**: A/D変換器チャネル1入力。(ATtiny5/10のみ)
 - **AIN1**: アナログ比較器の反転入力。アナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを構成設定してください。
 - **ICP0**: タイマ/カウンタ0の捕獲起動入力。PB1ピンはタイマ/カウンタ0用捕獲起動入力ピンとして動くことができます。
 - **OC0B**: タイマ/カウンタ0の比較B一致出力。PB1ピンはタイマ/カウンタ0の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として構成設定(**DDB1=1**)されなければなりません。OC0Bピンはタイマ機能のPWM動作出力ピンでもあります。
 - **PCINT1**: ピン変化割り込み元1入力。PB1ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
 - **CLKI**: 外部クロック元からのクロック信号入力。
 - **TPICLK**: 直列プログラミング クロック。
- **ポートBビット0: PB0 – ADC0/AIN0/OC0A/PCINT0/TPIDATA**
 - **ADC0**: A/D変換器チャネル0入力。(ATtiny5/10のみ)
 - **AIN0**: アナログ比較器の非反転入力。アナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを構成設定してください。
 - **OC0A**: タイマ/カウンタ0の比較A一致出力。PB0ピンはタイマ/カウンタ0の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として構成設定(**DDB0=1**)されなければなりません。OC0Aピンはタイマ機能のPWM動作出力ピンでもあります。
 - **PCINT0**: ピン変化割り込み元0入力。PB0ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
 - **TPIDATA**: 直列プログラミング データ。

表11-4. はポートBの交換機能を36頁の図11-6. で示される交換信号に関連付けます。

表11-4. ポートB3~0の交換機能用交換信号

信号名	PB3/ADC3/PCINT3/ RESET	PB2/ADC2/INT0/T0/ PCINT2/CLKO	PB1/ADC1/AIN1/ICP0/ OC0B/PCINT1/CLKI	PB0/ADC0/AIN0/OC0A/ PCINT0
PUOE	RSTDISBL	CKOUT	EXT_CLOCK	0
PUOV	1	0	0	0
DDOE	RSTDISBL	CKOUT	EXT_CLOCK	0
DDOV	0	1	0	0
PVOE	0	CKOUT	EXT_CLOCK+OC0B許可	OC0A許可
PVOV	0	(システム クロック)	EXT_CLOCK・OC0B	OC0A
PTOE	0	0	0	0
DIEOE	RSTDISBL+ (PCIE0・PCINT3)+ADC3D	(PCIE0・PCINT2) +ADC2D+INT0	EXT_CLOCK+ (PCIE0・PCINT1)+ADC1D	(PCIE0・PCINT0)+ADC0D
DIEOV	RSTDISBL・PCIE0・PCINT3	(PCIE0・PCINT2)+INT0	(EXT_CLOCK・PWR_DOWN) +(EXT_CLOCK・PCIE0 ・PCINT1)	PCIE0・PCINT0
DI	PCINT3入力	INT0/T0/PCINT2入力	CLKI/ICP0/PCINT1入力	PCINT0入力
AIO	ADC3入力	ADC2入力	ADC1/ アナログ比較器反転入力	ADC0/ アナログ比較器非反転入力

- 注: ・ RSTDISBLはその構成設定ビットが0(プログラム)の時に1です。
 ・ CKOUTはその構成設定ビットが0(プログラム)の時に1です。
 ・ EXT_CLOCKは主クロックとして外部クロックが選択された時に1です。

(訳注) 原書の表11-4.と表11-5.は表11-4.として纏めました。

11.4. I/Oポート用レジスタ

11.4.1. PORTCR – ポート制御レジスタ (Port Control Register)

ビット	7	6	5	4	3	2	1	0	
\$0C	–	–	–	–	–	–	BBMB	–	PORTCR
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

- ビット7~2,0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット1 – BBMB : 接続前切断動作許可 (Break-Before-Make Mode Enable)

このビットが設定(1)されると、ポートB全体に対して接続前切断動作が活性(有効)にされます。そして出力にするためのDDRxn書き込み時に中間のHi-Z周期が挿入されます。更なる情報については34頁の「[接続前切断\(Break-Before-Make\)切り替え](#)」をご覧ください。

11.4.2. PUEB – ポートBプルアップ許可制御レジスタ (Port B Pull-up Enable Control Register)

ビット	7	6	5	4	3	2	1	0	
\$03	–	–	–	–	PUEB3	PUEB2	PUEB1	PUEB0	PUEB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット3~0 – PUEB3~0 : ポートBプルアップ許可 (Port B Pull-up Enable)

11.4.3. PORTB – ポートB出力レジスタ (Port B Data Register)

ビット	7	6	5	4	3	2	1	0	
\$02	–	–	–	–	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット3~0 – PORTB3~0 : ポートB出力データ (Port B Data)

11.4.4. DDRB – ポートB方向レジスタ (Port B Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$01	–	–	–	–	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット3~0 – DDB3~0 : ポートBデータ方向 (Port B Data Direction)

11.4.5. PINB – ポートB入力レジスタ (Port B Input Address)

ビット	7	6	5	4	3	2	1	0	
\$00	–	–	–	–	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	不定	不定	不定	

- ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット3~0 – PINB3~0 : ポートB入力 (Port B Input Pins)

12. 16ビット タイマ/カウンタ0

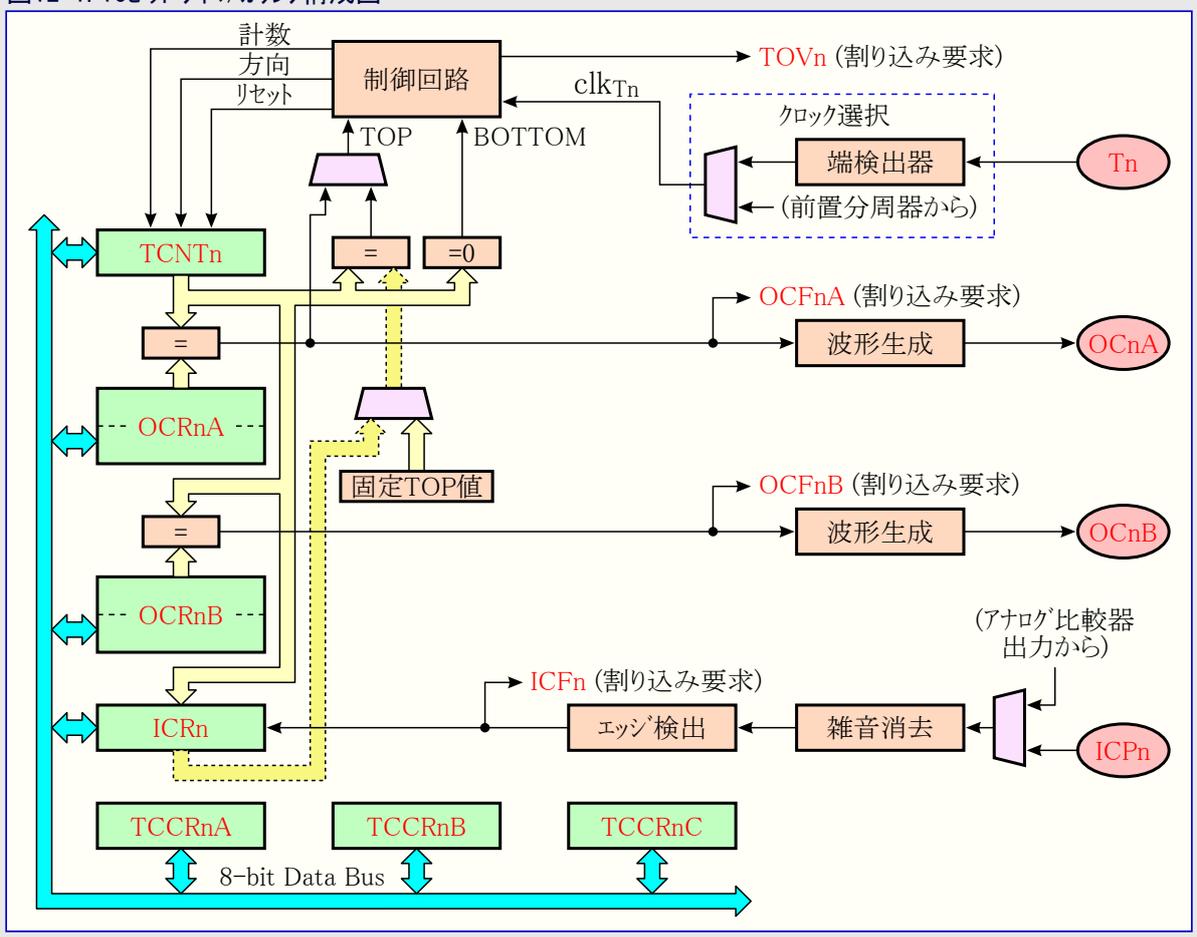
12.1. 特徴

- 16ビットPWMを含む真の16ビット設計
- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 1つの捕獲入力部
- 捕獲入力雑音消去器
- 比較一致でのタイマ/カウンタ解消 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 外部事象計数器
- 4つの独立した割り込み (TOV0,OCF0A,OCF0B,ICF0)

12.2. 概要

16ビット タイマ/カウンタ部は正確なプログラム実行タイミング(事象管理)、波形生成、信号タイミング計測を許します。

図12-1. 16ビット タイマ/カウンタ構成図



16ビット タイマ/カウンタの単純化した構成図が図12-1.で示されます。実際のI/Oピンの配置については5頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注: 原文太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は56頁の「16ビット タイマ/カウンタ用レジスタ」で一覧にされます。

タイマ/カウンタ0単位部を許可するには電力削減レジスタ(PRR)のタイマ/カウンタ0電力削減(PRTIM0)ビットが0を書かれなければなりません(訳注: 共通性から本行追加)。

本章でのレジスタとビット参照の殆どは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字の'x'は比較出力部のチャンネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0の計数器値のアクセスに対してのTCNT0のように)。

12.2.1. 関係レジスタ

タイマ/カウンタ(TCNT0)、比較レジスタ(OCR0A,OCR0B)、捕獲レジスタ(ICR0)は全て16ビットレジスタです。16ビットレジスタをアクセスする時は特別な手順に従わなければなりません。これらの手順は54頁の「16ビットレジスタのアクセス」項で記述されます。

タイマ/カウンタ制御レジスタ(TCCR0A,TCCR0B,TCCR0C)は8ビットレジスタで、CPUアクセスの制限はありません。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR0)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK0)で個別に遮蔽(禁止)されます。TIFR0とTIMSK0はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元と端を制御します。クロック元が選択されていないと、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clk_{T0})として参照されます。

2重緩衝された比較レジスタ(OCR0A,OCR0B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0A,OC0B)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使うことができます。46頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使うことができる比較一致割り込み要求フラグ(OCF0A,OCF0B)も設定(1)します。

捕獲レジスタ(ICR0)は捕獲起動(ICP0)ピンまたはアナログ比較器出力(62頁の「アナログ比較器」をご覧ください。)のどちらかで与えられた外部(端で起動された)事象でタイマ/カウンタ値を捕獲(複写)できます。捕獲入力部は尖頭雑音を捕らえる機会を軽減するためにデジタル濾波器(雑音消去器)を含みます。

TOP値または最大タイマ/カウンタ値は、いくつかの動作種別で、OCR0A、ICR0、または一群の固定値のどれかによって定義することができます。PWM動作でTOP値としてOCR0Aを使うと、OCR0AはPWM出力生成用に使えません。けれどもこの場合、TOP値は動作中に変更されるのをTOP値に許す2重緩衝化します。固定的なTOP値が必要とされる場合、ICR0が代わりに使え、PWM出力として使われるべきOCR0Aを開放します。

12.2.2. 定義

以下の定義は本章を通して使われます。

表12-1. 用語定義

用語	意味
BOTTOM	計数器が\$0000に到達した時。
MAX	計数器が\$FFFF(65535)に到達した時。
TOP	計数器がTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値(\$00FF,\$01FF,\$03FF)、OCR0A値、ICR0値の何れか1つを指定できます。この指定は動作種別に依存します。

12.3. クロック元

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR0B)に配置されたクロック選択(CS02~0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については「前置分周器」項をご覧ください。

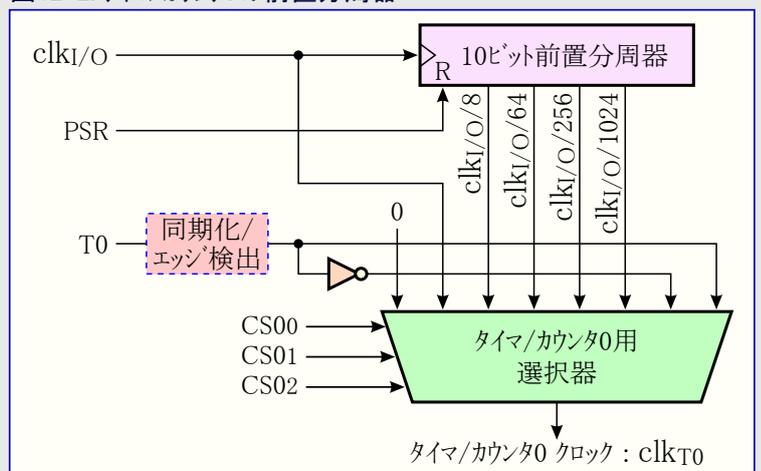
12.3.1. 前置分周器

タイマ/カウンタはシステムクロック(CS02~0=001設定)によって直接クロック駆動することができます。これはシステムクロック周波数($f_{clk_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つの引き出し口の1つがクロック元として使えます。

前置分周器部の図解については図12-2をご覧ください。

前置分周されたクロックは $f_{clk_I/O}/8$ 、 $f_{clk_I/O}/64$ 、 $f_{clk_I/O}/256$ 、 $f_{clk_I/O}/1024$ のどれかの周波数を持ちます。詳細については58頁の表12-6をご覧ください。

図12-2. タイマ/カウンタ0の前置分周器



注: 入力ピン(T0)での同期論理回路は43頁の図12-3.で示されます。

12.3.1.1. 前置分周器リセット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作し)、タイマ/カウンタ(T0)と共用されます。前置分周器はタイマ/カウンタのクロック選択によって影響されないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CS02~0=5~2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステムクロック周期数は、Nが前置分周値(8, 64, 256, 1024)とすると、 $1 \sim N+1$ システムクロック周期になり得ます。

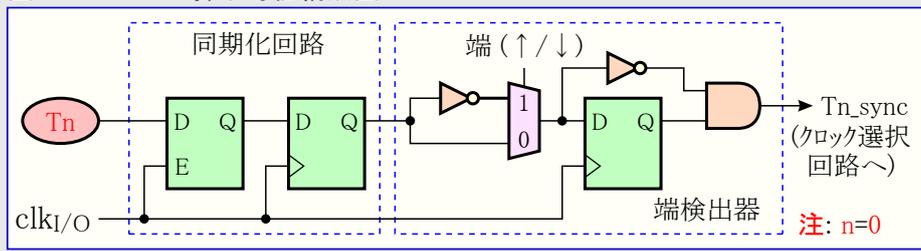
タイマ/カウンタをプログラム実行に同期するために前置分周器リセットを使うことが可能です。

12.3.2. 外部クロック元

T0ピンに印加した外部クロック元はタイマ/カウンタクロック(f_{clk_T0})として使えます。このT0ピンはピン同期化論理回路によって全システムクロック周期に1回採取されます。この同期化(採取)された信号はその後に端検出器を通して通過されます。図12-3はT0同期化と端検出器論理回路の機能等価構成図を示します。レジスタは内部システムクロック($f_{clk_I/O}$)の上昇端でクロック駆動されます。ラッチは内部システムクロックのHigh区間で通過(Low区間で保持)です。

端検出器は上昇端(CS02~0=111)または下降端(CS02~0=110)の検出毎に1つの clk_{T0} パルスを生成します。

図12-3. T0ピンの採取等価構成図



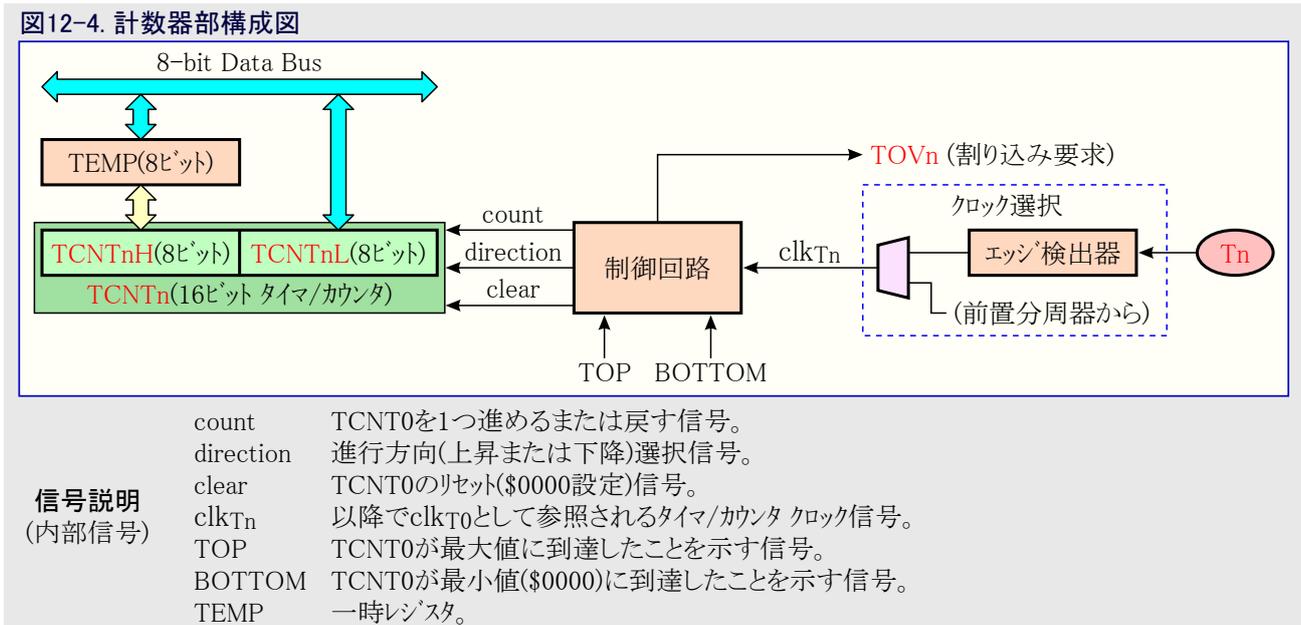
同期化と端検出器論理回路はT0ピンへ印加した端から計数器が更新されるまでに2.5~3.5システムクロック周期の遅延をもたらします。クロック入力の許可と禁止はT0が最低1システムクロック周期に対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタクロックパルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システムクロック周期よりも長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システムクロック周波数の半分未満($f_{EXTclk} < f_{clk_I/O}/2$)であることが保証されなければなりません。端検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイキストの標本化定理)。然しながら、発振元(水晶発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステムクロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は $f_{clk_I/O}/2.5$ 未満が推奨されます。

外部クロック元を前置分周することはできません。

12.4. 計数器部

16ビット タイマ/カウンタの主な部分は設定可能な16ビット双方向計数器部です。図12-4は計数器とその周辺の構成図を示します。



この16ビット計数器は計数器の上位8ビットを含む計数器上位(TCNT0H)と下位8ビットを含む計数器下位(TCNT0L)の2つの8ビット I/Oポート位置に配置されます。TCNT0HレジスタはCPUによる間接的なアクセスのみできます。CPUがTCNT0H I/O位置をアクセスする時に、CPUは上位8ビット一時レジスタ(TEMP)をアクセスします。この一時レジスタはTCNT0Lが読まれる時にTCNT0H値で更新され、TCNT0Lが書かれる時にTCNT0Hは一時レジスタ値で更新されます。これは8ビット データバス経由で1クロック周期内での16ビット カウンタ値全体の読み書きをCPUに許します。予測不能な結果を与える、計数器が計数している時にTCNT0レジスタへ書く特別な場合があることに気付くことが重要です。特別な場合はそれらが重要な部分で記述されます。

使う動作種別に依存して、計数器は各タイマ/カウンタ クロック(clkT0)で解消(\$0000)、増加(+1)、または減少(-1)されます。clkT0はタイマ/カウンタ制御レジスタB(TCCR0B)のクロック選択(CS02~0)ビットによって選択され、外部または内部のクロック元から生成することができます。クロック元が選択されない(CS02~0=000)時に計数器は停止されます。けれども、TCNT0値はclkT0が存在するしないに拘らず、CPUによってアクセスすることができます。CPU書き込みは全ての計数器解消や計数動作を無視します(上位優先権を持ちます)。

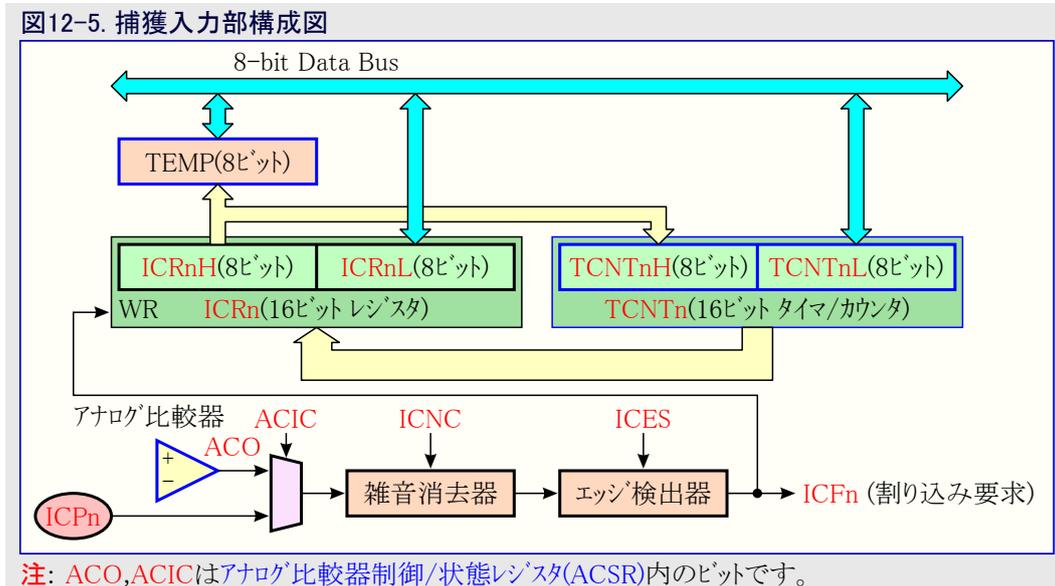
計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCR0A)とタイマ/カウンタ制御レジスタB(TCCR0B)に配置された波形生成種別(WGM03~0)ビットの設定によって決定されます。これらは計数器の動き(計数)方法と波形がOC0x比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては49頁の「動作種別」をご覧ください。

タイマ/カウンタ割り込み要求レジスタ(TIFR0)のタイマ/カウンタ0溢れ(TOV0)フラグはWGM03~0ビットによって選択された動作種別に従って設定(1)されます。TOV0はCPU割り込み発生に使うことができます。

12.5. 捕獲入力部

タイマ/カウンタ0は外部の事象を捕獲でき、発生時間を示す時間印(タイマ/カウンタ値)を与える捕獲入力部と結合します。事象または複数の事象を示す外部信号はICP0ピンまたは代わりにアナログ比較器部経由で印加することができます。時間印はその後、周波数、デューティ比、印加された信号の他の特性の計算に使うことができます。代わりに時間印は事象の記録作成にも使うことができます。

捕獲入力部は図12-5の構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(訳注:原文は灰色背景)で示されます。レジスタとビット名での小文字の'n'はタイマ/カウンタ番号を示します。



捕獲起動入力(ICP0)ピン、代わりにアナログ比較器出力(ACO)で論理レベルの変化(事象)が起き、その変化が端検出器の設定を迫認すると、捕獲が起動されます。捕獲が起動されると、計数器(TCNT0)の16ビット値が捕獲レジスタ(ICR0)に書かれます。捕獲割り込み要求フラグ(ICF0)はTCNT0値がICR0に複写されるのと同じシステムクロックで設定(1)されます。許可(I=1, ICIE0=1)ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。ICF0は割り込みが実行されると自動的に解除(0)されます。代わりにこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)することができます。

捕獲レジスタ(ICR0)の16ビット値読み込みは初めに下位バイト(ICR0L)、その後上位バイト(ICR0H)を読むことによって行われます。ICR0Lから下位バイトが読まれる時に上位バイトが上位バイト一時レジスタ(TEMP)に複写されます。CPUがICR0H I/O位置を読むと、この一時レジスタをアクセスします。

ICR0は計数器のTOP値定義にICR0を利用する波形生成種別を使う時にだけ書けます。これらの場合、TOP値がICR0に書かれ得る前に波形生成種別(WGM03~0)ビットが設定されなければなりません。ICR0に書く時は下位バイトがICR0Lに書かれる前に、上位バイトがICR0H I/O位置に書かれなければなりません。

16ビットレジスタをどうアクセスするかの情報については54頁の「16ビットレジスタのアクセス」を参照してください。

12.5.1. 捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力(ICP0)ピンです。タイマ/カウンタ0は捕獲入力部用起動元として代わりにアナログ比較器出力を使えます。アナログ比較器は「ACSR - アナログ比較器制御/状態レジスタ」でアナログ比較器捕獲起動許可(ACIC)ビットの設定(=1)によって起動元として選択されます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求フラグ(ICF0)は、その変更後に解除(0)されなければなりません。

捕獲起動入力(ICP0)ピンとアナログ比較器出力(ACO)の両入力はT0ピン(43頁の図12-3.)についてと同じ技法を使って採取されます。端検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路が端検出器の前に挿入され、そして遅延を4システムクロック周期増します。タイマ/カウンタがTOP値定義にICR0を使う波形生成種別に設定されないなら、雑音消去器と端検出器の入力が常に許可されます。

捕獲入力にはICP0ピンのポートを制御することによってソフトウェアで起動できます。

12.5.2. 雑音消去器

雑音消去器は簡単なデジタル濾波器機構を使うことによって雑音耐性を改善します。雑音消去器入力には4採取に渡って監視され、端検出器によって使われる交互出力を変更するには4つ全てが等しくなければなりません。

雑音消去器はタイマ/カウンタ制御レジスタB(TCCR0B)の捕獲入力雑音消去許可(ICNC0)ビットの設定(1)によって許可されます。許可時、雑音消去器は入力に印加される変更からICR0が更新されるまでに4システムクロック周期の追加遅延をもたらします。

雑音消去器はシステムクロックを使い、従って前置分周器によって影響を及ぼされません。

12.5.3. 捕獲入力の使用

捕獲入力機能を使う主な要求(目的)は入って来る事象に対して十分なプロセッサ能力を当てがうことです。2つの事象間の時間が際どいと思います。次の事象が起こる前に捕獲した**捕獲レジスタ(ICR0)**の値をプロセッサが読めなかった場合、ICR0は新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICR0は割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求のどれかを扱うのに必要とされる最大クロック周期数に依存します。

動作中に**TOP値(分解能)**が積極的に変更される時はどの動作種別での捕獲入力部の使用も推奨されません。

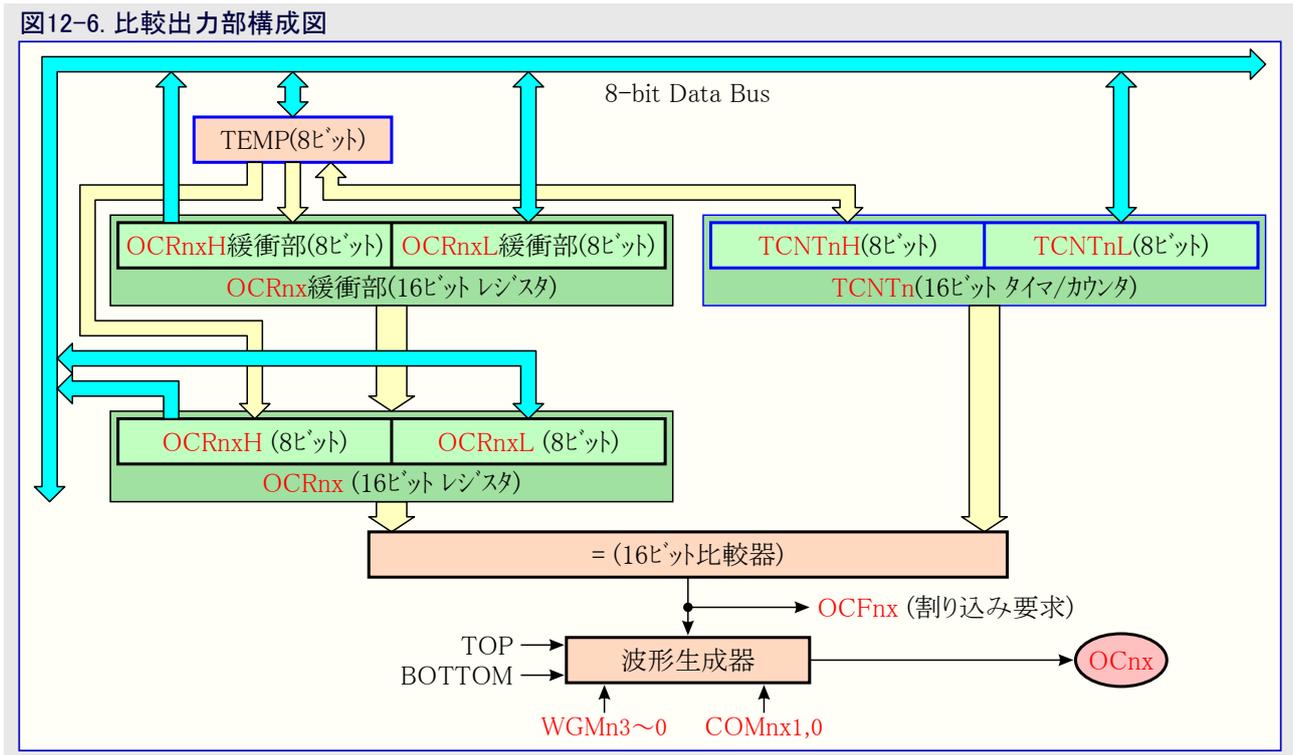
外部信号のデューティ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更はICR0が読まれてしまった後に可能な限り早く行われなければなりません。端の変更後、**捕獲割り込み要求フラグ(ICF0)**はソフトウェア(I/Oビット位置への論理1書き込み)によって解除(0)されなければなりません(**訳注**:端変更によってICF0が設定(1)されることを想定)。周波数のみの測定について(割り込み処理が使われる場合)、ICF0の解除(0)は必要とされません。

12.6. 比較出力部

この16ビット比較器は**TCNT0と比較レジスタ(OCR0x)**を継続的に比較します。TCNT0とOCR0xが等しければ、比較器は一致を指示します。この一致は**次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCF0x)**を設定(1)します。許可(I=1,OCIE0x=1)なら、この比較割り込み要求フラグは比較割り込みを発生します。OCF0xは割り込みが実行されると自動的に解除(0)されます。代わりにOCF0xはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は**波形生成種別(WGM03~0)ビットと比較出力選択(COM0x1,0)ビット**によって設定された動作種別に従った出力を生成するのにこの一致信号を使います。TOPとBOTTOM信号は動作種別(49頁の「**動作種別**」)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

比較A出力部の特殊な特性はタイマ/カウンタのTOP値(換言すると計数器の分解能)定義を許します。計数器の分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

図12-6.は比較出力部の構成図を示します。レジスタとビットの名前での小文字の'n'は装置番号(タイマ/カウンタ0に対してはn=0)を表し、'x'は比較出力部(AまたはB)を表します。直接的な比較出力部の部分でない構成図の要素は青枠(**訳注**:原文は灰色背景)で示されます。



OCR0xは12種類の**パルス幅変調(PWM)**のどれかを使う時に2重緩衝されます。標準動作と**比較一致タイマ/カウンタ解除(CTC)動作**については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れの**TOP**または**BOTTOM**のどちらかに対してOCR0xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0xのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されると、CPUはOCR0x緩衝器にアクセスし、2重緩衝動作が禁止される場合、OCR0xレジスタを直接アクセスします。OCR0x(緩衝器またはレジスタ)の内容は書き込み操作によってのみ変更されます(タイマ/カウンタは**TCNT0**や**ICR0**のようにOCR0xを自動的に更新しません)。従ってOCR0xは上位バイト一時レジスタ(TEMP)経由で読まれません。けれども他の16ビットレジスタをアクセスする時のように下位バイトを先に読むのは良い習慣です。OCR0x書き込みは16ビット全ての比較が継続的に行われるため、一時レジスタ経由で行われなければなりません。上位バイト(OCR0xH)が先に書かれなければなりません。上位バイトI/O位置がCPUによって書かれると、一時レジスタは書かれた値で更新されます。その後下位バイト(OCR0xL)が下位8ビットを書かれると、(一時レジスタ内の)上位バイトは(下位バイト書き込みと)同じシステムクロック周期でOCR0x緩衝器またはOCR0xレジスタのどちらかに複写されます。

16ビットレジスタアクセス法のより多くの情報については54頁の「16ビットレジスタのアクセス」を参照してください。

(訳注) ここでは比較 n xレジスタ全体をOCR n x、OCR n xを構成する緩衝器部分をOCR n x緩衝器、実際の比較に使われるレジスタ本体部分をOCR n xレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

12.6.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC0x)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCF0x)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC0xピンは実際の比較一致が起きた場合と同様に更新されます(COM0x1,0ビット設定がOC0xピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

12.6.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に、割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

12.6.3. 比較一致部の使用

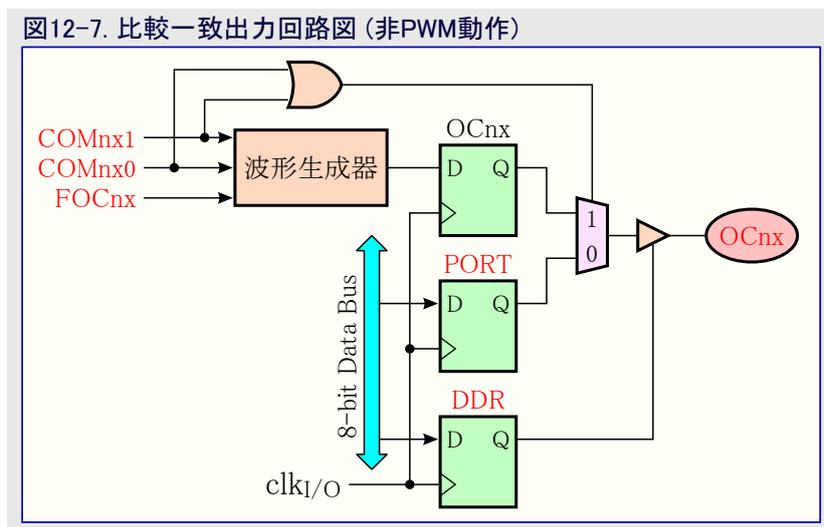
どの動作種別でのTCNT0書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかないかに拘らず、何れかの比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNT0を書いてはいけません。(行った場合)TOPに対する比較一致は無視され、計数器は\$FFFFへ(計数を)続けます。同様に計数器が下降計数の時にBOTTOMに等しいTCNT0値を書いてはいけません。

OC0xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で強制変更(FOC0x)スローブビットを使うことです。波形生成種別間を変更する時であっても、OC0x(内部)レジスタはそれの値を保ちます。

比較出力選択(COM0x1,0)ビットが比較値(OCR0x)と共に2重緩衝されないことに気付いてください。COM0x1,0ビットの変更は直ちに有効となります。

12.7. 比較一致出力部

タイマ/カウンタ制御レジスタA(TCCR0A)の比較出力選択(COM0x1,0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC0x)状態の定義にCOM0xビットを使います。次にCOM0x1,0ビットはOC1xピン出力元を制御します。図12-7はCOM0x1,0ビット設定によって影響される論理回路の単純化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。COM0x1,0ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。OC0xの状態を参照する時にその参照はOC0xピンではなく内部OC0xレジスタに対してです。システムリセットが起きた場合、OC0xレジスタは\$00にリセットされます。



COM0x1,0ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力(OC0x)によって無効にされます。けれども、OC0xピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。ポート方向レジスタでは、OC0x値がピンで見えるのに先立って、OC0xピンに対するビット(DDR_OC0x)が出力として設定されなければなりません。このポートの交換機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。詳細については56頁の表12-2、表12-3、表12-4をご覧ください。

比較出力ピン論理回路の設計は出力が許可される前のOC0x状態の初期化を許します。いくつかのCOM0x1,0ビット設定が或る種の動作種別に対して予約されること注意してください。

COM0x1,0ビットは捕獲入力部で何の効果もありません。

12.7.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM0x1,0ビットを違うふうに使います。全ての動作種別に対してCOM0 x1,0=00設定は次の比較一致で実行すべきOC0xレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については56頁の表12-2を参照してください。高速PWM動作については56頁の表12-3、位相基準PWMと位相/周波数基準PWMについては56頁の表12-4を参照してください。

COM0x1,0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC0x)スローブ[†]ビットを使うことによって直ちに効果を得ることを強制できます。

12.8. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別(WGM03~0)ビットと比較出力選択(COM0x1,0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM0x1,0ビットは生成されたPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対してのCOM0x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します。47頁の「比較一致出力部」をご覧ください。

タイミング情報の詳細については53頁の「タイマ/カウンタのタイミング図」を参照してください。

12.8.1. 標準動作

最も単純な動作種別が標準動作(WGM03~0=0000)です。この動作種別での計数方向は常に上昇(+)で、計数器の解除は実行されません。計数器は16ビット最大値(MAX=\$FFFF)を通過すると単に範囲を超え、そして\$0000(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタ溢れ(TOV0)フラグはTCNT0が\$0000になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第17ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しい計数器値は何時でも書けます。

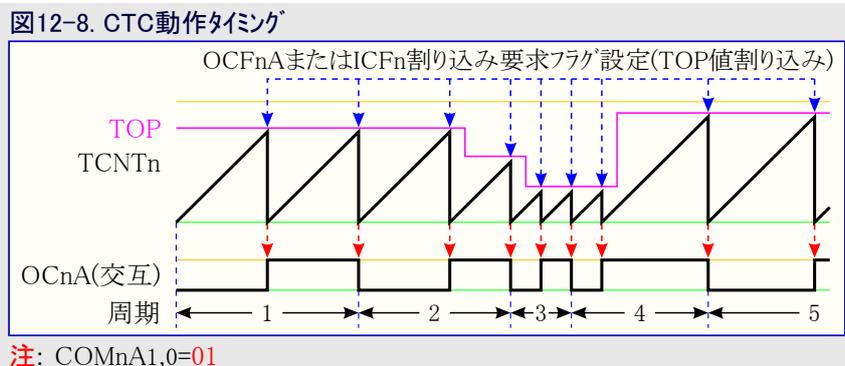
捕獲入力部は標準動作での使用が容易です。けれども外部の事象間の最大間隔がタイマ/カウンタの分解能(16ビット長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、タイマ/カウンタ溢れ割り込みまたは前置分周器が使われなければなりません。

比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

12.8.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGM03~0=0100または1100)ではOCR0AまたはICR0が計数器の分解能を操作するのに使われます。CTC動作では計数器(TCNT0)値がOCR0A(WGM03~0=4)またはICR0(WGM03~0=12)のどちらかと一致する時に計数器が\$0000に解除されます。OCR0AまたはICR0は計数器に対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図12-8.で示されます。計数器(TCNT0)値はOCR0AまたはICR0のどちらかで比較一致が起こるまで増加し、そしてその後に計数器(TCNT0)は解除(\$0000)されます。



TOP値を定義するのに使われるレジスタに対してOCF0AまたはICF0のどちらかを使うことにより、計数器値がTOP値に到達する時毎に割り込みを生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値で計数器が走行している時にBOTTOMと近い値にTOPを変更するのは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0AまたはICR0に書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、計数器は(その回の)比較一致を失います。その後の計数器は比較一致を起こし得るのに先立って、最大値(\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCR0Aが2重緩衝されるので、代替はTOPを定義するのにOCR0Aを用いる高速PWM動作(WGM03~0=1111)を使うことでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択(COM0A1,0)ビットを交互動作(=01)に設定することによって各比較一致での論理レベル交互切替に設定できます。OC0A値はそのピンに対するデータ方向が出力(DDR_OC0A=1)に設定されない限り、ポートピンで見えないでしょう。生成された波形はOCR0Aが0(\$0000)に設定される時に $f_{OC0A} = f_{clk_{I/O}}/2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk_{I/O}}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、タイマ/カウンタ溢れ割り込み要求(TOV0)フラグは計数器がMAXから\$0000へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

12.8.3. 高速PWM動作

高速パルス幅変調(PWM)動作(WGM03~0=0101,0110,0111,1110,1111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。計数器はBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)はTCNT0とOCR0x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM0x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準や位相/周波数基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWMのPWM分解能は8,9,10ビットに固定、若しくはOCR0AかICR0のどちらかによって定義できます。許された最小分解能は2ビット(OCR0AまたはICR0が\$0003設定)、最大分解能は16ビット(OCR0AまたはICR0がMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

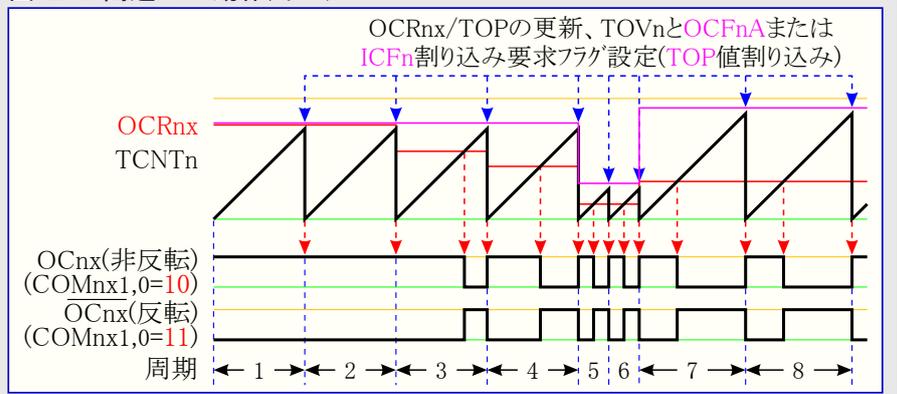
$$R_{FPWM} = \frac{\log(TOP+1)}{\log 2}$$

高速PWM動作での計数器は計数器値が固定値\$00FF,\$01FF,\$03FF(WGM03~0=0101,0110,0111)、ICR0値(WGM03~0=1110)またはOCR0A値(WGM03~0=1111)のどれかと一致するまで増されます。そして計数器は(一致の)次のタイマ/カウンタクロック周期で解除(\$0000)されます。高速PWM動作のタイミング図は図12-9.で示されます。本図はOCR0AかICR0がTOPを定義するのに使われる時の高速PWM動作を示します。TCNT0値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF0x)は比較一致が起こると設定(1)されます。

タイマ/カウンタ溢れ割り込み要求(TOV0)フラグは計数器がTOPに到達する時毎に設定(1)されます。加えて、OCR0AかICR0のどちらかがTOP値を定義するのに使われると、OCF0AまたはICF0割り込み要求フラグはTOV0が設定(1)されるのと同じタイマ/カウンタクロック周期で設定(1)されます。これらの割り込みの1つが許可されるなら、その割り込み処理ルーチンはTOPと比較値を更新するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNT0とそのOCR0x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR0xが書かれる時も、未使用ビットが0で隠(に置換)されることに注意してください。

図12-9. 高速PWM動作タイミング



ICR0がTOP値を定義するのに使われる時にICR0を更新する手順はOCR0Aの更新と違います。ICR0は2重緩衝されません。これは前置分周なしまたは低い前置分周値で計数器が走行している時にICR0が小さな値に変更される場合、書かれた新しいICR0値がTCNT0の現在値より小さくなる危険を意味します。その後の結果は計数器が(その回の)TOP値での比較一致を失うことです。その後の計数器は比較一致を起こし得る前に、MAX値(\$FFFF)へそして次に\$0000から始める計数をしなければなりません。しかし、OCR0Aは2重緩衝されます。この特徴は何時でも書かれることをOCR0AのI/O位置に許します。OCR0A I/O位置が書かれると、書かれた値はOCR0A緩衝部に置かれます。OCR0A(比較)レジスタはその後TCNT0がTOPと一致した次のタイマ/カウンタクロック周期にOCR0A緩衝部の値で更新されます。この更新はTCNT0の解除(\$0000)やTOV0の設定(1)と同じタイマ/カウンタクロック周期で行われます。

TOPを定義するのにICR0を使うことは決まったTOP値を使う時に上手くなります。ICR0を使うことにより、OCR0AでのPWM出力を生成するためにOCR0Aを自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR0Aが2重緩衝機能のため、TOPとしてOCR0Aを使うことは明らかに良い選択です。

高速PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0を'11'に設定することで生成できます(56頁の表12-3.をご覧ください)。実際のOC0x値はそのポートピンに対するデータ方向が出力(DDR_OC0x=1)として設定される場合にだけ見えるでしょう。PWM波形はTCNT0とOCR0x間の比較一致でOC0x(内部)レジスタを設定(1)(または解除(0))と、計数器が解除(\$0000、TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でのOC0xレジスタを解除(0)(または設定(1))することによって生成されます。

PWM出力周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPWM} = \frac{f_{clk_I/O}}{N \times (1+TOP)}$$

OCR0xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR0xがBOTTOM(\$0000)に等しく設定されると、出力はTOP+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。TOPに等しいOCR0x設定は(COM0x1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOCR0A設定(COM0A1,0=01)によって達成できます。これはTOP値を定義するのにOCR0Aが使われる(WGM03~0=1111)の場合にだけ適用されます。生成された波形はOCR0Aが0(\$0000)に設定される時に $f_{OC0A} = f_{clk_I/O} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOCR0A交互出力(COM0A1,0=01)と同じです。

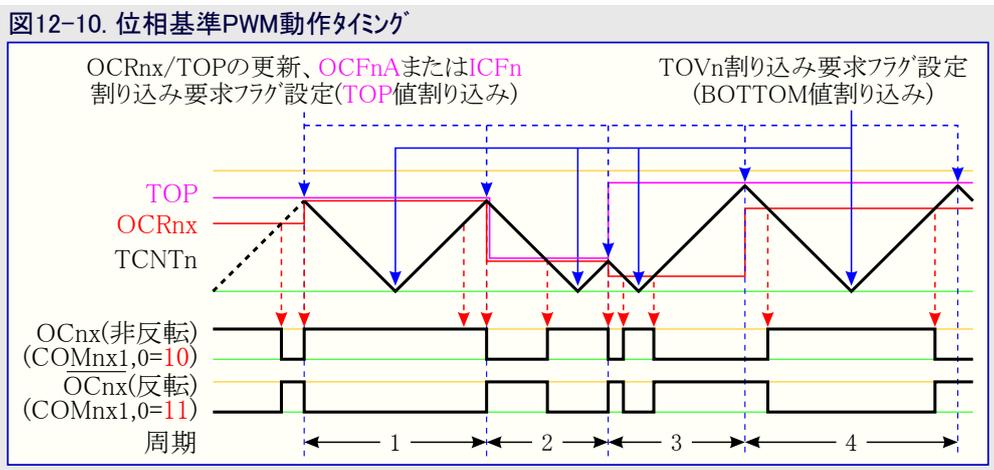
12.8.4. 位相基準PWM動作

位相基準パルス幅変調(PWM)動作(WGM03~0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とした位相/周波数基準PWMと似ています。計数器はBOTTOM(\$0000)からTOPへ、そしてその後TOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8,9,10ビットに固定、若しくはOCR0AかICR0のどちらかによって定義できます。許された最小分解能は2ビット(OCR0AまたはICR0が\$0003設定)、最大分解能は16ビット(OCR0AまたはICR0がMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{PCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相基準PWM動作での計数器は計数器値が固定値\$00FF,\$01FF,\$03FF(WGM03~0=0001,0010,0011)、ICR0値(WGM03~0=1010)またはOCR0A値(WGM03~0=1011)のどれかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNT0値は1タイマ/カウンタクロック周期、TOPと等しくなります。位相基準PWM動作のタイミング図は図12-10.で示されます。この図はOCR0AかICR0がTOPを定義するのに使われる時の位相基準PWM動作を示します。TCNT0値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF0x)は比較一致が起こると設定(1)されます。



タイマ/カウンタ溢れ(TOV0)フラグは計数器がBOTTOMに到達する時毎に設定(1)されます。OCR0AかICR0のどちらかがTOP値を定義するのに使われると、OCF0AまたはICF0割り込み要求フラグはOCR0xレジスタが(TOPに於いて)2重緩衝値で更新されるのと同じタイマ/カウンタクロック周期によって設定(1)されます。これらの割り込み要求フラグは計数器がTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使うことができます。

TOP値を変更する時にプログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNT0とそのOCR0x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR0xが書かれる時も、未使用ビットが0で隠(に置換)されることに注意してください。図12-10.で示される第3周期が図解するようにタイマ/カウンタが位相基準PWM動作で走行中にTOPを積極的に変更することは、非対称出力で終わることが有り得ます。これに対する理由はOCR0xレジスタの更新時に見出せます。OCR0x更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値によって決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違う時にその周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

タイマ/カウンタが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使うことが推奨されます。一定のTOP値を使う時に2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0を'11'に設定することで生成できます(56頁の表12-4.をご覧ください)。実際のOC0x値はそのポートピンに対するデータ方向が出力(DDR_OC0x=1)として設定される場合にだけ見えるでしょう。PWM波形は計数器が増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)レジスタを設定(1)(または解除(0))と、計数器が減少する時のTCNT0とOCR0x間の比較一致でOC0xレジスタを解除(0)(または設定(1))することによって生成されます。

位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR0xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

TOP値定義にOCR0Aが使われ(WGM03~0=1011)、COM0A1,0=01なら、OC0A出力はデューティ比50%で交互に変化します。

12.8.5. 位相/周波数基準PWM動作

位相/周波数基準パルス幅変調(PWM)動作(WGM03~0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相/周波数基準PWM動作は両傾斜(三角波)動作を基準とした**位相基準PWM**と似ています。計数器はBOTTOM(\$0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返して計数します。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準と位相/周波数基準PWM動作間の主な違いはOCR0xレジスタがOCR0x緩衝部によって更新される時(訳補:TOPとBOTTOM)です(図12-10と図12-11参照)。

位相/周波数基準PWM動作のPWM分解能はOCR0AかICR0のどちらかで定義できます。許された最小分解能は2ビット(OCR0AまたはICR0が\$0003設定)、最大分解能は16ビット(OCR0AまたはICR0がMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{PFCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相/周波数基準PWM動作でのタイマ/カウンタはタイマ/カウンタ値がICR0値(WGM03~0=1000)かOCR0A値(WGM03~0=1001)のどちらかと一致するまで増されます。計数器はTOPに到達したその時に計数方向を変更します。このTCNT0値は1タイマ/カウンタクロック周期、TOPと等しくなります。位相/周波数基準PWM動作のタイミング図は図12-11で示されます。この図はOCR0AかICR0がTOPを定義するのに使われる時の位相/周波数基準PWM動作を示します。TCNT0値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF0x)は比較一致が起こると設定(1)されます。

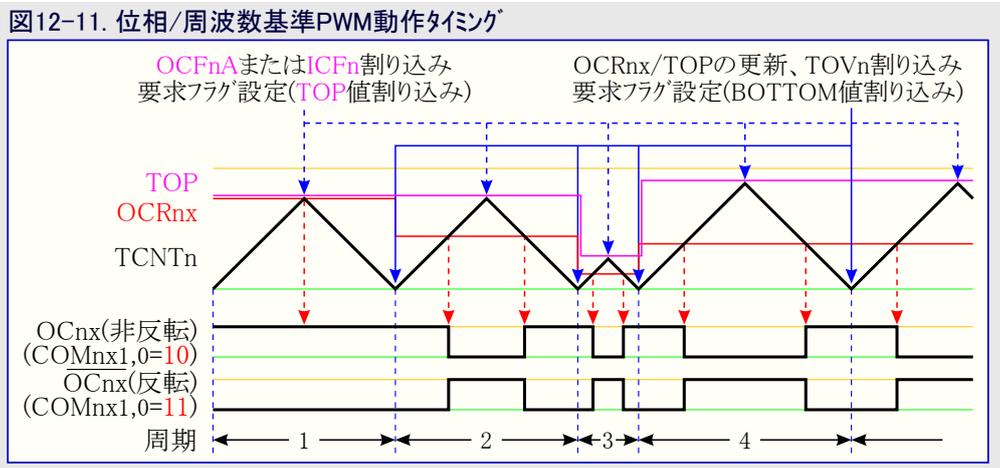


図12-11. 位相/周波数基準PWM動作タイミング

タイマ/カウンタ溢れ(TOV0)フラグはOCR0xレジスタが(BOTTOMに於いて)2重緩衝値で更新されるのと同じタイマ/カウンタクロック周期で設定(1)されます。OCR0AかICR0のどちらかがTOP値を定義するのに使われると、OCF0AまたはICF0割り込み要求フラグはタイマ/カウンタがTOPに到達する時毎に設定(1)されます。これらの割り込み要求フラグは計数器がTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使うことができます。

TOP値を変更する時にプログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNT0とそのOCR0x間で比較一致は決して起きません。

図12-11が示すように、生成された出力は位相基準PWM動作と異なり、全ての周期で対称です。OCR0xレジスタがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力パルス、従って正しい周波数を与えます。

TOPを定義するのにICR0を使うことは決まったTOP値を使う時に上手くいきます。ICR0を使うことにより、OC0AでのPWM出力を生成するためにOCR0Aを自由に使うことができます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR0Aが2重緩衝機能のため、TOPとしてOCR0Aを使うことは明らかに良い選択です。

位相/周波数基準PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0を'11'に設定することで生成できます(56頁の表12-4をご覧ください)。実際のOC0x値はそのポートピンに対するデータ方向が出力(DDR_OC0x=1)として設定される場合にだけ見えるでしょう。PWM波形は計数器が増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)レジスタを設定(1)(または解除(0))と、計数器が減少する時のTCNT0とOCR0x間の比較一致でOC0xレジスタを解除(0)(または設定(1))することによって生成されます。

位相/周波数基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPFCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

OCR0xの両端値は位相/周波数基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR0xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

TOP値定義にOCR0Aが使われ(WGM03~0=1001)、COM0A1,0=01なら、OC0A出力はデューティ比50%で交互に変化します。

12.9. タイマ/カウンタのタイミング図

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック(clk_{T0})が下図のクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時、そして $OCR0x$ レジスタが $OCR0x$ 緩衝部値で更新される時(2重緩衝を使う動作種別のみ)の情報を含まず、図12-12は $OCF0x$ の設定についてのタイミング図を示します。

図12-12. 前置分周なし(1/1)のタイマ/カウンタ、 $OCF0x$ 設定 タイミング

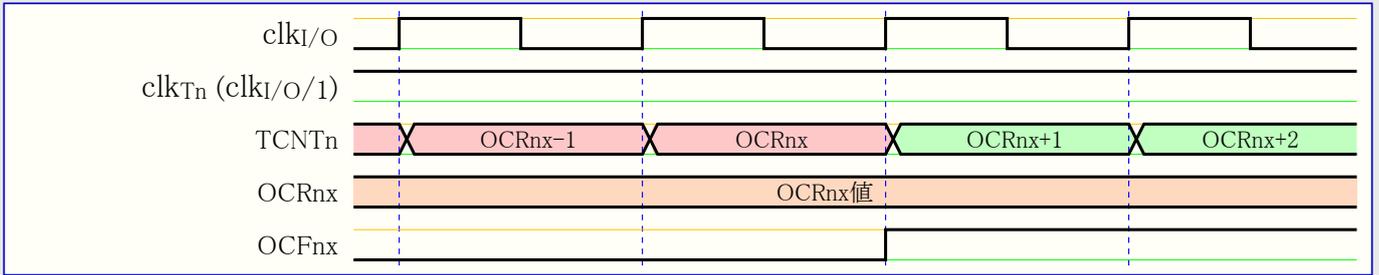


図12-13. は同じタイミング データを示しますが、前置分周器が許可されています。

図12-13. 前置分周器($f_{clk_{I/O}/8}$)のタイマ/カウンタ、 $OCF0x$ 設定 タイミング

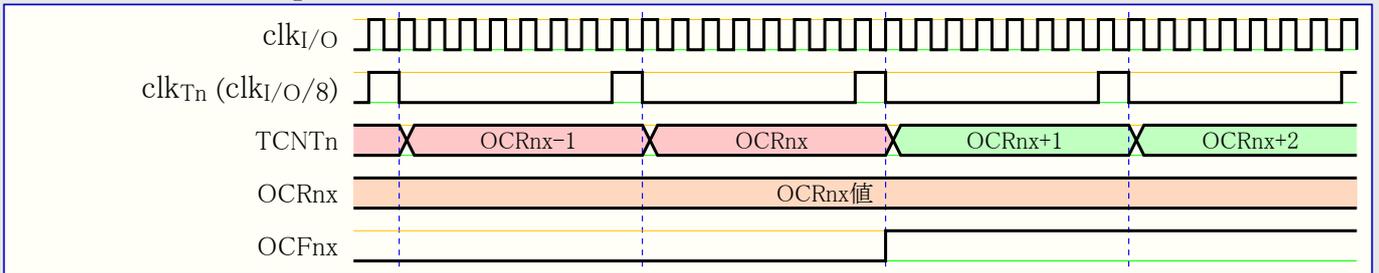


図12-14. は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時の $OCR0x$ レジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でなどのように置き換えられます。BOTTOMで $TOV0$ を設定(1)する動作種別についても、同様な名称変更が適用されます。

図12-14. 前置分周器なし(1/1)のタイマ/カウンタ、TOP近辺 タイミング

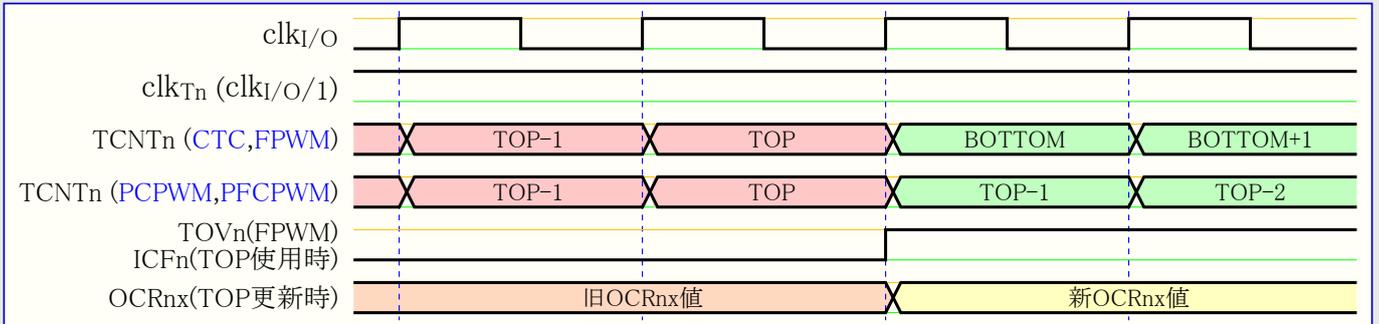
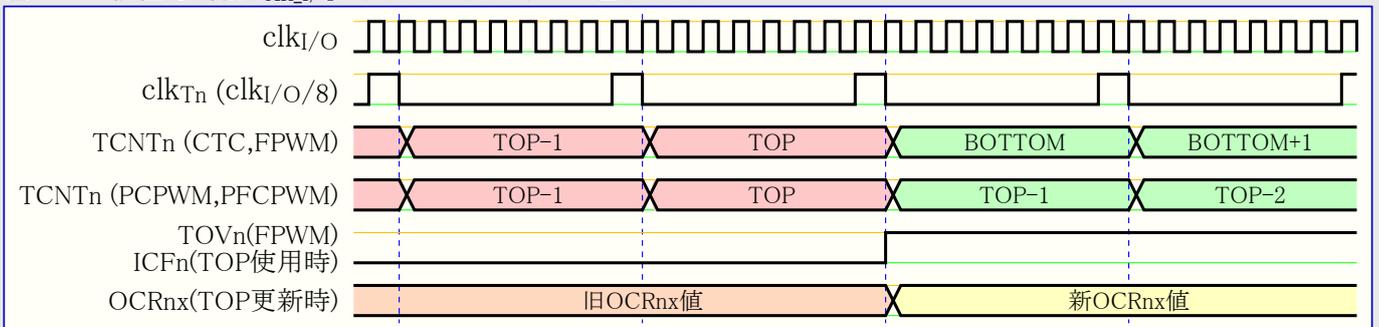


図12-15. は同じタイミング データを示しますが、前置分周器が許可されています。

図12-15. 前置分周器($f_{clk_{I/O}/8}$)のタイマ/カウンタ、TOP近辺 タイミング



12.10. 16ビットレジスタのアクセス

TCNT0, OCR0A, OCR0B, ICRC0は8ビットバス経由でAVR CPUによってアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使ってバイトアクセスされなければなりません。16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。16ビットタイマ/カウンタ内の全ての16ビットレジスタ間で、この同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUによって書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロック周期で両方が16ビットレジスタに複写されます。16ビットレジスタの下位バイトがCPUによって読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロック周期で一時レジスタに複写されます。

全ての16ビットアクセスが上位バイトに対して一時レジスタを使う訳ではありません。OCR0AとOCR0Bの16ビットレジスタ読み込みは一時レジスタの使用に関係しません。

16ビット書き込みを行うために上位バイトは下位バイトに先立って書かれなければなりません。16ビット読み込みについては下位バイトが上位バイトの前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCR0A, OCR0B, ICRC0レジスタのアクセスに対して同じ原理が直接的に使えます。

アセンブリ言語プログラム例

```

~
LDI    R17, $01           ; [16ビット($01FF)書き込み]
LDI    R16, $FF          ; $01FFの上位バイト値取得
OUT    TCNT0H, R17       ; $01FFの下位バイト値取得
OUT    TCNT0L, R16       ; 上位バイト設定(一時レジスタ)
~                               ; 下位バイト設定(一時レジスタ⇒上位バイト)
IN     R16, TCNT0L       ; [16ビット読み込み]
IN     R17, TCNT0H       ; 下位バイト取得(上位バイト⇒一時レジスタ)
~                               ; 上位バイト取得(一時レジスタ)
;

```

C言語プログラム例

```

unsigned int i;
~
TCNT0 = 0x1FF;           /* */
i = TCNT0;               /* 16ビット($01FF)書き込み */
~                          /* 16ビット読み込み */
                          /* */

```

注: 8頁の「コード例」をご覧ください。

このコード例はR17:R16レジスタ対にTCNT0値を戻します。

16ビットレジスタアクセスが非分断操作であることに注意することが重要です。16ビットレジスタをアクセスする2命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによって一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新する時に主コードは16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例はTCNT0レジスタ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCR0A,OCR0B,ICR0のどの読み込みも行えます。

アセンブリ言語プログラム例

```
RD_TCNT0:   IN      R18, SREG           ; 現全割り込み許可フラグ(I)を保存
            CLI                    ; 全割り込み禁止
            IN      R16, TCNT0L        ; TCNT0下位バイト取得(上位バイト⇒一時レジスタ)
            IN      R17, TCNT0H        ; TCNT0上位バイト取得(一時レジスタ)
            OUT     SREG, R18          ; 全割り込み許可フラグ(I)を復帰
            RET                       ; 呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int TIM16_Read_TCNT0(void)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNT0読み出し変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                             /* 全割り込み禁止 */
    i = TCNT0;                          /* TCNT0値を取得 */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
    return i;                          /* TCNT0値で呼び出し元へ復帰 */
}
```

注: 8頁の「コード例」をご覧ください。

このコード例はR17:R16レジスタ対にTCNT0値を戻します。

次のコード例はTCNT0レジスタ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCR0A,OCR0B,ICR0のどの書き込みも行えます。

アセンブリ言語プログラム例

```
WR_TCNT0:   IN      R18, SREG           ; 現全割り込み許可フラグ(I)を保存
            CLI                    ; 全割り込み禁止
            OUT     TCNT0H, R17        ; TCNT0上位バイト設定(一時レジスタ)
            OUT     TCNT0L, R16        ; TCNT0下位バイト設定(一時レジスタ⇒上位バイト)
            OUT     SREG, R18          ; 全割り込み許可フラグ(I)を復帰
            RET                       ; 呼び出し元へ復帰
```

C言語プログラム例

```
void TIM16_Write_TCNT0(unsigned int i)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNT0書き込み変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                             /* 全割り込み禁止 */
    TCNT0 = i;                          /* TCNT0値を設定 */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
}
```

注: 8頁の「コード例」をご覧ください。

このコード例はR17:R16レジスタ対がTCNT0へ書かれるべき値を含むことが必要です。

12.10.1. 上位バイト一時レジスタの再使用

書かれる全レジスタについて上位バイトが同じ複数16ビットレジスタ書き込みなら、上位バイトは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

12.11. 16ビット タイマ/カウンタ0用レジスタ

12.11.1. TCCR0A – タイマ/カウンタ0制御レジスタA (Timer/Counter0 Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$2E	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7,6 – COM0A1,0 : 比較1A出力選択 (Compare Output Mode for Channel A)

●ビット5,4 – COM0B1,0 : 比較1B出力選択 (Compare Output Mode for Channel B)

COM0A1,0とCOM0B1,0は各々OC0AとOC0B比較出力ピンの動作を制御します。COM0A1,0ビットの1つまたは両方が1を書かれると、OC0A出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。COM0B1,0ビットの1つまたは両方が1を書かれると、OC0B出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。

けれども出力駆動部を許可するため、OC0AまたはOC0Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0AまたはOC0Bがピンに接続される時にCOM0x1,0ビットの機能はWGM03~0ビット設定に依存します。表12-2はWGM03~0ビットが標準動作またはCTC動作(つまり非PWM)に設定される時のCOM0x1,0ビット機能を示します。

表12-2. 非PWM動作での比較出力選択 (注: xはAまたはB)

COM0x1	COM0x0	意味
0	0	標準ポート動作 (OC0x切断)
0	1	比較一致でOC0xピントグル(交互)出力
1	0	比較一致でOC0xピン Lowレベル出力
1	1	比較一致でOC0xピン Highレベル出力

表12-3はWGM03~0ビットが高速PWM動作の1つに設定される時のCOM0x1,0ビット機能を示します。

表12-3. 高速PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM0x1	COM0x0	意味
0	0	標準ポート動作 (OC0x切断)
0	1	WGM03~0=111X : 比較一致でOC0Aピントグル(交互)出力、OC0Bは標準ポート動作(OC0B切断) WGM03~0上記以外: 標準ポート動作 (OC0x切断)
1	0	比較一致でLow、BOTTOMでHighをOC0xピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0xピンへ出力 (反転動作)

注: COM0x1が設定(1)され、OCR0xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)または解除(0)は実行されます。より多くの詳細については50頁の「高速PWM動作」をご覧ください。

表12-4はWGM03~0ビットが位相基準または位相/周波数基準PWM動作に設定される時のCOM0x1,0ビット機能を示します。

表12-4. 位相基準または位相/周波数基準PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM0x1	COM0x0	意味
0	0	標準ポート動作 (OC0x切断)
0	1	WGM03~0=10X1 : 比較一致でOC0Aピントグル(交互)出力、OC0Bは標準ポート動作(OC0B切断) WGM03~0上記以外: 標準ポート動作 (OC0x切断)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0xピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0xピンへ出力

注: COM0x1が設定(1)され、OCR0xがTOPと等しい時に特別な状態が起きます。より多くの詳細については51頁の「位相基準PWM動作」をご覧ください。

●ビット1,0 – WGM01,0 : 波形生成種別 (Waveform Generation Mode)

タイマ/カウンタ制御レジスタB(TCCR0B)で得られるWGM03,2ビットと組み合わせたこれらのビットは計数器の計数順序(方向)、最大計数(TOP)値供給元、どの波形生成の形式かを制御します。表12-5をご覧ください。タイマ/カウンタ部によって支援される動作種別は標準動作(計数器)、比較一致タイマ/カウンタ解除(CTC)動作と3形式のパルス幅変調(PWM)動作です(49頁の「動作種別」をご覧ください)。

表12-5. 波形生成種別選択

番号	WGM03~0	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0 0 0 0	標準動作	\$FFFF	即値	MAX
1	0 0 0 1	8ビット位相基準PWM動作	\$00FF	TOP	BOTTOM
2	0 0 1 0	9ビット位相基準PWM動作	\$01FF	TOP	BOTTOM
3	0 0 1 1	10ビット位相基準PWM動作	\$03FF	TOP	BOTTOM
4	0 1 0 0	比較一致タイマ/カウンタ解除(CTC)動作	OCR0A	即値	MAX
5	0 1 0 1	8ビット高速PWM動作	\$00FF	TOP	TOP
6	0 1 1 0	9ビット高速PWM動作	\$01FF	TOP	TOP
7	0 1 1 1	10ビット高速PWM動作	\$03FF	TOP	TOP
8	1 0 0 0	位相/周波数基準PWM動作	ICR0	BOTTOM	BOTTOM
9	1 0 0 1	位相/周波数基準PWM動作	OCR0A	BOTTOM	BOTTOM
10	1 0 1 0	位相基準PWM動作	ICR0	TOP	BOTTOM
11	1 0 1 1	位相基準PWM動作	OCR0A	TOP	BOTTOM
12	1 1 0 0	比較一致タイマ/カウンタ解除(CTC)動作	ICR0	即値	MAX
13	1 1 0 1	(予約)	-	-	-
14	1 1 1 0	高速PWM動作	ICR0	TOP	TOP
15	1 1 1 1	高速PWM動作	OCR0A	TOP	TOP

12.11.2. TCCR0B – タイマ/カウンタ0制御レジスタB (Timer/Counter0 Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$2D	ICNC0	ICES0	-	WGM03	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – ICNC0 : 捕獲起動入力0雑音消去許可 (Input Capture0 Noise Canceler)

このビットを(1)に設定することが捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動入力(ICP0)ピンからの入力が濾波されます。この濾波機能はそれが出力を更新するのに、連続4回等しく評価されたICP0ピンの採取を必要とします。雑音消去器が許可されると、捕獲入力はそれによって4発振器(システムクロック)周期遅らされます。

●ビット6 – ICES0 : 捕獲起動入力端選択 (Input Capture0 Edge Select)

このビットは事象での捕獲を起動するのに使われる捕獲起動入力(ICP0)ピンのどちらかの端を選択します。ICES0ビットが0を書かれると起動動作として下降(負)端が使われ、ICES0ビットが1を書かれると上昇(正)端が捕獲を起動します。

捕獲がICES0設定に従って起動されると、計数器値が捕獲レジスタ(ICR0)に複写されます。この事象は捕獲入力割り込み要求フラグ(ICF0)も設定(1)し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすのに使うことができます。

ICR0がTOP値として使われると(TCCR0AとTCCR0Bに配置されたWGM03~0ビットの記述をご覧ください)、ICP0が切り離され、従って捕獲入力機能は禁止されます。

●ビット5 – Res : 予約 (Reserved)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、TCCR0Bが書かれる時にこのビットは0を書かれなければなりません。

●ビット4,3 – WGM03,2 : 波形生成種別 (Waveform Generation Mode bit 3 and 2)

TCCR0AのWGM01,0ビット記述をご覧ください。

●ビット2~0 - CS02~0 : クロック選択 (Clock Select)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)によって使われるべきクロック元を設定します。図12-12と図12-13をご覧ください。

表12-6. クロック選択ビット説明

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk _{I/O} (前置分周なし)
0	1	0	clk _{I/O} /8 (8分周)
0	1	1	clk _{I/O} /64 (64分周)
1	0	0	clk _{I/O} /256 (256分周)
1	0	1	clk _{I/O} /1024 (1024分周)
1	1	0	T0ピンの下降端 (外部クロック)
1	1	1	T0ピンの上昇端 (外部クロック)

タイマ/カウンタ0に対して外部ピン(クロック)動作が使われる場合、例えT0ピンが出力として設定されても、T0ピンの遷移は計数器をクロック駆動します。この特性はソフトウェアに計数制御を許します。

12.11.3. TCCR0C - タイマ/カウンタ0制御レジスタC (Timer/Counter0 Control Register C)

ビット	7	6	5	4	3	2	1	0	
\$2C	FOC0A	FOC0B	-	-	-	-	-	-	TCCR0C
Read/Write	W	W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

●ビット7 - FOC0A : OC0A強制変更 (Force Output Compare for Channel A)

●ビット6 - FOC0B : OC0B強制変更 (Force Output Compare for Channel B)

FOC0A/FOC0BビットはWGM03~0ビットが非PWM動作を指示する時だけ有効です。けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Cが書かれる場合、これらのビットは0に設定されなければなりません。FOC0A/FOC0Bビットに論理1を書くと波形生成部で直ちに比較一致が強制されます。OC0x出力はCOM0x1,0ビット設定に従って変更されます。FOC0A/FOC0Bビットが瞬発(スローブ)として実行されることに注意してください。それによって強制された比較の効果を決めるのはCOM0x1,0ビットに存在する値です。

FOC0A/FOC0B瞬発は何れの割り込みの生成もTOPとしてOCR0Aを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$0000)も行いません。

FOC0A/FOC0Bビットは常に0として読みます。

●ビット5~0 - Res : 予約 (Reserved)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、このレジスタが書かれる時にこのビットは0を書かれなければなりません。

12.11.4. TCNT0H,TCNT0L (TCNT0) - タイマ/カウンタ0 (Timer/Counter0)

ビット	15	14	13	12	11	10	9	8	
\$29	TCNT015~8								TCNT0H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$28	TCNT07~0								TCNT0L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この2つのタイマ/カウンタ I/O位置(TCNT0HとTCNT0Lを合わせたTCNT0)は、読み書き両方についてタイマ/カウンタ部の16ビット計数器に直接アクセスします。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。54ページの「16ビットレジスタのアクセス」をご覧ください。

計数器が走行中にカウンタ(TCNT0)を変更することはOCR0xの1つとTCNT0間の比較一致消失の危険を誘発します。

TCNT0への書き込みは全ての比較部に対して次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。

12.11.5. OCR0AH,OCR0AL (OCR0A) – タイマ/カウンタ0 比較レジスタ (Timer/Counter0 Output Compare Register A)

ビット	15	14	13	12	11	10	9	8	
\$27	OCR0A15~8								OCR0AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$26	OCR0A7~0								OCR0AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.11.6. OCR0BH,OCR0BL (OCR0B) – タイマ/カウンタ0 比較レジスタ (Timer/Counter0 Output Compare Register B)

ビット	15	14	13	12	11	10	9	8	
\$25	OCR0B15~8								OCR0BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$24	OCR0B7~0								OCR0BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的に計数器(TCNT0)値と比較される16ビット値を含みます。一致は比較一致割り込みやOC0xピンでの波形出力を生成するのに使えます。

この比較レジスタは大きさが16ビットです。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。54頁の「16ビットレジスタのアクセス」をご覧ください。

12.11.7. ICR0H,ICR0L (ICR0) – タイマ/カウンタ0 捕獲レジスタ (Timer/Counter0 Input Capture Register)

ビット	15	14	13	12	11	10	9	8	
\$23	ICR015~8								ICR0H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$22	ICR07~0								ICR0L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲レジスタはICP0ピン(またはタイマ/カウンタ0に対して任意のアナログ比較器出力)で事象が起こる毎に計数器(TCNT0)値で更新されます。この捕獲レジスタはタイマ/カウンタのTOP値を定義するのに使うことができます。

この捕獲レジスタは大きさが16ビットです。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読まれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。54頁の「16ビットレジスタのアクセス」をご覧ください。

12.11.8. TIMSK0 – タイマ/カウンタ0 割り込み許可レジスタ (Timer/Counter0 Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$2B	–	–	ICIE0	–	–	OCIE0B	OCIE0A	TOIE0	TIMSK0
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6,4,3 – Res : 予約 (Reserved)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、このレジスタが書かれる時にこのビットは0を書かれなければなりません。

● ビット5 – ICIE0 : タイマ/カウンタ0捕獲割り込み許可 (Timer/Counter0 Input Capture Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0捕獲割り込みが許可されます。タイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)に配置された捕獲割り込み要求フラグ(ICF0)が設定(1)されると、対応する割り込みベクタが実行されます(29頁の「割り込み」をご覧ください)。

● ビット2 – OCIE0B : タイマ/カウンタ0比較B割り込み許可 (Timer/Counter0 Output Compare B Match Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが許可されます。タイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)に配置された比較0B割り込み要求フラグ(OCF0B)が設定(1)されると、対応する割り込みベクタが実行されます(29頁の「割り込み」をご覧ください)。

● ビット1 – OCIE0A : タイマ/カウンタ0比較A割り込み許可 (Timer/Counter0 Output Compare A Match Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが許可されます。タイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)に配置された比較0A割り込み要求フラグ(OCF0A)が設定(1)されると、対応する割り込みベクタが実行されます(29頁の「割り込み」をご覧ください)。

● ビット0 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)に配置されたタイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)が設定(1)されると、対応する割り込みベクタが実行されます(29頁の「割り込み」をご覧ください)。

12.11.9. TIFR0 – タイマ/カウンタ0 割り込み要求フラグレジスタ (Timer/Counter0 Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$2A	–	–	ICF0	–	–	OCF0B	OCF0A	TOV0	TIFR0
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6,4,3 – Res : 予約 (Reserved)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、このレジスタが書かれる時にこのビットは0を書かれなければなりません。

● ビット5 – ICF0 : タイマ/カウンタ0捕獲割り込み要求フラグ (Timer/Counter0, Input Capture Flag)

ICP0ピンに捕獲の事象が起こると、このフラグが設定(1)されます。捕獲レジスタ(ICR0)がWGM03~0によってTOP値として設定されると、ICF0フラグは計数器がTOP値に到達する時に設定(1)されます。

捕獲割り込みベクタが実行されると、ICF0は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもICF0を解除(0)することができます。

● ビット2 – OCF0B : タイマ/カウンタ0比較B割り込み要求フラグ (Timer/Counter0, Output Compare B Match Flag)

このフラグは計数器(TCNT0)値が比較Bレジスタ(OCR0B)と一致した後(次)のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC0B)瞬発(スローブ)がOCF0Bフラグを設定(1)しないことに注意してください。

比較B一致割り込みベクタが実行されると、OCF0Bは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF0Bを解除(0)することができます。

● ビット1 – OCF0A : タイマ/カウンタ0比較A割り込み要求フラグ (Timer/Counter0, Output Compare A Match Flag)

このフラグは計数器(TCNT0)値が比較Aレジスタ(OCR0A)と一致した後(次)のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC0A)瞬発(スローブ)がOCF0Aフラグを設定(1)しないことに注意してください。

比較A一致割り込みベクタが実行されると、OCF0Aは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF0Aを解除(0)することができます。

● **ビット0 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ** (Timer/Counter0 Overflow Flag)

このフラグの(1)設定はWGM03~0ビット設定に依存します。標準またはCTC動作でのTOV0フラグはタイマ/カウンタ0溢れ時に設定(1)されま
す。他のWGM03~0ビット設定を使う時のTOV0フラグ動作については57頁の表12-5をご覧ください。

タイマ/カウンタ0溢れ割り込みベクタが実行されると、TOV0は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによっ
てもTOV0を解除(0)することができます。

12.11.10. GTCCR – 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register)

ビット	7	6	5	4	3	2	1	0	
\$2F	TSM	–	–	–	–	–	–	PSR	GTCCR
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – TSM : タイマ/カウンタ同時動作** (Timer/Counter Synchronization Mode)

TSMビットへの1書き込みはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSRビットへ書かれる値は保持され、従って有効
にされた前置分周器リセット信号を保ちます。これはタイマ/カウンタが停止され、構成設定中に進行する危険なしに構成設定できることを
保証します。TSMビットが0を書かれると、ハードウェアによってPSRビットが解除(0)され、タイマ/カウンタは計数を始めます。

● **ビット0 – PSR : タイマ/カウンタ前置分周器リセット** (Prescaler Reset Timer/Counter)

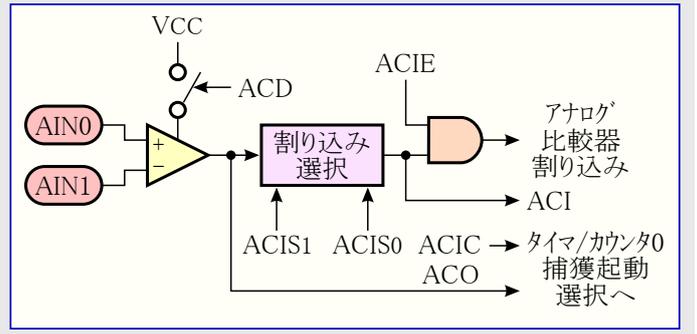
このビットが1の時にタイマ/カウンタ0の前置分周器がリセットします。TSMビットが設定(1)されている場合を除き、通常、このビットはハードウェアに
よって直ちに解除(0)されます。

13. アナログ比較器

アナログ比較器は非反転入力AIN0(PB0)ピンと反転入力AIN1(PB1)ピンの入力値を比べます。非反転AIN0ピンの電圧が反転AIN1ピンの電圧よりも高い時にACSRのアナログ比較器出力(ACO)ビットが設定(1)されます。比較器はアナログ比較器専用の独立した割り込みを起動することができます。比較器出力はタイマ/カウンタ0の捕獲機能を起動するように設定することができます(訳注:共通性から本行追加)。使用者は比較器出力の上昇、下降、または切り替わりでの割り込み起動を選ぶことができます。比較器とその周辺論理回路の構成図が図13-1.で示されます。

アナログ比較器のピン使用については5頁の図1-1.、交換ピンの使用については39頁の表11-4.をご覧ください。

図13-1. アナログ比較器部構成図



13.1. アナログ比較器用レジスタ

13.1.1. ACSR – アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$1F	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

● **ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)**

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするためにいつでも設定(1)することができ、従って活動動作やアイドル動作で電力消費を削減します。ACDビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起り得ます。

● **ビット6 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読みます。

● **ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)**

アナログ比較器の出力は同期化され、その後直接ACOへ接続されます。この同期化は1~2クロック周期の遅延をもたらします。

● **ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)**

このビットは比較器出力での出来事がACSRのアナログ比較器割り込み条件(ACIS1,0)ビットによって定義した割り込み方法で起動する時に設定(1)されます。ACSRのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもACIは解除(0)されます。

● **ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)**

ACIEビットが論理1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、アナログ比較器割り込み要求が活性(有効)にされます。論理0を書かれると、この割り込み要求は禁止されます。

● **ビット2 – ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)**

設定(1)時、このビットはアナログ比較器によって起動されるタイマ/カウンタ0の捕獲機能を許可します。この場合、比較器出力はタイマ/カウンタ0捕獲割り込みの雑音除去機能と端選択機能を使って捕獲入力前置論理回路へ直接的に接続されます。比較器がタイマ/カウンタ0捕獲割り込みを起動するには、「TIMSK0 – タイマ/カウンタ0割り込み許可レジスタ」の捕獲割り込み許可(ICIE0)ビットが設定(1)されなければなりません。

このビットが解除(0)されると、アナログ比較器と捕獲機能間の接続は存在しません。

● **ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)**

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するのかを決めます。各種設定は表13-1.で示されます。

ACIS1,0ビットを変更する時に「ACSR – アナログ比較器制御/状態レジスタ」のアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表13-1. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (切り替り)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

13.1.2. DIDR0 – デジタル入力禁止レジスタ (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0	
\$17	–	–	–	–	ADC3D	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット1,0 – ADC1D,ADC0D : AIN1,AIN0 デジタル入力禁止 (AIN1,AIN0 Digital Input Disable)

このビットが論理1を書かれると、AIN1(ADC1)/AIN0(ADC0)ピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ入力として使うけれどもデジタル入力を必要としない時にこのビットに論理1を書くことによってデジタル入力緩衝部での消費電力を削減することができます。

14. A/D変換器 – ATtiny5/10

14.1. 特徴

- 8ビット分解能
- 積分非直線性誤差0.5LSB
- 絶対精度±1LSB
- 変換時間65μs
- 最大分解能で15kSPS(採取/s)
- 4つの多重化されたシングル エント'入力
- 入力電圧範囲: 0~VCC
- 供給電圧範囲: 2.5~5.5V
- 連続と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- 休止動作雑音低減機能

14.2. 概要

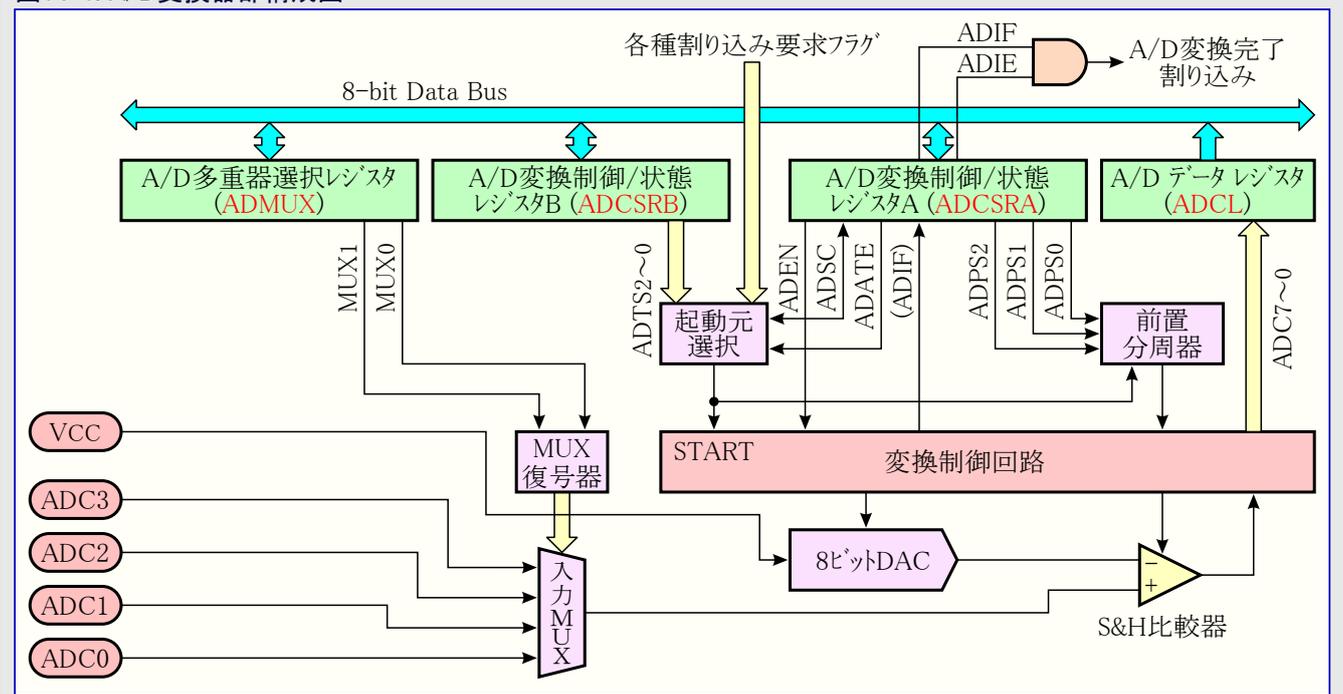
ATtiny5/10は8ビット逐次比較A/D変換器(ADC)が特徴です。ADCはポートBのピンから構成された4つのシングル エント'電圧を許す4チャネルのアナログ多重器に接続されます。シングル エント'電圧入力は0V(GND)を基準にします。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。ADCの構成図は図14-1.で示されます。

VCCの内蔵基準電圧がチップ上で提供されます。

ATtiny4/9ではA/D変換器(ADC)を利用できません。

図14-1. A/D変換器部構成図



14.3. 操作

ADCを使えるようにするには電力削減レジスタ(PRR)のA/D変換器電力削減(PRADC)ビットが禁止されなければなりません。これはPRADCビットを解除(0)することによって行われます。より多くの詳細については23頁の「[PRR – 電力削減レジスタ](#)」をご覧ください。

ADCは「[ADCSRA – A/D変換制御/状態レジスタA](#)」のA/D許可(ADEN)ビットを設定(1)することによって許可されます。入力チャネル選択はADENが設定(1)されるまで実施しません。ADCはADENが解除(0)されている時に電力を消費しないため、節電する休止形態動作へ移行する前にADCをOFFに切り替えることが推奨されます。

ADCは逐次比較を使ってアナログ入力電圧を8ビット デジタル値に変換します。最小値はGNDを表し、最大値はVCCの電圧を表します。アナログ入力チャネルはチャネル選択(MUX1,0)ビットを書くことによって選ばれます。69頁の「[ADMUX – A/D変換多重器制御レジスタ](#)」をご覧ください。どのADC入力ピンもA/D変換器へのシングル エント'入力として選ぶことができます。

ADCはADCデータ レジスタで表される8ビットの結果を生成します。70頁の「[ADCL – A/Dデータレジスタ](#)」をご覧ください。

ADCは変換完了時に起動することができる自身の割り込み要求を持ちます。

14.4. 変換の開始

電力削減レジスタ(PRR)のA/D変換器電力削減(PRADC)ビットを解除(0)することによってADCが給電されることを確実にしてください(23頁の「PRR - 電力削減レジスタ」をご覧ください)。

単独変換はA/D変換制御/状態レジスタA(ADCSRA)の変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り、1に留まり、変換が完了されるとハードウェアによって解除(0)されます。変換が進行中に違う入力チャンネルが選択されると、A/D変換部はそのチャンネル変更を実行する前に現在の変換を済ませます。

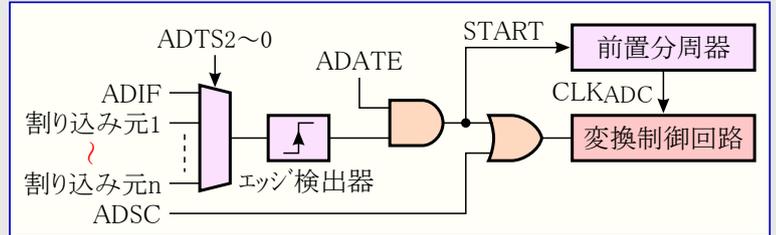
代わりに、変換は様々な起動元によって自動的に起動することができます。自動起動はADCSRAでA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRBA)のA/D変換起動元選択(ADTS)ビットの設定によって選ばれます。利用可能な起動元の一覧については70頁の表14-4.をご覧ください。

選んだ起動信号上の上昇端が起きると、A/D変換用前置分周器がリセットし、変換が開始されます。これは一定間隔で変換を開始する方法を提供します。変換完了時に起動信号が未だ設定(1)されている場合は新しい変換が開始されません。変換中にこの起動信号上で別の上昇端が起きると、その上昇端は無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)でも、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起こさずに変換を起動することができます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければなりません。

起動元としてのA/D変換完了割り込み要求フラグ(ADIF)の使用は、実行中の変換が完了されると直ぐにA/D変換器に新規変換を開始させます。その時にA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかにかかわらず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRA.ADSCビットに'1'を書くことによって単独変換を開始できます。ADSCは変換が進行中かを判断するのに使えます。ADSCビットは変換がどう開始されたかに拘らず、変換中は'1'として読めます。

図14-2. A/D変換自動起動回路



14.5. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに50~200kHzの入力クロック周波数を必要とします。

A/D変換部は図14-3.で図解されるように、100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。前置分周器はA/D変換制御/状態レジスタA(ADCSRA)のA/Dクロック選択(ADPS)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)である限り走行を維持し、ADENが解除(0)の時は継続的にリセットします。

ADCSRAでA/D変換開始(ADSC)ビットの設定(1)によってシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。

66頁の表14-1.で要約されるように、通常の変換は13変換クロック周期かかります。A/D変換部がONされる(ADCSRAでADENが設定(1))後の最初の変換はアナログ回路を初期化するために25変換クロック周期かかります。図14-4.をご覧ください。

図14-3. A/D変換前置分周器部構成

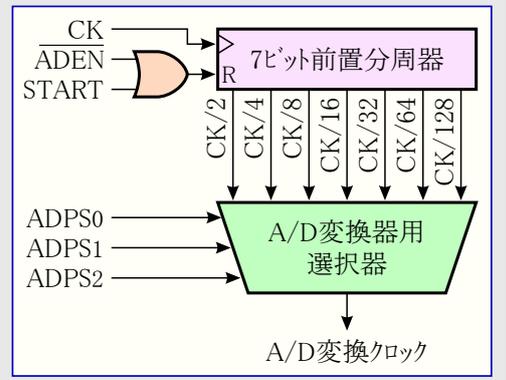
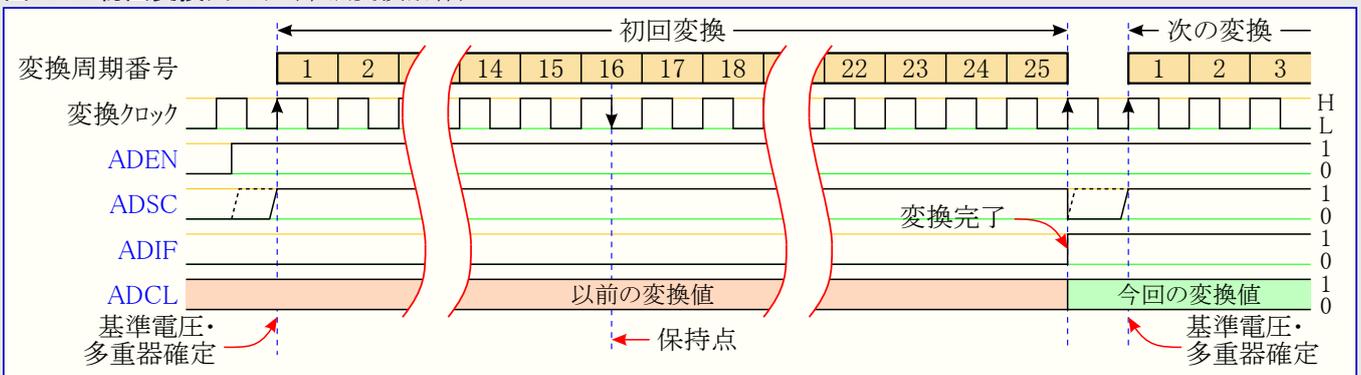
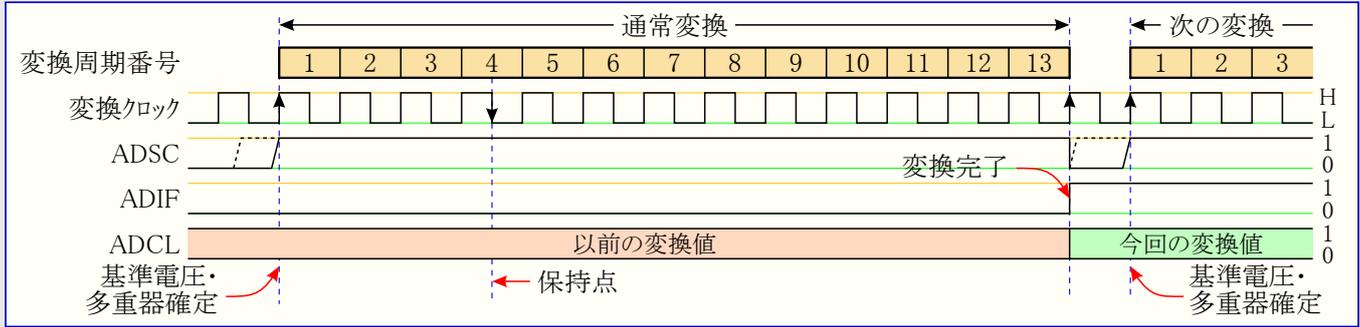


図14-4. 初回変換タイミング (単独変換動作)



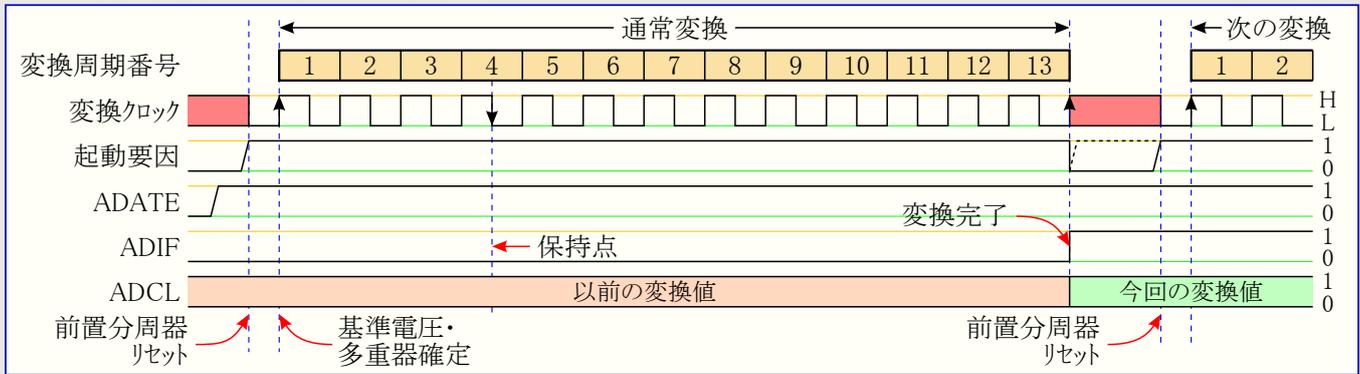
実際の採取&保持(保持開始点)は通常変換の開始後3変換クロック周期、初回変換の開始後16変換クロック周期かかります。図14-5をご覧ください。変換が完了すると、結果がA/Dデータレジスタ(ADCL)に書かれ、A/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にA/D変換開始(ADSC)ビットが解除(0)されます。その後にソフトウェアは再びADSCを設定(1)することができ、新規変換は変換クロックの最初の上昇端で開始されます。

図14-5. 通常変換タイミング (単独変換動作)



自動起動が使われると、前置分周器は起動要因発生時にリセットされます。図14-6をご覧ください。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換クロック周期で採取が行われます。同期化論理回路(端検出器)に対して追加の3CPUクロック周期が費やされます。

図14-6. 通常変換タイミング (自動起動変換動作)



連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADCSRA.ADSCは1に留まります(図14-7をご覧ください)。

変換時間の要約については表14-1をご覧ください。

図14-7. 連続変換動作タイミング

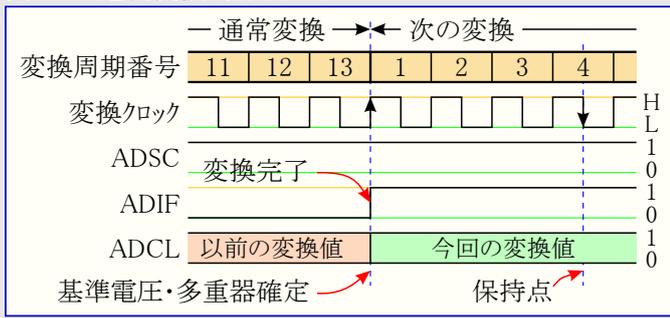


表14-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	16.5	25
通常変換	3.5	13
自動起動変換	4	13.5
連続変換	3.5	13

14.6. チャネル変更と基準電圧

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUXn)ビットはCPUが順番にアクセスするための一時レジスタを通して単独緩衝されます。これはチャネル選択が変換中の安全なところでだけ行うのを保証します。チャネル選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネル選択は固定されます。継続的な更新は変換完了(ADCSRAのADIFが設定(1))前の最後の変換クロック周期で再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者は変換開始(ADCSRA.ADSC)書き込み後、1変換クロック周期(経過)まで新しいチャネル選択値をADMUXに書かないことが推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が払われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が'1'を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

- ADENまたはADATEが解除(0)されている時。
- 変換開始後、最低1変換クロック周期経過後の変換中。
- 変換後から、変換起動元として使った割り込みフラグが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

14.6.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選択されることを保証するために次の指針を守るべきです。

- 単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。
- 連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

14.6.2. A/D変換基準電圧

ADCの基準電圧(V_{REF})はA/D変換に対する変換範囲を示し、この場合は0V(V_{GND})と $V_{REF}=V_{CC}$ に制限されます。 V_{REF} を越えるチャネルは\$FFで飽和する符号に帰着します。

14.7. 雑音低減機能

ADCはCPUコアと他の周辺I/Oが誘導した雑音を減らすために休止形態動作中の変換を可能にする雑音低減機能が特徴です。この機能はA/D変換雑音低減動作とアイドル動作で使うことができます。この機能を使うには次の手順が使われるべきです。

1. ADCが許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADATE=0)され、且つA/D変換完了割り込みが許可(ADIF=1)されていなければなりません。
2. A/D変換雑音低減(またはアイドル)動作に移行してください。一旦CPUが停止されてしまうと、ADCは変換を始めます。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで通常動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止動作へ移行する時にADCが自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態動作へ移行する前にADENへ0を書くことが推奨されます。

14.8. アナログ入力回路

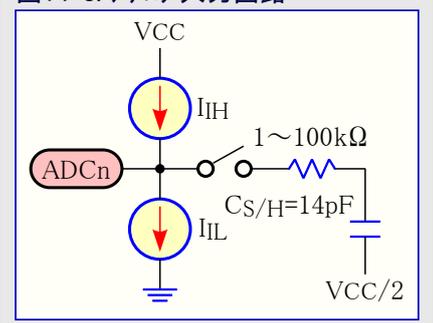
シングルエンド入力チャネルのアナログ回路は図14-8.で図解されます。ADCnに印加したアナログ(信号)源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、(アナログ)信号源は直列抵抗(入力経路の合成抵抗)を通してS/H(採取/保持)コンデンサを駆動しなければなりません。

図14-8.のコンデンサはデバイス内側の採取/保持コンデンサと浮遊や寄生の容量を含む総容量を表します。

ADCは概ね10kΩ若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このような供給源では、採取時間は無視してもよいでしょう。より高いインピーダンスの供給源が使われる場合、採取時間はS/Hコンデンサを充電するために供給源がどれくらいの時間を必要とするかに依存します。これは広範囲に変化し得ます。緩やかに変化する信号に於いて、必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は低インピーダンス信号源だけを使うことが推奨されます。

特定できない信号の渦からの歪を避けるため、どのチャネルに対してもナイキスト周波数($f_{ADC}/2$)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に、低域通過濾波器で高い周波数成分を取り除くことが推奨されます。

図14-8. アナログ入力回路



14.9. 雑音低減技術

デバイス内外のデジタル回路がアナログ測定の精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要な時は次の技法を適用することによって雑音水準を減らすことができます。

- アナログ信号経路を可能な限り最短にしてください。
- アナログ信号経路がアナログGND面上を走ることを確認してください。
- アナログ信号経路を高速切り替えデジタル信号線から充分分離することを守ってください。
- 何れかのADCポートピンがデジタル出力として使われる場合、これらを変換進行中に決して切り替えてはなりません。
- 可能な限りVCCとGNDピンの近くにパスコンを配置してください。

高いA/D変換精度が必要とされる時は67頁の「14.7. 雑音低減機能」で記述されるようにA/D変換雑音低減動作を使うことが推奨されます。正しい外部パスコン配置での良いシステム設計はA/D変換雑音低減動作の必要性を低減します。

14.10. A/D変換の精度定義

シングルエンド入力電圧のnビットA/D変換はGNDとVREF間を 2^n で直線的に変換します。最低値コードは0として読み、最高値コードは 2^n-1 として読みます。

以下のように各項目は理想状態からの偏差を表します。

• オフセット誤差 - 図14-9.

最初の遷移点(\$00から\$01)に於いて理想遷移点(差0.5LSB)と比較した偏差です。理想値は0LSBです。

• 利得誤差 - 図14-10.

オフセット誤差補正後の最後の遷移点(\$FEから\$FF)に於いて理想遷移点(最大差1.5LSB以下)と比較した偏差です。理想値は0LSBです。

• 積分非直線性誤差 (INL) - 図14-11.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

• 微分非直線性誤差 (DNL) - 図14-12.

実際のコードの幅(隣接する2つの遷移点間)に於いて理想コード幅(1LSB)と比較した最大偏差です。理想値は0LSBです。

• 量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に $\pm 0.5LSB$ です。

• 絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は $\pm 0.5LSB$ です。

図14-9. オフセット誤差

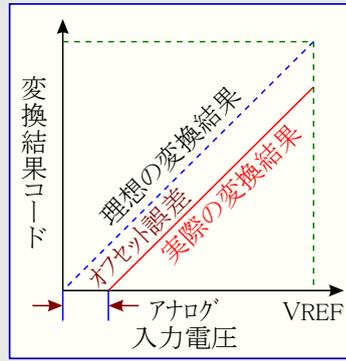


図14-10. 利得誤差

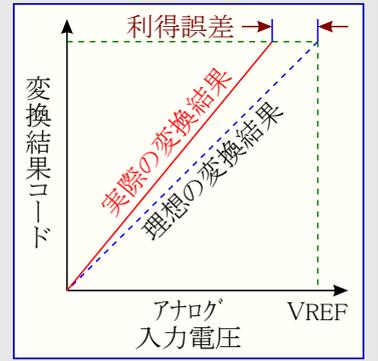


図14-11. 積分非直線性誤差

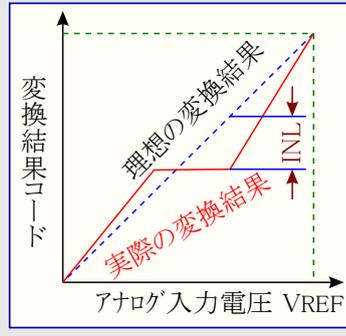
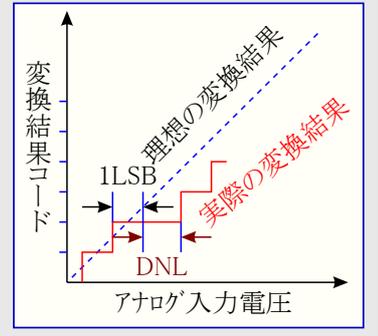


図14-12. 微分非直線性誤差



14.11. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCL)で得られます。

シングルエンド入力変換での結果は次式で示されます。

$$ADC = \frac{V_{IN} \times 256}{V_{CC}}$$

V_{IN} は選択した入力ピン(69頁の表14-2をご覧ください。)の電圧で、 V_{CC} (V_{REF})は基準電圧です。\$00はアナログGNDを表し、\$FFは基準電圧-1LSBを表します。

14.12. A/D変換用レジスタ

14.12.1. ADMUX – A/D多重器選択レジスタ (ADC Multiplexer Select Register)

ビット	7	6	5	4	3	2	1	0	
\$1B	-	-	-	-	-	-	MUX1	MUX0	ADMUX
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~2 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

- **ビット1,0 – MUX1,0 : A/Dチャネル選択 (Analog Channel Selection)**

これらのビットの値はA/D変換器にどのアナログ入力に接続されるかを選びます。詳細については表14-2をご覧ください。これらのビットが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIFが設定(1)される)まで実施しません。

表14-2. アナログ入力チャネル選択

MUX1,0	シングルエンド入力	ピン名
0 0	ADC0	PB0
0 1	ADC1	PB1
1 0	ADC2	PB2
1 1	ADC3	PB3

14.12.2. ADCSRA – A/D変換 制御/状態レジスタA (ADC Control and Status Register A)

ビット	7	6	5	4	3	2	1	0	
\$1D	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – ADEN : A/D許可 (ADC Enable)**

このビットに1を書くことがADC(動作)を許可します。0を書くことによってADCは(電源が)OFFされます。変換が進行中にADCをOFFにすることはその変換を(途中)終了します。

- **ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)**

単独変換動作で各変換を始めるにはこのビットへ1を書いてください。連続変換動作で最初の変換を始めるにはこのビットへ1を書いてください。ADCが許可される(ADEN=1)と同時にADSCが書かれるか、またはADCが許可されてしまった後にADSCが書かれた後の**初回変換**は通常の13に代わって25変換クロック周期で行います。この初回変換はADCの初期化を実行します。

ADSCは変換が進行中である限り1として読めます。変換が完了すると0に戻ります。このビットへの0書き込みは無効です。

- **ビット5 – ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)**

このビットが1を書かれると、A/D変換の自動起動が許可されます。ADCは選択した起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動要因選択(ADTS2~0)ビット設定によって選択されます。

- **ビット4 – ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)**

A/D変換が完了し、A/Dデータレジスタが更新されると、このフラグが設定(1)されます。A/D変換完了割り込み許可(ADIE)ビットが設定(1)される場合、A/D変換完了割り込みが要求されます。対応する割り込み処理ベクタを実行する時にADIFはハードウェアによって解除(0)されます。代わりにこのフラグに論理1を書くことによってもADIFは解除(0)されます。

- **ビット3 – ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)**

このビットが1を書かれると、A/D変換完了割り込み要求が許可されます。

- **ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)**

これらのビットはシステムクロック周波数とA/D変換部への入力クロック間の分周値を決めます。

表14-3. ADC前置分周選択

ADPS2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
分周係数	2	2	4	8	16	32	64	128

14.12.3. ADCSRB – A/D変換 制御/状態レジスタB (ADC Control and Status Register B)

ビット	7	6	5	4	3	2	1	0	
\$1C	-					ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

● ビット2~0 – ADTS2~0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビットの値はどの起動元がA/D変換を起動するのを選択します。ADATEが解除(0)されると、ADTS2~0設定は無効です。変換は選択した割り込みフラグの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ビットが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2~0=0)への切り替えは、例えばA/D変換完了割り込み要求フラグが設定(1)されていても、起動事象を引き起こしません。

表14-4. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ0比較A一致
1	0	0	タイマ/カウンタ0溢れ
1	0	1	タイマ/カウンタ0比較B一致
1	1	0	ピン変化割り込み
1	1	1	タイマ/カウンタ0捕獲発生

14.12.4. ADCL – A/Dデータレジスタ (ADC Data Register)

ビット	7	6	5	4	3	2	1	0	
\$19	ADC7~0								ADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

A/D変換が完了すると、その結果がADCLレジスタで得られます。

● ADC7~0 : A/D変換結果 (ADC Conversion result)

これらのビットは変換での結果を表します。

14.12.5. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0	
\$17	-				ADC3D	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット3~0 – ADC3D~ADC0D : ADC3~ADC0デジタル入力禁止 (ADC3~0 Digital Input Disable)

このビットが論理1を書かれると、対応するADCピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)される時、対応するポート入力(PIN)レジスタのビットは常に0として読みます。ADC3~0ピンにアナログ信号が印加され、そのピンからのデジタル入力が必要ない時に、デジタル入力緩衝部での電力消費を減らすため、このビットは論理1を書かれるべきです。

15. プログラミング インターフェース

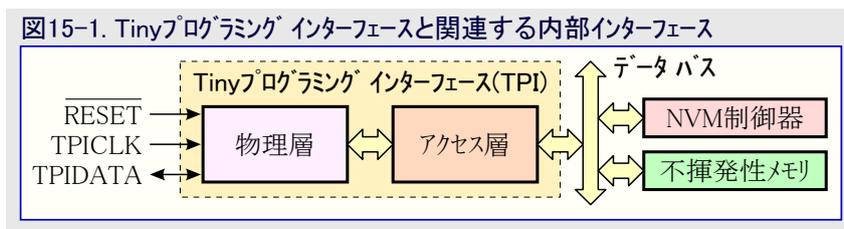
15.1. 特徴

- 物理層:
 - 同期データ転送
 - 半二重双方向の送受信部
 - 1開始ビット、8ビットデータ、1パリティビット、2停止ビットの固定構成形式
 - パリティ誤り検出、フレーミング誤り検出、中断キャラクタ検出
 - パリティ生成と衝突検出
 - データ送受信間への自動保護時間挿入
- アクセス層:
 - メッセージに基づく通信
 - 自動的な例外処理機構
 - 簡潔な命令1式
 - NVMプログラミング アクセス制御
 - Tinyプログラミング インターフェース制御/状態空間アクセス制御
 - データ空間アクセス制御

15.2. 概要

Tinyプログラミング インターフェース(TPI)は全ての不揮発性メモリ(NVM)の外部プログラミングを支援します。メモリプログラミングは78頁の「メモリプログラミング」で記述されるように、NVM制御器指令を実行することによってNVM制御器経由で行われます。

Tinyプログラミング インターフェース(TPI)はプログラミング設備へのアクセスを提供します。このインターフェースは物理層とアクセス層の2つの層から成ります。この層は図15-1.で図解されます。



プログラミングは物理的なインターフェース経由で行われます。これは許可としてのRESETピン、クロック入力としてのTPICLKピン、データ入出力としてのTPIDATAピンを使う3ピン インターフェースです。NVMは5Vでだけプログラミングすることができます。

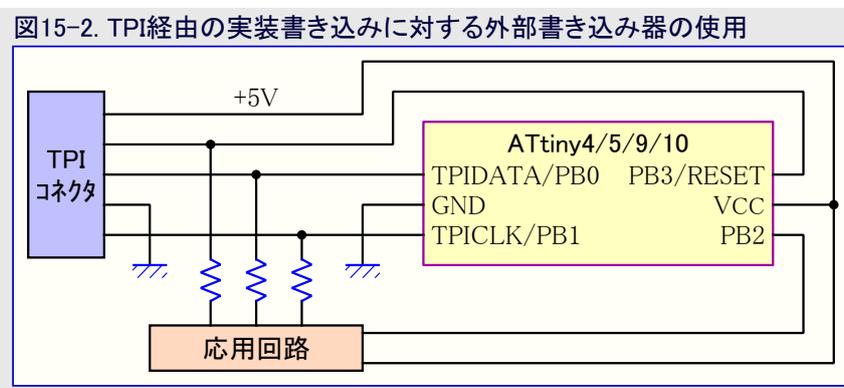
15.3. Tinyプログラミング インターフェースの物理層

TPI物理層は基本的な低位直列通信を扱います。TPI物理層は半二重双方向直列送受信部を使います。物理層は直列から並列へと並列から直列へのデータ変換、フレーム開始検出、フレーム異常検出、パリティ誤り検出、パリティ生成、衝突検出を含みます。

TPIは次のような3つのピン経由でアクセスされます。

- RESET : Tinyプログラミング インターフェース許可入力
- TPICLK : Tinyプログラミング インターフェース クロック入力
- TPIDATA : Tinyプログラミング インターフェース データ入出力

加えて、外部書き込み器とデバイス間でVCCとGNDが接続されなければなりません。

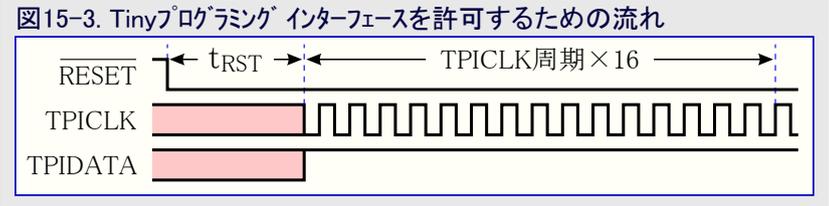


不揮発性メモリ(NVM)は5Vでだけ書く(プログラミング)ことができます。いくつかの設計では5Vを許容できない部品を保護すること(例えば直列抵抗器)が必要かもしれません。

15.3.1. 許可

以下の手順がTinyプログラミング インターフェースを許可します(指針については図15-3をご覧ください)。

1. VCCとGND間に5Vを印加してください。
2. 使われるリセットの方法に依存して、次のどちらかを実行してください。
 - tTOUT(88頁の表17-4参照)待つてRESETピンをLowに設定してください。これはデバイスをリセットしてTPI物理層を許可します。そしてプログラミング作業全体の間、RESETピンはLowに保たれなければなりません。
 - RSTDISBL構成設定ビットがプログラム(0)されている場合、RESETピンに12Vを印加してください。RESETピンはプログラミング作業全体の間、12Vに保たれなければなりません。
3. tRST(85頁の表17-4参照)待つてください。
4. 16 TPICLK周期の間、TPIDATAピンをHighに保ってください。



15.3.2. 禁止

NVM許可(NVMEN)ビットが解除(0)されていれば、RESETピンが不活性のHigh状態に開放されるか、または代替としてのVHV(12V)がもはやRESETピンに印加されない場合に、TPIは自動的に禁止されます。

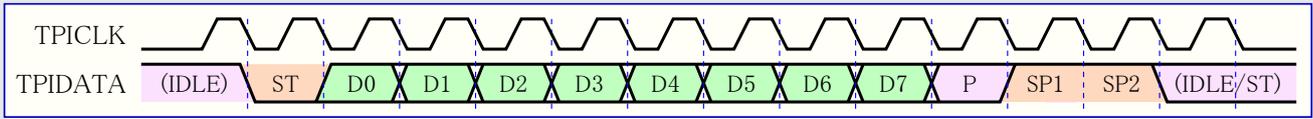
NVM許可ビットが解除(0)されていなければ、TPIプログラミング動作形態を抜け出すのに電源断が必要とされます。

77頁の「TPISR - Tinyプログラミング インターフェース状態レジスタ」でNVMENビットをご覧ください。

15.3.3. フレーム形式

TPI物理層は固定フレーム形式を支援します。フレームは8ビット長の1つのキャラクタ、1つの開始ビット、パリティビット、2つの停止ビットから成ります。データは下位ビット先行で転送されます。

図15-4. 直列フレーム形式



上図で使った記号は次のとおりです。

- ST : 開始ビット (常にLow)
- D0~D7 : データビット (下位ビット先行送出)
- P : パリティビット (偶数パリティを使用)
- SP1 : 停止ビット1 (常にhigh)
- SP2 : 停止ビット2 (常にhigh)

15.3.4. パリティビット計算

パリティビットは常に偶数パリティを用いて計算されます。ビットの値は次のように全てのデータビットの排他的論理和(EOR)を行うことによって計算されます。

$$P = D0 \text{ EOR } D1 \text{ EOR } D2 \text{ EOR } D3 \text{ EOR } D4 \text{ EOR } D5 \text{ EOR } D6 \text{ EOR } D7 \text{ EOR } 0$$

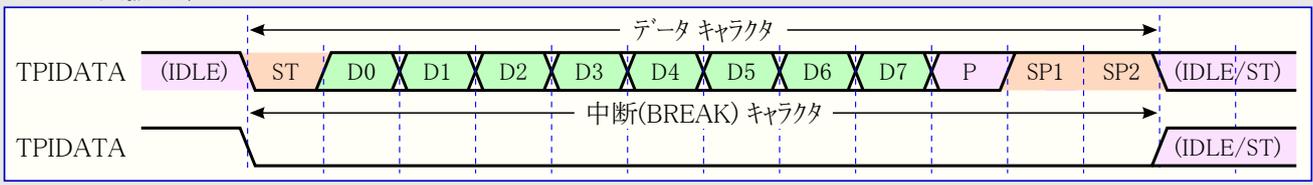
ここでの記号は次のとおりです。

- P : 偶数パリティを用いたパリティビット
- D0~D7 : キャラクタのデータビット

15.3.5. 支援キャラクタ

中断(BREAK)キャラクタは12ビット長のLowレベルと等価です。これは12ビット長を越えて延長することができます。

図15-5. 支援キャラクタ

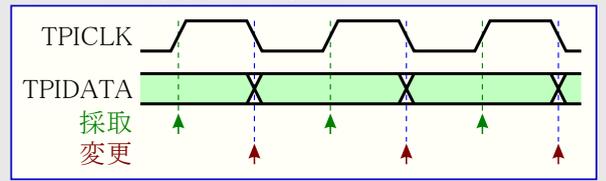


15.3.6. 動作

TPI物理層は外部書き込み器によって供給されるTPICLKに同期して動作します。データ採取やデータ変更とクロック端の間での依存性が図15-6.で示されます。データは下降端で変更され、上昇端で採取されます。

TPI物理層は送信と受信の2つの動作形態を支援します。既定でのこの層は受信動作形態で開始ビットを持ちます。動作形態はアクセス層によって制御されます。

図15-6. データ変更とデータ採取



15.3.7. 直列データ受信

TPI物理層が受信動作形態の時は開始ビットが検出されると直ぐにデータ受信が開始されます。開始ビットに後続する各ビットがTPICLKの上昇端で採取され、第2停止ビットが受信されるまで移動レジスタに順次移動されます。移動レジスタに完全なフレームが存在する時に受信したデータはTPIアクセス層に対して利用可能です。

受信動作形態にはフレーム異常、パリティ誤り、中断検出の3つの例外が有り得ます。これらの全ての例外はTPIアクセス層に対して合図され、そして異常状態へ移行してTPI物理層を受信動作形態に置き、中断(BREAK)キャラクタを待ちます。

- フレーム異常例外。フレーム異常例外は停止ビットの状態を示します。フレーム異常例外は停止ビットが0として読まれた場合に設定されます。
- パリティ誤り例外。データビットのパリティはフレーム受信中に計算されます。フレームが完全に受信された後に結果がフレームのパリティビットと比較されます。比較失敗の場合にパリティ誤り例外が合図されます。
- 中断検出例外。中断検出例外は全て0の完全なフレームが受信された時に生成されます。

15.3.8. 直列データ送信

TPI物理層が新しいフレームを送出する準備が整っている時に、送信するデータを移動レジスタに格納することによって、それがデータ送信を始めます。移動レジスタが新データを格納されると、送信部はTPICLKによって与えられる転送速度で完全なフレームをTPIDATAへ送り出します。

送信中に衝突が検出された場合は出力駆動部が禁止されます。TPIアクセス層は異常状態へ移行してTPI物理層を受信動作形態に置かれ、中断(BREAK)キャラクタを待ちます。

15.3.9. 衝突検出例外

TPI物理層はデータの送信と受信の両方に1つの双方向データ線を使います。外部書き込み器とTPI物理層が同時にTPIDATAを駆動した場合に有り得る駆動競合が起こるかもしれません。駆動競合の影響を減らすため、衝突検出機構が支援されます。衝突検出はTPI物理層が駆動するTPIDATA線の状態に基づきます。

TPIDATA線は内部プルアップ付きの3状態プッシュプル駆動部によって駆動されます。論理0が送出される時に出力駆動部は常に許可されます。連続する論理1を送出する時に、その出力は最初のクロック周期の間だけ活動的に駆動されます。その後、出力駆動部は自動的にHi-Zにされ、TPIDATA線は内部プルアップによってHighを保持されます。出力は次に論理0が送出される時に再び許可されます。

衝突検出は送信動作形態で出力駆動部が禁止される時に許可されます。データ線は内部プルアップによって直ぐにHighを保持されるべきで、そしてそれが外部書き込み器によってLowに駆動されるかを見るために監視されます。その出力がLowに読まれる場合に衝突が検出されます。

衝突検出が実行される方法に関連するいくつかの潜在的な落とし穴があります。例えば、TPI物理層が連続する論理0のビット列、または論理1と0を交互に切り替えるビット列を送信する時に衝突を検出することができません。これは全ての時で出力駆動部が活性でTPIDATA線のポーリングを妨げるためです。けれども、単一フレーム内では2つの停止ビットが常に論理1として送信されるべきで、(フレーム形式が停止ビットに関して違反されていない限り)フレームに対して最低1回の衝突検出を許可します。

TPI物理層はTPIDATA線で衝突を検出した時に送信を止めます。衝突はTPIアクセス層へ合図され、そして物理層を直ちに受信動作形態に変更して異常状態になります。中断(BREAK)キャラクタを送出することによってだけ、TPIアクセス層は異常状態から回復することができます。

15.3.10. 方向変更

半二重動作の正しいタイミングを保証するため、物理層に簡単な保護時間機構が付加されています。TPI物理層が受信から送信の動作形態へ変更する時に、開始ビットが送信されるのに先立って構成設定可能な追加IDLEビット数が挿入されます。送受信動作形態間の最低遷移時間は2 IDLEビットです。合計IDLE時間は指定した保護時間+2 IDLEビットです。

保護時間はTinyプログラミング インターフェース物理層制御レジスタ(TPIPCR)の専用ビットによって構成設定されます。物理層が初期化された後の既定の保護時間値は128ビットです。

外部書き込みはTPI目的対象が受信から送信へ動作形態を変更する時にTPIDATA線の制御権を失います。保護時間機能はこの通信の危険な段階を緩和します。外部書き込み器が受信から送信へ動作形態を変更する時に、開始ビットが送信されるのに先立って最低1つのIDLEビットが挿入されるべきです。

15.4. Tinyプログラミング インターフェースのアクセス層

TPIアクセス層には外部書き込み器との通信を処理する責任があります。通信はメッセージ形式に基き、各メッセージは1またはより多くのバイト単位のオペランドが後続する命令から成ります。命令は常に外部書き込み器によって送られますが、オペランドは発行された命令の形式に依存して、外部書き込み器またはTPIアクセス層のどちらかによって送られます。

TPIアクセス層はTPI物理層のキャラクタ転送方向を制御します。例外後の異常状態からの回復も処理します。

Tinyプログラミング インターフェースの**制御/状態空間(CSS)**はTPIアクセス層の制御と状態のレジスタに割り当てられます。CSSはTPI自身の動作に直接影響するレジスタから成ります。これらのレジスタは**SLDCS**と**SSTCS**の命令を用いてアクセス可能です。

アクセス層は直接的、またはアドレスポインタとして**ポインタレジスタ(PR)**を用いて間接的のどちらかでデータ空間もアクセスすることができます。データ空間は**SLD,SST,SIN,SOUT**の命令を用いてアクセス可能です。アドレスポインタは**SSTPR**命令を用いてポインタレジスタに格納することができます。

15.4.1. メッセージ形式

各メッセージは1またはより多くのバイト オペランドが後続する命令から成ります。命令は常に書き込み器によって送られます。命令に依存して後続するオペランドの全ては外部書き込み器またはTPIのどちらかによって送出されます。

メッセージは次のように、命令に基いて2つの形式に分類することができます。

- **書き込みメッセージ**。書き込みメッセージはデータ書き込みを求められます。書き込みメッセージは全体的に外部書き込み器によって送られます。このメッセージ形式は**SSTCS,SST,SSTPR,SOUT,SKEY**の命令で使われます。
- **読み込みメッセージ**。読み込みメッセージはデータ読み込みを求められます。TPIはバイト オペランドを送出することによって要求に反応します。このメッセージ形式は**SLDCS,SLD,SIN**の命令で使われます。

SKEY命令を除く全ての命令は命令に続く1バイトのオペランドが必要です。**SKEY**命令は8バイトのオペランドが必要です。より多くの情報については下の**TPI命令**をご覧ください。

15.4.2. 例外処理と同期

TPIの定常動作からの例外は多くの状況が考慮されます。TPI物理層が受信動作形態の時のこれらの例外は以下です。

- TPI物理層がパリティ誤りを検出
- TPI物理層がフレーム異常を検出
- TPI物理層が中断(BREAK)キャラクタを認証

TPI物理層が送信動作形態の時に有り得る例外は以下です。

- TPI物理層がデータ衝突を検出

これら全ての例外がTPIアクセス層に合図されます。アクセス層は進行中のどの操作も中止することによって例外に返答し、そして異常状態へ移行します。アクセス層は中断(BREAK)キャラクタが受信されるまで異常状態に留まり、その後に既定状態へ戻されます。結果として外部書き込み器は単に2つの中断(BREAK)キャラクタを送信することによって常に規約を同期することができます。

15.5. 命令一式

TPIは**TPI制御/状態空間(CSS)**とデータ空間をアクセスするのに使われる簡潔な命令1式を持ちます。命令はTPI、NVM制御器、NVMメモリのアクセスを外部書き込み器に許します。**SKEY**を除く全ての命令は命令に続く1バイトのオペランドが必要です。**SKEY**命令は8バイトのデータが後続します。全ての命令はバイトの大きさです。

TPI命令一式は**表15-1**で要約されます。

表15-1. 命令一式要約

ニーモニック	オペランド	説明	動作
SLD	data,PR	間接アドレス指定を使用してデータ空間から直列取得	data←DS[PR]
	data,PR+	間接アドレス指定を使用してデータ空間から直列取得,事後増加	data←DS[PR],PR←PR+1
SST	PR,data	間接アドレス指定を使用してデータ空間へ直列格納	DS[PR]←data
	PR+,data	間接アドレス指定を使用してデータ空間へ直列格納,事後増加	DS[PR]←data,PR←PR+1
SSTPR	PR,a	直接アドレス指定を使用してポインタレジスタへ直列格納	PR[a]←data
SIN	data,a	データ空間から直列入力	I/O[a]←data
SOUT	a,data	データ空間へ直列出力	data←I/O[a]
SLDCS	data,a	直接アドレス指定を使用して制御/状態空間から直列取得	CSS[a]←data
SSTCS	a,data	直接アドレス指定を使用して制御/状態空間へ直列格納	data←CSS[a]
SKEY	Key,{8{data}}	鍵直列設定	Key←{8{data}}

15.5.1. SLD – 直列で間接アドレス指定を使ってデータ空間から取得

SLD命令は直列読み出しのためにデータ空間からTPI物理層移動レジスタへデータバイトを格納するのに間接アドレス指定を用います。データ空間位置はポインタレジスタ(PR)によって位置付けられ、このアドレスはデータがアクセスされる前に格納されなければなりません。表15-2.で示されるように、ポインタレジスタは、その操作によって無変化のままか、または事後増加されるかのどちらかです。

表15-2. 直列でデータ空間からの取得(SLD)命令

動作	オペコード	備考	レジスタ
data←DS[PR]	0010 0000	PR←PR	無変化
data←DS[PR]	0010 0100	PR←PR+1	事後増加

15.5.2. SST – 直列で間接アドレス指定を使ってデータ空間へ設定

SST命令は物理層移動レジスタへ移されたデータバイトをデータ空間へ格納するのに間接アドレス指定を用います。データ空間位置はポインタレジスタ(PR)によって位置付けられ、このアドレスはデータがアクセスされる前に格納されていなければなりません。表15-3.で示されるように、ポインタレジスタは、その操作によって無変化のままか、または事後増加されるかのどちらかにすることができます。

表15-3. 直列でデータ空間への格納(SST)命令

動作	オペコード	備考	レジスタ
DS[PR]←data	0110 0000	PR←PR	無変化
DS[PR]←data	0110 0100	PR←PR+1	事後増加

15.5.3. SSTPR – 直列でポインタレジスタへ設定

SSTPR命令は物理層移動レジスタへ移されたデータバイトをポインタレジスタ(PR)へ格納します。表15-4.で示されるように、命令のアドレスビットはポインタレジスタのどのバイトがアクセスされるのかを指定します。

表15-4. 直列でポインタレジスタへの格納(SSTPR)命令

動作	オペコード	備考
PR[a]←data	0110 100a	ビット'a'はポインタレジスタのバイト位置を指示します。

15.5.4. SIN – 直列で直接アドレス指定を使ってI/O空間から取得

SIN命令は直列読み出しのためにI/O空間からTPI物理層移動レジスタへデータバイトを格納します。表15-5.で示されるように、この命令は直接アドレス指定を用いて、アドレスは命令の6つのアドレスビットから成ります。

表15-5. 直列で直接アドレス指定を使ってI/O空間から取得(SIN)命令

動作	オペコード	備考
data←I/O[a]	0aa1 aaaa	'a'と記されたビットは直接6ビットのアドレスを形成します。

15.5.5. SOUT – 直列で直接アドレス指定を使ってI/O空間へ設定

SOUT命令は物理層移動レジスタへ移されたデータバイトをI/O空間へ格納します。表15-6.で示されるように、この命令は直接アドレス指定を用い、アドレスは命令の6つのアドレスビットから成ります。

表15-6. 直列で直接アドレス指定を使ってI/O空間へ格納(SIN)命令

動作	オペコード	備考
I/O[a]←data	1aa1 aaaa	'a'と記されたビットは直接6ビットのアドレスを形成します。

15.5.6. SLDCS – 直列で直接アドレス指定を使って制御/状態空間からデータ取得

SLDCS命令は直列読み出しのためにTPI制御/状態空間からTPI物理層移動レジスタへデータバイトを格納します。表15-7.で示されるように、SLDCS命令は直接アドレス指定を用い、直接アドレスは命令の4つのアドレスビットから成ります。

表15-7. 直列で直接アドレス指定を使って制御/状態空間から取得(SLDCS)命令

動作	オペコード	備考
data←CSS[a]	1000 aaaa	'a'と記されたビットは直接4ビットのアドレスを形成します。

15.5.7. SSTCS – 直列で直接アドレス指定を使って制御/状態空間へデータ設定

SSTCS命令はTPI物理層移動レジスタに移されたデータバイトをTPI制御/状態空間へ格納します。表15-8.で示されるように、SSTCS命令は直接アドレス指定を用い、直接アドレスは命令の4つのアドレスビットから成ります。

表15-8. 直列で直接アドレス指定を使って制御/状態空間から取得(SLDCS)命令

動作	オペコード	備考
CSS[a]←data	1100 aaaa	'a'と記されたビットは直接4ビットのアドレスを形成します。

15.5.8. SKEY – 直列で鍵合図

SKEY命令はNVMプログラミングを許可する活性化鍵の合図に使われます。表15-9.で示されるように、SKEY命令は活性化鍵を含む8バイトのデータが後続します。

表15-9. 直列で鍵合図(KEY)命令

動作	オペコード	備考
KEY←{8}data}}	1110 0000	データバイトが命令後に続きます。

15.6. 不揮発性メモリ制御器のアクセス

既定でのNVMプログラミングは許可されていません。NVM制御器をアクセスして不揮発性メモリをプログラミングできるようにするには、SKEY命令を使って固有鍵が送られなければなりません。NVMプログラミングを許可する64ビットの鍵は表15-10.で与えられます。

表15-10. 直列鍵合図(KEY)命令

鍵	値
NVMプログラミング許可	\$1289AB45CDD888FF

鍵が与えられた後、不揮発性メモリが許可されるまでTPI状態レジスタ(TPISR)の不揮発性メモリ許可(NVMEN)ビットがホーリングされなければなりません。

NVMプログラミングはTPISRのNVMENビットへ論理0を書くことによって禁止されます。

15.7. 制御/状態空間レジスタ説明

Tinyプログラミング インターフェースの制御と状態のレジスタはこのインターフェースの制御/状態空間(CSS)に割り当てられます。これらのレジスタはI/Oレジスタ割り当ての一部ではなく、SLDCSとSSTCSの命令経路でだけアクセス可能です。制御と状態のレジスタはTPIの構成設定と状態監視に直接的に関係します。

CSSレジスタの要約が表15-11.で示されます。

表15-11. 制御と状態のレジスタ要約

アドレス	名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
\$0F	TPIIR	Tinyプログラミング インターフェース識別符号							
\$03~\$0E	(予約)								
\$02	TPIPCR	-	-	-	-	-	GT2	GT1	GT0
\$01	(予約)								
\$00	TPISR	-	-	-	-	-	-	NVMEN	-

15.7.1. TPIIR – Tinyプログラミング インターフェース識別レジスタ (Tiny Programming Interface Identification Register)

ビット	7	6	5	4	3	2	1	0	
CSS:\$0F	TPIIC7~0								TPIIR
Read/Write	R	R	R	R	R	R	R	R	
初期値									

- ビット7~0 – TPIIC7~0 : Tinyプログラミング インターフェース識別符号 (Tiny Programming Interface Identification Code)

これらのビットはTinyプログラミング インターフェースに対する識別符号を与えます。この符号はTPIの識別に対して外部書き込み器で使うことができます。

表15-12. Tinyプログラミング インターフェース用識別符号

符号	値
インターフェース識別	\$80

15.7.2. TPIPCR – Tinyプログラミング インターフェース物理層制御レジスタ (Tiny Programming Interface Physical Control Register)

ビット	7	6	5	4	3	2	1	0	
CSS:\$02	-	-	-	-	-	GT2	GT1	GT0	TPIPCR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

● ビット2~0 – GT2~0 : 保護時間 (Guard Time)

これらのビットは受信動作形態から送信動作形態に変更する時にアイドル時間へ挿入される追加IDLEビット数を指定します。送信動作形態から受信への変更時に追加遅延は挿入されません。

受信から送信へ動作形態を変更する時の合計アイドル時間は保護時間+2 IDLEビットです。表15-13は利用可能な保護時間設定を示します。

既定保護時間は128 IDLEビットです。通信速度向上のため、保護時間は最短の安全な値に設定すべきです。

表15-13. 保護時間設定

GT2	GT1	GT0	保護時間(IDLEビット数)
0	0	0	+128 (既定値)
0	0	1	+64
0	1	0	+32
0	1	1	+16
1	0	0	+8
1	0	1	+4
1	1	0	+2
1	1	1	+0

15.7.3. TPISR – Tinyプログラミング インターフェース状態レジスタ (Tiny Programming Interface Status Register)

ビット	7	6	5	4	3	2	1	0	
CSS:\$00	-	-	-	-	-	-	NVMEN	-	TPISR
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

● ビット1 – NVMEN : 不揮発性メモリプログラミング許可 (Non-Volatile Memory Programming Enabled)

NVMプログラミングはこのビットが設定(1)されている時に許可されています。外部書き込み器は成功裏に許可されたインターフェースを検証するのにこのビットをポーリングすることができます。

NVMプログラミングはこのビットに0を書くことによって禁止されます。

16. メモリプログラミング

16.1. 特徴

- 2種の組み込み不揮発性メモリ:
 - 不揮発性メモリ施錠ビット(NVM施錠ビット)
 - フラッシュメモリ
- フラッシュメモリ側の4つの独立した領域:
 - コード領域(プログラムメモリ)
 - 識票領域
 - 構成設定領域
 - 校正領域
- 応用ソフトウェアから全不揮発性メモリへの読み込みアクセス
- 外部書き込み器から不揮発性メモリへの読み書きアクセス:
 - 全不揮発性メモリに対する読み込みアクセス
 - NVM施錠ビット、フラッシュコード領域、フラッシュ構成設定領域に対する書き込みアクセス
- 外部プログラミング:
 - 実装書き換えと大量生産プログラミングを支援
 - Tinyプログラミングインターフェース(TPI)を通してのプログラミング
- NVM施錠ビットでの高い安全性

16.2. 概要

不揮発性メモリ(NVM)制御器は不揮発性メモリに対する全てのアクセスを管理します。NVM制御器はNVMタイミングとアクセス権を制御し、そしてNVMの状態を保持します。

通常実行中、CPUはフラッシュメモリ(プログラムメモリ)のコード領域からコードを実行します。休止形態に入ってプログラミング動作が活性でない時に、フラッシュメモリは消費電力を最小にするために禁止されます。

全てのNVMはデータメモリに割り当てられます。応用ソフトウェアは間接アドレス指定の取得命令を用いてデータメモリの割り当てられた位置からNVMを読むことができます。

NVMは1つの読み出し口しか持たず、従って次の命令とデータは同時に読むことができません。応用がデータ空間に割り当てられたNVM位置からデータを読む時は、次の命令が取得される前にデータが先行して読まれます。CPUの実行はここで1システムクロック周期遅らされます。

NVMに対する内部プログラミング操作は禁止され、従ってNVMは応用ソフトウェアに対して読み込み専用として見えます。NVMの内部書き込みや消去は成功しません。

不揮発性メモリを書くために外部書き込み器によって用いられる方法は外部プログラミングとして参照されます。外部プログラミングは実装または大量生産の両方で行うことができます。71頁の図15-2をご覧ください。外部書き込み器はTinyプログラミングインターフェース(TPI)経由でNVMを読み書きできます。

外部プログラミング動作形態では、読み込み専用の識票と校正の領域を除いて、全てのNVMを読み書きすることができます。

NVMは5Vでだけプログラミングすることができます。

16.3. 不揮発性メモリ (NVM)

ATtiny4/5/9/10は以下の組み込みNVMを持ちます。

- 不揮発性メモリ施錠ビット
- 4つの独立した領域を持つフラッシュメモリ

16.3.1. 不揮発性メモリ施錠ビット

表16-1.で示されるように、ATtiny4/5/9/10は2つの施錠ビットを提供します。

表16-1. 施錠ビットバイト

名称	ビット番号	説明	既定値
–	7		1 (非プログラム)
–	6		1 (非プログラム)
–	5		1 (非プログラム)
–	4		1 (非プログラム)
–	3		1 (非プログラム)
–	2		1 (非プログラム)
NVLB2	1	不揮発性メモリ施錠ビット	1 (非プログラム)
NVLB1	0		1 (非プログラム)

施錠ビットは非プログラム(1)のままにして置くか、または表16-2.で示される追加の安全性を得るためにプログラム(0)することができます。施錠ビットはチップ消去指令でだけ、1に消去することができます。

表16-2. 施錠ビット保護種別

施錠種別	メモリ施錠ビット (注)		保護形式
	NVLB2	NVLB1	
1	1	1	メモリ施錠機能が全く許可されません。
2	1	0	フラッシュメモリの更なるプログラミング(書き込み)が外部プログラミング動作形態で禁止されます。構成設定領域ビットが外部プログラミング動作形態で施錠されます。
3	0	0	フラッシュメモリの更なるプログラミング(書き込み)と照合(読み込み)が外部プログラミング動作形態で禁止されます。構成設定領域ビットが外部プログラミング動作形態で施錠されます。

注: ・0はプログラム、1は非プログラムを意味します。

・NVLB1とNVLB2をプログラム(0)する前に構成設定領域をプログラミングして(書いて)ください。

16.3.2. フラッシュメモリ

表16-3.で示されるように、ATtiny4/5/9/10の組み込みフラッシュメモリは4つの独立した領域を持ちます。

表16-3. フラッシュメモリ内のページ数とページの語数

デバイス	領域	容量(バイト)	ページ容量(語)	ページ数	PADDR	WADDR
ATtiny4/5	コード (プログラムメモリ)	512 (256語)	8	32	AP8~4	AP3~1
ATtiny9/10	コード (プログラムメモリ)	1024 (512語)	8	64	AP9~4	AP3~1
ATtiny4/5/9/10 共通	構成設定	8	8	1	-	AP3~1
	識票 (注)	16	8	2	AP4	AP3~1
	校正 (注)	8	8	1	-	AP3~1

注: これらの領域は読み込み専用です。

(訳注) 原書での表16-3.と表16-4.は表16-3.として纏めました。

16.3.3. 構成設定領域

ATtiny4/5/9/10は構成設定領域に属する1つの構成設定バイトを持ちます。表16-5.をご覧ください。

表16-5. 構成設定バイト

構成設定語アドレス	構成設定語データ	
	上位バイト	下位バイト
\$00	(予約)	構成設定バイト0
\$01~\$07	(予約)	(予約)

表16-6.は全ての構成設定ビットの機能とそれらが構成設定バイトにどう割り当てられるかを簡単に記述します。

表16-6. 構成設定バイト0

ビット名	ビット	説明	既定値
-	7	(予約)	1 (非プログラム)
-	6	(予約)	1 (非プログラム)
-	5	(予約)	1 (非プログラム)
-	4	(予約)	1 (非プログラム)
-	3	(予約)	1 (非プログラム)
CKOUT	2	システムクロック出力	1 (非プログラム)
WDTON	1	ウォッチドッグタイマ常時ON	1 (非プログラム)
RSTDISBL	0	外部リセット禁止	1 (非プログラム)

構成設定ビットはチップ消去によって影響を及ぼされませんが、これらは構成設定領域消去指令を用いて解除することができます(82頁の「構成設定領域消去」をご覧ください)。不揮発性施錠ビット1(NVLB1)がプログラム(0)された場合に構成設定ビットが施錠されることに注意してください。

16.3.3.1. 構成設定ビットのラッチ

全ての構成設定ビットはデバイスがリセットされる時とデバイスが外部プログラミング動作形態を抜け出す時のどちらでもラッチされます。構成設定ビット値に対する変更はデバイスが外部プログラミング動作形態を去るまで無効です。

16.3.4. 識票領域

識票領域はデバイス識票のような種々雑多の情報を格納するのに用いられる専用のメモリ領域です。表16-7.で示されるように、このメモリ領域の殆どは内部使用のために予約されています。

表16-7. 識票バイト

識票語アドレス	識票語データ	
	上位バイト	下位バイト
\$00	デバイス識別1	製造者識別
\$01	(内部使用のために予約)	デバイス識別2
\$02～\$0F	(内部使用のために予約)	(内部使用のために予約)

ATtiny4/5/9/10はデバイスを識別するのに使用することができる3バイトの識票符号を持ちます。表16-7.で示されるように、この3バイトは識票領域に属します。ATtiny4/5/9/10用の識票データは表16-8.で与えられます。

表16-8. 識票符号

デバイス	識票バイト		
	製造者識別	デバイス識別1	デバイス識別2
ATtiny4	\$1E	\$8F	\$0A
ATtiny5	\$1E	\$8F	\$09
ATtiny9	\$1E	\$90	\$08
ATtiny10	\$1E	\$90	\$03

16.3.5. 校正領域

ATtiny4/5/9/10は1つの校正バイトを持ちます。表16-9.で示されるように、校正バイトは内蔵発振器用の校正データを含み、校正領域に属します。校正付き内蔵発振器の正しい周波数を保証するため、リセット中に校正バイトが自動的に発振校正(OSCCAL)レジスタ内に書かれます。

表16-9. 校正バイト

校正語アドレス	校正語データ	
	上位バイト	下位バイト
\$00	(予約)	内蔵発振器校正值
\$01～\$07	(予約)	(予約)

16.3.5.1. 校正值のラッチ

校正付き内蔵発振器の正しい周波数を保証するため、リセット中に校正バイトが自動的に発振校正(OSCCAL)レジスタ内に書かれます。

16.4. NVMのアクセス

NVM施錠ビットとフラッシュメモリの領域は14頁の図6-1.で示されるようにデータ空間に割り当てられます。NVMはこのデータ空間に割り当てられた位置経由で読み書きに関してアクセスすることができます。

NVM制御器は制御器にNVMで実行するのがどんな形式のプログラミング作業かを指示するのに使うことができる1式の指令を認証します。NVM制御器に対する指令はNVM指令レジスタ経由で発行されます。83頁の「NVMCMD – 不揮発性メモリ指令レジスタ」をご覧ください。選択した指令が格納された後、データ空間に割り当てられたNVM位置へデータを書くことによって操作が開始されます。

NVM制御器が操作実行中で多忙の時はNVM制御/状態レジスタのNVM多忙(NVMSY)フラグ経由でこれを合図します。83頁の「NVMCSR – 不揮発性メモリ制御/状態レジスタ」をご覧ください。この多忙フラグが活性(1)である限り、NVM指令レジスタは書き込みアクセスに対して妨げられます。これは次の指令が開始され得る前に現在の指令が完全に実行されるのを保証します。

NVMのどの部分へのプログラミング(書き込み)も以下の操作を自動的に禁止します。

- NVMの他の何れかの部分に対する全てのプログラミング(書き込み)
- 何れかのNVM位置からの全ての読み込み

ATtiny4/5/9/10は外部プログラミングだけを支援します。NVMに対する内部プログラミング操作は禁止され、これはNVM位置を書くまたは消去する内部的などの試みも失敗することを意味します。

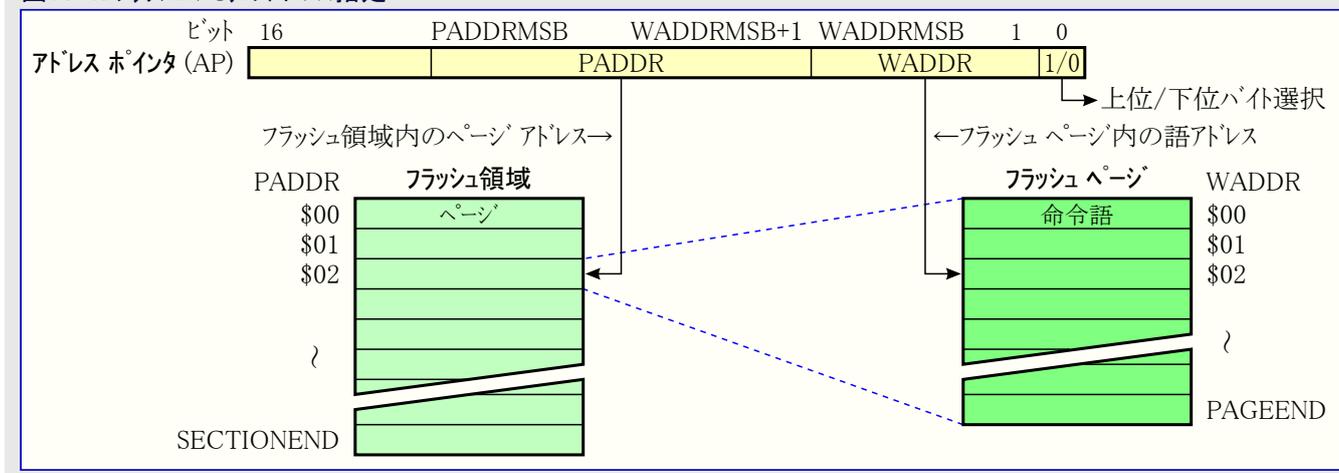
16.4.1. フラッシュのアドレス指定

データ空間はバイトアクセスを使いますが、フラッシュ領域がページで構成され、語としてアクセスされるため、データ空間のバイトアクセスはフラッシュ領域の語アドレスに変換されなければなりません。これは81頁の図16-1.で図解されます。また、79頁の表16-3.もご覧ください。

データ空間アドレスの上位側ビットはデータ空間に割り当てられたNVM施錠ビットまたはフラッシュ領域を選択します。ページ内の語アドレス(WADDR)は[WADDRMSB~1]ビットにより、ページアドレス(PADDR)は[PADDRMSB~WADDRMSB+1]ビットによって保持されます。PADDRとWADDRと一緒にフラッシュ領域内の語の絶対アドレスを形成します。

フラッシュ領域アドレスの最下位ビットは語の上位または下位のバイトを選ぶのに用いられます。

図16-1. フラッシュメモリのアドレス指定



16.4.2. フラッシュ読み込み

フラッシュメモリはデータ空間割り当て位置から一度に1バイトずつ読むことができます。読み込み操作に対して語アドレス内の上位または下位のバイトを選ぶのに最下位ビット(ビット0)が使われます。このビットが0ならば下位バイトが読まれ、1ならば上位バイトが読まれます。

16.4.3. フラッシュ書き込み

フラッシュメモリは語単位で書くことができます。フラッシュ語を書く前に目的フラッシュ位置が消去されなければなりません。未消去フラッシュ語への書き込みはその内容を不正にすることでしょ。

フラッシュメモリは書き込みに対して語でアクセスされ、データ空間はデータ空間に割り当てられたフラッシュメモリをアクセスするのにバイトアドレス指定を使います。従ってフラッシュメモリに対して正しい順序、即ち上位バイトの前の下位バイトで語を書くことが重要です。最初に下位バイトが一時緩衝器に書かれます。そして上位バイト書き込みがフラッシュ語緩衝器内に上位バイトと下位バイトの両方をラッチし、フラッシュメモリに対する書き込み操作を開始します。

フラッシュ消去操作はフラッシュ領域全体にだけ実行することができます。

フラッシュ書き込み手順は次のとおりです。

1. フラッシュ領域消去またはチップ消去を実行してください。
2. 語単位でフラッシュ領域を書いてください。

16.4.3.1. チップ消去

チップ消去指令はフラッシュメモリのコード領域全体とNVM施錠ビットを消去します。安全性の理由のため、NVM施錠ビットはコード領域が完全に消去される前にリセットされません。構成設定、識票、校正の領域は変化しません。

チップ消去を始める前に、NVM指令(NVMCMD)レジスタはチップ消去(CHIP_ERASE)指令を格納されなければなりません。消去操作を開始するには、フラッシュコード領域内に属する語位置の上位バイトに仮装バイトが書かれなければなりません。消去が完了されるまでNVM多忙(NVMBSY)フラグが設定(1)に留まります。フラッシュメモリが消去されつつある間、フラッシュ緩衝器格納またはフラッシュメモリ読み込みのどちらも実行することができません。

チップ消去は次のようにして実行することができます。

1. NVMCMDレジスタに(CHIP_ERASE)を書いてください。
2. コード領域内のどれかの語位置の上位バイトに仮装バイトを書くことによって消去動作を開始してください。
3. NVMBYSYフラグが解除(0)されるまで待つてください。

16.4.3.2. コード領域消去

フラッシュコード領域の全ページを消去する方法は次のとおりです。

1. NVMCMDレジスタに領域消去(SECTION_ERASE)を書いてください。
2. コード領域内のどれかの語位置の上位バイトに偽装バイトを書くことによって消去動作を開始してください。
3. NVMBYSYフラグが解除(0)されるまで待つてください。

16.4.3.3. コード語書き込み

コード領域に語を書く方法は次のとおりです。

1. NVM指令(NVMCMD)レジスタに語書き込み(WORD_WRITE)を書いてください。
2. 語位置の下位バイトにデータの下位バイトを書いてください。
3. 語位置の上位バイトにデータの上位バイトを書いてください。これがフラッシュ書き込み操作を始めます。
4. NVM多忙(NVMBSY)フラグが解除(0)されるまで待ってください。

16.4.3.4. 構成設定領域消去

構成設定領域を消去する方法は次のとおりです。

1. NVMCMDレジスタに領域消去(SECTION_ERASE)を書いてください。
2. 構成設定領域内のどれかの語位置の上位バイトに仮装バイトを書くことによって消去動作を開始してください。
3. NVMBSYフラグが解除(0)されるまで待ってください。

16.4.3.5. 構成設定領域書き込み

構成設定語を書く方法は次のとおりです。

1. NVMCMDレジスタに語書き込み(WORD_WRITE)を書いてください。
2. 構成設定語位置の下位バイトにデータの下位バイトを書いてください。
3. 構成設定語位置の上位バイトにデータの上位バイトを書いてください。これがフラッシュ書き込み操作を始めます。
4. NVMBSYフラグが解除(0)されるまで待ってください。

16.4.4. NVM施錠ビット読み込み

不揮発性メモリ施錠バイトはデータ空間に割り当てられた位置から読むことができます。

16.4.5. NVM施錠ビット書き込み

施錠ビットを書く方法は次のとおりです。

1. NVMCMDレジスタに語書き込み(WORD_WRITE)指令を書いてください。
2. 不揮発性メモリ施錠バイト位置に施錠ビット値を書いてください。これは不揮発性メモリ施錠語の下位バイトです。
3. NVM施錠語位置の上位バイトに仮装バイトを書くことによってNVM施錠ビット書き込み動作を開始してください。
4. NVMBSYフラグが解除(0)されるまで待ってください。

16.5. 自己プログラミング

ATtiny4/5/9/10は内部プログラミングを支援しません。

16.6. 外部プログラミング

外部書き込み器を用いて不揮発性メモリをプログラミングするための方法が外部プログラミングとして参照されます。外部プログラミングは実装と大量生産の両方で行うことができます。

不揮発性メモリはTinyプログラミング インターフェース(TPI)経由で外部的にプログラミングすることができます。TPIの詳細については71頁の「[プログラミング インターフェース](#)」をご覧ください。TPIを用いる外部書き込み器はI/O空間に割り当てられたNVMの制御と状態のレジスタとデータメモリ空間に割り当てられたNVMメモリをアクセスすることができます。

16.6.1. 外部プログラミング動作形態移行

TPIは外部プログラミング動作形態へ移行され得る前に許可されなければなりません。以下の手順はTPIが許可された後で外部プログラミング動作形態へ移行する方法を記述します。

1. SKEY命令と共にNVMメモリ アクセス鍵を送ることによってNVMプログラミングの許可を要求してください。
2. それが設定(1)されるまでTPI状態レジスタ(TPISR)のNVM許可(NVMEN)ビットの状態をポーリングしてください。

TPIの許可とNVMプログラミングのより多くの詳細情報については71頁の「[プログラミング インターフェース](#)」の説明を参照してください。

16.6.2. 外部プログラミング動作形態抜け出し

NVMプログラミングを禁止するためにNVM許可(NVMEN)ビットを解除(0)し、そしてRESETピンを開放してください。

77頁の「[TPISR – Tinyプログラミング インターフェース状態レジスタ](#)」のNVMENビットをご覧ください。

16.7. NVMプログラミング用レジスタ

16.7.1. NVMCSR – 不揮発性メモリ制御/状態レジスタ (Non-Volatile Memory Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$32	NVMBSY	–	–	–	–	–	–	–	NVMCSR
Read/Write	R/W	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – NVMBSY : 不揮発性メモリ多忙 (Non-Volatile Memory Busy)

このビットはNVMメモリ(フラッシュメモリと施錠ビット)がプログラミング(書き込み)されつつあって多忙なことを示します。このビットはプログラミング(書き込み)動作が開始される時に設定(1)され、その操作が完了されるまで設定(1)に留まります。

- ビット6~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

16.7.2. NVMCMD – 不揮発性メモリ指令レジスタ (Non-Volatile Memory Command Register)

ビット	7	6	5	4	3	2	1	0	
\$33	–	–	NVMCMD5~0						NVMCMD
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

- ビット5~0 – NVMCMD5~0 : 不揮発性メモリ指令 (Non-Volatile Memory Command)

表16-10.で示されるように、これらのビットはフラッシュメモリ用のプログラミング指令を定義します。

表16-10. NVMプログラミング指令

操作形式	NVMCMD		ニーモニック	説明
	2進	16進		
一般	00 0000	\$00	NO_OPERATION	無操作
	01 0000	\$10	CHIP_ERASE	チップ消去
領域	01 0100	\$14	SECTION_ERASE	領域消去
語	01 1101	\$1D	WORD_WRITE	語書き込み

17. 電気的特性

17.1. 絶対最大定格 (警告)

動作温度	-55°C~+125°C
保存温度	-65°C~+150°C
RESETを除くピン許容電圧	-0.5V~VCC+0.5V
RESETピン許容電圧	-0.5V~+13.0V
最大動作電圧	6.0V
入出力ピン毎のDC電流	40.0mA
VCCとGNDピンのDC電流	200.0mA

警告: 絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

17.2. DC特性

表17-1. DC特性 TA=-40°C~85°C

シンボル	項目	条件	最小	代表	最大	単位
VIL	Lowレベル入力電圧	VCC=1.8~2.4V	-0.5		0.2VCC (注1)	V
		VCC=2.4~5.5V	-0.5		0.3VCC (注1)	
VIH	Highレベル入力電圧 (RESETを除く)	VCC=1.8~2.4V	0.7VCC (注2)		VCC+0.5	V
		VCC=2.4~5.5V	0.6VCC (注2)		VCC+0.5	
	Highレベル入力電圧 (RESET)	VCC=1.8~5.5V	0.9VCC (注2)		VCC+0.5	
VOL	Lレベル出力電圧 (RESETピン(注5)を除く) (注3)	IOL=10mA, VCC=5V			0.6	V
		IOL=5mA, VCC=3V			0.5	
VOH	Hレベル出力電圧 (RESETピン(注5)を除く) (注4)	IOH=-10mA, VCC=5V	4.3			V
		IOH=-5mA, VCC=3V	2.5			
IIL	I/OピンLowレベル入力漏れ電流	VCC=5.5V		<0.05	1	μA
IIH	I/OピンHighレベル入力漏れ電流	確実なH/L範囲		<0.05	1	μA
RRST	RESETピンプルアップ抵抗	VCC=5.5V, Low入力	30		60	kΩ
RPU	I/Oピンプルアップ抵抗	VCC=5.5V, Low入力	20		50	kΩ
ICC	活動動作消費電流 (注6)	VCC=2V, 1MHz		0.2	0.5	mA
		VCC=3V, 4MHz		0.8	1.2	
		VCC=5V, 8MHz		2.7	4	
	アイドル動作消費電流 (注6)	VCC=2V, 1MHz		0.02	0.2	mA
		VCC=3V, 4MHz		0.13	0.5	
		VCC=5V, 8MHz		0.6	1.5	
パワーダウン動作消費電流 (注7)	パワーダウン動作消費電流 (注7)	VCC=3V, WDT許可		4.5	10	μA
		VCC=3V, WDT禁止		0.15	2	

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA、VCC=3Vで5mA)よりも多くの吸い込み電流を流すことができるとは言え、(全ポートに対して)全IOLの合計が60mAを超えるべきではありません。IOLが検査条件を超える場合、VOLも関連する仕様を超えます。ピンは検査条件で一覽されるよりも大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA、VCC=3Vで5mA)よりも多くの吐き出し電流を流すことができるとは言え、(全ポートに対して)全IOHの合計が60mAを超えるべきではありません。IOHが検査条件を超える場合、VOHも関連する仕様を超えます。ピンは検査条件で一覽されるよりも大きな吐き出し電流を流すことは保証されません。

注5: RESETピンはプログラミング動作での操作と移行時に高電圧を許容しなければならず、その結果として標準I/Oピンと比べて弱い駆動能力を持ちます。96頁の図18-25と97頁の図18-26をご覧ください。

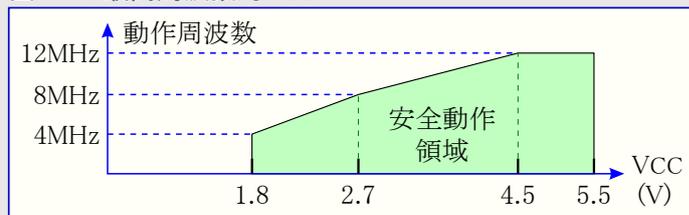
注6: 値は22頁の「消費電力の最小化」で記述された方法を使う外部クロックでの値です。電力削減は許可(PRR=\$FF)され、I/Oの駆動は全くありません。

注7: 低電圧検出器(BOD)禁止。

17.3. 速度

デバイスの最高動作周波数はVCCに依存します。図17-1.で示されるように、供給電圧と最大動作周波数の関係は区分的線形です。

図17-1. 最高周波数対VCC



17.4. クロック特性

17.4.1. 校正付き内蔵RC発振器の精度

工場既定校正よりも高い精度に内蔵発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は101頁の図18-39と図18-40.で見つけることができます。

表17-2. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度(注)
工場校正	8.0MHz	3V	25°C	±10%
使用者校正	7.3~8.1MHz内の固定周波数	1.8~5.5V内の固定電圧	-40~85°C内の固定温度	±1%

注: 校正点での発振器周波数精度(固定温度と固定電圧)

17.4.2. 外部クロック信号駆動

図17-2. 外部クロック駆動波形

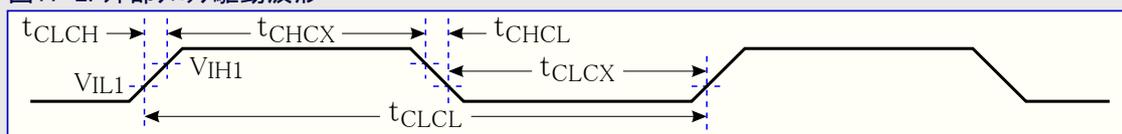


表17-3. 外部クロック特性

シンボル	項目	VCC=1.8~5.5V		VCC=2.7~5.5V		VCC=4.5~5.5V		単位
		最小	最大	最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	4	0	8	0	12	MHz
tCLCL	クロック周期	250		125		83		
tCHCX	Highレベル時間	100		50		33		ns
tCLCX	Lowレベル時間	100		50		33		
tCLCH	上昇時間		2.0		1		0.6	µs
tCHCL	下降時間		2.0		1		0.6	
ΔtCLCL	隣接クロック周期間の変化率		2		2		2	%

17.5. システムとリセットの特性

表17-4. システムとリセットの電氣的特性

シンボル	項目	条件	最小	代表	最大	単位
V _{RST}	RESETピン閾値電圧		0.2VCC		0.9VCC	V
t _{RST}	リセットパルス幅	VCC=1.8V		2		µs
		VCC=3V		0.7		
		VCC=5V		0.4		
t _{TOUT}	リセット起動後内部リセット保持時間		32	64	128	ms

注: 値は指針だけです。

17.5.1. 電源ONリセット

表17-5. 電源ONリセット特性 (TA=-40°C~85°C)

シンボル	項目	最小	代表	最大	単位
VPOR	電源ONリセット開放閾値電圧 (注1)	1.1	1.4	1.6	V
VPOA	電源ONリセット活性閾値電圧 (注2)	0.6	1.3	1.6	
SRON	電源投入時上昇率	0.01			V/ms

注: 値は指針だけです。

注1: 電圧上昇時にデバイスがリセットから開放される閾値電圧です。

注2: 供給電圧がVPOA未満でなければ電源ONリセットは動作しません。

17.5.2. VCCレベル監視器 (VLM)

表17-6. 電圧レベル監視器閾値

シンボル	項目	最小	代表 (注)	最大	単位
VVLM1L	VLM1L起動電圧	1.1	1.4	1.6	V
VVLM1H	VLM1H起動電圧	1.4	1.6	1.8	
VVLM2	VLM2起動電圧	2.0	2.5	2.7	
VVLM3	VLM3起動電圧	3.2	3.7	4.5	
-	VLM2, VLM3 (VLM1L, VLM1L)安定時間		5 (50)		μs

注: 値は室温に於いてです。

17.6. アナログ比較器特性

表17-7. アナログ比較器特性 (TA=-40°C~85°C)

シンボル	項目	条件	最小	代表	最大	単位
VAIO	入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2		<10	40	mV
ILAC	入力漏れ電流	VCC=5V, Vin=VCC/2	-50		50	nA
tAPD	アナログ伝播遅延 (飽和から僅かな過駆動へ)	VCC=2.7V		750		ns
		VCC=4.0V		500		
	アナログ伝播遅延 (大きな段階変化)	VCC=2.7V		100		
		VCC=4.0V		75		
tDPD	デジタル伝播遅延	VCC=1.8~5.5V		1	2	clk

17.7. A/D変換器特性 (ATtiny5/10のみ)

表17-8. A/D変換特性 (TA=-40°C~85°C, VCC=2.5~5.5V)

シンボル	項目	条件	最小	代表	最大	単位
	分解能				8	ビット
	絶対精度 (積分非直線性、微分非直線性、量子化、利得、オフセットの各誤差を含む)	VCC=4V VREF=4V 変換クロック=200kHz	標準動作	1.0		LSB
			雑音低減動作	1.0		
	積分非直線性誤差			1.0		
	微分非直線性誤差	VCC=4V, VREF=4V		0.5		
	利得誤差	変換クロック=200kHz		1.0		
	オフセット(ゼロ)誤差			1.0		
	変換時間	連続変換動作	65		260	μs
	変換クロック周波数		50		200	kHz
VIN	入力電圧		GND		VREF	V
	入力周波数帯域			7.7		kHz
RAIN	アナログ入力インピーダンス			100		MΩ
	A/D変換出力		0		255	LSB

17.8. 直列プログラミング特性

図17-3. 直列プログラミング タイミング

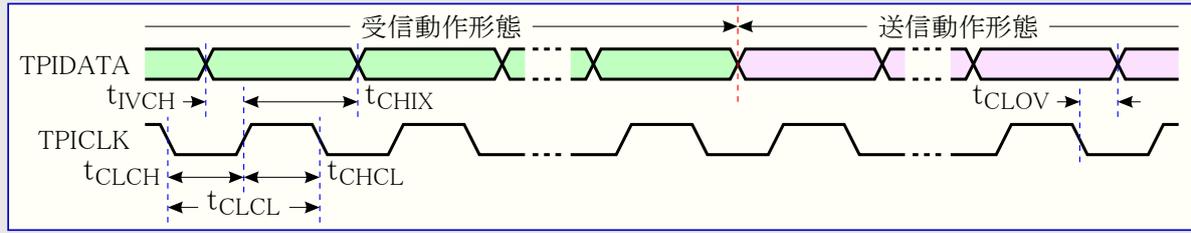


表17-9. 直列プログラミング特性 (TA=-40°C~85°C,VCC=5V±5%,特記事項を除く)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	クロック周波数			2	MHz
tCLCL	クロック周期	500			
tCHCL	クロックパルスHレベル幅	200			
tCLCH	クロックパルスLレベル幅	200			
tIVCH	クロック↑に対するデータ入力準備時間	50			ns
tCHIX	クロック↑後のデータ入力保持時間	100			
tCLOV	クロック↓後のデータ出力有効時間			200	

18. 代表特性

本章内に含まれたデータは主に同じ製法と設計法の類似デバイスの特徴付けとシミュレーションに基づいています。従って、このデータはデバイスがどう反応するかについての指標として扱われるべきです。

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。特性付けの間、デバイスは検査限界よりも高い周波数で動作していますが、それらは注文コードが示すよりも高い周波数での正しい機能が保証される訳ではありません。

全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

電源幅振幅の方形波発振器がクロック源として使われていますが、**パワーダウン動作**での消費電力はクロック選択と無関係です。**ウォッチドッグタイマ**許可の**パワーダウン動作**での消費電流と**ウォッチドッグタイマ**禁止の**パワーダウン動作**での消費電流間の違いは、ウォッチドッグタイマによって引き込んだ(消費した)差電流を表します。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $C_L(\text{負荷容量}) \times V_{CC}(\text{動作電圧}) \times f_{SW}(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

18.1. 周辺機能部供給電流

以下の表と式は活動動作とアイドル動作で個別周辺機能部に対する追加消費電流の計算に使えます。周辺機能部の許可と禁止は電力削減レジスタによって制御されます。詳細については23頁の「PRR - 電力削減レジスタ」をご覧ください。

表18-1. 各部追加消費電流 (絶対値: μA)

PRR内ビット	1MHz,2V	4MHz,3V	8MHz,5V
PRTIM0	6.6	40.0	153.0
PRADC (注)	29.6	88.3	333.3

注: ADCはATtiny5/10でだけ利用可能です。

表18-2. 各部追加消費電流 (相対値:%)

PRR内ビット	活動動作(図18-1,図18-2)	アイドル動作(図18-7,図18-8)
PRTIM0	2.3	10.4
PRADC (注)	6.7	28.8

注: ADCはATtiny5/10でだけ利用可能です。

左上の表18-1.で一覧される以外のVCCと周波数設定については、右上の表18-2.からの数値を元に代表的な消費電流を計算することができます。

18.2. 活動動作消費電流

図18-1. 活動動作消費電流 対 低周波数 (100kHz~1MHz, PRR=\$FF)

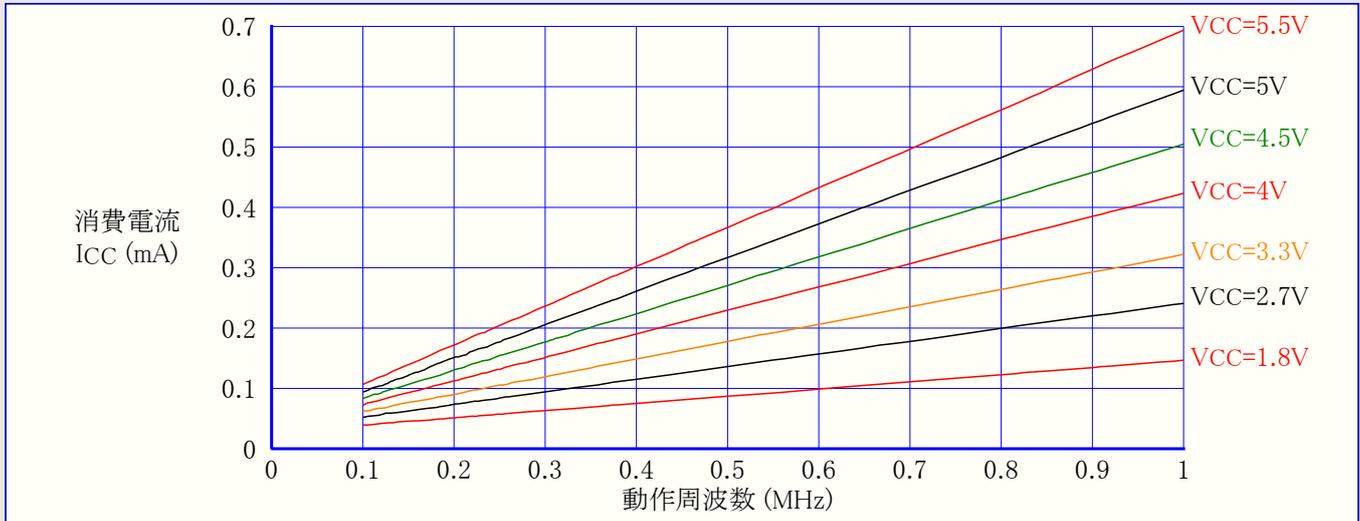


図18-2. 活動動作消費電流 対 周波数 (1MHz~12MHz, PRR=\$FF)

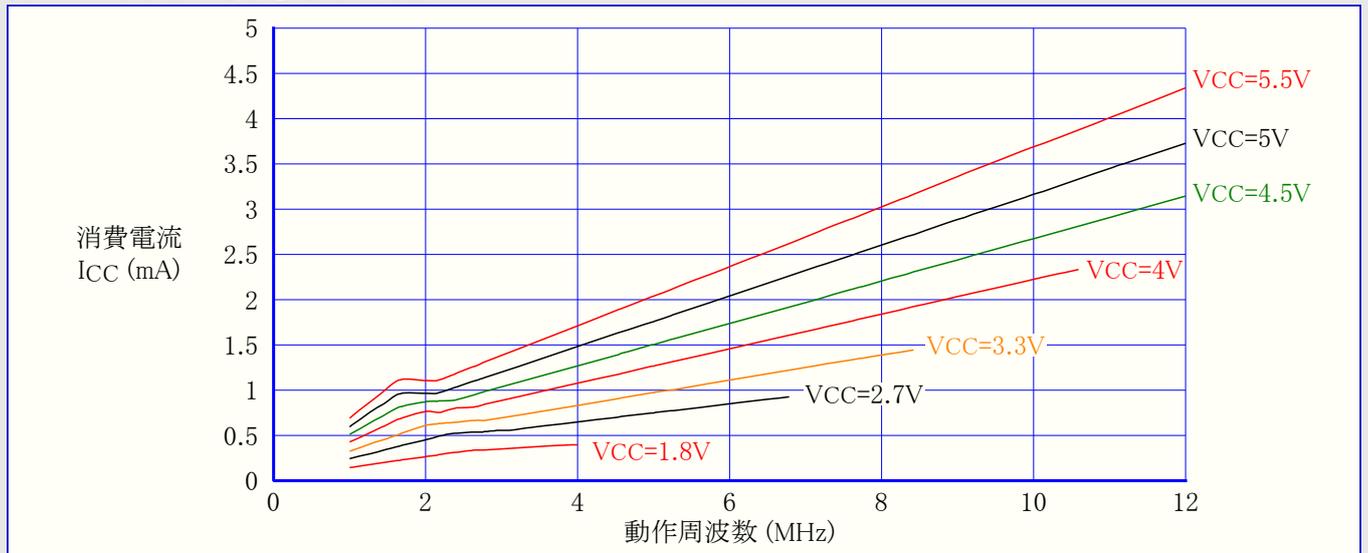


図18-3. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

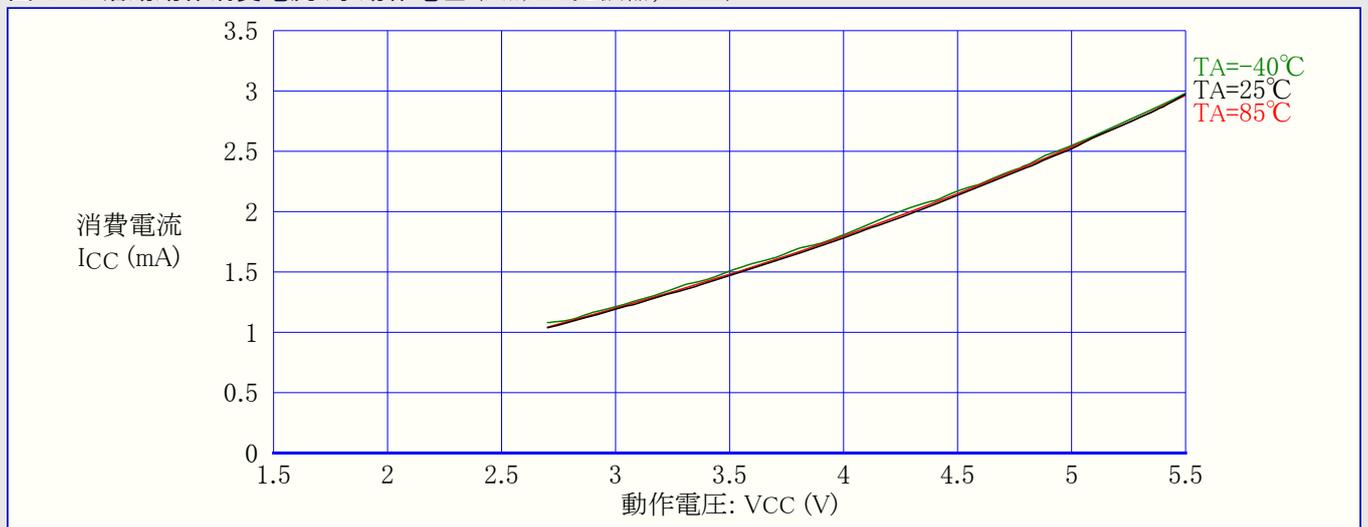


図18-4. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 8前置分周, 1MHz)

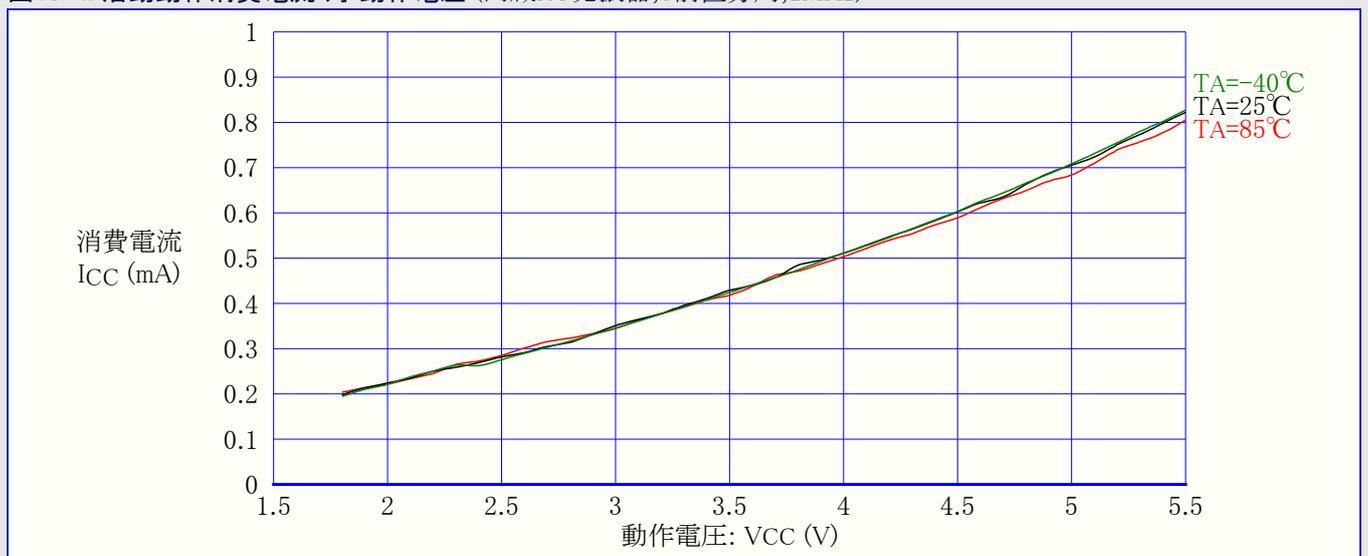


図18-5. 活動動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)

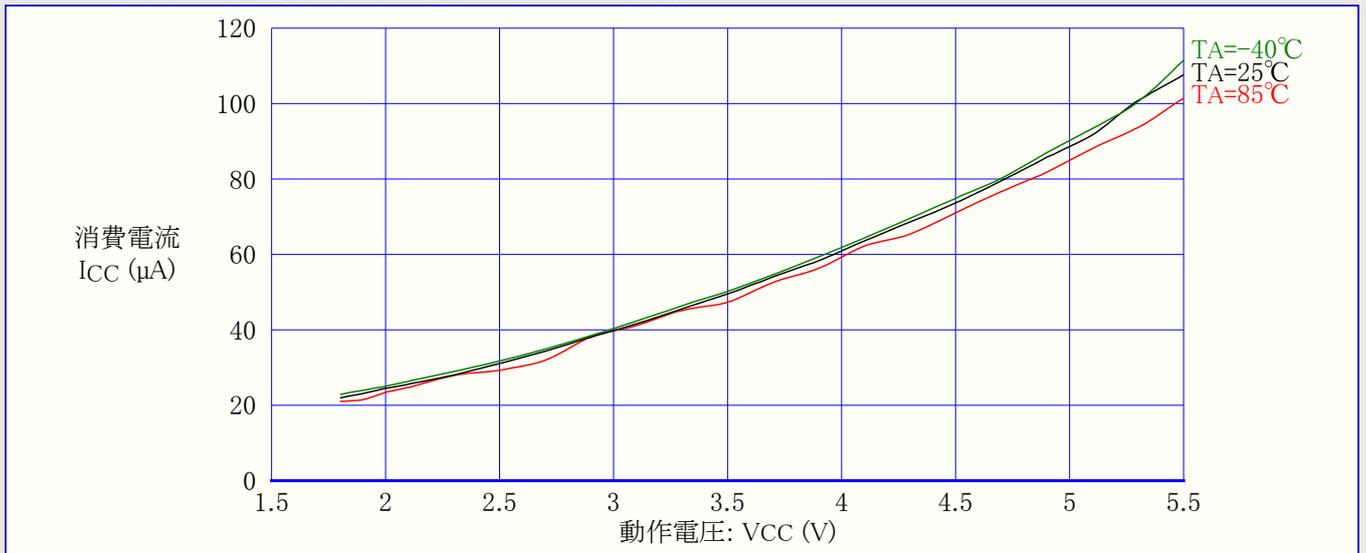
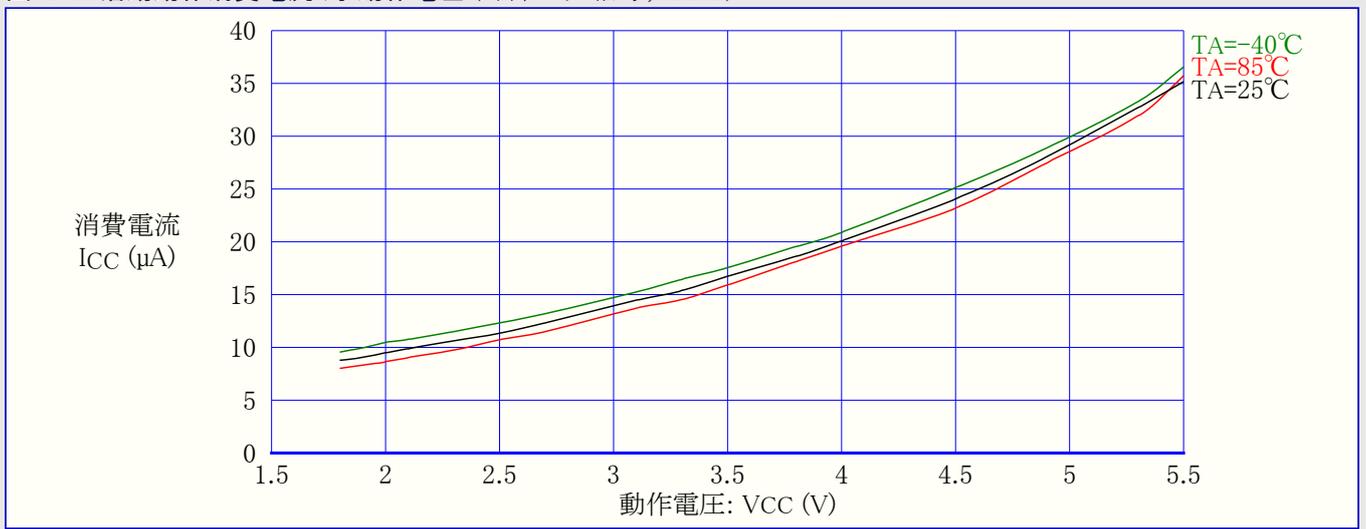


図18-6. 活動動作消費電流 対 動作電圧 (外部クロック信号,32kHz)



18.3. アイドル動作消費電流

図18-7. アイドル動作消費電流 対 周波数 (100kHz~1MHz,PRR=\$FF)

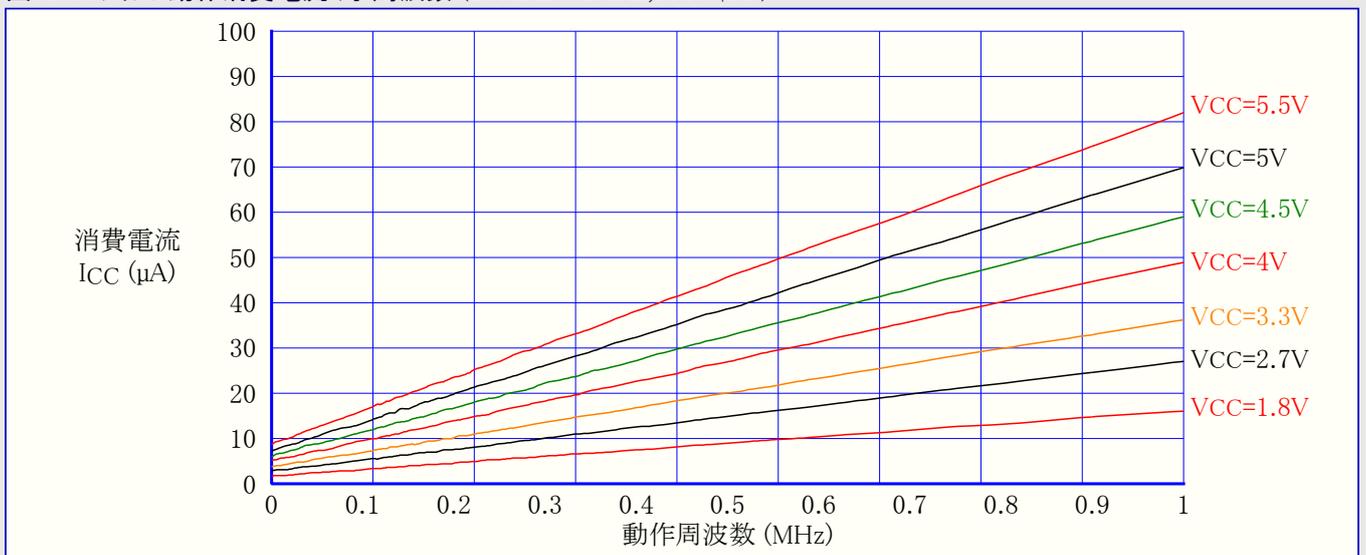


図18-8. アイドル動作消費電流 対 周波数 (1MHz~12MHz, PRR=\$FF)

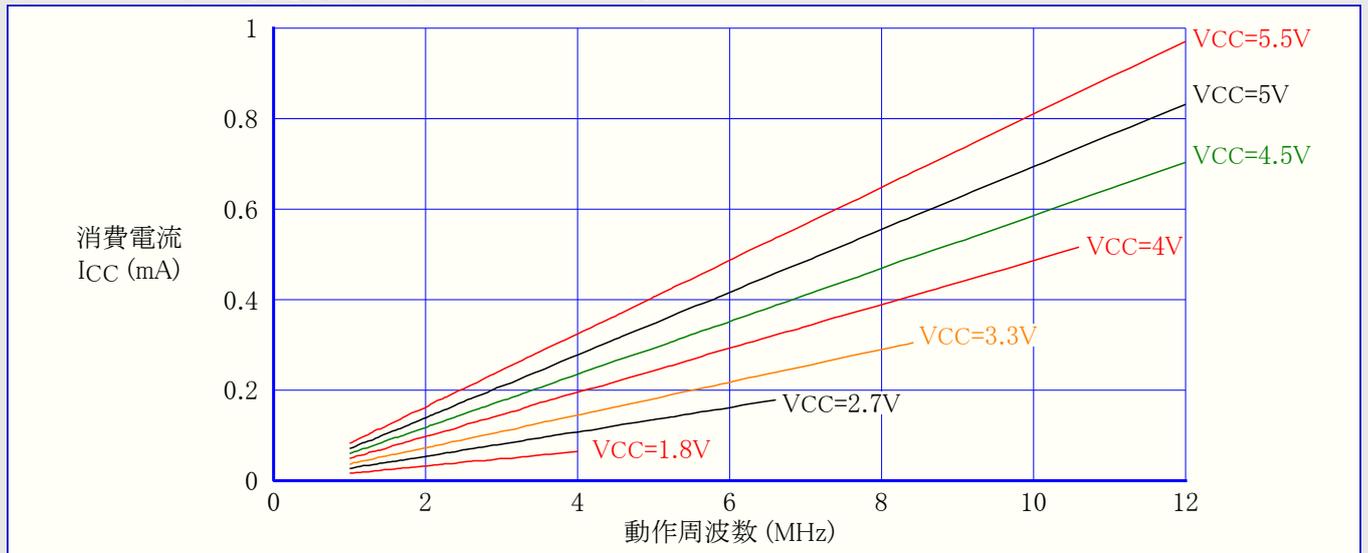


図18-9. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

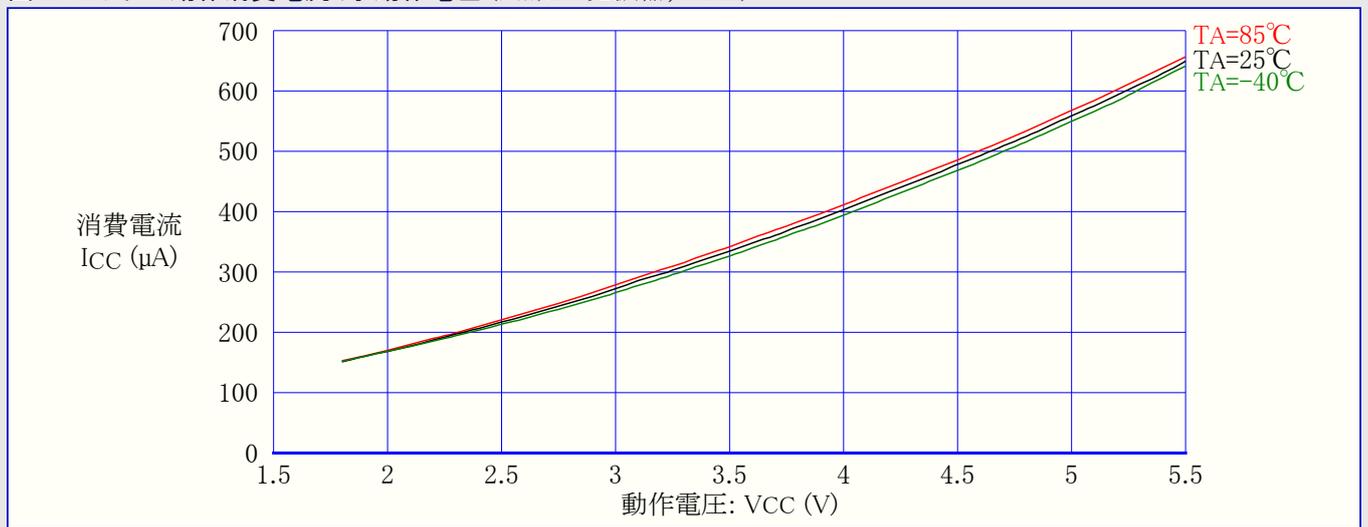
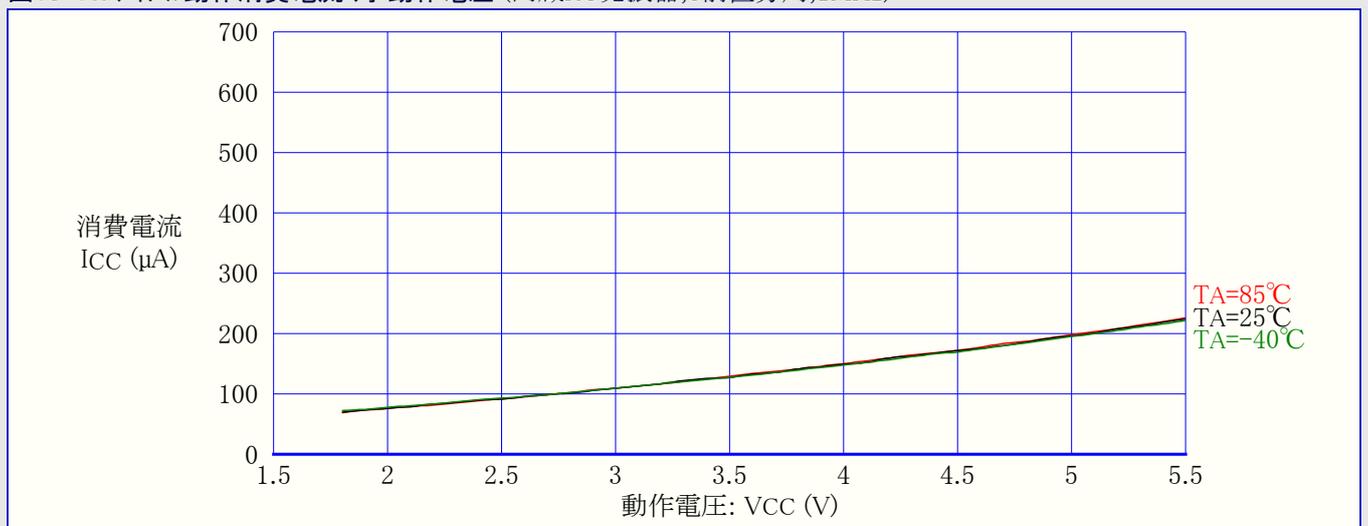


図18-10. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 8前置分周, 1MHz)



18.4. パワーダウン動作消費電流

図18-11. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

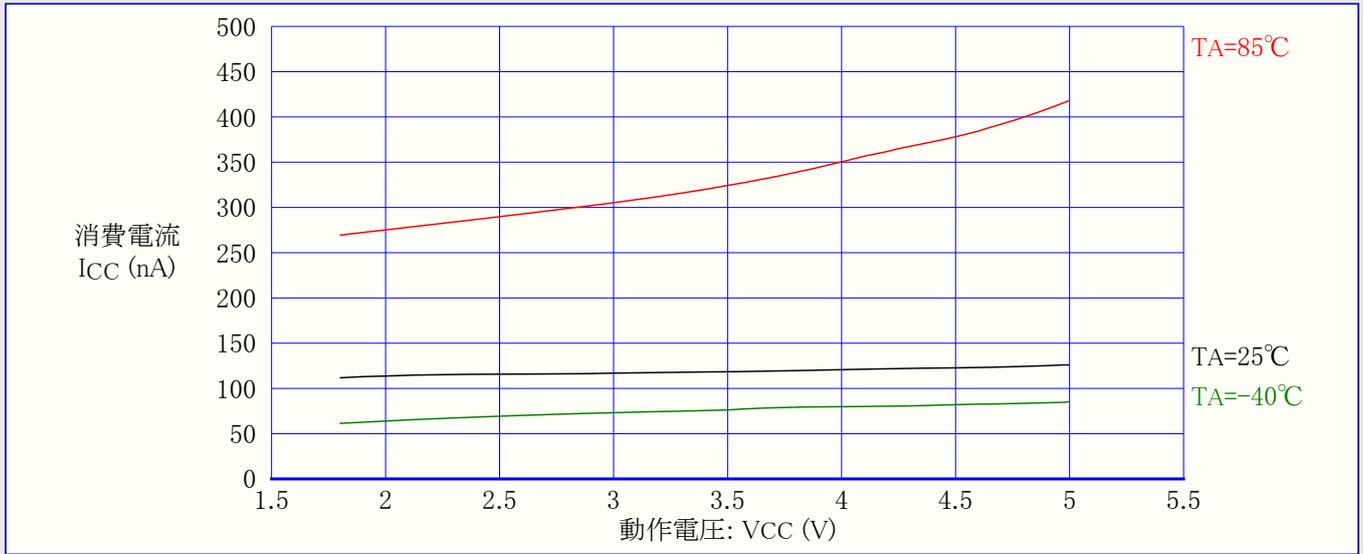
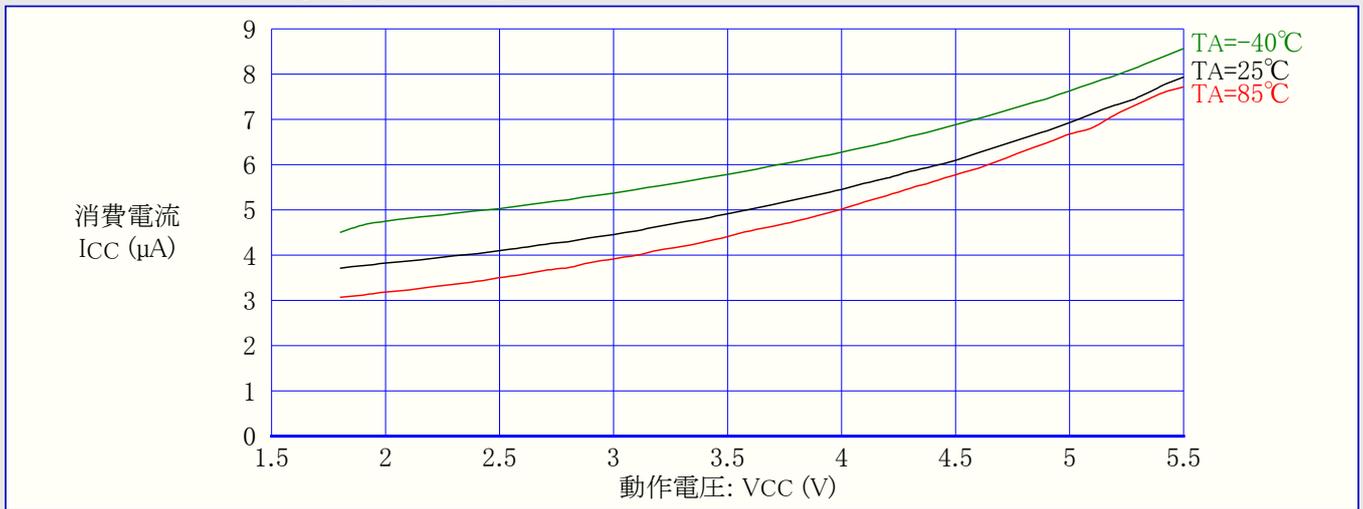


図18-12. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



18.5. ピンプルアップ

図18-13. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

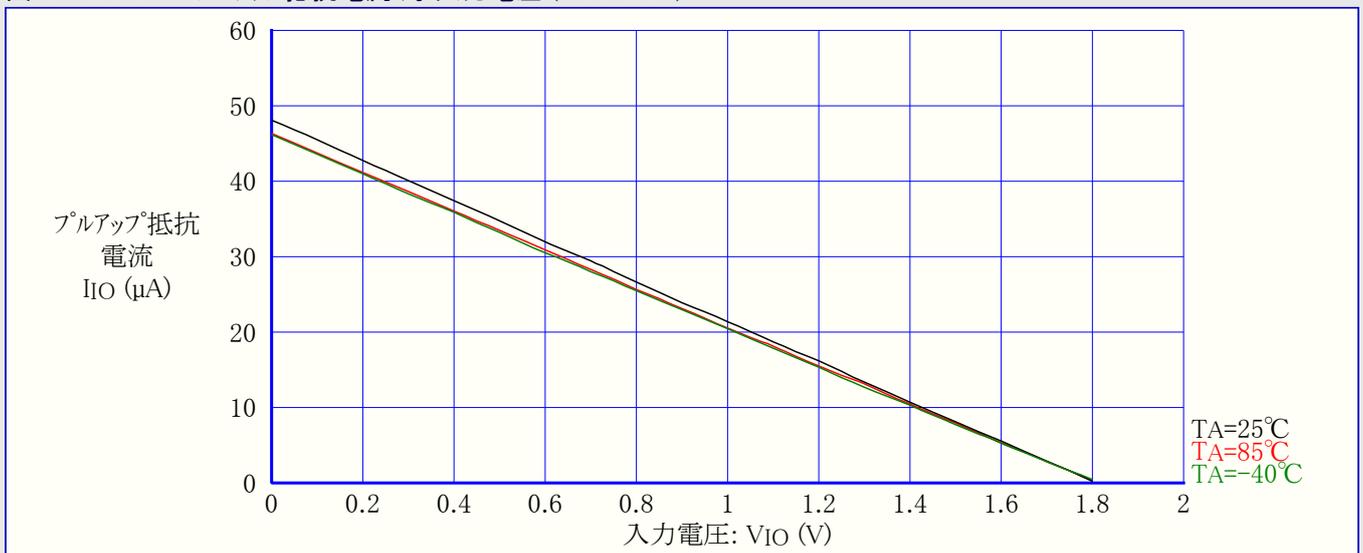


図18-14. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

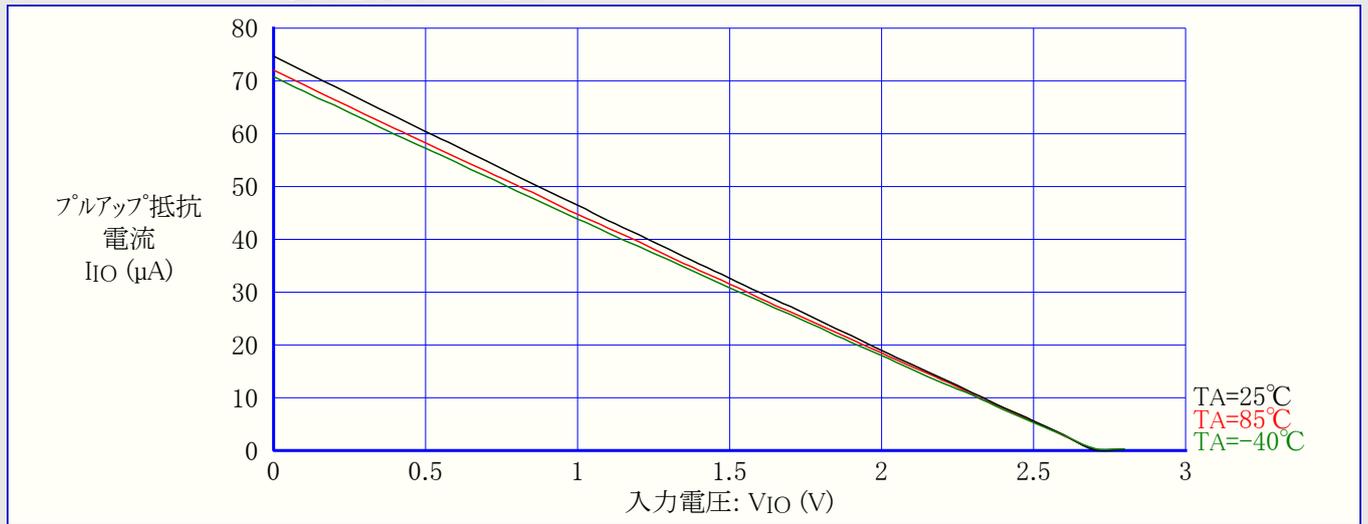


図18-15. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

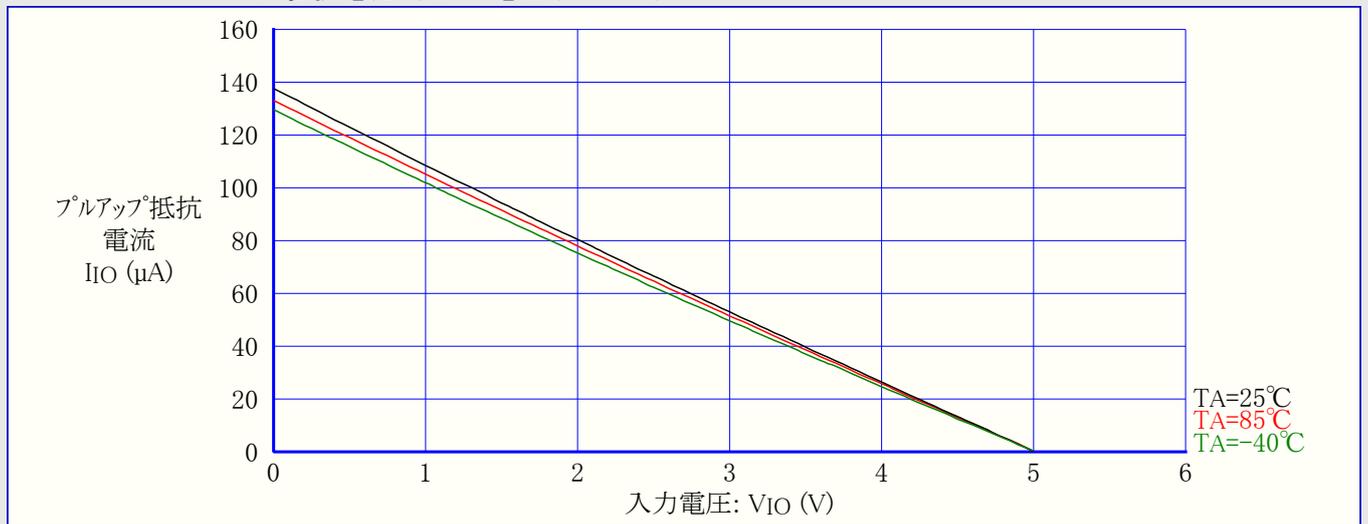


図18-16. RESETプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

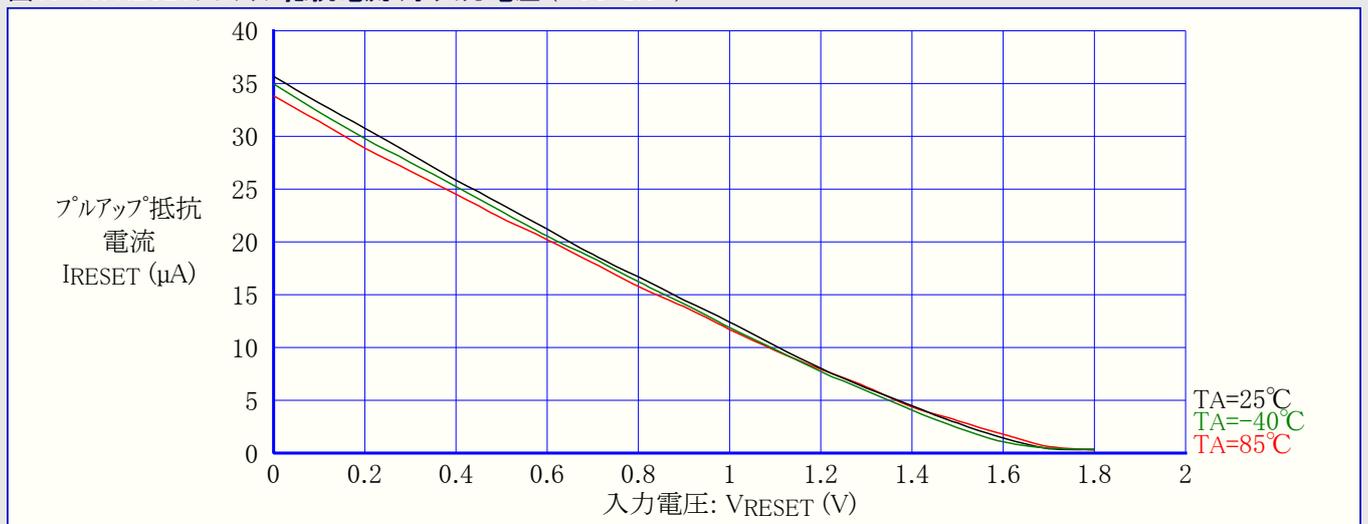


図18-17. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

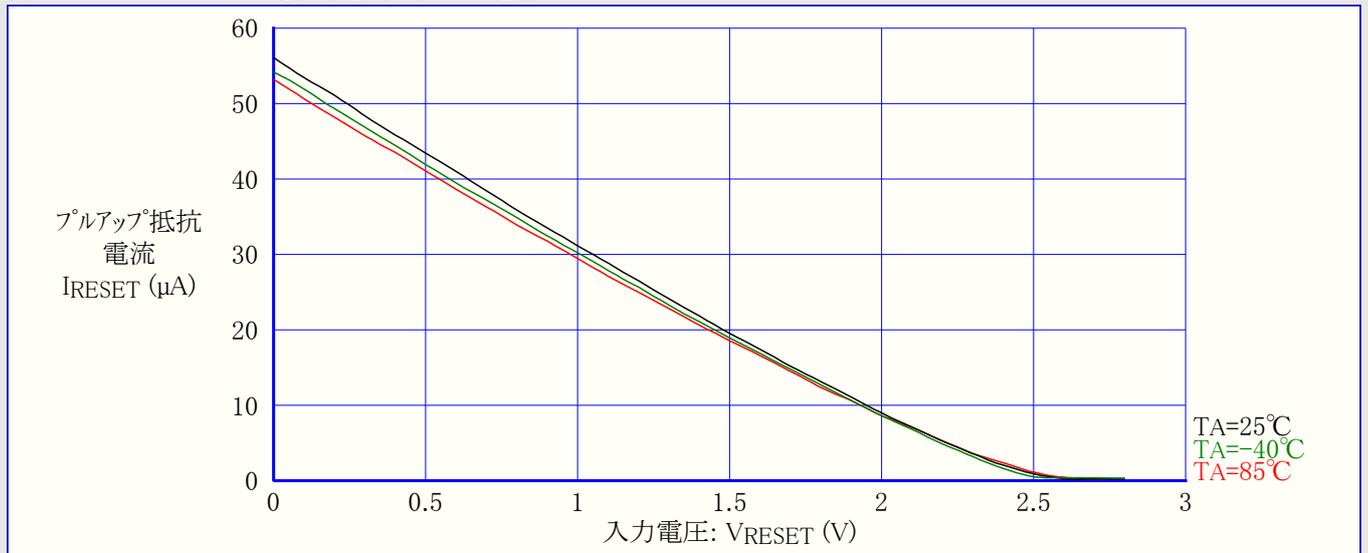
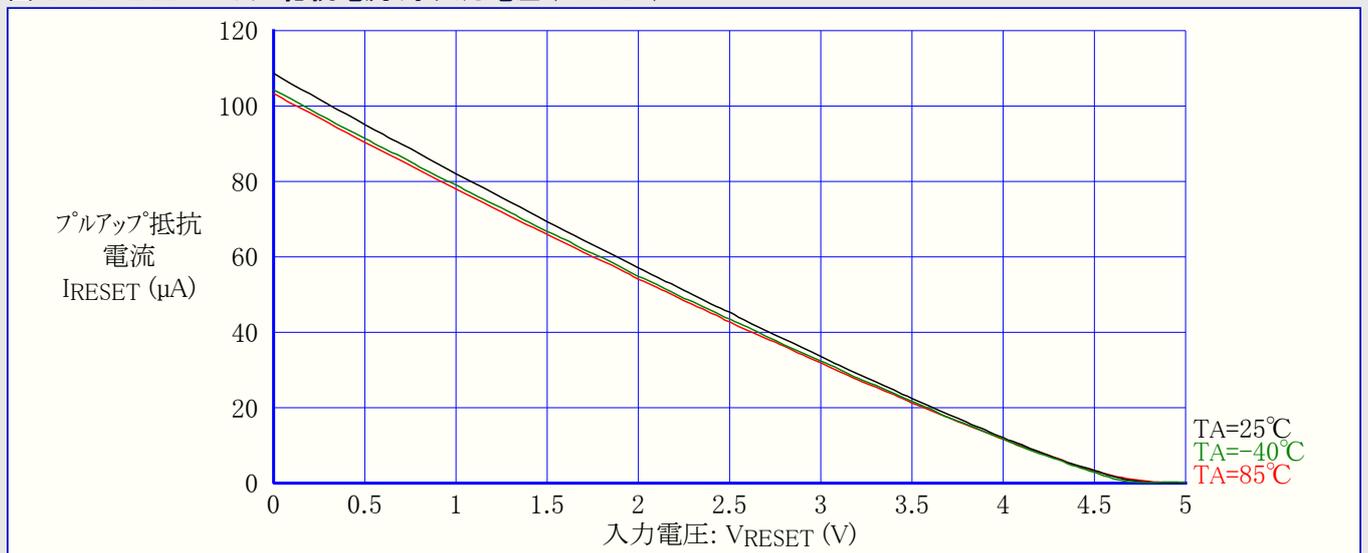


図18-18. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)



18.6. ピン駆動能力

図18-19. I/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

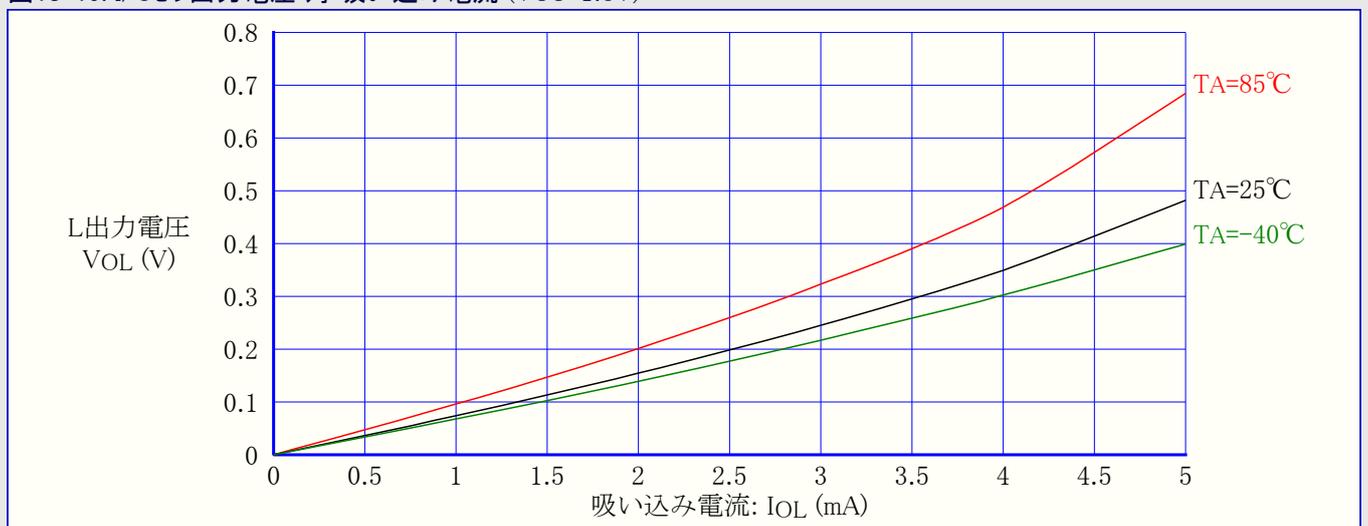


図18-20. I/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

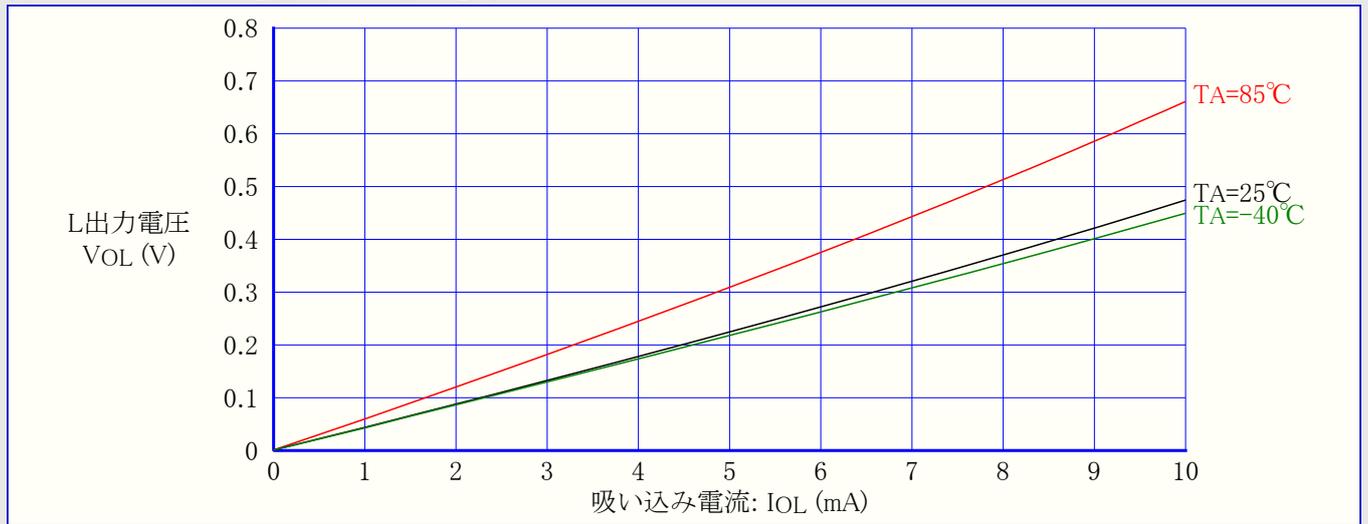


図18-21. I/Oピン出力電圧 対吸い込み電流 (VCC=5V)

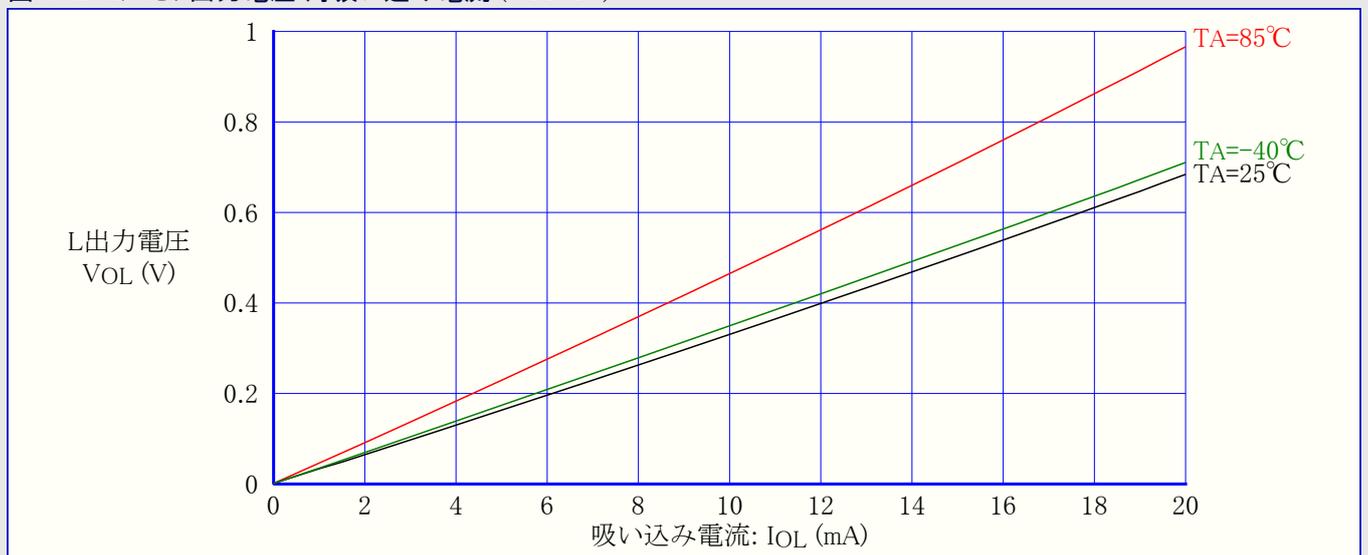


図18-22. I/Oピン出力電圧 対 吐き出し電流 (VCC=1.8V)

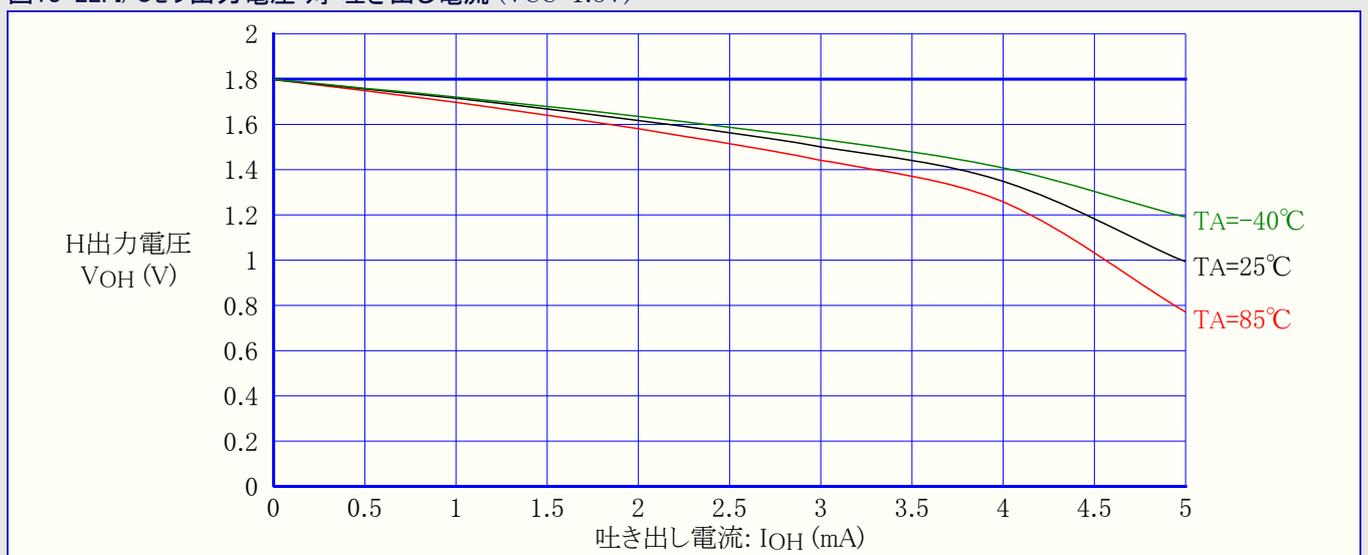


図18-23. I/Oピン出力電圧 対 吐き出し電流 (VCC=3V)

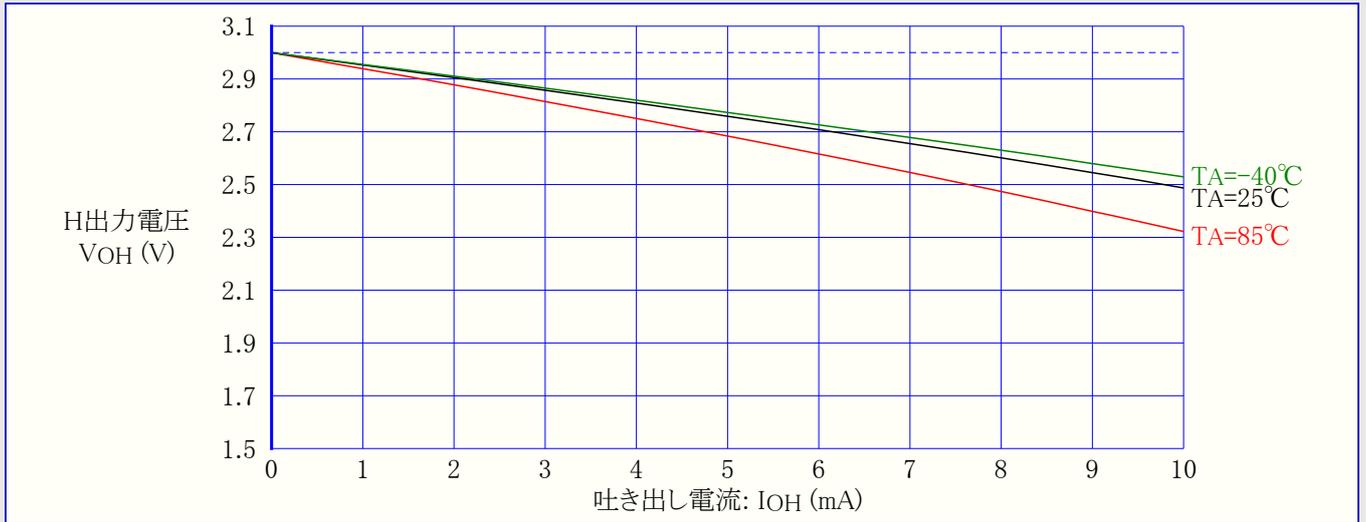


図18-24. I/Oピン出力電圧 対 吐き出し電流 (VCC=5V)

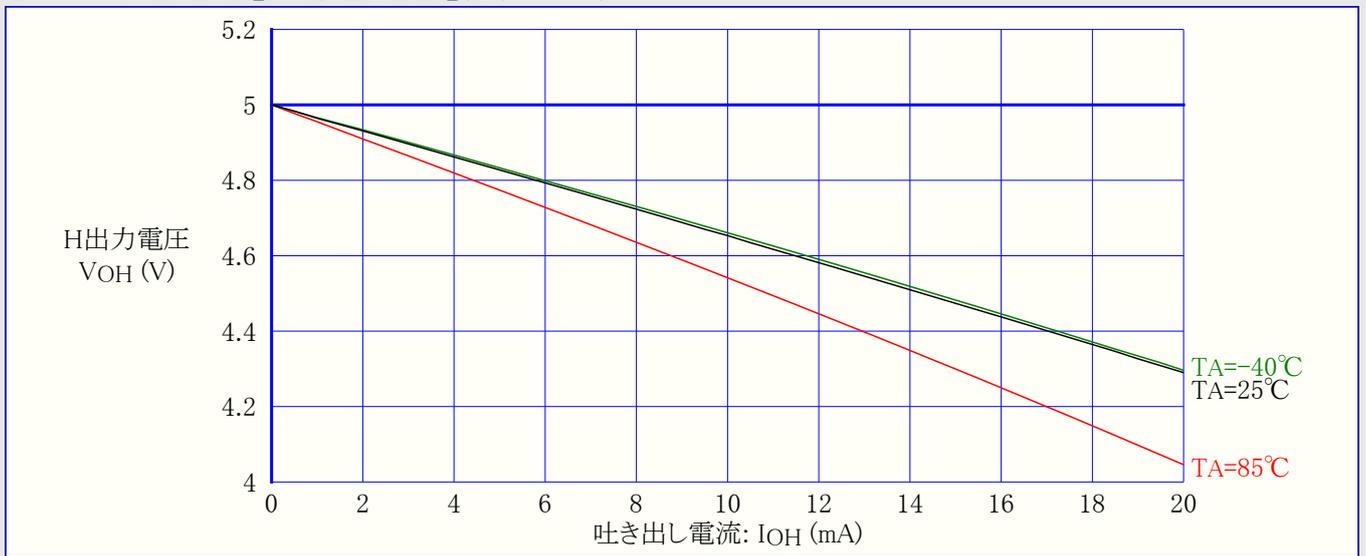


図18-25. RESETピン出力電圧 対 吸い込み電流 (TA=25°C)

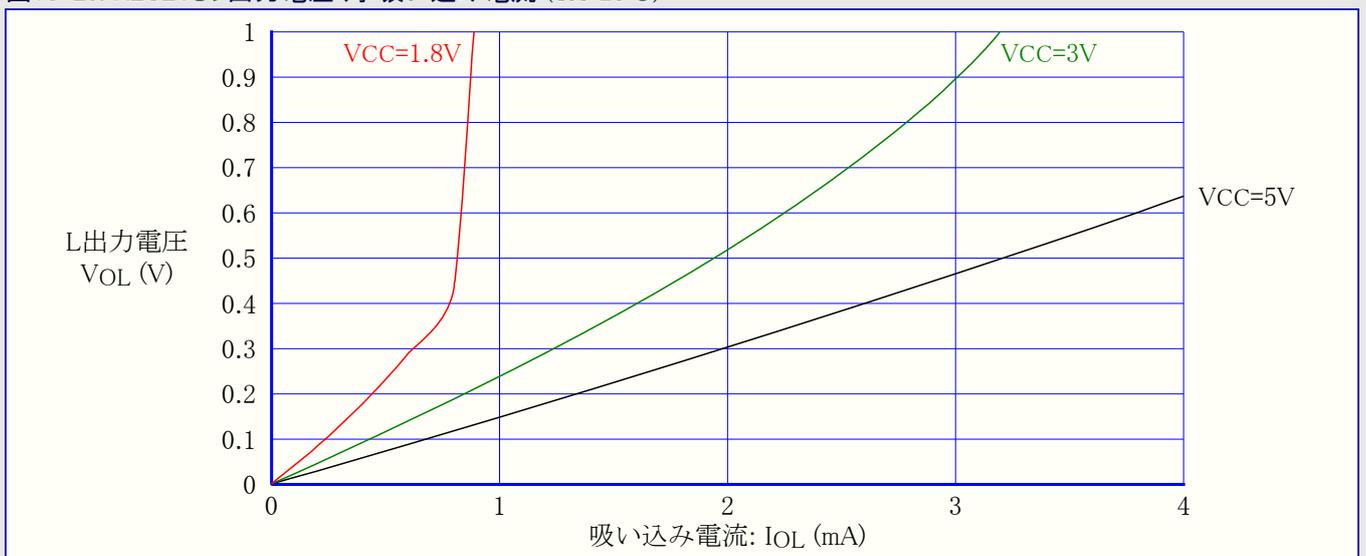
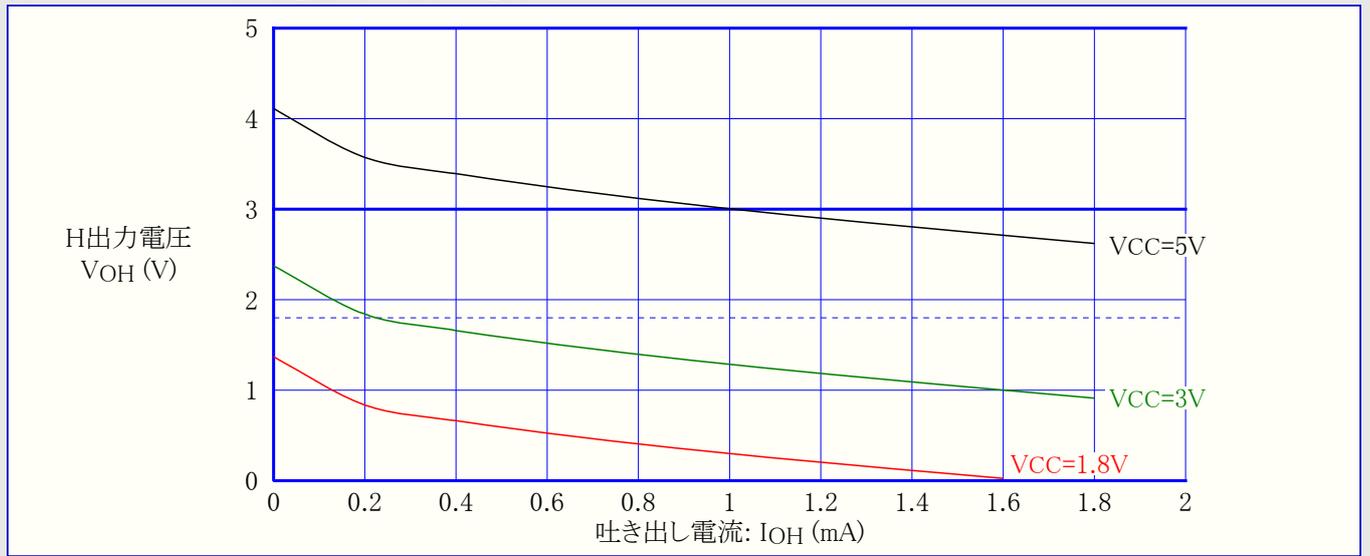


図18-26. RESETピン出力電圧 対 吐き出し電流 (TA=25°C)



18.7. ピン 閾値とヒステリシス

図18-27. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

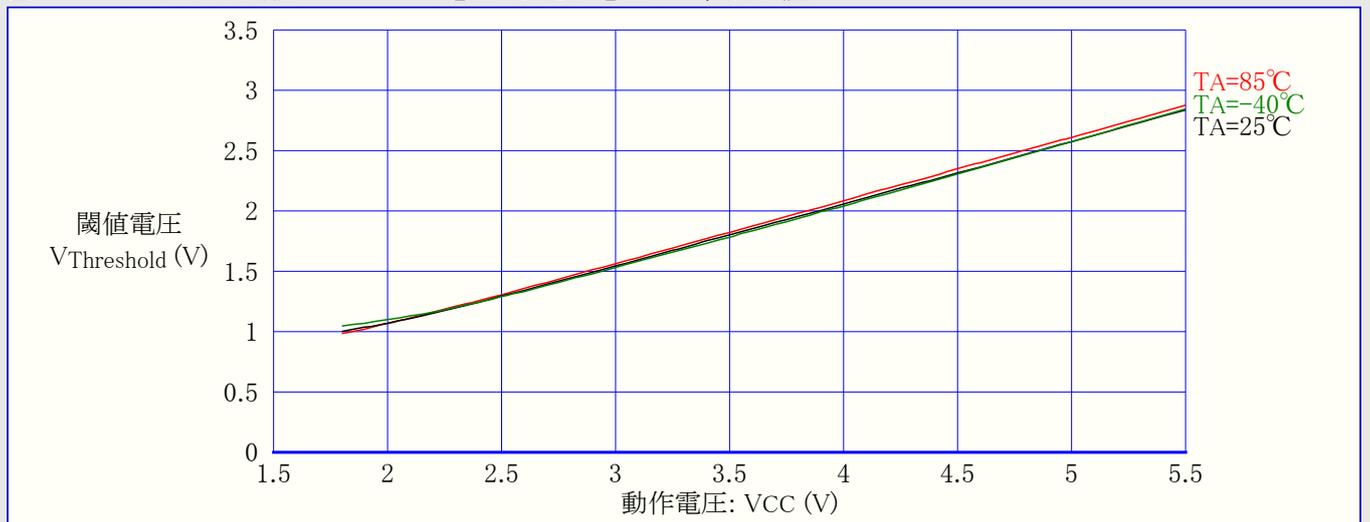


図18-28. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

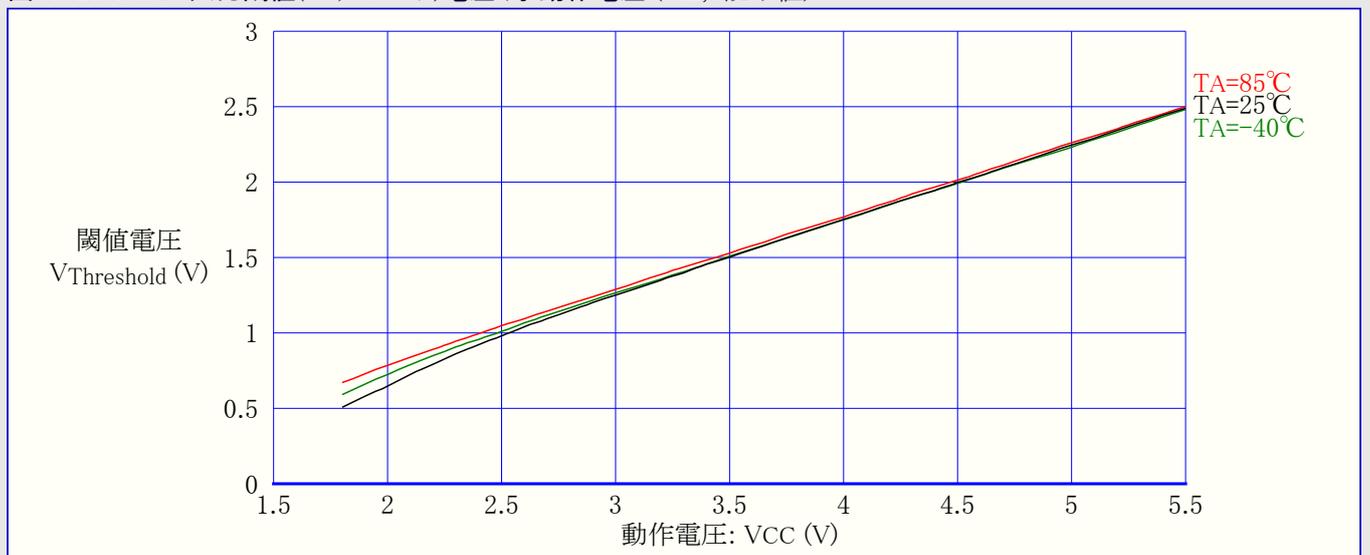


図18-29. I/Oピン入力ヒステリシス電圧 対 動作電圧

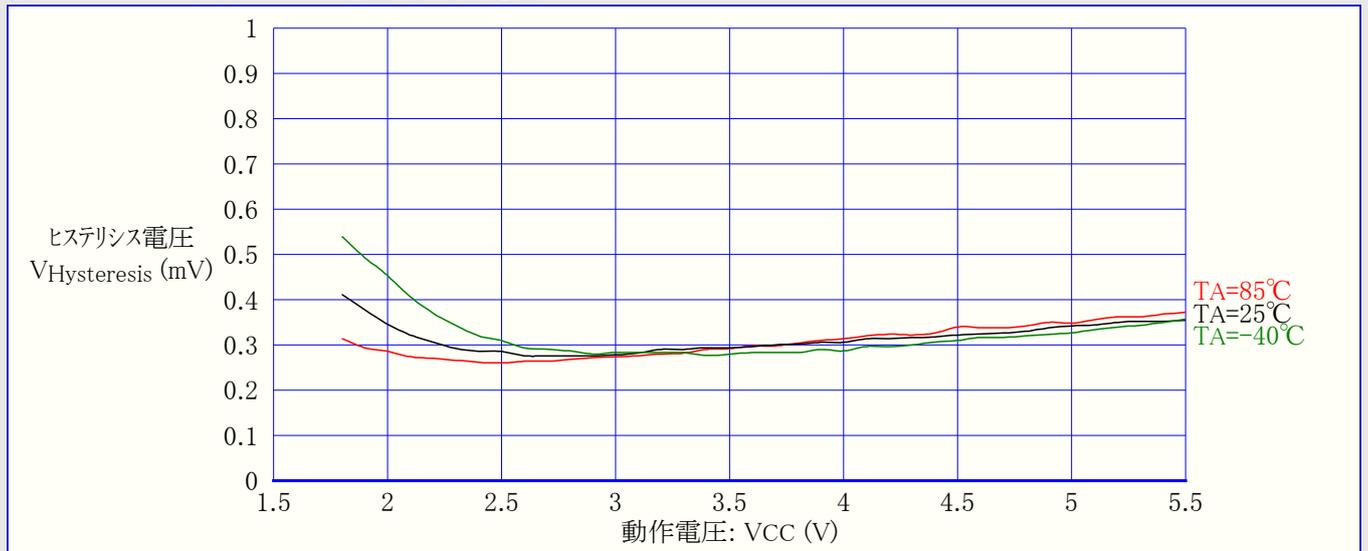


図18-30. 入出力としてのRESET入力閾値(スレッシュホルツ)電圧 対 動作電圧 (V_{IH,1}読み値)

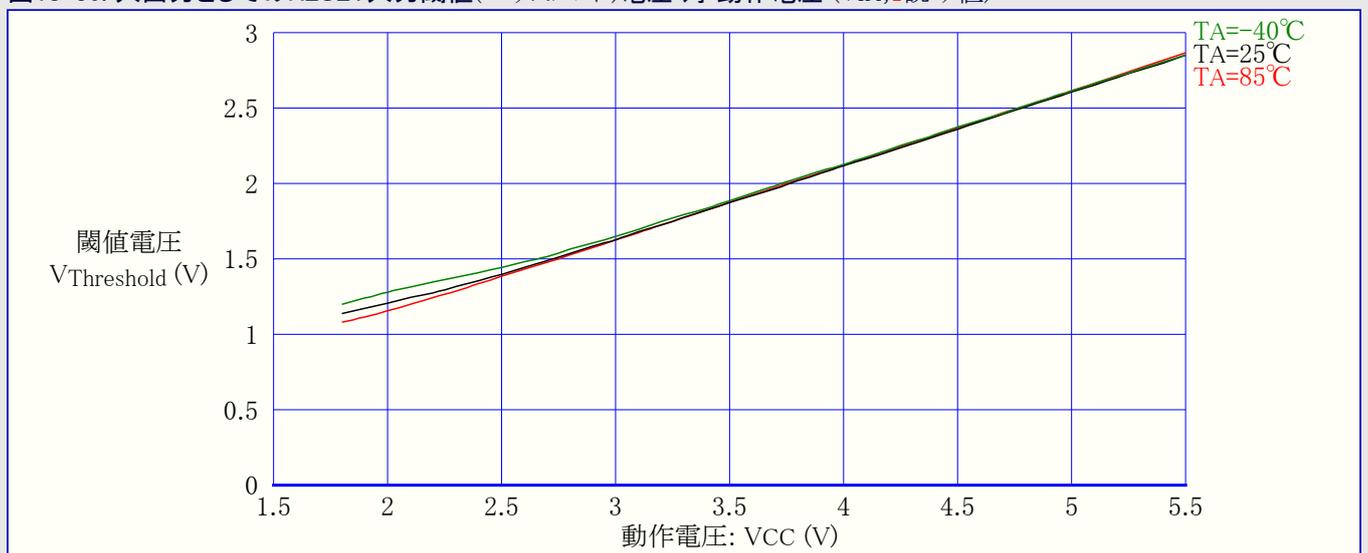


図18-31. 入出力としてのRESET入力閾値(スレッシュホルツ)電圧 対 動作電圧 (V_{IL,0}読み値)

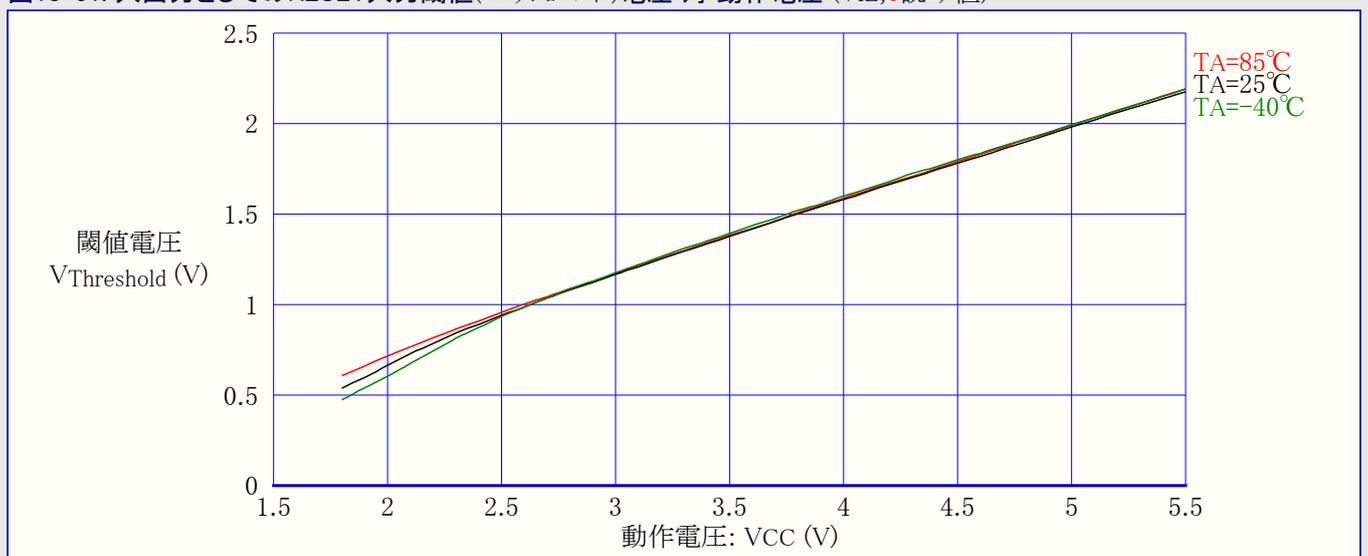


図18-32. 入出力としてのRESETピン入力ヒステリシス電圧 対 動作電圧 (I/Oとして使用時)

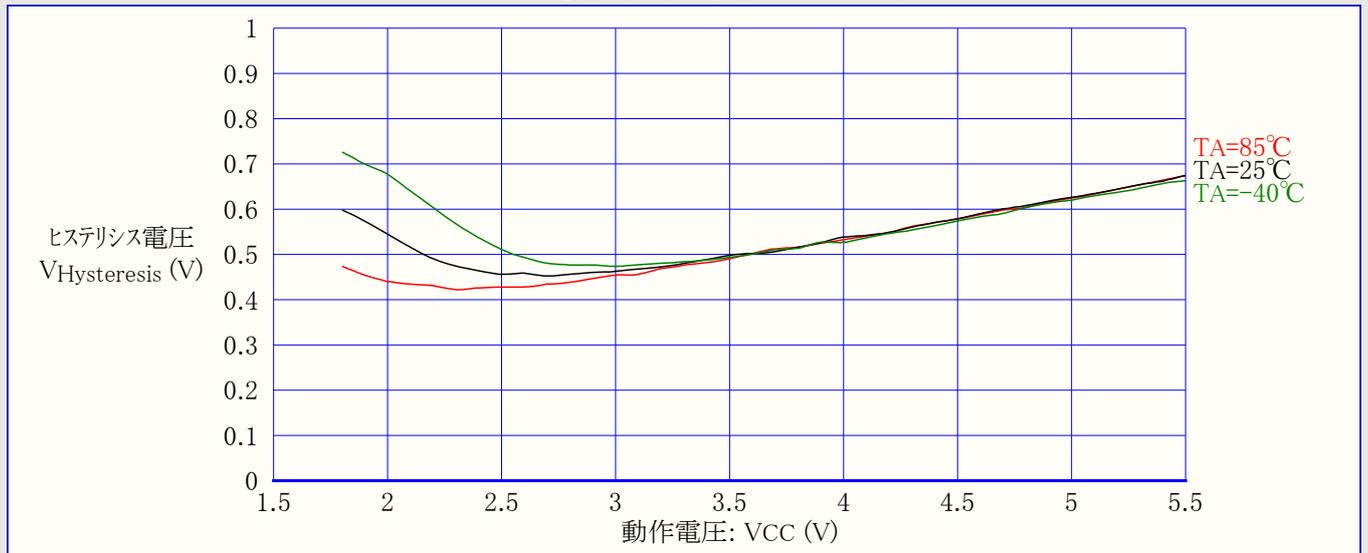


図18-33. RESETピン入力閾値(スレッショールト)電圧 対 動作電圧 (VIH,I/Oピン1読み値)

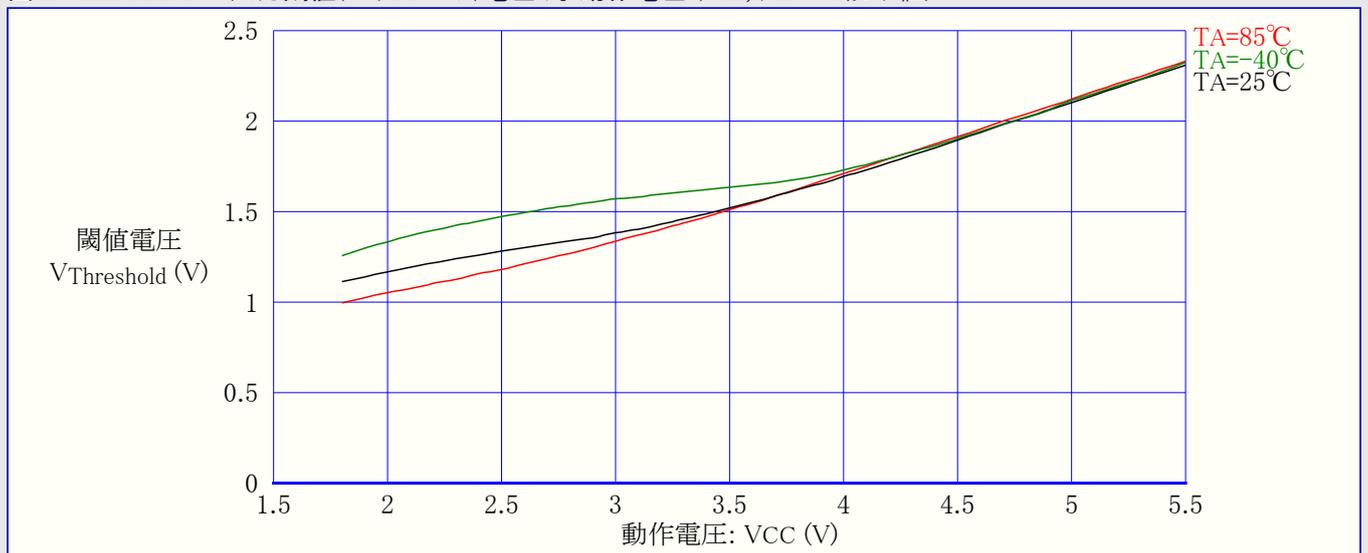


図18-34. RESETピン入力閾値(スレッショールト)電圧 対 動作電圧 (VIL,I/Oピン0読み値)

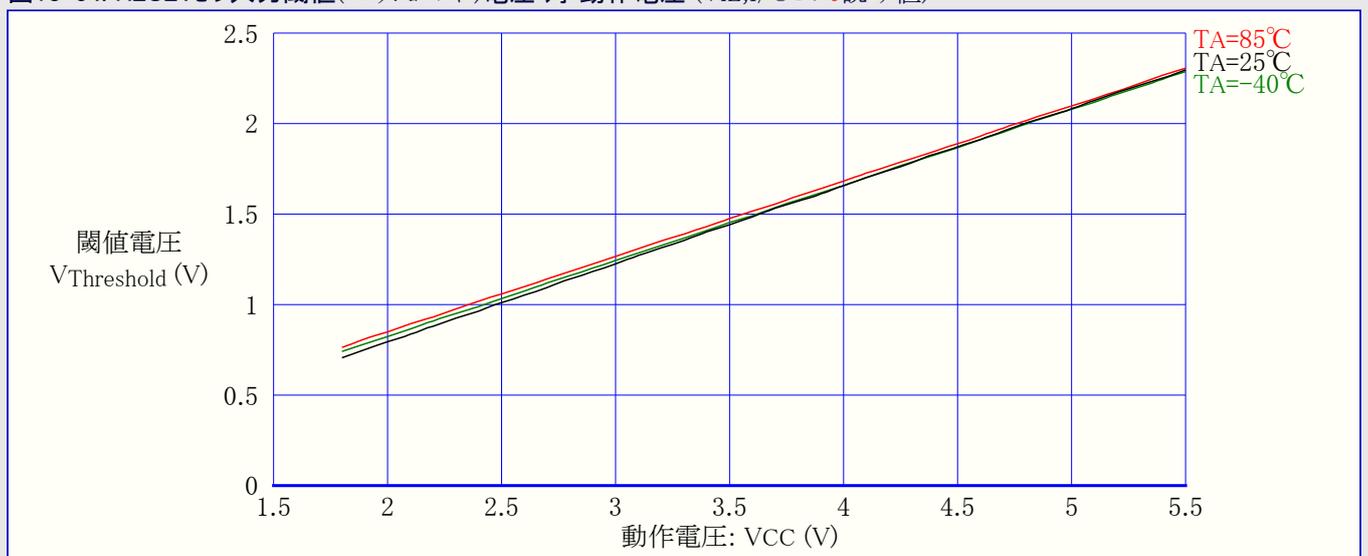
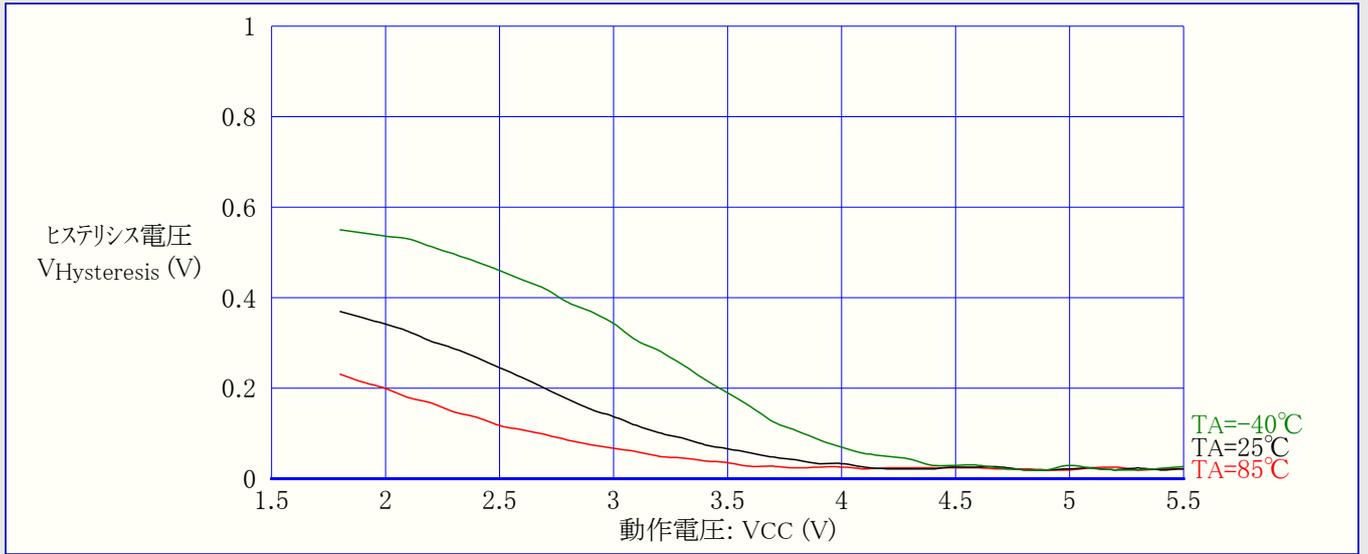
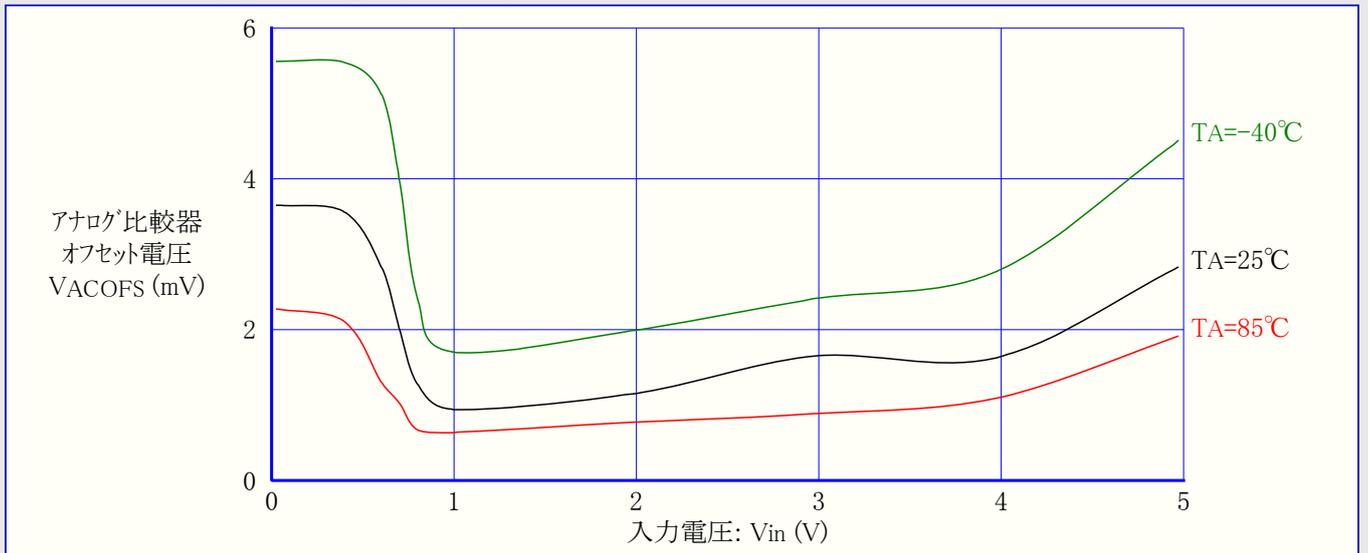


図18-35. RESET入力ヒステリシス電圧 対 動作電圧



18.8. アナログ比較器オフセット

図18-36. アナログ比較器オフセット電圧 ($V_{CC}=5\text{V}$)



18.9. 内部発振器周波数

図18-37. ウォッチドッグ発振器周波数 対 動作電圧

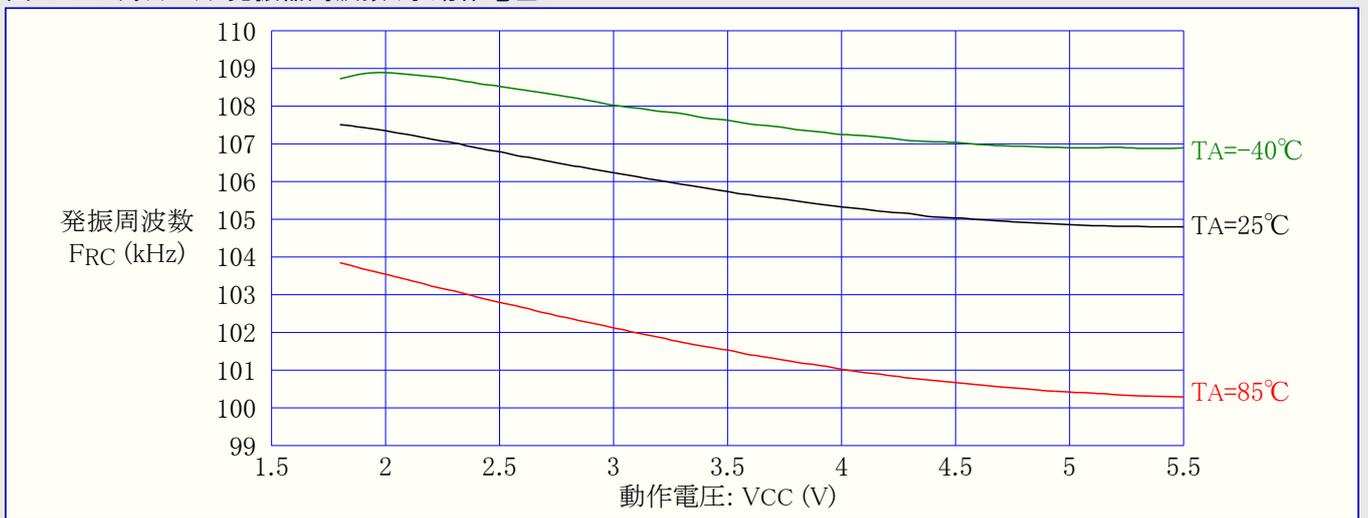


図18-38. ウォッチドッグ発振器周波数 対 動作温度

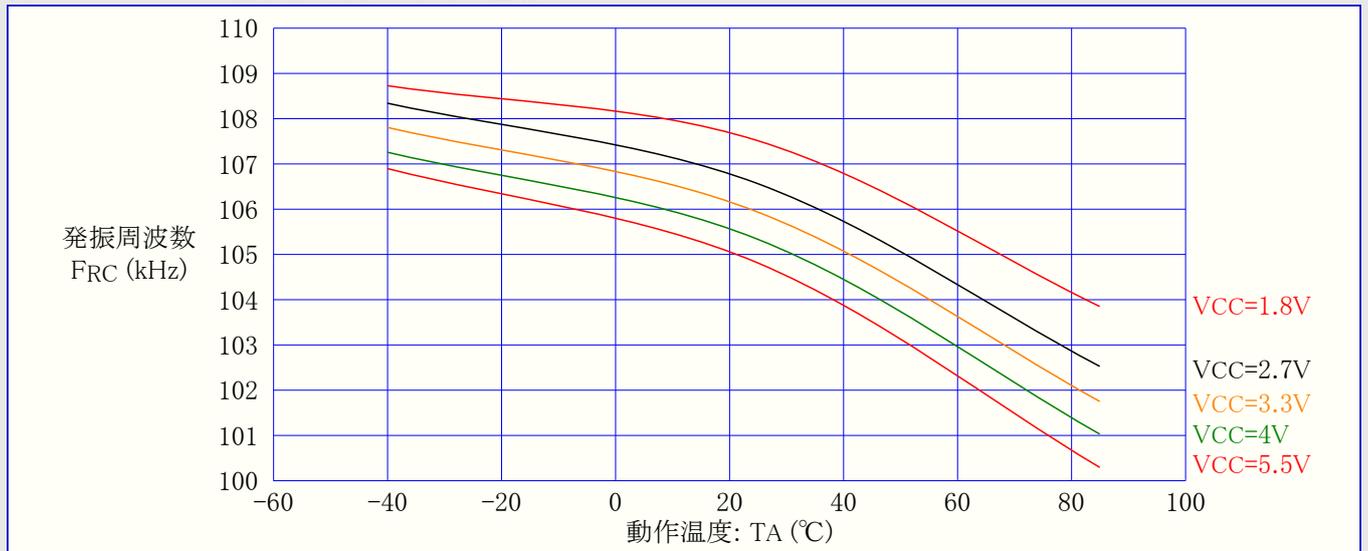


図18-39. 校正付き8MHz内蔵RC発振器周波数 対 動作電圧

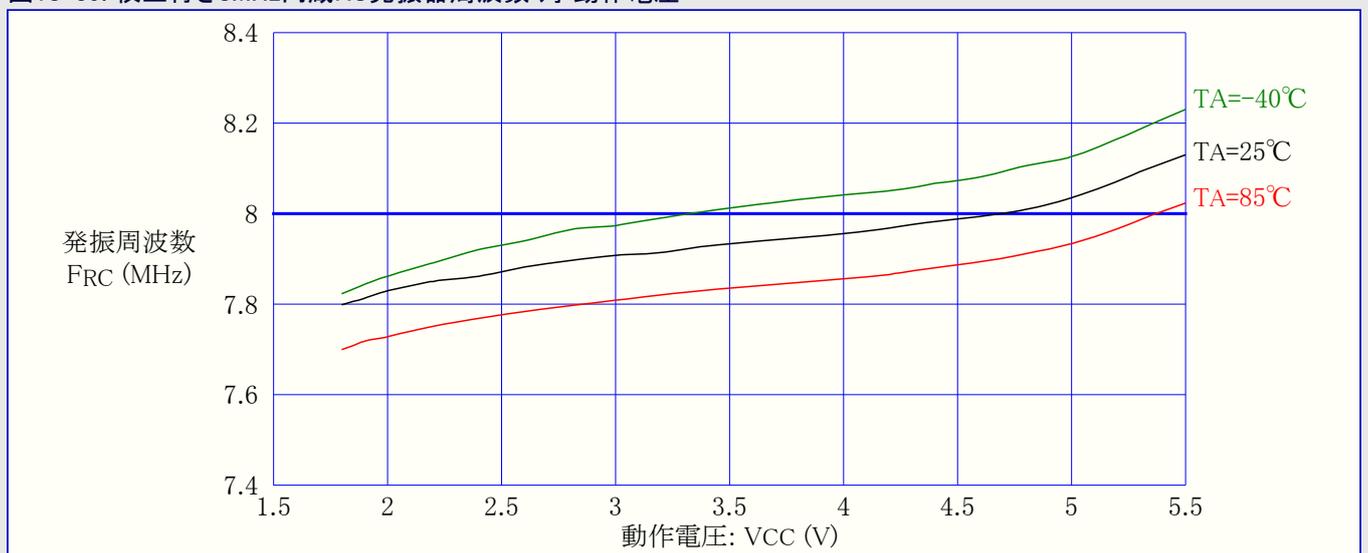


図18-40. 校正付き8MHz内蔵RC発振器周波数 対 動作温度

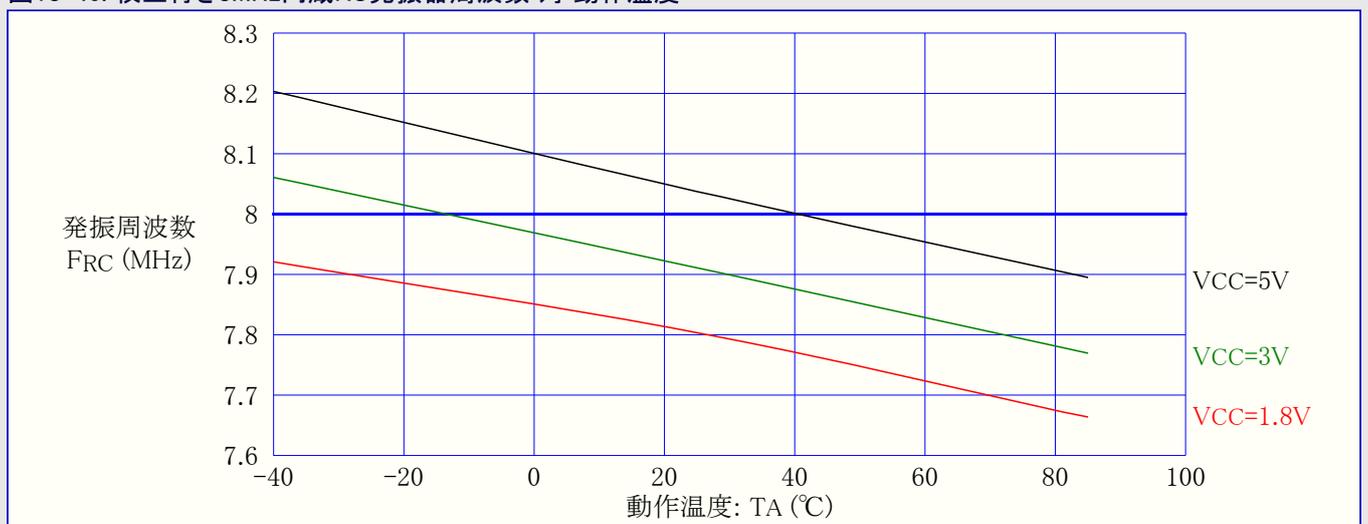
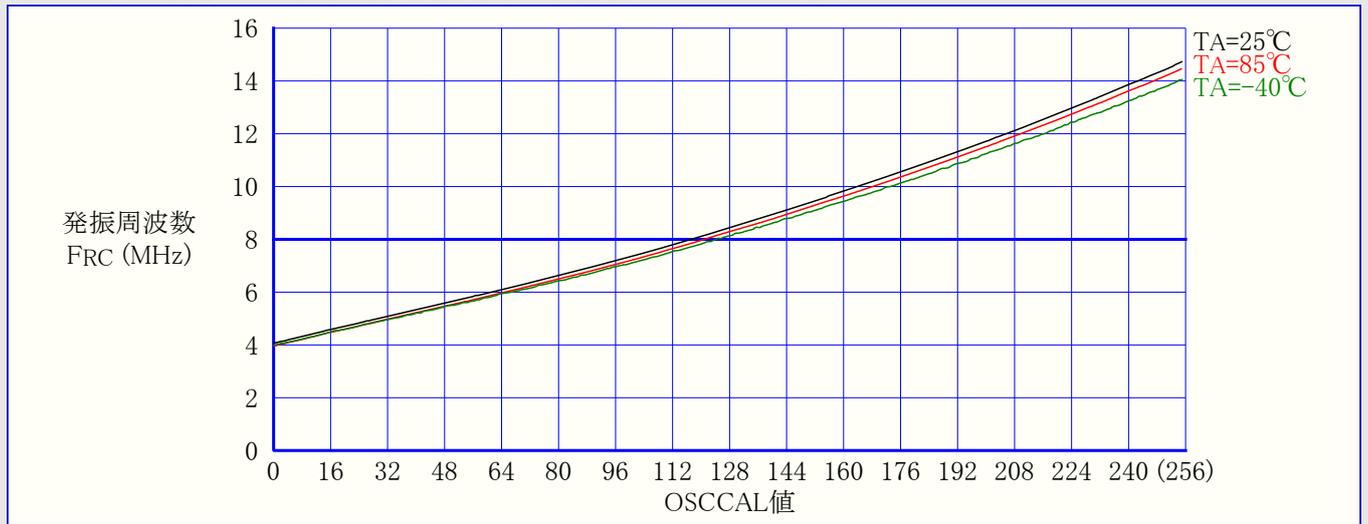


図18-41. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値 (VCC=3V)



18.10. VLM閾値

図18-42. VCCレベル監視器VLM1L閾値電圧 対 動作温度 (VLM2~0=001)

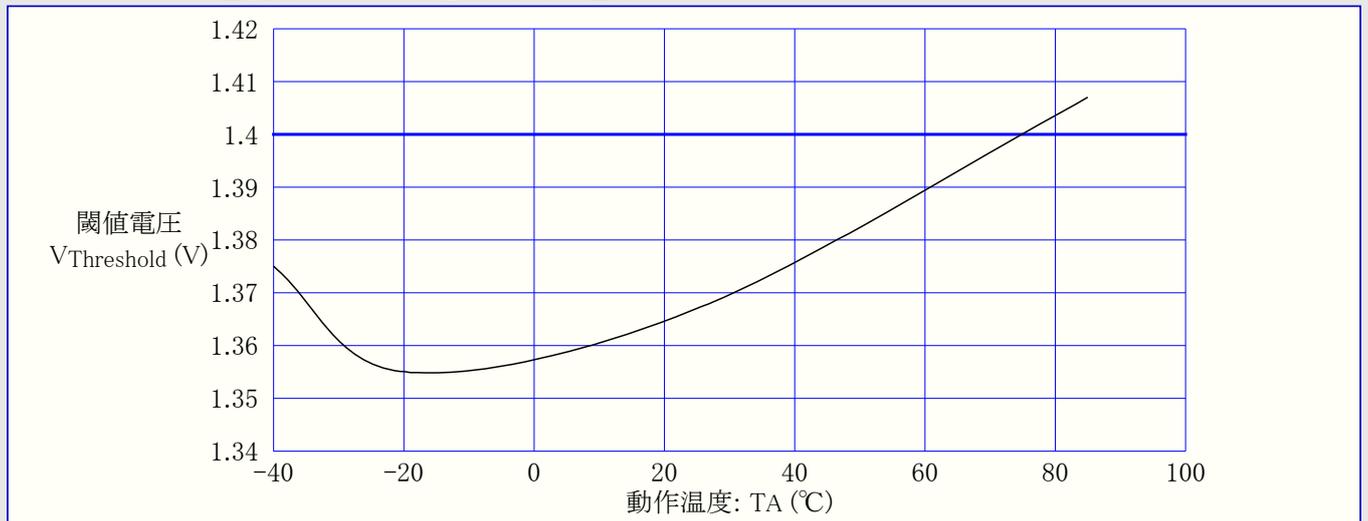


図18-43. VCCレベル監視器VLM1H閾値電圧 対 動作温度 (VLM2~0=010)

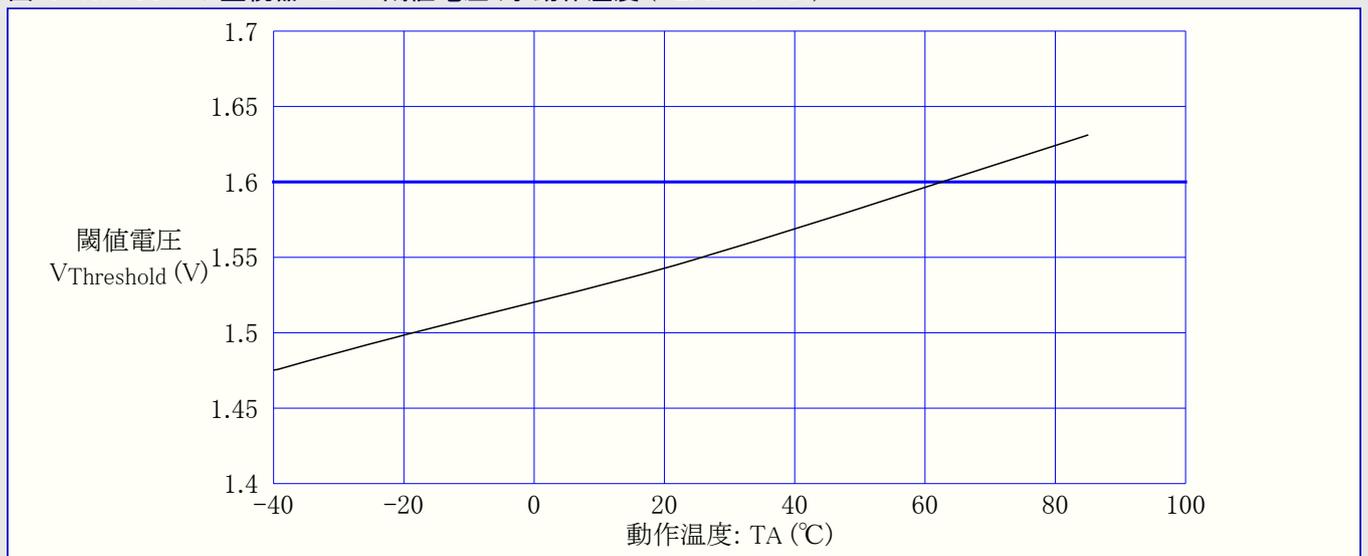


図18-44. VCCLレベル監視器VLM2閾値電圧 対 動作温度 (VLM2~0=011)

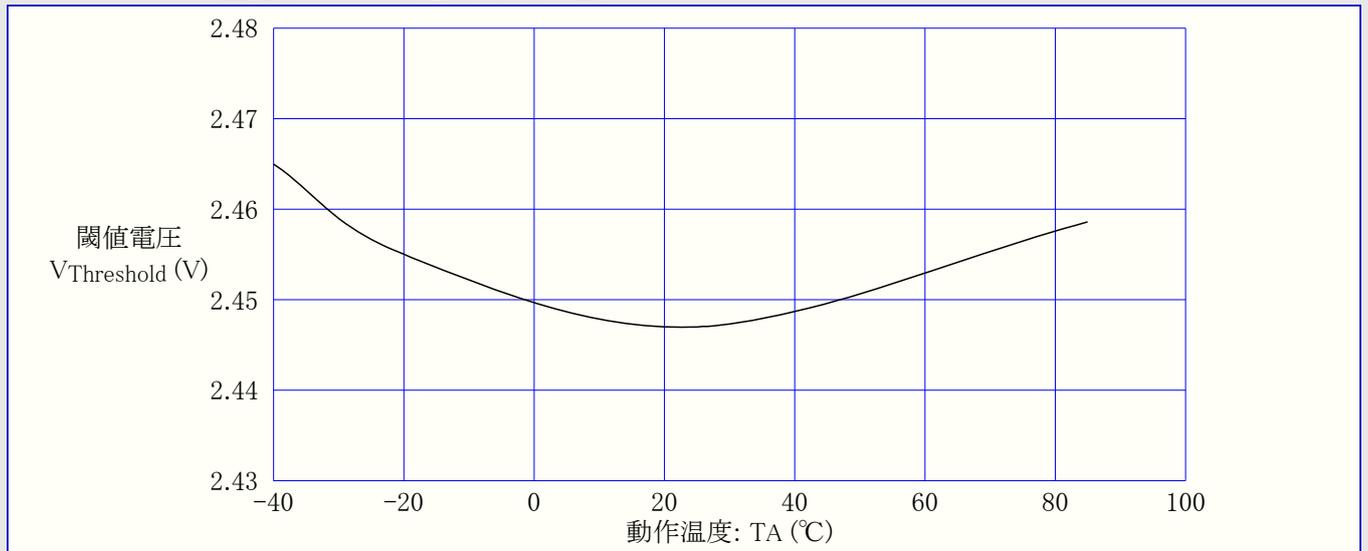
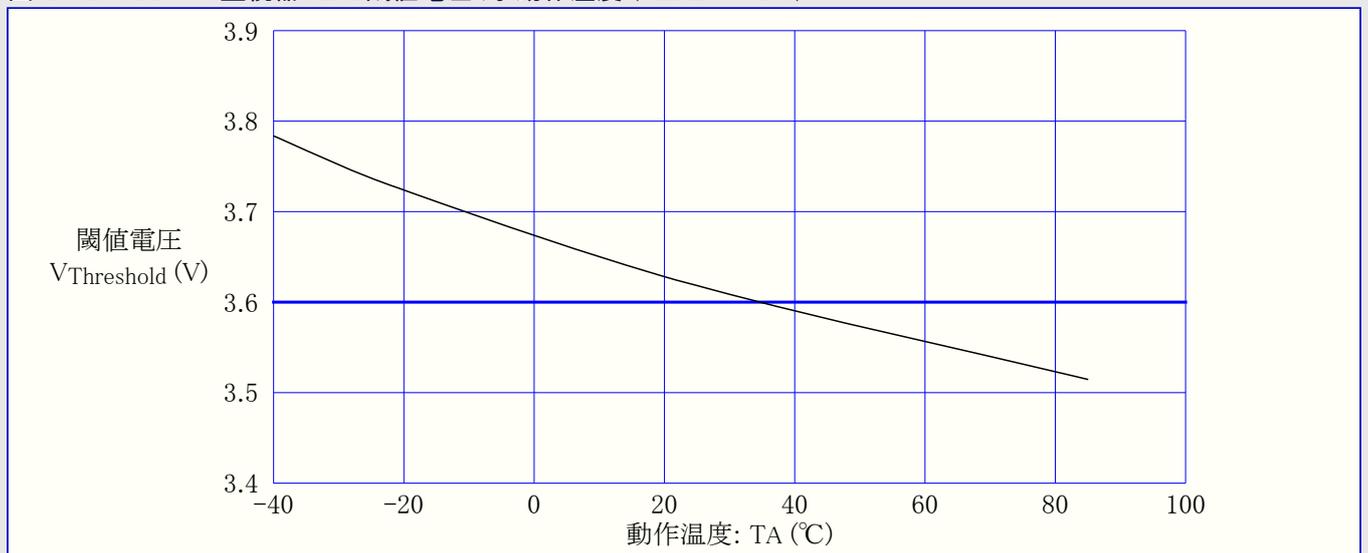


図18-45. VCCLレベル監視器VLM3閾値電圧 対 動作温度 (VLM2~0=100)



18.11. 周辺機能部消費電流

図18-46. A/D変換器消費電流 対 動作電圧 (周波数4MHz) (ATtiny5/10のみ)

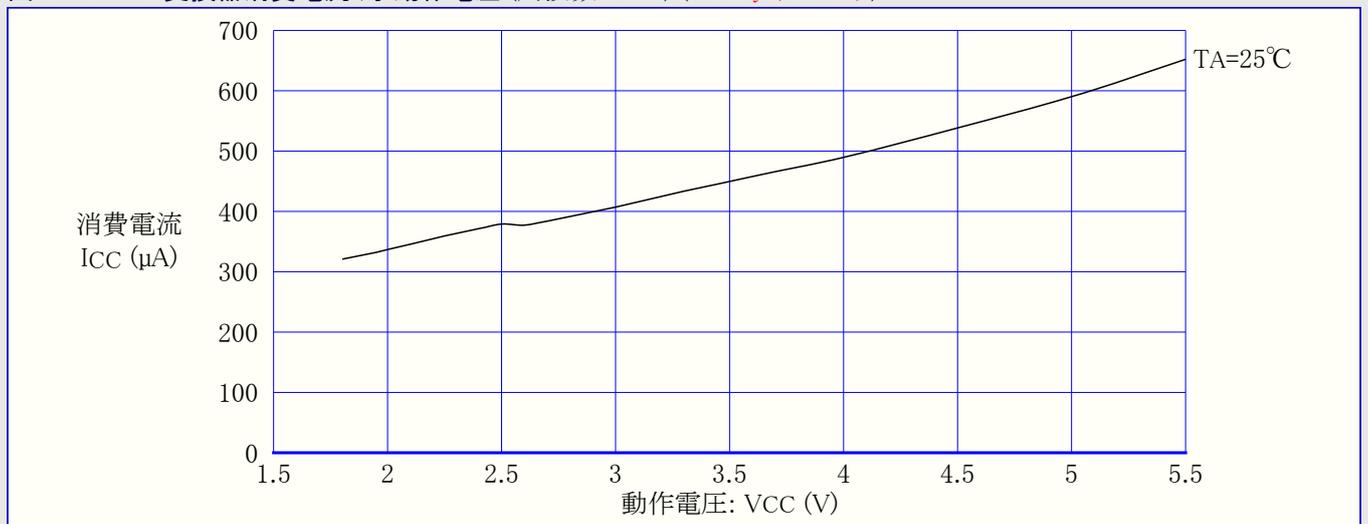


図18-47. アナログ比較器消費電流 対 動作電圧

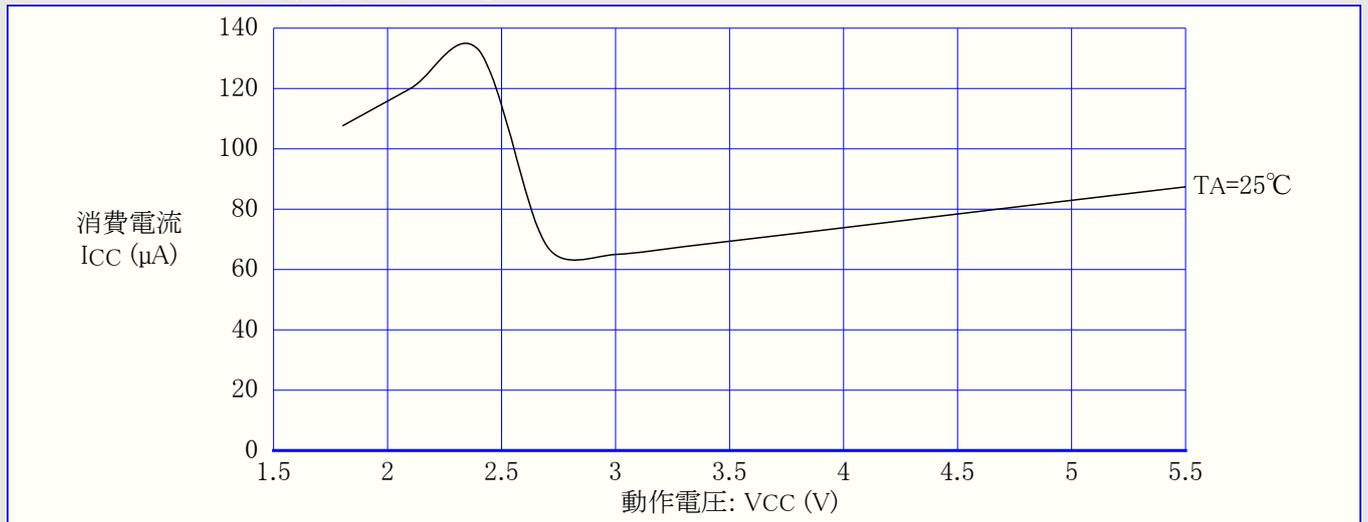


図18-48. VCCレベル監視器消費電流 対 動作電圧

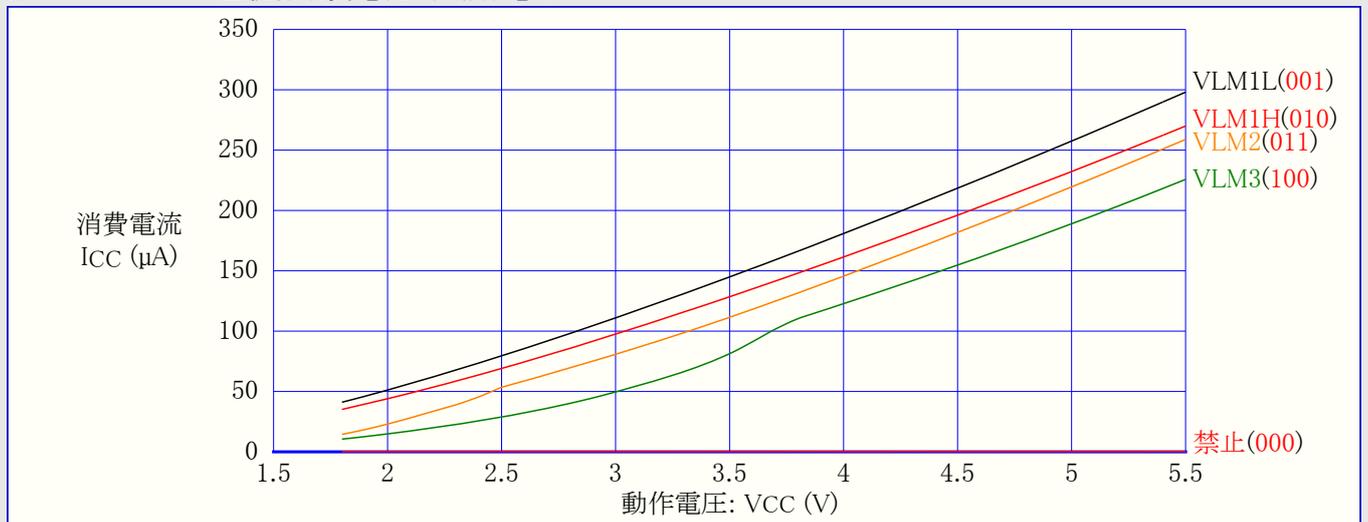


図18-49. VCCレベル監視器消費電流 対 動作電圧の温度依存性 (VLM1L(VLM2~0=001))

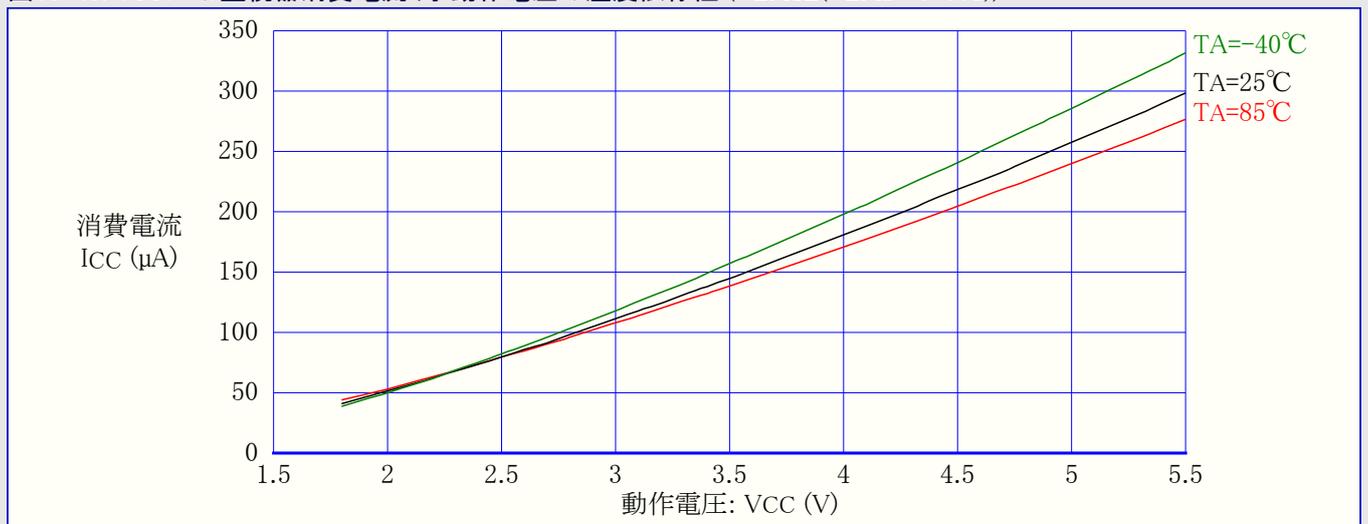
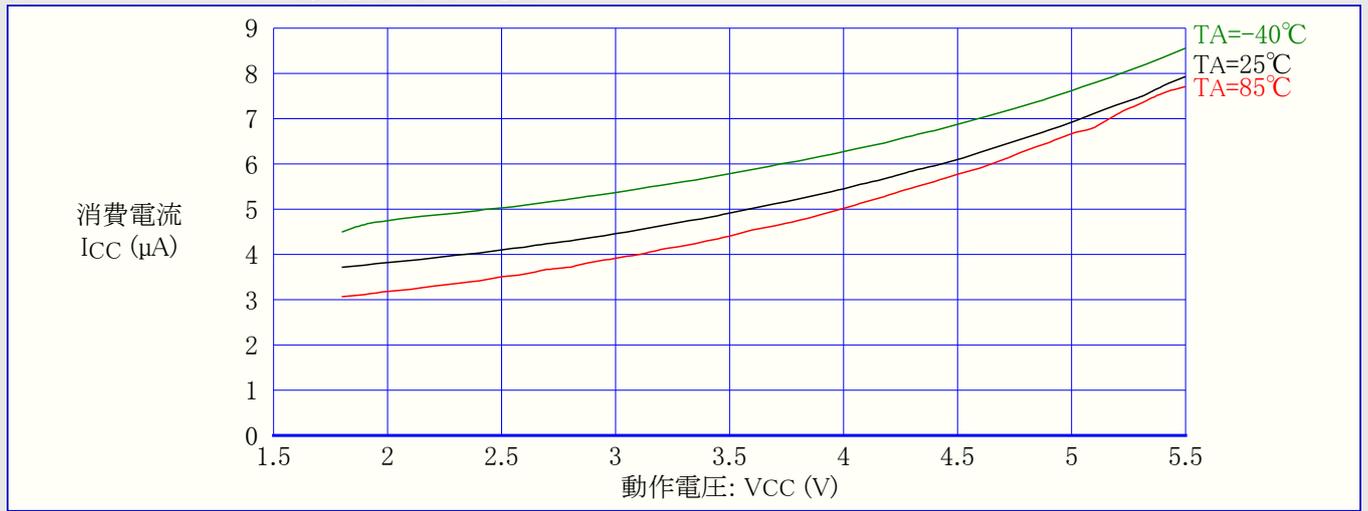
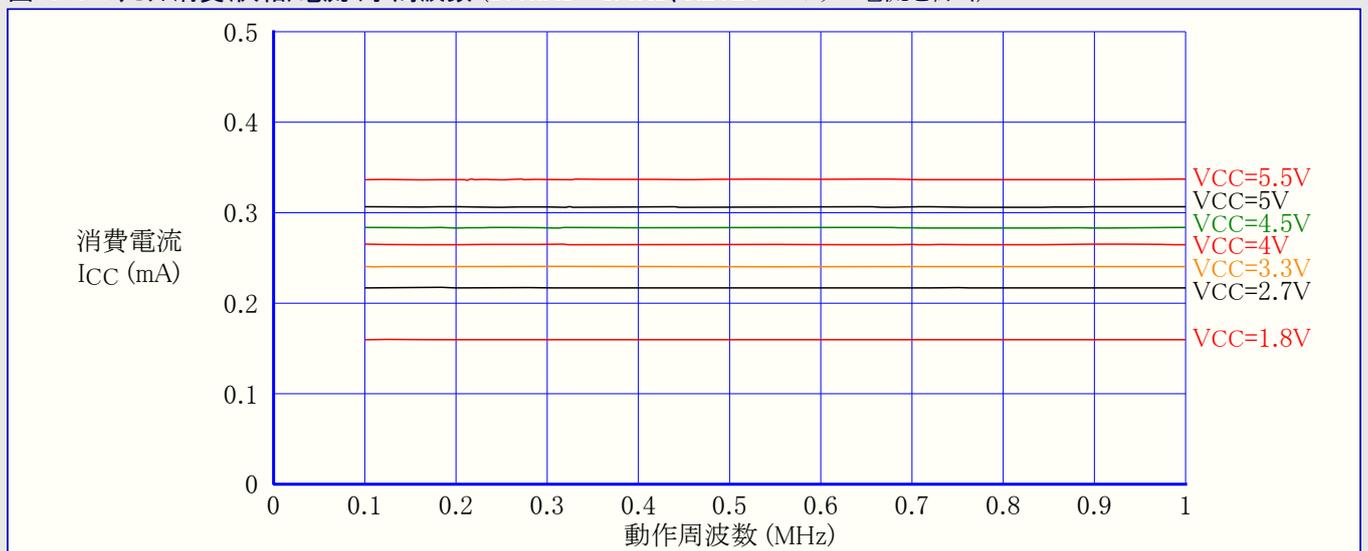


図18-50. ウォッチドッグ タイマ消費電流 対 動作電圧



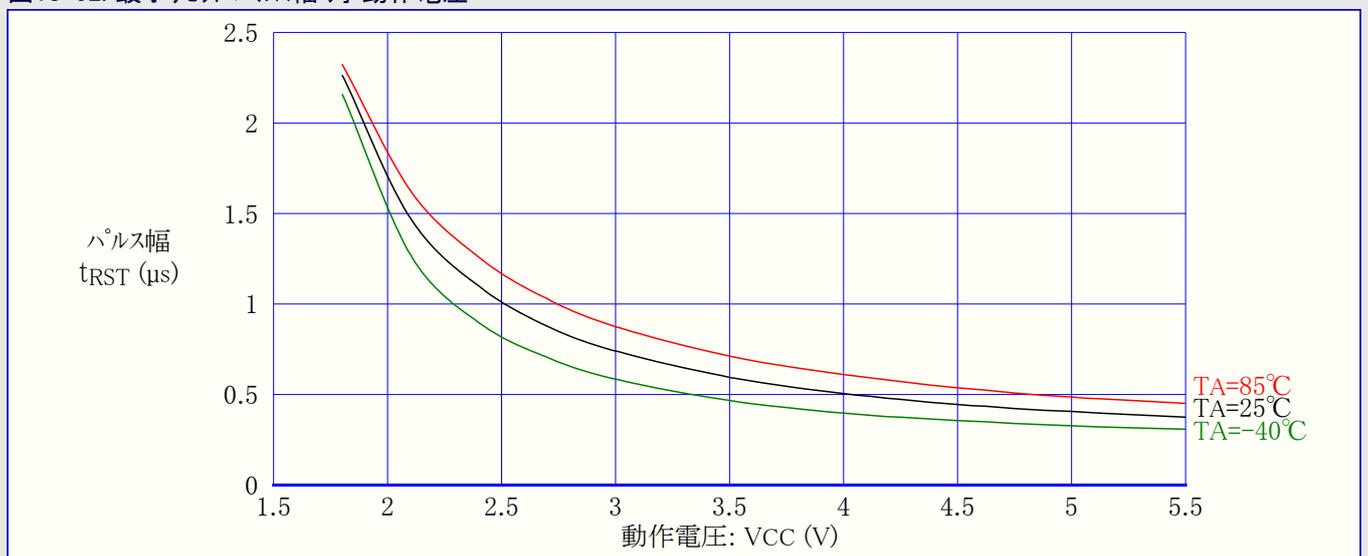
18.12. リセット消費電流とリセット パルス幅

図18-51. リセット消費(供給)電流 対 周波数 (100kHz~1MHz、RESETプルアップ電流を除く)



注: デバイスに対する既定クロック元は常に内部8MHz発振器です。従って、リセットに於ける電流消費は常に外部クロック信号によって影響を及ぼされません。

図18-52. 最小リセット パルス幅 対 動作電圧



19. レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
\$3F	SREG	I	T	H	S	V	N	Z	C	13	
\$3E	SPH	-	-	-	-	-	-	-	-	12	
\$3D	SPL	-	-	SP5	SP4	SP3	SP2	SP1	SP0		
\$3C	CCP	CCP7~0 (構成設定変更保護バイト)								12	
\$3B	RSTFLR	-	-	-	-	WDRF	-	EXTRF	PORF	28	
\$3A	SMCR	-	-	-	-	-	SM2~0	-	SE	23	
\$39	OSCCAL	CAL7~0 (内蔵RC発振器 発振校正値レジスタ)								19	
\$38	予約										
\$37	CLKMSR	-	-	-	-	-	-	CLKMS1,0	-	19	
\$36	CLKPSR	-	-	-	-	-	-	CLKPS3~0	-	20	
\$35	PRR	-	-	-	-	-	-	PRADC	PRTIM0	23	
\$34	VLMCSR	VLMF	VLMIE	-	-	-	-	VLM2~0	-	28	
\$33	NVMCMD	-	-	NVMCMD5~0 (NVM指令)						-	83
\$32	NVMCSR	NVMBSY	-	-	-	-	-	-	-	83	
\$31	WDTCR	WDIF	WDIE	WDP3	-	WDE	-	WDP2~0	-	27	
\$30	予約										
\$2F	GTCCR	TSM	-	-	-	-	-	-	PSR	61	
\$2E	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	-	-	WGM01	WGM00	56	
\$2D	TCCR0B	ICNC0	ICES0	-	WGM03	WGM02	-	CS02~0	-	57	
\$2C	TCCR0C	FOC0A	FOC0B	-	-	-	-	-	-	58	
\$2B	TIMSK0	-	-	ICIE0	-	-	OCIE0B	OCIE0A	TOIE0	60	
\$2A	TIFR0	-	-	ICF0	-	-	OCF0B	OCF0A	TOV0	60	
\$29	TCNT0H	TCNT015~8 (タイマ/カウンタ0 上位バイト)								58	
\$28	TCNT0L	TCNT07~0 (タイマ/カウンタ0 下位バイト)									
\$27	OCR0AH	OCR0A15~8 (タイマ/カウンタ0 比較Aレジスタ上位バイト)								59	
\$26	OCR0AL	OCR0A7~0 (タイマ/カウンタ0 比較Aレジスタ下位バイト)									
\$25	OCR0BH	OCR0B15~8 (タイマ/カウンタ0 比較Bレジスタ上位バイト)								59	
\$24	OCR0BL	OCR0B7~0 (タイマ/カウンタ0 比較Bレジスタ下位バイト)									
\$23	ICR0H	ICR015~8 (タイマ/カウンタ0 捕獲レジスタ上位バイト)								59	
\$22	ICR0L	ICR07~0 (タイマ/カウンタ0 捕獲レジスタ下位バイト)									
\$21	予約										
\$20	予約										
\$1F	ACSR	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	62	
\$1E	予約										
\$1D	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	-	ADPS2~0	-	69	
\$1C	ADCSRB	-	-	-	-	-	-	ADTS2~0	-	70	
\$1B	ADMUX	-	-	-	-	-	-	MUX1,0	-	69	
\$1A	予約										
\$19	ADCL	ADC7~0 (A/D変換結果レジスタ)								70	
\$18	予約										
\$17	DIDR0	-	-	-	-	ADC3D	ADC2D	ADC1D	ADC0D	63,70	
\$16	予約										
\$15	EICRA	-	-	-	-	-	-	ISC01,0	-	31	
\$14	EIFR	-	-	-	-	-	-	-	INTF0	31	
\$13	EIMSK	-	-	-	-	-	-	-	INT0	31	
\$12	PCICR	-	-	-	-	-	-	-	PCIE0	32	
\$11	PCIFR	-	-	-	-	-	-	-	PCIF0	32	
\$10	PCMSK	-	-	-	-	PCINT3	PCINT2	PCINT1	PCINT0	32	
\$0F	予約										
\$0E	予約										
\$0D	予約										
\$0C	PORTCR	-	-	-	-	-	-	BBMB	-	40	
\$0B	予約										
\$0A	予約										
\$09	予約										
\$08	予約										
\$07	予約										
\$06	予約										
\$05	予約										
\$04	予約										
\$03	PUEB	-	-	-	-	PUEB3	PUEB2	PUEB1	PUEB0	40	
\$02	PORTB	-	-	-	-	PORTB3	PORTB2	PORTB1	PORTB0	40	
\$01	DDRB	-	-	-	-	DDB3	DDB2	DDB1	DDB0	40	
\$00	PINB	-	-	-	-	PINB3	PINB2	PINB1	PINB0	40	

- 注: 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリアドレスは決して書かれるべきではありません。
- アドレス範囲\$00~\$1FのI/OレジスタはCBIとSBI命令の使用で直接アクセス可能です。これらのレジスタの単一ビットはCBISとSBIS命令の使用で検査できます。
 - いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけ操作し、従ってこのような状態フラグを含むレジスタで使えることに留意してください。CBIとSBI命令は\$00~\$1Fのレジスタだけで動作します。
 - A/D変換器(ADC)はATtiny5/10でだけ利用可能です。

20. 命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3/4
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3/4
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4/5
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4/5
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	SREG(s)=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	SREG(s)=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	C=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	C=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	C=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	C=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	(N EOR V)=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	(N EOR V)=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	H=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	H=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K : 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
 b : ビット(0~7) k : アドレス定数(7,12ビット) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペラント	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	1/2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2/3
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1/2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2/3
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	1/2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2/3
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	1
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK $\leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,Z,C	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,V,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	対応デバッグ資料参照	I,T,H,S,V,N,Z,C	1

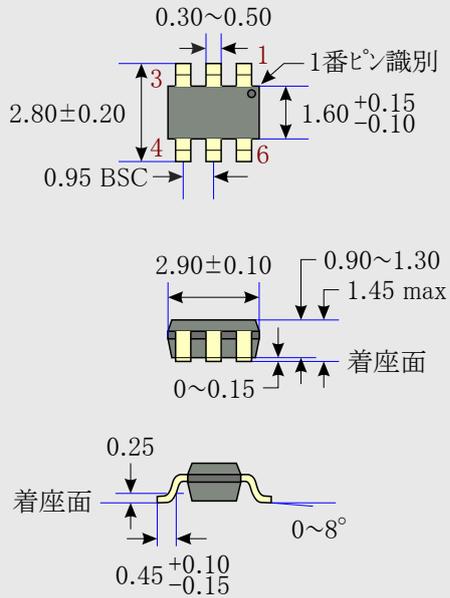
(訳補) CALL,RET系の実行クロック数は本文説明や他の資料と矛盾する部分があるため誤っている可能性があります。また、LD系命令でデータ空間に割り当てられたフラッシュメモリを読む場合に命令の事前取得が待たされるため、1クロック周期の追加が必要です。この場合のST系命令は(これらの領域が読み込み専用のために)無効なので基本的にクロック周期追加が行われないと思われます。

21. 外圍器情報

21.1. 6ST1

6リード、2.90×1.60mmプラスチック小型外形外圍器 (SOT23)

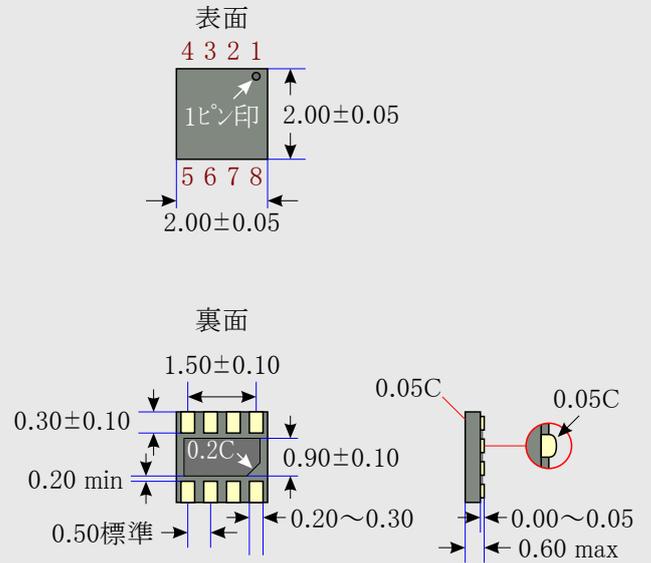
寸法: mm
JEDEC規格 MO-178 AB



21.2. 8MA4

8パッド、プラスチック極薄2列平板リードなし外圍器 (UDFN)

寸法: mm



22. 障害情報

障害内容は独立した文書に移動され、www.microchip.com/DS80000957にある「ATtiny4/5/9/10シリコン障害情報とデータシート説明」を参照してください。(訳注:本書では便宜のためこの文書の障害情報も含まれます。)

22.1 シリコン問題要約

凡例

- 障害は適用されません。
- × 障害が適用されます。

周辺機能	簡単な説明	シリコン改訂の有効性				
		改訂	C(注)	D	E	
デバイス	22.2.1. ESD HBM (ESD STM 5.1) レベル±1000V		×	×	-	
メモリ	22.3.1. 施錠ビットのプログラミング		×	×	×	

注: この版がシリコンの初公開です。

22.2. デバイス

22.2.1. ESD HBM (ESD STM 5.1) レベル±1000V

デバイスはESD HBM(ESD STM 5.1)レベル±1000Vに対応します。

対策/対処

製造の前と最中でICを扱う時に正しいESD保護測定(等級1C)を常に用いてください。

影響を及ぼされるシリコン改訂

改訂	C	D	E																	
影響	×	×	-																	

22.3. メモリ

22.3.1. 施錠ビットのプログラミング

現状と同じまたはより低い施錠形態への施錠ビットのプログラミングはフラッシュ メモリの1語を不正にさせます。化ける位置は不規則です。

対策/対処

施錠ビットのプログラミング時に現状またはより低い保護レベルへ設定しないことを確実にしてください。

影響を及ぼされるシリコン改訂

改訂	C	D	E																	
影響	×	×	×																	

23. データシート改訂履歴

23.1. 改訂8127A – 2009年4月

1. 初版

23.2. 改訂8127B – 2009年8月

1. 資料雛形更新
2. ATtiny4, ATtiny5, ATtiny9も網羅するように資料拡張
3. 項目追加:
 - ・「ATtiny4, ATtiny5, ATtiny9, ATtiny10の比較」
4. 項目更新:
 - ・「注文情報」
 - ・「A/D変換クロック – clk_{ADC}」
 - ・「アイドル, A/D変換雑音低減, スタンバイ動作からの始動」
 - ・「A/D変換雑音低減動作」
 - ・「A/D変換器 (ADC)」
 - ・「SMCR – 休止形態制御レジスタ」
 - ・「PRR – 電力削減レジスタ」
 - ・「ポートBの交換機能」
 - ・「概要」
 - ・「Tinyプログラミング インターフェースの物理層」
 - ・「概要」
 - ・「A/D変換器特性(ATtiny5/10のみ)」
 - ・「周辺機能部供給電流」
 - ・「レジスタ要約」
5. 図追加:
 - ・「図15-2. TPI経由の実装書き込みに対する外部書き込み器の使用」
6. 図更新:
 - ・「図6-1. データメモリ配置図(バイトアドレス)」
7. 表追加:
 - ・「表16-4. フラッシュメモリ内のページ数とページの語数(ATtiny4/5)」(訳注: 表16-3. 更新統合)
8. 表更新:
 - ・「表8-1. 各休止形態動作に於ける動作クロック範囲と復帰起動元」
 - ・「表10-1. リセットと割り込みのベクタ」
 - ・「表16-3. フラッシュメモリ内のページ数とページの語数」
 - ・「表16-8. 識票符号」

23.3. 改訂8127C – 2009年10月

1. 値と注の更新
 - ・「DC特性」項の表17-1.
 - ・「クロック特性」項の表17-3.
 - ・「VCCレベル監視器」項の表17-6.
 - ・「直列プログラミング特性」項の表17-9.
2. 「注文情報」章で上側と下側の刻印の注を追加
3. 「速度」項の図17-1.を更新
4. 「アナログ比較器オフセット」項に図18-36.代表特性を追加。また、代表特性内の他のいくつかの図を更新
5. ESD障害情報追加、「障害情報」章をご覧ください。
6. 施錠ビット再プログラミング障害情報追加、「障害情報」章をご覧ください。

23.4. 改訂8127D – 2010年2月

1. 「特徴」、「ピン配置」、「注文情報」、「外圍器情報」にUDFN外圍器追加
2. 「注文情報」章で注を更新
3. 「電源ONリセット」項で図9-2.と図9-3.を更新
4. 「外部リセット」項を更新
5. 「代表特性」で図18-36.と図18-51.を更新
6. 「障害情報」章にデバイス改訂Eを追加

23.5. 改訂8127E – 2011年11月

1. 更新

- ・デバイス状況を暫定から最終へ
- ・「注文情報」

23.6. 改訂8127F – 2013年2月

1. 更新

- ・「注文情報」

23.7. 改訂8127G – 2015年9月

1. 無変化 (出版用に更新)

23.8. 改訂8127H – 2016年11月

1. 注文情報：下表は新注文符号と新規設計に推奨されない注文符号を一覧にします。

新注文符号	新規設計に非推奨
ATtiny4-TSUR	ATtiny4-TSHR
ATtiny4-TSFR	ATtiny4-TS8R
ATtiny5-TSUR	ATtiny5-TSHR
ATtiny5-TSFR	ATtiny5-TS8R
ATtiny9-TSUR	ATtiny9-TSHR
ATtiny9-TSFR	ATtiny9-TS8R
ATtiny10-TSUR	ATtiny10-TSHR
ATtiny10-TSFR	ATtiny10-TS8R

23.9. 改訂A – 2018年8月

1. 資料をMicrochip形式に更新
 - ・新Microchip資料番号。直前の版はAtmel資料8127H改訂Hでした。
2. 6頁の「注文情報」を更新
 - ・注文符号を改訂Hの前に逆戻し。

新注文符号	新規設計に非推奨
ATtiny4-TSHR	ATtiny4-TSUR
ATtiny4-TS8R	ATtiny4-TSFR
ATtiny5-TSHR	ATtiny5-TSUR
ATtiny5-TS8R	ATtiny5-TSFR
ATtiny9-TSHR	ATtiny9-TSUR
ATtiny9-TS8R	ATtiny9-TSFR
ATtiny10-TSHR	ATtiny10-TSUR
ATtiny10-TS8R	ATtiny10-TSFR

Microchipウェブ サイト

Microchipはwww.microchip.comで当社のウェブ サイト経由でのオンライン支援を提供します。このウェブ サイトはお客様がファイルや情報を容易に利用可能にする手段として使われます。お気に入りのインターネット ブラウザを用いてアクセスすることができ、ウェブ サイトは以下の情報を含みます。

- **製品支援** – データシートと障害情報、応用記述と試供プログラム、設計資源、使用者の手引きとハードウェア支援資料、最新ソフトウェア配布と保管されたソフトウェア
- **全般的な技術支援** – 良くある質問(FAQ)、技術支援要求、オンライン検討グループ、Microchip相談役プログラム員一覧
- **Microshipの事業** – 製品選択器と注文の手引き、最新Microchip報道発表、セミナーとイベントの一覧、Microchip営業所の一覧、代理店と代表する工場

お客様への変更通知サービス

Microchipのお客様通知サービスはMicrochip製品を最新に保つのに役立ちます。加入者は指定した製品系統や興味のある開発ツールに関連する変更、更新、改訂、障害情報がある場合に必ず電子メール通知を受け取ります。

登録するにはwww.microchip.comでMicrochipのウェブ サイトをアクセスしてください。”Support”下で”Customer Change Notification”をクリックして登録指示に従ってください。

お客様支援

Microchip製品の使用者は以下のいくつかのチャネルを通して支援を受け取ることができます。

- 代理店または販売会社
- 最寄りの営業所
- 現場応用技術者(FAE:Field Application Engineer)
- 技術支援

お客様は支援に関してこれらの代理店、販売会社、または現場応用技術者(FAE)に連絡を取るべきです。最寄りの営業所もお客様の手助けに利用できます。営業所と位置の一覧はこの資料の後ろに含まれます。

技術支援は<http://microchip.com/support>でのウェブ サイトを通して利用できます。

Microchipデバイスでの以下のコード保護機能の以下の詳細に注意してください。

- Microchip製品はそれら特定のMicrochipデータシートに含まれる仕様に合致します。
- Microchipは意図した方法と通常条件下で使われる時に、その製品システムが今日の市場でその種類の最も安全なシステムの1つであると考えます。
- コード保護機能を破るのに使われる不正でおそらく違法な方法があります。当社の知る限りこれらの方法の全てはMicrochipのデータシートに含まれた動作仕様外の方法でMicrochip製品を使うことが必要です。おそらく、それを行う人は知的財産の窃盗に関与しています。
- Microchipはそれらのコードの完全性について心配されているお客様と共に働きたいと思えます。
- Microchipや他のどの半導体製造業者もそれらのコードの安全を保証することはできません。コード保護は当社が製品を”破ることができない”として保証すると言うことを意味しません。

コード保護は常に進化しています。Microchipは当社製品のコード保護機能を継続的に改善することを約束します。Microchipのコード保護機能を破る試みはデジタルミレニアム著作権法に違反するかもしれません。そのような行為があなたのソフトウェアや他の著作物に不正なアクセスを許す場合、その法律下の救済のために訴権を持つかもしれません。

デバイス応用などに関してこの刊行物に含まれる情報は皆さまの便宜のためにだけ提供され、更新によって取り換えられるかもしれません。皆さまの応用が皆さまの仕様に合致するのを保証するのは皆さまの責任です。Microchipはその条件、品質、性能、商品性、目的適合性を含め、明示的にも黙示的にもその情報に関連して書面または表記された書面または黙示の如何なる表明や保証もしません。Microchipはこの情報とそれの使用から生じる全責任を否認します。生命維持や安全応用でのMicrochipデバイスの使用は完全に購入者の危険性で、購入者はそのような使用に起因する全ての損害、請求、訴訟、費用からMicrochipを擁護し、補償し、免責にすることに同意します。他に言及されない限り、Microchipのどの知的財産権下でも暗黙的または違う方法で許認可は譲渡されません。

Microchipはその世界的な本社、アリゾナ州のチャンドラーとテンペ、オレゴン州グレイシャムの設計とウェバー製造設備とカリフォルニアとインドの設計センターに対してISO/TS-16949:2009認証を取得しました。当社の品質システムの処理と手続きはPIC® MCUとdsPIC® DSC、KEELOQ符号飛び回りデバイス、直列EEPROM、マイクロ周辺機能、不揮発性メモリ、アナログ製品用です。加えて、開発システムの設計と製造のためのMicrochipの品質システムはISO 9001:2000認証取得です。

DNVによって認証された品質管理システム ＝ ISO/TS 16949 ＝

商標

Microchipの名前とロゴ、Mmicrochipロゴ、AnyRate、AVR、AVRロゴ、AVR Freaks、BitCloud、chipKIT、chipKITロゴ、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KeeLoq、KeeLoqロゴ、Kleer、LANCheck、LINK MD、maXStylus、maXTouch、MediaLB、megaAVR、MOST、MOSTロゴ、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32ロゴ、Prochip Designer、QTouch、SAM-BA、SpyNIC、SST、SS Tロゴ、SuperFlash、tinyAVR、UNI/O、XMEGAは米国と他の国に於けるMicrochip Technology Incorporatedの登録商標です。

ClockWorks、The Embedded Control Solutions Company、EtherSynch、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge、Quiet-Wireは米国に於けるMicrochip Technology Incorporatedの登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、CodeGuard、CryptoAuthentication、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、INICnet、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNetロゴ、memBrain、Mindi、MiWi、motorBench、MPASM、MPF、MPLAB Certifiedロゴ、MPLAB、MPL INK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQI、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、View Sense、WirePerLock、Wireless DNA、ZENAは米国と他の国に於けるMicrochip Technology Incorporatedの商標です。

SQTPは米国に於けるMicrochip Technology Incorporatedの役務標章です。

Silicon Storage Technologyは他の国に於けるMicrochip Technology Inc.の登録商標です。

GestICは他の国に於けるMicrochip Technology Inc.の子会社であるMicrochip Technology Germany II GmbH & Co. KGの登録商標です。ここで言及した以外の全ての商標はそれら各々の会社の所有物です。

© 2018年、Microchip Technology Incorporated、米国印刷、不許複製

日本語© HERO 2022.

本データシートはMicrochipのATtiny4/5/9/10英語版データシート(DS40002060A-2018年8月)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。

世界的な販売とサービス

米国

本社

2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200

Fax: 480-792-7277

技術支援:

[http://www.microchip.com/
support](http://www.microchip.com/support)

ウェブアドレス:

www.microchip.com

アトランタ

Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

オースチン TX

Tel: 512-257-3370

ホーストン

Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ

Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス

Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト

Novi, MI
Tel: 248-848-4000

ヒューストン TX

Tel: 281-894-5983

インディアナポリス

Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453
Tel: 317-536-2380

ロサンゼルス

Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608
Tel: 951-273-7800

ローリー NC

Tel: 919-844-7510

ニューヨーク NY

Tel: 631-435-6000

サンホセ CA

Tel: 408-735-9110
Tel: 408-436-4270

カナダ - トロント

Tel: 905-695-1980
Fax: 905-695-2078

亜細亜/太平洋

オーストラリア - シドニー

Tel: 61-2-9868-6733

中国 - 北京

Tel: 86-10-8569-7000

中国 - 成都

Tel: 86-28-8665-5511

中国 - 重慶

Tel: 86-23-8980-9588

中国 - 東莞

Tel: 86-769-8702-9880

中国 - 広州

Tel: 86-20-8755-8029

中国 - 杭州

Tel: 86-571-8792-8115

中国 - 香港特別行政区

Tel: 852-2943-5100

中国 - 南京

Tel: 86-25-8473-2460

中国 - 青島

Tel: 86-532-8502-7355

中国 - 上海

Tel: 86-21-3326-8000

中国 - 瀋陽

Tel: 86-24-2334-2829

中国 - 深圳

Tel: 86-755-8864-2200

中国 - 蘇州

Tel: 86-186-6233-1526

中国 - 武漢

Tel: 86-27-5980-5300

中国 - 西安

Tel: 86-29-8833-7252

中国 - 廈門

Tel: 86-592-2388138

中国 - 珠海

Tel: 86-756-3210040

亜細亜/太平洋

インド - ハンガロール

Tel: 91-80-3090-4444

インド - ニューデリー

Tel: 91-11-4160-8631

インド - プネー

Tel: 91-20-4121-0141

日本 - 大阪

Tel: 81-6-6152-7160

日本 - 東京

Tel: 81-3-6880-3770

韓国 - 大邱

Tel: 82-53-744-4301

韓国 - ソウル

Tel: 82-2-554-7200

マレーシア - クアラルンプール

Tel: 60-3-7651-7906

マレーシア - ペナン

Tel: 60-4-227-8870

フィリピン - マニラ

Tel: 63-2-634-9065

シンガポール

Tel: 65-6334-8870

台湾 - 新竹

Tel: 886-3-577-8366

台湾 - 高雄

Tel: 886-7-213-7830

台湾 - 台北

Tel: 886-2-2508-8600

タイ - バンコク

Tel: 66-2-694-1351

ベトナム - ホーチミン

Tel: 84-28-5448-2100

欧州

オーストリア - ウェルス

Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン

Tel: 45-4450-2828

Fax: 45-4485-2829

フィンランド - エスポー

Tel: 358-9-4520-820

フランス - パリ

Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ガルピング

Tel: 49-8931-9700

ドイツ - ハーン

Tel: 49-2129-3766400

ドイツ - ハイムブロン

Tel: 49-7131-67-3636

ドイツ - カールスルーエ

Tel: 49-721-625370

ドイツ - ミュンヘン

Tel: 49-89-627-144-0

Fax: 49-89-627-144-44

ドイツ - ローゼンハイム

Tel: 49-8031-354-560

イスラエル - ラーナ

Tel: 972-9-744-7705

イタリア - ミラノ

Tel: 39-0331-742611

Fax: 39-0331-466781

イタリア - パドバ

Tel: 39-049-7625286

オランダ - デルフト

Tel: 31-416-690399

Fax: 31-416-690340

ノルウェー - トロンハイム

Tel: 47-72884388

ポーランド - ワルシャワ

Tel: 48-22-3325737

ルーマニア - ブカレスト

Tel: 40-21-407-87-50

スペイン - マドリッド

Tel: 34-91-708-08-90

Fax: 34-91-708-08-91

スウェーデン - イェテボリ

Tel: 46-31-704-60-40

スウェーデン - ストックホルム

Tel: 46-8-5090-4654

イギリス - ウォーキングム

Tel: 44-118-921-5800

Fax: 44-118-921-5820

当社の大切なお客様へ

お客様のMicrochip製品の成功裏の使用を確実にするために、可能な最良の資料を当社の大切なお客様に提供することが当社の目的です。この目的のために、当社はおお客様の求めにより良く合うように当社の刊行物を改善し続けます。当社の刊行物は新しい書物と更新がもたらされるにつれて改良されて強化されます。

この刊行物に関するご質問やご意見はdocerrors@microchip.comでの電子メール経由でマーケティング コミュニケーション部門にお問い合わせください。ご意見をお待ちしています。

最新のデータシート

このデータシートの最新版を得るには以下の当社のワールド ワイド ウェブサイトで登録してください。

<http://www.microchip.com>

データシートの版は何れかの頁の下の外側角で見つかるその文献番号を調べることによって判断することができます。文献番号の最後の文字が版番号、(例えば、DS30000000Aは資料DS30000000のA版です)。

障害情報

現在のデバイスに対してデータシートとの小さな運用上の相違点と推奨される対策を記述する障害情報シートが存在するかもしれません。デバイス/資料の問題が当社に知られるようになると、当社は障害情報シートを発行します。障害情報はそれが適用されるシリコンの改訂と資料の改訂を指定します。

特定のデバイスに障害情報シートが存在するかを判断するには以下の1つで調べてください。

- ・ Microchipのワールド ワイド ウェブサイト : <http://www.microchip.com>
- ・ お客様の最寄りのMicrochip営業所 (前頁をご覧ください。)

営業所に連絡する時に、お客様がお使いになるデバイス、シリコンと(文献番号を含む)データシートの改訂を指定してください。

お客様通知システム

当社の製品の全てで最新情報を受け取るには当社のウェブサイトwww.microchip.comで登録してください。