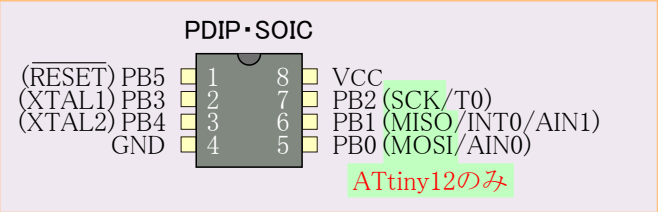
特徴

- AVR® RISC構造
- AVR –高性能、低消費8ﾋﾞｯﾄRISC構造
  - 強力な90命令(多くは1周期で実行)
  - 32個の1ﾊﾞｲﾄ長汎用ﾚｼﾞｽﾀ
  - 8MHz時、8MIPSに達する高速動作
- 不揮発性ﾌﾟﾛｸﾞﾗﾑ用ﾒﾓﾘとﾃﾞｰﾀ用ﾒﾓﾘ
  - ﾌﾟﾛｸﾞﾗﾑ用1Kﾊﾞｲﾄ(512語)ﾌﾗｯｼｭ ﾒﾓﾘ内蔵
    実装書き換え(ISP: In-System Program)可能 ・・・ ATtiny12
    1000回の書き換えが可能 ・・・ ATtiny11/12
  - 実装書き換え(ISP)可能な64ﾊﾞｲﾄのEEPROM ・・・ ATtiny12
    100,000回の書き換えが可能
  - ﾌﾟﾛｸﾞﾗﾑ ﾌﾗｯｼｭ ﾒﾓﾘとﾃﾞｰﾀEEPROM保護用の設定可能な施錠機能
- 内蔵周辺機能
  - ﾋﾟﾝ変化での割り込みと起動復帰
  - 独立した前置分周器付き8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - ｱﾅﾛｸﾞ比較器
  - 設定可能な専用発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ
- 特殊ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ機能
  - ｱｲﾄﾞﾙとﾊﾟﾜｰﾀﾞｳﾝの2つの低消費動作
  - 外部及び内部の割り込み
  - SPIﾎﾟｰﾄ経由実装書き換え(ISP) ・・・ ATtiny12
  - 電源ONﾘｾｯﾄ回路(ATtiny12は増強された電源ONﾘｾｯﾄ回路)
  - 内蔵RC発振器が選択可能(ATtiny12は校正付き内蔵RC発振器)
- 電気的特長
  - 高速、低消費なCMOS製法
  - 完全なｽﾀﾃｨｯｸ動作
- 消費電流 (条件: 4MHz,3V,25℃)
  - 活動動作 ・・・・・・・・・ 2.2mA
  - ｱｲﾄﾞﾙ動作 ・・・・・・・・ 0.5mA
  - ﾊﾟﾜｰﾀﾞｳﾝ動作 ・・・・ 1μA未満
- 外囲器
  - 8ﾋﾟﾝPDIP、8ﾘｰﾄﾞSOIC
- 動作電圧
  - 1.8～5.5V (ATtiny12V-1)
  - 2.7～5.5V (ATtiny11L-2/ATtiny12L-4)
  - 4.0～5.5V (ATtiny11-6/ATtiny12-8)
- 動作速度
  - 0～1.2MHz (ATtiny12V-1)
  - 0～2MHz (ATtiny11L-2)
  - 0～4MHz (ATtiny12L-4)
  - 0～6MHz (ATtiny11-6)
  - 0～8MHz (ATtiny12-8)

ﾋﾟﾝ配置



8ﾋﾞｯﾄ AVR®
マイクロ コントローラ
1Kﾊﾞｲﾄ
フラッシュ メモリ内蔵

ATtiny11
ATtiny12

本製品での新規設計は推奨されません。

本書は一般の方々の便宜のため有志によって作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 1006F-06/07, 1006FJ7-10/22

概要

ATtiny11/12はAVR RISC構造の低消費CMOS 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。1周期で実行する強力な命令はMHzあたり1 MIPSにも達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用ﾚｼﾞｽﾀと豊富な命令群を兼ね備えています。32個の全ﾚｼﾞｽﾀはALU(Arithmetic Logic Unit)に直結され、ﾚｼﾞｽﾀ間命令は1ｸﾛｯｸ周期で実行されます。AVR構造は現状のCISC型ﾏｲｸﾛ ｺﾝﾄﾛｰﾗに対し、最大10倍の単位処理量向上効果があります。

表1. ﾃﾞﾊﾞｲｽ概要

ﾃﾞﾊﾞｲｽ名	ﾌﾗｯｼｭ ﾒﾓﾘ容量	EEPROM容量	電圧範囲	動作周波数
ATtiny11L	1Kﾊﾞｲﾄ	–	2.7～5.5V	0～2MHz
ATtiny11			4.0～5.5V	0～6MHz
ATtiny12V		64ﾊﾞｲﾄ	1.8～5.5V	0～1.2MHz
ATtiny12L			2.7～5.5V	0～4MHz
ATtiny12			4.0～5.5V	0～8MHz

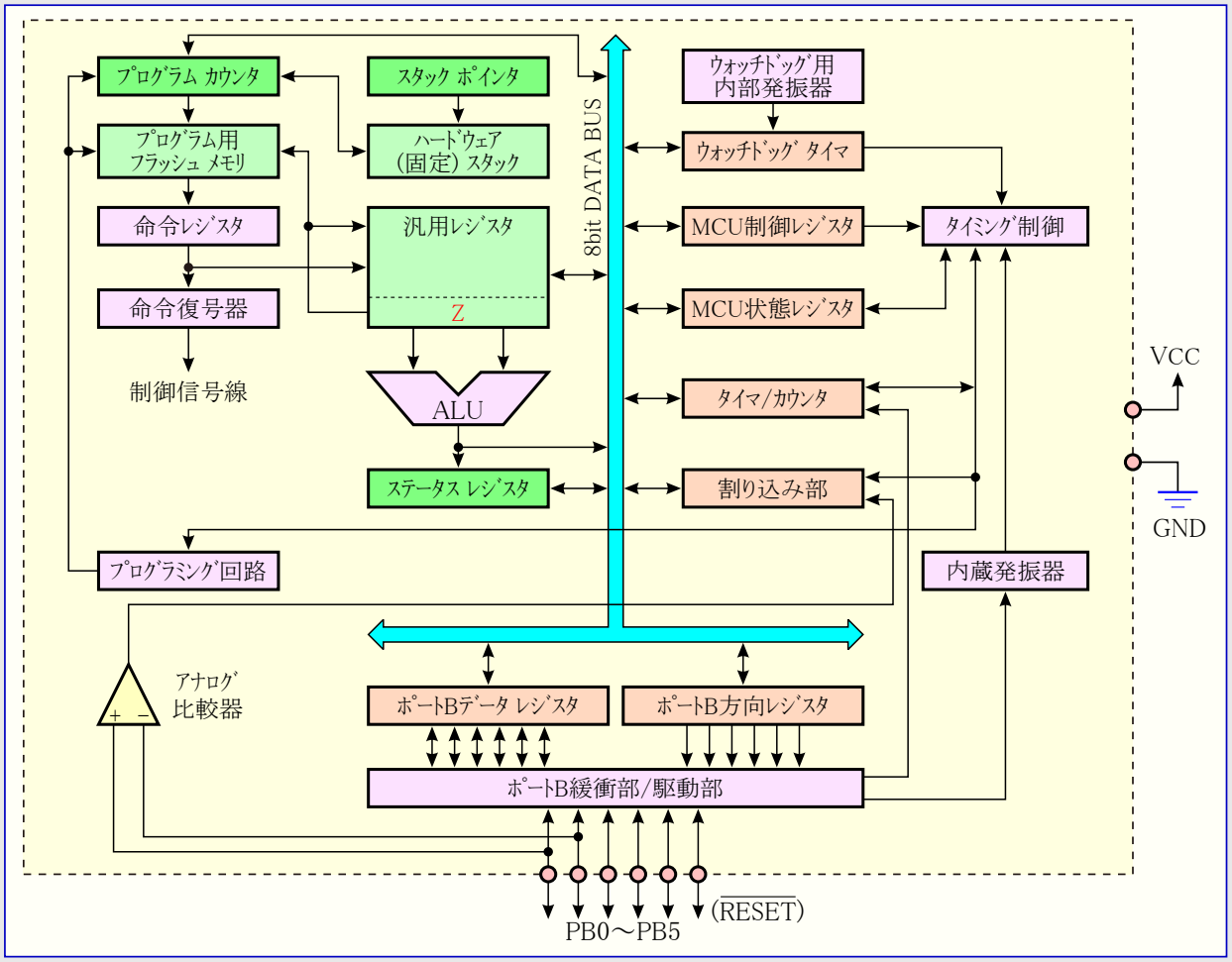
ATtiny11/12 AVRはﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾃﾞﾊﾞｯｶﾞ、ｼﾐｭﾚｰﾀ、ｲﾝｻｰｷｯﾄ ｴﾐｭｰﾚｰﾀ、評価ｷｯﾄを含む完全なﾌﾟﾛｸﾞﾗﾑ及びｼｽﾃﾑ開発ﾂｰﾙで支援されます。

ATtiny11構成図

図1.をご覧ください。ATtiny11は1Kﾊﾞｲﾄのﾌﾗｯｼｭ ﾒﾓﾘ、5ﾋﾞｯﾄまでの汎用入出力線、1ﾋﾞｯﾄの入力線、32個の汎用ﾚｼﾞｽﾀ、8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ、内部及び外部割り込み、設定変更可能な内部発振器付きｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、ｿﾌﾄｳｪｱで選べる2つの低消費動作を提供します。ｱｲﾄﾞﾙ動作では動作を停止しますが、ﾀｲﾏ/ｶｳﾝﾀと割り込み機能は有効で、動作を継続します。ﾊﾟﾜｰﾀﾞｳﾝ動作ではﾚｼﾞｽﾀの内容は保護されますが、発振器が停止するため、以降のﾊｰﾄﾞｳｪｱ ﾘｾｯﾄか外部割り込みまで、他の全機能を無効にします。ﾋﾟﾝ変化での割り込みまたは起動復帰機能は、ﾊﾟﾜｰﾀﾞｳﾝ動作中の最低電力消費の特徴のままで、外部の出来事に対する高い応答性をATtiny11で可能にします。

本ﾃﾞﾊﾞｲｽはAtmelの高密度不揮発性ﾒﾓﾘ技術を使って製造されています。ﾓﾉﾘｼｯｸ ﾁｯﾌﾟ上のﾌﾗｯｼｭ ﾒﾓﾘと、拡張された8ﾋﾞｯﾄRISC型CPUの組み合わせによるAtmelのATtiny11は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗです。

図1. ATtiny11構成図

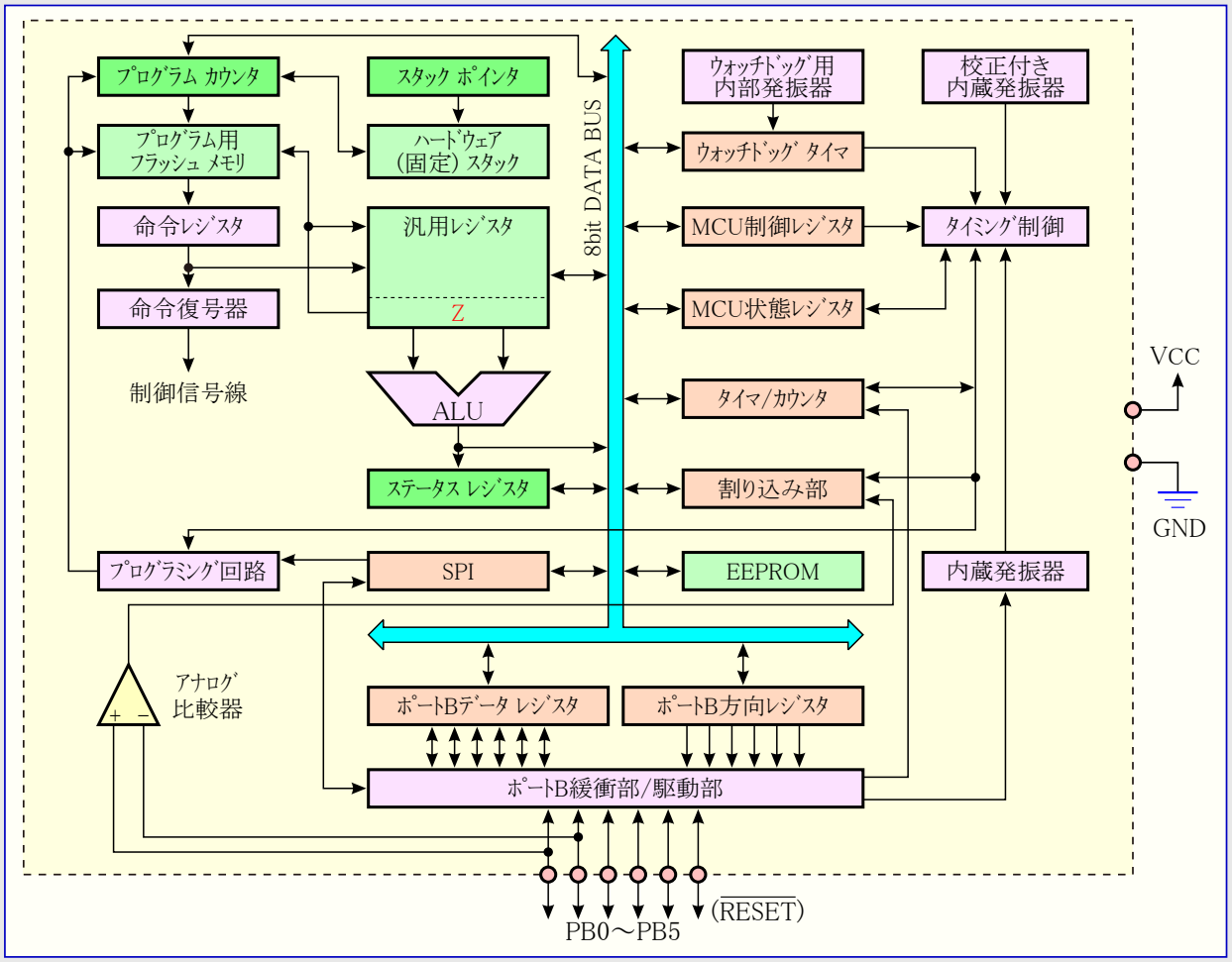


ATtiny12構成図

図2.をご覧ください。ATtiny12は1Kバイトの実装書き換え可能なフラッシュ メモリ、64バイトのEEPROM、6ビットまでの汎用入出力線、32個の汎用レジスタ、8ビット タイマ/カウンタ、内部及び外部割り込み、設定変更可能な内部発振器付きウォッチドッグ タイマ、ソフトウェアで選べる2つの低消費動作を提供します。アイドル動作では動作を停止しますが、タイマ/カウンタと割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェア リセットか外部割り込みまで、他の全機能を無効にします。ピン変化での割り込みまたは起動復帰機能は、パワーダウン動作中の最低電力消費の特徴のままで、外部の出来事に対する高い応答性をATtiny12で可能にします。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。モノリシック チップ上のフラッシュ メモリと、拡張された8ビットRISC型CPUの組み合わせによるAtmelのATtiny12は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロ コントローラです。

図2. ATtiny12構成図



ﾋﾟﾝ概要

VCC

電源ﾋﾟﾝ。

GND

接地ﾋﾟﾝ。

PB5～PB0 (ﾎﾟｰﾄB)

ﾎﾟｰﾄBは6ﾋﾞｯﾄの入出力ﾎﾟｰﾄです。PB4～0は(ﾋﾞｯﾄ単位で選ばれる)内蔵ﾌﾟﾙｱｯﾌﾟ抵抗を供給できるI/Oﾋﾟﾝです。ATtiny11のPB5は入力専用です。ATtiny12のPB5は入力またはｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ出力です。ﾘｾｯﾄ条件が活性(有効)になると、例えｸﾛｯｸが動作していなくても、ﾎﾟｰﾄ ﾋﾟﾝはHi-Zにされます。以下で示されるように、入力またはI/OﾋﾟﾝとしてのPB5～3ﾋﾟﾝの使用は、ﾘｾｯﾄとｸﾛｯｸ設定に依存して制限されます。

表2. ﾋｭｰｽﾞ設定によるPB5～3機能一覧

ｸﾛｯｸ種別	PB5	PB4	PB3
外部ﾘｾｯﾄ許可	ﾘｾｯﾄ入力	無関係(入出力)	無関係(入出力)
外部ﾘｾｯﾄ禁止	無関係(入力/入出力) (注)		
外部ｸﾘｽﾀﾙ/ｾﾗﾐｯｸ発振	無関係(入力/入出力) (注)	発振器出力(発振子)	発振器入力(発振子)
外部RC発振、外部ｸﾛｯｸ信号		無関係(入出力)	外部RC入力
内蔵RC発振			無関係(入出力)

注: PB5はATtiny11で入力専用、ATtiny12で入力またはｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ出力です。

$\overline{\text{RESET}}$

ﾘｾｯﾄ入力。外部ﾘｾｯﾄは$\overline{\text{RESET}}$ﾋﾟﾝのLowﾚﾍﾞﾙにより生成されます。50nsより長いﾘｾｯﾄ ﾊﾟﾙｽは、ｸﾛｯｸが動作していなくてもﾘｾｯﾄを発生します。短すぎるﾊﾟﾙｽはﾘｾｯﾄの生成が保証されません。

XTAL1

発振増幅器の反転入力。または外部発振入力。

XTAL2

発振増幅器の出力。

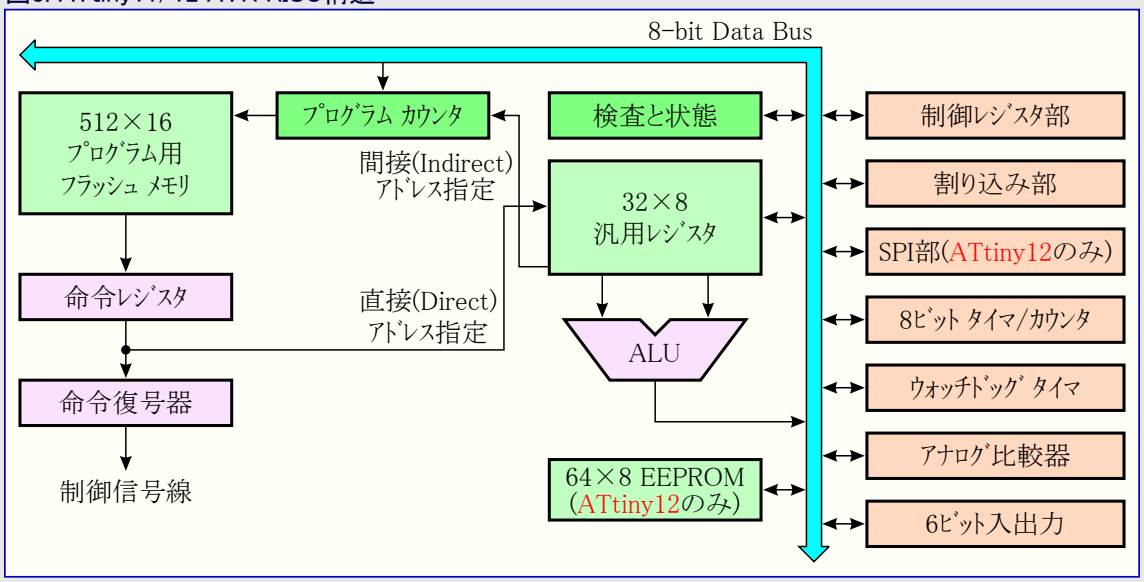
構造概要

1ｸﾛｯｸ周期ｱｸｾｽ時間の高速ﾚｼﾞｽﾀ ﾌｧｲﾙには32個の8ﾋﾞｯﾄ長汎用ﾚｼﾞｽﾀが含まれます。これは1ｸﾛｯｸ周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1ｸﾛｯｸ周期で、2つのｵﾍﾟﾗﾝﾄﾞはﾚｼﾞｽﾀ ﾌｧｲﾙから出力され、命令が実行され、その結果がﾚｼﾞｽﾀ ﾌｧｲﾙに書き戻されます。

32個中の2つのﾚｼﾞｽﾀは間接ﾒﾓﾘ ｱｸｾｽ用16ﾋﾞｯﾄ ﾎﾟｲﾝﾀとして使えます。このﾎﾟｲﾝﾀはZﾎﾟｲﾝﾀ(ﾚｼﾞｽﾀ)と呼ばれ、ﾚｼﾞｽﾀ ﾌｧｲﾙとﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘをｱﾄﾞﾚｽ指定できます。

ALUはﾚｼﾞｽﾀ間、ﾚｼﾞｽﾀと定数間の算術と論理操作を行います。単一ﾚｼﾞｽﾀ操作も同様にALUで実行されます。図3.はATtiny11/12 AVR RISCﾏｲｸﾛ ｺﾝﾄﾛｰﾗの構造を示します。AVRのﾒﾓﾘとﾊﾞｽはﾌﾟﾛｸﾞﾗﾑ用とﾃﾞｰﾀ用に各々分離したﾊｰﾊﾞｰﾄﾞ構造で構成されます。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは2段のﾊﾟｲﾌﾟﾗｲﾝでｱｸｾｽされます。1命令の実行中に、次の命令をﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから事前取得します。この概念は全てのｸﾛｯｸ周期で命令が実行されるのを可能にします。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは実装書き換え(ISP)可能なﾌﾗｯｼｭ ﾒﾓﾘです。

図3. ATtiny11/12 AVR RISC構造



512ｱﾄﾞﾚｽ空間全てはﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)相対の無条件分岐(RJMP)命令と呼び出し(RCALL)命令で直接的にｱｸｾｽされます。全てのAVR命令は単一の16ﾋﾞｯﾄ語形式で、ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の全てのｱﾄﾞﾚｽが単一の16ﾋﾞｯﾄ長命令を含むことを意味します。

割り込みやｻﾌﾞﾙｰﾁﾝ呼び出しでの戻りｱﾄﾞﾚｽを示すﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)はｽﾀｯｸに保存されます。このｽﾀｯｸはｻﾌﾞﾙｰﾁﾝと割り込み専用の深さ3段のﾊｰﾄﾞｳｪｱ ｽﾀｯｸです。

I/Oﾒﾓﾘ空間は制御ﾚｼﾞｽﾀ、ﾀｲﾏ/ｶｳﾝﾀ、その他I/O機能など、CPU周辺機能用の64ｱﾄﾞﾚｽを含みます。AVR構造に於けるﾒﾓﾘ空間は全て規則的で直線的なﾒﾓﾘ配置です。

柔軟な割り込み部にはI/O空間の個別の制御ﾚｼﾞｽﾀと、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄがあります。各割り込みの全てにはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ先頭の割り込みﾍﾞｸﾀ表内に個別の割り込みﾍﾞｸﾀがあります。各割り込みはこの割り込みﾍﾞｸﾀ表の位置に従った優先順です。下位側割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが高い優先順位です。

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個全ての汎用ﾚｼﾞｽﾀに直接接続され、動作します。ﾚｼﾞｽﾀ ﾌｧｲﾙ内のﾚｼﾞｽﾀ間ALU操作は、1ｸﾛｯｸ周期内で実行されます。ALU操作は、算術演算、論理演算、ﾋﾞｯﾄ操作の3つの主な種類に大別されます。AVR製品系統のいくつかのﾏｲｸﾛｺﾝﾄﾛｰﾗはALUの算術演算部のﾊｰﾄﾞｳｪｱ乗算器が特徴です。

ｻﾌﾞﾙｰﾁﾝ、割り込み用ｽﾀｯｸ

ATtiny11/12はｻﾌﾞﾙｰﾁﾝと割り込み用に深さ3段のﾊｰﾄﾞｳｪｱ(固定)ｽﾀｯｸを使います。このｽﾀｯｸは9ﾋﾞｯﾄ幅で、ｻﾌﾞﾙｰﾁﾝや割り込み実行中、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)の戻りｱﾄﾞﾚｽを格納します。

PC相対呼び出し(RCALL)命令や割り込み時、ｽﾀｯｸ ﾚﾍﾞﾙ0にPCの戻りｱﾄﾞﾚｽがﾌﾟｯｼｭ(格納)され、他のｽﾀｯｸ ﾚﾍﾞﾙ1,2のﾃﾞｰﾀはｽﾀｯｸ内で1段深くなります。RETやRETI命令が実行されると、ｽﾀｯｸ ﾚﾍﾞﾙ0から戻りｱﾄﾞﾚｽをPCにﾎﾟｯﾌﾟ(復帰)し、他のｽﾀｯｸ ﾚﾍﾞﾙ1,2のﾃﾞｰﾀはｽﾀｯｸ内で1段浅くなります。

3つを超えるｻﾌﾞﾙｰﾁﾝや割り込みが続いて実行されると、ｽﾀｯｸに書かれた最初の値が上書きされます。4つの復帰ｱﾄﾞﾚｽA1, A2, A3, A4をﾌﾟｯｼｭし、ｻﾌﾞﾙｰﾁﾝや割り込みの復帰による結果は、ﾊｰﾄﾞｳｪｱ ｽﾀｯｸからA4, A3, A2ともう一度A2をﾎﾟｯﾌﾟします。

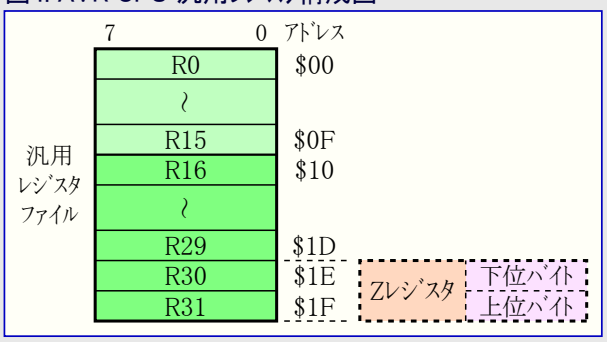
汎用レジスタ ファイル

図4.に32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令はレジスタ直接指定ができ、1周期でアクセスします。SBCI,SUBI,CPI,ANDI,ORIの5つの算術、論理定数演算命令と、定数をレジスタに設定するLDI命令だけが例外です。これらの命令はレジスタ ファイル後半のR16～R31に対してだけ適用されます。通常のSBC,SUB,CP,AND,ORや他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

R30とR31レジスタはフラッシュ メモリとレジスタ ファイルの間接アクセスに使われる16ビット ポインタ(Zレジスタ)を形成します。レジスタ ファイルがアクセスされるとき、R31の内容はCPUにより破棄(無視)されます。

図4. AVR CPU 汎用レジスタ構成図



ステータス レジスタ

ステータス レジスタ (Status Register) SREG

AVRのステータス レジスタ(SREG)は、I/O領域の$3Fで、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
$3F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7 – I : 全割り込み許可** (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合、設定(1)しなければなりません。各割り込みの許可は、各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このIビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令によって設定(1)されます。

• **ビット6 – T : ビット変数** (Bit Copy Storage)

このTビットはBLD(Bit LoaD)命令とBST(Bit STore)命令の転送元または転送先として使われます。BLD命令はTをレジスタ ファイルのレジスタのビットに複写し、BST命令はレジスタ ファイルのレジスタからビットをTに複写します。

• **ビット5 – H : ハーフキャリー フラグ** (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については命令要約を参照してください。

• **ビット4 – S : 符号** (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

• **ビット3 – V : 2の補数溢れフラグ** (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

• **ビット2 – N : 負フラグ** (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

• **ビット1 – Z : ゼロ フラグ** (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

• **ビット0 – C : キャリー フラグ** (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータス レジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないことに注意してください。これはソフトウェアによって操作しなければなりません。

システム クロックとクロック選択

このデバイスは次のクロック元種別を持ち、以下で示されるフラッシュ ヒューズ ビットによって選べます。

各クロック動作種別についての各種選択は14頁の表8.と15頁の表10.で示されるように異なる起動時間を与えます。

表3. クロック選択

クロック種別	CKSEL2～0 (ATtiny11)	CKSEL3～0 (ATtiny12)
外部クリスタル/セラミック発振子	1 1 1	1 1 1 1 ～ 1 0 1 0
外部低周波数クリスタル発振子	1 1 0	1 0 0 1 ～ 1 0 0 0
外部RC発振	1 0 1	0 1 1 1 ～ 0 1 0 1
内蔵RC発振	1 0 0	0 1 0 0 ～ 0 0 1 0
外部クロック信号	0 0 0	0 0 0 1 ～ 0 0 0 0
(予約)	その他	-

注: 1=非プログラム、0=プログラム

内蔵RC発振器

内蔵RC発振器は1MHz(ATtiny11), 1.2MHz(ATtiny12)の固定周波数で動作するチップ上の発振器です。選ばれたなら、デバイスは外付け部品なしで動作できます。ATtiny11ではウォッチドッグ用発振器がこのクロックに使われ、一方ATtiny12は独立の校正された発振器を使います。

(訳注) ATtiny12の内蔵RC発振周波数が改訂Cデータシートで1.0MHzから1.2MHzに変更されています。

校正付き内蔵RC発振器 (ATtiny12)

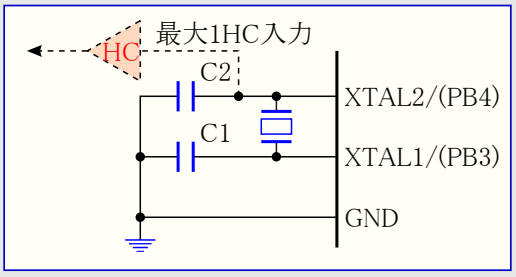
ATtiny12では、校正された内蔵RC発振器が5V,25℃で公称1.2MHz固定のクロックを提供します。このクロックはシステム クロックとして使えます。このクロックをシステム クロックとする選択方法の情報については「システム クロックとクロック選択」章をご覧ください。この発振器は発振校正レジスタ(OSCCAL)への校正値書き込みにより校正できます。この発振器がシステム クロックとして使われるときでも、ウォッチドッグ タイマとリセット遅延には未だウォッチドッグ用発振器が使われます。予めプログラムされた校正値の使用法の詳細については32頁の「校正バイト」をご覧ください。5V,25℃で、予めプログラムされた校正バイトは公称周波数の±1%内の周波数を与えます。

クリスタル用発振器

図5.で示されるようにXTAL1とXTAL2はチップ上の発振器としての使用に設定できる反転増幅器の各々入力と出力です。クリスタル発振子かセラミック振動子のどちらでも使えます。クリスタル発振子とセラミック振動子の最大周波数は4MHzです。低周波数クリスタル動作での最低電圧は2.5Vです。

注: 外部デバイス用クロックとしてMCU発振器を使う時は図で示されるようにHC緩衝器が接続されるべきです。

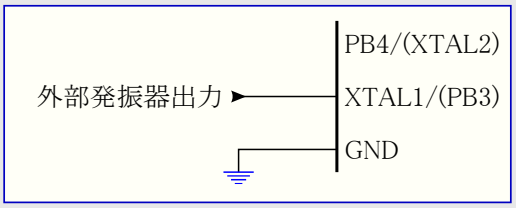
図5. 発振子接続図



外部クロック信号

外部クロック信号でデバイスを駆動するには、図6.で示されるようにXTAL1が駆動されるべきです。

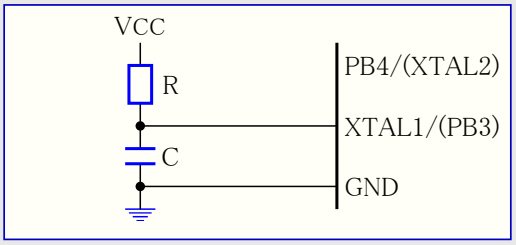
図6. 外部クロック接続図



外部RC発振器

タイミングに敏感でない応用に対しては、図7.で示される外部RC設定が使えます。RとCの選択法の詳細については39頁の表29.をご覧ください。外部RC発振器は隣接するピンからの雑音に敏感で、問題を避けるため、PB5(RESET)は出力またはリセット ピンとして、PB4は出力ピンとして使われるべきです。

図7. 外部RC接続図



クロック用レジスタ

発振校正レジスタ (Oscillator Calibration Register) OSCCAL (ATtiny12のみ)

ビット	7	6	5	4	3	2	1	0	
$31	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~0 – CAL7~0 : **発振校正値** (Oscillator Calibration Value)

発振周波数の偏差による処理を省くため、このアドレスへの校正バイト書き込みが内蔵RC発振器を調整します。OSCCALが0のときに利用可能な最低周波数が選ばれます。このレジスタへの0以外の値書き込みが内蔵RC発振器周波数を増加します。このレジスタへの$FF書き込みが利用可能最高周波数を与えます。校正された発振器はEEPROMのアクセス時間に使われます。EEPROMが書かれる場合、公称周波数より10%以上高く校正してはいけません。さもないと、EEPROM書き込み操作は失敗するかもしれません。この発振器は1.2MHzへの校正を意図したもので、このため他の値への調整が保証されないことに注意してください。

表4. 内蔵RC発振器周波数範囲

OSCCAL値	最小	最大
$00	0.6MHz	1.2MHz
$7F	0.8MHz	1.7MHz
$FF	1.2MHz	2.5MHz

(訳注) 内蔵RC発振周波数が改訂Cデータシートで1.0MHzから1.2MHzに変更されたために表も変更されました。

メモリ

I/O レジスタ

ATtiny11/12のI/O領域定義は次表に示されます。

表5. ATtiny11/12 I/Oレジスタ

アドレス	レジスタ略名	レジスタ名称	
$3F	SREG	ステータス レジスタ	Status REGister
$3B	GIMSK	一般割り込み許可レジスタ	General Interrupt MaSK register
$3A	GIFR	一般割り込み要求フラグ レジスタ	General Interrupt Flag register
$39	TIMSK	タイマ/カウンタ割り込み許可レジスタ	Timer/Counter Interrupt MaSK register
$38	TIFR	タイマ/カウンタ割り込み要求フラグ レジスタ	Timer/Counter Interrupt Flag register
$35	MCUCR	MCU制御レジスタ	MCU general Control Register
$34	MCUSR	MCU状態レジスタ	MCU Status Register
$33	TCCR0	タイマ/カウンタ0制御レジスタ	Timer/Counter 0 Control Register
$32	TCNT0	タイマ/カウンタ0 カウンタ	Timer/CouNTer 0 (8bit)
$31	OSCCAL	発振器校正レジスタ	Oscillator Calibration Register (ATtiny12のみ)
$21	WDTCR	ウォッチドッグ タイマ制御レジスタ	WatchDog Timer Control Register
$1E	EEAR	EEPROMアドレス レジスタ	EEPROM Address Register (ATtiny12のみ)
$1D	EEDR	EEPROMデータ レジスタ	EEPROM Data Register (ATtiny12のみ)
$1C	EECR	EEPROM制御レジスタ	EEPROM Control Register (ATtiny12のみ)
$18	PORTB	ポートB出力データ レジスタ	Data Register, Port B
$17	DDRB	ポートB方向レジスタ	Data Direction Register, Port B
$16	PINB	ポートB入力データ レジスタ	Input Pins, Port B
$08	ACSR	アナログ比較器 制御/状態レジスタ	Analog Comparator Control and Status Register

注: 予約と未使用の位置は、この表で示されていません。

ATtiny11/12の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス$00～$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビット アクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

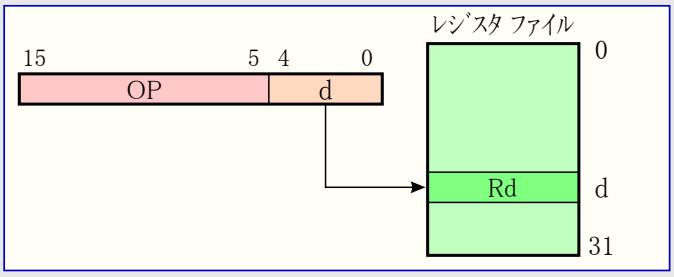
I/Oと周辺制御レジスタは次章で説明されます。

ﾌﾟﾛｸﾞﾗﾑ及びﾃﾞｰﾀ空間に対するｱﾄﾞﾚｽ指定種別

ATtiny11/12 AVR RISCﾏｲｸﾛ ｺﾝﾄﾛｰﾗは強力で効率的なｱﾄﾞﾚｽ指定種別を支援します。本項はATtiny11/12で支援される様々なｱﾄﾞﾚｽ指定種別を記述します。図内のOPは命令語の動作符号部を意味します。単純化のため、全ての図がｱﾄﾞﾚｽ指定ﾋﾞｯﾄの正確な位置を示すとは限りません。

単一ﾚｼﾞｽﾀ(Rd)直接

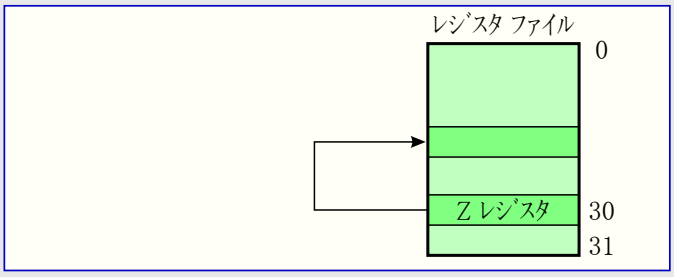
図8. 単一ﾚｼﾞｽﾀ直接ｱﾄﾞﾚｽ指定



ｵﾍﾟﾗﾝﾄﾞはﾚｼﾞｽﾀd(Rd)を示します。

ﾚｼﾞｽﾀ間接

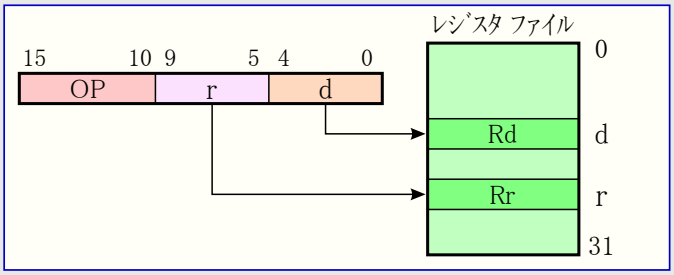
図9. ﾚｼﾞｽﾀ間接ｱﾄﾞﾚｽ指定



ｵﾍﾟﾗﾝﾄﾞはZﾚｼﾞｽﾀ(R30)で示されるﾚｼﾞｽﾀです。

ﾚｼﾞｽﾀ間(Rd, Rr)直接

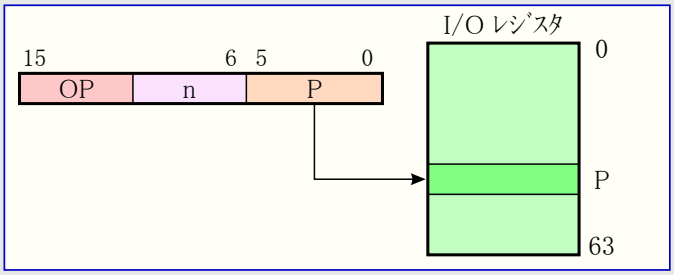
図10. ﾚｼﾞｽﾀ間直接ｱﾄﾞﾚｽ指定



ｵﾍﾟﾗﾝﾄﾞはﾚｼﾞｽﾀr(Rr)とd(Rd)を示し、結果はﾚｼﾞｽﾀd(Rd)に格納されます。

I/O直接

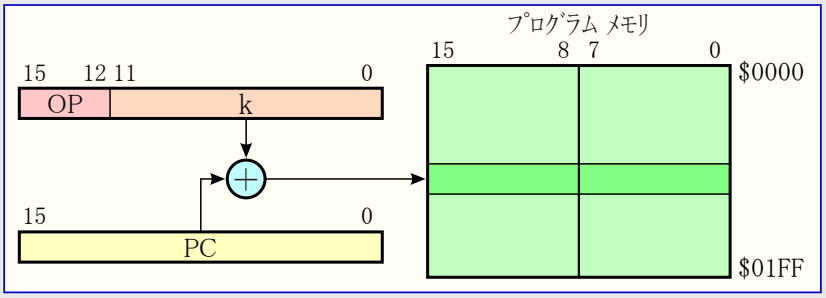
図11. I/O直接ｱﾄﾞﾚｽ指定



ｵﾍﾟﾗﾝﾄﾞはI/OｱﾄﾞﾚｽPと、転送元または転送先となるﾚｼﾞｽﾀn(Rn)を示します。

RJMP, RCALL命令によるﾌﾟﾛｸﾞﾗﾑ相対ｱﾄﾞﾚｽ指定

図12. ﾌﾟﾛｸﾞﾗﾑ相対ｱﾄﾞﾚｽ指定

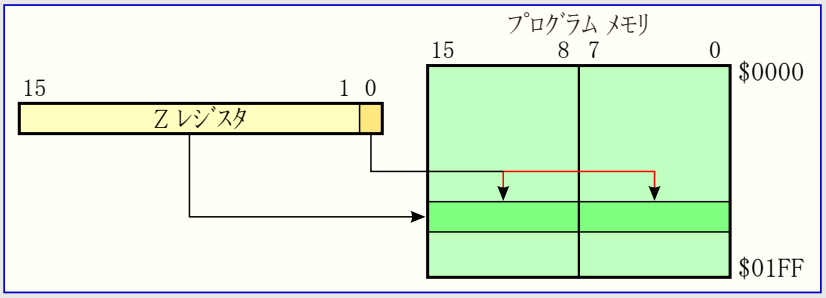


注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

ﾌﾟﾛｸﾞﾗﾑはPC+k+1のｱﾄﾞﾚｽから継続実行されます。相対値kは符号付きで、-2048～2047です。

LPM命令による定数ｱﾄﾞﾚｽ指定

図13. ﾌﾟﾛｸﾞﾗﾑ空間定数ｱﾄﾞﾚｽ指定



ﾊﾞｲﾄ定数のｱﾄﾞﾚｽはZﾚｼﾞｽﾀの内容で示されます。上位15ﾋﾞｯﾄが0～511の語(ﾜｰﾄﾞ)ｱﾄﾞﾚｽを指示し、最下位ﾋﾞｯﾄがﾊﾞｲﾄ位置を表し、LSB=0で下位ﾊﾞｲﾄ、LSB=1で上位ﾊﾞｲﾄを示します。

メモリ アクセスと命令実行タイミング

本項は命令実行についての一般的なアクセス タイミングの概念を記述します。

AVR CPUは外部クリスタルまたは内蔵RC発振器で直接的に発生されたシステム クロック φ によって駆動されます。内部クロック分周は使われません。

図14.はハーバード構造と高速アクセス レジスタ ファイルの概念によって可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、対クロック、対電源部での好結果に相当するMHzあたり1 MIPSまでを得る基本的なパイプラインの概念です。

図15.はレジスタ ファイルに対する内部タイミングの概念を示します。2つのレジスタ オペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図14. 命令の取得と実行の並列動作

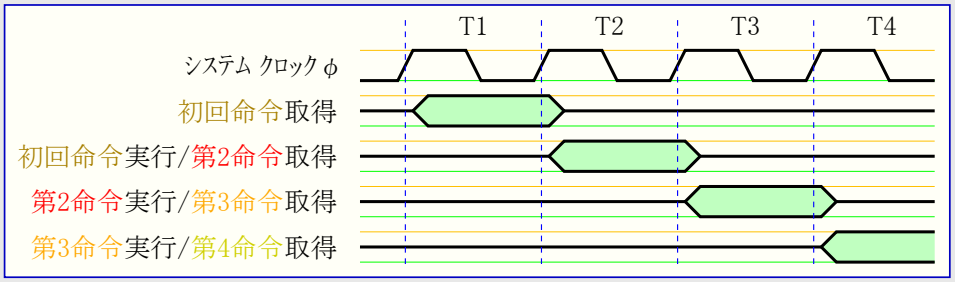
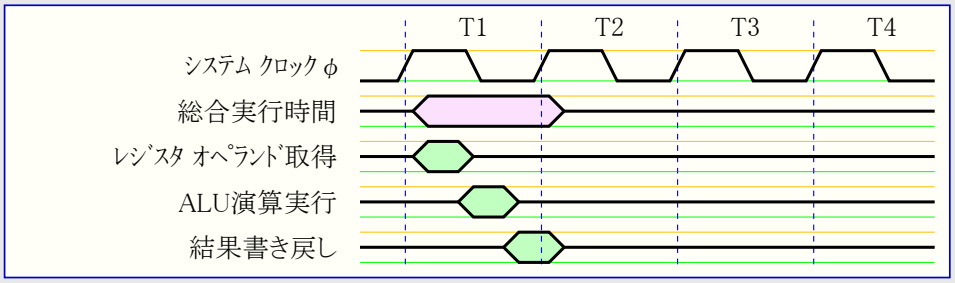


図15. 1周期ALU命令



プログラム用フラッシュ メモリ

ATtiny11/12にはプログラム保存用に1Kバイトのフラッシュ メモリが内蔵されています。全ての命令が単一の16ビット/1語のため、フラッシュ メモリは512×16ビットとして構成されています。フラッシュ メモリは少なくても1000回再書き込みの耐久性があります。

ATtiny11/12のプログラム カウンタ(PC)は9ビット幅で、プログラム メモリ内の512(語)アドレスを指定します。

フラッシュ メモリ書き込みの詳細な記述については31頁の「メモリ プログラミング」をご覧ください。

データ用EEPROMメモリ (ATtiny12のみ)

ATtiny12にはデータ用に64バイトのEEPROMが内蔵されています。EEPROMは1バイト単位で読み書きができる、独立したデータ空間として構成されています。EEPROMは100,000回以上の書き換えが可能です。EEPROMとCPU間のアクセスは12頁のEEPROMアドレス レジスタ、EEPROMデータ レジスタ、EEPROM制御レジスタの詳細説明で記述されます。

SPI書き込み(直列プログラミング)の詳細な記述については36頁をご覧ください。

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRの$\overline{\text{RESET}}$を有効(Low)に保ちます。これは動作電圧が検出電圧と一致する場合、内蔵低電圧検出器(BOD)を許可することにより行えます。一致しない場合、外部低VCCリセット保護回路が適用できます。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュ メモリに定数を格納します。フラッシュ メモリはCPUにより更新されることができないので、データ化けの問題はありません。

EEPROMアクセス (ATtiny12のみ)

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間は校正されたRC発振器の周波数に依存し、3.1～6.8msの範囲です。詳細については表6.をご覧ください。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは次バイトが書ける時を検知してください。EEPROMが新規データを受け入れる準備ができているときに起動するために、特別なEEPROM操作可割り込みが設定できます。EEPROM書き込み最低電圧は2.2Vです。

不測のEEPROM書き込みを防ぐため、2段構えの書き込み手順に従わなければなりません。この詳細については「EEPROM制御レジスタ(EECR)」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止されます。EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止されます。

メモリ用レジスタ

EEPROMアドレス レジスタ (EEPROM Address Register) EEAR (ATtiny12のみ)

ビット	7	6	5	4	3	2	1	0	
$1E	–	–	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	不定	不定	不定	不定	

• **ビット5～0 – EEAR5～0 : EEPROMアドレス** (EEPROM Address)

EEPROMアドレス レジスタ(EEAR)は64バイトのEEPROM空間のEEPROMアドレスを指定します。EEPROMデータのバイトは0～63間で直線的に配置されています。リセット中、EEARレジスタは解除されません。その代わり、レジスタ内のデータが保持されます。

EEPROMデータ レジスタ (EEPROM Data Register) EEDR (ATtiny12のみ)

ビット	7	6	5	4	3	2	1	0	
$1D	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• **ビット7～0 – EEDR7～0 : EEPROMデータ** (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレス レジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

EEPROM制御レジスタ (EEPROM Control Register) EECR (ATtiny12のみ)

ビット	7	6	5	4	3	2	1	0	
$1C	–	–	–	–	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

• **ビット7～4 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

• **ビット3 – EERIE : EEPROM操作可割り込み許可** (EEPROM Ready Interrupt Enable)

ステータス レジスタ(SREG)の全割り込み許可(I)ビットとこのEERIEが設定(1)されると、EEPROM操作可割り込みが許可されます。解除(0)されると、この割り込みは禁止されます。EEWEが解除(0)されていると、EEPROM操作可割り込みは継続する割り込みを発生します。

• **ビット2 – EEMWE : EEPROM主書き込み許可** (EEPROM Master Write Enable)

このEEMWEビットは、EEPROM書き込み許可(EEWE)ビットの1設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEWEの1設定は選ばれたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「**書き込み許可(EEWE)ビット**」の説明を参照してください。

• **ビット1 – EEWE : EEPROM書き込み許可** (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みストローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEWEビットを設定(1)しなければなりません。論理1がEEWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならず、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順**2.**と**3.**の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレス レジスタ(EEAR)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータ レジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EEWE)ビットへ論理1を書きます。

警告: 手順**4.**と**5.**間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARかEEDRが変更されると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順**2.**～**5.**の間中、ステータス レジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み時間(**表6.**参照)が経過してしまうと、EEWEビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EEWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

• **ﾋﾞｯﾄ0 – EERE : EEPROM読み込み許可** (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みｽﾄﾛｰﾌﾞです。EEARに適切なｱﾄﾞﾚｽが設定されると、このEEREﾋﾞｯﾄを設定(1)しなければなりません。EEREﾋﾞｯﾄが自動的に解除(0)されると、求められたﾃﾞｰﾀがEEDR内にあります。EEPROM読み込みｱｸｾｽは1命令で行われるので、EEREﾋﾞｯﾄのﾎﾟｰﾘﾝｸﾞは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEEWEﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞすべきです。新規ﾃﾞｰﾀまたはｱﾄﾞﾚｽがEEPROM I/Oﾚｼﾞｽﾀに書かれるときに書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROM書き込みｱｸｾｽの時間に校正付き内蔵RC発振器が使われます。右の表はCPUからのEEPROMｱｸｾｽについて代表的な書き込み時間を示します。

表6. 代表的なEEPROM書き込み時間

項目	校正付きRC発振器ｸﾛｯｸ数	最小	最大
EEPROM書き込み(CPUから)	4096	3.1ms	6.8ms

(訳注) 内蔵RC発振器ｸﾛｯｸ数が2048から4096に変更されています。
よって、書き込み時間も変更となっています。

休止形態種別

休止形態へ移行するには、MCU制御ﾚｼﾞｽﾀ(MCUCR)の休止許可(SE)ﾋﾞｯﾄが設定(1)され、SLEEP命令が実行されなければなりません。MCUCRの休止種別(SM)ﾋﾞｯﾄが選ぶ休止形態(ｱｲﾄﾞﾙ動作またはﾊﾟﾜｰﾀﾞｳﾝ動作)はSLEEP命令により有効にされます。MCUが休止形態中に許可されている割り込みが発生すると、MCUが起動復帰し、

ATtiny11では、その割り込み処理ﾙｰﾁﾝを実行し、そしてSLEEP命令の次から実行を再開します。ﾋﾟﾝ変化でのﾊﾟﾜｰﾀﾞｳﾝ動作からの復帰では、ﾋﾟﾝ変化割り込み要求ﾌﾗｸﾞ(PCIF)が更新される前に2命令周期が実行されます。これらの間、ﾌﾟﾛｾｯｻは命令を実行しますが、割り込み状態は読めず、割り込み処理ﾙｰﾁﾝも未だ開始されていません。

ATtiny12では、MCUが4周期停止され、その後に割り込み処理ﾙｰﾁﾝを実行し、そしてSLEEP命令の次から実行を再開します。

ﾚｼﾞｽﾀ ﾌｧｲﾙとI/Oﾚｼﾞｽﾀの内容は無変化です。休止形態中にﾘｾｯﾄが起こると、MCUは起動復帰し、ﾘｾｯﾄ ﾍﾞｸﾀから実行します。

ｱｲﾄﾞﾙ動作

休止種別(SM)ﾋﾞｯﾄが解除(0)されていると、SLEEP命令でMCUがｱｲﾄﾞﾙ動作へ移行し、CPUは停止しますが、ﾀｲﾏ/ｶｳﾝﾀ、ｳｫｯﾁﾄﾞｯｸﾞ、割り込み機構は継続して動作します。これは、ﾀｲﾏ溢れのような内部割り込みやｳｫｯﾁﾄﾞｯｸﾞのﾘｾｯﾄだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。ｱﾅﾛｸﾞ比較器割り込みからの起動復帰が必要とされない場合、ｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)のｱﾅﾛｸﾞ比較器禁止(ACD)ﾋﾞｯﾄを設定(1)することより、ｱﾅﾛｸﾞ比較器を電源断にできます。これはｱｲﾄﾞﾙ動作での消費電力削減になります。ATtiny11ではｱｲﾄﾞﾙ動作から起動復帰すると、CPUは直ちにﾌﾟﾛｸﾞﾗﾑの実行を始めます。

ﾊﾟﾜｰﾀﾞｳﾝ動作

休止種別(SM)ﾋﾞｯﾄが設定(1)されていると、SLEEP命令でMCUがﾊﾟﾜｰﾀﾞｳﾝ動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ｳｫｯﾁﾄﾞｯｸﾞは動作を継続します。外部ﾘｾｯﾄ、(許可されていれば)ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ、(INT0の)外部ﾚﾍﾞﾙ割り込み、またはﾋﾟﾝ変化割り込みだけがMCUを起動復帰できます。

ATtiny11ではﾊﾟﾜｰﾀﾞｳﾝ動作からの起動復帰にﾚﾍﾞﾙで起動された割り込みまたはﾋﾟﾝ変化割り込みが使われる場合、変更されたﾚﾍﾞﾙがﾘｾｯﾄ遅延時間(t_{TOUT})より長い時間保持されなければならないことに注意してください。さもなければMCUは起動復帰に失敗します。

ATtiny12ではﾊﾟﾜｰﾀﾞｳﾝ動作からの起動復帰に、ﾚﾍﾞﾙで起動された割り込みまたはﾋﾟﾝ変化割り込みが使われる場合、MCUを起動するために、変更されたﾚﾍﾞﾙは一定時間保持されなければならないことに注意してください。これはMCUの雑音不安定性を減らします。この起動時間はﾘｾｯﾄ遅延時間のCK計数部(**表10.**参照)と同じです。入力が2回のｳｫｯﾁﾄﾞｯｸﾞ発振器周期で必要とされるﾚﾍﾞﾙだとMCUはﾊﾟﾜｰﾀﾞｳﾝ動作から起動復帰します。起動時間が2つのｳｫｯﾁﾄﾞｯｸﾞ発振器周期より短い場合、入力が起動時間の幅分、必要とされるﾚﾍﾞﾙであれば、MCUは起動復帰します。起動時間が終了される前に起動復帰条件が消滅すると、MCUは対応する割り込みの実行を除いて、ﾊﾟﾜｰﾀﾞｳﾝ動作から起動復帰します。ｳｫｯﾁﾄﾞｯｸﾞ発振器の周期は公称2.7µs(3V,25℃)です。48頁の「**ATtiny12代表特性**」章で示されるように、ｳｫｯﾁﾄﾞｯｸﾞ発振器の周波数は電圧に依存します。

ATtiny12ではﾊﾟﾜｰﾀﾞｳﾝ動作から復帰するとき、起動復帰条件発生から起動復帰の効果が現れるまで遅延を伴います。これは停止されてしまっている後に、再開のためのｸﾛｯｸが許可され、安定状態になるためです。この起動時間はﾘｾｯﾄ遅延時間を定義するCKSELﾋｭｰｽﾞによって同じく定義されます。

(訳注) 原書では本項目全体がATtiny11とATtiny12で個別に記述されていますが、各項目内個別記載に変更しました。

システム制御とリセット

リセット元

ATtiny11/12には次の3または4つのリセット発生要素があります。

- **電源ONリセット** ・・・・・・・・・・・ 電源電圧が電源ONリセット閾値電圧(VPOT)以下でリセットになります。
- **外部リセット** ・・・・・・・・・・・・・ $\overline{\text{RESET}}$ピンが50ns以上Lowレベルに保たれるとリセットになります。
- **ウォッチドッグ リセット** ・・・・・・・・・ ウォッチドッグが許可され、ウォッチドッグ タイマ周期が経過するとリセットになります。
- **低電圧検出(BOD)リセット** ・・・ 供給電圧(VCC)が或る電圧以下に下がるとリセットになります。(ATtiny12のみ)

リセット中に全てのI/Oレジスタは初期値が設定され、その後にアドレス$000からプログラム実行が始まります。アドレス$000に配置される命令はきっとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムで決して割り込みを許可しないなら、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。**図16.**の回路構成はATtiny11のリセット回路を示します。**図17.**はATtiny12のリセット回路を示します。**表7.**はATtiny11についてのリセット回路の電気的特性値を定義します。**表9.**はATtiny12についてのリセット回路の特性値を示します。

図16. リセット回路構成 (ATtiny11)

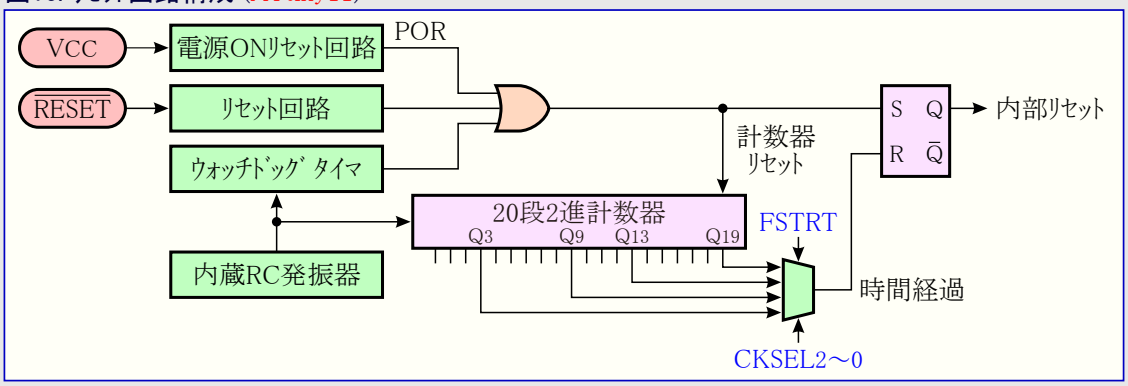


表7. リセット電気的特性 (ATtiny11)

シンボル	項目	最小	代表	最大	単位
V_{POT}	上昇時電源ONリセット閾値電圧	1.0	1.4	1.8	V
	下降時電源ONリセット閾値電圧 (注1)	0.4	0.6	0.8	
V_{RST}	$\overline{\text{RESET}}$ピン閾値電圧		0.6VCC		

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

電源ONリセット (ATtiny11)

電源ONリセット(POR)回路は電源投入時のデバイス リセットを保証します。**図16.**で示されるように内部タイマはウォッチドッグ発振器で駆動されます。この内部タイマはVCC上昇時間に拘らず、VCCが電源ON閾値電圧(VPOT)に達した後の或る期間後までMCUを開始から保護します(**図18.**参照)。フラッシュ メモリ内のFSTRTヒューズ ビットは短い起動遅延時間を与えるためにプログラム(0)することができます。各クロック種別に対する起動時間は次表で示されます。起動時間のタイミングにはウォッチドッグ発振器が使われ、40頁の「**ATtiny11 代表特性**」章で示されるように、この発振器は電圧に依存します。

表8. リセット遅延時間 (ATtiny11, VCC=2.7V)

クロック種別	CKSEL2～0	リセット遅延時間 (t_{TOUT}) FSTRT 非プログラム(1)	FSTRT プログラム(0)
外部クリスタル/セラミック発振子	1 1 1	67ms	4.2ms
外部低周波数クリスタル発振子	1 1 0	4.2s	4.2s
外部RC発振	1 0 1	4.2ms	67µs
内蔵RC発振	1 0 0	4.2ms	67µs
外部クロック信号	0 0 0	4.2ms	5クロック (パワーダウンからは2クロック)

内蔵起動遅延時間で充分な場合、$\overline{\text{RESET}}$は直接または外部プルアップ抵抗を介してVCCに接続できます。VCC供給後も、$\overline{\text{RESET}}$ピンをLowレベルに保持することで、起動遅延時間は延長できます。このタイミング例については**図19.**を参照してください。

図17. リセット回路構成 (ATtiny12)

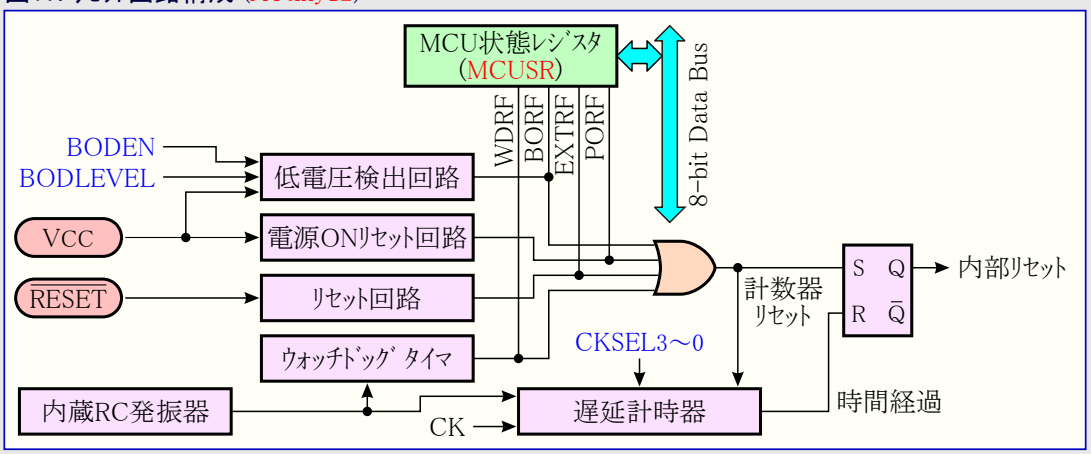


表9. リセット電気的特性 (ATtiny12)

シンボル	項目		最小	代表	最大	単位
V_{POT}	上昇時電源ONリセット閾値電圧	BODEN=非プログラム(1)/禁止	1.0	1.4	1.8	V
		BODEN=プログラム(0)/許可	0.6	1.2	1.8	
	下降時電源ONリセット閾値電圧 (注1)	BODEN=非プログラム(1)/禁止	0.4	0.6	0.8	
		BODEN=プログラム(0)/許可	0.6	1.2	1.8	
V_{RST}	RESETピン閾値電圧			0.6VCC		
V_{BOT}	低電圧検出(BOD)閾値電圧	BODLEVEL=非プログラム(1)	1.5	1.8	1.9	
		BODLEVEL=プログラム(0)	2.3	2.7	2.8	

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

右表はリセットからの起動時間を示します。休止形態からは(表の)CK計数部だけが使われます。起動時間の実時間部のタイミングについてはウォッチドッグ発振器が使われます。この実時間に対するウォッチドッグ発振器の計数値は表11.で示されます。

表11. ウォッチドッグ発振器の周期数

BODLEVEL	タイマ値(VCC)	周期数
非プログラム(1)	3.6ms (1.8V)	256
	57ms (1.8V)	4K
プログラム(0)	4.2ms (2.7V)	1K
	67ms (2.7V)	16K

48頁の「ATtiny12 代表特性」章で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。(BODENヒューズを非プログラムのままとすることで)低電圧検出(BOD)が禁止されていても、BODLEVELヒューズは起動(遅延)時間を選ぶのに使えます。

このデバイスはCKSEL3～0=0010で出荷されます。

表10. CKSELヒューズによるリセット遅延選択 (ATtiny12)

CKSEL3～0	クロック種別	リセット遅延時間(t_{TOUT}) VCC=1.8V BODLEVEL=1	VCC=2.7V BODLEVEL=0
0 0 0 0	外部クロック信号	3.6ms＋6×CK	4.2ms＋6×CK
0 0 0 1		6×CK	6×CK
0 0 1 0	内蔵RC発振	57ms＋6×CK	67ms＋6×CK
0 0 1 1		3.6ms＋6×CK	4.2ms＋6×CK
0 1 0 0		6×CK	6×CK
0 1 0 1	外部RC発振	57ms＋6×CK	67ms＋6×CK
0 1 1 0		3.6ms＋6×CK	4.2ms＋6×CK
0 1 1 1		6×CK	6×CK
1 0 0 0	外部低周波数クリスタル発振	57ms＋32K×CK	67ms＋32K×CK
1 0 0 1		57ms＋1K×CK	67ms＋1K×CK
1 0 1 0	外部クリスタル/セラミック発振	57ms＋16K×CK	67ms＋16K×CK
1 0 1 1		3.6ms＋16K×CK	4.2ms＋16K×CK
1 1 0 0		16K×CK	16K×CK
1 1 0 1	(注1)	57ms＋1K×CK	67ms＋1K×CK
1 1 1 0		3.6ms＋1K×CK	4.2ms＋1K×CK
1 1 1 1		1K×CK	1K×CK

注1: リセット遅延時間内のクロック数制限のため、セラミック振動子の使用が推奨されます。

電源ONﾘｾｯﾄ (ATtiny12)

電源ONﾘｾｯﾄ(POR)ﾊﾟﾙｽは内蔵検出回路により生成されます。この検出電圧は公称1.4Vです。PORはVCCが検出電圧以下で必ず有効にされます。このPOR回路は供給電圧低下の検出だけでなく開始時のﾘｾｯﾄ起動にも使われます。

電源ONﾘｾｯﾄ回路は電源投入時のﾃﾞﾊﾞｲｽ ﾘｾｯﾄを保証します。電源ONﾘｾｯﾄ閾値電圧(VPOT)への到達は、VCC上昇後、ﾃﾞﾊﾞｲｽがﾘｾｯﾄを保持する遅延を決める遅延ﾀｲﾏ(ｶｳﾝﾀ)を起動します。遅延ﾀｲﾏの計時完了時間はCKSELﾋｭｰｽﾞを通して定義できます。遅延時間の各選択は表10.で示されます。VCCが検出電圧以下に低下するとき、ﾘｾｯﾄ信号は遅延なしで再び活性(有効)にされます。

内蔵起動遅延時間で充分な場合、$\overline{\text{RESET}}$は直接または外部ﾌﾟﾙｱｯﾌﾟ抵抗を介してVCCに接続できます。VCC供給後も、$\overline{\text{RESET}}$ﾋﾟﾝをLowﾚﾍﾞﾙに保持することで、起動遅延時間は延長できます。このﾀｲﾐﾝｸﾞ例については図19.を参照してください。

図18. 内蔵電源ONﾘｾｯﾄ ($\overline{\text{RESET}}$はVCCに接続)

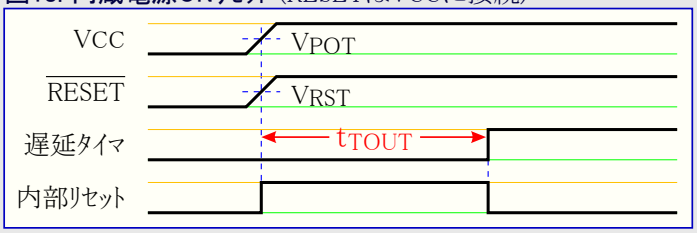
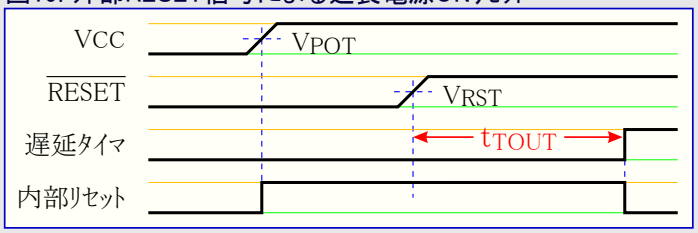


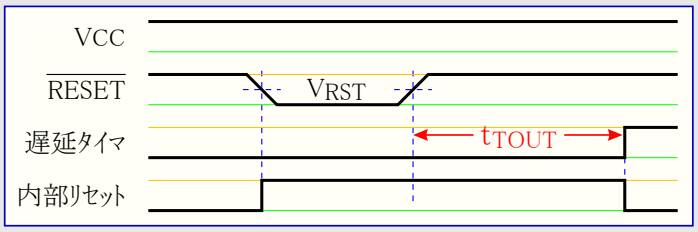
図19. 外部$\overline{\text{RESET}}$信号による延長電源ONﾘｾｯﾄ



外部ﾘｾｯﾄ

外部ﾘｾｯﾄは$\overline{\text{RESET}}$ﾋﾟﾝ上のLowﾚﾍﾞﾙによって生成されます。例えｸﾛｯｸが動いていなくても、50nsより長いﾘｾｯﾄ ﾊﾟﾙｽはﾘｾｯﾄを生成します。短すぎるﾊﾟﾙｽはﾘｾｯﾄが保証されません。供給された信号の上昇がﾘｾｯﾄ閾値電圧(VRST)に達すると、遅延ﾀｲﾏは遅延時間(t_{TOUT})経過後にMCUを起動します。

図20. 動作中の外部ﾘｾｯﾄ

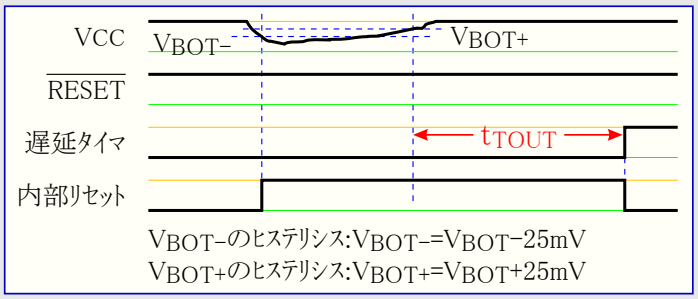


低電圧(ﾌﾞﾗｳﾝｱｳﾄ)検出ﾘｾｯﾄ (ATtiny12)

ATtiny12には動作中のVCC電圧を監視する内蔵低電圧検出(BOD)回路があります。BOD回路はBODENﾋｭｰｽﾞによって許可/禁止ができます。BODENが許可(BODEN=ﾌﾟﾛｸﾞﾗﾑ(0))され、VCCが検出電圧以下の値に低下すると、低電圧検出ﾘｾｯﾄは直ちに有効とされます。VCCが検出電圧以上に上昇すると、遅延後に無効とされます。この遅延はPOR信号の遅延(表10.参照)と同じ方法で使用者によって定義されます。BOD検出電圧はBODLEVELﾋｭｰｽﾞにより、1.8V(非ﾌﾟﾛｸﾞﾗﾑ(1))、または2.7V(ﾌﾟﾛｸﾞﾗﾑ(0))が選べます。この検出電圧には、ｽﾊﾟｲｸ無効の低電圧検出を保証するために50mVのﾋｽﾃﾘｼｽがあります。

このBOD回路は電圧が2.7Vで7µs、1.8Vで24µs(代表値)より長く検出電圧以下に留まった場合だけ、VCCの低下を検出します。

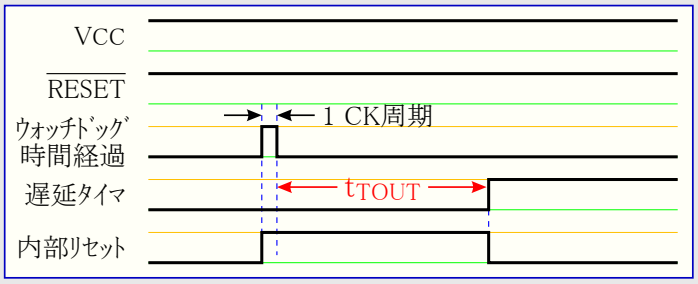
図21. 動作中の低電圧検出ﾘｾｯﾄ



ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ

ｳｫｯﾁﾄﾞｯｸﾞ時間経過で1CK周期幅の短いﾘｾｯﾄ ﾊﾟﾙｽを生成します。このﾊﾟﾙｽの下降端で遅延ﾀｲﾏは遅延時間(t_{TOUT})の計時を始めます。ｳｫｯﾁﾄﾞｯｸﾞ操作の詳細については28頁を参照してください。

図22. 動作中のｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ



リセット関係レジスタ

MCU状態レジスタ (MCU Status Register) MCUSR (ATtiny11)

MCU状態レジスタはどのリセット元でMCUリセットが起こされたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
$34	–	–	–	–	–	–	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	内容参照	内容参照	

• **ビット7~2 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

• **ビット1 – EXTRF : 外部リセット フラグ** (External Reset Flag)

電源ONリセット後、このビットは不定です。このビットは外部リセットによって設定(1)されます。ウォッチドッグ リセットは、このビットを無変化、そのままにします。

• **ビット0 – PORF : 電源ONリセット フラグ** (Power-on Reset Flag)

このビットは電源ONリセットによって設定(1)されます。外部リセットやウォッチドッグ リセットは、このビットを無変化、そのままにします。

要約のため、**表12.**は3つのリセット動作後の、これら2ビットの値を示します。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くEXTRFとPORF両方を解除(0)すべきです。EXTRFとPORF値の検査は、このビットが解除(0)される前に行います。外部またはウォッチドッグ リセットが起こる前に、これらのビットが解除(0)される場合、リセット元は次の真理値表(**表13.**)を使うことで見つけられます。

表12. リセット発生元によるフラグの変化

リセット発生源	EXTRF	PORF
電源ON リセット	不定	1
外部リセット	1	不変
ウォッチドッグ リセット	不変	不変

表13. フラグによるリセット発生元判定

EXTRF	PORF	リセット発生元
0	0	ウォッチドッグ リセット
0	1	電源ON リセット
1	0	外部リセット
1	1	電源ON リセット

MCU状態レジスタ (MCU Status Register) MCUSR (ATtiny12)

MCU状態レジスタはどのリセット元でMCUリセットが起こされたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
$34	–	–	–	–	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

• **ビット7~4 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

• **ビット3 – WDRF : ウォッチドッグ リセット フラグ** (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

• **ビット2 – BORF : 低電圧検出(BOD)リセット フラグ** (Brown-out Reset Flag)

このビットは低電圧検出(BOD)リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

• **ビット1 – EXTRF : 外部リセット フラグ** (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

• **ビット0 – PORF : 電源ONリセット フラグ** (Power-on Reset Flag)

このビットは電源ONリセットによって設定(1)されます。このビットは、このフラグへの論理0書き込みによって解除(0)されます。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くMCUSRを読み、その後に解除(0)すべきです。他のリセットが起こる前に、このレジスタ(MCUSR)が解除(0)される場合、そのリセット元はこれらのリセット フラグを調べることによって得られます。

割り込み

リセットと割り込み

ATtiny11には4種類、ATtiny12には5種類の割り込みがあります。これらの割り込みとリセットのベクタは、プログラム メモリ空間内に各々個別のベクタを持っています。全ての割り込みは割り込みを許可するために個別の許可ビットとステータス レジスタ(SREG)の全割り込み許可(I)ビットを設定(1)しなければなりません。

プログラム メモリ空間の最下位アドレスはリセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は**表14.**に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表14. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	$000	リセット	電源ONまたはウォッチドッグ等のリセット
2	$001	INT0	外部割り込み要求0
3	$002	PIN_CHG	I/Oピン レベル変化
4	$003	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
5	$004	ANA_COMP (ATtiny11)	アナログ比較器出力遷移
		EE_RDY (ATtiny12)	EEPROM 操作可
6	$005	ANA_COMP (ATtiny12)	アナログ比較器出力遷移

ATtiny11に於けるリセットと割り込みのベクタの最も代表的な設定例を次に示します。

```
アドレス    ラベル      命令        注釈
$000                RJMP    RESET       ;各種リセット
$001                RJMP    EXT_INT0    ;外部割り込み要求0
$002                RJMP    PIN_CHG     ;I/Oピン レベル変化
$003                RJMP    TIM_OVF0    ;タイマ/カウンタ0溢れ
$004                RJMP    ANA_COMP    ;アナログ比較器出力遷移
;
$005        RESET:      ~               ;以下、I/O初期化など
```

ATtiny12に於けるリセットと割り込みのベクタの最も代表的な設定例を次に示します。

```
アドレス    ラベル      命令        注釈
$000                RJMP    RESET       ;各種リセット
$001                RJMP    EXT_INT0    ;外部割り込み要求0
$002                RJMP    PIN_CHG     ;I/Oピン レベル変化
$003                RJMP    TIM_OVF0    ;タイマ/カウンタ0溢れ
$004                RJMP    EE_RDY      ;EEPROM 操作可
$005                RJMP    ANA_COMP    ;アナログ比較器出力遷移
;
$006        RESET:      ~               ;以下、I/O初期化など
```

割り込みの扱い

ATtiny11/12には一般割り込み許可ﾚｼﾞｽﾀ(GIMSK)とﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)の2つの8ﾋﾞｯﾄ割り込み許可ﾚｼﾞｽﾀがあります。

割り込みが起こると、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが解除(0)され、全ての割り込みが禁止されます。ｿﾌﾄｳｪｱは多重割り込みを許可するために、全割り込み許可(I)ﾋﾞｯﾄを設定(1)できます。この全割り込み許可(I)ﾋﾞｯﾄは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

割り込み処理ﾙｰﾁﾝを実行するために、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀが実際の割り込みﾍﾞｸﾀを指示するとき、割り込みを起こした対応する割り込み要求ﾌﾗｸﾞを自動的に解除(0)します。いくつかの割り込み要求ﾌﾗｸﾞは、そのﾌﾗｸﾞのﾋﾞｯﾄ位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ﾋﾞｯﾄが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求ﾌﾗｸﾞが設定(1)され、その割り込みが許可または、ｿﾌﾄｳｪｱで解除(0)されるまで保持されます。

全割り込み許可(I)ﾋﾞｯﾄが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求ﾌﾗｸﾞが設定(1)され、全割り込み許可(I)ﾋﾞｯﾄが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部ﾚﾍﾞﾙ割り込みには割り込み要求ﾌﾗｸﾞがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は割り込み処理ﾙｰﾁﾝへの移行時の保存と割り込み処理ﾙｰﾁﾝからの復帰時の再設定が自動的に行われないことに注意してください。これはｿﾌﾄｳｪｱにより操作しなければなりません。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4ｸﾛｯｸです。割り込み要求ﾌﾗｸﾞが設定(1)されてしまった後の4ｸﾛｯｸ周期で、実際の割り込み処理ﾙｰﾁﾝ用の割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが実行されます。この4ｸﾛｯｸ周期期間中、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(9ﾋﾞｯﾄ)がｽﾀｯｸ上に保存(ﾌﾟｯｼｭ)されます。通常、このﾍﾞｸﾀは割り込み処理ﾙｰﾁﾝに対する無条件相対分岐(RJMP)命令で、この分岐に2ｸﾛｯｸ周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前に、その命令が完了されます。ATtiny12では、MCUが休止形態のときに割り込みが起こると、割り込み応答時間が4ｸﾛｯｸ周期増やされます。

割り込み処理ﾙｰﾁﾝからの復帰は4ｸﾛｯｸ周期要します。この4ｸﾛｯｸ周期中に、ｽﾀｯｸからﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(9ﾋﾞｯﾄ)が回復(ﾎﾟｯﾌﾟ)され、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄが設定(1)されます。割り込みを抜けるときは常に主(元)ﾌﾟﾛｸﾞﾗﾑへ復帰し、保留されている割り込みが扱われる前に、1つ以上の命令を実行します。

外部割り込み

外部割り込みはINT0ﾋﾟﾝにより起動されます。許可されていれば、INT0ﾋﾟﾝが出力として設定されていても、割り込みが起動することに注目してください。この特徴はｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端、ﾋﾟﾝ変化(両端)、またはLowﾚﾍﾞﾙで起動できます。これはMCU制御ﾚｼﾞｽﾀ(MCUCR)についての詳細で説明されるように設定します。外部割り込みが許可され、ﾚﾍﾞﾙ起動として設定されるとき、ﾋﾟﾝがLowに保持されている限り、この割り込みは継続的に発生します。

外部割り込みは、MCU制御ﾚｼﾞｽﾀ(MCUCR)についての詳細で説明されるように設定します。

ﾋﾟﾝ変化割り込み

ﾋﾟﾝ変化割り込みは、入力または入出力ﾋﾟﾝのどれかの何れかの変化により起動されます。PB2～0ﾋﾟﾝの変化は常に割り込みを起こします。PB5～3ﾋﾟﾝの変化は、4頁の「ﾋﾟﾝ概要」項で記載されるように、そのﾋﾟﾝが入力または入出力に設定される場合に割り込みを起こします。許可されていれば、変化するﾋﾟﾝが例え出力として設定されていても、起動することに注目してください。この特徴はｿﾌﾄｳｪｱ割り込みを生成する方法を提供します。ﾋﾟﾝの動きが他の割り込み、例えば外部割り込みを起動する場合でも、ﾋﾟﾝ変化割り込みが起動することにも注目してください。これは1つの外部要因が複数の割り込みを起こせることを意味します。

ﾋﾟﾝの値は端(ｴｯｼﾞ)検出に先立って採取されています。ﾋﾟﾝ変化割り込みが許可されていれば、1 CPUｸﾛｯｸ周期よりも長く留まるﾊﾟﾙｽは割り込みを発生します。短すぎるﾊﾟﾙｽは割り込みの発生が保証されません。

割り込み用レジスタ

MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは、一般的なMCU機能の制御ビットで構成されます。

ビット	7	6	5	4	3	2	1	0	
$35	–	(PUD)	SE	SM	–	–	ISC01	ISC00	MCUCR
Read/Write	R	R(/W)	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: プルアップ禁止(PUD)ビットはATtiny12だけで利用可能です。

- **ビット7,6 (ATtiny11)、ビット7 (ATtiny12) – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

- **ビット6 (ATtiny12) – PUD : プルアップ禁止** (Pull-up Disable)

このビットの設定(1)は、ポートBの全プルアップを禁止します。このビットが解除(0)されると、23頁の「**入出力ポートB**」項で記述されるようにプルアップは個別に許可できます。

- **ビット5 – SE : 休止許可** (Sleep Enable)

SLEEP命令が実行されるときにMCUを休止形態へ移行させるには、休止許可(SE)ビットが設定1)されなければなりません。MCUの目的外休止形態移行を防ぐため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

- **ビット4 – SM : 休止種別** (Sleep Mode)

このビットは利用可能な2つの休止形態種別を選びます。SMが解除(0)されると休止形態としてアイドル動作が選ばれます。SMが設定(1)されると休止形態としてパワーダウン動作が選ばれます。詳細については13頁の「**休止形態種別**」節を参照してください。

- **ビット3,2 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

- **ビット1,0 – ISC01,0 : 外部割り込み0条件制御** (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが、共に設定(1)されている場合の外部割り込み0(INT0)ピンによって起動されます。次表は外部割り込みを発生するためのISCビット設定法を示します。

INT0ピンの値は端(エッジ)検出以前から採取比較されています。端割り込みが選ばれると、1 CPUクロック周期より長く留まるパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選ばれると、割り込みを発生するためには、現在実行中の命令の完了までLowレベルが保持されなければなりません。許可されていれば、レベル起動割り込みはピンがLowに保持されている限り、割り込み要求を発生し続けます。

表15. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	INT0ピンのレベル変化(両端)。
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

一般割り込み許可ﾚｼﾞｽﾀ (General Interrupt Mask Register) GIMSK

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3B	–	INT0	PCIE	–	–	–	–	–	GIMSK
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ6 – INT0 : 外部割り込み0 許可** (External Interrupt Request 0 Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと外部割り込み0許可(INT0)ﾋﾞｯﾄが、共に設定(1)でINT0ﾋﾟﾝの割り込みが許可されます。MCU制御ﾚｼﾞｽﾀ(MCUCR)の割り込み条件制御0のﾋﾞｯﾄ1と0(ISC01, ISC00)が、外部割り込みINT0ﾋﾟﾝの動作を上昇端、下降端、ﾋﾟﾝ変化(両端)、またはLowﾚﾍﾞﾙの何れか定義します。INT0ﾋﾟﾝが出力に設定されていても、このﾋﾟﾝの動きは割り込み要求を起こします。対応する外部割り込み0の割り込みはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ ｱﾄﾞﾚｽ$001から実行されます。「**外部割り込み**」もご覧ください。

• **ﾋﾞｯﾄ5 – PCIE : ﾋﾟﾝ変化割り込み許可** (Pin Change Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾋﾟﾝ変化割り込み許可(PCIE)ﾋﾞｯﾄが、共に設定(1)でﾋﾟﾝ変化割り込みが許可されます。入力または入出力ﾋﾟﾝのどれかの何れかの変化が割り込みを起こします。対応するﾋﾟﾝ変化割り込み要求の割り込みはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ ｱﾄﾞﾚｽ$002から実行されます。「**ﾋﾟﾝ変化割り込み**」もご覧ください。

• **ﾋﾞｯﾄ4~0 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

一般割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (General Interrupt Flag Register) GIFR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$3A	–	INTF0	PCIF	–	–	–	–	–	GIFR
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7 – Res : 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ6 – INTF0 : 外部割り込み0要求ﾌﾗｸﾞ** (External Interrupt Flag0)

INT0ﾋﾟﾝ上の端(ｴｯｼﾞ)が割り込み要求を起こす時に対応する割り込み要求ﾌﾗｸﾞ(INTF0)が設定(1)になります。この時にｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと対応する一般割り込み許可ﾚｼﾞｽﾀ(GIMSK)の外部割り込み0許可(INT0)ﾋﾞｯﾄが共に設定(1)されていれば、MCUは割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが実行されると、解除(0)されます。このﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。INT0がﾚﾍﾞﾙ割り込みとして設定されるとき、このﾌﾗｸﾞは常に解除(0)されます。

• **ﾋﾞｯﾄ5 – PCIF : ﾋﾟﾝ変化割り込み要求ﾌﾗｸﾞ** (Pin Change Interrupt Flag)

入力または入出力ﾋﾟﾝのどれかの出来事が割り込み要求を起こす時にﾋﾟﾝ変化割り込み要求(PCIF)ﾌﾗｸﾞが設定(1)になります。この時にｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄと一般割り込み許可ﾚｼﾞｽﾀ(GIMSK)のﾋﾟﾝ変化割り込み許可(PCIE)ﾋﾞｯﾄが共に設定(1)されていれば、ｱﾄﾞﾚｽ$002の割り込みﾍﾞｸﾀへ飛びます。このﾌﾗｸﾞは割り込み処理ﾙｰﾁﾝが実行されると、解除(0)されます。このﾌﾗｸﾞは論理1を書くことによっても解除(0)できます。

• **ﾋﾞｯﾄ4~0 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ (Timer/Counter Interrupt Mask Register) TIMSK

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$39	–	–	–	–	–	–	TOIE0	–	TIMSK
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～2 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ1 – TOIE0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可** (Timer/Counter0 Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE0)ﾋﾞｯﾄが共に設定(1)で、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こる、換言すると、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(TIFR)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ(TOV0)が設定(1)されると、対応する割り込み(ﾍﾞｸﾀ $003)が実行されます。

• **ﾋﾞｯﾄ0 – Res : 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter Interrupt Flag Register) TIFR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$38	–	–	–	–	–	–	TOV0	–	TIFR
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～2 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ1 – TOV0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter0 Overflow Interrupt Flag)

ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こると、このTOV0ﾋﾞｯﾄが設定(1)されます。対応する割り込みﾍﾞｸﾀを実行すると、TOV0は自動的に解除(0)されます。代わりに、このﾌﾗｸﾞへ論理1を書くことによってもTOV0は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE0)ﾋﾞｯﾄとTOV0が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが実行されます。

• **ﾋﾞｯﾄ0 – Res : 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

入出力ポートB

AVRの全てのポートは標準デジタルI/Oポートとして使われるとき、真の読み-修正-書き(リード モデファイ ライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしにポート ピンの1つの方向が変更できることを意味します。駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ATtiny11のポートBは5ビットの双方向I/Oポートと1ビットの入力ポートです。ATtiny12のポートBは6ビットの双方向I/Oポートです。

ポートBについては3つのI/Oメモリ アドレス位置が、各々、データ出力レジスタ(PORTB),$18、データ方向レジスタ(DDRB),$17、データ入力レジスタ(PINB),$16に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートPB5～3には4頁の「ピン概要」項で記述される特別な機能があります。PB5は外部リセットとして設定されなければ、プルアップなしの入力です。ATtiny12のPB5は論理0(Low)も出力でき、オープン ドレイン出力として動作します。PB4, PB3がクロック機能に使われない場合、それらは入出力ピンです。全てのポート ピンには、個別に選択可能なプルアップ抵抗があります。

PB0～4のポートB出力緩衝部は20mAのシンク電流を流せますので、LED表示器を直接駆動できます。ATtiny12のPB5は12mAの吸い込み電流を流せます。PB0～4ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートBピンの交換機能は表16.に示されます。

表16. ポートBピンの交換機能

ポート ピン	交換機能		デバイス
PB0	AIN0	(アナログ比較器非反転入力)	ATtiny11/12
	MOSI	(直列プログラミング用データ入力)	ATtiny12
PB1	AIN1 INT0	(アナログ比較器反転入力) (外部割り込み0入力)	ATtiny11/12
	MISO	(直列プログラミング用データ出力)	ATtiny12
PB2	T0	(タイマ/カウンタ0 外部クロック入力)	ATtiny11/12
	SCK	(直列プログラミング用直列クロック入力)	ATtiny12
PB3	XTAL1	(発振器入力)	ATtiny11/12
PB4	XTAL2	(発振器出力)	ATtiny11/12
PB5	$\overline{\text{RESET}}$	(外部リセット入力)	ATtiny11/12

PB2～0ピンが交換機能で使われるとき、ポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は交換機能の説明に従って設定されなければなりません。PB5～3が交換機能を使われるとき、対応するDDRBとPORTBビットの値は無視されます。

入出力ポートB用レジスタ

ポートB出力レジスタ (Port B Data Register) **PORTB**

ビット	7	6	5	4	3	2	1	0	
$18	–	–	–	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) **DDRB**

ビット	7	6	5	4	3	2	1	0	
$17	–	–	(DDB5)	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R(/W)	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: DDB5はATtiny12でだけ利用可能です。

ポートB入力レジスタ (Port B Input Address) **PINB**

ビット	7	6	5	4	3	2	1	0	
$16	–	–	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読まれます。

ﾎﾟｰﾄB 標準ﾃﾞｼﾞﾀﾙ入出力

標準I/Oﾋﾟﾝとして使われるとき、ﾎﾟｰﾄBの最下位側5ﾋﾟﾝは同じ機能動作です。

標準I/OﾋﾟﾝPBnは、ﾎﾟｰﾄB方向ﾚｼﾞｽﾀ(DDRB)のDDBnﾋﾞｯﾄがそのﾋﾟﾝの入出力方向を選び、DDBnが設定(1)されると、出力ﾋﾟﾝとして設定されます。DDBnが解除(0)されると、入力ﾋﾟﾝとして設定されます。ﾎﾟｰﾄB出力ﾚｼﾞｽﾀ(PORTB)のPORTBnが設定(1)され、そのﾋﾟﾝが入力ﾋﾟﾝとして設定されている場合、MOSﾌﾟﾙｱｯﾌﾟ抵抗が有効化されます。ATtiny12ではMCU制御ﾚｼﾞｽﾀ(MCUCR)のﾌﾟﾙｱｯﾌﾟ禁止(PUD)ﾋﾞｯﾄの設定(1)により、この機能が禁止できます。このﾌﾟﾙｱｯﾌﾟ抵抗をOFFに切り替えるには、PORTBnが解除(0)されるか、またはそのﾋﾟﾝが出力として設定されるか、またATtiny12ではMCUCRのPUDﾋﾞｯﾄの設定(1)で行えます。ﾎﾟｰﾄBﾋﾟﾝはﾘｾｯﾄ条件が有効になると、例えｸﾛｯｸが動作していなくてもHi-Z状態にされます。

表17. ﾎﾟｰﾄBﾋﾟﾝに対するDDBnの関係

DDBn	PORTBn	入出力	ﾌﾟﾙｱｯﾌﾟ抵抗	備考
0	0	入力	なし	高ｲﾝﾋﾟｰﾀﾞﾝｽ (Hi-Z)
0	1	入力	あり	PBnに外部からLowを入力すると吐き出し電流が流れます。ATtiny12では、PUDの設定(1)によってﾌﾟﾙｱｯﾌﾟが禁止されます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは4,3～0でﾋﾞｯﾄ番号を示します。

ATtiny11のPB5が入力専用なことに注意してください。ATtiny12のPB5は入力かｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ出力です。このﾋﾟﾝが12V(高電圧直列)ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに使われるため、ﾋﾟﾝ上の電圧をVCC+0.5Vに制限する静電破壊防止ﾀﾞｲｵｰﾄﾞがありません。従って、通常動作中、このﾋﾟﾝの電圧がVCC+1V以上に上昇しないことを保証するために特別な注意が必要とされるべきです。これは予期せぬﾘｾｯﾄやﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作への移行の原因になるかもしれません。

ﾎﾟｰﾄBの交換機能

全てのﾎﾟｰﾄBﾋﾟﾝはﾋﾟﾝ変化割り込みを起動できるﾋﾟﾝ変化検出器に接続されます。詳細については19頁の「**ﾋﾟﾝ変化割り込み**」をご覧ください。加えてﾎﾟｰﾄBには次の交換機能があります。

- $\overline{\text{RESET}}$ – ﾎﾟｰﾄB ﾋﾞｯﾄ5 : PB5

  $\overline{\text{RESET}}$: RSTDISBLﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)のとき、このﾋﾟﾝは外部ﾘｾｯﾄとして扱います。RSTDISBLﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、このﾋﾟﾝは標準入力ﾋﾟﾝです。ATtiny12では、ｵｰﾌﾟﾝ ﾄﾞﾚｲﾝ出力ﾋﾟﾝでもあります。

- XTAL2 – ﾎﾟｰﾄB ﾋﾞｯﾄ4 : PB4

  XTAL2 : ｸﾛｯｸ発振器出力です。このﾋﾟﾝがｸﾛｯｸの目的に使われない時は標準I/Oﾋﾟﾝです。詳細については4頁の「**ﾋﾟﾝ概要**」項を参照してください。

- XTAL1 – ﾎﾟｰﾄB ﾋﾞｯﾄ3 : PB3

  XTAL1 : ｸﾛｯｸ発振器入力または外部ｸﾛｯｸ信号入力です。このﾋﾟﾝがｸﾛｯｸの目的に使われない時は標準I/Oﾋﾟﾝです。詳細については4頁の「**ﾋﾟﾝ概要**」項を参照してください。

- T0/(SCK) – ﾎﾟｰﾄB ﾋﾞｯﾄ2 : PB2

  T0 : このﾋﾟﾝはﾀｲﾏ/ｶｳﾝﾀ外部ｸﾛｯｸ入力としても扱えます。より多くの詳細については「**ﾀｲﾏ/ｶｳﾝﾀ0**」記述をご覧ください。ﾀｲﾏ/ｶｳﾝﾀ外部ｸﾛｯｸ駆動選択時、例え出力として設定されていても、このﾋﾟﾝ上の有効動作はﾀｲﾏ/ｶｳﾝﾀをｸﾛｯｸ駆動します。

  SCK(ATtiny12のみ) : ATtiny12での直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作で、このﾋﾟﾝは直列ｸﾛｯｸ入力(SCK)として扱います。

- INT0/AIN1/(MISO) – ﾎﾟｰﾄB ﾋﾞｯﾄ1 : PB1

  INT0 : このﾋﾟﾝは外部割り込み0入力として扱えます。詳細と許可の方法については「**割り込みの扱い**」記述をご覧ください。このﾋﾟﾝが出力として設定されていても、このﾋﾟﾝ上の有効動作が割り込みを起動することに注意してください。

  AIN1 : このﾋﾟﾝは内蔵ｱﾅﾛｸﾞ比較器の反転入力としても扱います。

  MISO(ATtiny12のみ) : ATtiny12での直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作で、このﾋﾟﾝは直列ﾃﾞｰﾀ出力(MISO)として扱います。

- AIN0/(MOSI) – ﾎﾟｰﾄB ﾋﾞｯﾄ0 : PB0

  AIN0 : このﾋﾟﾝは内蔵ｱﾅﾛｸﾞ比較器の非反転入力としても扱います。

  MOSI(ATtiny12のみ) : ATtiny12での直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作で、このﾋﾟﾝは直列ﾃﾞｰﾀ入力(MOSI)として扱います。

ﾊﾟﾜｰﾀﾞｳﾝ動作中、ｼｭﾐｯﾄﾄﾘｶﾞ ﾃﾞｼﾞﾀﾙ入力がｱﾅﾛｸﾞ比較器入力ﾋﾟﾝから切り離されます。これはﾊﾟﾜｰﾀﾞｳﾝ動作中、過大な電力消費の原因とならずに、VCC/2近辺のｱﾅﾛｸﾞ電圧が存在するのを許容します。

タイマ/カウンタ0

ATtiny11/12には8ビット汎用タイマ/カウンタが1つあります。このタイマ/カウンタ0にはシステム クロックを分周する10ビット前置分周器があります。このタイマ/カウンタ0は内部クロックを基準とするタイマや、外部ピンに接続された起因信号によるカウンタなどの使用ができます。

タイマ/カウンタ前置分周器部

図23.はタイマ/カウンタの前置分周器を示します。

前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、CK/8, CK/64, CK/256, CK/1024です。CK、外部クロック信号、または停止もクロック元として選べます。

図24.はタイマ/カウンタ0の構成図を示します。

8ビットのタイマ/カウンタ0はCK,分周されたCK,または外部ピンからクロック元を選べます。加えてタイマ/カウンタ0制御レジスタ(TCCR0)の詳細で説明されるように停止もできます。溢れ状態フラグ(TOV0)はタイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)にあります。制御ビットはタイマ/カウンタ0制御レジスタ(TCCR0)にあります。タイマ/カウンタ0についての割り込みの許可/禁止設定はタイマ/カウンタ割り込み許可レジスタ(TIMSK)内にあります。

タイマ/カウンタ0が外部的にクロック駆動されるとき、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が少なくても1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

8ビットのタイマ/カウンタ0は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会は低速な目的や稀に動く正確なタイミングの目的についてタイマ/カウンタ0を有効にします。

図23. タイマ/カウンタ前置分周器部構成

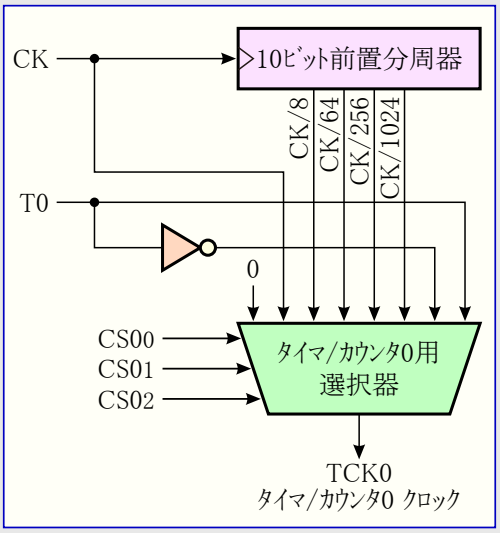
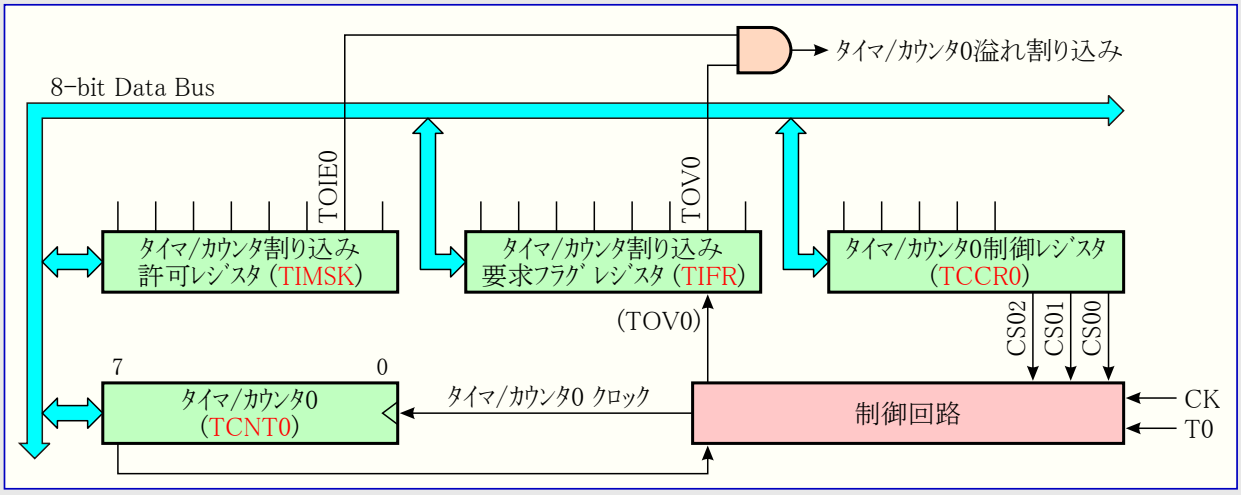


図24. タイマ/カウンタ0構成図



タイマ/カウンタ0用レジスタ

タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
$33	–	–	–	–	–	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7～3 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

- **ビット2～0 – CS02～0 : クロック選択0** (Clock Select0, bit 2,1 and 0)

クロック選択0ビット2～0はタイマ/カウンタ0に供給するクロック元を定義します。

表18. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T0(PB2)ピンの下降端
1	1	1	外部T0(PB2)ピンの上昇端

停止状態はタイマ/カウンタの許可/禁止機能を提供します。CKの分周出力動作では、発振器クロック(CK)から直接的に分周されます。タイマ/カウンタ0に外部ピン動作が使われると、例えT0(PB2)が出力として設定されていても、このピン上の変移がタイマ/カウンタを計数します。この特徴が計数動作のソフトウェア制御を提供します。

タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
$32	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタ0は、読み書きできる上昇カウンタとして実装されます。タイマ/カウンタ0が書かれ、クロック元が存在すると、タイマ/カウンタ0は書き込み動作の次に来るタイマ/カウンタ クロック周期で計数を開始/継続します。

ﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ (Timer/Counter Interrupt Mask Register) **TIMSK**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$39	–	–	–	–	–	–	TOIE0	–	TIMSK
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～2 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ1 – TOIE0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可** (Timer/Counter0 Interrupt Enable)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE0)ﾋﾞｯﾄが共に設定(1)で、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが許可されます。ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こる、換言すると、ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (TIFR)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ(TOV0)が設定(1)されると、対応する割り込み(ﾍﾞｸﾀ $003)が実行されます。

• **ﾋﾞｯﾄ0 – Res : 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読みます。

ﾀｲﾏ/ｶｳﾝﾀ割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Timer/Counter Interrupt Flag Register) **TIFR**

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$38	–	–	–	–	–	–	TOV0	–	TIFR
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

• **ﾋﾞｯﾄ7～2 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

• **ﾋﾞｯﾄ1 – TOV0 : ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter0 Overflow Interrupt Flag)

ﾀｲﾏ/ｶｳﾝﾀ0溢れが起こると、このTOV0ﾋﾞｯﾄが設定(1)されます。対応する割り込みﾍﾞｸﾀを実行すると、TOV0は自動的に解除(0)されます。代わりに、このﾌﾗｸﾞへ論理1を書くことによってもTOV0は解除(0)されます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全割り込み許可(I)ﾋﾞｯﾄとﾀｲﾏ/ｶｳﾝﾀ割り込み許可ﾚｼﾞｽﾀ(TIMSK)のﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込み許可(TOIE0)ﾋﾞｯﾄとTOV0が設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ0溢れ割り込みが実行されます。

• **ﾋﾞｯﾄ0 – Res : 予約** (Reserved)

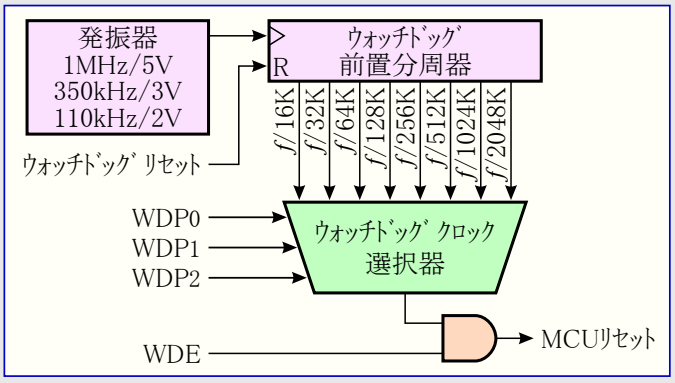
このﾋﾞｯﾄは予約されており、常に0として読みます。

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

このｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは独立の内蔵発振器から駆動されます。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの前置分周器を制御することにより、表19.で示されるようにｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ周期は調整できます。ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ(WDR)命令はｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏをﾘｾｯﾄします。8種の異なるｸﾛｯｸ周期はﾘｾｯﾄ周期を決めるために選べます。WDR命令なしで、このﾘｾｯﾄ周期が経過すると、ATtiny11/12はﾘｾｯﾄして、ﾘｾｯﾄ ﾍﾞｸﾀから実行します。ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄの詳細ﾀｲﾐﾝｸﾞについては16頁を参照してください。

予期せぬｳｫｯﾁﾄﾞｯｸﾞ禁止を防止するため、ｳｫｯﾁﾄﾞｯｸﾞが禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀの記述を参照してください。

図25. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ構成図



ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ用ﾚｼﾞｽﾀ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ (Watchdog Timer Control Register) WDTCR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$21	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7～5 – Res : 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読みます。

- **ﾋﾞｯﾄ4 – WDTOE : ｳｫｯﾁﾄﾞｯｸﾞ停止移行許可** (Watchdog Turn-off Enable)

ｳｫｯﾁﾄﾞｯｸﾞ許可(WDE)ﾋﾞｯﾄが解除(0)されるとき、このﾋﾞｯﾄは設定(1)されなければなりません。さもなければ、ｳｫｯﾁﾄﾞｯｸﾞは禁止されません。一度設定(1)すると、4ｸﾛｯｸ周期後、ﾊｰﾄﾞｳｪｱがこのﾋﾞｯﾄを0に解除します。ｳｫｯﾁﾄﾞｯｸﾞ禁止手順についてはWDEﾋﾞｯﾄの記述を参照してください。

- **ﾋﾞｯﾄ3 – WDE : ｳｫｯﾁﾄﾞｯｸﾞ許可** (Watchdog Enable)

このWDEが設定(1)されるとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可され、解除(0)されるとｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ機能が禁止されます。WDEはｳｫｯﾁﾄﾞｯｸﾞ停止移行許可(WDTOE)ﾋﾞｯﾄが設定(1)されているときだけ解除(0)できます。許可されているｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4ｸﾛｯｸ以内に、WDEへ論理0を書きます。これがｳｫｯﾁﾄﾞｯｸﾞを禁止します。

- **ﾋﾞｯﾄ2～0 – WDP2～0 : ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択** (Watchdog Timer Prescaler 2,1 and 0)

このWDP2～0は、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可される時のｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの前置分周を決めます。各前置分周値と対応する計時完了周期は表19.に示されます。

表19. ｳｫｯﾁﾄﾞｯｸﾞ前置分周選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

注: 40頁の「ATtiny11 代表特性」章で示されるように、ｳｫｯﾁﾄﾞｯｸﾞ発振器の周波数は電圧に依存します。

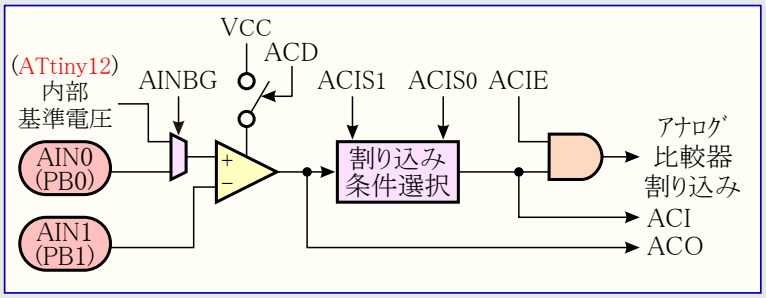
ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可される前に、常にｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ(WDR)命令が実行されるべきです。これはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周器設定に一致するﾘｾｯﾄ周期を保証します。このﾘｾｯﾄ操作なしにｳｫｯﾁﾄﾞｯｸﾞが許可されると、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは0から計数を開始しないかもしれません。

予期せぬMCUﾘｾｯﾄを避けるため、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ前置分周選択の変更前にはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが禁止されるかﾘｾｯﾄされるべきです。

アナログ比較器

アナログ比較器は非反転入力AIN0(PB0)と反転入力AIN1(PB1)の入力値を比較します。AIN0(PB0)非反転入力の電圧がAIN1(PB1)反転入力の電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端、またはその両方での割り込み起動が選べます。この比較とその周辺回路の構成図は**図26.**で示されます。

図26. アナログ比較器部構成図



アナログ比較器用レジスタ

アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) **ACSR**

ビット	7	6	5	4	3	2	1	0	
$08	ACD	(AINBG)	ACO	ACI	ACIE	–	ACIS1	ACIS0	ACSR
Read/Write	R/W	R(/W)	R	R/W	R/W	R	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

注: AINBGはATtiny12でだけ利用可能です。

- **ビット7 – ACD : アナログ比較器禁止** (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFにするため、何時でも設定(1)できます。ACDビットを変更するとき、ACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

- **ビット6 – Res : 予約** (Reserved) (ATtiny11)

このビットは予約されており、常に0として読みます。

- **ビット6 – AINBG : 内部基準電圧選択** (Analog Comparator Bandgap Select) (ATtiny12)

BODENヒューズがプログラム(0)で低電圧検出(BOD)リセットが許可で本ビットが設定(1)されると、比較器非反転入力の標準入力(AIN0)を内部基準電圧1.22±0.05Vに置換します。このビットが解除(0)されると、標準入力AIN0(PB0)ピンが比較器非反転入力に印加されます。

- **ビット5 – ACO : アナログ比較器出力** (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

- **ビット4 – ACI : アナログ比較器割り込み要求フラグ** (Analog Comparator Interrupt Flag)

比較器出力の動きが、アナログ比較器割り込み条件(ACIS1,ACIS0)ビットで定義された割り込み動作を起こすとき、本ビットは設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)され、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行するとき、ACIは自動的に解除(0)されます。代わりにこのフラグへ論理1を書くことによっても、ACIは解除(0)されます。

- **ビット3 – ACIE : アナログ比較器割り込み許可** (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、ステータス レジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、アナログ比較器割り込みが有効化されます。解除(0)されると、この割り込みは禁止されます。

- **ビット2 – Res : 予約** (Reserved)

このビットは予約されており、常に0として読みます。

- **ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件** (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は**表20.**に示されます。

表20. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: このACIS1,ACIS0ビットを変更するとき、ACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起き得ます。

警告: このレジスタのACI以外のビットに対するCBIまたはSBI命令の使用は、ACIが1として読まれる場合に1が書き戻されるため、このフラグを解除(0)してしまいます。

内部基準電圧 (ATtiny12)

ATtiny12の特徴として公称1.22Vの内部基準電圧があります。この内部基準電圧は低電圧検出(ﾌﾞﾗｳﾝｱｳﾄ検出)に使われ、ｱﾅﾛｸﾞ比較器の入力にも使えます。

基準電圧許可信号と起動時間

この基準電圧には使用方法に影響を及ぼす起動時間が存在します。最大起動時間は10μsです。電力削減のため、この基準電圧は常にONではありません。この基準電圧は次の状況中ONです。

- 低電圧検出ﾘｾｯﾄ許可(BODENﾋｭｰｽﾞ=ﾌﾟﾛｸﾞﾗﾑ(0))時
- ｱﾅﾛｸﾞ比較器基準電圧接続(ｱﾅﾛｸﾞ比較器制御/状態ﾚｼﾞｽﾀ(ACSR)の基準電圧入力選択(AINBG)=1)時

従って、低電圧検出(BOD)が許可されていないと、AINBGの設定(=1)後、常にｱﾅﾛｸﾞ比較器出力が使われる前に、基準電圧を起動させなければなりません(安定時間が必要)。内部基準電圧は概ね10μAを消費し、ﾊﾟﾜｰﾀﾞｳﾝ動作での電力消費削減のため、この動作へ移行するとき、この基準電圧をOFFに切り替えれます。

メモリ プログラミング

プログラム メモリとデータ メモリ用施錠ビット

ATtiny11/12 MCUは非プログラム(1)のままか、表21.で示される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表21. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュ メモリとEEPROMのプログラミング機能が禁止されます。(注)
3	0	0	保護種別2と同様、更に照合も禁止されます。

注: 高電圧直列プログラミング動作でのヒューズ ビットの書き込みも禁止されます。施錠ビットの書き込み前にヒューズ ビットを書いてください。

ヒューズ ビット (ATtiny11)

ATtiny11には5つのヒューズ ビット、FSTRT, RSTDISBL, CKSEL2～0があります。

- FSTRT: 使うには14頁の「表8. リセット遅延時間 (ATtiny11, VCC=2.7V)」をご覧ください。既定値は非プログラム(1)です。
- RSTDISBL: RSTDISBLがプログラム(0)されると、PB5ピンの外部リセット機能が禁止されます(注)。既定値は非プログラム(1)です。
- CKSEL2～0: 使用のためのCKSEL2～0の組み合わせについては7頁の「表3. クロック選択」をご覧ください。既定値は'100'(内蔵RC発振器)です。

ヒューズ ビットの状態はチップ消去による影響を受けません。

注: RSTDISBLヒューズがプログラム(0)される場合、その後、プログラミング装置(書き込み器)はATtiny11が電源ONリセット中、PB5に+12Vを印加すべきです。そうしないと、PB0駆動の衝突による原因でプログラミング動作への移行失敗が有り得ます。

ヒューズ ビット (ATtiny12)

ATtiny12には8つのヒューズ ビット、BODLEVEL, BODEN, SPIEN, RSTDISBL, CKSEL3～0があります。全てのヒューズ ビットは高電圧と低電圧の直列プログラミング動作の両方でプログラミングできます。ヒューズの変更はプログラミング中、どんな効果も持ちません(保留されます)。

- BODLEVEL: BODLEVELヒューズは低電圧検出電圧の選択と起動(リセット遅延)時間を変更します。14頁の「低電圧(ブラウンアウト)検出リセット (ATtiny12)」と15頁の「表10. CKSELヒューズによるリセット遅延選択 (ATtiny12)」をご覧ください。既定値はプログラム(0)です。
- BODEN: BODENヒューズがプログラム(0)されると、低電圧検出器(BOD)が許可されます。16頁の「低電圧(ブラウンアウト)検出リセット (ATtiny12)」をご覧ください。既定値は非プログラム(1)です。
- SPIEN: SPIENヒューズ ビットがプログラム(0)されると、低電圧直列プログラミングが許可されます。既定値はプログラム(0)です。低電圧直列プログラミング動作中のこのヒューズの非プログラム(1)化は、将来の実装書き換えの意図を禁止してしまいます。
- RSTDISBL: RSTDISBLがプログラム(0)されると、PB5ピンの外部リセット機能が禁止されます(注)。既定値は非プログラム(1)です。低電圧直列プログラミング動作中のこのヒューズの非プログラム(1)化は、将来の実装書き換えの意図を禁止してしまいます。
- CKSEL3～0: 使用のためのCKSEL3～0の組み合わせについては7頁の「表3. クロック選択」と15頁の「表10. CKSELヒューズによるリセット遅延選択 (ATtiny12)」をご覧ください。既定値は'0010'(内蔵RC発振器、長起動時間)です。

ヒューズ ビットの状態はチップ消去による影響を受けません。

注: RSTDISBLヒューズがプログラム(0)される場合、その後、プログラミング装置(書き込み器)はATtiny12が電源ONリセット中、PB5に+12Vを印加すべきです。そうしないと、PB0若しくはPB5駆動の衝突による原因でプログラミング動作への移行失敗が有り得ます。

識票ﾊﾞｲﾄ

全てのAtmelﾏｲｸﾛ ｺﾝﾄﾛｰﾗはﾃﾞﾊﾞｲｽ識別用に3ﾊﾞｲﾄの識票符号を持ちます。この3ﾊﾞｲﾄは他から分離された空間に存在します。

ATtiny11の識票符号を次に示します。

① $000：$1E　製造業者Atmelを示します。
② $001：$90　ﾌﾗｯｼｭ ﾒﾓﾘ容量1Kﾊﾞｲﾄを示します。
③ $002：$04　②値$90と合せ、ATtiny11を示します。

ATtiny12の識票符号を次に示します。

① $000：$1E　製造業者Atmelを示します。
② $001：$90　ﾌﾗｯｼｭ ﾒﾓﾘ容量1Kﾊﾞｲﾄを示します。
③ $002：$05　②値$90と合せ、ATtiny12を示します。

注: 両方の施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)される(保護種別3)と、識票ﾊﾞｲﾄは低電圧直列動作で読めません。識票ﾊﾞｲﾄの読み込みは$00, $01,$02が戻ります。

校正ﾊﾞｲﾄ (ATtiny12)

ATtiny12には内蔵RC発振器用の1ﾊﾞｲﾄ校正値があります。このﾊﾞｲﾄは識票ｱﾄﾞﾚｽ空間のｱﾄﾞﾚｽ$000の上位ﾊﾞｲﾄにあります。ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に外部書き込み器はこの位置を読み、通常のﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘまたはEEPROM内の選ばれた位置に書かなければなりません。起動時に使用者ﾌﾟﾛｸﾞﾗﾑはこのﾒﾓﾘ位置を読み、その値を発振校正ﾚｼﾞｽﾀ(OSCCAL)に書かなければなりません。

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ATtiny11

AtmelのATtiny11は1Kﾊﾞｲﾄのﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘを提供します。

ATtiny11には、ﾌﾟﾛｸﾞﾗﾑ用内蔵ﾌﾗｯｼｭ ﾒﾓﾘが、消去(全ﾋﾞｯﾄ=1)され、ﾌﾟﾛｸﾞﾗﾑされる準備が整った状態で搭載されています。

このﾃﾞﾊﾞｲｽは高電圧(12V)直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を支援します。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、+12Vﾋﾟﾝから低電流(<1mA)が引き込まれるだけです。

ATtiny11のﾌﾗｯｼｭ ﾒﾓﾘはﾊﾞｲﾄ単位で書かれます(ﾌﾟﾛｸﾞﾗﾐﾝｸﾞされます)。

ATtiny12

AtmelのATtiny12は実装再書き込み可能な1Kﾊﾞｲﾄのﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘと64ﾊﾞｲﾄのﾃﾞｰﾀ用EEPROMﾒﾓﾘを提供します。

ATtiny12にはﾌﾟﾛｸﾞﾗﾑ用内蔵ﾌﾗｯｼｭ ﾒﾓﾘとﾃﾞｰﾀ用EEPROMﾒﾓﾘが、消去(全ﾋﾞｯﾄ=1)され、ﾌﾟﾛｸﾞﾗﾑされる準備が整った状態で搭載されています。

このﾃﾞﾊﾞｲｽは高電圧(12V)直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作と低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作を支援します。+12Vはﾌﾟﾛｸﾞﾗﾑ許可のためだけに使われ、このﾋﾟﾝによって特筆すべき電流は流されません。低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作は実装済みのATtiny12にﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀを書き込む便利な方法を提供します。

ATtiny12のﾌﾗｯｼｭ ﾒﾓﾘとEEPROMはどちらのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でもﾊﾞｲﾄ単位でﾌﾟﾛｸﾞﾗﾑされます。EEPROMについては低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作での自動書き込み命令で自動消去周期が提供されます。

ATtiny11/12

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の供給電圧は表22.に従っていなければなりません。

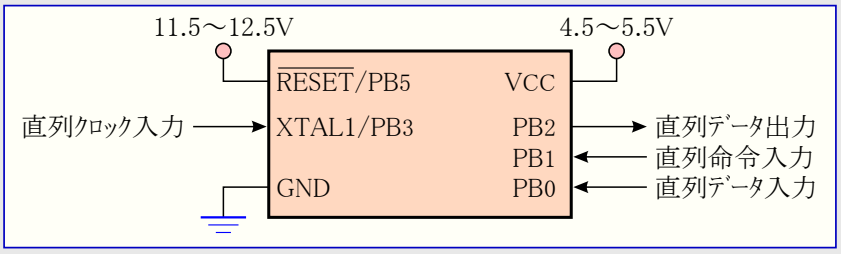
表22. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の供給電圧

ﾃﾞﾊﾞｲｽ	低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ	高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
ATtiny11L	適用不可	4.5～5.5V
ATtiny11		
ATtiny12V	2.2～5.5V	
ATtiny12L	2.7～5.5V	
ATtiny12	4.0～5.5V	

高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

本項はATtiny11/12でのﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、ﾃﾞｰﾀ用EEPROM(ATtiny12のみ)、施錠ﾋﾞｯﾄ、ﾋｭｰｽﾞ ﾋﾞｯﾄの高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合の方法を記述します。

図27. 高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でのATtiny11/12のﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合は、次の手順が推奨されます(命令形式は表23.参照)。

1. 次の手順で電源を投入します。
   VCCとGND間に4.5～5.5Vを印加します。PB5とPB0をLow(0)に設定し、最低100ns待ちます。最小100nsのﾊﾟﾙｽ幅で最低4回、PB3を交互(High/Low)切り替えします。PB3をLow(0)に設定します。最低100ns待ちます。PB0を変更する前に、PB5へ12Vを印加し、最低100ns待ちます。何れかの命令を与える前に8µs待ちます。
2. ﾌﾗｯｼｭ ﾒﾓﾘは最初にｱﾄﾞﾚｽ、次に下位、上位ﾊﾞｲﾄ ﾃﾞｰﾀを供給することにより、1ﾊﾞｲﾄ単位で書き込まれます。書き込み命令は自己ﾀｲﾐﾝｸﾞで行われ、PB2(RDY/$\overline{\text{BSY}}$)ﾋﾟﾝがHighになるまで待機します。
3. EEPROM(ATtiny12のみ)は最初にｱﾄﾞﾚｽ、次にﾊﾞｲﾄ ﾃﾞｰﾀを供給することにより、1ﾊﾞｲﾄ単位で書き込まれます。書き込み命令は自己ﾀｲﾐﾝｸﾞで行われ、PB2(RDY/$\overline{\text{BSY}}$)ﾋﾟﾝがHighになるまで待機します。
4. 何れのﾒﾓﾘ位置も、選ばれたｱﾄﾞﾚｽの内容を直列出力(PB2)ﾋﾟﾝに読み戻す、読み出し命令の使用で検証ができます。
5. 電源OFF手順
   - PB3をLow(0)にします。
   - PB5をHigh(1)にします。
   - VCC電源をOFFにします。

ATtiny11/12との直列ﾃﾞｰﾀを読み書きするとき、ﾃﾞｰﾀは直列ｸﾛｯｸの上昇端でｸﾛｯｸ駆動されます。詳細については図28.、図29.、表24.を参照してください。

図28. 高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾊﾞｲﾄ通信波形

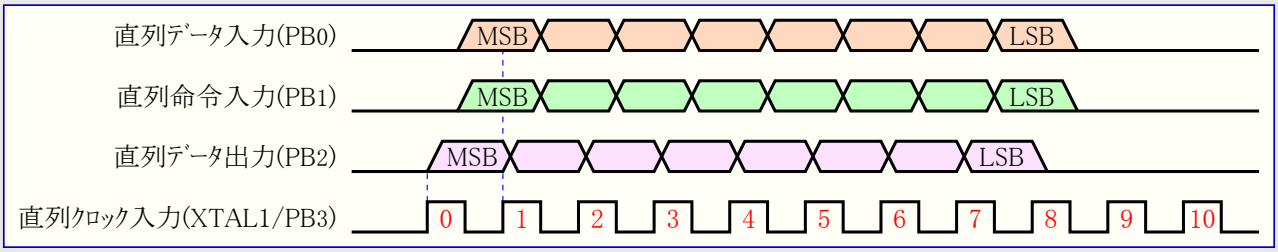


表23. 高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令	PB	命令形式 第1ﾊﾞｲﾄ	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ	第4ﾊﾞｲﾄ	備考
ﾁｯﾌﾟ消去	0	0 1000 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	第4ﾊﾞｲﾄ後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0110 0100 00	0 0110 1100 00	0 0100 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	
ﾌﾗｯｼｭ ﾒﾓﾘ 書き込みｱﾄﾞﾚｽ設定	0	0 0001 0000 00	0 0000 000H 00	0 LLLL LLLL 00		第3ﾊﾞｲﾄは新規ｱﾄﾞﾚｽ毎、第2ﾊﾞｲﾄは新規ﾍﾟｰｼﾞ毎に設定します。
	1	0 0100 1100 00	0 0001 1100 00	0 0000 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
ﾌﾗｯｼｭ ﾒﾓﾘ 下位ﾊﾞｲﾄ書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第3ﾊﾞｲﾄ後PB2=Highまで待機します。新規ｱﾄﾞﾚｽ毎に第1～3ﾊﾞｲﾄを繰り返します。
	1	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
ﾌﾗｯｼｭ ﾒﾓﾘ 上位ﾊﾞｲﾄ書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0011 1100 00	0 0111 0100 00	0 0111 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
ﾌﾗｯｼｭ ﾒﾓﾘ 読み出しｱﾄﾞﾚｽ設定	0	0 0000 0010 00	0 0000 000H 00	0 LLLL LLLL 00		第2,3ﾊﾞｲﾄは新規ｱﾄﾞﾚｽ毎に設定します。
	1	0 0100 1100 00	0 0001 1100 00	0 0000 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
ﾌﾗｯｼｭ ﾒﾓﾘ 下位ﾊﾞｲﾄ読み出し	0	0 0000 0000 00	0 0000 0000 00			新規ｱﾄﾞﾚｽ毎に第1,2ﾊﾞｲﾄを繰り返します。
	1	0 0110 1000 00	0 0110 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
ﾌﾗｯｼｭ ﾒﾓﾘ 上位ﾊﾞｲﾄ読み出し	0	0 0000 0000 00	0 0000 0000 00			
	1	0 0111 1000 00	0 0111 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
EEPROM 書き込みｱﾄﾞﾚｽ設定 (ATtiny12)	0	0 0001 0001 00	0 00LL LLLL 00			第2ﾊﾞｲﾄは新規ｱﾄﾞﾚｽ毎に設定します。
	1	0 0100 1100 00	0 0000 1100 00			
	2	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROM ﾊﾞｲﾄ書き込み (ATtiny12)	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第3ﾊﾞｲﾄ後PB2=Highまで待機します。新規ｱﾄﾞﾚｽ毎に第1～3ﾊﾞｲﾄを繰り返します。
	1	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
EEPROM 読み出しｱﾄﾞﾚｽ設定 (ATtiny12)	0	0 0000 0011 00	0 00LL LLLL 00			第2ﾊﾞｲﾄは新規ｱﾄﾞﾚｽ毎に設定します。
	1	0 0100 1100 00	0 0000 1100 00			
	2	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROM ﾊﾞｲﾄ読み出し (ATtiny12)	0	0 0000 0000 00	0 0000 0000 00			新規ｱﾄﾞﾚｽ毎に第2ﾊﾞｲﾄを繰り返します。
	1	0 0110 1000 00	0 0110 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
ﾋｭｰｽﾞﾋﾞｯﾄ 書き込み (ATtiny10/11)	0	0 0100 0000 00	0 0008 7543 00	0 0000 0000 00	0 0000 0000 00	第3ﾊﾞｲﾄ後t_{WLWH_PFB}時間待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	
ﾋｭｰｽﾞﾋﾞｯﾄ 書き込み (ATtiny12)	0	0 0100 0000 00	0 BA97 6543 00	0 0000 0000 00	0 0000 0000 00	第4ﾊﾞｲﾄ後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	
施錠ﾋﾞｯﾄ 書き込み	0	0 0010 0000 00	0 0000 0210 00	0 0000 0000 00	0 0000 0000 00	第4ﾊﾞｲﾄ後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00	
ﾋｭｰｽﾞﾋﾞｯﾄ 読み出し (ATtiny10/11)	0	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0100 1100 00	0 0110 1000 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xx87 543x xx		
ﾋｭｰｽﾞﾋﾞｯﾄ 読み出し (ATtiny12)	0	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0100 1100 00	0 0110 1000 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	B A976 543x xx		
施錠ﾋﾞｯﾄ 読み出し	0	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0100 1100 00	0 0111 1000 00	0 0111 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx 21xx xx		
識票ﾊﾞｲﾄ 読み出し	0	0 0000 1000 00	0 0000 00LL 00	0 0000 0000 00	0 0000 0000 00	新規ｱﾄﾞﾚｽ毎に第2～4ﾊﾞｲﾄを繰り返します。
	1	0 0100 1100 00	0 0000 1100 00	0 0110 1000 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	R RRRR RRRx xx	
校正ﾊﾞｲﾄ読み出し (ATtiny12)	0	0 0000 1000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	
	1	0 0100 1100 00	0 0000 1100 00	0 0111 1000 00	0 0111 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	R RRRR RRRx xx	

注: H = ｱﾄﾞﾚｽ上位ﾊﾞｲﾄのﾋﾞｯﾄ
L = ｱﾄﾞﾚｽ下位ﾊﾞｲﾄのﾋﾞｯﾄ
R = 読み出しﾃﾞｰﾀ (MCU出力)
W = 書き込みﾃﾞｰﾀ (MCU入力)
1 = 施錠ﾋﾞｯﾄ1 (LB1)
2 = 施錠ﾋﾞｯﾄ2 (LB2)
3 = CKSEL0 ﾋｭｰｽﾞﾋﾞｯﾄ
4 = CKSEL1 ﾋｭｰｽﾞﾋﾞｯﾄ
5 = CKSEL2 ﾋｭｰｽﾞﾋﾞｯﾄ
6 = CKSEL3 ﾋｭｰｽﾞﾋﾞｯﾄ
7 = RSTDISBL ﾋｭｰｽﾞﾋﾞｯﾄ
8 = FSTRT ﾋｭｰｽﾞﾋﾞｯﾄ
9 = SPIEN ﾋｭｰｽﾞﾋﾞｯﾄ
A = BODEN ﾋｭｰｽﾞﾋﾞｯﾄ
B = BODLEVEL ﾋｭｰｽﾞﾋﾞｯﾄ
x = 0か1 (無視または無効)

高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図29. 高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ

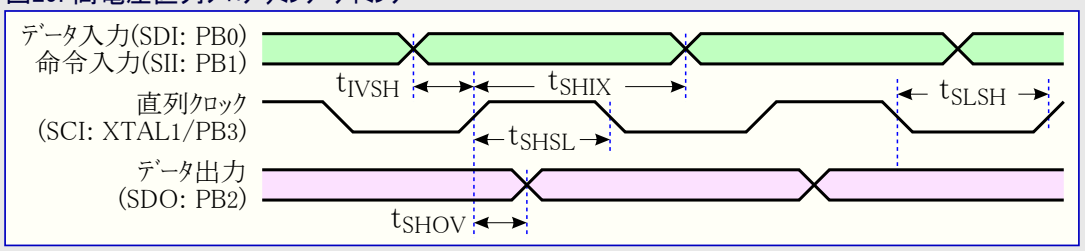


表24. 高電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 (特記条件を除いて、TA=25℃±10% , VCC=5.0V±10%)

ｼﾝﾎﾞﾙ	項目	最小	代表	最大	単位
t_{SHSL}	SCIﾊﾟﾙｽHﾚﾍﾞﾙ幅	100			ns
t_{SLSH}	SCIﾊﾟﾙｽLﾚﾍﾞﾙ幅	100			
t_{IVSH}	SCI↑に対するSDI,SII準備時間	50			
t_{SHIX}	SCI↑に対するSDI,SII保持時間	50			
t_{SHOV}	SCI↑に対するSDO出力遅延時間	10	16	32	
t_{WLWH_PFB}	ﾋｭｰｽﾞ書き込み第3ﾊﾞｲﾄ後待機時間	1.7	2.5	3.4	ms

(訳注) ﾋｭｰｽﾞ書き込み第3ﾊﾞｲﾄ後待機時間(t_{WLWH_PFB})が、各々1.0, 1.5, 1.8から変更されています。

低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ (ATtiny12のみ)

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの両方はRESETがLowﾚﾍﾞﾙの間に直列SPIﾊﾞｽを使ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行うことができます。この直列ｲﾝﾀｰﾌｪｰｽはSCK入力、MOSI入力、MISO出力で構成されます(図30.参照)。RESETをLowﾚﾍﾞﾙに設定後、ﾌﾟﾛｸﾞﾗﾑや消去命令が実行される前に、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令が最初に実行されなければなりません。

低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでﾁｯﾌﾟ消去命令が1回だけ実行される場合、消去後に1ﾊﾞｲﾄ ﾃﾞｰﾀがﾌﾗｯｼｭ ﾒﾓﾘへ書かれてしまうかもしれません。次の方法の使用はﾌﾗｯｼｭ ﾒﾓﾘが消去されることを保証します。

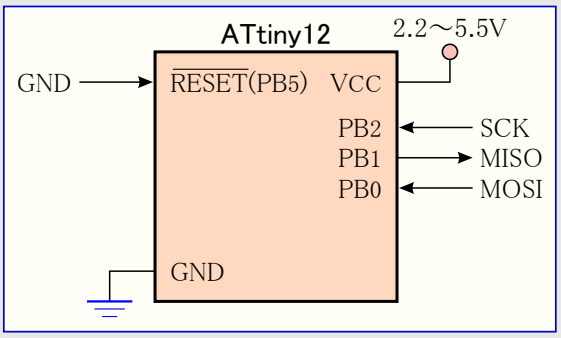
- ﾁｯﾌﾟ消去命令を実行します。
- ﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ$000に$FFを書きます。
- 2度目のﾁｯﾌﾟ消去命令を実行します。

EEPROMに対しては自己ﾀｲﾐﾝｸﾞによる書き込み命令内で先行して自動消去周期が提供される(低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞのみ)ので、最初にﾁｯﾌﾟ消去命令を実行する必要はありません。ﾁｯﾌﾟ消去命令はﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの全ての内容を$FFにします。

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMﾒﾓﾘは、ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘが$0000～$01FF、ﾃﾞｰﾀ用EEPROMﾒﾓﾘが$0000～$003Fの分離されたｱﾄﾞﾚｽ空間を持ちます。

低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中、このﾃﾞﾊﾞｲｽは何れのｸﾛｯｸ種別によってもｸﾛｯｸ駆動できます。直列ｸﾛｯｸ(SCK)入力のLow区間とHigh区間の最小値は次のように定義されます。

図30. 低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ構成図



Low区間 ＞ 2 MCU ｸﾛｯｸ周期　　High区間 ＞ 2 MCU ｸﾛｯｸ周期

低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

ATtiny12に直列ﾃﾞｰﾀを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細ﾀｲﾐﾝｸﾞについては図31.、図32.、表26.をご覧ください。低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でATtiny12のﾌﾟﾛｸﾞﾗﾐﾝｸﾞと照合をするには次の手順が推奨されます。(4ﾊﾞｲﾄの命令形式は表25.を参照)

1. 次の手順で電源を投入します。
   RESETとSCKがLow(0)に設定されている間中に、VCCとGND間へ電源を印加します。CKSELﾋｭｰｽﾞの設定に従って、ｸﾘｽﾀﾙ/振動子、外部ｸﾛｯｸ、または外部RCを適用するか、またはﾃﾞﾊﾞｲｽを内蔵RC発振器で動作させます。いくつかのｼｽﾃﾑに於いて、電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、100ms待機します。そして、RESETには最低XTAL1周期幅2つ分の正ﾊﾟﾙｽが与えられなければなりません。
2. 最低20ms待機し、MOSI(PB0)ﾋﾟﾝにﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を送ることによって直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを可能にします。
3. 通信の同期が外れていると、直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令が動作しません。同期しているとき、ﾌﾟﾛｸﾞﾗﾑ許可命令の第3ﾊﾞｲﾄ送出時に第2ﾊﾞｲﾄ($53)を送り返します。この送り返しが成功か失敗かによらず、命令の4ﾊﾞｲﾄ全てが送信されなければなりません。送り返しが$53でなかった場合、SCKに正ﾊﾟﾙｽを与え、新規ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可命令を行います。32回の試行で$53が検出できない場合、低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機能のないﾃﾞﾊﾞｲｽが接続されています。
4. ﾁｯﾌﾟ消去が実行される場合(ﾌﾗｯｼｭ ﾒﾓﾘの消去のために実行が必要)、この命令実行後t_{WD_ERASE}(37頁の表27.参照)時間待機して、RESETに正ﾊﾟﾙｽを与え、手順2.からを行います。
5. ﾌﾗｯｼｭ ﾒﾓﾘやEEPROMは適切な書き込み命令内でｱﾄﾞﾚｽとﾃﾞｰﾀを供給することによって1ﾊﾞｲﾄ単位で書かれます。EEPROMﾒﾓﾘ位置は、新規(今回)ﾃﾞｰﾀが書かれる前、最初に自動消去されます。ﾌﾗｯｼｭ ﾒﾓﾘやEEPROMの次のﾊﾞｲﾄが書けるときを検出するためにﾃﾞｰﾀ ﾎﾟｰﾘﾝｸﾞを使ってください。ﾎﾟｰﾘﾝｸﾞが使われない場合、次の命令送出前にt_{WD_FLASH}またはt_{WD_EEPROM}(37頁の表28.参照)時間待機します。消去されているﾃﾞﾊﾞｲｽでは、$FFのﾃﾞｰﾀを書く必要がありません。
6. 何れのﾒﾓﾘ位置も、選ばれたｱﾄﾞﾚｽの内容を直列出力MISO(PB1)ﾋﾟﾝに読み戻す、読み出し命令を使って検証ができます。
7. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ終了時、通常動作とするためには、RESETをHigh(1)に設定します。
8. 電源OFF手順 (必要な場合)
   - XTAL1/PB3をLow(0)にします。(外部ｸﾛｯｸが使われる場合)
   - RESETをHigh(1)にします。
   - VCC電源をOFFにします。

ﾃﾞｰﾀ ﾎﾟｰﾘﾝｸﾞ

ﾌﾗｯｼｭ ﾒﾓﾘまたはEEPROM内でﾊﾞｲﾄが書かれているとき、書かれているｱﾄﾞﾚｽ位置を読むと、値$FFが得られます。書かれた値が正しく読めると同時に、ﾃﾞﾊﾞｲｽは新規ﾊﾞｲﾄの準備が整います。これは次ﾊﾞｲﾄが書けるときを決めるのに使われます。これは値$FFについては行えず、この値を書くときは、次ﾊﾞｲﾄ書き込み前に最低t_{WD_FLASH}またはt_{WD_EEPROM}待たなければなりません。ﾁｯﾌﾟ消去されたﾃﾞﾊﾞｲｽの内容は全て$FFですので、書き込み値$FFのｱﾄﾞﾚｽの書き込みは飛ばすことができます。これはﾃﾞﾊﾞｲｽをﾁｯﾌﾟ消去しないでEEPROMが再書き込みされる場合、適用されません。この場合、値$FFについてﾃﾞｰﾀ ﾎﾟｰﾘﾝｸﾞは使えず、次ﾊﾞｲﾄ書き込み前に最低t_{WD_EEPROM}待たなければなりません。t_{WD_FLASH}とt_{WD_EEPROM}値については表28.をご覧ください。

図31. 低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾊﾞｲﾄ通信波形

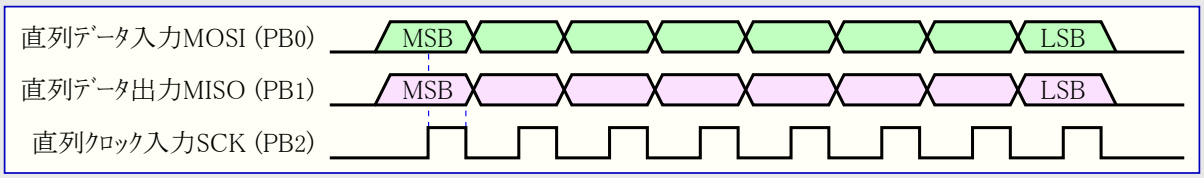


表25. 低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ命令一式

命令	命令形式				動作
	第1ﾊﾞｲﾄ	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ	第4ﾊﾞｲﾄ	
ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	$\overline{\text{RESET}}$=Low中、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可します。
ﾁｯﾌﾟ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMを消去します。
ﾌﾗｯｼｭ ﾒﾓﾘ読み出し	0010 P000	xxxx xxxH	LLLL LLLL	RRRR RRRR	ｱﾄﾞﾚｽH:LのP(H/L)ﾊﾞｲﾄを読み出します。
ﾌﾗｯｼｭ ﾒﾓﾘ書き込み	0100 P000	xxxx xxxH	LLLL LLLL	WWWW WWWW	ｱﾄﾞﾚｽH:LのP(H/L)ﾊﾞｲﾄに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxxx	xxLL LLLL	RRRR RRRR	ｱﾄﾞﾚｽLのﾊﾞｲﾄを読み出します。
EEPROM書き込み	1100 0000	xxxx xxxx	xxLL LLLL	WWWW WWWW	ｱﾄﾞﾚｽLのﾊﾞｲﾄに書き込みます。
施錠ﾋﾞｯﾄ読み出し	0101 1000	xxxx xxxx	xxxx xxxx	xxxx x21x	施錠ﾋﾞｯﾄ(LB1,LB2)を読み出します。
施錠ﾋﾞｯﾄ書き込み	1010 1100	1111 1211	xxxx xxxx	xxxx xxxx	施錠ﾋﾞｯﾄ(LB1,LB2)を書き込みます。
ﾋｭｰｽﾞ ﾋﾞｯﾄ読み出し	0101 0000	xxxx xxxx	xxxx xxxx	A987 6543	ﾋｭｰｽﾞ ﾋﾞｯﾄを読み出します。
ﾋｭｰｽﾞ ﾋﾞｯﾄ書き込み	1010 1100	101x xxxx	xxxx xxxx	A987 6543	ﾋｭｰｽﾞ ﾋﾞｯﾄを書き込みます。
識票ﾊﾞｲﾄ読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	ｱﾄﾞﾚｽLの識票ﾊﾞｲﾄを読み出します。
校正ﾊﾞｲﾄ読み出し	0011 1000	xxxx xxxx	0000 0000	RRRR RRRR	内蔵RC発振器用校正ﾊﾞｲﾄを読み出します。

注1: H: ｱﾄﾞﾚｽ上位ﾊﾞｲﾄのﾋﾞｯﾄ
L: ｱﾄﾞﾚｽ下位ﾊﾞｲﾄのﾋﾞｯﾄ
P: 0=下位ﾊﾞｲﾄ、1=上位ﾊﾞｲﾄ
R: 読み出しﾃﾞｰﾀ (MCU出力)
W: 書き込みﾃﾞｰﾀ (MCU入力)
1: 施錠ﾋﾞｯﾄ1 (LB1)
2: 施錠ﾋﾞｯﾄ2 (LB2)
3: CKSEL0 ﾋｭｰｽﾞ ﾋﾞｯﾄ
4: CKSEL1 ﾋｭｰｽﾞ ﾋﾞｯﾄ
5: CKSEL2 ﾋｭｰｽﾞ ﾋﾞｯﾄ
6: CKSEL3 ﾋｭｰｽﾞ ﾋﾞｯﾄ
7: RSTDISBL ﾋｭｰｽﾞ ﾋﾞｯﾄ
8: SPIEN ﾋｭｰｽﾞ ﾋﾞｯﾄ
9: BODEN ﾋｭｰｽﾞ ﾋﾞｯﾄ
A: BODLEVEL ﾋｭｰｽﾞ ﾋﾞｯﾄ
x: 0か1 (無視または無効)

注2: 識票ﾊﾞｲﾄは保護種別3(LB1=0, LB2=0)の状態では読み出せません。

低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性

図32. 低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ﾀｲﾐﾝｸﾞ

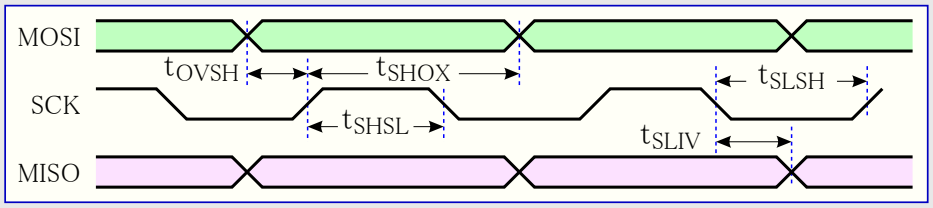


表26. 低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ特性 (特記条件を除いて、TA=-40℃～85℃ , VCC=2.2～5.5V)

ｼﾝﾎﾞﾙ	項目		最小	代表	最大	単位
1/tCLCL	発振器周波数	2.2～2.7V	0		1	MHz
		2.7～4.0V	0		4	
		4.0～6.0V	0		8	
tCLCL	発振器周期	2.2～2.7V	1000			ns
		2.7～4.0V	250			
		4.0～6.0V	125			
tSHSL	SCKﾊﾟﾙｽHﾚﾍﾞﾙ幅		2tCLCL			
tSLSH	SCKﾊﾟﾙｽLﾚﾍﾞﾙ幅		2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間		tCLCL			
tSHOX	SCK↑に対するMOSI保持時間		2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間		10	16	32	

表27. ﾁｯﾌﾟ消去命令後最小待機時間

ｼﾝﾎﾞﾙ	最小待機時間
tWD_ERASE	6.8ms

表28. ﾌﾗｯｼｭ ﾒﾓﾘ, EEPROM書き込み命令後最小待機時間

ｼﾝﾎﾞﾙ	最小待機時間	ｼﾝﾎﾞﾙ	最小待機時間
tWD_FLASH	3.4ms	tWD_EEPROM	6.8ms

(訳注)
表27,28の値が各々倍に変更されています。

電気的特性

絶対最大定格 (警告)

動作温度	−55℃ ～ +125℃
保存温度	−65℃ ～ +150℃
RESETを除くﾋﾟﾝ許容電圧	−1.0V ～ VCC+0.5V
RESETﾋﾟﾝ許容電圧	−1.0V ～ +13.0V
最大動作電圧	6.0V
入出力ﾋﾟﾝ出力電流	40.0mA
消費電流	100.0mA

(警告)

絶対最大定格を超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

DC特性 (暫定)

TA=−40℃～85℃, VCC=2.7V～5.5V(ATtiny10/11), VCC=1.8V～5.5V(ATtiny12) (特記事項を除く)

ｼﾝﾎﾞﾙ	項目		条件	最小	代表	最大	単位
V_{IL}	Lowﾚﾍﾞﾙ入力電圧		XTAL1を除く	−0.5		0.3VCC (注1)	V
V_{IL1}	Lowﾚﾍﾞﾙ入力電圧		XTAL1	−0.5		0.1VCC (注1)	V
V_{IH}	Highﾚﾍﾞﾙ入力電圧		XTAL1,RESETを除く	0.6VCC (注2)		VCC+0.5	V
V_{IH1}	Highﾚﾍﾞﾙ入力電圧		XTAL1	0.7VCC (注2)		VCC+0.5	V
V_{IH2}	Highﾚﾍﾞﾙ入力電圧		RESET	0.85VCC (注2)		VCC+0.5	V
V_{OL}	Lﾚﾍﾞﾙ出力電圧 (PB5を除くﾎﾟｰﾄB) (注3)		IOL=20mA, VCC=5V			0.6	V
			IOL=10mA, VCC=3V			0.5	V
	PB5 Lﾚﾍﾞﾙ出力電圧 (ATtiny12) (注3)		IOL=12mA, VCC=5V			0.6	V
			IOL=6mA, VCC=3V			0.5	V
V_{OH}	Hﾚﾍﾞﾙ出力電圧 (ﾎﾟｰﾄB) (注3)		IOH=−3mA, VCC=5V	4.3			V
			IOH=−1.5mA, VCC=3V	2.3			V
I_{IL}	I/Oﾋﾟﾝ Lowﾚﾍﾞﾙ入力漏れ電流		VCC=5.5V (確実なH/L範囲)			8.0	μA
I_{IH}	I/Oﾋﾟﾝ Highﾚﾍﾞﾙ入力漏れ電流		VCC=5.5V (確実なH/L範囲)			8.0	μA
$R_{I/O}$	I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			35		122	kΩ
I_{CC}	活動動作消費電流	ATtiny12V	VCC=3V, 1MHz			1.0	mA
		ATtiny11L	VCC=3V, 2MHz			2.0	mA
		ATtiny12L	VCC=3V, 4MHz			2.5	mA
		ATtiny11	VCC=5V, 6MHz			10	mA
		ATtiny12	VCC=5V, 8MHz			10	mA
	ｱｲﾄﾞﾙ動作 消費電流	ATtiny12V	VCC=3V, 1MHz			0.4	mA
		ATtiny11L	VCC=3V, 2MHz			0.5	mA
		ATtiny12L	VCC=3V, 4MHz			1.0	mA
		ATtiny11	VCC=5V, 6MHz			2.0	mA
		ATtiny12	VCC=5V, 8MHz			3.5	mA
	ﾊﾟﾜｰﾀﾞｳﾝ動作 消費電流 (注4)		VCC=3V, WDT有効		9.0	15	μA
		ATtiny11	VCC=3V, WDT禁止		<1	5.0	μA
		ATtiny12	VCC=3V, WDT禁止		<1	2.0	μA
V_{ACIO}	ｱﾅﾛｸﾞ比較器入力変位(ｵﾌｾｯﾄ)電圧		VCC=5V, Vin=VCC/2			40	mV
I_{ACLK}	ｱﾅﾛｸﾞ比較器入力漏れ電流		VCC=5V, Vin=VCC/2	−50		50	nA
t_{ACPD}	ｱﾅﾛｸﾞ比較器伝播遅延時間		VCC=2.7V		750		ns
			VCC=4.0V		500		ns

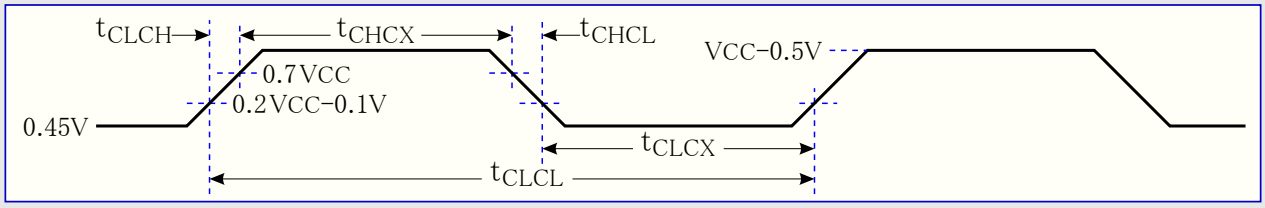
注1: Lowﾚﾍﾞﾙの認識が保証される最高電圧です。　注2: Highﾚﾍﾞﾙの認識が保証される最低電圧です。

注3: 各I/Oﾎﾟｰﾄは安定状態(非過渡時)に於いて、検査条件(IOLがVCC=5Vで20mA,VCC=3Vで10mA、IOHがVCC=5Vで3mA, VCC=3Vで1.5mA)より多くの吸い込みまたは吐き出しの電流を流すことができますが、次の条件を厳守してください。「全ﾎﾟｰﾄのIOLまたはIOHの合計が各々100mAを超えるべきではありません。」IOLまたはIOHが検査条件を超える場合、VOLまたはVOHも仕様書での値を超えます。表の検査条件より大きな吸い込みまたは吐き出しの電流を流すことは保証されません。

注4: ﾊﾟﾜｰﾀﾞｳﾝ動作時の最小電源電圧(VCC)は1.5Vです。(ATtiny12では低電圧検出(BOD)禁止時のみ)

外部クロック特性

図33. 外部クロック



表A. 外部クロック特性 (ATtiny11)

シンボル	項目	VCC=2.7V～4.0V		VCC=4.0V～5.5V		単位
		最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	2	0	6	MHz
tCLCL	クロック周期	500		167		ns
tCHCX	Highレベル時間	200		67		ns
tCLCX	Lowレベル時間	200		67		ns
tCLCH	上昇時間		1.6		0.5	µs
tCHCL	下降時間		1.6		0.5	µs

表B. 外部クロック特性 (ATtiny12)

シンボル	項目	VCC=1.8V～2.7V		VCC=2.7V～4.0V		VCC=4.0V～5.5V		単位
		最小	最大	最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	1.2	0	4	0	8	MHz
tCLCL	クロック周期	833		250		125		ns
tCHCX	Highレベル時間	333		100		50		ns
tCLCX	Lowレベル時間	333		100		50		ns
tCLCH	上昇時間		1.6		1.6		0.5	µs
tCHCL	下降時間		1.6		1.6		0.5	µs

表29. 外部RC発振周波数

周波数 f	抵抗 R (kΩ)	容量 C (pF)
100kHz	100	70
1.0MHz	31.5	20
4.0MHz	6.5	20

注: Rは3～100kΩの範囲、Cは最小20pFであるべきです。表で与えられるC値はピン容量を含みます。これは外囲器形式で変わります。

ATtiny11 代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) C_L(負荷容量)×VCC(動作電圧)×f(I/Oピンの平均切り替え周波数) として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマにより引き込んだ(消費した)差電流を表します。

図34. 活動動作消費電流 対 周波数 (TA=25℃)

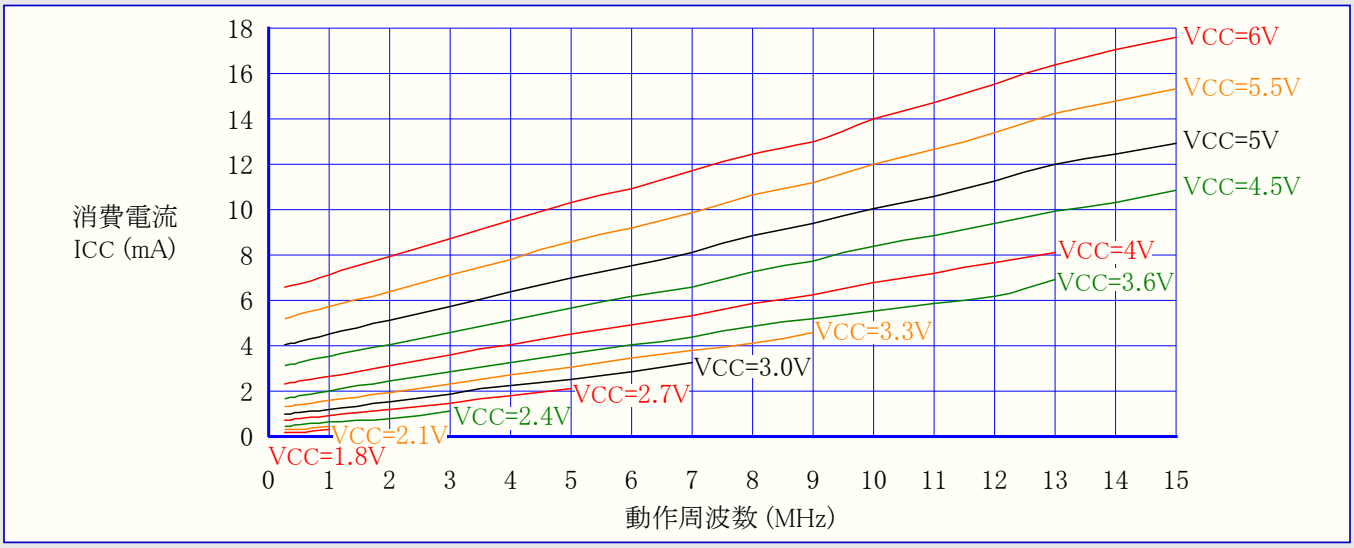


図35. 活動動作消費電流 対 動作電圧 (周波数=4MHz)

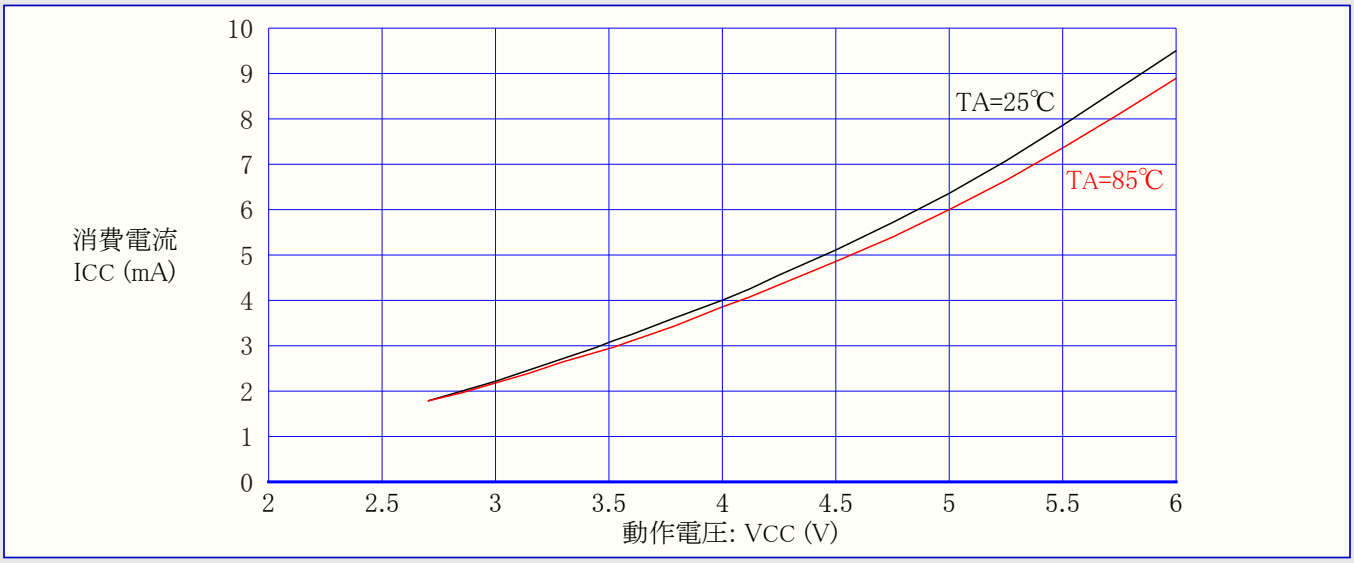


図36. 活動動作消費電流 対 動作電圧 (1MHz内蔵RC発振器)

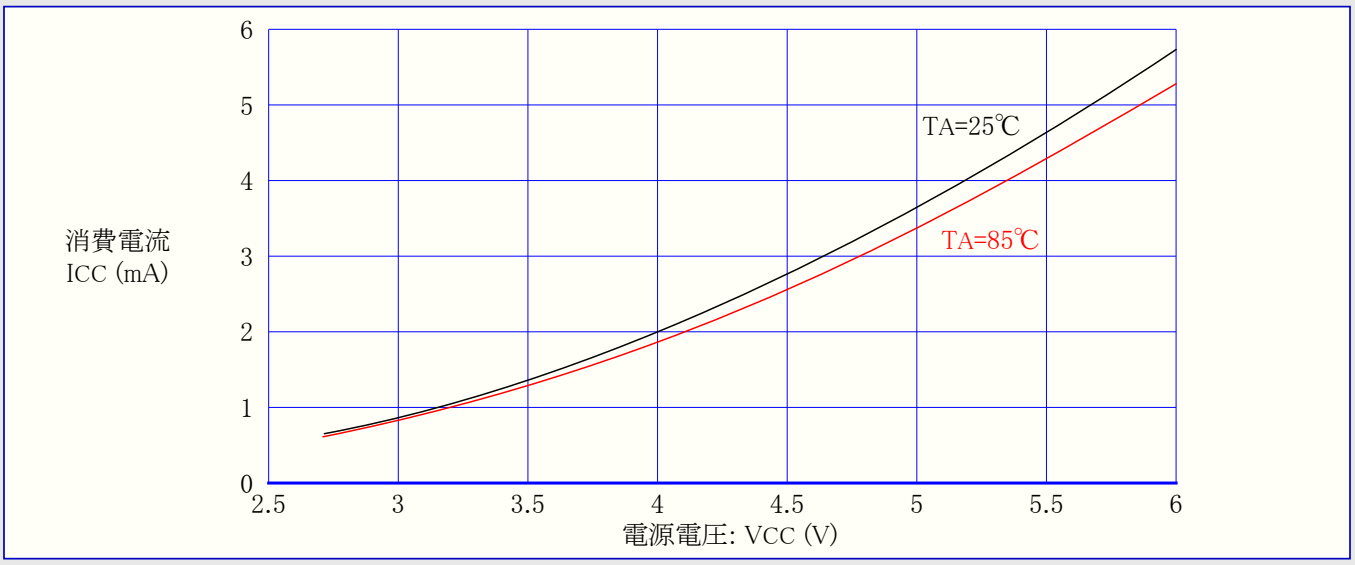


図37. 活動動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

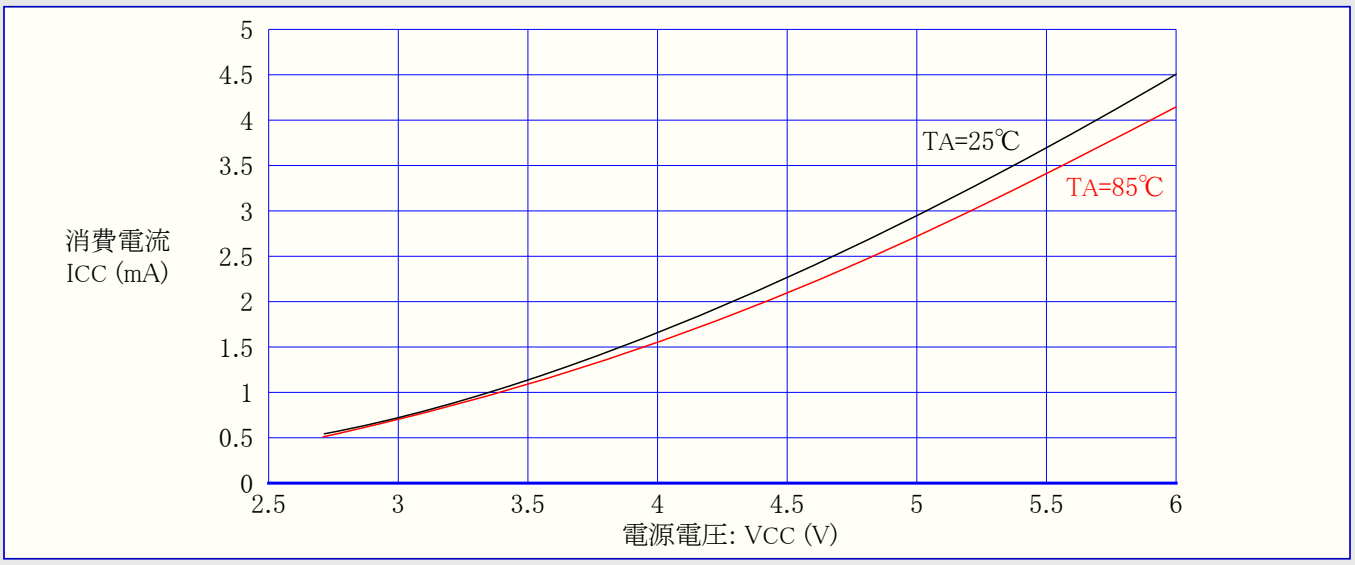


図38. アイドル動作消費電流 対 周波数 (TA=25℃)

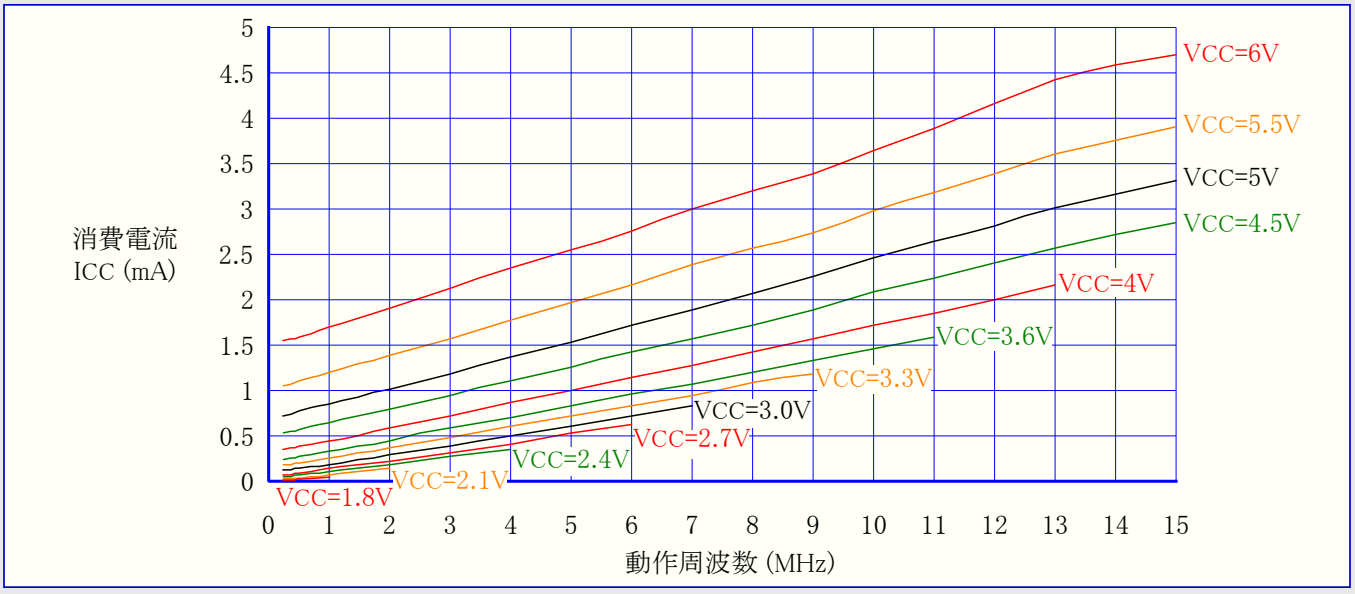


図39. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (周波数=4MHz)

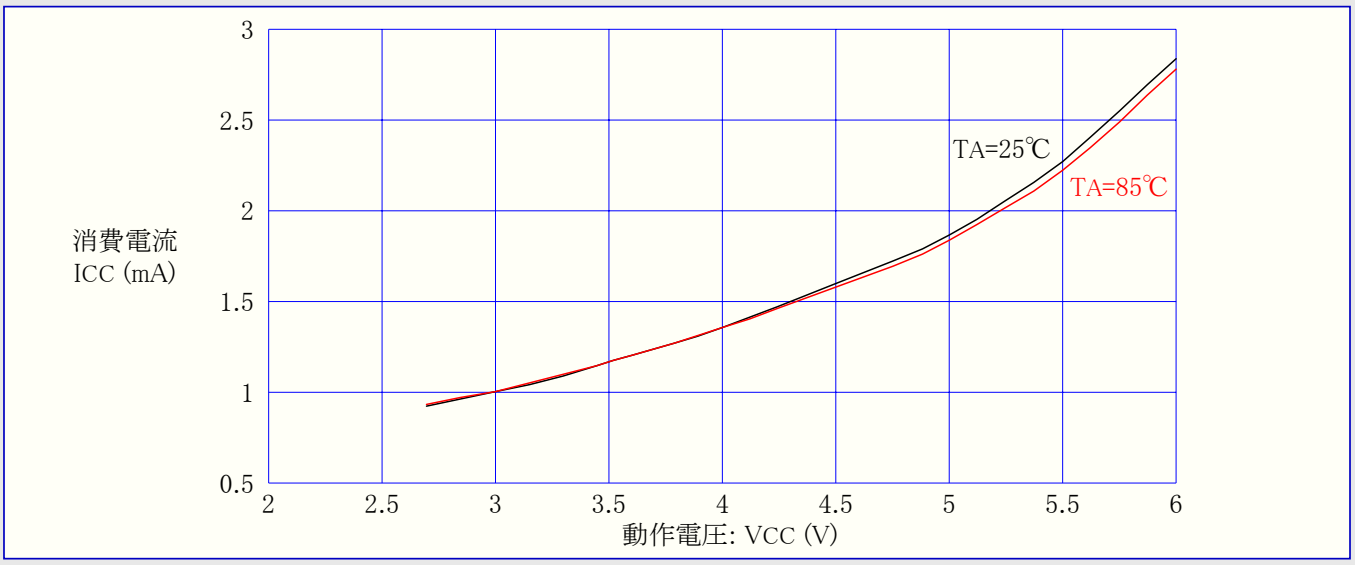


図40. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (1MHz内蔵RC発振器)

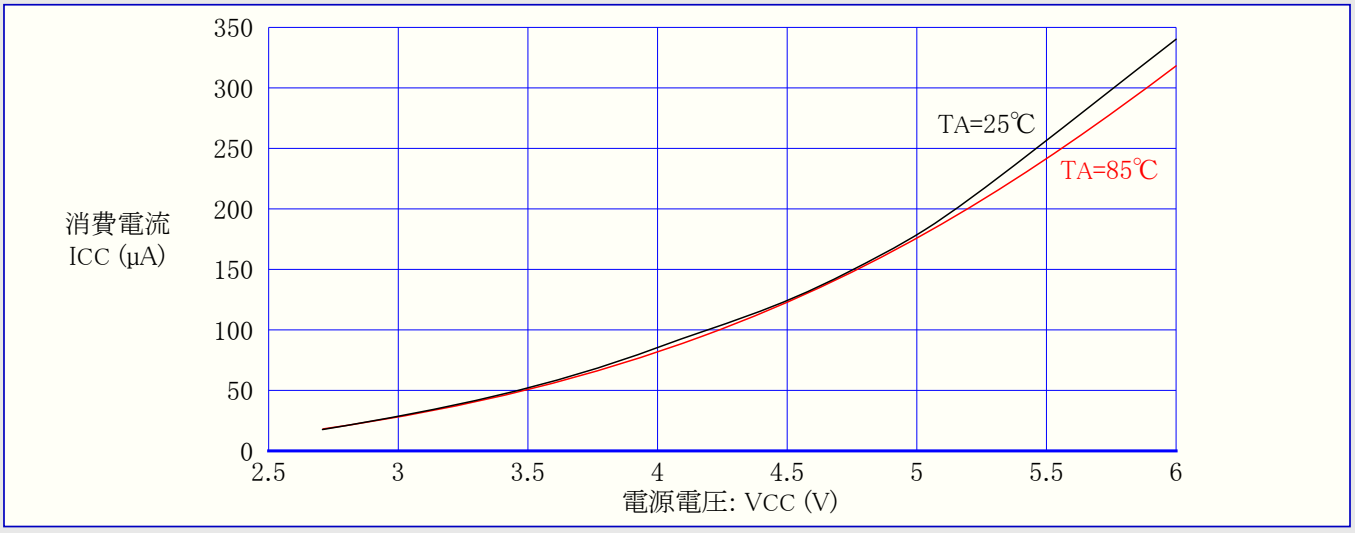


図41. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (外付け32kHzｸﾘｽﾀﾙ)

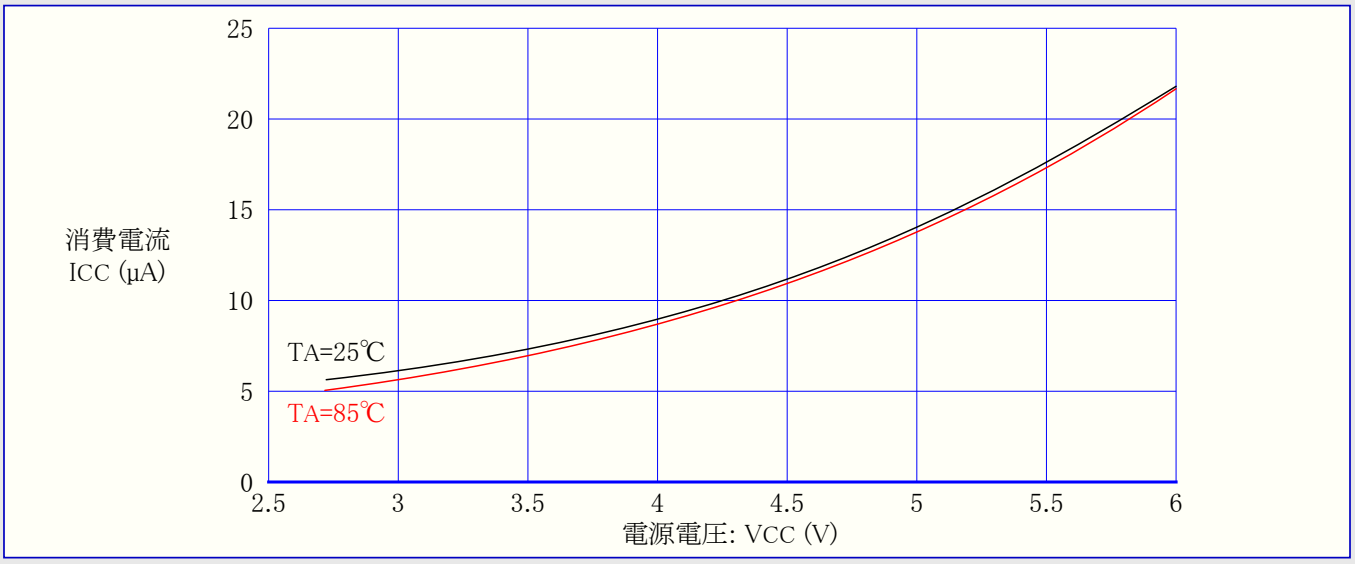


図42. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ停止)

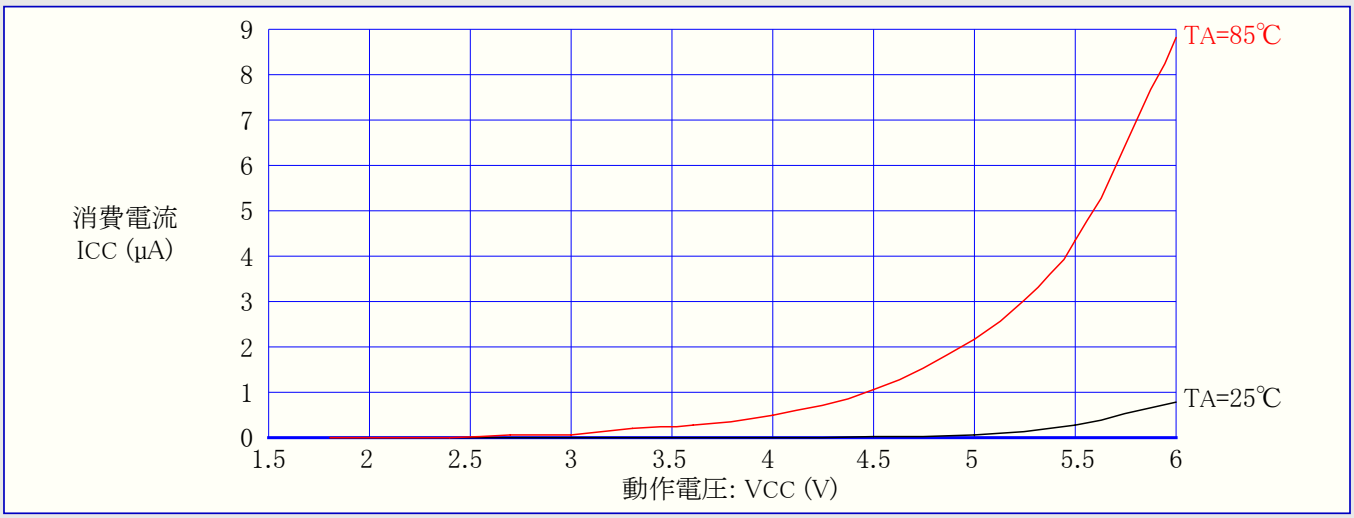


図43. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ許可)

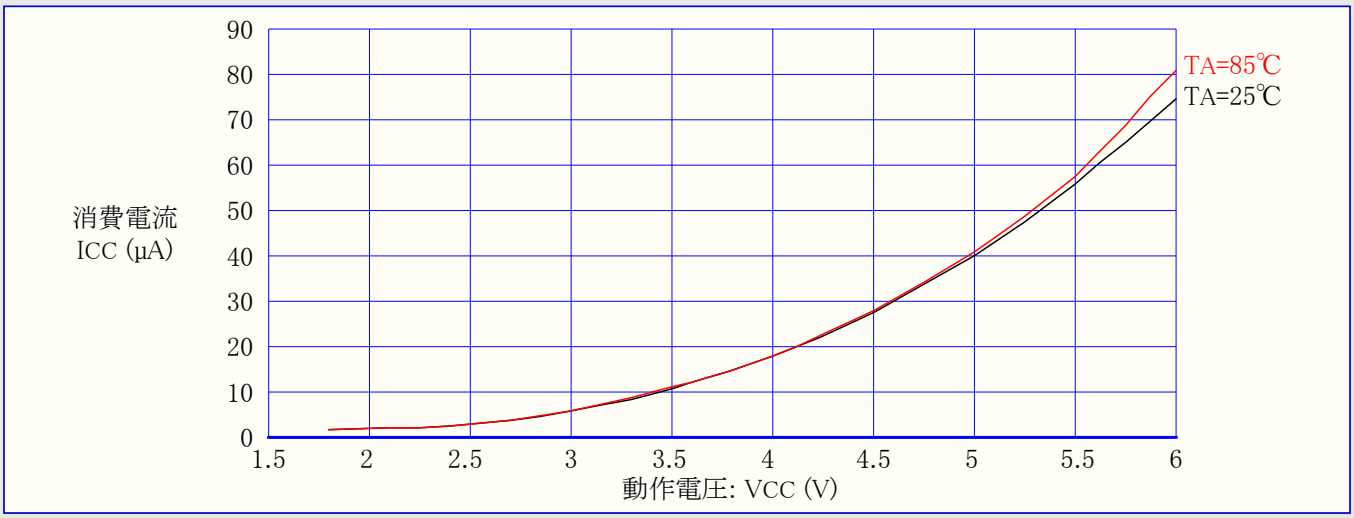


図44. ｱﾅﾛｸﾞ比較器消費電流 対 動作電圧

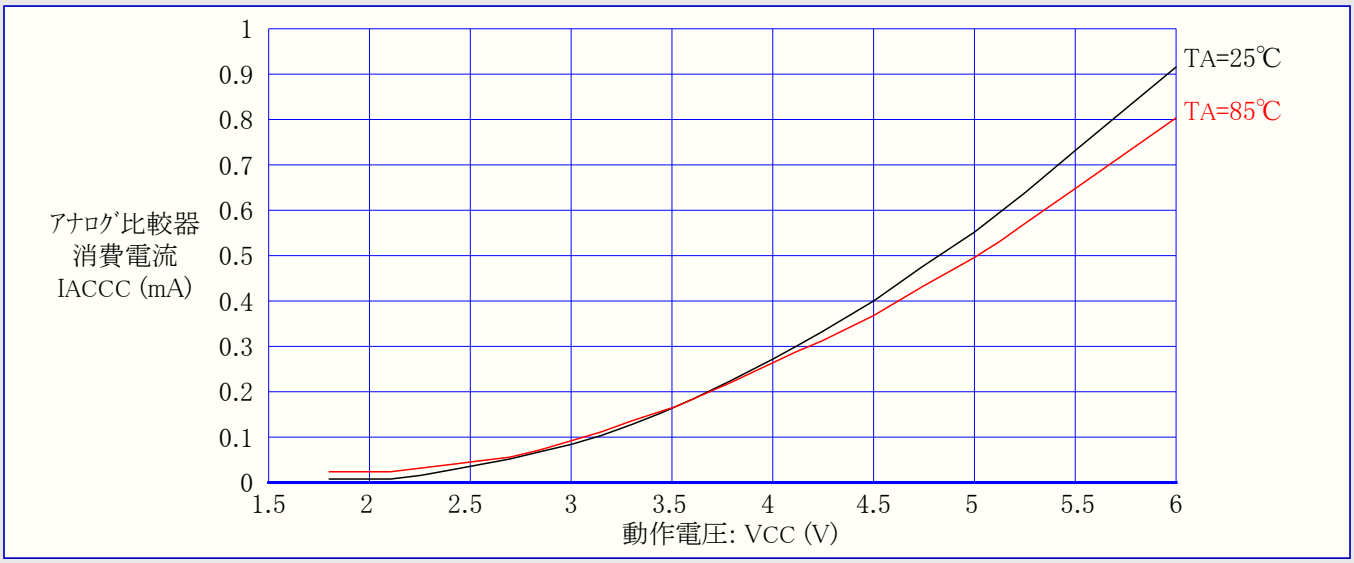
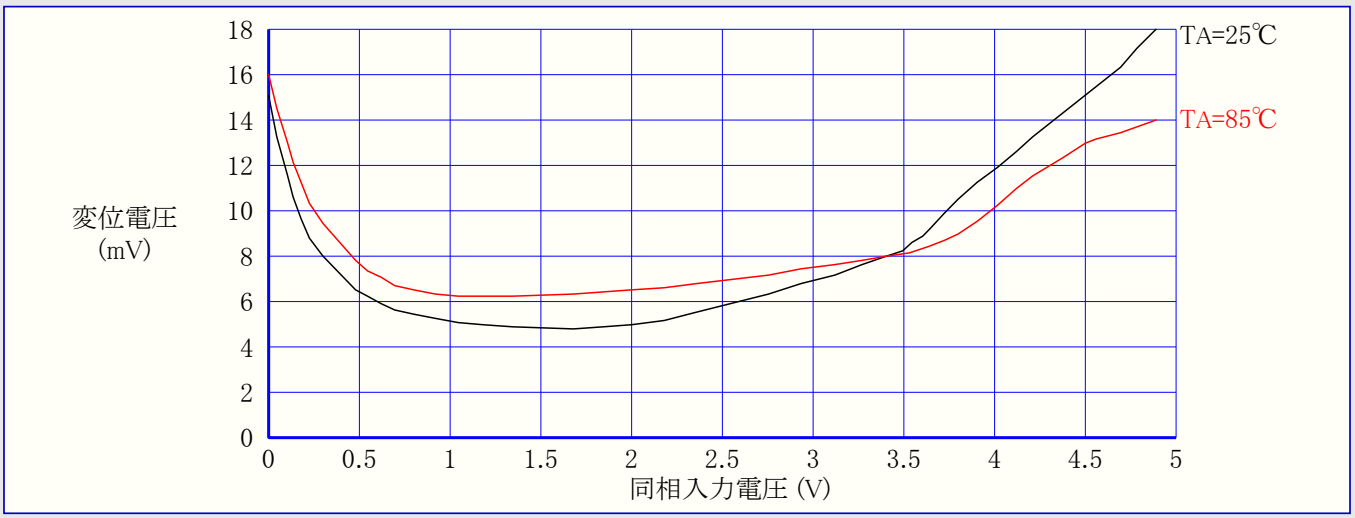
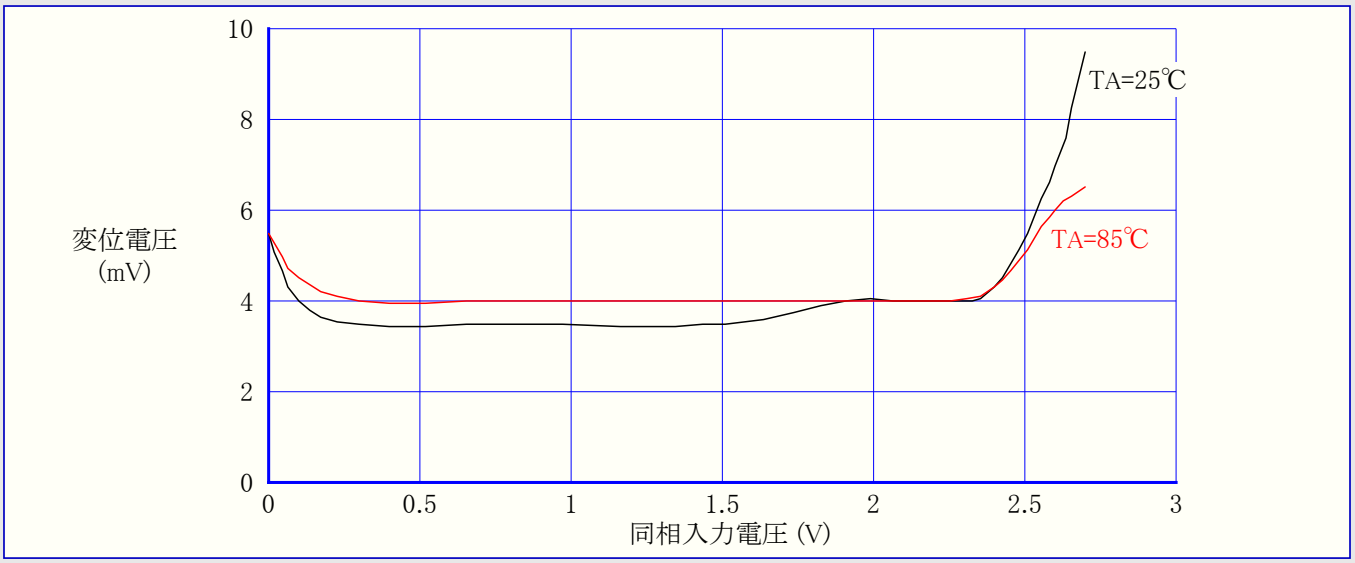


図45. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=5V)



注: 変位(オフセット)電圧は絶対値です。

図46. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (VCC=2.7V)



注: 変位(オフセット)電圧は絶対値です。

図47. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25℃)

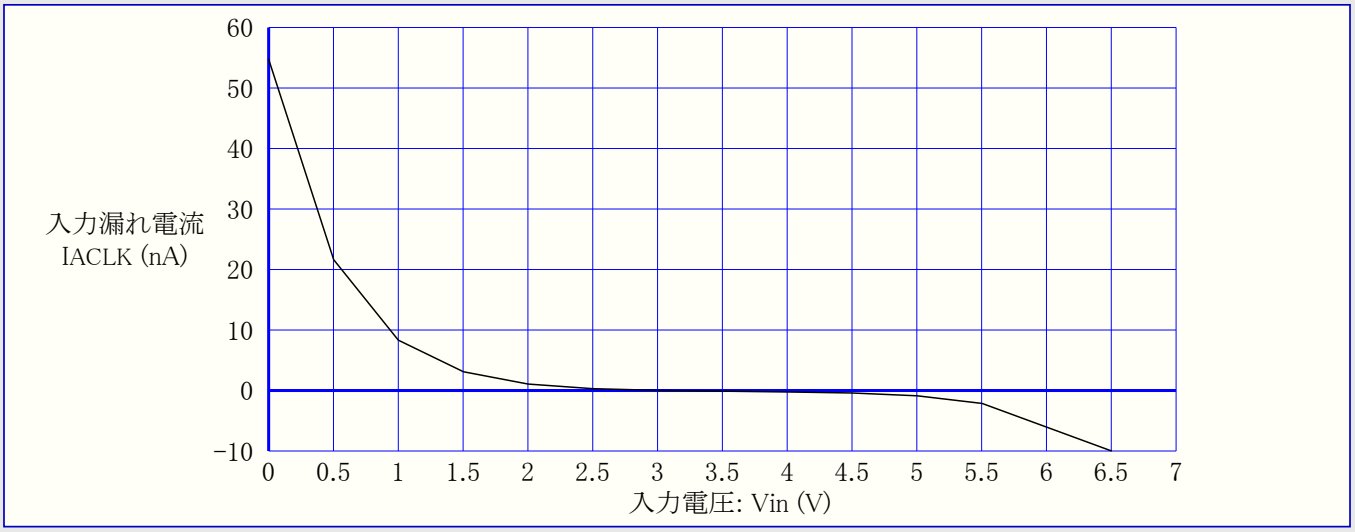


図48. ｳｫｯﾁﾄﾞｯｸﾞ用発振器 発振周波数 対 動作電圧

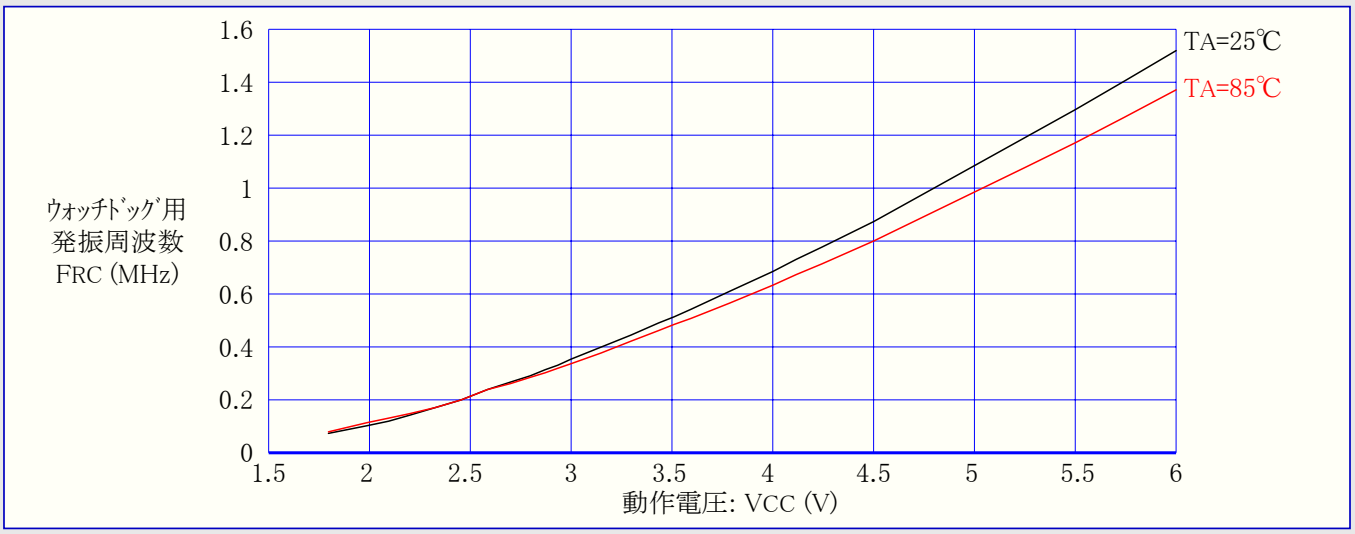
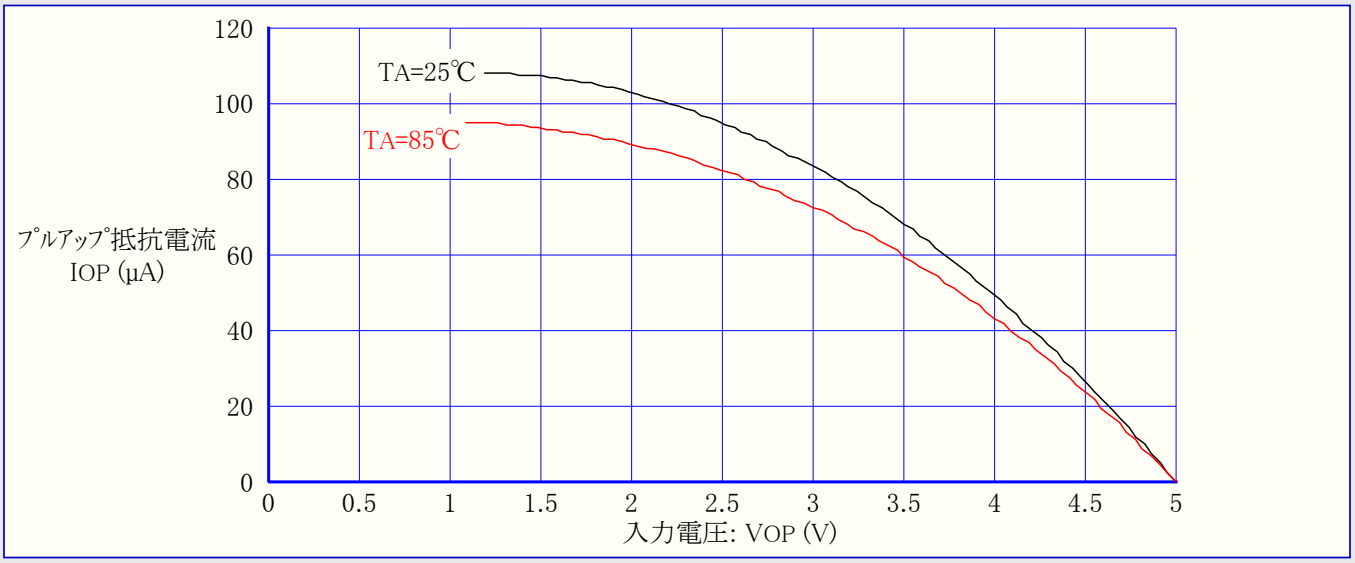
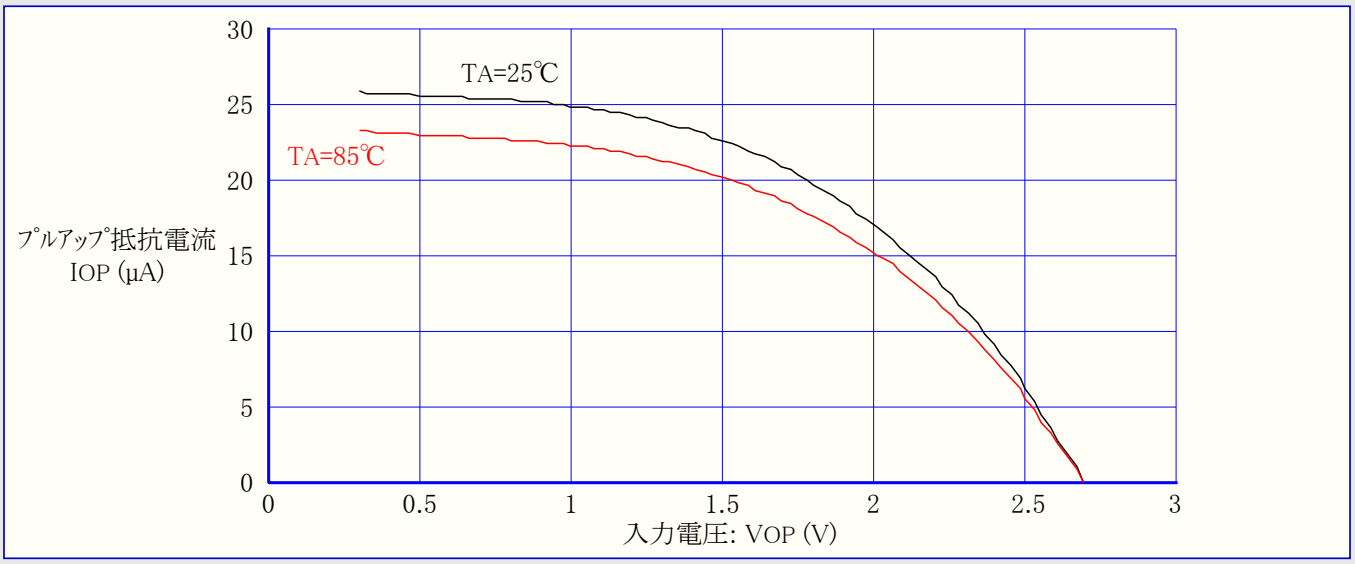


図49. ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=5V)



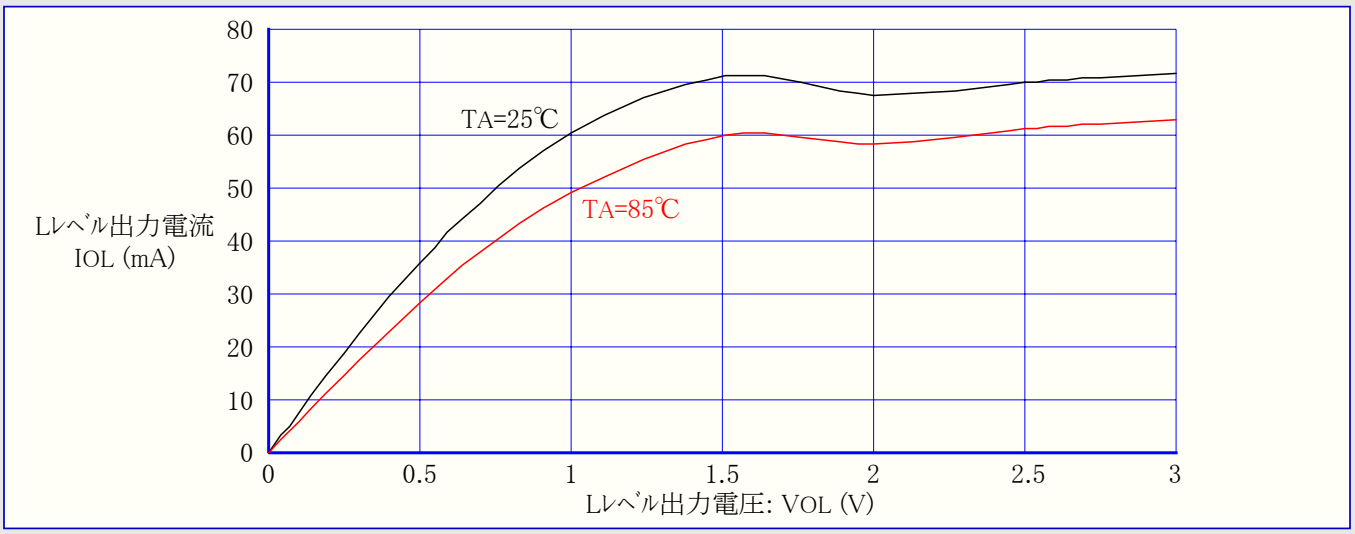
注: 測定は1ﾋﾟﾝ単位です。

図50. ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=2.7V)



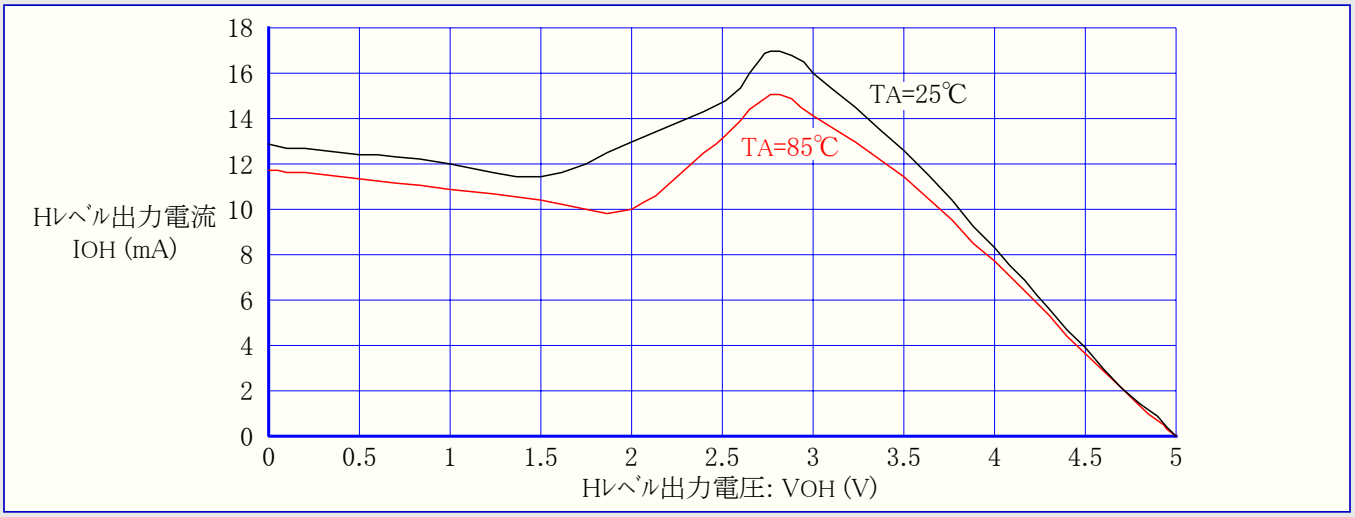
注: 測定は1ﾋﾟﾝ単位です。

図51. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



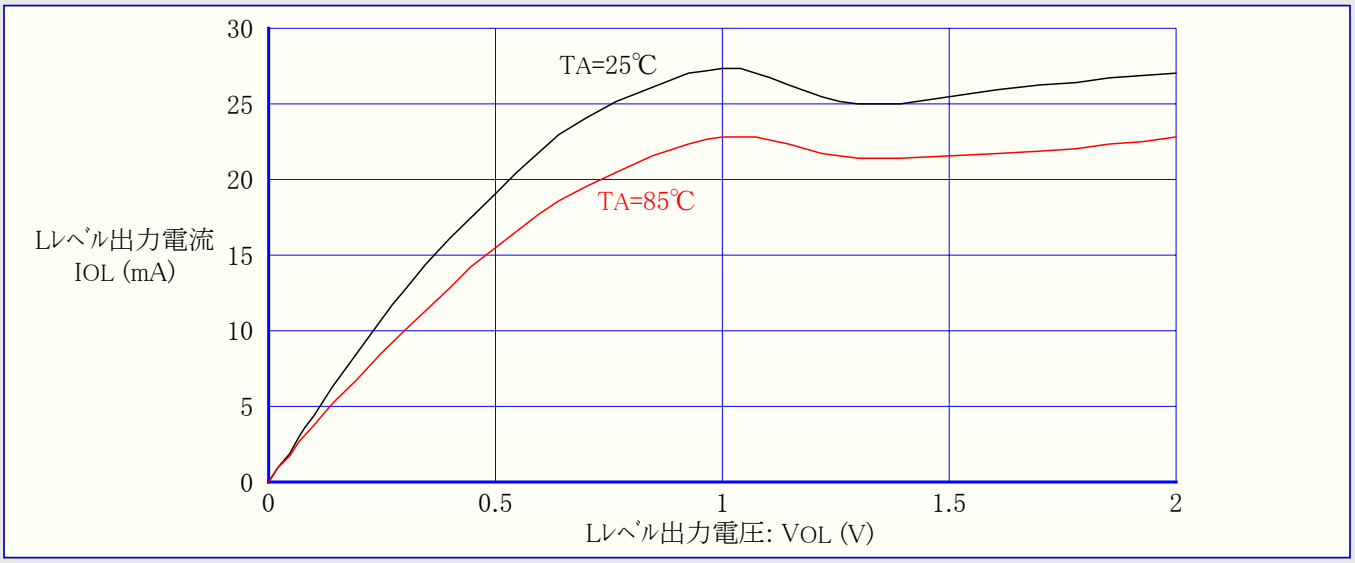
注: 測定は1ピン単位です。

図52. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



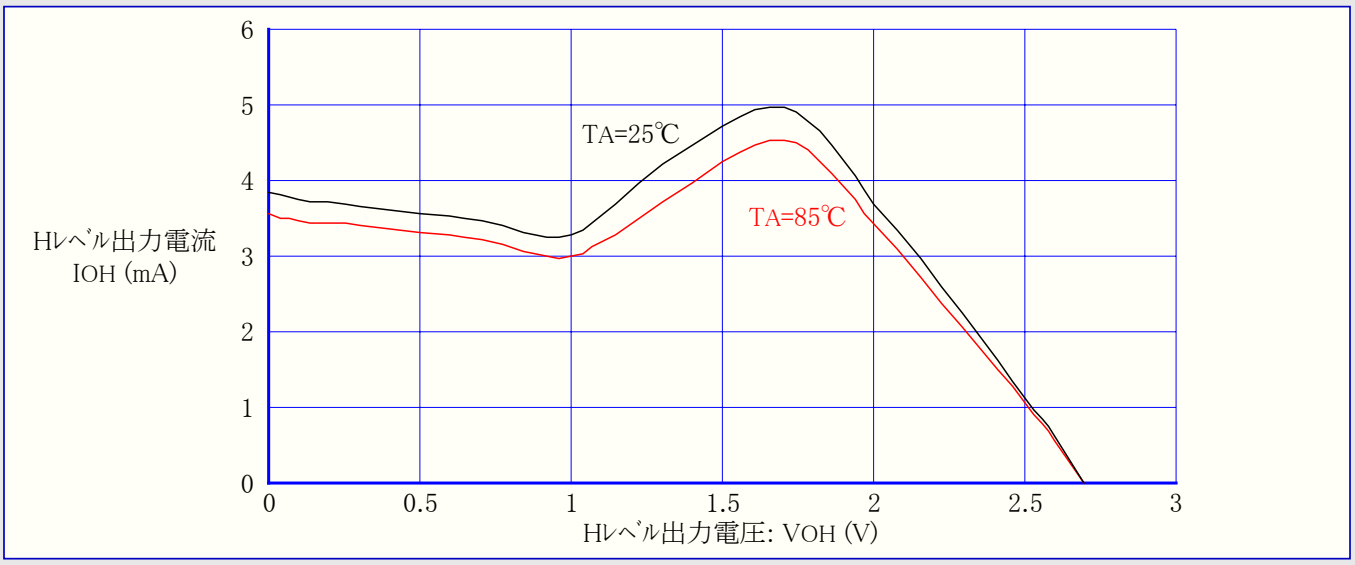
注: 測定は1ピン単位です。

図53. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図54. I/Oﾋﾟﾝ吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ﾋﾟﾝ単位です。

図55. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (TA=25℃)

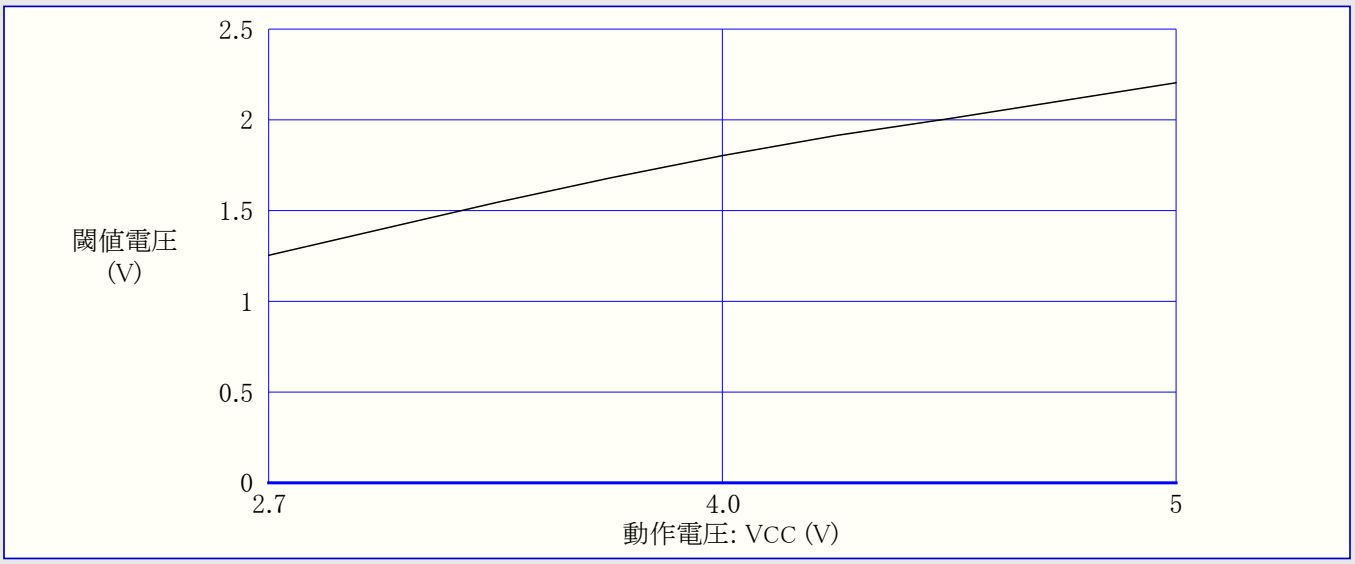
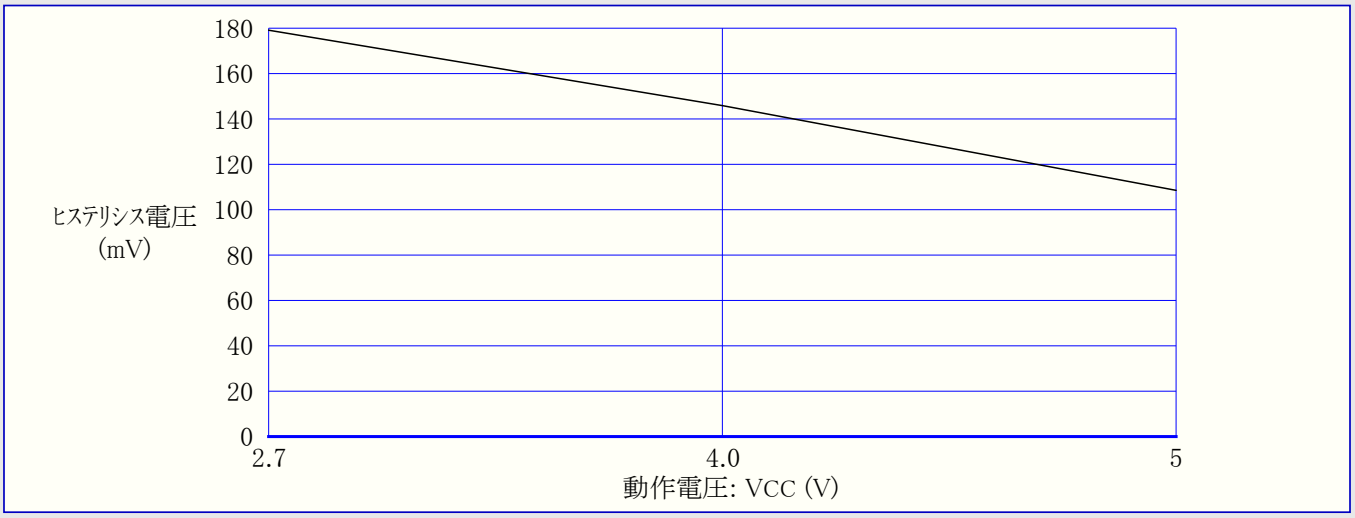


図56. I/Oﾋﾟﾝ入力ﾋｽﾃﾘｼｽ電圧 対 動作電圧 (TA=25℃)



ATtiny12 代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) C_L(負荷容量)×VCC(動作電圧)×f(I/Oピンの平均切り替え周波数) として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマにより引き込んだ(消費した)差電流を表します。

図57. 活動動作消費電流 対 動作電圧 (1.2MHz内蔵RC発振器)

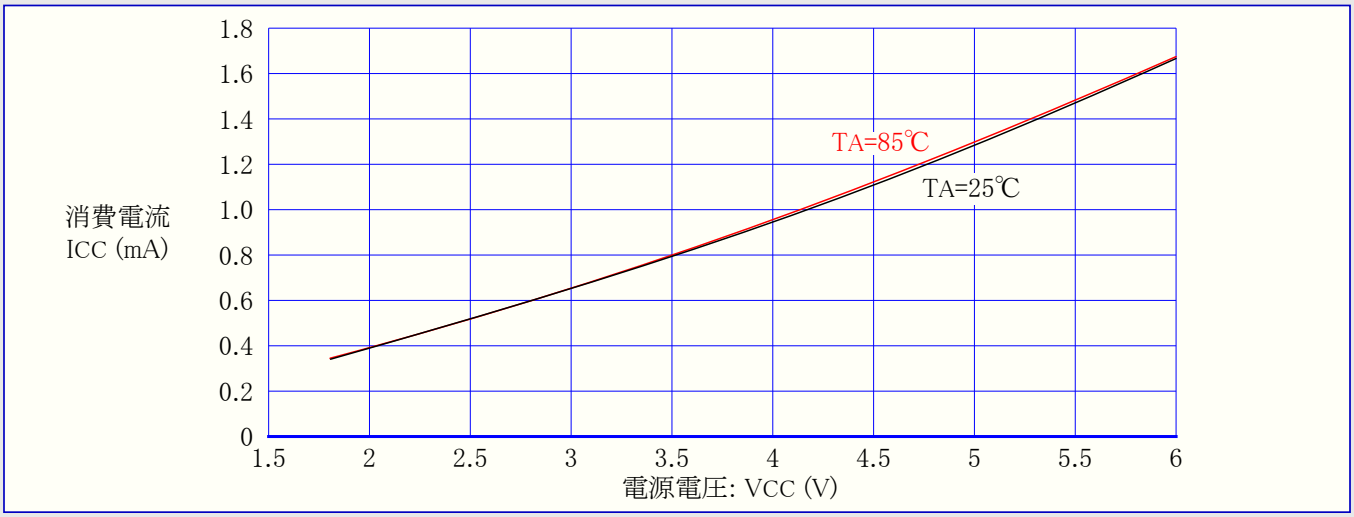


図58. 活動動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

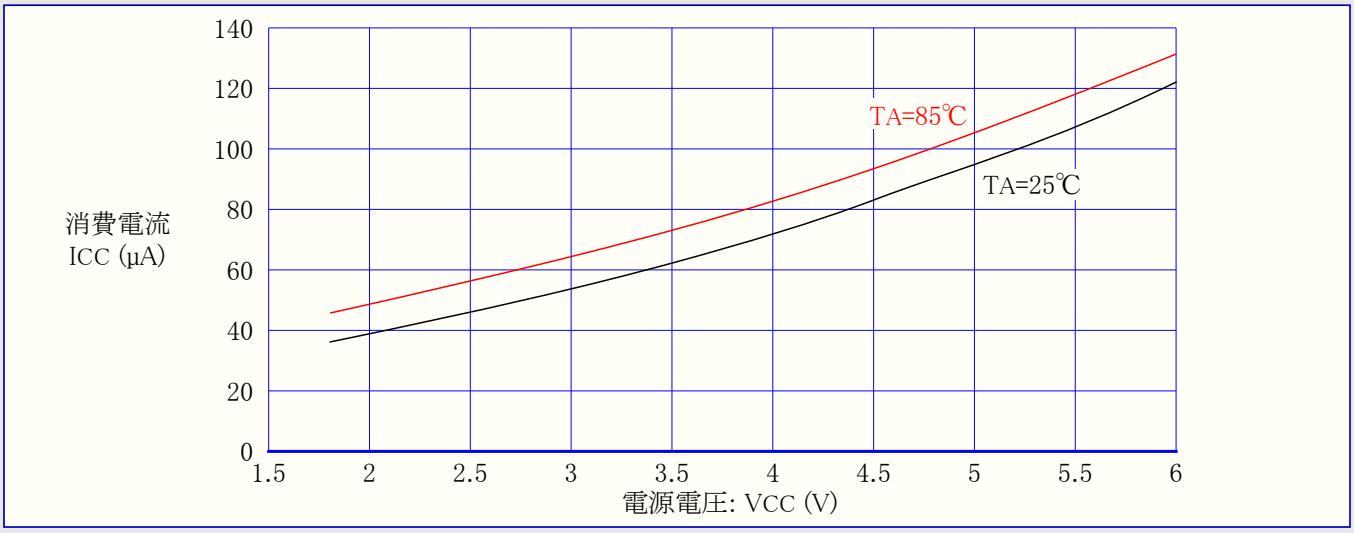


図59. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (1.2MHz内蔵RC発振器)

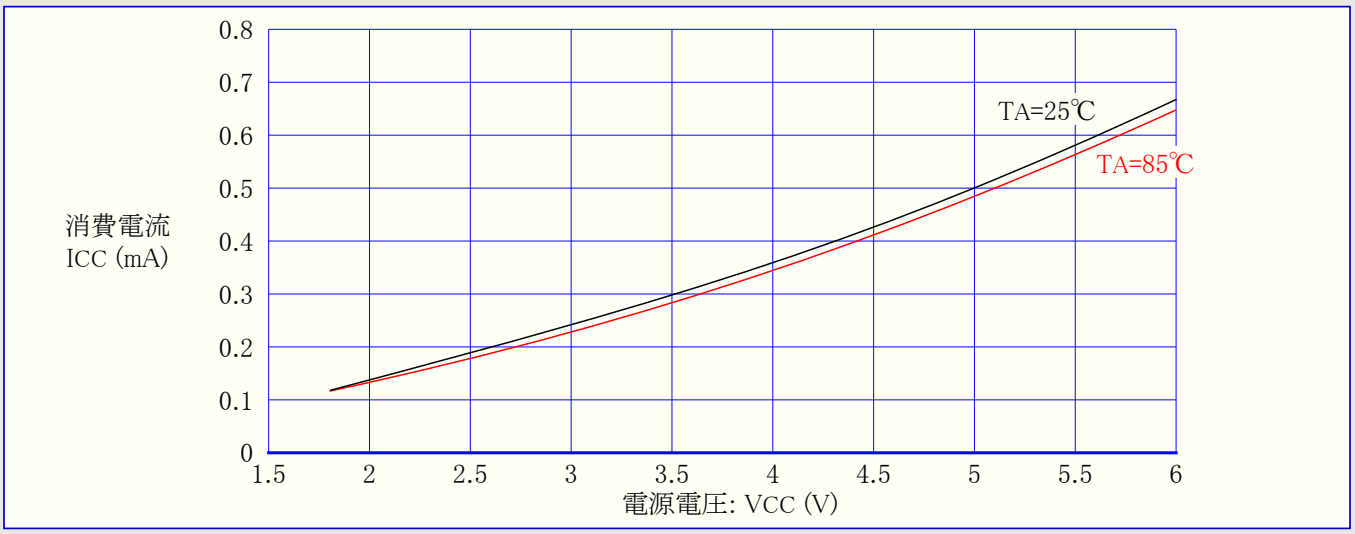


図60. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (外付け32kHzｸﾘｽﾀﾙ)

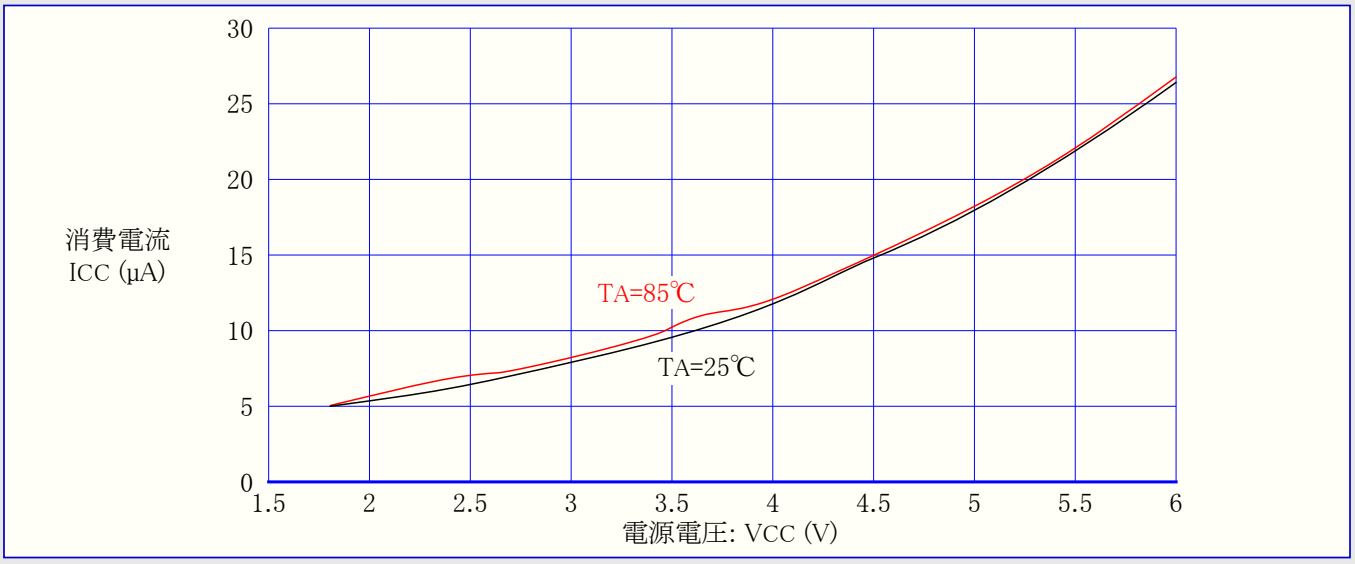
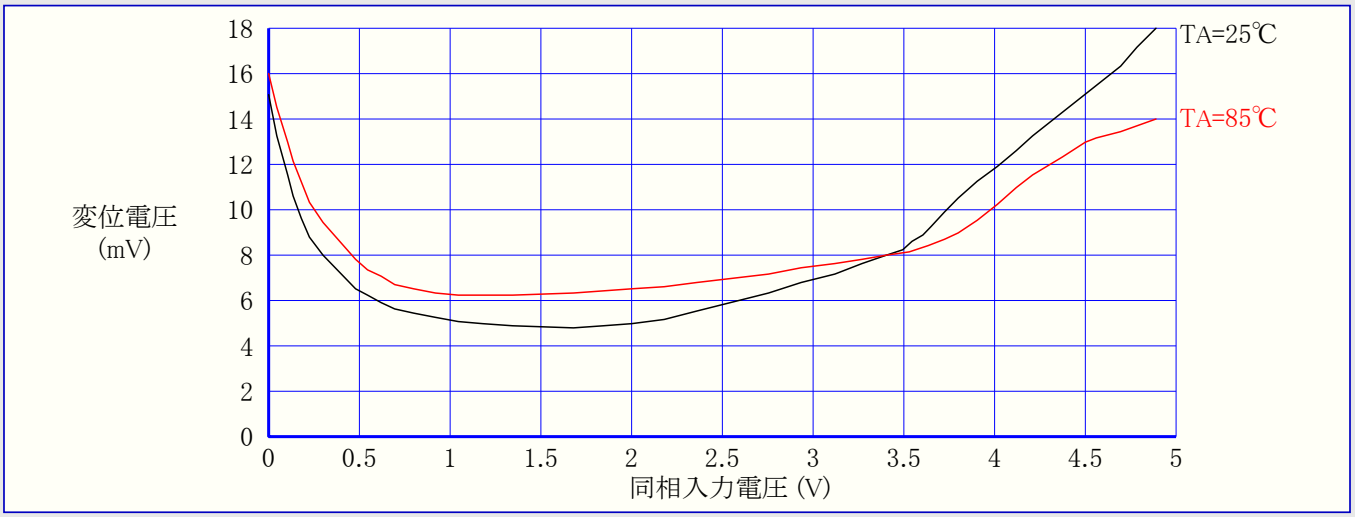
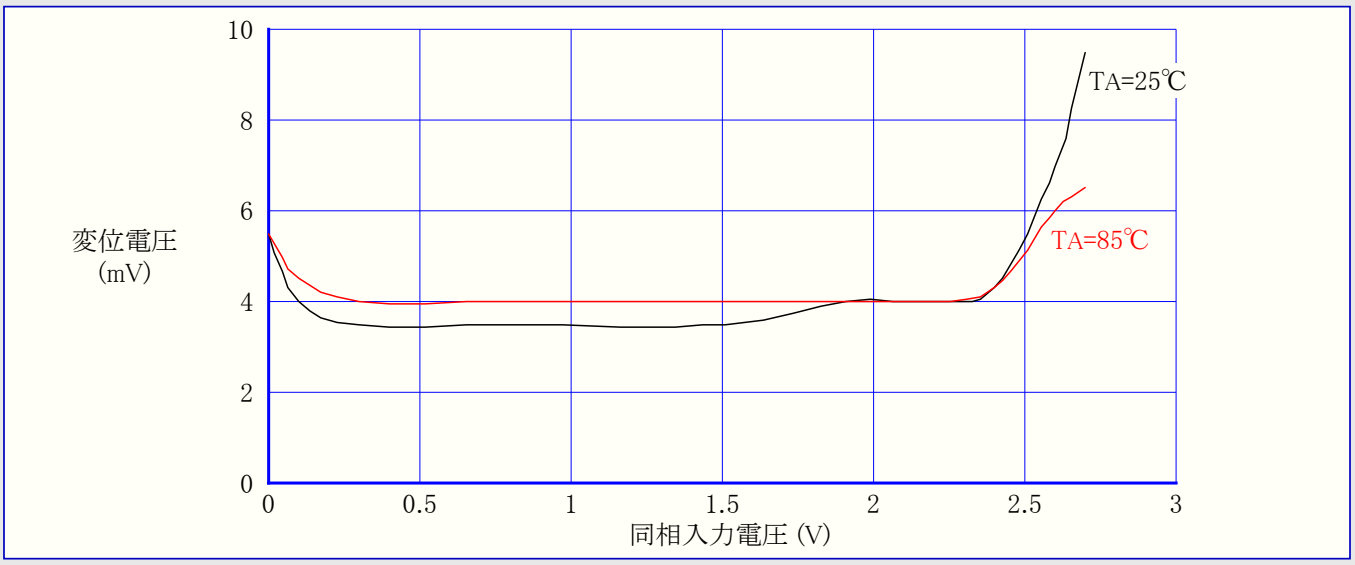


図61. ｱﾅﾛｸﾞ比較器変位(ｵﾌｾｯﾄ)電圧 対 同相入力電圧 (VCC=5V)



注: 変位(ｵﾌｾｯﾄ)電圧は絶対値です。

図62. ｱﾅﾛｸﾞ比較器変位(ｵﾌｾｯﾄ)電圧 対 同相入力電圧 (VCC=2.7V)



注: 変位(ｵﾌｾｯﾄ)電圧は絶対値です。

図63. ｱﾅﾛｸﾞ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25℃)

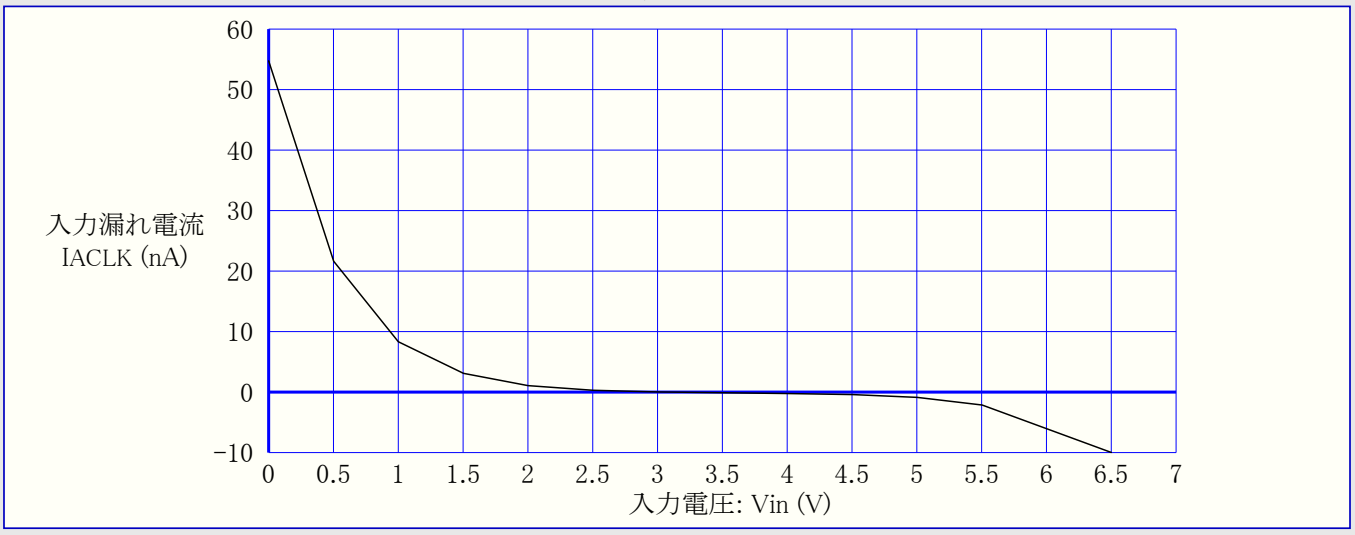


図64. 校正済み内蔵RC発振器周波数 対 動作電圧

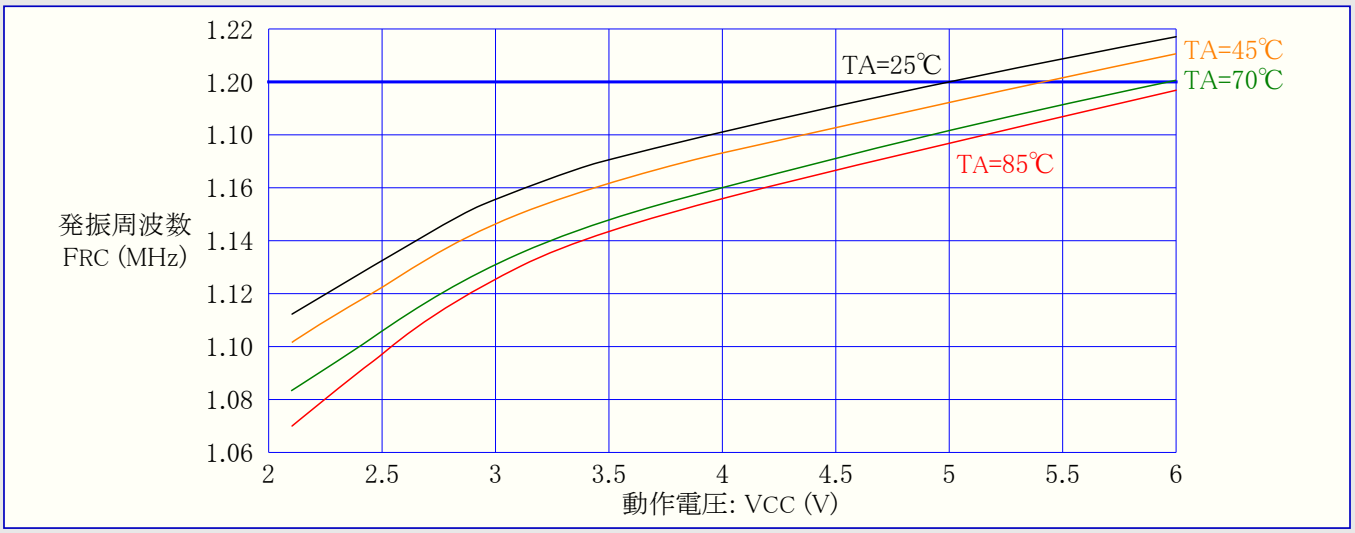


図65. ｳｫｯﾁﾄﾞｯｸﾞ用発振器 発振周波数 対 動作電圧

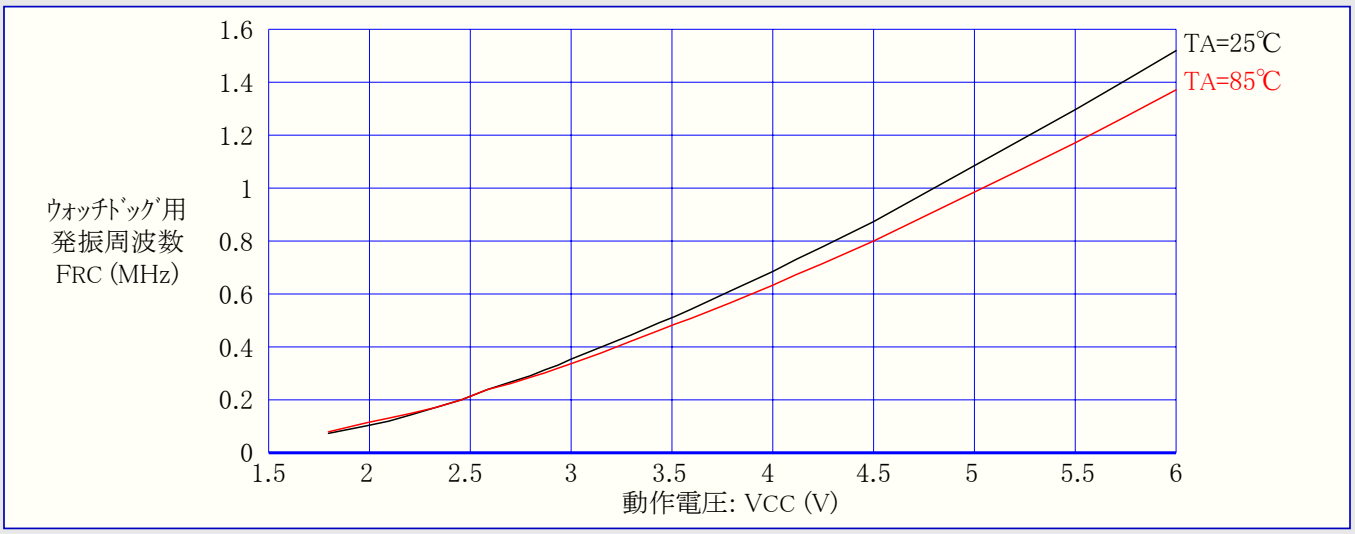
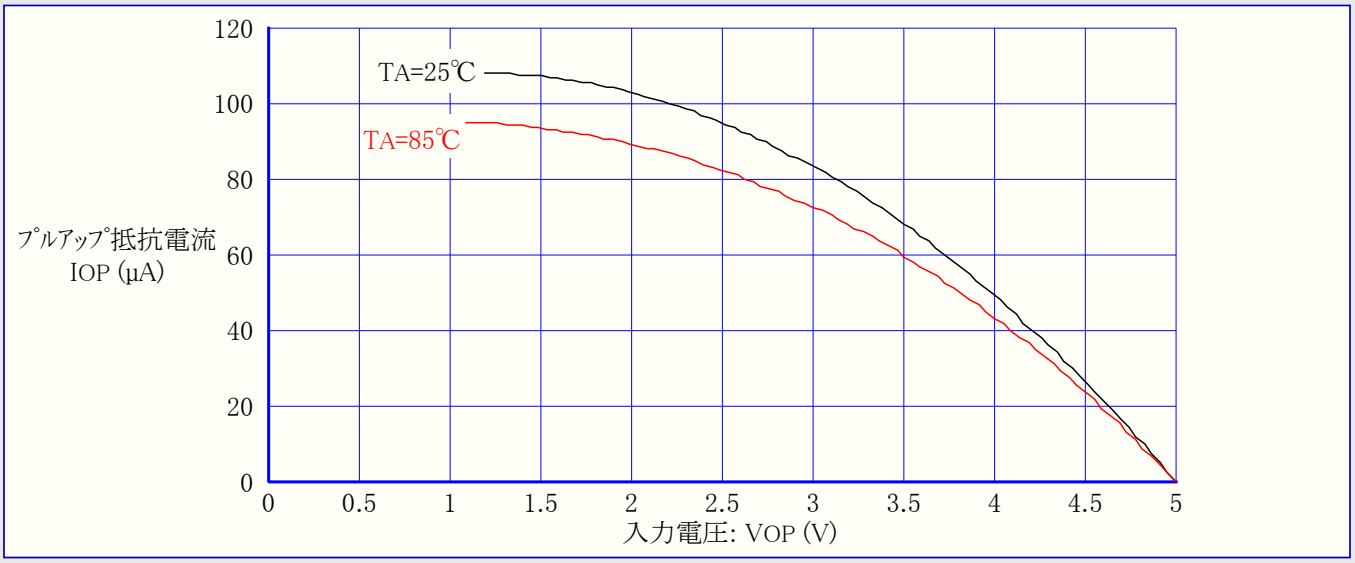
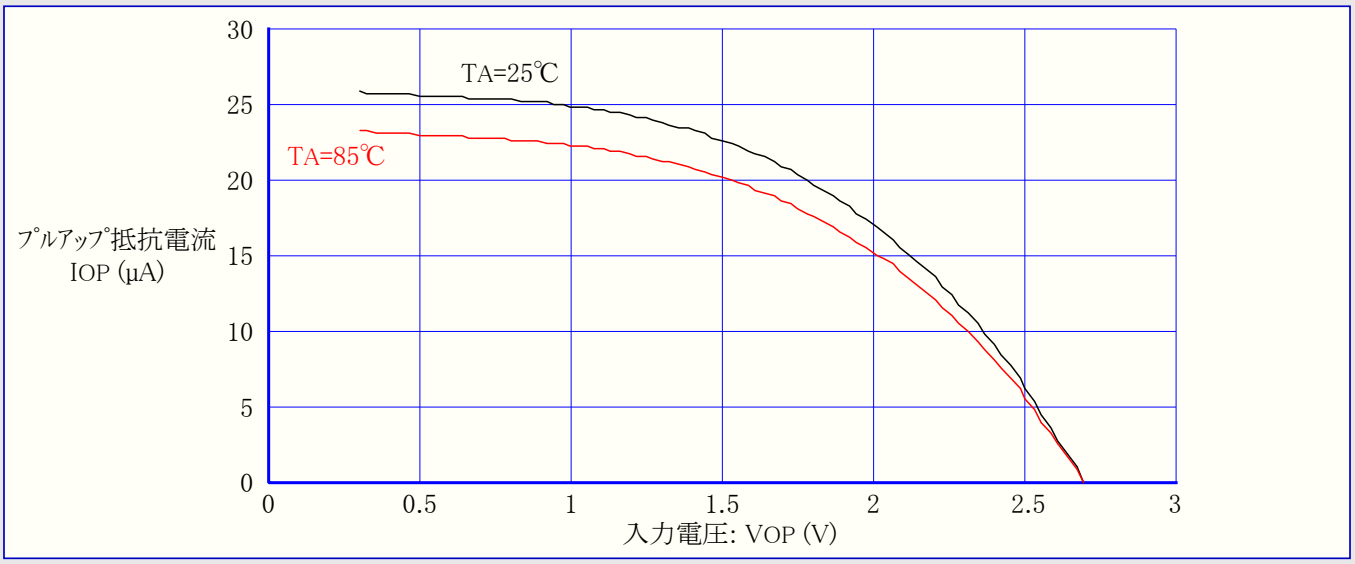


図66. ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=5V)



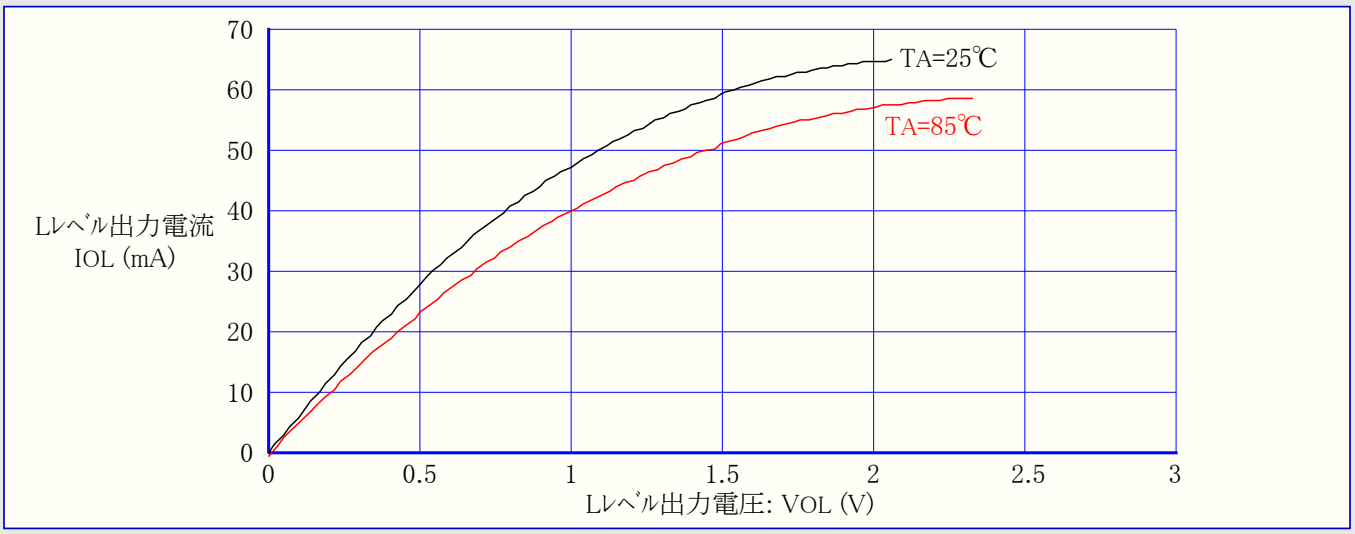
注: 測定は1ﾋﾟﾝ単位です。

図67. ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=2.7V)



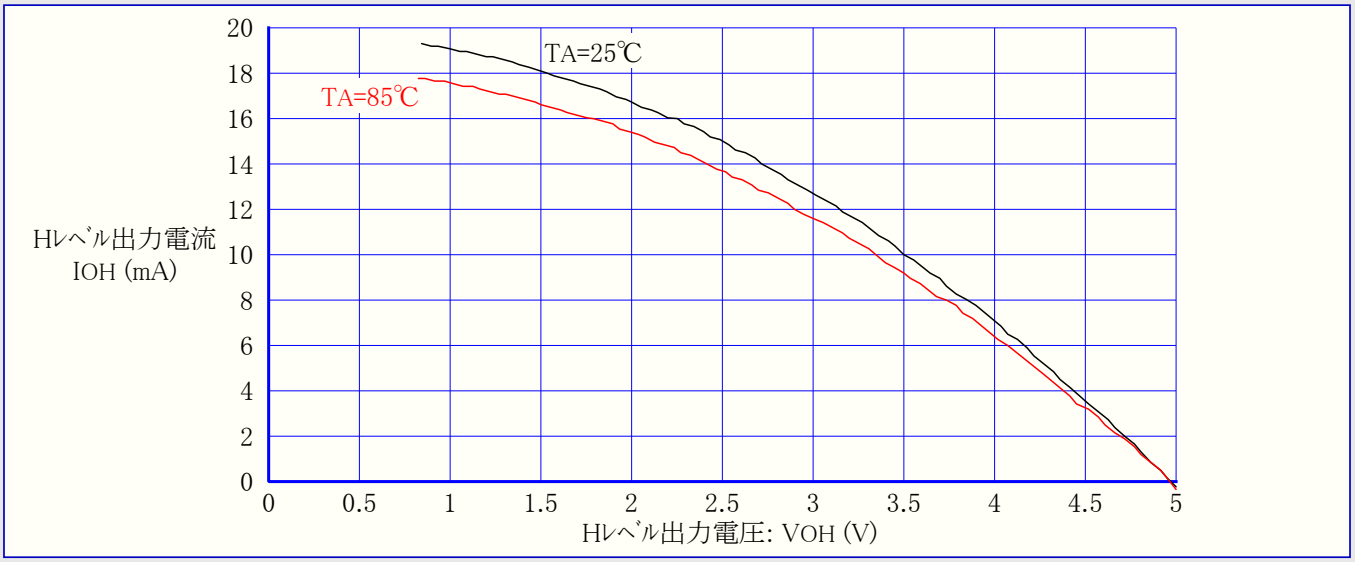
注: 測定は1ﾋﾟﾝ単位です。

図68. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



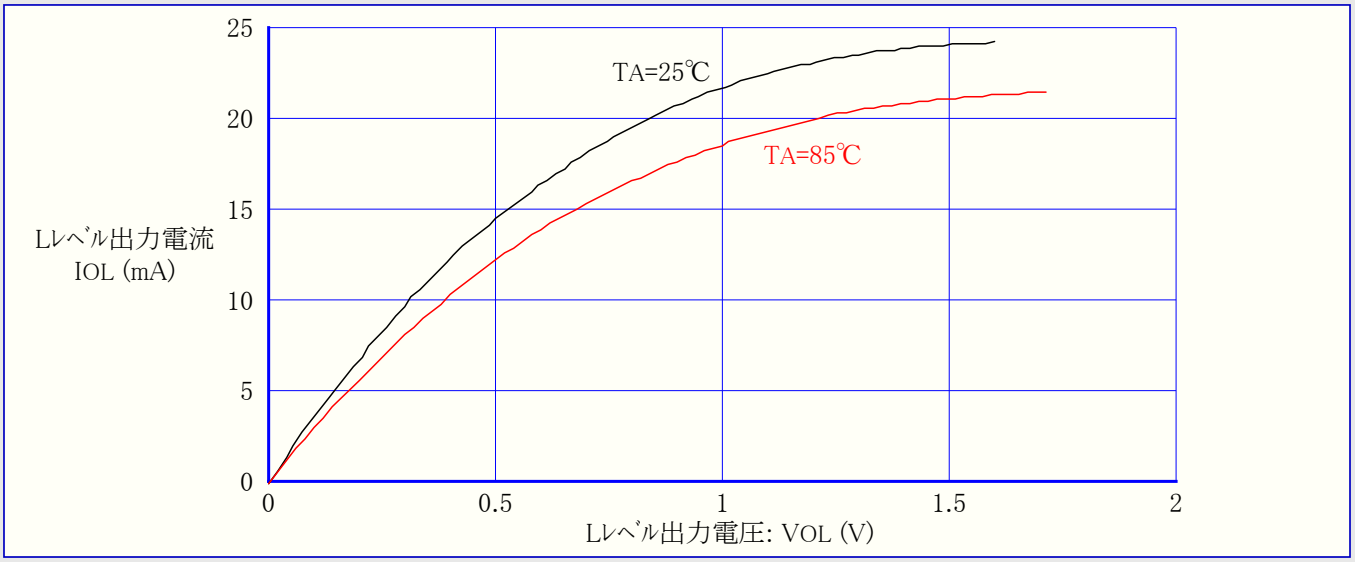
注: 測定は1ピン単位です。

図69. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



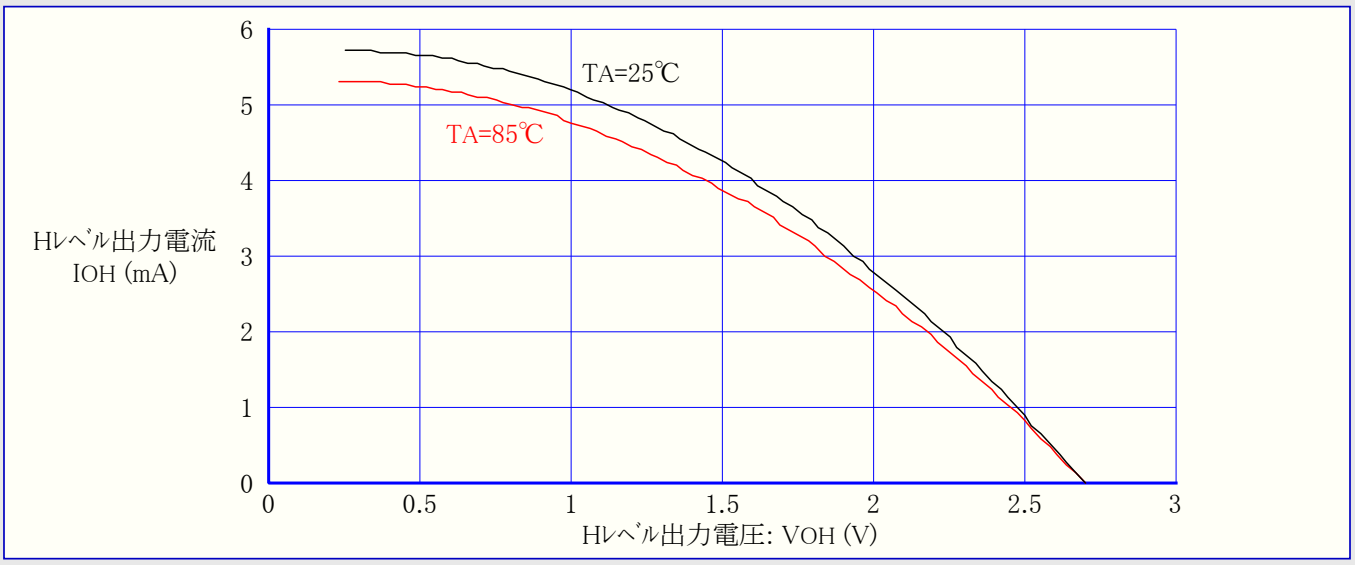
注: 測定は1ピン単位です。

図70. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図71. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図72. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (TA=25℃)

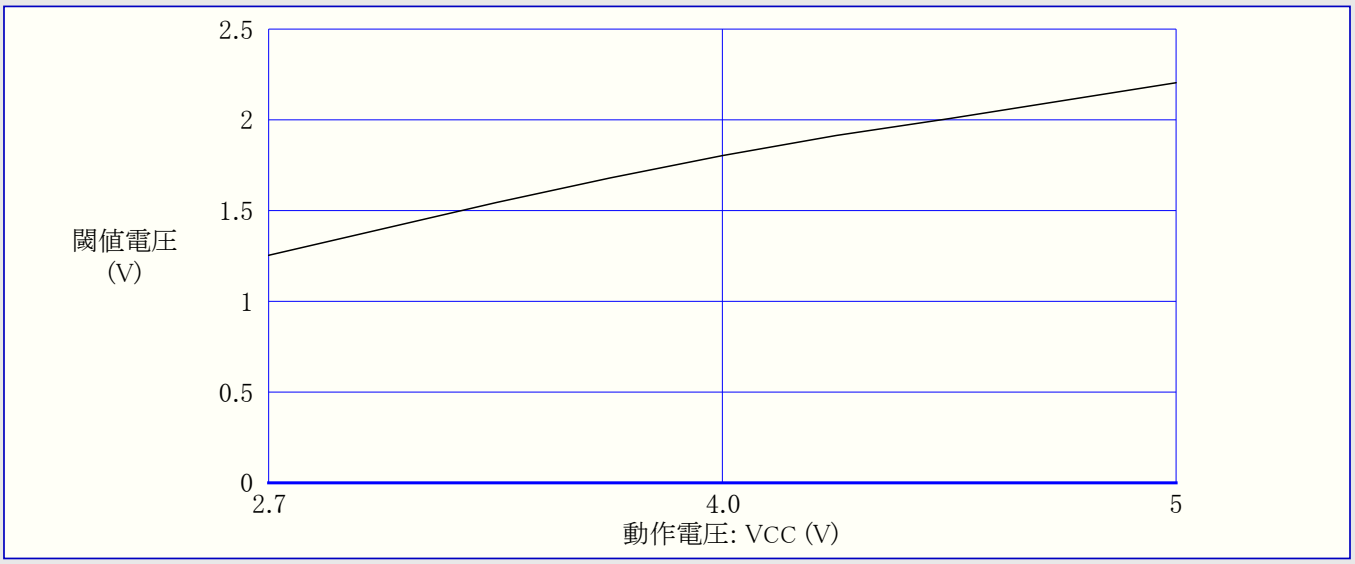
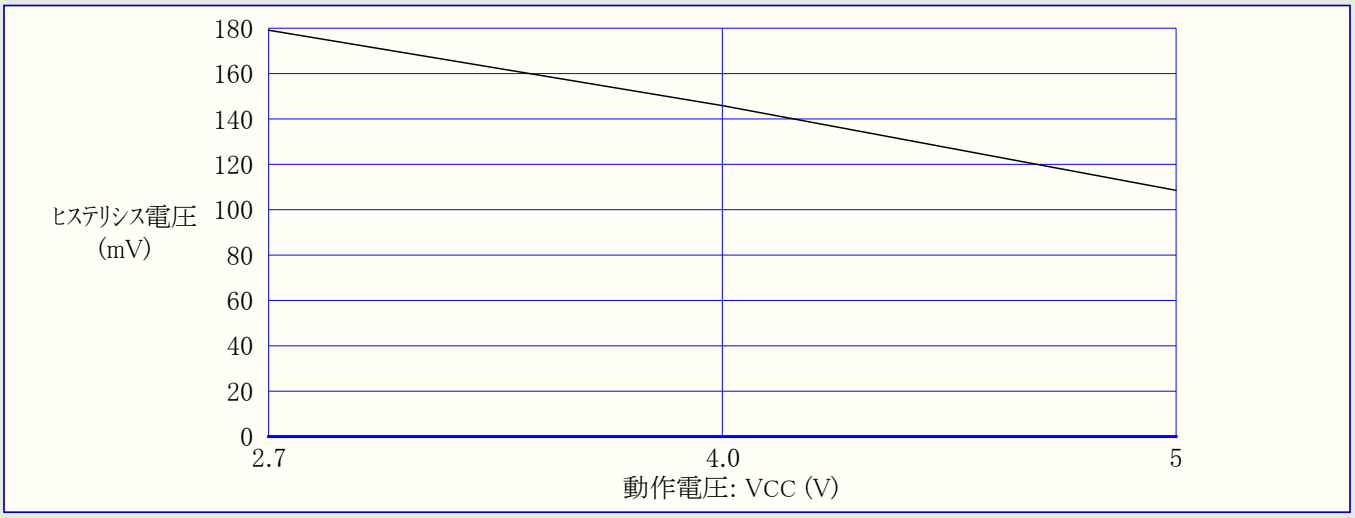


図73. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25℃)



ATtiny11 ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	ﾚｼﾞｽﾀ略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
$3F	SREG	I	T	H	S	V	N	Z	C	6
$3E	予約									
$3D	予約									
$3C	予約									
$3B	GIMSK	–	INT0	PCIE	–	–	–	–	–	21
$3A	GIFR	–	INTF0	PCIF	–	–	–	–	–	21
$39	TIMSK	–	–	–	–	–	–	TOIE0	–	22,27
$38	TIFR	–	–	–	–	–	–	TOV0	–	22,27
$37	予約									
$36	予約									
$35	MCUCR	–	–	SE	SM	–	–	ISC01	ISC00	20
$34	MCUSR	–	–	–	–	–	–	EXTRF	PORF	17
$33	TCCR0	–	–	–	–	–	CS02	CS01	CS00	26
$32	TCNT0	ﾀｲﾏ/ｶｳﾝﾀ0								26
$31	予約									
$30	予約									
$2F	予約									
$2E	予約									
$2D	予約									
$2C	予約									
$2B	予約									
$2A	予約									
$29	予約									
$28	予約									
$27	予約									
$26	予約									
$25	予約									
$24	予約									
$23	予約									
$22	予約									
$21	WDTCR	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0	28
$20	予約									
$1F	予約									
$1E	予約									
$1D	予約									
$1C	予約									
$1B	予約									
$1A	予約									
$19	予約									
$18	PORTB	–	–	–	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	23
$17	DDRB	–	–	–	DDB4	DDB3	DDB2	DDB1	DDB0	23
$16	PINB	–	–	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	23
$09～$15	予約									
$08	ACSR	ACD	–	ACO	ACI	ACIE	–	ACIS1	ACIS0	29
$00～$07	予約									

注: • 将来のﾃﾞﾊﾞｲｽとの共通性のため、予約ﾋﾞｯﾄへ書く場合は0を書くべきです。予約されたI/Oﾒﾓﾘ ｱﾄﾞﾚｽへは決して書くべきではありません。

• いくつかの状態ﾌﾗｸﾞは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oﾚｼﾞｽﾀ内の全ﾋﾞｯﾄを操作し、設定(1)として読まれたどのﾌﾗｸﾞにも1が書き戻され、従ってﾌﾗｸﾞを花序(1)します。CBIとSBI命令は$00～$1FのI/Oﾚｼﾞｽﾀでだけ動作します。

ATtiny12 ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	ﾚｼﾞｽﾀ略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
$3F	SREG	I	T	H	S	V	N	Z	C	6
$3E	予約									
$3D	予約									
$3C	予約									
$3B	GIMSK	–	INT0	PCIE	–	–	–	–	–	21
$3A	GIFR	–	INTF0	PCIF	–	–	–	–	–	21
$39	TIMSK	–	–	–	–	–	–	TOIE0	–	22,27
$38	TIFR	–	–	–	–	–	–	TOV0	–	22,27
$37	予約									
$36	予約									
$35	MCUCR	–	PUD	SE	SM	–	–	ISC01	ISC00	20
$34	MCUSR	–	–	–	–	WDRF	BORF	EXTRF	PORF	17
$33	TCCR0	–	–	–	–	–	CS02	CS01	CS00	26
$32	TCNT0	ﾀｲﾏ/ｶｳﾝﾀ0								26
$31	OSCCAL	内蔵RC発振器校正値								8
$30	予約									
$2F	予約									
$2E	予約									
$2D	予約									
$2C	予約									
$2B	予約									
$2A	予約									
$29	予約									
$28	予約									
$27	予約									
$26	予約									
$25	予約									
$24	予約									
$23	予約									
$22	予約									
$21	WDTCR	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0	28
$20	予約									
$1F	予約									
$1E	EEAR	–	–	EEPROM ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ						12
$1D	EEDR	EEPROM ﾃﾞｰﾀ ﾚｼﾞｽﾀ								12
$1C	EECR	–	–	–	–	EERIE	EEMWE	EEWE	EERE	12
$1B	予約									
$1A	予約									
$19	予約									
$18	PORTB	–	–	–	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	23
$17	DDRB	–	–	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	23
$16	PINB	–	–	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	23
$09～$15	予約									
$08	ACSR	ACD	AINBG	ACO	ACI	ACIE	–	ACIS1	ACIS0	29
$00～$07	予約									

注: • 将来のﾃﾞﾊﾞｲｽとの共通性のため、予約ﾋﾞｯﾄへ書く場合は0を書くべきです。予約されたI/Oﾒﾓﾘ ｱﾄﾞﾚｽへは決して書くべきではありません。

• いくつかの状態ﾌﾗｸﾞは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oﾚｼﾞｽﾀ内の全ﾋﾞｯﾄを操作し、設定(1)として読まれたどのﾌﾗｸﾞにも1が書き戻され、従ってﾌﾗｸﾞを花序(1)します。CBIとSBI命令は$00～$1FのI/Oﾚｼﾞｽﾀでだけ動作します。

命令要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
SUB	Rd,Rr	汎用レジスタ間の減算	Rd ← Rd − Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd ← Rd − K	I,T,H,S,V,N,Z,C	1
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd ← Rd − Rr − C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd ← Rd − K − C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF − Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 − Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	Rd ← Rd AND ($FF − K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(−1)	Rd ← Rd − 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	PC ← STACK	1,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, PC ← PC + 2	I,T,H,S,V,N,Z,C	1/2
CP	Rd,Rr	汎用レジスタ間の比較	Rd − Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd − Rr − C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd − K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, PC ← PC + 2	I,T,H,S,V,N,Z,C	1/2
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, PC ← PC + 2	I,T,H,S,V,N,Z,C	1/2
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, PC ← PC + 2	I,T,H,S,V,N,Z,C	1/2
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, PC ← PC + 2	I,T,H,S,V,N,Z,C	1/2
BRBS	s,k	ステータス フラグが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータス フラグが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリー フラグが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリー フラグが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの＜で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	−(マイナス)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの＜で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリー フラグが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

K：8ビット定数　P：I/Oレジスタ　Rd, Rr：汎用レジスタ(R0～R31)　Z：Zレジスタ
b：ビット(0～7)　k：アドレス定数(7,12ビット)　s：ステータス フラグ(C,Z,N,V,X,H,T,I)

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾃﾞｰﾀ移動命令					
MOV	Rd,Rr	汎用ﾚｼﾞｽﾀ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,Z	Zﾚｼﾞｽﾀ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zﾚｼﾞｽﾀ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	2
IN	Rd,P	I/Oﾚｼﾞｽﾀからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oﾚｼﾞｽﾀへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
LPM		ﾌﾟﾛｸﾞﾗﾑ領域からZﾚｼﾞｽﾀ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
ﾋﾞｯﾄ関係命令					
SBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ﾋﾞｯﾄ移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	ｷｬﾘｰを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	ｷｬﾘｰを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ﾆﾌﾞﾙ(4ﾋﾞｯﾄ)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄを一時ﾌﾗｸﾞへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時ﾌﾗｸﾞを汎用ﾚｼﾞｽﾀのﾋﾞｯﾄへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		ｷｬﾘｰ ﾌﾗｸﾞを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		ｷｬﾘｰ ﾌﾗｸﾞを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負ﾌﾗｸﾞを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負ﾌﾗｸﾞを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ｾﾞﾛ ﾌﾗｸﾞを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ｾﾞﾛ ﾌﾗｸﾞを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号ﾌﾗｸﾞを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号ﾌﾗｸﾞを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れﾌﾗｸﾞを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れﾌﾗｸﾞを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時ﾌﾗｸﾞを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時ﾌﾗｸﾞを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文符号	外囲器	動作範囲
2	2.7～5.5V	ATtiny11L-2PC	8P3	一般用(0℃～70℃)
		ATtiny11L-2SC	8S2	
		ATtiny11L-2PI	8P3	工業用(-40℃～85℃)
		ATtiny11L-2SI	8S2	
		ATtiny11L-2SU (注2)		
6	4.0～5.5V	ATtiny11-6PC	8P3	一般用(0℃～70℃)
		ATtiny11-6SC	8S2	
		ATtiny11-6PI	8P3	工業用(-40℃～85℃)
		ATtiny11-6PU (注2)		
		ATtiny11-6SI	8S2	
		ATtiny11-6SU (注2)		
1.2	1.8～5.5V	ATtiny12V-1PC	8P3	一般用(0℃～70℃)
		ATtiny12V-1SC	8S2	
		ATtiny12V-1PI	8P3	工業用(-40℃～85℃)
		ATtiny12V-1PU (注2)		
		ATtiny12V-1SI	8S2	
		ATtiny12V-1SU (注2)		
4	2.7～5.5V	ATtiny12L-4PC	8P3	一般用(0℃～70℃)
		ATtiny12L-4SC	8S2	
		ATtiny12L-4PI	8P3	工業用(-40℃～85℃)
		ATtiny12L-4PU (注2)		
		ATtiny12L-4SI	8S2	
		ATtiny12L-4SU (注2)		
8	4.0～5.5V	ATtiny12-8PC	8P3	一般用(0℃～70℃)
		ATtiny12-8SC	8S2	
		ATtiny12-8PI	8P3	工業用(-40℃～85℃)
		ATtiny12-8PU (注2)		
		ATtiny12-8SI	8S2	
		ATtiny12-8SU (注2)		

注: 速度分類は外部ｸﾘｽﾀﾙまたは外部ｸﾛｯｸ駆動時の最大ｸﾛｯｸ速度です。内蔵RC発振器は全ての速度品種について同じ公称ｸﾛｯｸ周波数です。

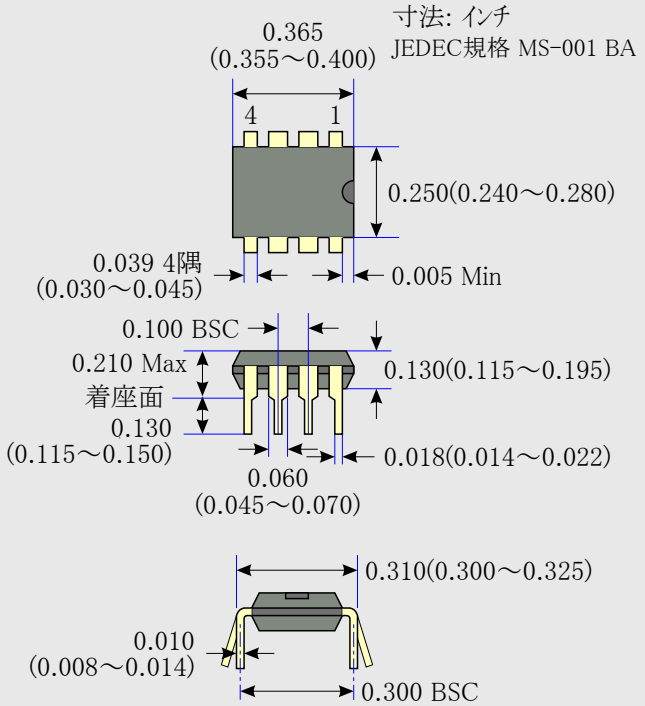
注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛ﾌﾘｰ製品。またﾊﾛｹﾞﾝ化合物ﾌﾘｰで完全に安全です。

外囲器形式	
8P3	8ﾋﾟﾝ 300mil幅 ﾌﾟﾗｽﾃｨｯｸ2列直線外囲器 (PDIP)
8S2	8ﾘｰﾄﾞ 200mil幅 ﾌﾟﾗｽﾃｨｯｸ小型外形外囲器 (SOIC)

外囲器情報

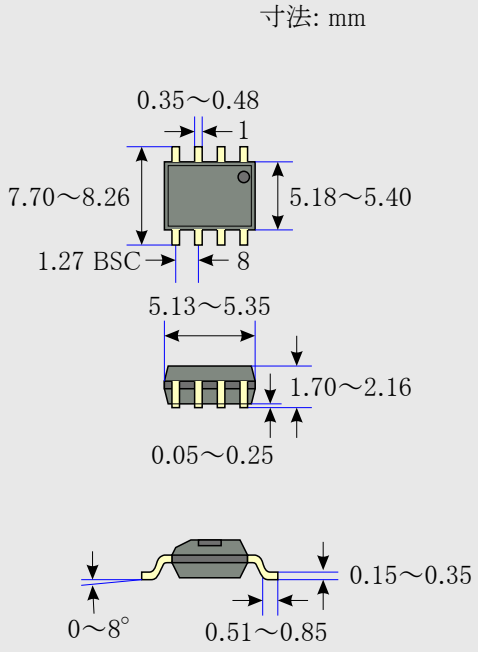
8P3

8ﾋﾟﾝ 300mil幅 ﾌﾟﾗｽﾃｨｯｸ2列直線外囲器 (PDIP)



8S2

8ﾘｰﾄﾞ 200mil幅 ﾌﾟﾗｽﾃｨｯｸ小型外形外囲器 (EIAJ SOIC)



データシート改訂履歴

この章内の参照頁番号は、この文書が参照されていることに注意してください。この章内の改訂番号は文書の改訂番号を参照してください。

1006D – 2003年7月

1. 15頁の**表9.**でV_{BOT}値を更新

1006E – 2006年7月

1. 章構成更新
2. 13頁のATtiny11に対するパワーダウン動作を更新
3. 13頁のATtiny12に対するパワーダウン動作を更新
4. 23頁の**表16.**を更新
5. 32頁の「**校正バイト** (ATtiny12)」を更新
6. 58頁の「**注文情報**」を更新
7. 59頁の「**外形情報**」を更新

1006F – 2007年6月

1. 1頁に「新規設計は推奨されません」を追加

障害情報

この章の改訂番号はATtiny11/12の改訂版を参照してください。

ATtiny11
改訂B
(Rev. 1607A-12/99)
改訂D
(Rev. 1607C-09/01)
ATtiny12
改訂C
(Rev. 2488A-09/01)

- 動作電圧と周波数範囲の制限 11-B
- ﾊﾟﾜｰﾀﾞｳﾝ動作時の高消費電流 11-B
- 外部RC発振時の周波数範囲 11-D
- ﾘｾｯﾄ状態ﾋﾞｯﾄ書き込み異常 11-D
- ｸﾛｯｸ停止によるﾘｾｯﾄ状態の解除 11-D
- 低電圧検出(BOD)ﾚﾍﾞﾙ異常低下 12-C

ﾃﾞｰﾀｼｰﾄの重要変更 (12-C)

- 校正付き内蔵RC発振器の発振周波数は、1.0MHzではなく1.2MHzです。
- 過去のﾃﾞｰﾀｼｰﾄに於ける低電圧直列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでのﾁｯﾌﾟ消去の方法は正しくありません。正しい方法は最新の(訳注: 本)ﾃﾞｰﾀｼｰﾄを参照してください。

1. 動作電圧と周波数範囲の制限 (11-B)

   電圧範囲は2.7～4.0Vに制限されます。この範囲での最高動作周波数は2MHzに制限されます。

   対策/対処

   ATtiny11改訂Cを使います。

2. ﾊﾟﾜｰﾀﾞｳﾝ動作時の高消費電流 (11-B)

   ﾊﾟﾜｰﾀﾞｳﾝ中の消費電流が500µA(VCC=4.0V)近くにもなります。

   対策/対処

   ATtiny11改訂Cを使います。

3. 外部RC発振時の周波数範囲 (11-D)

   外部RC発振はﾃﾞｰﾀｼｰﾄの記載例によらず、500kHz～4MHzの周波数範囲でのみ使用可能です。

   対策/対処

   この周波数範囲外の場合は、外部RC発振が使えませんので、代わりにｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子を使います。

4. ﾘｾｯﾄ状態ﾋﾞｯﾄ書き込み異常 (11-D)

   MCU状態ﾚｼﾞｽﾀ(MCUSR)の電源ONﾘｾｯﾄ ﾌﾗｸﾞ(PORF)の解除(0)で、外部ﾘｾｯﾄ ﾌﾗｸﾞ(EXTRF)も解除(0)されます。EXTRFは0の書き込みで解除(0)されません。

   対策/対処

   これらのﾌﾗｸﾞ検査後、両方のﾌﾗｸﾞに0を同時に書き込み、両ﾌﾗｸﾞとも解除(0)します

5. ｸﾛｯｸ停止によるﾘｾｯﾄ状態の解除 (11-D)

   ｸﾛｯｸ停止中に外部ﾘｾｯﾄまたはｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄが発生すると、ｸﾛｯｸ再起動前にﾘｾｯﾄが解除されます。内部ﾘｾｯﾄは外部ｸﾛｯｸと無関係に、ﾘｾｯﾄ遅延時間後、解除されます。内部ﾘｾｯﾄが有効な間に、外部ｸﾛｯｸ ﾊﾟﾙｽが無かった場合、ﾘｾｯﾄはI/OをHi-Z状態に保ちます。しかし、ｸﾛｯｸ再起動前に内部ﾘｾｯﾄが解除されると、I/O部が解除されず、また、PC(ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ)も解除されません。これは外部ｸﾛｯｸ入力でｸﾛｯｸをｹﾞｰﾄする構造のため、内部ｸﾛｯｸが停止することによります。この問題は、ﾊﾟﾜｰﾀﾞｳﾝ動作では無関係です。

   対策/対処

   外部ﾘｾｯﾄが予測される全ての期間、ｸﾛｯｸが動作中であることを確認します。ｳｫｯﾁﾄﾞｯｸﾞを使っている場合は外部ｸﾛｯｸを停止しないようにします。

6. 低電圧検出(BOD)ﾚﾍﾞﾙ異常低下 (12-C)

   BODLEVELﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)の場合、低電圧検出ﾘｾｯﾄ電圧(V_{BOT})がﾃﾞﾊﾞｲｽの安定動作に支障をきたすほど低下する可能性があります。

   対策/対処

   BODLEVELﾋｭｰｽﾞをﾌﾟﾛｸﾞﾗﾑ(0)し、高検出電圧を選びます。

目次

特徴 1
ピン配置 1
概要 2
ATtiny11構成図 2
ATtiny12構成図 3
ピン説明 4
構造概要 5
ALU (Arithmetic Logic Unit) 5
サブルーチン、割り込み用スタック 5
汎用レジスタ ファイル 6
ステータス レジスタ 6
システム クロックとクロック選択 7
内蔵RC発振器 7
校正付き内蔵RC発振器 (ATtiny12) 7
クリスタル用発振器 7
外部クロック信号 7
外部RC発振器 7
クロック用レジスタ 8
メモリ 9
I/Oレジスタ 9
プログラム/データ空間に対するアドレス指定種別 10
メモリ アクセスと命令実行タイミング 11
実装書き換え可能なプログラム用フラッシュ メモリ 11
データ用EEPROMメモリ (ATtiny12) 11
EEPROMデータ化けの防止 11
EEPROMアクセス (ATtiny12) 11
メモリ用レジスタ 12
休止形態種別 13
アイドル動作 13
パワーダウン動作 13
システム制御とリセット 14
リセット元 14
リセット関係レジスタ 17
割り込み 18
リセットと割り込み 18
割り込みの扱い 19
割り込み用レジスタ 20
入出力ポートB 23
入出力ポートB用レジスタ 23
タイマ/カウンタ0 25
タイマ/カウンタ0前置分周器 25
8ビット タイマ/カウンタ0用レジスタ 26
ウォッチドッグ タイマ 28
ウォッチドッグ タイマ用レジスタ 28
アナログ比較器 29
アナログ比較器用レジスタ 29
内部基準電圧 (ATtiny12) 30
基準電圧許可信号と起動時間 30
メモリ プログラミング 31
プログラム メモリとデータ メモリ用施錠ビット 31
ヒューズ ビット (ATtiny11) 31
ヒューズ ビット (ATtiny12) 31
識票バイト 32
校正バイト (ATtiny12) 32
フラッシュ メモリとEEPROMのプログラミング 32
高電圧直列プログラミング 33
高電圧直列プログラミング特性 35
低電圧直列プログラミング 36
低電圧直列プログラミング特性 37
電気的特性 38
絶対最大定格 38
DC特性 38
外部クロック特性 39
ATtiny11 代表特性 40
ATtiny12 代表特性 48
ATtiny11 レジスタ要約 54
ATtiny12 レジスタ要約 55
命令要約 56
注文情報 58
外囲器情報 59
データシート改訂履歴 60
障害情報 61

本社

Atmel Corporation
2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia
Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe
Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan
104-0033 東京都中央区
新川1-24-8
東熱新川ﾋﾞﾙ 9F
ｱﾄﾒﾙ ｼﾞｬﾊﾟﾝ株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory
2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers
2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards
Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive
Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics
Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求
www.atmel.com/literature

© Atmel Corporation 2007.

Atmel製品は、ｳｪﾌﾞｻｲﾄ上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のﾗｲｾﾝｽを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。
本書中の製品名などは、一般的に商標です。

© *HERO* 2022.

本ﾃﾞｰﾀｼｰﾄはAtmelのATtiny11/12(改訂1006F-06/07)英語版ﾃﾞｰﾀｼｰﾄの翻訳日本語版で、ATtiny11改訂B障害(改訂1607A-12/99)、改訂D障害(改訂1607C-09/01)、ATtiny12改訂C障害(改訂2488A-09/01)の内容も含まれています。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に於ける**図15.**の図番号欠落を修正したため、以降の図番号が原書に対して+1されています。