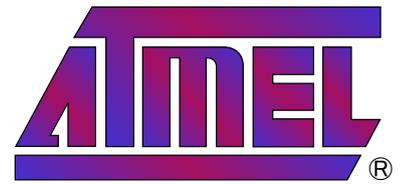


特徴

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

- AVR[®] RISC構造
- AVR –高性能、低消費8ビットRISC構造
 - ・強力な**90命令**(多くは1周期で実行)
 - ・32個の1バイト長**汎用レジスタ**
 - ・8MHz時、8MIPSに達する高速動作
- 不揮発性プログラム用メモリとデータメモリ
 - ・プログラム用1Kバイト(512語)**フラッシュメモリ**内蔵
実装書き換え(ISP: In-System Program)可能・・・ATtiny12
1000回の書き換えが可能・・・ATtiny11/12
 - ・実装書き換え(ISP)可能な64バイトの**EEPROM**・・・ATtiny12
100,000回の書き換えが可能
 - ・プログラムフラッシュメモリとデータEEPROM保護用の設定可能な**施錠機能**
- 内蔵周辺機能
 - ・ピン変化での**割り込み**と起動復帰
 - ・独立した前置分周器付き**8ビットタイマ/カウンタ**
 - ・**アナログ比較器**
 - ・設定可能な専用発振器付き**ウォッチドッグタイマ**
- 特殊マイクロコントローラ機能
 - ・アイドルとパワーダウンの2つの**低消費動作**
 - ・外部及び内部の**割り込み**
 - ・SPIポート経由**実装書き換え(ISP)**・・・ATtiny12
 - ・電源**ONリセット**回路(ATtiny12は**増強された電源ONリセット**回路)
 - ・内蔵**RC発振器が選択可能**(ATtiny12は**校正付き内蔵RC発振器**)
- 電気的特長
 - ・高速、低消費なCMOS製法
 - ・完全な**スタティック動作**
- 消費電流 (条件: 4MHz, 3V, 25°C)
 - ・活動動作 2.2mA
 - ・**アイドル動作** 0.5mA
 - ・**パワーダウン動作** 1µA未満
- 外圍器
 - ・8ピンPDIP、8リードSOIC
- 動作電圧
 - ・1.8～5.5V (ATtiny12V-1)
 - ・2.7～5.5V (ATtiny11L-2/ATtiny12L-4)
 - ・4.0～5.5V (ATtiny11-6/ATtiny12-8)
- 動作速度
 - ・0～1.2MHz (ATtiny12V-1)
 - ・0～2MHz (ATtiny11L-2)
 - ・0～4MHz (ATtiny12L-4)
 - ・0～6MHz (ATtiny11-6)
 - ・0～8MHz (ATtiny12-8)

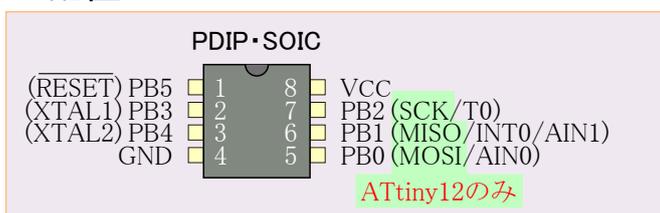


8ビット **AVR[®]**
 マイクロコントローラ
 1Kバイト
 フラッシュメモリ内蔵

ATtiny11
 ATtiny12

本製品での新規設計は推奨されません。

ピン配置



Rev. 1006F-06/07, 1006FJ6-01/22



概要

ATtiny11/12はAVR RISC構造の低消費CMOS 8ビットマイクロコントローラです。1周期で実行する強力な命令はMHzあたり1MIPSにも達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロコントローラに対し、最大10倍の単位処理量向上効果があります。

表1. デバイス概要

デバイス名	フラッシュメモリ容量	EEPROM容量	電圧範囲	動作周波数
ATtiny11L	1Kバイト	-	2.7~5.5V	0~2MHz
ATtiny11			4.0~5.5V	0~6MHz
ATtiny12V	64バイト	64バイト	1.8~5.5V	0~1.2MHz
ATtiny12L			2.7~5.5V	0~4MHz
ATtiny12			4.0~5.5V	0~8MHz

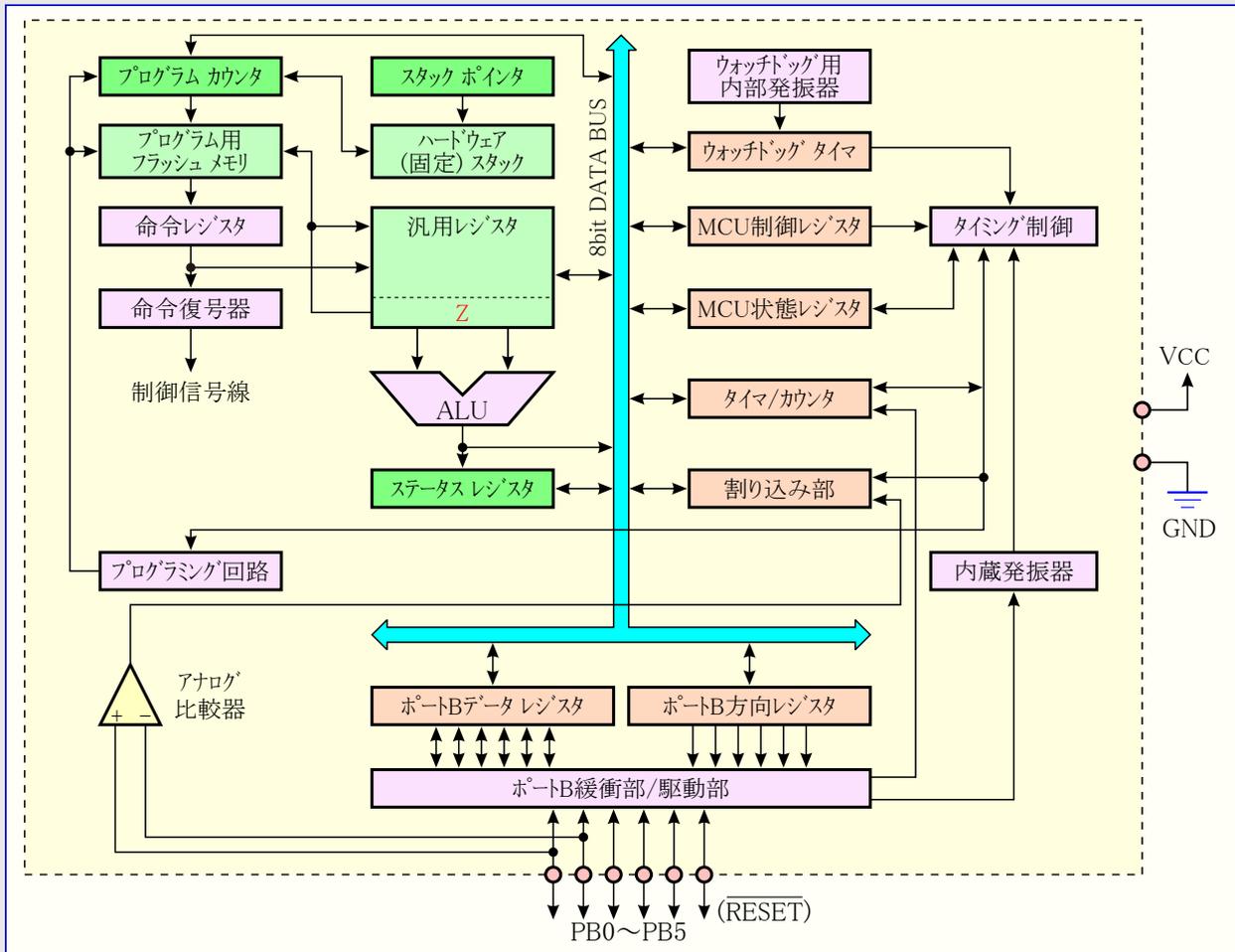
ATtiny11/12 AVRはマクロアセンブラ、デバッガ、シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

ATtiny11構成図

図1をご覧ください。ATtiny11は1Kバイトのフラッシュメモリ、5ビットまでの汎用入出力線、1ビットの入力線、32個の汎用レジスタ、8ビットタイマ/カウンタ、内部及び外部割り込み、設定変更可能な内部発振器付きウォッチドッグタイマ、ソフトウェアで選択できる2つの低消費動作を提供します。アイドル動作では動作を停止しますが、タイマ/カウンタと割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで、他の全機能を無効にします。ピン変化での割り込みまたは起動復帰機能は、パワーダウン動作中の最低電力消費の特徴のままで、外部の出来事に対する高い応答性をATtiny11で可能にします。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。モノリシックチップ上のフラッシュメモリと、拡張された8ビットRISC型CPUの組み合わせによるAtmelのATtiny11は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

図1. ATtiny11構成図

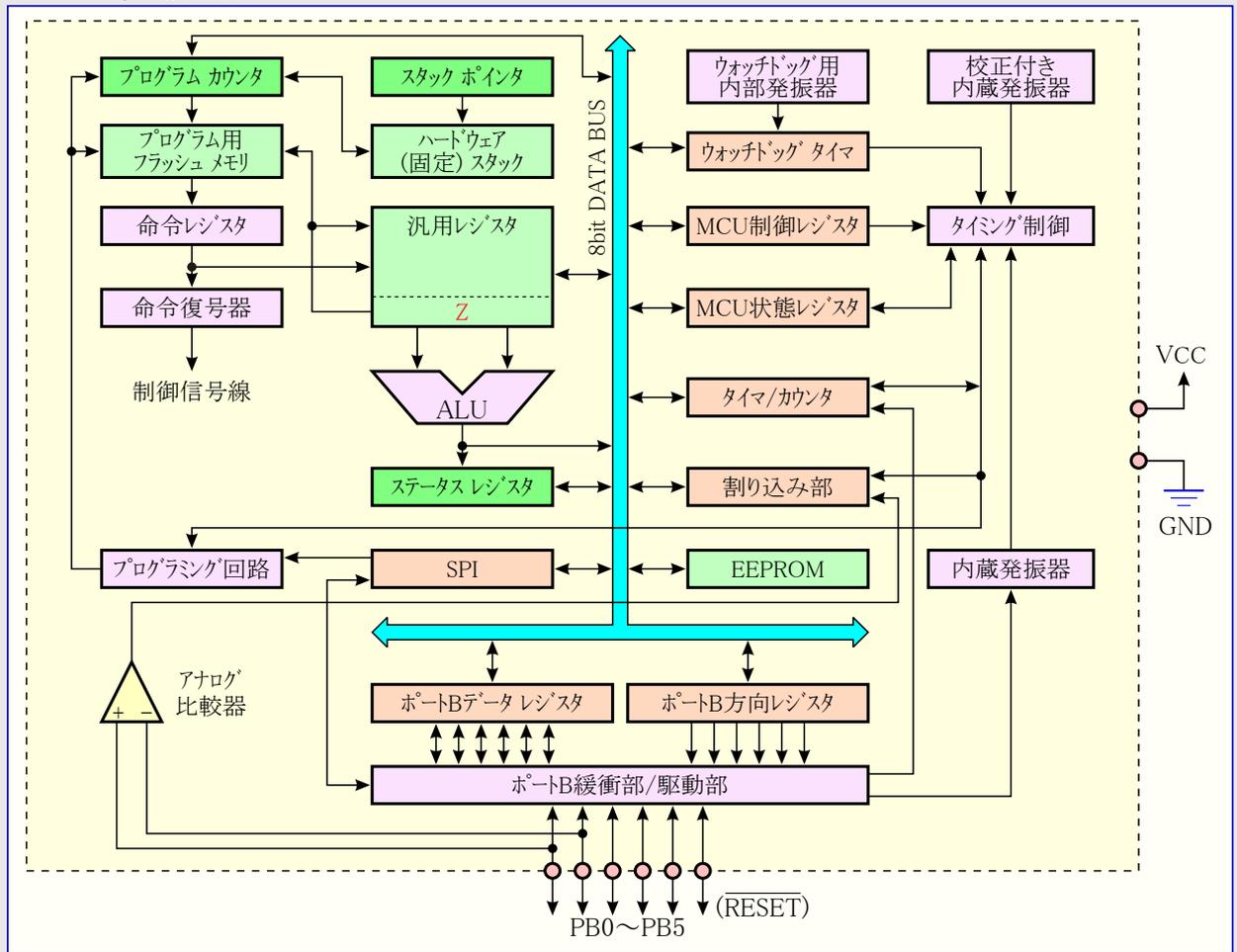


ATtiny12構成図

図2をご覧ください。ATtiny12は1Kバイトの実装書き換え可能なフラッシュメモリ、64バイトのEEPROM、6ビットまでの汎用入出力線、32個の汎用レジスタ、8ビットタイマ/カウンタ、内部及び外部割り込み、設定変更可能な内部発振器付きウォッチドッグタイマ、ソフトウェアで選択できる2つの低消費動作を提供します。アイドル動作では動作を停止しますが、タイマ/カウンタと割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで、他の全機能を無効にします。ピン変化での割り込みまたは起動復帰機能は、パワーダウン動作中の最低電力消費の特徴のままで、外部の出来事に対する高い応答性をATtiny12で可能にします。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。モノリシックチップ上のフラッシュメモリと、拡張された8ビットRISC型CPUの組み合わせによるAtmelのATtiny12は、多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

図2. ATtiny12構成図



ピン概要

VCC

電源ピン。

GND

接地ピン。

PB5～PB0 (ポートB)

ポートBは6ビットの入出力ポートです。PB4～0は(ビット単位で選択される)内蔵プルアップ抵抗を供給できるI/Oピンです。ATtiny11のPB5は入力専用です。ATtiny12のPB5は入力またはオープンドレイン出力です。リセット条件が活性(有効)になると、例えクロックが動作していても、ポートピンはHi-Zにされます。以下で示されるように、入力またはI/OピンとしてのPB5～3ピンの使用は、リセットとクロック設定に依存して制限されます。

表2. ヒューズ設定によるPB5～3機能一覧

クロック種別	PB5	PB4	PB3
外部リセット許可	リセット入力	無関係(入出力)	無関係(入出力)
外部リセット禁止	無関係(入力/入出力) (注)		
外部クリスタル/セラミック発振	無関係(入力/入出力) (注)	発振器出力(発振子)	発振器入力(発振子)
外部RC発振、外部クロック信号		無関係(入出力)	外部RC入力
内蔵RC発振			無関係(入出力)

注: PB5はATtiny11で入力専用、ATtiny12で入力またはオープンドレイン出力です。

RESET

リセット入力。外部リセットはRESETピンのLowレベルにより生成されます。50nsより長いリセットパルスは、クロックが動作していてもリセットを発生します。短すぎるパルスはリセットの生成が保証されません。

XTAL1

発振増幅器の反転入力。または外部発振入力。

XTAL2

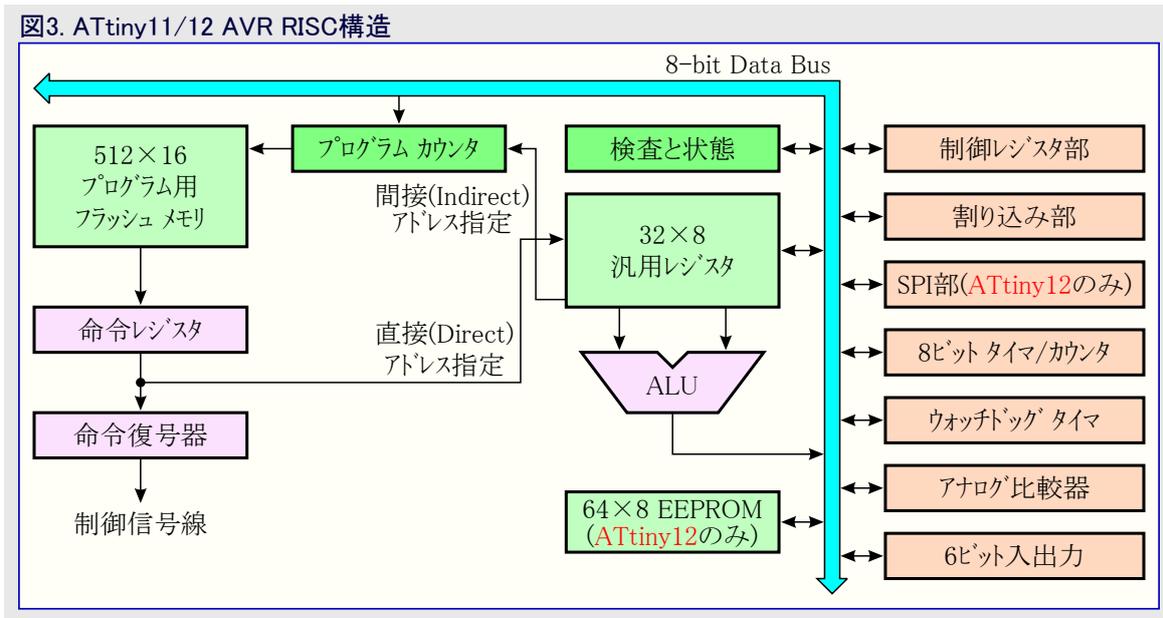
発振増幅器の出力。

構造概要

1クロック周期アクセス時間の高速レジスタファイルには32個の8ビット長汎用レジスタが含まれます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタファイルから出力され、命令が実行され、その結果がレジスタファイルに書き戻されます。

32個中の2つのレジスタは間接メモリアクセス用16ビットポインタとして使えます。このポインタはZポインタ(レジスタ)と呼ばれ、レジスタファイルとプログラム用フラッシュメモリをアドレス指定できます。

ALUはレジスタ間、レジスタと定数間の算術と論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図3はATtiny11/12 AVR RISCマイクロコントローラの構造を示します。AVRのメモリとバスはプログラム用とデータ用に各々分離したハーバード構造で構成されます。プログラムメモリは2段のパイプラインでアクセスされます。1命令の実行中に、次の命令をプログラムメモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラムメモリは実装書き換え(ISP)可能なフラッシュメモリです。



512アドレス空間全てではプログラムカウンタ(PC)相対の無条件分岐(RJMP)命令と呼び出し(RCALL)命令で直接的にアクセスされます。全てのAVR命令は単一の16ビット語形式で、プログラムメモリ内の全てのアドレスが単一の16ビット長命令を含むことを意味します。

割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。このスタックはサブルーチンと割り込み専用の深さ3段のハードウェアスタックです。

I/Oメモリ空間は制御レジスタ、タイマ/カウンタ、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。AVR構造に於けるメモリ空間は全て規則的で直線的なメモリ配置です。

柔軟な割り込み部にはI/O空間の個別の制御レジスタと、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがあります。各割り込みの全てにはプログラムメモリ先頭の割り込みベクタ表内に個別の割り込みベクタがあります。各割り込みはこの割り込みベクタ表の位置に従った優先順です。下位側割り込みベクタアドレスが高い優先順位です。

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個全ての汎用レジスタに直接接続され、動作します。レジスタファイル内のレジスタ間ALU操作は、1クロック周期内で実行されます。ALU操作は、算術演算、論理演算、ビット操作の3つの主な種類に大別されます。AVR製品システムのいくつかのマイクロコントローラはALUの算術演算部のハードウェア乗算器が特徴です。

サブルーチン、割り込み用スタック

ATtiny11/12はサブルーチンと割り込み用に深さ3段のハードウェア(固定)スタックを使います。このスタックは9ビット幅で、サブルーチンや割り込み実行中、プログラムカウンタ(PC)の戻りアドレスを格納します。

PC相対呼び出し(RCALL)命令や割り込み時、スタックレベル0にPCの戻りアドレスがプッシュ(格納)され、他のスタックレベル1,2のデータはスタック内で1段深くなります。RETやRETI命令が実行されると、スタックレベル0から戻りアドレスをPCにポップ(復帰)し、他のスタックレベル1,2のデータはスタック内で1段浅くなります。

3つを超えるサブルーチンや割り込みが続いて実行されると、スタックに書かれた最初の値が書き直されます。4つの復帰アドレスA1, A2, A3, A4をプッシュし、サブルーチンや割り込みの復帰による結果は、ハードウェアスタックからA4, A3, A2ともう一度A2をポップします。

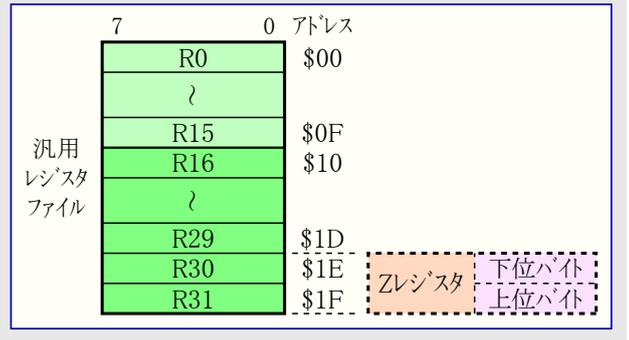
汎用レジスタ ファイル

図4.に32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令は**レジスタ直接指定**ができ、1周期でアクセスします。**SBCI,SUBI,CPI,ANDI,ORI**の5つの算術、論理定数演算命令と、定数をレジスタに設定する**LDI**命令だけが例外です。これらの命令はレジスタファイル後半のR16～R31に対してだけ適用されます。通常の**SBC,SUB,CP,AND,OR**や他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

R30とR31レジスタはフラッシュメモリとレジスタファイルの間接アクセスに使われる16ビットポインタ(Zレジスタ)を形成します。レジスタファイルがアクセスされる時、R31の内容はCPUにより破棄(無視)されます。

図4. AVR CPU 汎用レジスタ構成図



ステータスレジスタ

■ ステータスレジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は、I/O領域の\$3Fで、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - I : 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合、設定(1)しなければなりません。各割り込みの許可は、各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理の**RETI**命令によって設定(1)されます。

■ ビット6 - T : ビット変数 (Bit Copy Storage)

このTビットは**BLD**(Bit Load)命令と**BST**(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

■ ビット5 - H : ハーフキャリーフラグ (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については**命令要約**を参照してください。

■ ビット4 - S : 符号 (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については**命令要約**を参照してください。

■ ビット3 - V : 2の補数溢れフラグ (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については**命令要約**を参照してください。

■ ビット2 - N : 負フラグ (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については**命令要約**を参照してください。

■ ビット1 - Z : ゼロフラグ (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については**命令要約**を参照してください。

■ ビット0 - C : キャリーフラグ (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については**命令要約**を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないうことに注意してください。これはソフトウェアによって操作しなければなりません。

システム クロックとクロック選択

このデバイスは次のクロック元種別を持ち、以下で示されるフラッシュ ヒューズ ビットによって選択できます。

各クロック動作種別についての各種選択は14頁の表8.と15頁の表10.で示されるように異なる起動時間を与えます。

表3. クロック選択

クロック種別	CKSEL2~0 (ATtiny11)	CKSEL3~0 (ATtiny12)
外部水晶/セラミック発振子	1 1 1	1 1 1 1 ~ 1 0 1 0
外部低周波数水晶発振子	1 1 0	1 0 0 1 ~ 1 0 0 0
外部RC発振	1 0 1	0 1 1 1 ~ 0 1 0 1
内蔵RC発振	1 0 0	0 1 0 0 ~ 0 0 1 0
外部クロック信号	0 0 0	0 0 0 1 ~ 0 0 0 0
(予約)	その他	-

注: 1=非プログラム、0=プログラム

内蔵RC発振器

内蔵RC発振器は1MHz(ATtiny11), 1.2MHz(ATtiny12)の固定周波数で動作するチップ上の発振器です。選択されたならば、デバイスは外付け部品なしで動作できます。ATtiny11ではウォッチドッグ用発振器がこのクロックに使われ、一方ATtiny12は独立の校正された発振器を使います。

(訳注) ATtiny12の内蔵RC発振周波数が改訂Cデータシートで1.0MHzから1.2MHzに変更されています。

校正付き内蔵RC発振器 (ATtiny12)

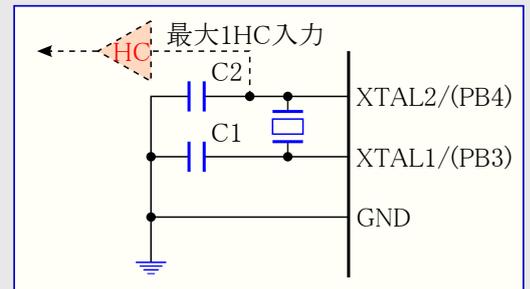
ATtiny12では、校正された内蔵RC発振器が5V, 25°Cで公称1.2MHz固定のクロックを提供します。このクロックはシステムクロックとして使えます。このクロックをシステムクロックとする選択方法の情報については「システムクロックとクロック選択」章をご覧ください。この発振器は発振校正レジスタ(OSCCAL)への校正值書き込みにより校正できます。この発振器がシステムクロックとして使われるときでも、ウォッチドッグタイマとリセット遅延には未だウォッチドッグ用発振器が使われます。予めプログラムされた校正值の使用法の詳細については32頁の「校正バイト」をご覧ください。5V, 25°Cで、予めプログラムされた校正バイトは公称周波数の±1%内の周波数を与えます。

水晶用発振器

図5.で示されるようにXTAL1とXTAL2はチップ上の発振器としての使用に設定できる反転増幅器の各々入力と出力です。水晶発振子かセラミック振動子のどちらでも使えます。水晶発振子とセラミック振動子の最大周波数は4MHzです。低周波数水晶動作での最低電圧は2.5Vです。

注: 外部デバイス用クロックとしてMCU発振器を使う時は図で示されるようにHC緩衝器が接続されるべきです。

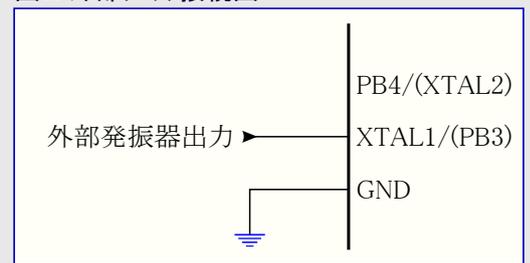
図5. 発振子接続図



外部クロック信号

外部クロック信号でデバイスを駆動するには、図6.で示されるようにXTAL1が駆動されるべきです。

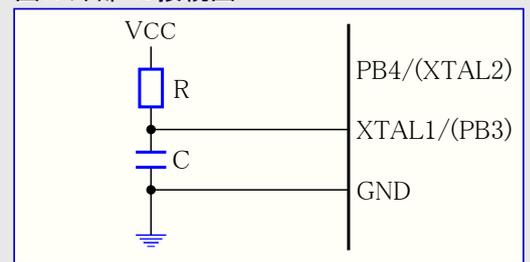
図6. 外部クロック接続図



外部RC発振器

タイミングに敏感でない応用に対しては、図7.で示される外部RC設定が使えます。RとCの選択法の詳細については39頁の表29.をご覧ください。外部RC発振器は隣接するピンからの雑音に敏感で、問題を避けるため、PB5(RESET)は出力またはリセットピンとして、PB4は出力ピンとして使われるべきです。

図7. 外部RC接続図



クロック用レジスタ

■ 発振校正レジスタ (Oscillator Calibration Register) OSCCAL (ATtiny12のみ)

ビット	7	6	5	4	3	2	1	0	
\$31	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

■ ビット7~0 - CAL7~0 : 発振校正値 (Oscillator Calibration Value)

発振周波数の偏差による処理を省くため、このアドレスへの校正ビット書き込みが内蔵RC発振器を調整します。OSCCALが0のときに利用可能な最低周波数が選択されます。このレジスタへの0以外の値書き込みが内蔵RC発振器周波数を増加します。このレジスタへの\$FF書き込みが利用可能最高周波数を与えます。校正された発振器はEEPROMのアクセス時間に使われます。EEPROMが書かれる場合、公称周波数より10%以上高く校正してはいけません。さもないと、EEPROM書き込み操作は失敗するかもしれません。この発振器は1.2MHzへの校正を意図したもので、このため他の値への調整が保証されないことに注意してください。

表4. 内蔵RC発振器周波数範囲

OSCCAL値	最小	最大
\$00	0.6MHz	1.2MHz
\$7F	0.8MHz	1.7MHz
\$FF	1.2MHz	2.5MHz

(訳注) 内蔵RC発振周波数が改訂データシートで1.0MHzから1.2MHzに変更されたために表も変更されました。

メモリ

I/Oレジスタ

ATtiny11/12のI/O領域定義は次表に示されます。

表5. ATtiny11/12 I/Oレジスタ

アドレス	レジスタ略名	レジスタ名称
\$3F	SREG	ステータスレジスタ Status REGISTER
\$3B	GIMSK	一般割り込み許可レジスタ General Interrupt MaSK register
\$3A	GIFR	一般割り込み要求フラグレジスタ General Interrupt Flag register
\$39	TIMSK	タイマ/カウンタ割り込み許可レジスタ Timer/Counter Interrupt MaSK register
\$38	TIFR	タイマ/カウンタ割り込み要求フラグレジスタ Timer/Counter Interrupt Flag register
\$35	MCUCR	MCU制御レジスタ MCU general Control Register
\$34	MCUSR	MCU状態レジスタ MCU Status Register
\$33	TCCR0	タイマ/カウンタ0制御レジスタ Timer/Counter 0 Control Register
\$32	TCNT0	タイマ/カウンタ0 カウンタ Timer/CouNTER 0 (8bit)
\$31	OSCCAL	発振器校正レジスタ Oscillator Calibration Register (ATtiny12のみ)
\$21	WDTCR	ウォッチドッグ タイマ制御レジスタ WatchDog Timer Control Register
\$1E	EEAR	EEPROMアドレスレジスタ EEPROM Address Register (ATtiny12のみ)
\$1D	EEDR	EEPROMデータレジスタ EEPROM Data Register (ATtiny12のみ)
\$1C	EECR	EEPROM制御レジスタ EEPROM Control Register (ATtiny12のみ)
\$18	PORTB	ポートB出力データレジスタ Data Register, Port B
\$17	DDRB	ポートB方向レジスタ Data Direction Register, Port B
\$16	PINB	ポートB入力データレジスタ Input Pins, Port B
\$08	ACSR	アナログ比較器 制御/状態レジスタ Analog Comparator Control and Status Register

注: 予約と未使用の位置は、この表で示されていません。

ATtiny11/12の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

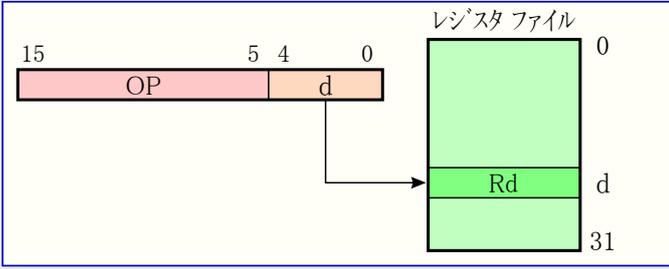
I/Oと周辺制御レジスタは次章で説明されます。

プログラム及びデータ空間に対するアドレス指定種別

ATtiny11/12 AVR RISCマイクロ コントローラは強力で効率的なアドレス指定種別を支援します。本項はATtiny11/12で支援される様々なアドレス指定種別を記述します。図内のOPは命令語の動作コード部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

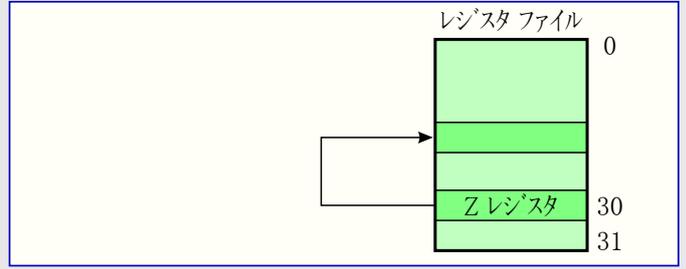
図8. 単一レジスタ直接アドレス指定



オペランドはレジスタd(Rd)を示します。

レジスタ間接

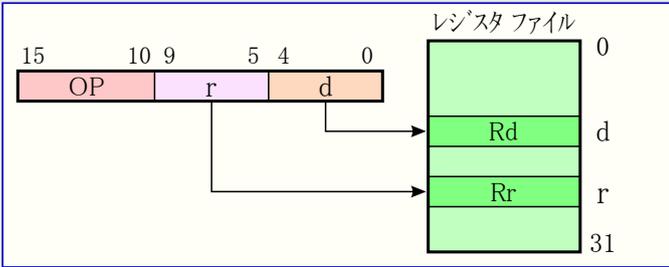
図9. レジスタ間接アドレス指定



オペランドはZレジスタ(R30)で示されるレジスタです。

レジスタ間(Rd, Rr)直接

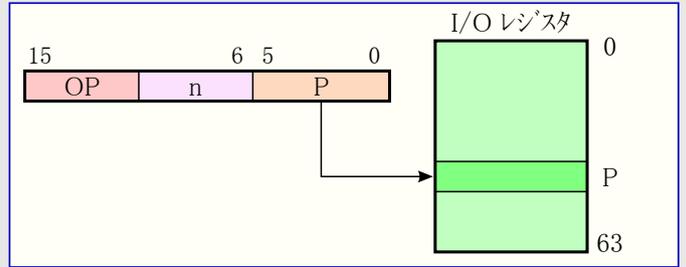
図10. レジスタ間直接アドレス指定



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

I/O直接

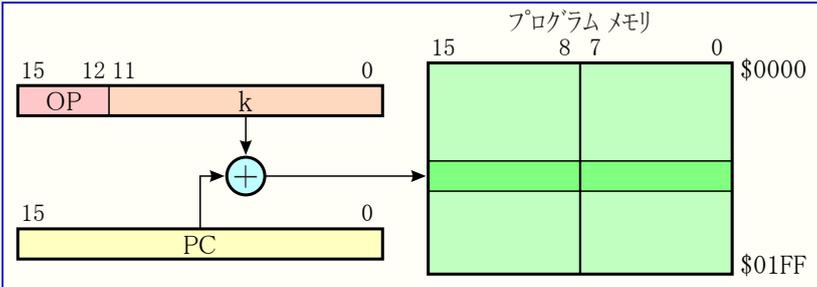
図11. I/O直接アドレス指定



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

RJMP, RCALL 命令によるプログラム相対アドレス指定

図12. プログラム相対アドレス指定

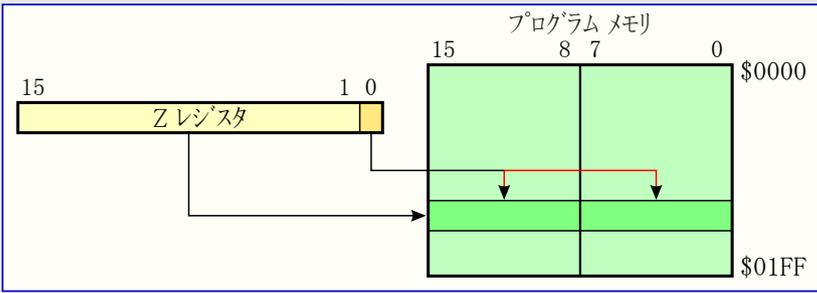


注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048~2047です。

LPM 命令による定数アドレス指定

図13. プログラム空間定数アドレス指定



バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0~511の語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

メモリアクセスと命令実行タイミング

本項は命令実行についての一般的なアクセスタイミングの概念を記述します。

AVR CPUは外部クリスタルまたは内蔵RC発振器で直接的に発生されたシステムクロックφによって駆動されます。内部クロック分周は使われません。

図14.はハーバード構造と高速アクセスレジスタファイルの概念によって可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、対クロック、対電源部での好結果に相当するMHzあたり1MIPSまでを得る基本的なパイプラインの概念です。

図15.はレジスタファイルに対する内部タイミングの概念を示します。2つのレジスタオペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図14. 命令の取得と実行の並列動作

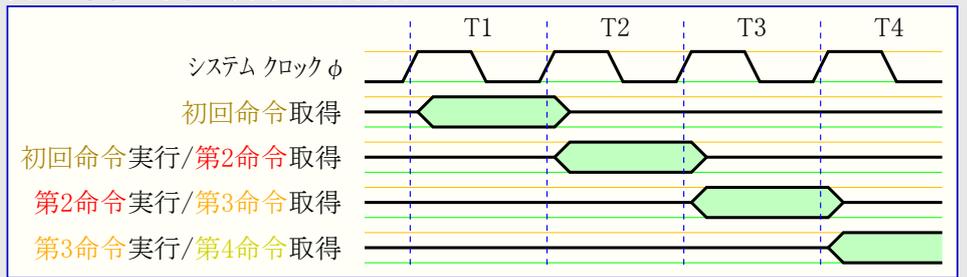
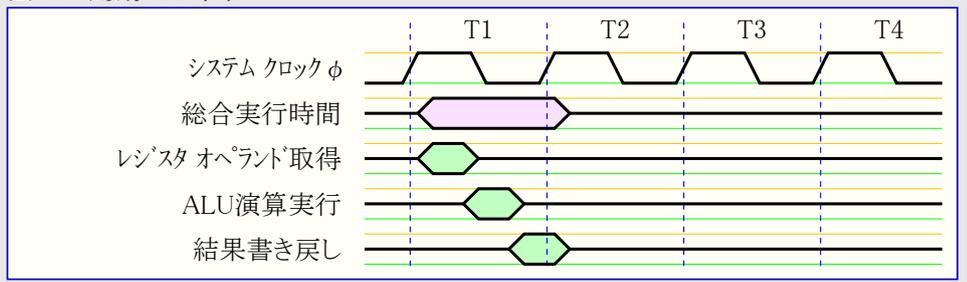


図15. 1周期ALU命令



プログラム用フラッシュメモリ

ATtiny11/12にはプログラム保存用に1Kバイトのフラッシュメモリが内蔵されています。全ての命令が単一の16ビット/1語のため、フラッシュメモリは512×16ビットとして構成されています。フラッシュメモリは少なくとも1000回再書き込みの耐久性があります。

ATtiny11/12のプログラムカウンタ(PC)は9ビット幅で、プログラムメモリ内の512(語)アドレスを指定します。

フラッシュメモリ書き込みの詳細な記述については31頁の「メモリプログラミング」をご覧ください。

データ用EEPROMメモリ (ATtiny12のみ)

ATtiny12にはデータ用に64バイトのEEPROMが内蔵されています。EEPROMは1バイト単位で読み書きができる、独立したデータ空間として構成されています。EEPROMは100,000回以上の書き換えが可能です。EEPROMとCPU間のアクセスは12頁のEEPROMアドレスレジスタ、EEPROMデータレジスタ、EEPROM制御レジスタの詳細説明で記述されます。

SPI書き込み(直列プログラミング)の詳細な記述については36頁をご覧ください。

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。これは動作電圧が検出電圧と一致する場合、内蔵低電圧検出器(BOD)を許可することにより行えます。一致しない場合、外部低VCCリセット保護回路が適用できます。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できないことが必要とされない場合、フラッシュメモリに定数を格納します。フラッシュメモリはCPUにより更新されることができないので、データ化けの問題はありません。

EEPROMアクセス (ATtiny12のみ)

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間は校正されたRC発振器の周波数に依存し、3.1~6.8msの範囲です。詳細については表6をご覧ください。(書き込みは自己タイミング機能ですが、使用者ソフトウェアは次バイトが書ける時を検知してください。EEPROMが新規データを受け入れる準備ができているときに起動するために、特別なEEPROM操作可割り込みが設定できます。EEPROM書き込み最低電圧は2.2Vです。

不測のEEPROM書き込みを防ぐため、2段階の書き込み手順に従わなければなりません。この詳細については「EEPROM制御レジスタ(EECR)」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止されます。EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止されます。

メモリ用レジスタ

■ EEPROMアドレスレジスタ (EEPROM Address Register) EEAR (ATtiny12のみ)

ビット	7	6	5	4	3	2	1	0	
\$1E	–	–	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	不定	不定	不定	不定	

■ ビット5~0 – EEAR5~0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEAR)は64バイトのEEPROM空間のEEPROMアドレスを指定します。EEPROMデータのバイトは0~63間で直線的に配置されています。リセット中、EEARレジスタは解除されません。その代わりに、レジスタ内のデータが保持されます。

■ EEPROMデータレジスタ (EEPROM Data Register) EEDR (ATtiny12のみ)

ビット	7	6	5	4	3	2	1	0	
\$1D	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~0 – EEDR7~0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレスレジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

■ EEPROM制御レジスタ (EEPROM Control Register) EECR (ATtiny12のみ)

ビット	7	6	5	4	3	2	1	0	
\$1C	–	–	–	–	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

■ ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとこのEERIEが設定(1)されると、EEPROM操作可割り込みが許可されます。解除(0)されると、この割り込みは禁止されます。EEWEが解除(0)されていると、EEPROM操作可割り込みは継続する割り込みを発生します。

■ ビット2 – EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)

このEEMWEビットは、EEPROM書き込み許可(EEWE)ビットの1設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEWEの1設定は選択されたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「書き込み許可(EEWE)ビット」の説明を参照してください。

■ ビット1 – EEWE : EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みスローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEWEビットを設定(1)しなければなりません。論理1がEEWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならず、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2.と3.の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEAR)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EEWE)ビットへ論理1を書きます。

警告: 手順4.と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARかEEDRが変更されると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順2.~5.の間中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み時間が表6.参照)が経過してしまうと、EEWEビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EEWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

■ ビット0 - EERE : EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEWEビットをポーリングすべきです。新規データまたはアドレスがEEPROM I/Oレジスタに書かれるときに書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROM書き込みアクセスの時間に校正付き内蔵RC発振器が使われます。右の表はCPUからのEEPROMアクセスについて代表的な書き込み時間を示します。

表6. 代表的なEEPROM書き込み時間

項目	校正付きRC発振器クロック数	最小	最大
EEPROM書き込み(CPUから)	4096	3.1ms	6.8ms

(訳注) 内蔵RC発振器クロック数が2048から4096に変更されています。よって、書き込み時間も変更となっています。

休止形態種別

休止形態へ移行するには、MCU制御レジスタ(MCUCR)の休止許可(SE)ビットが設定(1)され、SLEEP命令が実行されなければなりません。MCUCRの休止種別(SM)ビットが選択する休止形態(アイドル動作またはパワーダウン動作)はSLEEP命令により有効にされます。MCUが休止形態中に許可されている割り込みが発生すると、MCUが起動復帰し、

ATtiny11では、その割り込み処理ルーチンを実行し、そしてSLEEP命令の次から実行を再開します。ピン変化でのパワーダウン動作からの復帰では、ピン変化割り込み要求フラグ(PCIF)が更新される前に2命令周期が実行されます。これらの間、プロセッサは命令を実行しますが、割り込み状態は読めず、割り込み処理ルーチンも未だ開始されていません。

ATtiny12では、MCUが4周期停止され、その後割り込み処理ルーチンを実行し、そしてSLEEP命令の次から実行を再開します。

レジスタファイルとI/Oレジスタの内容は無変化です。休止形態中にリセットが起こると、MCUは起動復帰し、リセットベクタから実行します。

アイドル動作

休止種別(SM)ビットが解除(0)されていると、SLEEP命令でMCUがアイドル動作へ移行し、CPUは停止しますが、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これは、タイマ溢れのような内部割り込みやウォッチドッグのリセットだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。アナログ比較器割り込みからの起動復帰が必要とされない場合、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することより、アナログ比較器を電源断にできます。これはアイドル動作での消費電力削減になります。ATtiny11ではアイドル動作から起動復帰すると、CPUは直ちにプログラムの実行を始めます。

パワーダウン動作

休止種別(SM)ビットが設定(1)されていると、SLEEP命令でMCUがパワーダウン動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ウォッチドッグは動作を継続します。外部リセット、(許可されていれば)ウォッチドッグリセット、(INT0の)外部レベル割り込み、またはピン変化割り込みだけがMCUを起動復帰できます。

ATtiny11ではパワーダウン動作からの起動復帰にレベルで起動された割り込みまたはピン変化割り込みが使われる場合、変更されたレベルがリセット遅延時間(t_{TOUT})より長い時間保持されなければならないことに注意してください。さもなければMCUは起動復帰に失敗します。

ATtiny12ではパワーダウン動作からの起動復帰に、レベルで起動された割り込みまたはピン変化割り込みが使われる場合、MCUを起動するために、変更されたレベルは一定時間保持されなければならないことに注意してください。これはMCUの雑音不安定性を減らします。この起動時間はリセット遅延時間のCK計数部(表10参照)と同じです。入力が2回のウォッチドッグ発振器周期で必要とされるレベルだとMCUはパワーダウン動作から起動復帰します。起動時間が2つのウォッチドッグ発振器周期より短い場合、入力が起動時間の幅分、必要とされるレベルであれば、MCUは起動復帰します。起動時間が終了される前に起動復帰条件が消滅すると、MCUは対応する割り込みの実行を除いて、パワーダウン動作から起動復帰します。ウォッチドッグ発振器の周期は公称2.7μs(3V, 25°C)です。48頁の「ATtiny12代表特性」章で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。

ATtiny12ではパワーダウン動作から復帰するとき、起動復帰条件発生から起動復帰の効果が現れるまで遅延を伴います。これは停止されている後に、再開のためのクロックが許可され、安定状態になるためです。この起動時間はリセット遅延時間を定義するCKSE Lヒューズによって同じく定義されます。

(訳注) 原書では本項目全体がATtiny11とATtiny12で個別に記述されていますが、各項目内個別記載に変更しました。

システム制御とリセット

リセット元

ATtiny11/12には次の3または4つのリセット発生要素があります。

- ・ **電源ONリセット** ……電源電圧が**電源ONリセット閾値電圧(V_{POT})**以下でリセットになります。
- ・ **外部リセット** …… $\overline{\text{RESET}}$ ピンが50ns以上Lowレベルに保たれるとリセットになります。
- ・ **ウォッチドッグリセット** ……ウォッチドッグが許可され、ウォッチドッグ タイマ周期が経過するとリセットになります。
- ・ **低電圧検出(BOD)リセット** ……供給電圧(VCC)が**或る電圧**以下になるとリセットになります。(ATtiny12のみ)

リセット中に全てのI/Oレジスタは初期値が設定され、その後アドレス\$000からプログラム実行が始まります。アドレス\$000に配置される命令はきつとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムで決して割り込みを許可しないなら、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。図16.の回路構成はATtiny11のリセット回路を示します。図17.はATtiny12のリセット回路を示します。表7.はATtiny11についてのリセット回路の電気的特性値を定義します。表9.はATtiny12についてのリセット回路の特性値を示します。

図16. リセット回路構成 (ATtiny11)

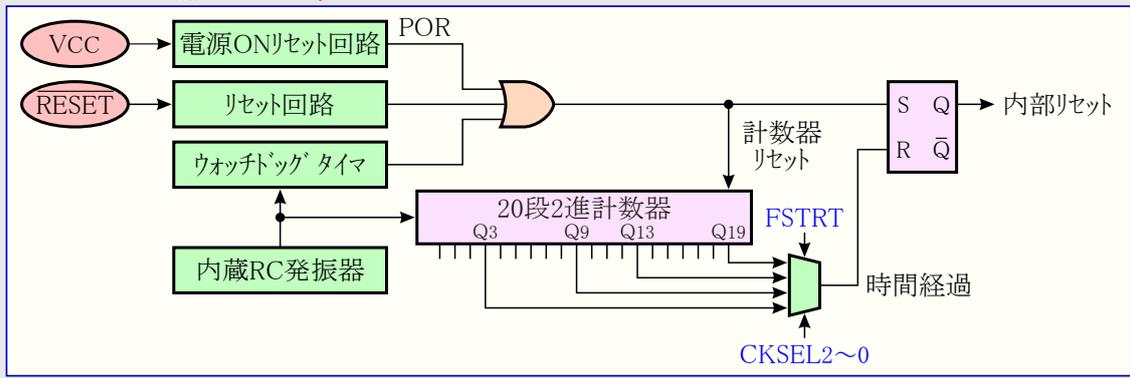


表7. リセット電気的特性 (ATtiny11)

シンボル	項目	最小	代表	最大	単位
V _{POT}	上昇時電源ONリセット閾値電圧	1.0	1.4	1.8	V
	下降時電源ONリセット閾値電圧 (注1)	0.4	0.6	0.8	
V _{RST}	$\overline{\text{RESET}}$ ピン閾値電圧		0.6VCC		

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

電源ONリセット (ATtiny11)

電源ONリセット(POR)回路は電源投入時のデバイスリセットを保証します。図16.で示されるように内部タイマはウォッチドッグ発振器で駆動されます。この内部タイマはVCC上昇時間に拘らず、VCCが**電源ON閾値電圧(V_{POT})**に達した後の或る期間後までMCUを開始から保護します(図18.参照)。フラッシュメモリ内の**FSTRTヒューズビット**は短い起動遅延時間を与えるためにプログラム(0)することができます。各クロック種別に対する起動時間は次表で示されます。起動時間のタイミングにはウォッチドッグ発振器が使われ、40頁の「ATtiny11 代表特性」章で示されるように、この発振器は電圧に依存します。

表8. リセット遅延時間 (ATtiny11, VCC=2.7V)

クロック種別	CKSEL2~0	リセット遅延時間 (t _{TOUT})	
		FSTRT 非プログラム(1)	FSTRT プログラム(0)
外部水晶/セラミック発振子	1 1 1	67ms	4.2ms
外部低周波数水晶発振子	1 1 0	4.2s	4.2s
外部RC発振	1 0 1	4.2ms	67μs
内蔵RC発振	1 0 0	4.2ms	67μs
外部クロック信号	0 0 0	4.2ms	5クロック (パワーダウンからは2クロック)

内蔵起動遅延時間で十分な場合、 $\overline{\text{RESET}}$ は直接または外部プルアップ抵抗を介してVCCに接続できます。VCC供給後も、 $\overline{\text{RESET}}$ ピンをLowレベルに保持することで、起動遅延時間は延長できます。このタイミング例については図19.を参照してください。

図17. リセット回路構成 (ATtiny12)

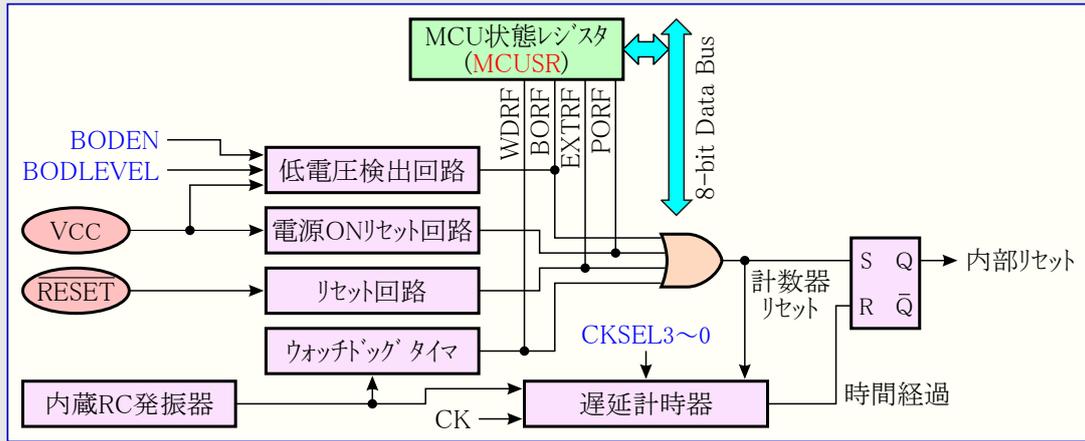


表9. リセット電気的特性 (ATtiny12)

シンボル	項目	最小	代表	最大	単位	
V _{POT}	上昇時電源ONリセット 閾値電圧	BODEN=非プログラム(1)/禁止	1.0	1.4	1.8	V
		BODEN=プログラム(0)/許可	0.6	1.2	1.8	
	下降時電源ONリセット 閾値電圧 (注1)	BODEN=非プログラム(1)/禁止	0.4	0.6	0.8	
		BODEN=プログラム(0)/許可	0.6	1.2	1.8	
V _{RST}	RESETピン閾値電圧		0.6V _{CC}			
V _{BOT}	低電圧検出(BOD) 閾値電圧	BODLEVEL=非プログラム(1)	1.5	1.8	1.9	V
		BODLEVEL=プログラム(0)	2.3	2.7	2.8	

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

右表はリセットからの起動時間を示します。休止形態からは(表の)CK計数部だけが使われます。起動時間の実時間部のタイミングについてはウォッチドッグ発振器が使われます。この実時間に対するウォッチドッグ発振器の計数値は表11.で示されます。

表11. ウォッチドッグ発振器の周期数

BODLEVEL	タイマ値(V _{CC})	周期数
非プログラム(1)	3.6ms (1.8V)	256
	57ms (1.8V)	4K
プログラム(0)	4.2ms (2.7V)	1K
	67ms (2.7V)	16K

48頁の「ATtiny12 代表特性」章で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。(BODENヒューズを非プログラムのままとすることで)低電圧検出(BOD)が禁止されていても、BODLEVELヒューズは起動(遅延)時間を選択するために使えます。このデバイスはCKSEL3~0=0010で出荷されます。

表10. CKSELヒューズによるリセット遅延選択 (ATtiny12)

CKSEL3~0	クロック種別	リセット遅延時間(t _{OUT})	
		V _{CC} =1.8V BODLEVEL=1	V _{CC} =2.7V BODLEVEL=0
0000	外部クロック信号	3.6ms + 6 × CK	4.2ms + 6 × CK
0001		6 × CK	6 × CK
0010	内蔵RC発振	57ms + 6 × CK	67ms + 6 × CK
0011		3.6ms + 6 × CK	4.2ms + 6 × CK
0100	外部RC発振	6 × CK	6 × CK
0101		57ms + 6 × CK	67ms + 6 × CK
0110		3.6ms + 6 × CK	4.2ms + 6 × CK
0111		6 × CK	6 × CK
1000	外部低周波数水晶発振	57ms + 32K × CK	67ms + 32K × CK
1001		57ms + 1K × CK	67ms + 1K × CK
1010	外部水晶/セラミック発振	57ms + 16K × CK	67ms + 16K × CK
1011		3.6ms + 16K × CK	4.2ms + 16K × CK
1100		16K × CK	16K × CK
1101		57ms + 1K × CK	67ms + 1K × CK
1110		3.6ms + 1K × CK	4.2ms + 1K × CK
1111		1K × CK	1K × CK

注1: リセット遅延時間内のクロック数制限のため、セラミック振動子の使用が推奨されます。

電源ONリセット (ATtiny12)

電源ONリセット(POR)パルスは内蔵検出回路により生成されます。この検出電圧は公称1.4Vです。PORはVCCが検出電圧以下で必ず有効にされます。このPOR回路は供給電圧低下の検出だけでなく開始時のリセット起動にも使われます。

電源ONリセット回路は電源投入時のデバイスリセットを保証します。電源ONリセット閾値電圧(VPOT)への到達は、VCC上昇後、デバイスがリセットを保持する遅延を決める遅延タイマ(カウンタ)を起動します。遅延タイマの計時完了時間はCKSELヒューズを通して定義できます。遅延時間の各選択は表10.で示されます。VCCが検出電圧以下に低下するとき、リセット信号は遅延なしで再び活性(有効)にされます。

内蔵起動遅延時間で十分な場合、RESETは直接または外部プルアップ抵抗を介してVCCに接続できます。VCC供給後も、RESETピンをLowレベルに保持することで、起動遅延時間は延長できます。このタイミング例については図19.を参照してください。

図18. 内蔵電源ONリセット (RESETはVCCに接続)

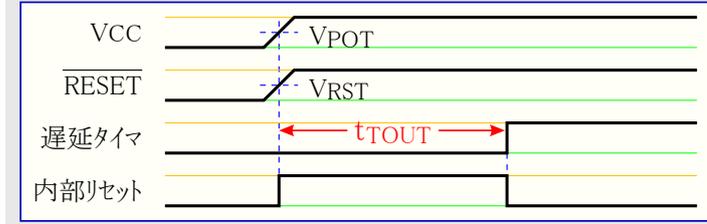
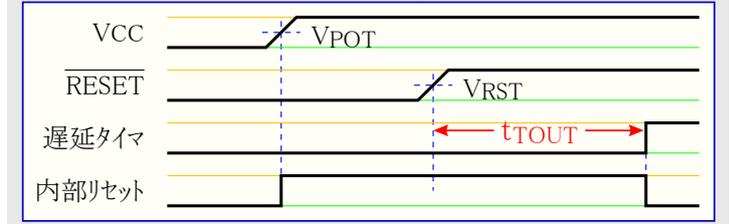


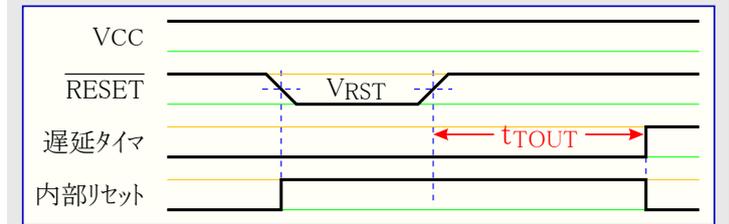
図19. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピン上のLowレベルによって生成されます。例えばクロックが動いていなくても、50nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセットが保証されません。供給された信号の上昇がリセット閾値電圧(VRST)に達すると、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを起動します。

図20. 動作中の外部リセット

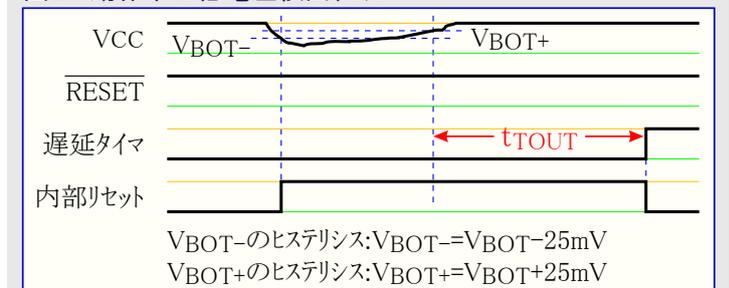


低電圧(ブラウンアウト)検出リセット (ATtiny12)

ATtiny12には動作中のVCC電圧を監視する内蔵低電圧検出(BOD)回路があります。BOD回路はBODENヒューズによって許可/禁止ができます。BODENが許可(BODEN=プログラム(0))され、VCCが検出電圧以下の値に低下すると、低電圧検出リセットは直ちに有効とされます。VCCが検出電圧以上に上昇すると、遅延後に無効とされます。この遅延はPOR信号の遅延(表10.参照)と同じ方法で使用者によって定義されます。BOD検出電圧はBODLEVELヒューズにより、1.8V(非プログラム(1))、または2.7V(プログラム(0))が選択できます。この検出電圧には、スパイク無効の低電圧検出を保証するために50mVのヒステリシスがあります。

このBOD回路は電圧が2.7Vで7 μ s、1.8Vで24 μ s(代表値)より長く検出電圧以下に留まった場合だけ、VCCの低下を検出します。

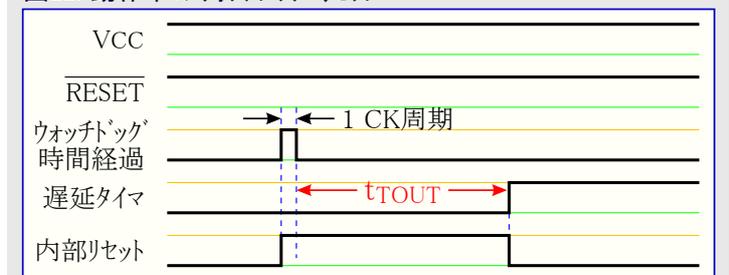
図21. 動作中の低電圧検出リセット



ウォッチドッグ リセット

ウォッチドッグ時間経過で1CK周期幅の短いリセットパルスを生じます。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ操作の詳細については28頁を参照してください。

図22. 動作中のウォッチドッグ リセット



リセット関係レジスタ

■ MCU状態レジスタ (MCU Status Register) MCUSR (ATtiny11)

MCU状態レジスタはどのリセット元でMCUリセットが起こされたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34	-	-	-	-	-	-	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	内容参照	内容参照	

■ ビット7~2 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット1 - EXTRF : 外部リセット フラグ (External Reset Flag)

電源ONリセット後、このビットは不定です。このビットは外部リセットによって設定(1)されます。ウォッチドッグ リセットは、このビットを無変化、そのままにします。

■ ビット0 - PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットによって設定(1)されます。外部リセットやウォッチドッグ リセットは、このビットを無変化、そのままにします。

要約のため、表12.は3つのリセット動作後の、これら2ビットの値を示します。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くEXTRFとPORF両方を解除(0)すべきです。EXTRFとPORF値の検査は、このビットが解除(0)される前に行います。外部またはウォッチドッグ リセットが起こる前に、これらのビットが解除(0)される場合、リセット元は次の真理値表(表13.)を使うことで見つけられます。

表12. リセット発生元によるフラグの変化

リセット発生元	EXTRF	PORF
電源ON リセット	不定	1
外部リセット	1	不変
ウォッチドッグ リセット	不変	不変

表13. フラグによるリセット発生元判定

EXTRF	PORF	リセット発生元
0	0	ウォッチドッグ リセット
0	1	電源ON リセット
1	0	外部リセット
1	1	電源ON リセット

■ MCU状態レジスタ (MCU Status Register) MCUSR (ATtiny12)

MCU状態レジスタはどのリセット元でMCUリセットが起こされたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34	-	-	-	-	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

■ ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット3 - WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

■ ビット2 - BORF : 低電圧検出(BOD)リセット フラグ (Brown-out Reset Flag)

このビットは低電圧検出(BOD)リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

■ ビット1 - EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

■ ビット0 - PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットによって設定(1)されます。このビットは、このフラグへの論理0書き込みによって解除(0)されます。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くMCUSRを読み、その後解除(0)すべきです。他のリセットが起こる前に、このレジスタ(MCUSR)が解除(0)される場合、そのリセット元はこれらのリセット フラグを調べることで得られます。

割り込み

リセットと割り込み

ATtiny11には4種類、ATtiny12には5種類の割り込みがあります。これらの割り込みとリセットのベクタは、プログラムメモリ空間内に各々個別のベクタを持っています。全ての割り込みは割り込みを許可するために個別の許可ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットを設定(1)しなければなりません。

プログラムメモリ空間の最下位アドレスはリセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は表14.に示されません。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表14. リセットと割り込みのベクタ

ベクタ番号	プログラムアドレス	発生元	備考
1	\$000	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$001	INT0	外部割り込み要求0
3	\$002	PIN_CHG	I/Oピンレベル変化
4	\$003	タイマ/カウンタ0 OVFO	タイマ/カウンタ0溢れ
5	\$004	ANA_COMP (ATtiny11)	アナログ比較器出力遷移
		EE_RDY (ATtiny12)	EEPROM 操作可
6	\$005	ANA_COMP (ATtiny12)	アナログ比較器出力遷移

ATtiny11に於けるリセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$000		RJMP RESET	;各種リセット
\$001		RJMP EXT_INT0	;外部割り込み要求0
\$002		RJMP PIN_CHG	;I/Oピンレベル変化
\$003		RJMP TIM_OVFO	;タイマ/カウンタ0溢れ
\$004		RJMP ANA_COMP	;アナログ比較器出力遷移
;			
\$005	RESET:	}	;以下、I/O初期化など

ATtiny12に於けるリセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$000		RJMP RESET	;各種リセット
\$001		RJMP EXT_INT0	;外部割り込み要求0
\$002		RJMP PIN_CHG	;I/Oピンレベル変化
\$003		RJMP TIM_OVFO	;タイマ/カウンタ0溢れ
\$004		RJMP EE_RDY	;EEPROM 操作可
\$005		RJMP ANA_COMP	;アナログ比較器出力遷移
;			
\$006	RESET:	}	;以下、I/O初期化など

割り込みの扱い

ATtiny11/12には一般割り込み許可レジスタ(GIMSK)とタイマ/カウンタ割り込み許可レジスタ(TIMSK)の2つの8ビット割り込み許可レジスタがあります。

割り込みが起こると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータスレジスタ(SREG)は割り込み処理ルーチンへの移行時の保存と割り込み処理ルーチンからの復帰時の再設定が自動的に行われなことに注意してください。これはソフトウェアにより操作しなければなりません。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4クロックです。割り込み要求フラグが設定(1)されてしまった後の4クロック周期で、実際の割り込み処理ルーチン用の割り込みベクタアドレスが実行されます。この4クロック周期期間中、プログラムカウンタ(9ビット)がスタック上に保存(プッシュ)されます。通常、このベクタは割り込み処理ルーチンに対する無条件相対分岐(RJMP)命令で、この分岐に2クロック周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前に、その命令が完了されます。ATtiny12では、MCUが休止形態のときに割り込みが起こると、割り込み応答時間が4クロック周期増やされます。

割り込み処理ルーチンからの復帰は4クロック周期要します。この4クロック周期中に、スタックからプログラムカウンタ(9ビット)が回復(ポップ)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。割り込みを抜けるときは常に主(元)プログラムへ復帰し、保留されている割り込みが扱われる前に、1つ以上の命令を実行します。

外部割り込み

外部割り込みはINT0ピンにより起動されます。許可されていれば、INT0ピンが出力として設定されていても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端、ピン変化(両端)、またはLowレベルで起動できます。これはMCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。外部割り込みが許可され、レベル起動として設定されるとき、ピンがLowに保持されている限り、この割り込みは継続的に発生します。

外部割り込みは、MCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。

ピン変化割り込み

ピン変化割り込みは、入力または入出力ピンのどれかの何れかの変化により起動されます。PB2~0ピンの変化は常に割り込みを起こします。PB5~3ピンの変化は、4頁の「ピン概要」項で記載されるように、そのピンが入力または入出力に設定される場合に割り込みを起こします。許可されていれば、変化するピンが例え出力として設定されていても、起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。ピンの動きが他の割り込み、例えば外部割り込みを起動する場合でも、ピン変化割り込みが起動することにも注目してください。これは1つの外部要因が複数の割り込みを起こせることを意味します。

ピンの値はエッジ検出に先立って採取されています。ピン変化割り込みが許可されていれば、1CPUクロック周期よりも長く留まるパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。

割り込み用レジスタ

■ MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは、一般的なMCU機能の制御ビットで構成されます。

ビット	7	6	5	4	3	2	1	0	
\$35	–	(PUD)	SE	SM	–	–	ISC01	ISC00	MCUCR
Read/Write	R	R(/W)	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: プルアップ禁止(PUD)ビットはATtiny12だけで利用可能です。

■ ビット7,6 (ATtiny11)、ビット7 (ATtiny12) – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット6 (ATtiny12) – PUD : プルアップ禁止 (Pull-up Disable)

このビットの設定(1)は、ポートBの全プルアップを禁止します。このビットが解除(0)されると、23頁の「入出力ポートB」項で記述されるようにプルアップは個別に許可できます。

■ ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行されるときにMCUを休止形態へ移行させるには、休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的外休止形態移行を防ぐため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

■ ビット4 – SM : 休止種別 (Sleep Mode)

このビットは利用可能な2つの休止形態種別を選択します。SMが解除(0)されると休止形態としてアイドル動作が選択されます。SMが設定(1)されると休止形態としてパワーダウン動作が選択されます。詳細については13頁の「休止形態種別」節を参照してください。

■ ビット3,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(1)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが、共に設定(1)されている場合の外部割り込み0(INT0)ピンによって起動されます。次表は外部割り込みを発生するためのISCビット設定法を示します。

INT0ピンの値はエッジ検出以前から採取比較されています。エッジ割り込みが選択されると、1CPUクロック周期より長く留まるパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選択されると、割り込みを発生するためには、現在実行中の命令の完了までLowレベルが保持されなければなりません。許可されていれば、レベル起動割り込みはピンがLowに保持されている限り、割り込み要求を発生し続けます。

表15. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	INT0ピンのレベル変化(両端)。
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

■ 一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B	-	INT0	PCIE	-	-	-	-	-	GIMSK
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - INT0 : 外部割り込み0 許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み0許可(INT0)ビットが、共に設定(1)でINT0ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット1と0(ISC01, ISC00)が、外部割り込みINT0ピンの動作を上昇端、下降端、ピン変化(両端)、またはLowレベルの何れか定義します。INT0ピンが出力に設定されていても、このピンの動きは割り込み要求を起こします。対応する外部割り込み0の割り込みはプログラムメモリアドレス\$001から実行されます。「外部割り込み」もご覧ください。

■ ビット5 - PCIE : ピン変化割り込み許可 (Pin Change Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとピン変化割り込み許可(PCIE)ビットが、共に設定(1)でピン変化割り込みが許可されます。入力または入出力ピンのどれかの何れかの変化が割り込みを起こします。対応するピン変化割り込み要求の割り込みはプログラムメモリアドレス\$002から実行されます。「ピン変化割り込み」もご覧ください。

■ ビット4~0 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ 一般割り込み要求フラグ レジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A	-	INTF0	PCIF	-	-	-	-	-	GIFR
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上のエッジが割り込み要求を起こす時に対応する割り込み要求フラグ(INTF0)が設定(1)になります。この時にステータスレジスタ(SREG)の全割り込み許可(I)ビットと対応する一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが共に設定(1)されていれば、MCUは割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されると、解除(0)されます。このフラグは論理1を書くことによって解除(0)できます。INT0がレベル割り込みとして設定されるとき、このフラグは常に解除(0)されます。

■ ビット5 - PCIF : ピン変化割り込み要求フラグ (Pin Change Interrupt Flag)

入力または入出力ピンのどれかの出来事が割り込み要求を起こす時にピン変化割り込み要求(PCIF)フラグが設定(1)になります。この時にステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化割り込み許可(PCIE)ビットが共に設定(1)されていれば、アドレス\$002の割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されると、解除(0)されます。このフラグは論理1を書くことによって解除(0)できます。

■ ビット4~0 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39	-	-	-	-	-	-	TOIE0	-	TIMSK
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~2 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット1 - TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットが共に設定(1)で、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)が設定(1)されると、対応する割り込み(ベクタ \$003)が実行されます。

■ ビット0 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38	-	-	-	-	-	-	TOV0	-	TIFR
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~2 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット1 - TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、このTOV0ビットが設定(1)されます。対応する割り込みベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

■ ビット0 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

入出力ポートB

AVRの全てのポートは標準デジタルI/Oポートとして使われるとき、真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしにポートピンの1つの方向が変更できることを意味します。駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ATtiny11のポートBは5ビットの双方向I/Oポートと1ビットの入力ポートです。ATtiny12のポートBは6ビットの双方向I/Oポートです。

ポートBについては3つのI/Oメモリ アドレス位置が、各々、データ出力レジスタ(PORTB),\$18、データ方向レジスタ(DDRB),\$17、データ入力レジスタ(PINB),\$16に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートPB5~3には4頁の「ピン概要」項で記述される特別な機能があります。PB5は外部リセットとして設定されなければ、プルアップなしの入力です。ATtiny12のPB5は論理0(Low)も出力でき、オープンドレイン出力として動作します。PB4、PB3がクロック機能に使われない場合、それらは入出力ピンです。全てのポートピンには、個別に選択可能なプルアップ抵抗があります。

PB0~4のポートB出力緩衝部は20mAのシンク電流を流せますので、LED表示器を直接駆動できます。ATtiny12のPB5は12mAの吸い込み電流を流せます。PB0~4ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。

ポートピンの交換機能は表16.に示されます。

表16. ポートBピンの交換機能

ポートピン	交換機能	デバイス
PB0	AIN0 (アナログ比較器非反転入力)	ATtiny11/12
	MOSI (直列プログラミング用データ入力)	ATtiny12
PB1	AIN1 (アナログ比較器反転入力)	ATtiny11/12
	INT0 (外部割り込み0入力)	
	MISO (直列プログラミング用データ出力)	ATtiny12
PB2	T0 (タイマ/カウンタ0 外部クロック入力)	ATtiny11/12
	SCK (直列プログラミング用直列クロック入力)	ATtiny12
PB3	XTAL1 (発振器入力)	ATtiny11/12
PB4	XTAL2 (発振器出力)	ATtiny11/12
PB5	RESET (外部リセット入力)	ATtiny11/12

PB2~0ピンが交換機能で使われるとき、ポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は交換機能の説明に従って設定されなければなりません。PB5~3が交換機能を使われるとき、対応するDDRBとPORTBビットの値は無視されます。

入出力ポートB用レジスタ

■ ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18	-	-	-	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17	-	-	(DDB5)	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R/(W)	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: DDB5はATtiny12でだけ利用可能です。

■ ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16	-	-	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読まれます。

ポートB 標準デジタル入出力

標準I/Oピンとして使われるとき、ポートBの最下位側5ピンは同じ機能動作です。

標準I/OピンPBnは、**ポートB方向レジスタ(DDRB)**のDDBnビットがそのピンの入出力方向を選択し、DDBnが設定(1)されると、出力ピンとして設定されます。DDBnが解除(0)されると、入力ピンとして設定されます。**ポートB出力レジスタ(PORTB)**のPORTBnが設定(1)され、そのピンが**入力ピン**として設定されている場合、MOSプルアップ抵抗が有効化されます。ATtiny12では**MCU制御レジスタ(MCUCR)**の**プルアップ禁止(PUD)ビット**の設定(1)により、この機能が禁止できます。このプルアップ抵抗をOFFに切り替えるには、PORTBnが解除(0)されるか、またはそのピンが出力として設定されるか、またATtiny12ではMCUCRのPUDビットの設定(1)で行えます。ポートBピンはリセット条件が有効になると、例えばクロックが動作していなくてもHi-Z状態にされます。

表17. ポートBピンに対するDDBnの関係

DDBn	PORTBn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PBnに外部からLowを入力すると吐き出し電流が流れます。ATtiny12では、PUDの設定(1)によってプルアップが禁止されます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは4,3~0でビット番号を示します。

ATtiny11のPB5が**入力専用**なことに注意してください。ATtiny12のPB5は**入力かオープンドレイン出力**です。このピンが12V(高電圧直列)プログラミングに使われるため、ピン上の電圧をVCC+0.5Vに制限する**静電破壊防止ダイオード**がありません。従って、通常動作中、このピンの電圧がVCC+1V以上に上昇しないことを保証するために特別な注意が必要とされるべきです。これは予期せぬリセットやプログラミング動作への移行の原因になるかもしれません。

ポートBの交換機能

全てのポートBピンはピン変化割り込みを起動できるピン変化検出器に接続されます。詳細については19頁の「**ピン変化割り込み**」をご覧ください。加えてポートBには次の交換機能があります。

- **RESET** – ポートB ビット5 : PB5

RESET : RSTDISBLヒューズが非プログラム(1)のとき、このピンは外部リセットとして扱います。RSTDISBLヒューズがプログラム(0)されると、このピンは標準入力ピンです。ATtiny12では、オープンドレイン出力ピンでもあります。

- **XTAL2** – ポートB ビット4 : PB4

XTAL2 : クロック発振器出力です。このピンがクロックの目的に使われない時は標準I/Oピンです。詳細については4頁の「**ピン概要**」項を参照してください。

- **XTAL1** – ポートB ビット3 : PB3

XTAL1 : クロック発振器入力または外部クロック信号入力です。このピンがクロックの目的に使われない時は標準I/Oピンです。詳細については4頁の「**ピン概要**」項を参照してください。

- **T0/(SCK)** – ポートB ビット2 : PB2

T0 : このピンはタイマ/カウンタ外部クロック入力としても扱えます。より多くの詳細については「**タイマ/カウンタ0**」記述をご覧ください。タイマ/カウンタ外部クロック駆動選択時、例えば出力として設定されていても、このピン上の有効動作はタイマ/カウンタをクロック駆動します。

SCK(ATtiny12のみ) : ATtiny12での直列プログラミング動作で、このピンは直列クロック入力(SCK)として扱います。

- **INT0/AIN1/(MISO)** – ポートB ビット1 : PB1

INT0 : このピンは外部割り込み0入力として扱えます。詳細と許可の方法については「**割り込みの扱い**」記述をご覧ください。このピンが出力として設定されていても、このピン上の有効動作が割り込みを起動することに注意してください。

AIN1 : このピンは内蔵アナログ比較器の反転入力としても扱います。

MISO(ATtiny12のみ) : ATtiny12での直列プログラミング動作で、このピンは直列データ出力(MISO)として扱います。

- **AIN0/(MOSI)** – ポートB ビット0 : PB0

AIN0 : このピンは内蔵アナログ比較器の非反転入力としても扱います。

MOSI(ATtiny12のみ) : ATtiny12での直列プログラミング動作で、このピンは直列データ入力(MOSI)として扱います。

パワーダウン動作中、シュミットトリガ デジタル入力がアナログ比較器入力ピンから切り離されます。これはパワーダウン動作中、過大な電力消費の原因とならずに、VCC/2近辺のアナログ電圧が存在するのを許容します。

タイマ/カウンタ0

ATtiny11/12には8ビット汎用タイマ/カウンタが1つあります。このタイマ/カウンタ0にはシステムクロックを分周する10ビット前置分周器があります。このタイマ/カウンタ0は内部クロックを基準とするタイマや、外部ピンに接続された起因信号によるカウンタなどの使用ができます。

タイマ/カウンタ前置分周器部

図23.はタイマ/カウンタの前置分周器を示します。

前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、CK/8、CK/64、CK/256、CK/1024です。CK、外部クロック信号、または停止もクロック元として選択できます。

図24.はタイマ/カウンタ0の構成図を示します。

8ビットのタイマ/カウンタ0はCK、分周されたCK、または外部ピンからクロック元を選択できます。加えてタイマ/カウンタ0制御レジスタ(TCCR0)の詳細で説明されるように停止もできます。溢れ状態フラグ(TOV0)はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)にあります。制御ビットはタイマ/カウンタ0制御レジスタ(TCCR0)にあります。タイマ/カウンタ0についての割り込みの許可/禁止設定はタイマ/カウンタ割り込み許可レジスタ(TIMSK)内にあります。

タイマ/カウンタ0が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

8ビットのタイマ/カウンタ0は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的やまれに動く正確なタイミングの目的についてタイマ/カウンタ0を有効にします。

図23. タイマ/カウンタ前置分周器部構成

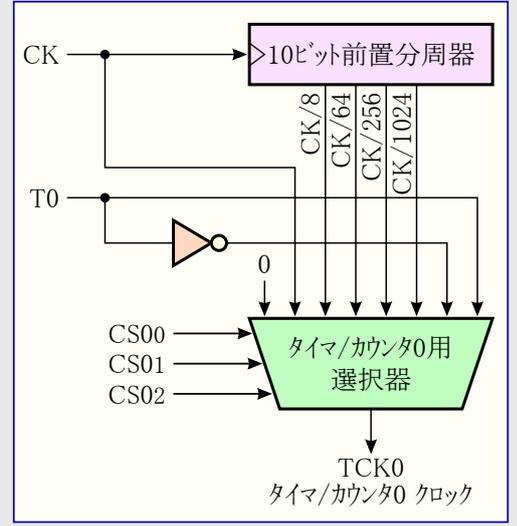
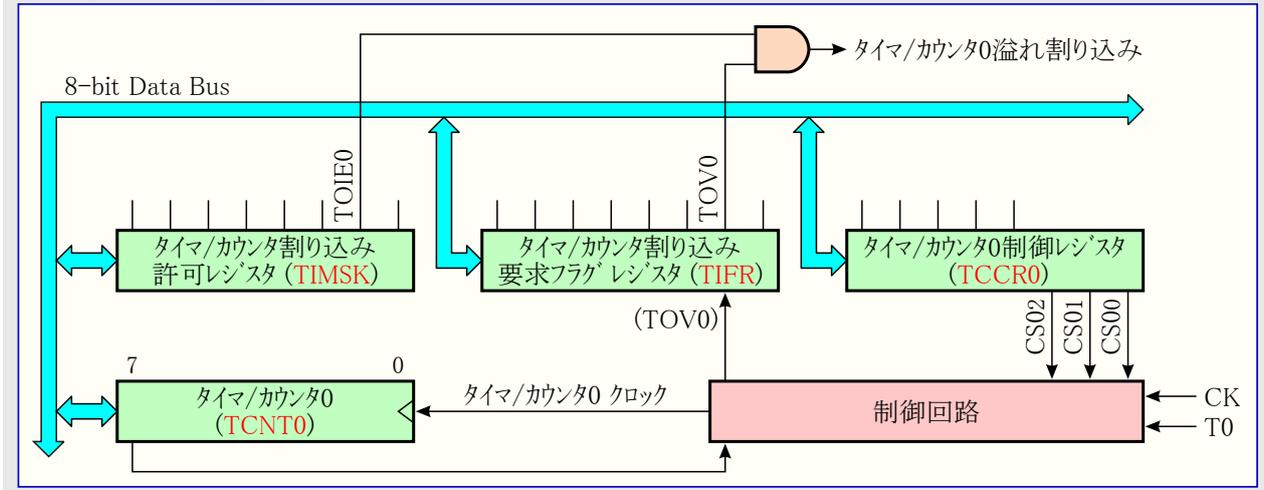


図24. タイマ/カウンタ0構成図



タイマ/カウンタ0用レジスタ

■ タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33	—	—	—	—	—	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット2~0 - CS02~0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

クロック選択0ビット2~0はタイマ/カウンタ0に供給するクロック元を定義します。

表18. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK
0	1	0	CK/8 (CPUクロックを8分周したクロック)
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T0(PB2)ピンの下降端
1	1	1	外部T0(PB2)ピンの上昇端

停止状態はタイマ/カウンタの許可/禁止機能を提供します。CKの分周出力動作では、発振器クロック(CK)から直接的に分周されます。タイマ/カウンタ0に外部ピン動作が使われると、例えT0(PB2)が出力として設定されていても、このピン上の変移がタイマ/カウンタを計数します。この特徴が計数動作のソフトウェア制御を提供します。

■ タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$32	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタ0は、読み書きできる上昇カウンタとして実装されます。タイマ/カウンタ0が書かれ、クロック元が存在すると、タイマ/カウンタ0は書き込み動作の次に来るタイマ/カウンタ クロック周期で計数を開始/継続します。

■ タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39	-	-	-	-	-	-	TOIE0	-	TIMSK
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~2 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット1 - TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットが共に設定(1)で、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言すると、**タイマ/カウンタ割り込み要求フラグレジスタ (TIFR)のタイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)**が設定(1)されると、対応する割り込み(ベクタ \$003)が実行されます。

■ ビット0 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38	-	-	-	-	-	-	TOV0	-	TIFR
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~2 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット1 - TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、このTOV0ビットが設定(1)されます。対応する割り込みベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと**タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット**とTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

■ ビット0 - Res : 予約 (Reserved)

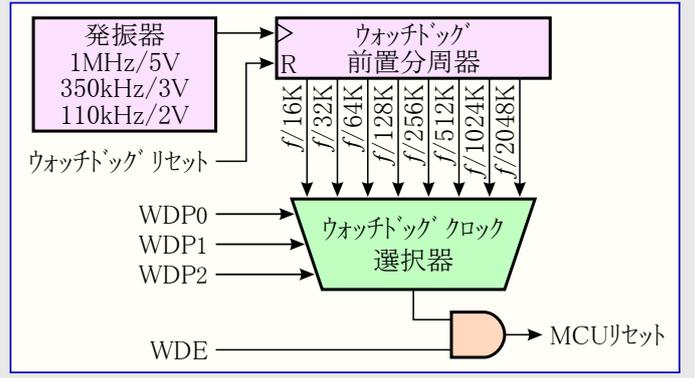
このビットは予約されており、常に0として読めます。

ウォッチドッグ タイマ

このウォッチドッグ タイマは独立の内蔵発振器から駆動されます。ウォッチドッグ タイマの前置分周器を制御することにより、表19.で示されるようにウォッチドッグ リセット周期は調整できます。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。8種の異なるクロック周期はリセット周期を決めるために選択できます。WDR命令なしで、このリセット周期が経過すると、ATtiny11/12はリセットして、リセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては16頁を参照してください。

予期せぬウォッチドッグ 禁止を防止するため、ウォッチドッグ が禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの記述を参照してください。

図25. ウォッチドッグ タイマ構成図



ウォッチドッグ タイマ用レジスタ

■ ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~5 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット4 - WDTOE : ウォッチドッグ 停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ 許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグ は禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に解除します。ウォッチドッグ 禁止手順についてはWDEビットの記述を参照してください。

■ ビット3 - WDE : ウォッチドッグ 許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ 停止移行許可(WDTOE)ビットが設定(1)されているときだけ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック以内に、WDEへ論理0を書きます。これがウォッチドッグ を禁止します。

■ ビット2~0 - WDP2~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2~0は、ウォッチドッグ タイマが許可される時のウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は表19.に示されます。

表19. ウォッチドッグ 前置分周選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

注: 40頁の「ATtiny11 代表特性」章で示されるように、ウォッチドッグ 発振器の周波数は電圧に依存します。

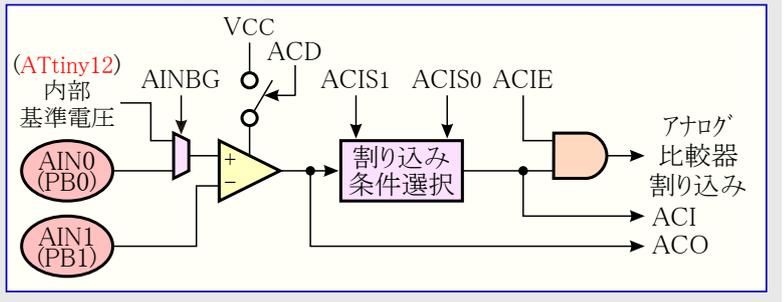
ウォッチドッグ タイマが許可される前に、常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周器設定に一致するリセット周期を保証します。このリセット操作なしにウォッチドッグ が許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

予期せぬMCUリセットを避けるため、ウォッチドッグ タイマ前置分周選択の変更前にはウォッチドッグ タイマが禁止されるかリセットされるべきです。

アナログ比較器

アナログ比較器は非反転入力AIN0(PB0)と反転入力AIN1(PB1)の入力値を比較します。AIN0(PB0)非反転入力 of 電圧がAIN1(PB1)反転入力 of 電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端、またはその両方での割り込み起動が選べます。この比較とその周辺回路の構成図は図26.で示されます。

図26. アナログ比較器部構成図



アナログ比較器用レジスタ

■ アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08	ACD	(AINBG)	ACO	ACI	ACIE	-	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/(W)	R	R/W	R/W	R	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

注: AINBGはATtiny12でだけ利用可能です。

■ ビット7 - ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFにするため、何時でも設定(1)できます。ACDビットを変更するとき、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

■ ビット6 - Res : 予約 (Reserved) (ATtiny11)

このビットは予約されており、常に0として読めます。

■ ビット6 - AINBG : 内部基準電圧選択 (Analog Comparator Bandgap Select) (ATtiny12)

BODENヒューズがプログラム(0)で**低電圧検出(BOD)リセット**が許可で本ビットが設定(1)されると、比較器非反転入力 of 標準入力(AIN0)を内部基準電圧1.22±0.05Vに置換します。このビットが解除(0)されると、標準入力AIN0(PB0)ピンが比較器非反転入力に印加されます。

■ ビット5 - ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

■ ビット4 - ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが、**アナログ比較器割り込み条件(ACIS1,ACIS0)ビット**で定義された割り込み動作を起こすとき、本ビットは設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行するとき、ACIは自動的に解除(0)されます。代わりにこのフラグへ**論理1**を書くことによっても、ACIは解除(0)されます。

■ ビット3 - ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されると、アナログ比較器割り込みが有効化されます。解除(0)されると、この割り込みは禁止されます。

■ ビット2 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット1,0 - ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は表20.に示されます。

表20. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移(トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: このACIS1,ACIS0ビットを変更するとき、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起き得ます。

警告: このレジスタのACI以外のビットに対する**CBI**または**SBI**命令の使用は、ACIが1として読まれる場合に1が書き戻されるため、このフラグを解除(0)してしまいます。

内部基準電圧 (ATtiny12)

ATtiny12の特徴として公称1.22Vの内部基準電圧があります。この内部基準電圧は低電圧検出(ブラウンアウト検出)に使われ、アナログ比較器の入力にも使えます。

基準電圧許可信号と起動時間

この基準電圧には使用方法に影響を及ぼす起動時間が存在します。最大起動時間は10 μ sです。電力削減のため、この基準電圧は常にONではありません。この基準電圧は次の状況中ONです。

- ・ 低電圧検出リセット許可(BODENヒューズ=プログラム(0))時
- ・ アナログ比較器基準電圧接続(アナログ比較器制御/状態レジスタ(ACSR)の基準電圧入力選択(AINBG)=1)時

従って、低電圧検出(BOD)が許可されていないと、AINBGの設定(=1)後、常にアナログ比較器出力が使われる前に、基準電圧を起動させなければなりません(安定時間が必要)。内部基準電圧は概ね10 μ Aを消費し、パワーダウン動作での電力消費削減のため、この動作へ移行するとき、この基準電圧をOFFに切り替えます。

メモリプログラミング

プログラムメモリとデータメモリ用施錠ビット

ATtiny11/12 MCUは非プログラム(1)のままか、表21.で示される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表21. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュメモリとEEPROMのプログラミング機能が禁止されます。(注)
3	0	0	保護種別2と同様、更に照合も禁止されます。

注: 高電圧直列プログラミング動作でのヒューズビットの書き込みも禁止されます。施錠ビットの書き込み前にヒューズビットを書いてください。

ヒューズビット (ATtiny11)

ATtiny11には5つのヒューズビット、FSTRT、RSTDISBL、CKSEL2~0があります。

- **FSTRT:** 使うには14頁の「表8. リセット遅延時間 (ATtiny11, VCC=2.7V)」をご覧ください。既定値は非プログラム(1)です。
- **RSTDISBL:** RSTDISBLがプログラム(0)されると、PB5ピンの外部リセット機能が禁止されます(注)。既定値は非プログラム(1)です。
- **CKSEL2~0:** 使用のためのCKSEL2~0の組み合わせについては7頁の「表3. クロック選択」をご覧ください。既定値は'100'(内蔵RC発振器)です。

ヒューズビットの状態はチップ消去による影響を受けません。

注: RSTDISBLヒューズがプログラム(0)される場合、その後、プログラミング装置(書き込み器)はATtiny11が電源ONリセット中、PB5に+12Vを印加すべきです。そうしないと、PB0駆動の衝突による原因でプログラミング動作への移行失敗が有り得ます。

ヒューズビット (ATtiny12)

ATtiny12には8つのヒューズビット、BODLEVEL、BODEN、SPIEN、RSTDISBL、CKSEL3~0があります。全てのヒューズビットは高電圧と低電圧の直列プログラミング動作の両方でプログラミングできます。ヒューズの変更はプログラミング中、どんな効果も持ちません(保留されます)。

- **BODLEVEL:** BODLEVELヒューズは低電圧検出電圧の選択と起動(リセット遅延)時間を変更します。14頁の「低電圧(ブラウンアウト)検出リセット (ATtiny12)」と15頁の「表10. CKSELヒューズによるリセット遅延選択 (ATtiny12)」をご覧ください。既定値はプログラム(0)です。
- **BODEN:** BODENヒューズがプログラム(0)されると、低電圧検出器(BOD)が許可されます。16頁の「低電圧(ブラウンアウト)検出リセット (ATtiny12)」をご覧ください。既定値は非プログラム(1)です。
- **SPIEN:** SPIENヒューズビットがプログラム(0)されると、低電圧直列プログラミングが許可されます。既定値はプログラム(0)です。低電圧直列プログラミング動作中のこのヒューズの非プログラム(1)化は、将来の実装書き換えの意図を禁止してしまいます。
- **RSTDISBL:** RSTDISBLがプログラム(0)されると、PB5ピンの外部リセット機能が禁止されます(注)。既定値は非プログラム(1)です。低電圧直列プログラミング動作中のこのヒューズの非プログラム(1)化は、将来の実装書き換えの意図を禁止してしまいます。
- **CKSEL3~0:** 使用のためのCKSEL3~0の組み合わせについては7頁の「表3. クロック選択」と15頁の「表10. CKSELヒューズによるリセット遅延選択 (ATtiny12)」をご覧ください。既定値は'0010'(内蔵RC発振器、長起動時間)です。

ヒューズビットの状態はチップ消去による影響を受けません。

注: RSTDISBLヒューズがプログラム(0)される場合、その後、プログラミング装置(書き込み器)はATtiny12が電源ONリセット中、PB5に+12Vを印加すべきです。そうしないと、PB0若しくはPB5駆動の衝突による原因でプログラミング動作への移行失敗が有り得ます。

識票バイト

全てのAtmelマイクロコントローラはデバイス識別用に3バイトの識票符号を持ちます。この3バイトは他から分離された空間に存在します。

ATtiny11の識票符号を次に示します。

- ① \$000 : \$1E 製造業者Atmelを示します。
- ② \$001 : \$90 フラッシュメモリ容量1Kバイトを示します。
- ③ \$002 : \$04 ②値\$90と合せ、ATtiny11を示します。

ATtiny12の識票符号を次に示します。

- ① \$000 : \$1E 製造業者Atmelを示します。
- ② \$001 : \$90 フラッシュメモリ容量1Kバイトを示します。
- ③ \$002 : \$05 ②値\$90と合せ、ATtiny12を示します。

注: 両方の施錠ビットがプログラム(0)される(保護種別3)と、識票バイトは低電圧直列動作で読めません。識票バイトの読み込みは\$00, \$01, \$02が戻ります。

校正バイト (ATtiny12)

ATtiny12には内蔵RC発振器用の1バイト校正値があります。このバイトは識票アドレス空間のアドレス\$000の上位バイトにあります。メモリプログラミング中に外部書き込み器はこの位置を読み、通常のプログラム用フラッシュメモリまたはEEPROM内の選択された位置に書かなければなりません。起動時に使用者プログラムはこのメモリ位置を読み、その値を**発振校正レジスタ(OSCCAL)**に書かなければなりません。

フラッシュメモリとEEPROMのプログラミング

ATtiny11

AtmelのATtiny11は1Kバイトのプログラム用**フラッシュメモリ**を提供します。

ATtiny11には、プログラム用内蔵フラッシュメモリが、消去(全ビット=1)され、プログラムされる準備が整った状態で搭載されています。

このデバイスは**高電圧(12V)直列プログラミング動作**を支援します。プログラミング中、+12Vピンから低電流(<1mA)が引き込まれるだけです。

ATtiny11のフラッシュメモリはバイト単位で書かれます(プログラミングされます)。

ATtiny12

AtmelのATtiny12は実装再書き込み可能な1Kバイトのプログラム用**フラッシュメモリ**と64バイトのデータ用**EEPROMメモリ**を提供します。

ATtiny12にはプログラム用内蔵フラッシュメモリとデータ用EEPROMメモリが、消去(全ビット=1)され、プログラムされる準備が整った状態で搭載されています。

このデバイスは**高電圧(12V)直列プログラミング動作**と**低電圧直列プログラミング動作**を支援します。+12Vはプログラム許可のためだけに使われ、このピンによって特筆すべき電流は流れません。低電圧直列プログラミング動作は実装済みのATtiny12にプログラムとデータを書き込む便利な方法を提供します。

ATtiny12のフラッシュメモリとEEPROMはどちらのプログラミング動作でもバイト単位でプログラムされます。EEPROMについては低電圧直列プログラミング動作での**自動書き込み命令**で自動消去周期が提供されます。

ATtiny11/12

プログラミング中の供給電圧は**表22**に従ってなければなりません。

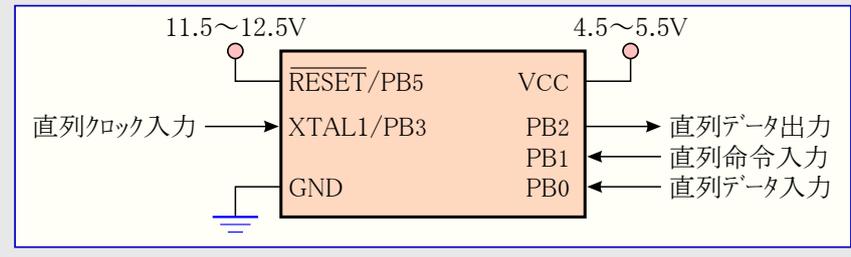
表22. プログラミング中の供給電圧

デバイス	低電圧直列プログラミング	高電圧直列プログラミング
ATtiny11L	適用不可	4.5~5.5V
ATtiny11		
ATtiny12V		
ATtiny12L		
ATtiny12		

高電圧直列プログラミング

本項はATtiny11/12でのプログラム用フラッシュメモリ、データ用EEPROM(ATtiny12のみ)、**施錠ビット**、**ヒューズビット**の高電圧直列プログラミングと照合の方法を記述します。

図27. 高電圧直列プログラミング構成図



高電圧直列プログラミング手順

高電圧直列プログラミング動作でのATtiny11/12のプログラミングと照合は、次の手順が推奨されます(命令形式は表23参照)。

- 次の手順で電源を投入します。
VCCとGND間に4.5~5.5Vを印加します。PB5とPB0をLow(0)に設定し、最低100ns待ちます。最小100nsのパルス幅で最低4回、PB3を交互(High/Low)切り替えます。PB3をLow(0)に設定します。最低100ns待ちます。PB0を変更する前に、PB5~12Vを印加し、最低100ns待ちます。何れかの命令を与える前に8μs待ちます。
- フラッシュメモリは最初にアドレス、次に下位、上位バイトデータを供給することにより、1バイト単位で書き込まれます。**書き込み命令**は自己タイミングで行われ、PB2(RDY/BSY)ピンがHighになるまで待機します。
- EEPROM(ATtiny12のみ)は最初にアドレス、次にバイトデータを供給することにより、1バイト単位で書き込まれます。**書き込み命令**は自己タイミングで行われ、PB2(RDY/BSY)ピンがHighになるまで待機します。
- 何れのメモリ位置も、選択されたアドレスの内容を直列出力(PB2)ピンに読み戻す、**読み出し命令**の使用で検証ができます。
- 電源OFF手順
 - PB3をLow(0)にします。
 - PB5をHigh(1)にします。
 - VCC電源をOFFにします。

ATtiny11/12との直列データを読み書きするとき、データは直列クロックの上昇端でクロック駆動されます。詳細については図28、図29、表24を参照してください。

図28. 高電圧直列プログラミングバイト通信波形

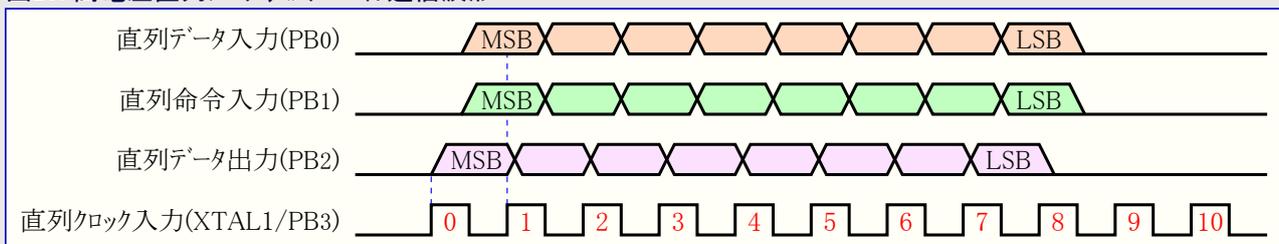


表23. 高電圧直列プログラミング命令一式

命令	PB	命令形式				備考
		第1バイト	第2バイト	第3バイト	第4バイト	
チップ消去	0	0 1000 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	第4バイト後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0110 0100 00	0 0110 1100 00	0 0100 1100 00	
	2	x xxxx xxxx xx				
フラッシュメモリ書き込みアドレス設定	0	0 0001 0000 00	0 0000 000H 00	0 LLLL LLLL 00		第3バイトは新規アドレス毎、第2バイトは新規ページ毎に設定します。
	1	0 0100 1100 00	0 0001 1100 00	0 0000 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
フラッシュメモリ下位バイト書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第3バイト後PB2=Highまで待機します。新規アドレス毎に第1～3バイトを繰り返します。
	1	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
フラッシュメモリ上位バイト書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第2,3バイトは新規アドレス毎に設定します。
	1	0 0011 1100 00	0 0111 0100 00	0 0111 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
フラッシュメモリ読み出しアドレス設定	0	0 0000 0010 00	0 0000 000H 00	0 LLLL LLLL 00		第2,3バイトは新規アドレス毎に設定します。
	1	0 0100 1100 00	0 0001 1100 00	0 0000 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
フラッシュメモリ下位バイト読み出し	0	0 0000 0000 00	0 0000 0000 00			新規アドレス毎に第1,2バイトを繰り返します。
	1	0 0110 1000 00	0 0110 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
フラッシュメモリ上位バイト読み出し	0	0 0000 0000 00	0 0000 0000 00			第2バイトは新規アドレス毎に設定します。
	1	0 0111 1000 00	0 0111 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
EEPROM書き込みアドレス設定 (ATtiny12)	0	0 0001 0001 00	0 00LL LLLL 00			第3バイト後PB2=Highまで待機します。新規アドレス毎に第1～3バイトを繰り返します。
	1	0 0100 1100 00	0 0000 1100 00			
	2	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROMバイト書き込み (ATtiny12)	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第2バイトは新規アドレス毎に設定します。
	1	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
EEPROM読み出しアドレス設定 (ATtiny12)	0	0 0000 0011 00	0 00LL LLLL 00			第3バイト後PB2=Highまで待機します。新規アドレス毎に第1～3バイトを繰り返します。
	1	0 0100 1100 00	0 0000 1100 00			
	2	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROMバイト読み出し (ATtiny12)	0	0 0000 0000 00	0 0000 0000 00			新規アドレス毎に第2バイトを繰り返します。
	1	0 0110 1000 00	0 0110 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
ヒューズビット書き込み (ATtiny10/11)	0	0 0100 0000 00	0 0008 7543 00	0 0000 0000 00	0 0000 0000 00	第3バイト後tWLWH_PFB時間待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx				
ヒューズビット書き込み (ATtiny12)	0	0 0100 0000 00	0 BA97 6543 00	0 0000 0000 00	0 0000 0000 00	第4バイト後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx				
施錠ビット書き込み	0	0 0010 0000 00	0 0000 0210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00	
ヒューズビット読み出し (ATtiny10/11)	0	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0100 1100 00	0 0110 1000 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xx87 543x xx		
ヒューズビット読み出し (ATtiny12)	0	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0100 1100 00	0 0110 1000 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	B A976 543x xx		
施錠ビット読み出し	0	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0100 1100 00	0 0111 1000 00	0 0111 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx 21xx xx		
識票バイト読み出し	0	0 0000 1000 00	0 0000 00LL 00	0 0000 0000 00	0 0000 0000 00	新規アドレス毎に第2～4バイトを繰り返します。
	1	0 0100 1100 00	0 0000 1100 00	0 0110 1000 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	R RRRR RRRx xx	
校正バイト読み出し (ATtiny12)	0	0 0000 1000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	
	1	0 0100 1100 00	0 0000 1100 00	0 0111 1000 00	0 0111 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	R RRRR RRRx xx	

注: H = アドレス上位バイトのビット 1 = 施錠ビット1 (LB1) 5 = CKSEL2 ヒューズビット 9 = SPIEN ヒューズビット
L = アドレス下位バイトのビット 2 = 施錠ビット2 (LB2) 6 = CKSEL3 ヒューズビット A = BODEN ヒューズビット
R = 読み出しデータ (MCU出力) 3 = CKSEL0 ヒューズビット 7 = RSTDISBL ヒューズビット B = BODLEVEL ヒューズビット
W = 書き込みデータ (MCU入力) 4 = CKSEL1 ヒューズビット 8 = FSTRT ヒューズビット x = 0か1 (無視または無効)

高電圧直列プログラミング特性

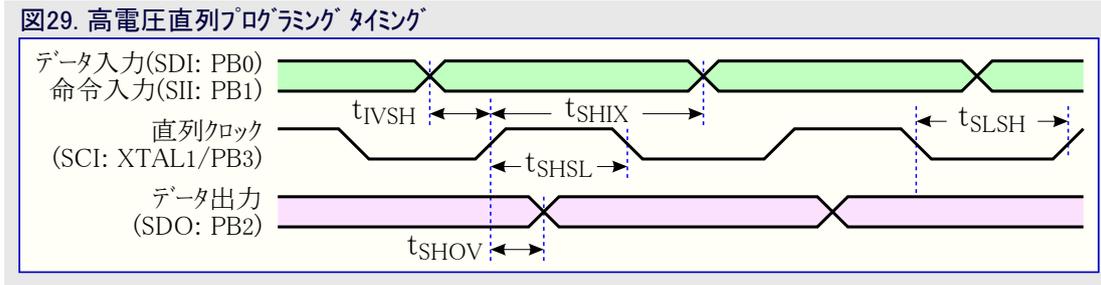


表24. 高電圧直列プログラミング特性 (特記条件を除いて、TA=25°C±10% , VCC=5.0V±10%)

シンボル	項目	最小	代表	最大	単位
tSHSL	SCIパルスHレベル幅	100			ns
tSLSH	SCIパルスLレベル幅	100			
tIVSH	SCI↑に対するSDI,SII準備時間	50			
tSHIX	SCI↑に対するSDI,SII保持時間	50			
tSHOV	SCI↑に対するSDO出力遅延時間	10	16	32	
tWLWH_PFB	ヒューズ書き込み第3バイト後待機時間	1.7	2.5	3.4	ms

(訳注) ヒューズ書き込み第3バイト後待機時間(tWLWH_PFB)が、各々1.0, 1.5, 1.8から変更されています。

低電圧直列プログラミング (ATtiny12のみ)

フラッシュメモリとEEPROMの両方はRESETがLowレベルの間に直列SPIバスを使ってプログラミングを行うことができます。この直列インターフェースはSCK入力、MOSI入力、MISO出力で構成されます(図30.参照)。RESETをLowレベルに設定後、プログラムや消去命令が実行される前に、**プログラミング許可命令**が最初に実行されなければなりません。

低電圧直列プログラミングでチップ消去命令が1回だけ実行される場合、消去後に1バイトデータがフラッシュメモリへ書かれてしまうかもしれません。次の方法の使用はフラッシュメモリが消去されることを保証します。

- ・ **チップ消去命令**を実行します。
- ・ フラッシュメモリのアドレス\$0000に\$FFを書きます。
- ・ 2度目のチップ消去命令を実行します。

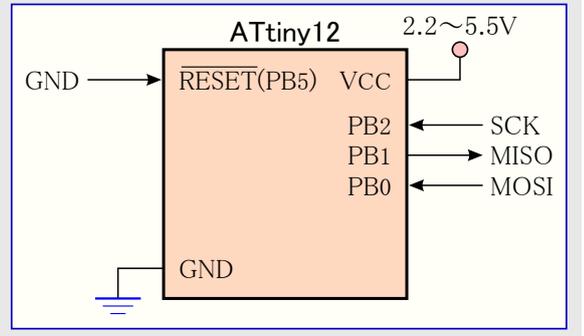
EEPROMに対しては自己タイミングによる**書き込み命令**内で先行して自動消去周期が提供される(低電圧直列プログラミングのみ)ので、最初に**チップ消去命令**を実行する必要はありません。チップ消去命令はフラッシュメモリとEEPROMの全ての内容を\$FFにします。

フラッシュメモリとEEPROMメモリは、プログラム用フラッシュメモリが\$0000～\$01FF、データ用EEPROMメモリが\$0000～\$003Fの分離されたアドレス空間を持ちます。

低電圧直列プログラミング中、このデバイスは何れのクロック種別によってもクロック駆動できます。直列クロック(SCK)入力のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 > 2 MCU クロック周期 High区間 > 2 MCU クロック周期

図30. 低電圧直列プログラミング構成図



低電圧直列プログラミング手順

ATtiny12に直列データを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細タイミングについては図31、図32、表26をご覧ください。低電圧直列プログラミング動作でATtiny12のプログラミングと照合するには次の手順が推奨されます。(4バイトの命令形式は表25を参照)

1. 次の手順で電源を投入します。
RESETとSCKがLow(0)に設定されている間中に、VCCとGND間へ電源を印加します。CKSELヒューズの設定に従って、クリスタル/振動子、外部クロック、または外部RCを適用するか、またはデバイスを内蔵RC発振器で動作させます。いくつかのシステムに於いて、電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、100ms待機します。そして、RESETには最低XTAL1周期幅2つ分の正パルスが与えられなければなりません。
2. 最低20ms待機し、MOSI(PB0)ピンに**プログラミング許可命令**を送ることによって直列プログラミングを可能にします。
3. 通信の同期が外れていると、直列プログラミング命令が動作しません。同期しているとき、プログラム許可命令の第3バイト送出時に第2バイト(\$53)を送り返します。この送り返しが成功か失敗かによらず、命令の4バイト全てが送信されなければなりません。送り返しが\$53でなかった場合、SCKに正パルスを与え、新規プログラミング許可命令を行います。32回の試行で\$53が検出できない場合、低電圧直列プログラミング機能のないデバイスが接続されています。
4. チップ消去が実行される場合(フラッシュメモリの消去のために実行が必要)、この命令実行後tWD_ERASE(37頁の表27.参照)時間待機して、RESETに正パルスを与え、手順2.からを行います。
5. フラッシュメモリやEEPROMは適切な**書き込み命令**内でアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMメモリ位置は、新規(今回)データが書かれる前、最初に自動消去されます。フラッシュメモリやEEPROMの次のバイトが書けるタイミングを検出するために**データポーリング**を使ってください。ポーリングが使われない場合、次の命令送出前にtWD_FLASHまたはtWD_EEPROM(37頁の表28.参照)時間待機します。消去されているデバイスでは、\$FFのデータを書く必要がありません。
6. 何れのメモリ位置も、選択されたアドレスの内容を直列出力MISO(PB1)ピンに読み戻す、**読み出し命令**を使って検証ができます。
7. プログラミング終了時、通常動作とするためには、RESETをHigh(1)に設定します。
8. 電源OFF手順 (必要な場合)
 - ・ XTAL1/PB3をLow(0)にします。(外部クロックが使われる場合)
 - ・ RESETをHigh(1)にします。
 - ・ VCC電源をOFFにします。

データポーリング

フラッシュメモリまたはEEPROM内でバイトが書かれているとき、書かれているアドレス位置を読むと、値\$FFが得られます。書かれた値が正しく読めると同時に、デバイスは新規バイトの準備が整います。これは次バイトが書けるタイミングを決めるのに使われます。これは値\$FFについては行えず、この値を書くときは、次バイト書き込み前に最低tWD_FLASHまたはtWD_EEPROM待たなければなりません。チップ消去されたデバイスの内容は全て\$FFですので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。これはデバイスをチップ消去しないでEEPROMが再書き込みされる場合、適用されません。この場合、値\$FFについてデータポーリングは使えず、次バイト書き込み前に最低tWD_EEPROM待たなければなりません。tWD_FLASHとtWD_EEPROM値については表28をご覧ください。

図31. 低電圧直列プログラミングバイト通信波形

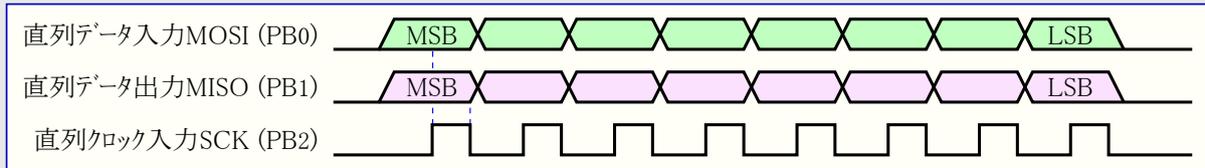


表25. 低電圧直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリとEEPROMを消去します。
フラッシュメモリ読み出し	0010 P000	xxxx xxH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
フラッシュメモリ書き込み	0100 P000	xxxx xxH	LLLL LLLL	WWWW WWWW	アドレスH:LのP(H/L)バイトに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxxx	xxLL LLLL	RRRR RRRR	アドレスLのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxxx	xxLL LLLL	WWWW WWWW	アドレスLのバイトに書き込みます。
施錠ビット読み出し	0101 1000	xxxx xxxx	xxxx xxxx	xxxx x21x	施錠ビット(LB1, LB2)を読み出します。
施錠ビット書き込み	1010 1100	1111 1211	xxxx xxxx	xxxx xxxx	施錠ビット(LB1, LB2)を書き込みます。
ヒューズビット読み出し	0101 0000	xxxx xxxx	xxxx xxxx	A987 6543	ヒューズビットを読み出します。
ヒューズビット書き込み	1010 1100	101x xxxx	xxxx xxxx	A987 6543	ヒューズビットを書き込みます。
識票バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。
校正バイト読み出し	0011 1000	xxxx xxxx	0000 0000	RRRR RRRR	内蔵RC発振器用校正バイトを読み出します。

注1: H: アドレス上位バイトのビット W: 書き込みデータ (MCU入力) 4: CKSEL1 ヒューズビット 8: SPIEN ヒューズビット
 L: アドレス下位バイトのビット 1: 施錠ビット1 (LB1) 5: CKSEL2 ヒューズビット 9: BODEN ヒューズビット
 P: 0=下位バイト, 1=上位バイト 2: 施錠ビット2 (LB2) 6: CKSEL3 ヒューズビット A: BODLEVEL ヒューズビット
 R: 読み出しデータ (MCU出力) 3: CKSEL0 ヒューズビット 7: RSTDISBL ヒューズビット x: 0か1 (無視または無効)

注2: 識票バイトは保護種別3(LB1=0, LB2=0)の状態では読み出せません。

低電圧直列プログラミング特性

図32. 低電圧直列プログラミングタイミング

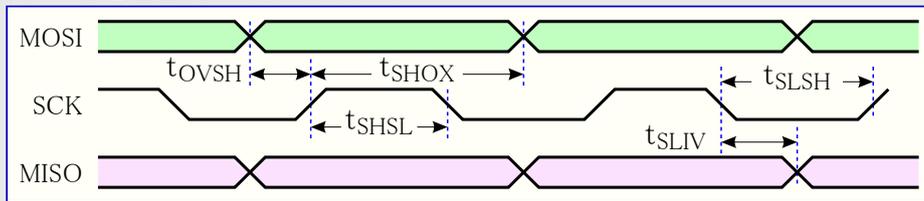


表26. 低電圧直列プログラミング特性 (特記条件を除いて、TA=-40°C~85°C, VCC=2.2~5.5V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	2.2~2.7V	0	1	MHz
		2.7~4.0V	0	4	
		4.0~6.0V	0	8	
tCLCL	発振器周期	2.2~2.7V	1000		ns
		2.7~4.0V	250		
		4.0~6.0V	125		
tSHSL	SCKパルスHレベル幅	2tCLCL			
tSLSH	SCKパルスLレベル幅	2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間	tCLCL			
tSHOX	SCK↑に対するMOSI保持時間	2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間	10	16	32	

表27. チップ消去命令後最小待機時間

シンボル	最小待機時間
tWD_ERASE	6.8ms

表28. フラッシュメモリ, EEPROM書き込み命令後最小待機時間

シンボル	最小待機時間	シンボル	最小待機時間
tWD_FLASH	3.4ms	tWD_EEPROM	6.8ms

(訳注)

表27,28の値が各々倍に変更されています。



電気的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-1.0V ~ VCC+0.5V
RESETピン許容電圧	-1.0V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	100.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性 (暫定)

TA=-40°C~85°C, VCC=2.7V~5.5V(ATtiny10/11), VCC=1.8V~5.5V(ATtiny12) (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位	
V _{IL}	Lowレベル入力電圧	XTAL1を除く	-0.5		0.3VCC (注1)	V	
V _{IL1}	Lowレベル入力電圧	XTAL1	-0.5		0.1VCC (注1)		
V _{IH}	Highレベル入力電圧	XTAL1, RESETを除く	0.6VCC (注2)		VCC+0.5		
V _{IH1}	Highレベル入力電圧	XTAL1	0.7VCC (注2)		VCC+0.5		
V _{IH2}	Highレベル入力電圧	RESET	0.85VCC (注2)		VCC+0.5		
V _{OL}	Lレベル出力電圧 (PB5を除くポートB) (注3)	IOL=20mA, VCC=5V			0.6		
		IOL=10mA, VCC=3V			0.5		
V _{OH}	Hレベル出力電圧 (ポートB) (注3)	IOH=-3mA, VCC=5V	4.3				
		IOH=-1.5mA, VCC=3V	2.3				
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V			8.0		μA
I _{IH}	I/OピンHighレベル入力漏れ電流	(確実なH/L範囲)			8.0		
R _{I/O}	I/Oピンプルアップ抵抗		35		122	kΩ	
I _{CC}	活動動作消費電流	ATtiny12V VCC=3V, 1MHz			1.0	mA	
		ATtiny11L VCC=3V, 2MHz			2.0		
		ATtiny12L VCC=3V, 4MHz			2.5		
		ATtiny11 VCC=5V, 6MHz			10		
		ATtiny12 VCC=5V, 8MHz			10		
	アイドル動作消費電流	ATtiny12V VCC=3V, 1MHz					0.4
		ATtiny11L VCC=3V, 2MHz					0.5
		ATtiny12L VCC=3V, 4MHz					1.0
		ATtiny11 VCC=5V, 6MHz					2.0
		ATtiny12 VCC=5V, 8MHz					3.5
パワーダウン動作消費電流 (注4)		VCC=3V, WDT有効		9.0	15	μA	
	ATtiny11	VCC=3V, WDT禁止		<1	5.0		
	ATtiny12	VCC=3V, WDT禁止		<1	2.0		
V _{ACIO}	アナログ比較器入力オフセット電圧	VCC=5V, V _{in} =VCC/2			40	mV	
I _{ACLK}	アナログ比較器入力漏れ電流		-50		50	nA	
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns	
		VCC=4.0V		500			

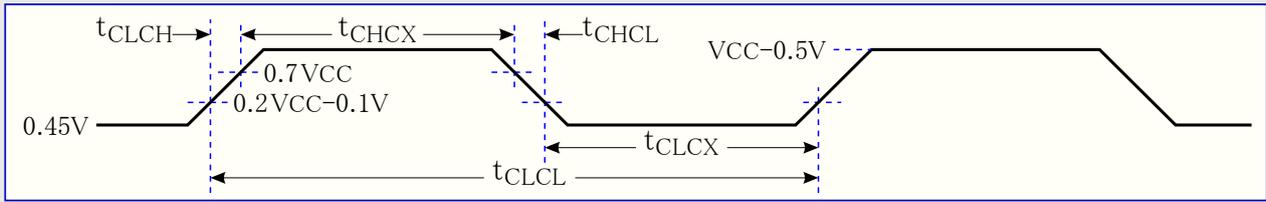
注1: Lowレベルの認識が保証される最高電圧です。 注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いて、検査条件(IOLがVCC=5Vで20mA, VCC=3Vで10mA, IOHがVCC=5Vで3mA, VCC=3Vで1.5mA)より多くの吸い込みまたは吐き出しの電流を流すことができますが、次の条件を厳守してください。「全ポートのIOLまたはIOHの合計が各々100mAを超えるべきではありません。」IOLまたはIOHが検査条件を超える場合、VOLまたはVOHも仕様書での値を超えます。表の検査条件より大きな吸い込みまたは吐き出しの電流を流すことは保証されません。

注4: パワーダウン動作時の最小電源電圧(VCC)は1.5Vです。(ATtiny12では低電圧検出(BOD)禁止時のみ)

外部クロック特性

図33. 外部クロック



表A. 外部クロック特性 (ATtiny11)

シンボル	項目	VCC=2.7V~4.0V		VCC=4.0V~5.5V		単位
		最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	2	0	6	MHz
tCLCL	クロック周期	500		167		ns
tCHCX	Highレベル時間	200		67		
tCLCX	Lowレベル時間	200		67		
tCLCH	上昇時間		1.6		0.5	μs
tCHCL	下降時間		1.6		0.5	

表B. 外部クロック特性 (ATtiny12)

シンボル	項目	VCC=1.8V~2.7V		VCC=2.7V~4.0V		VCC=4.0V~5.5V		単位
		最小	最大	最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	1.2	0	4	0	8	MHz
tCLCL	クロック周期	833		250		125		ns
tCHCX	Highレベル時間	333		100		50		
tCLCX	Lowレベル時間	333		100		50		
tCLCH	上昇時間		1.6		1.6		0.5	μs
tCHCL	下降時間		1.6		1.6		0.5	

表29. 外部RC発振周波数

周波数 f	抵抗 R (kΩ)	容量 C (pF)
100kHz	100	70
1.0MHz	31.5	20
4.0MHz	6.5	20

注: Rは3~100kΩの範囲、Cは最小20pFであるべきです。表で与えられるC値はピン容量を含みます。これは外圍器形式で変わります。

ATtiny11 代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $CL(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のパワーダウン動作での消費電流とウォッチドッグタイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマにより引き込んだ(消費した)差電流を表します。

図34. 活動動作消費電流 対 周波数 (TA=25°C)

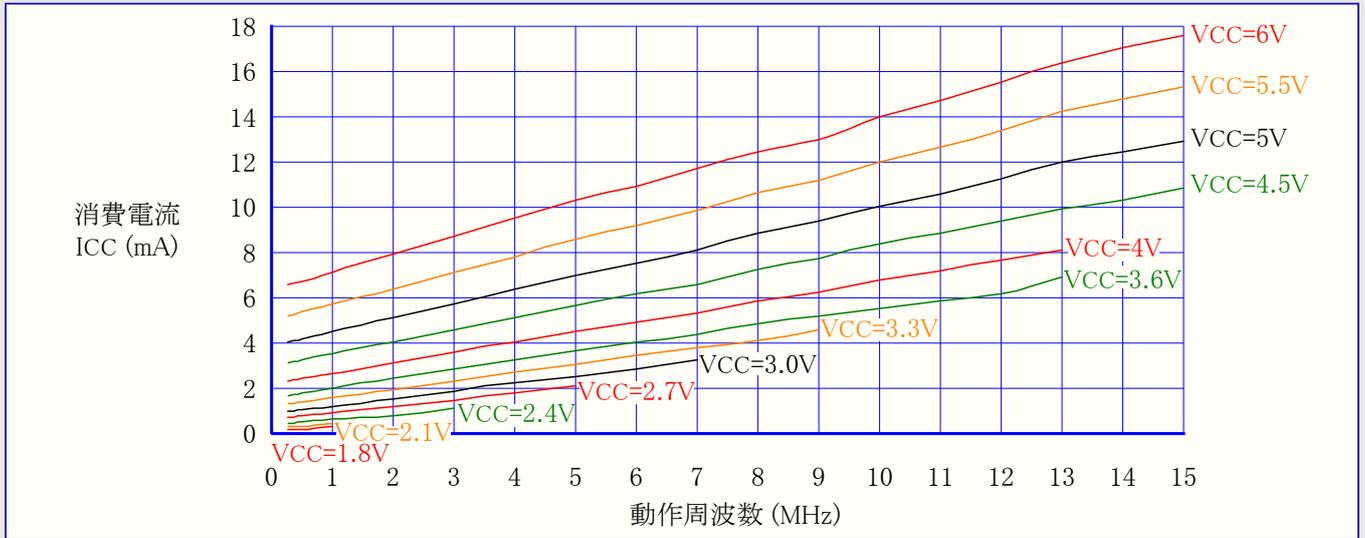


図35. 活動動作消費電流 対 動作電圧 (周波数=4MHz)

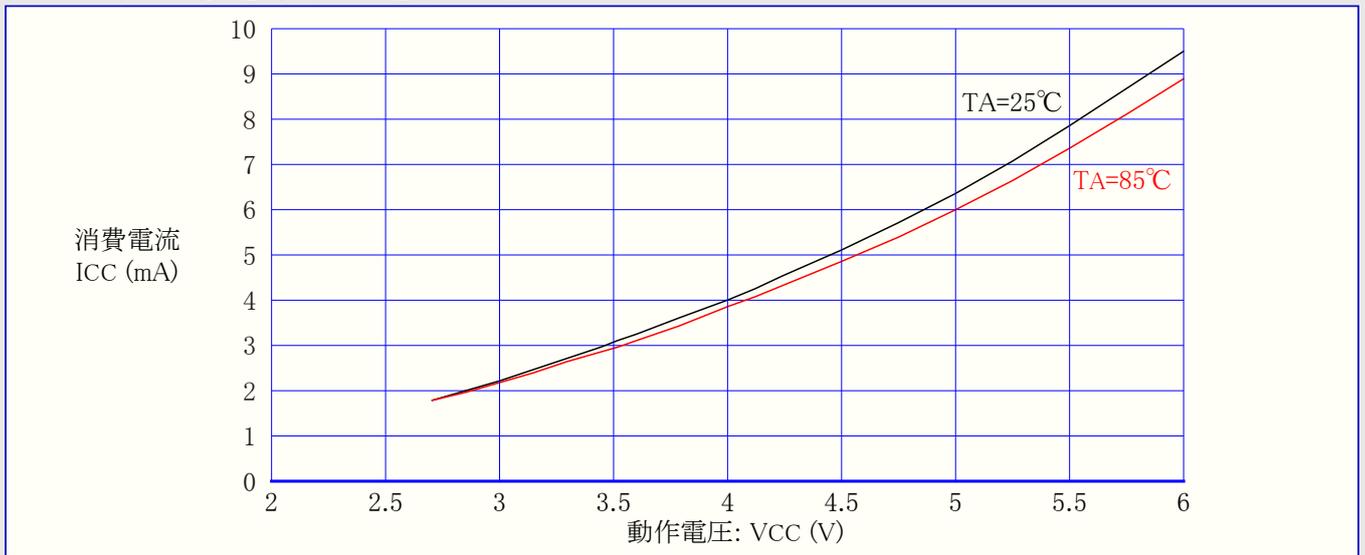


図36. 活動動作消費電流 対 動作電圧 (1MHz内蔵RC発振器)

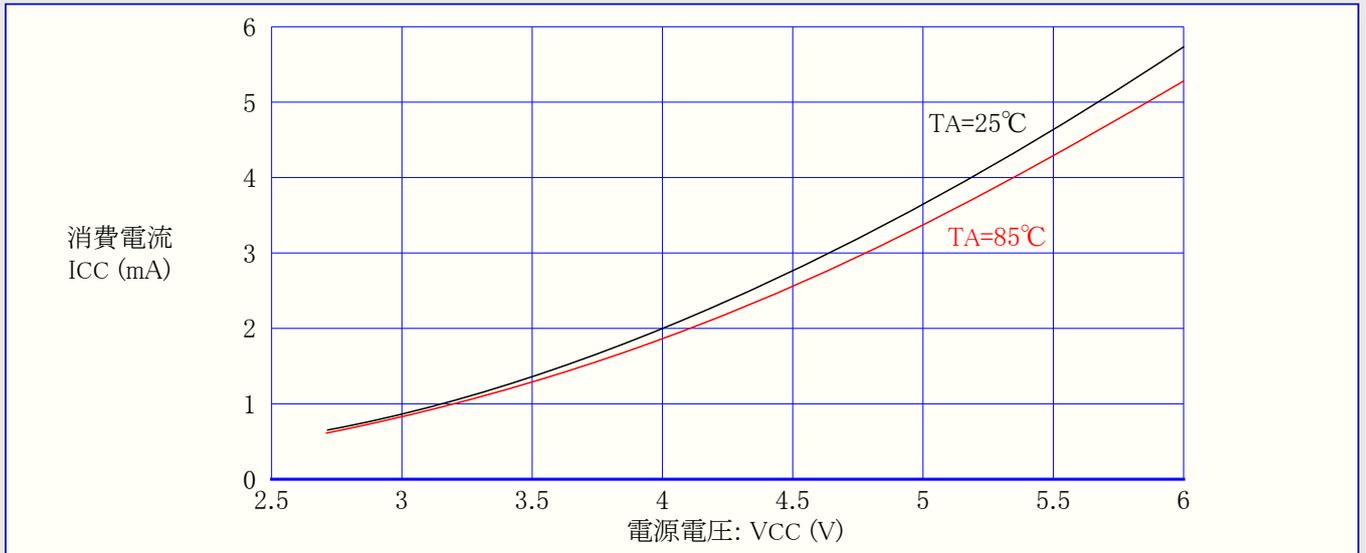


図37. 活動動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

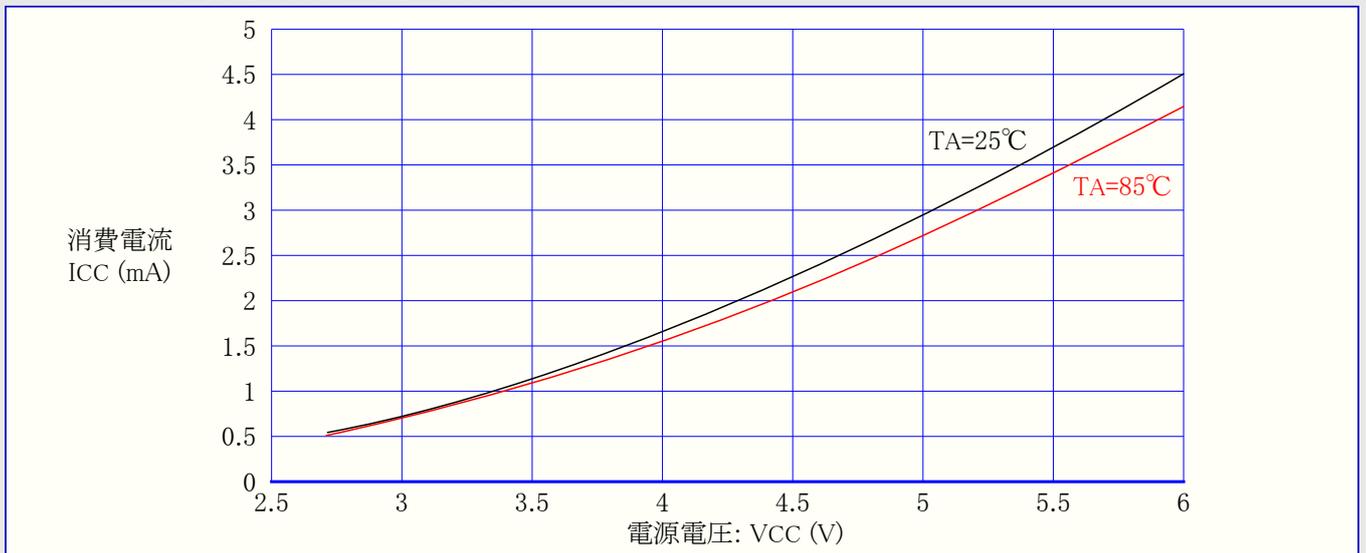


図38. アイドル動作消費電流 対 周波数 (TA=25°C)

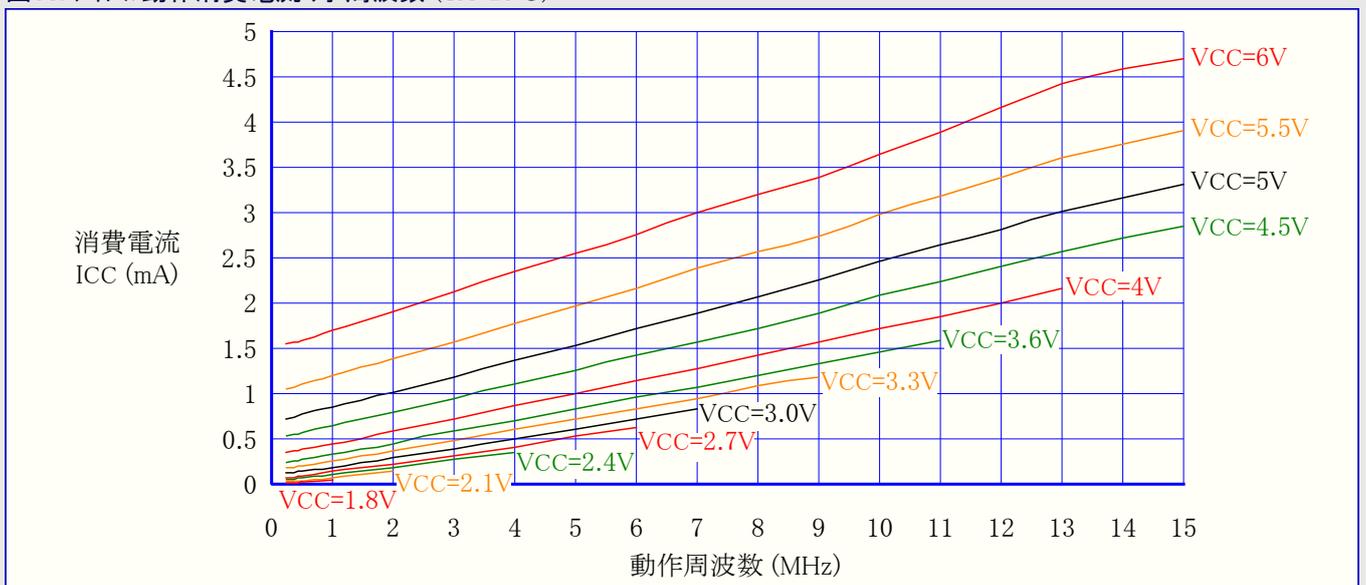


図39. アイドル動作消費電流 対 動作電圧 (周波数=4MHz)

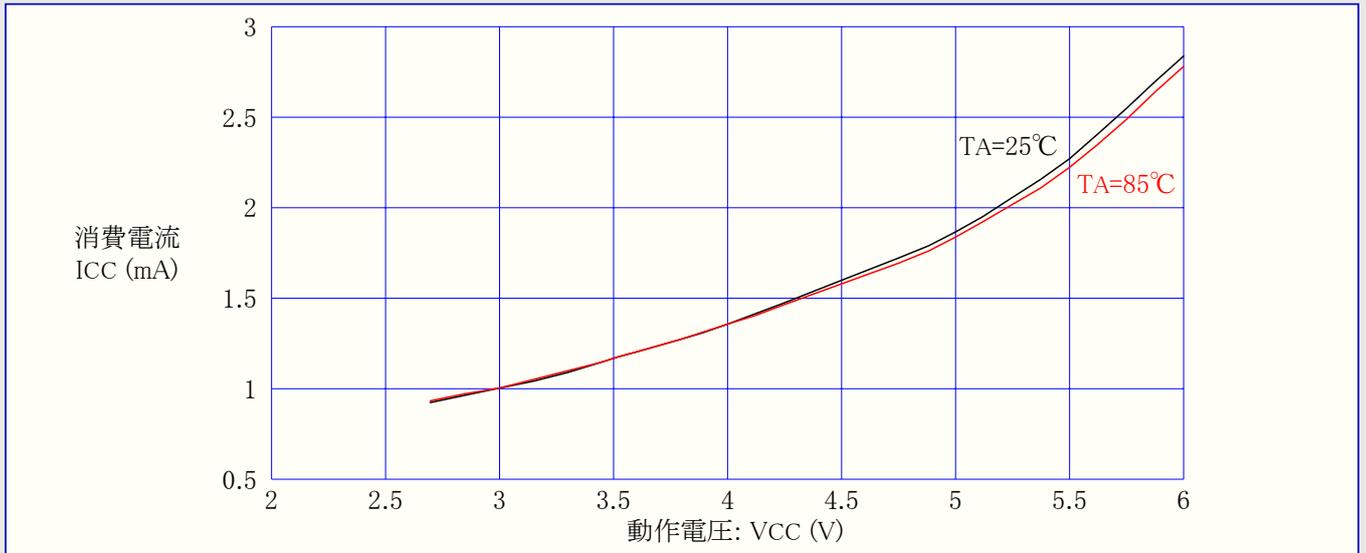


図40. アイドル動作消費電流 対 動作電圧 (1MHz内蔵RC発振器)

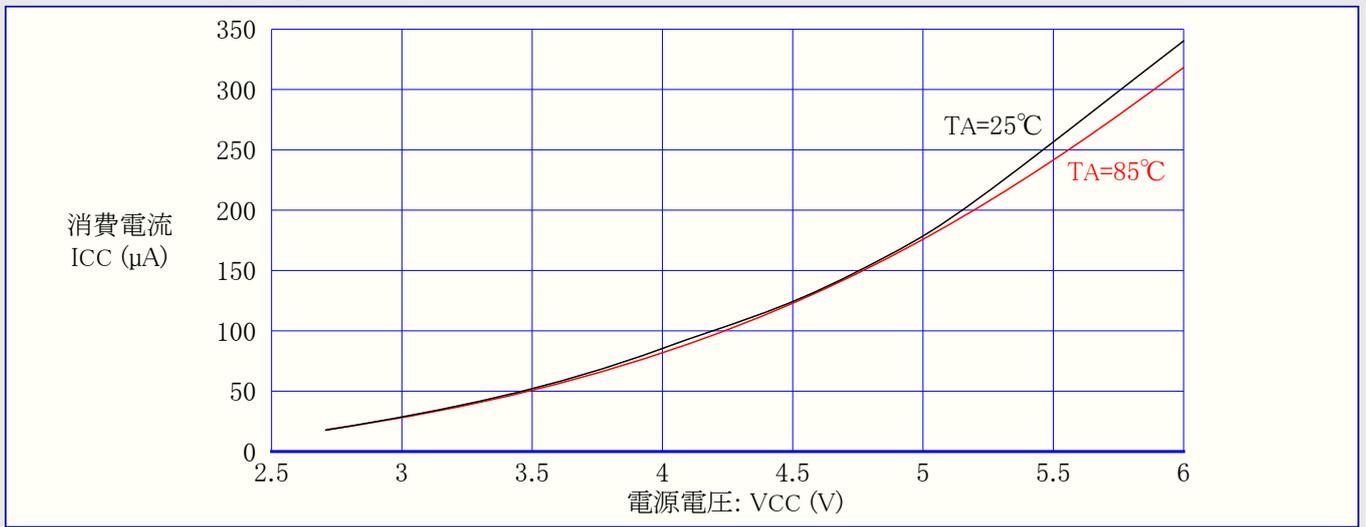


図41. アイドル動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

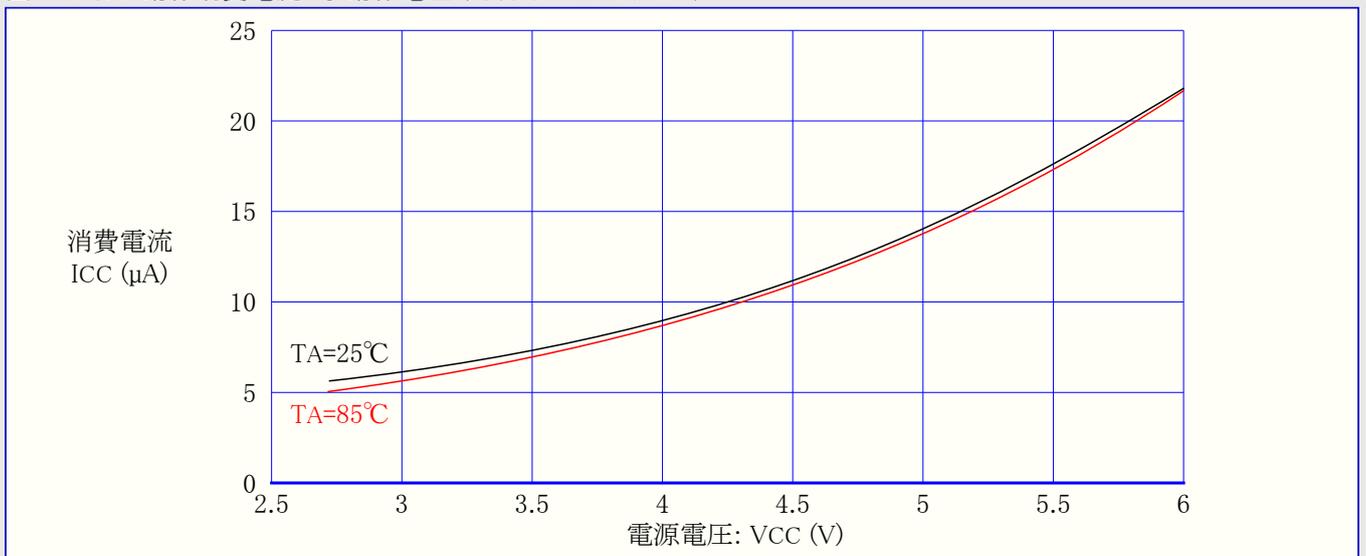


図42. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイム停止)

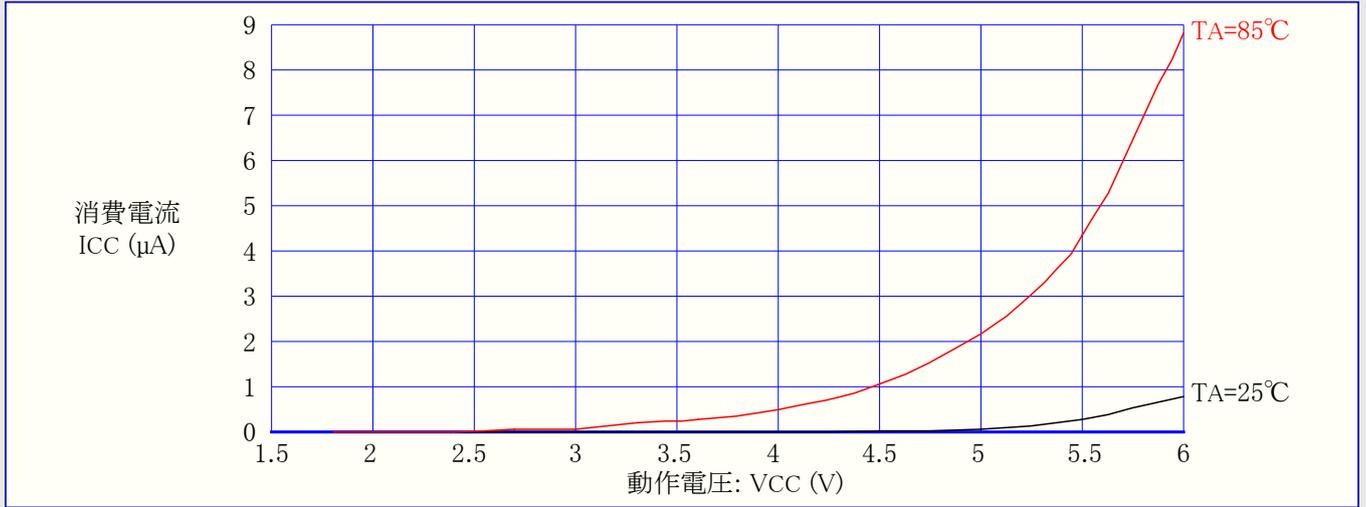


図43. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイム許可)

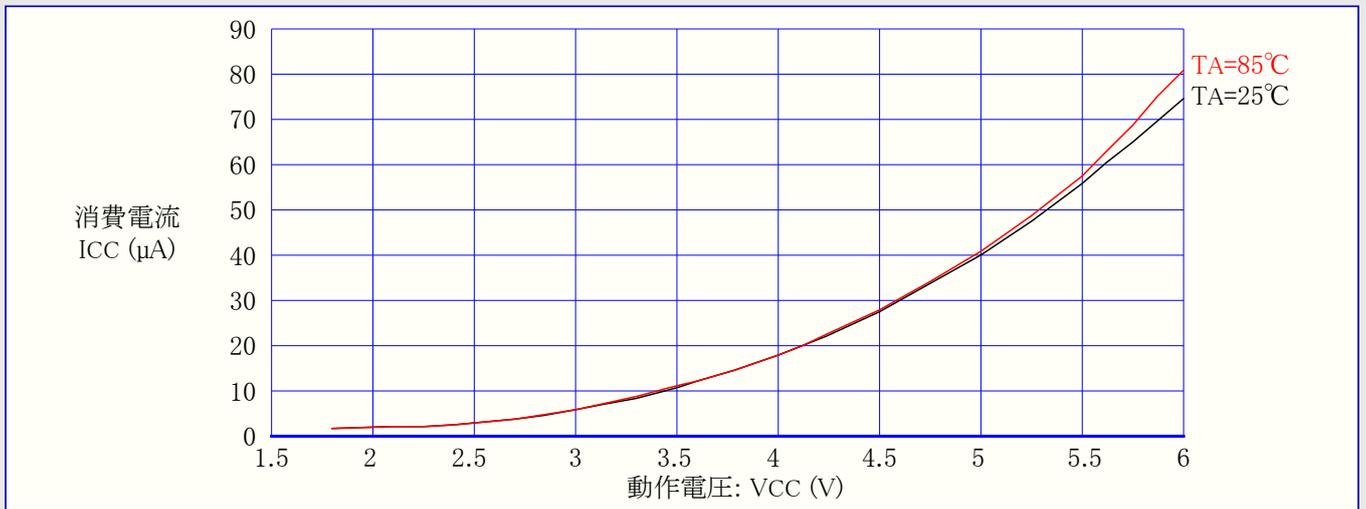


図44. アナログ比較器消費電流 対 動作電圧

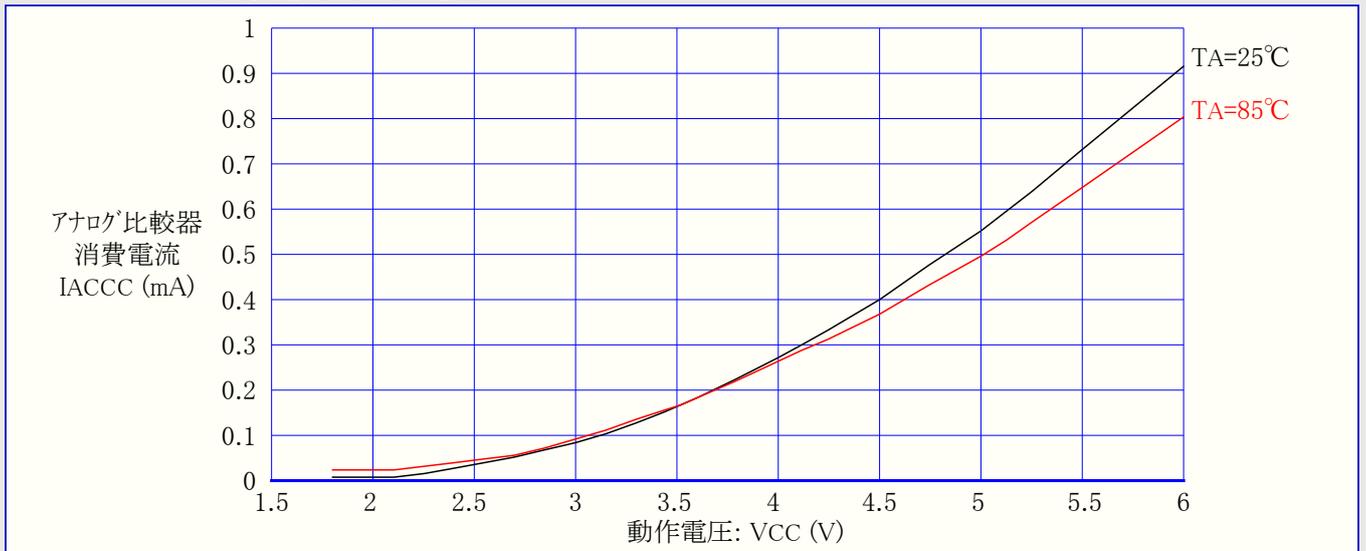
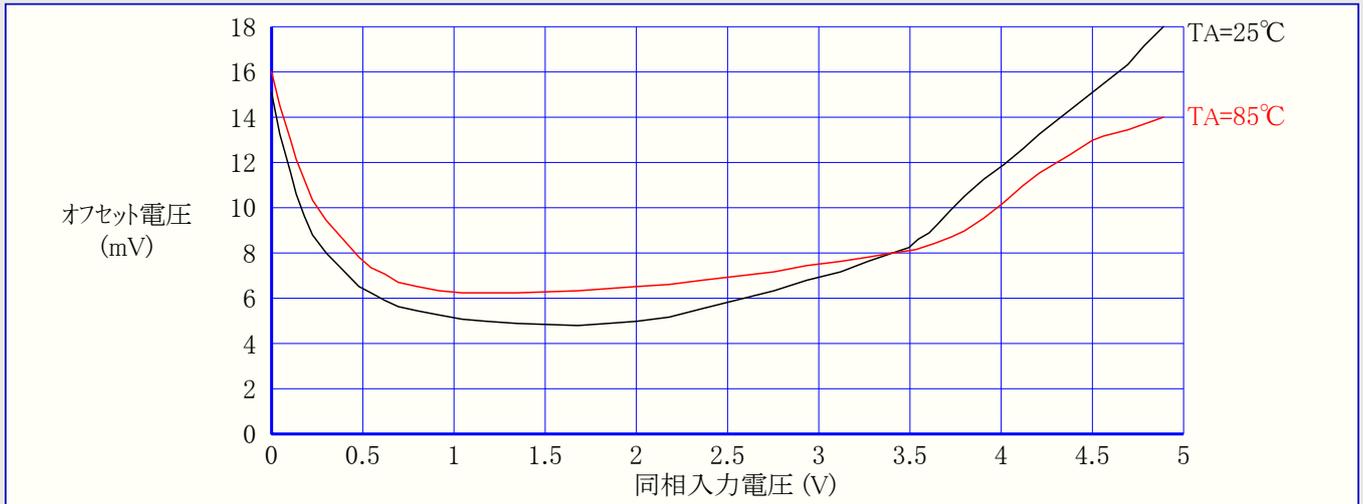
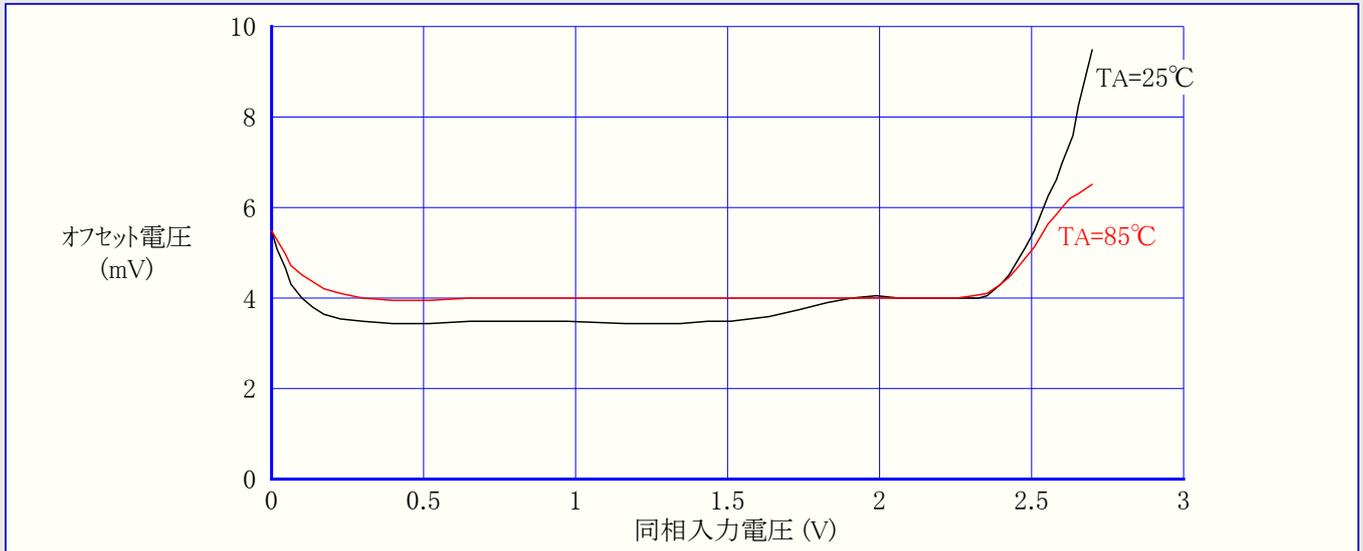


図45. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=5V)



注: オフセット電圧は絶対値です。

図46. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=2.7V)



注: オフセット電圧は絶対値です。

図47. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25°C)

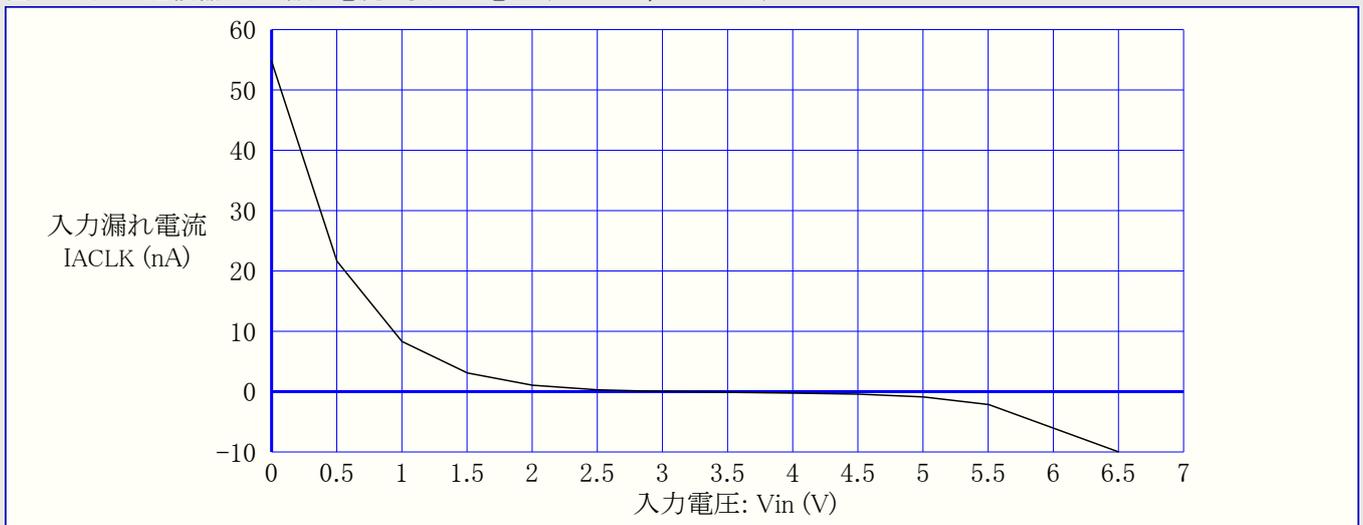


図48. ウォッチドッグ用発振器 発振周波数 対 動作電圧

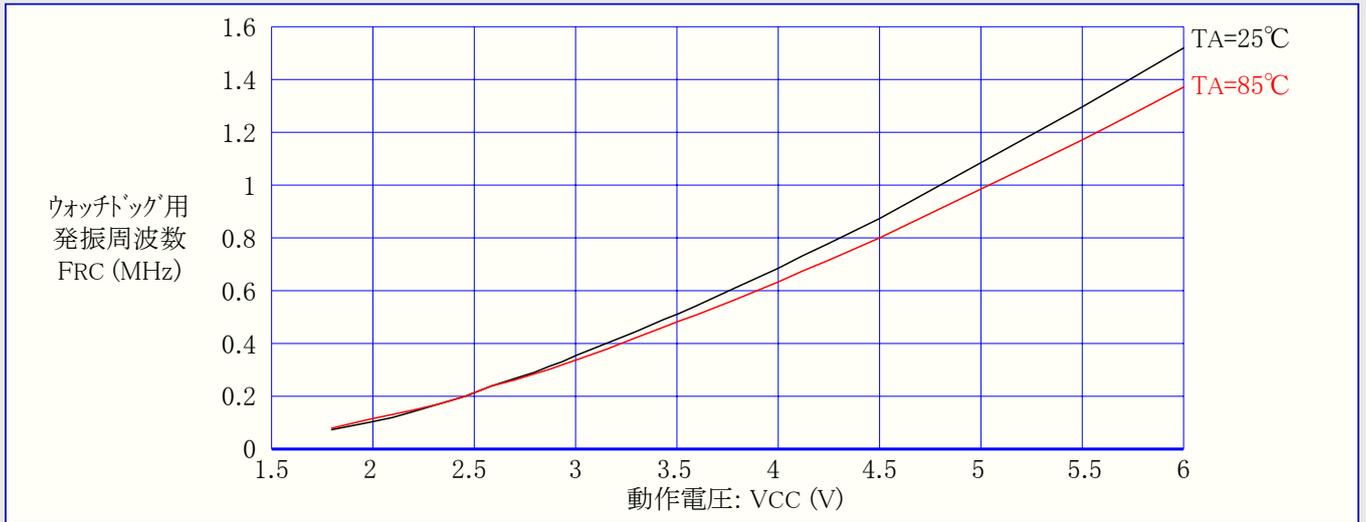
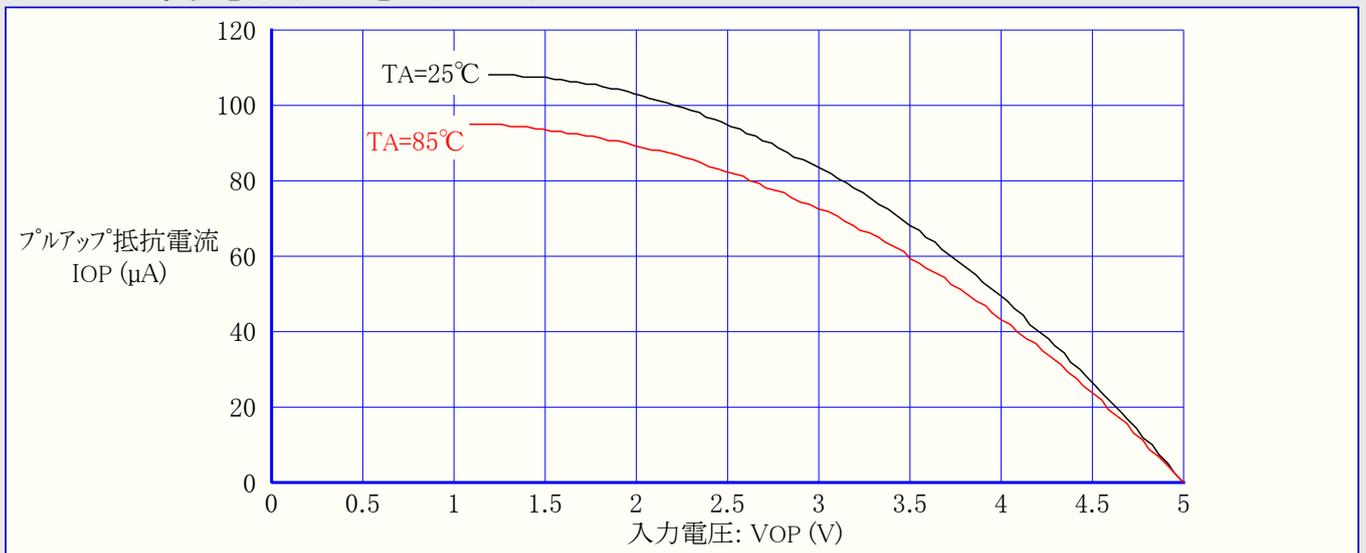
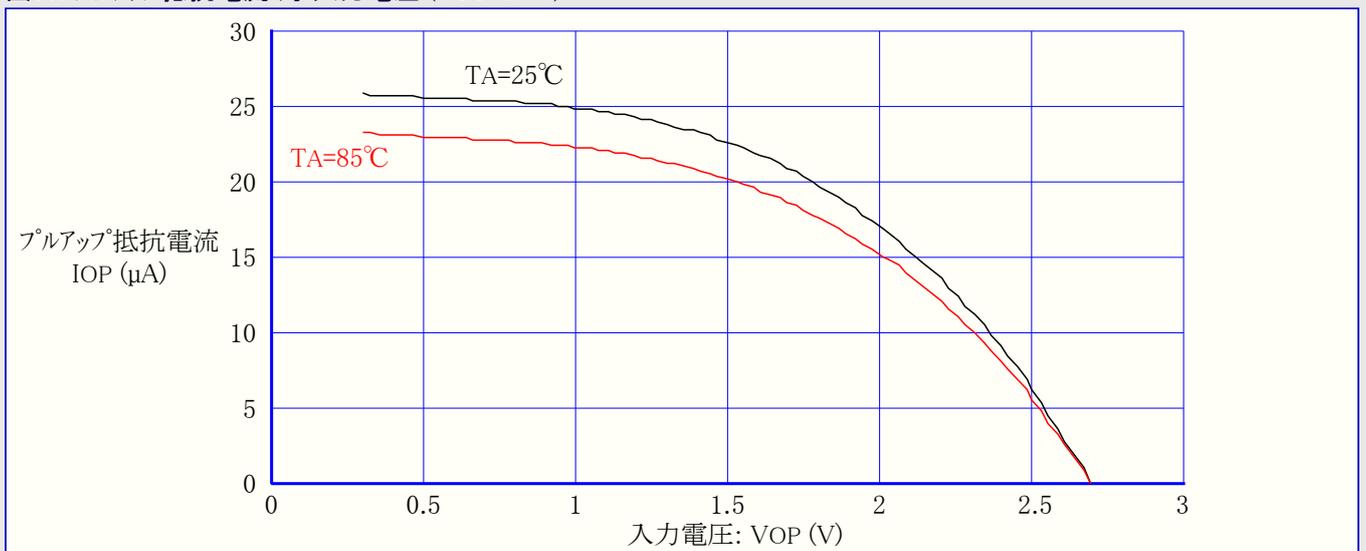


図49. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



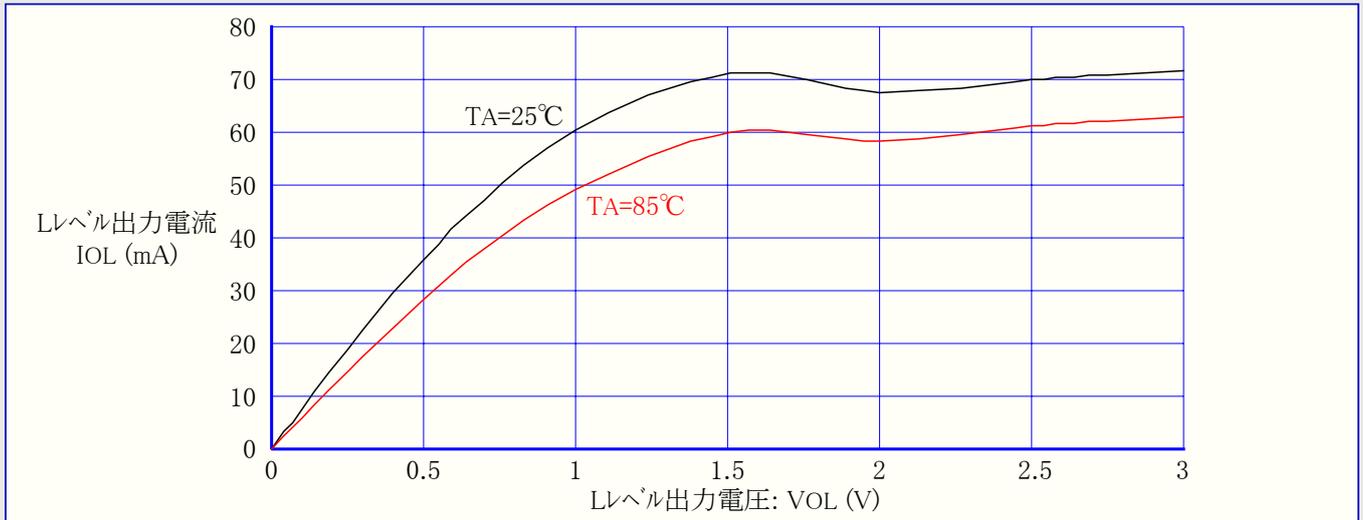
注: 測定は1ピン単位です。

図50. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



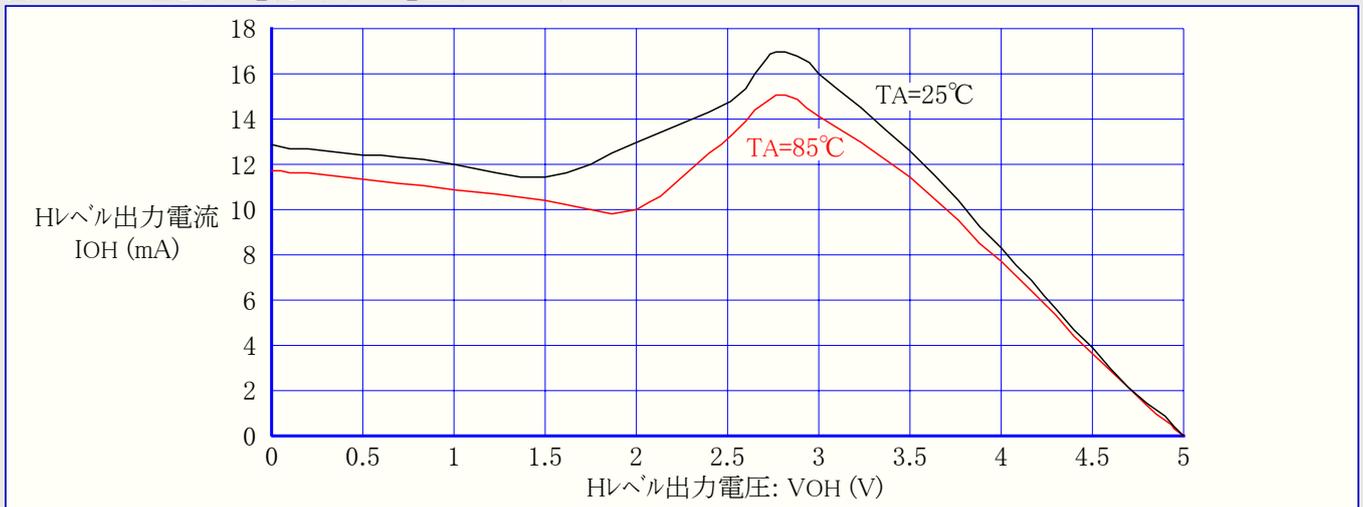
注: 測定は1ピン単位です。

図51. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



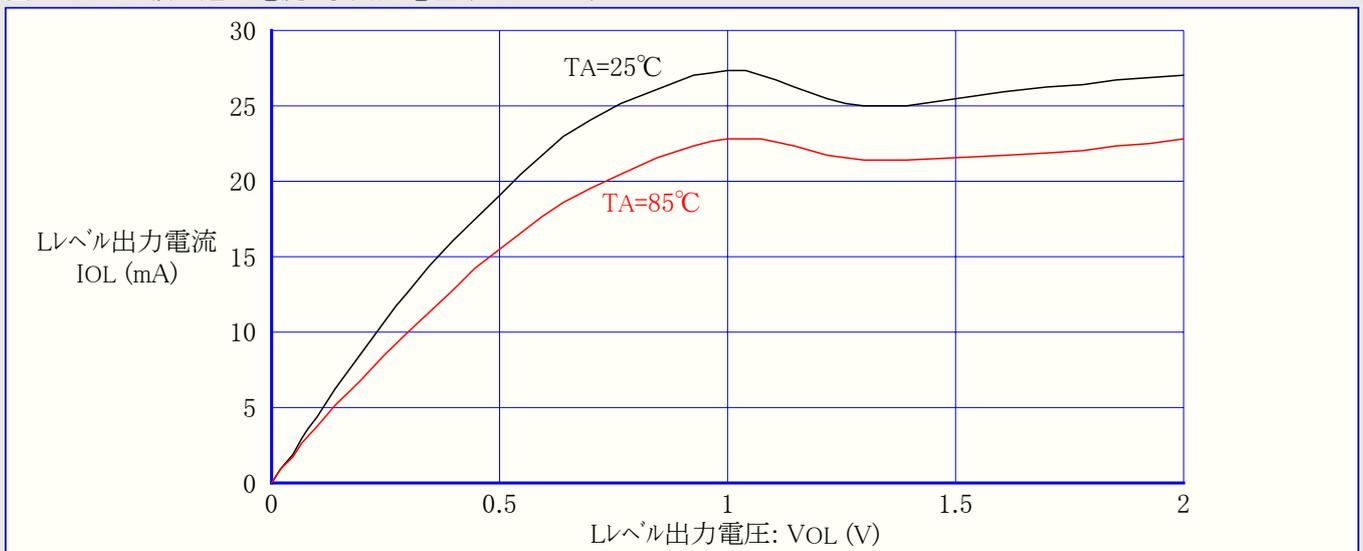
注: 測定は1ピン単位です。

図52. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



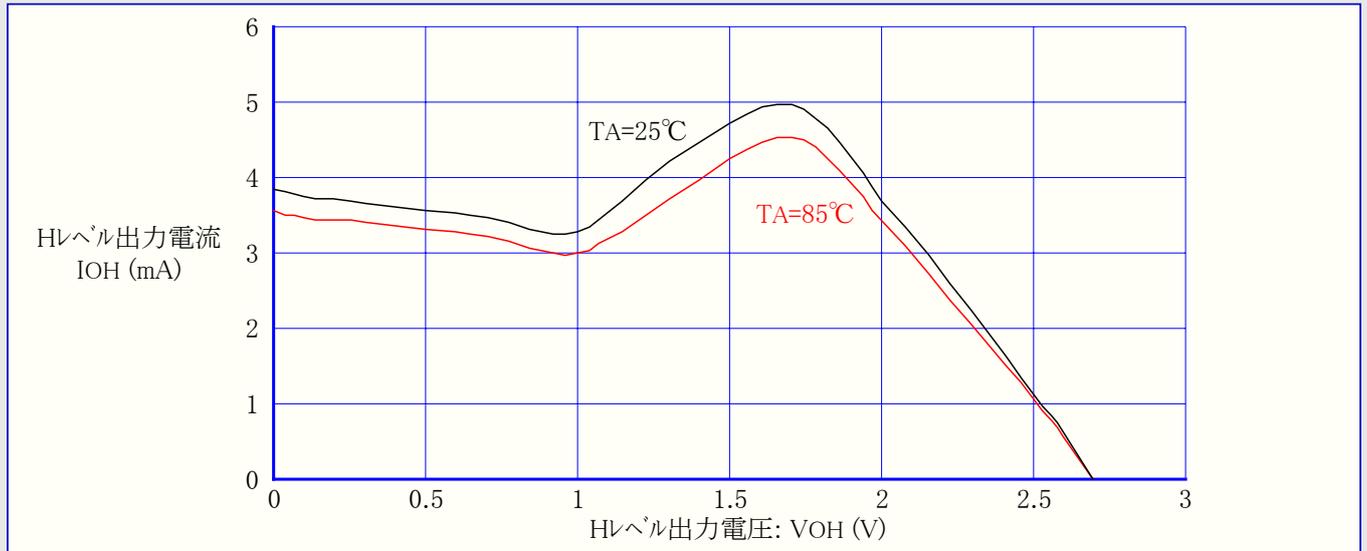
注: 測定は1ピン単位です。

図53. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図54. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図55. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (TA=25°C)

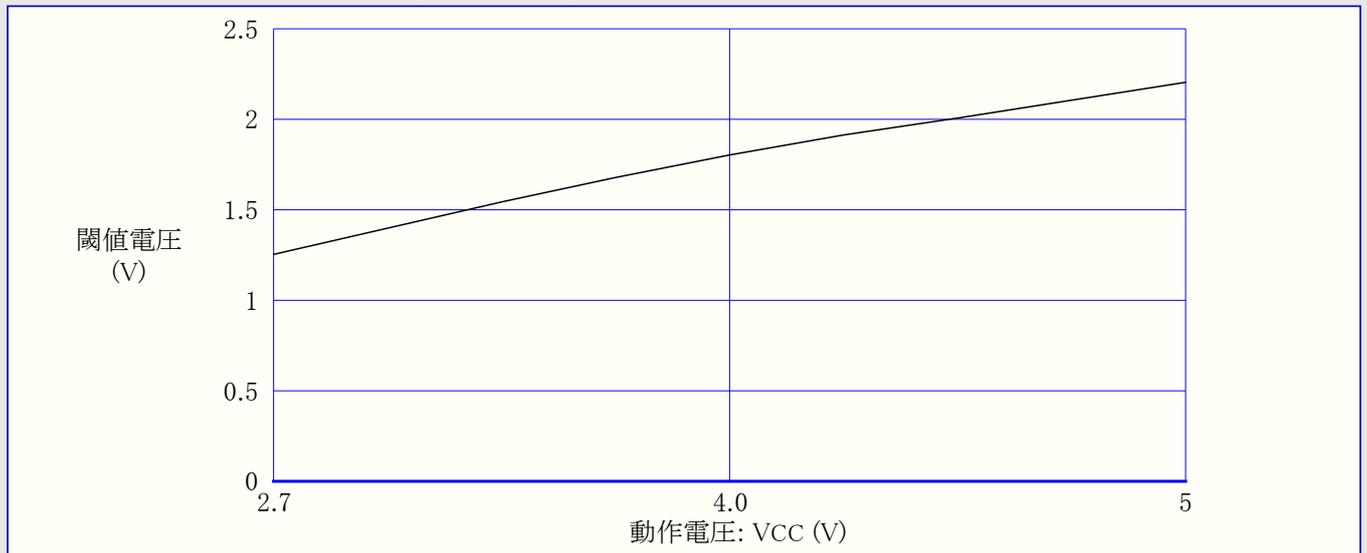
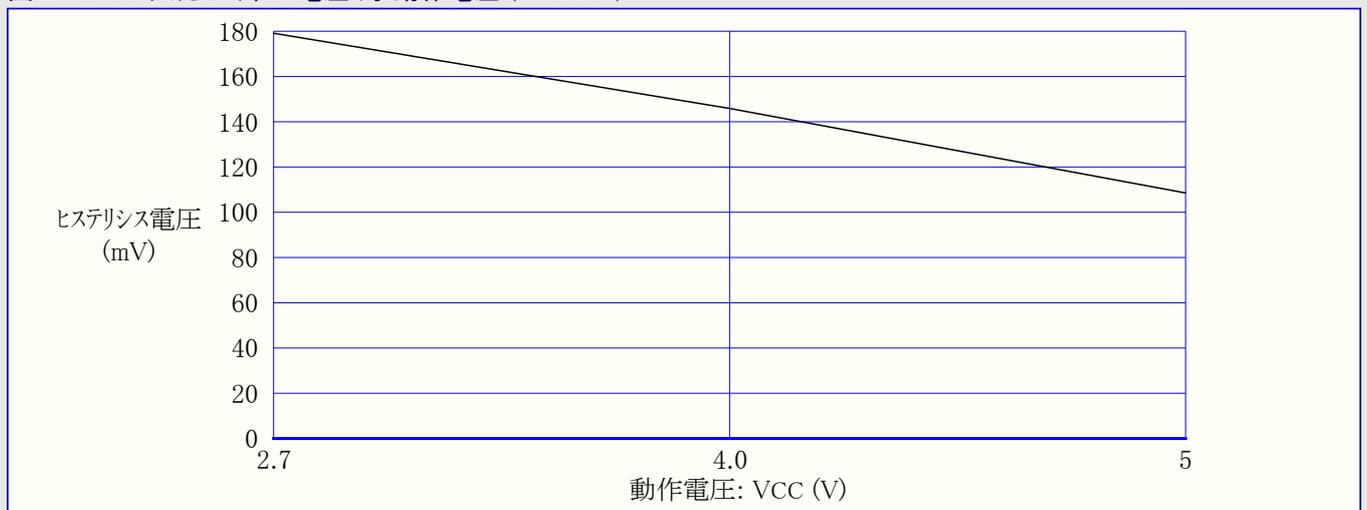


図56. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



ATtiny12 代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $CL(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のパワーダウン動作での消費電流とウォッチドッグタイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマにより引き込んだ(消費した)差電流を表します。

図57. 活動動作消費電流 対 動作電圧 (1.2MHz内蔵RC発振器)

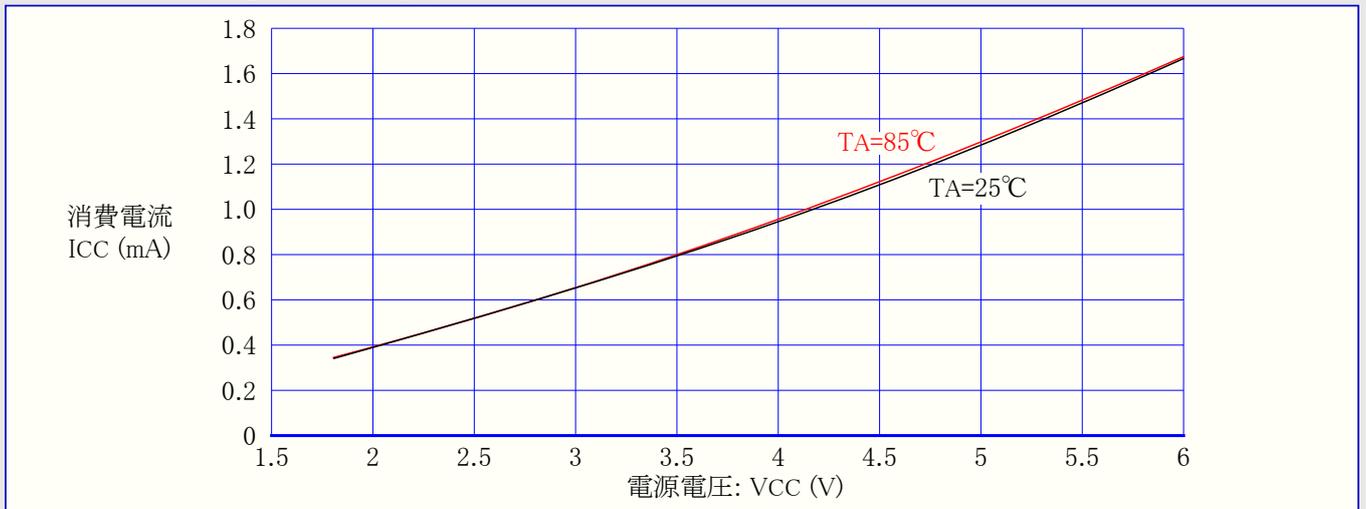


図58. 活動動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

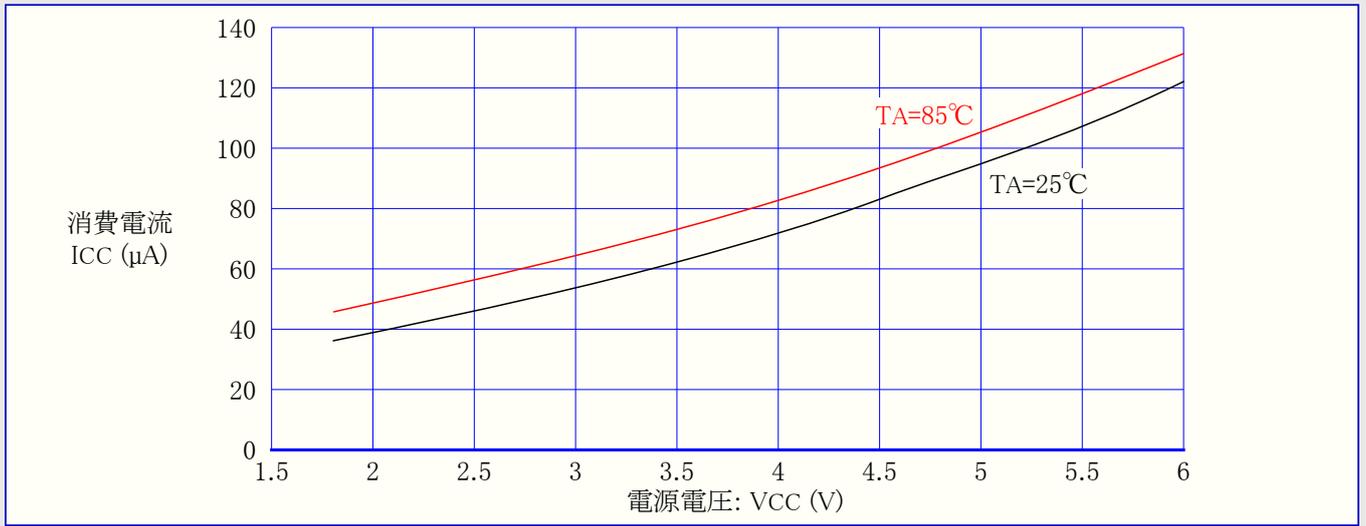


図59. アイドル動作消費電流 対 動作電圧 (1.2MHz内蔵RC発振器)

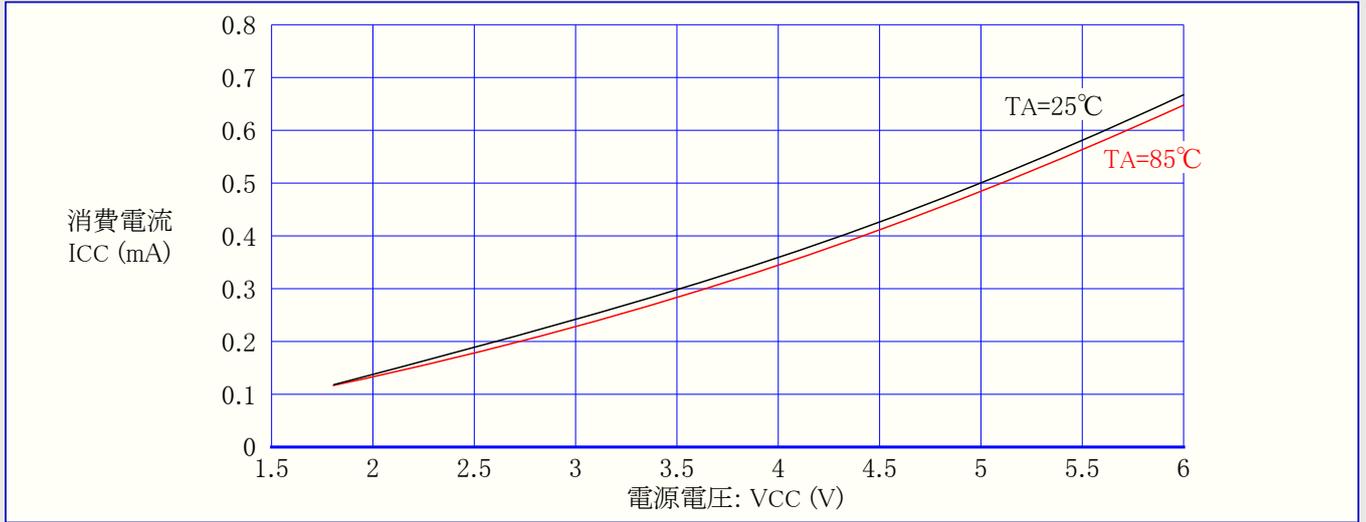


図60. アイドル動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

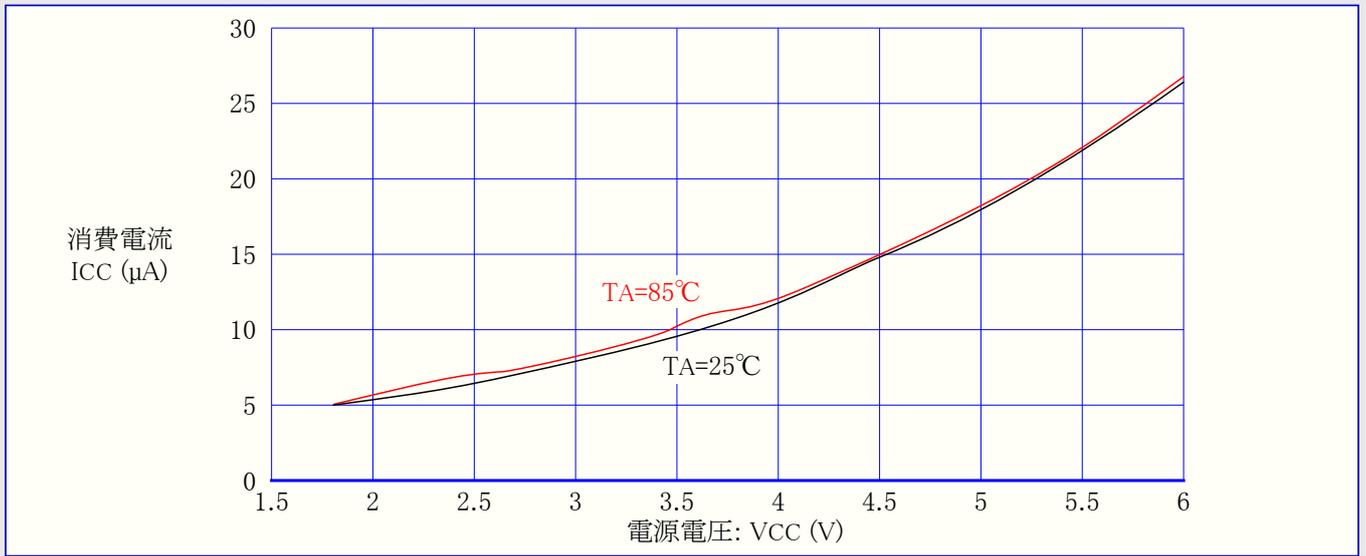
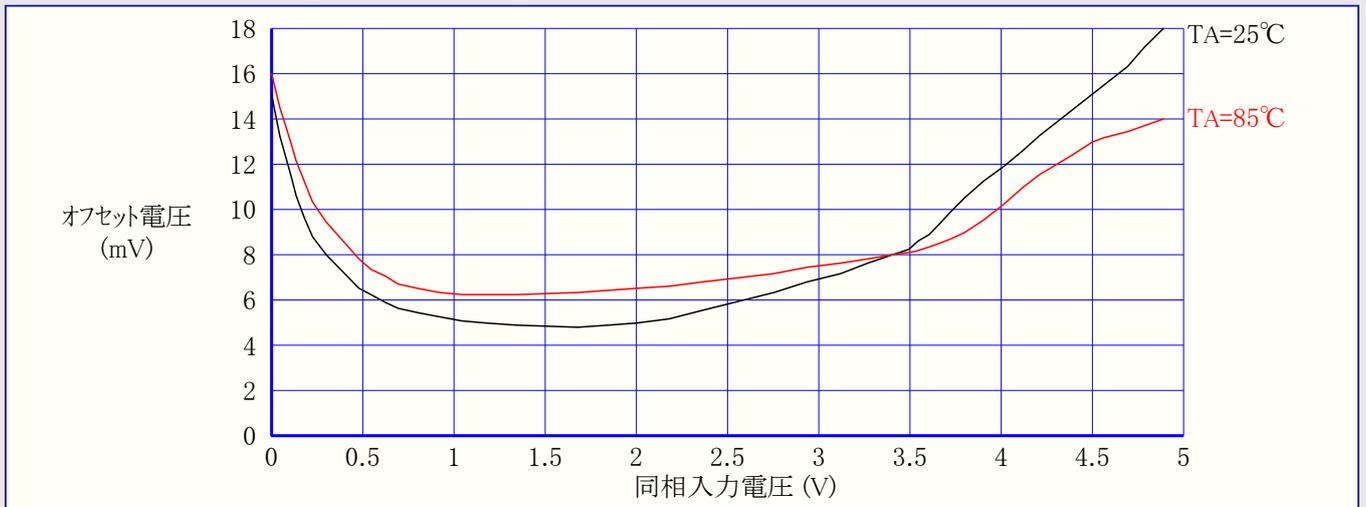
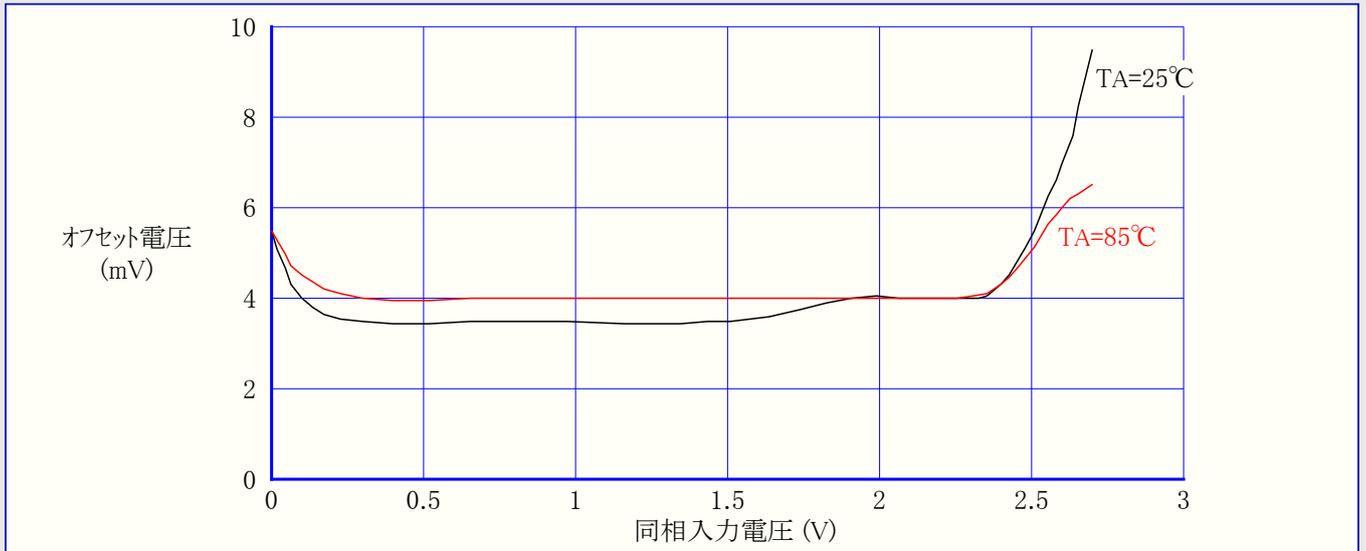


図61. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=5V)



注: オフセット電圧は絶対値です。

図62. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=2.7V)



注: オフセット電圧は絶対値です。

図63. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25°C)

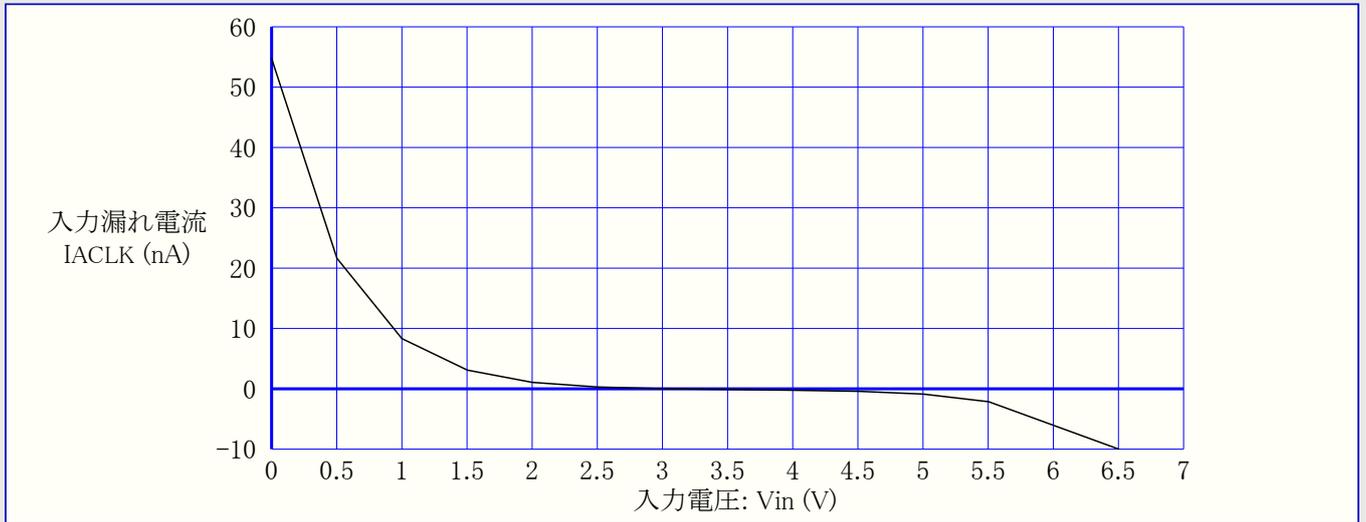


図64. 校正済み内蔵RC発振器周波数 対 動作電圧

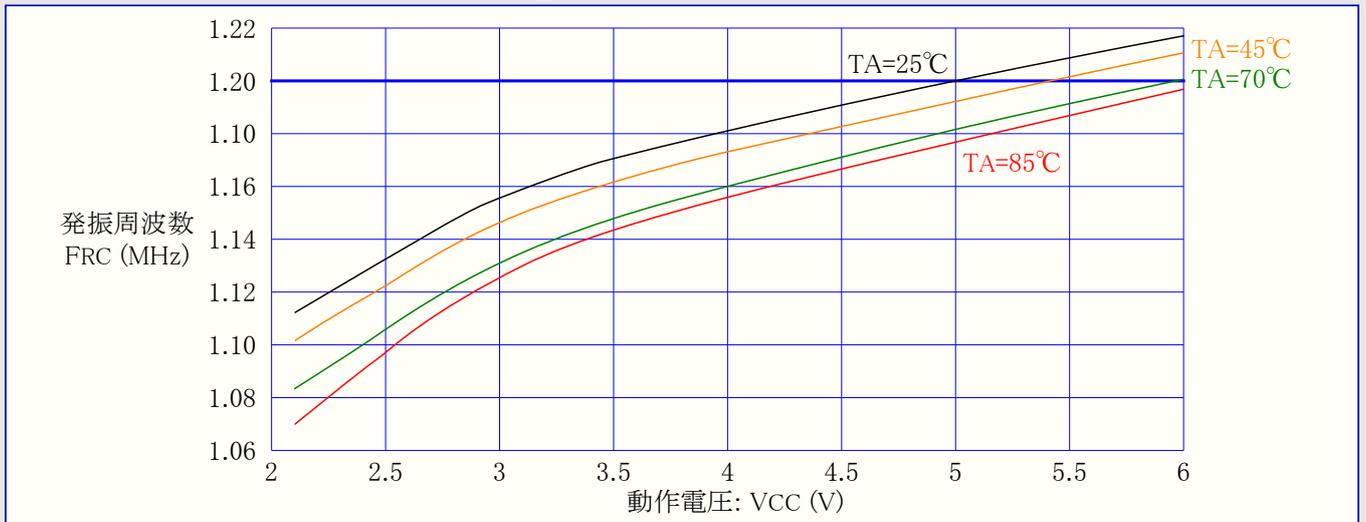


図65. ウォッチドッグ用発振器 発振周波数 対 動作電圧

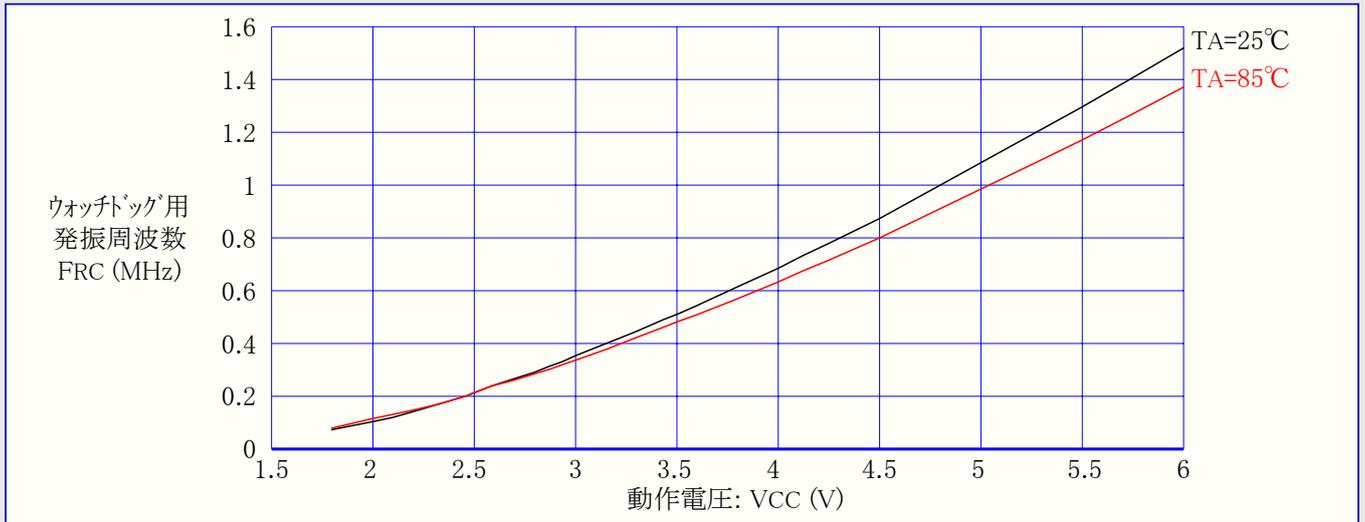
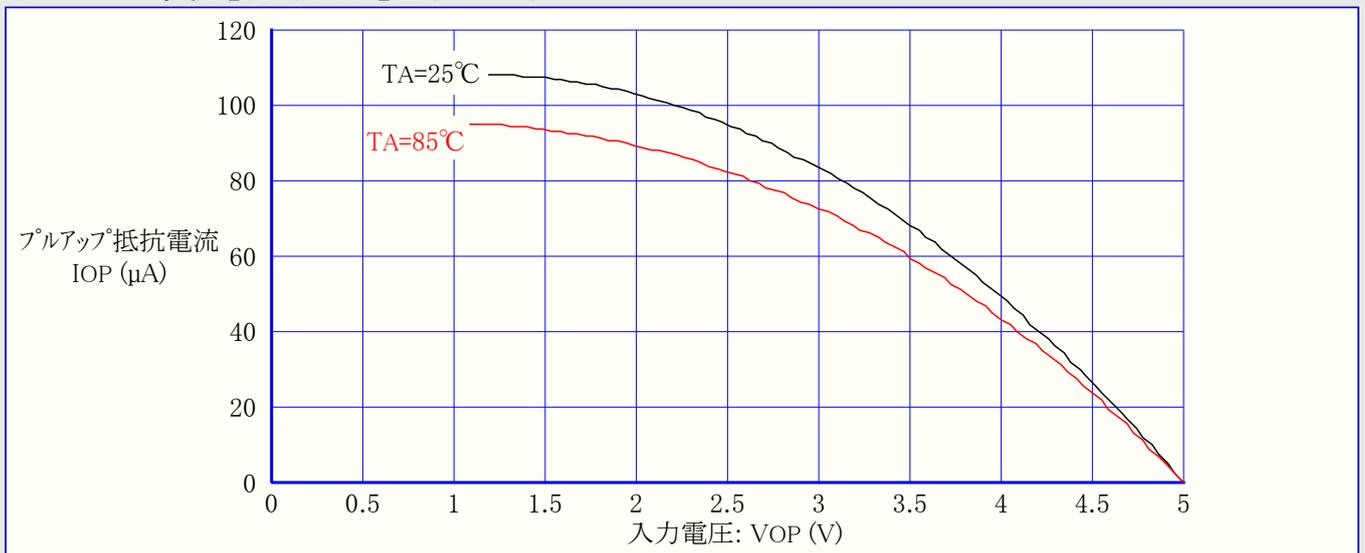
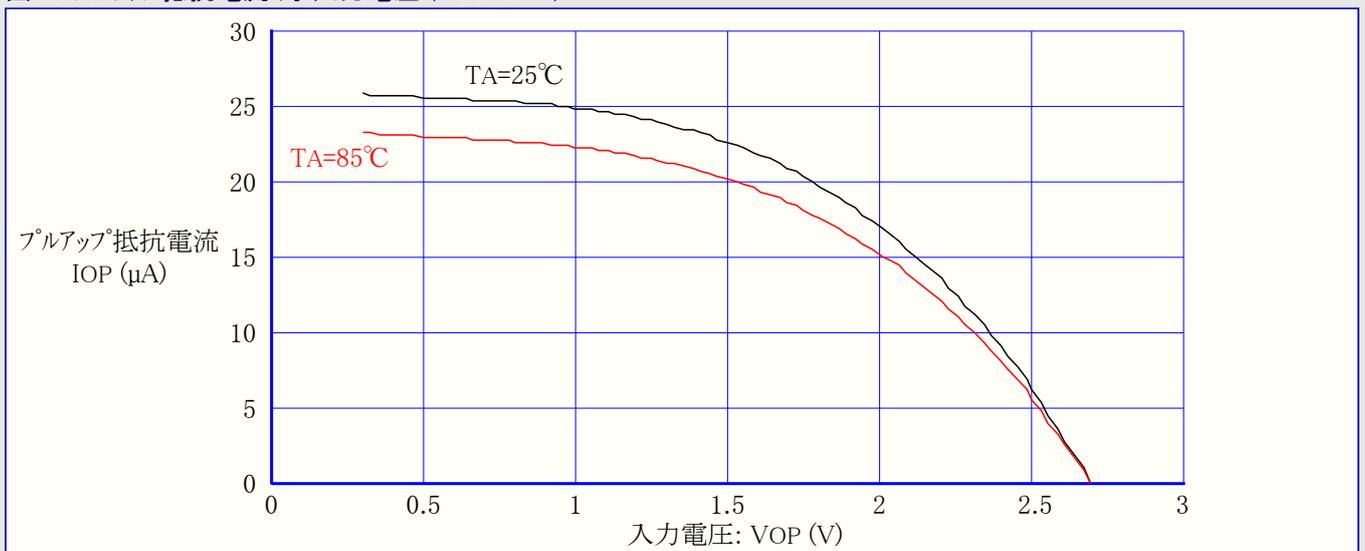


図66. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



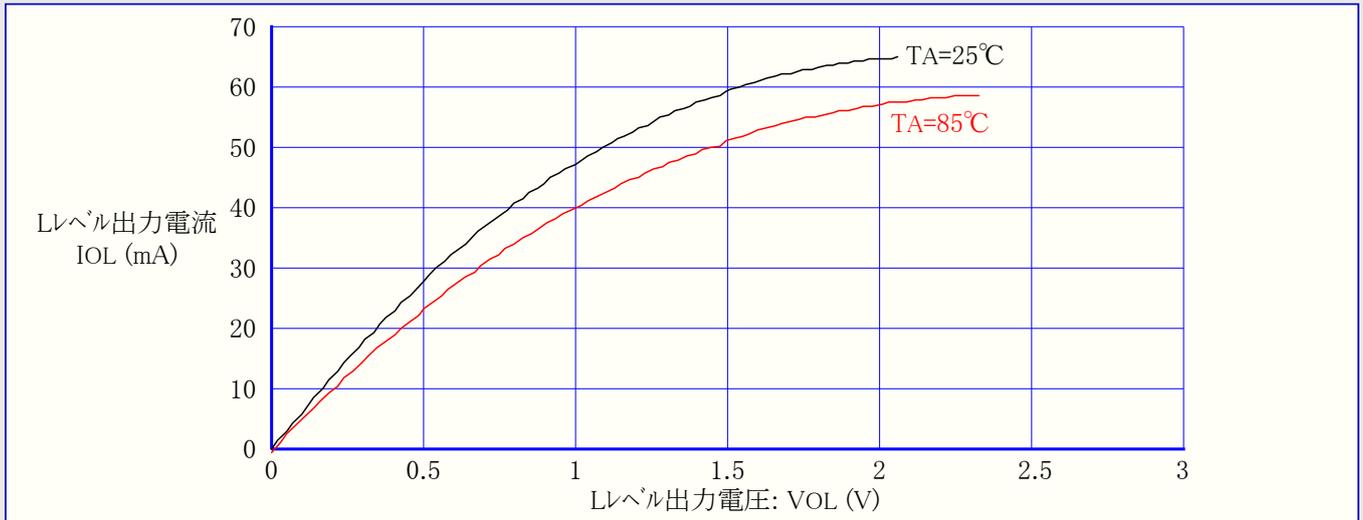
注: 測定は1ピン単位です。

図67. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



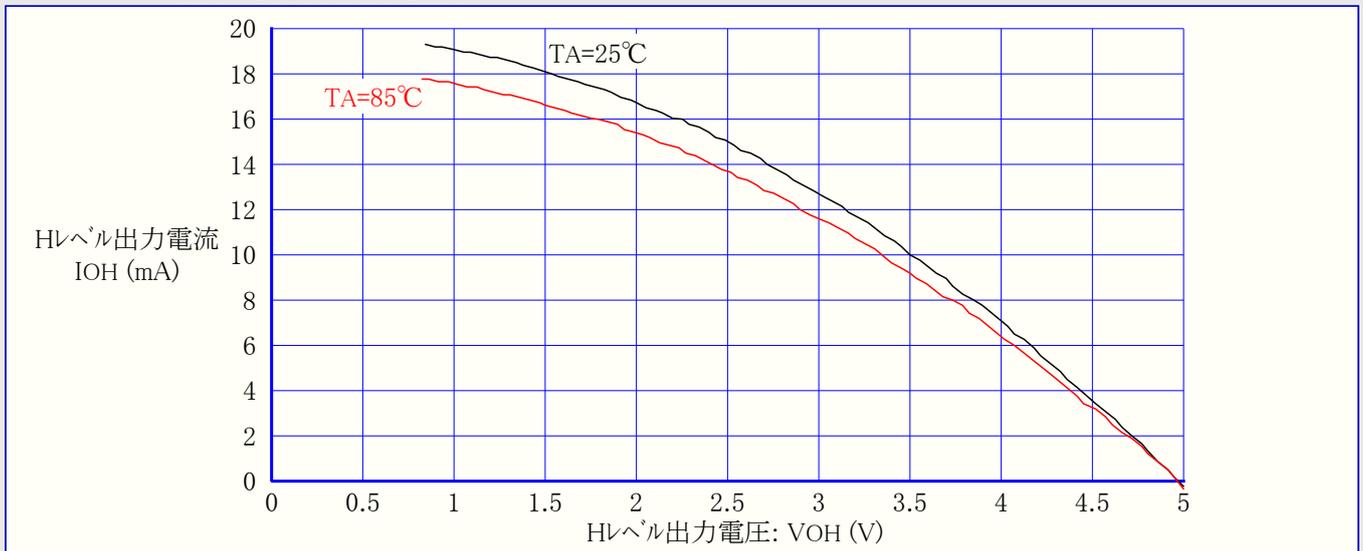
注: 測定は1ピン単位です。

図68. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



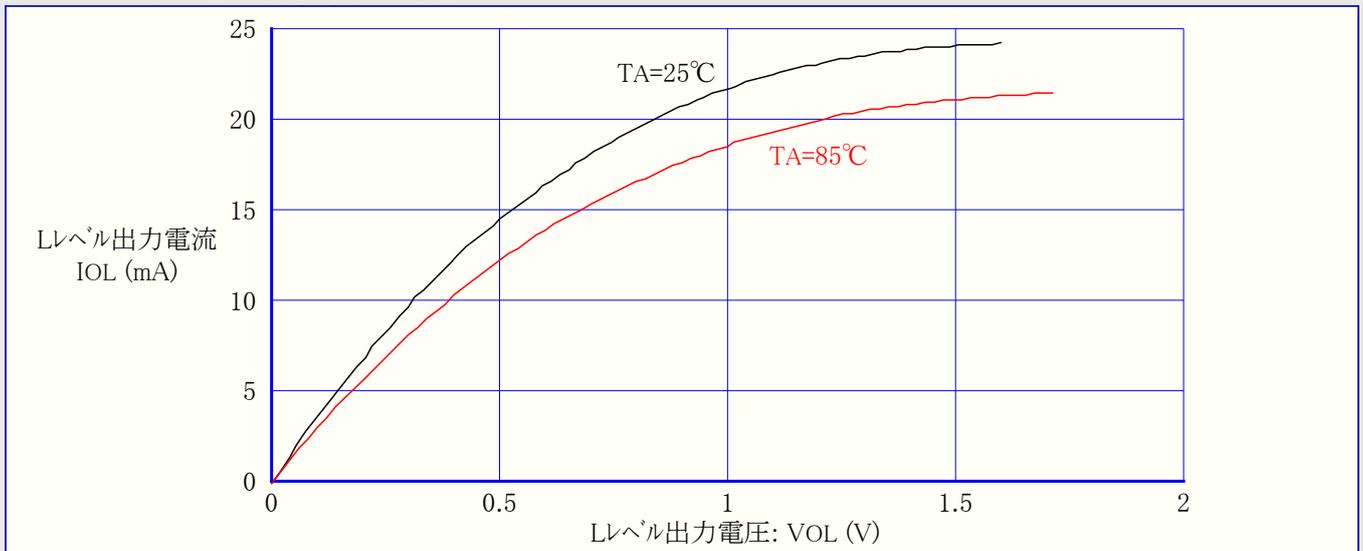
注: 測定は1ピン単位です。

図69. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



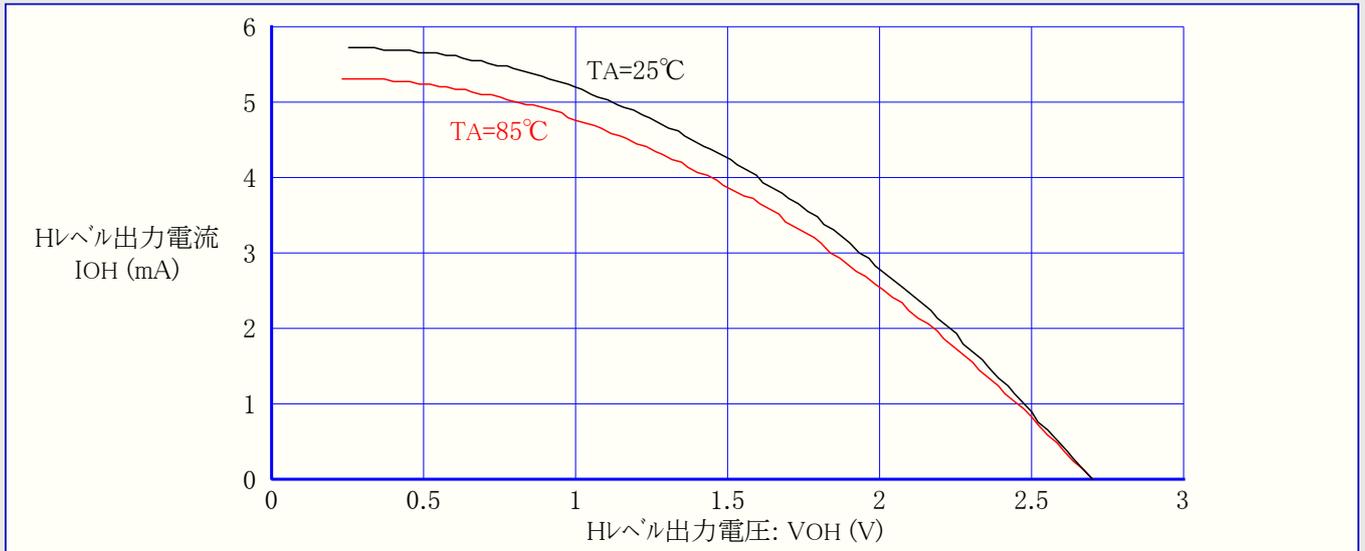
注: 測定は1ピン単位です。

図70. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図71. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図72. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (TA=25°C)

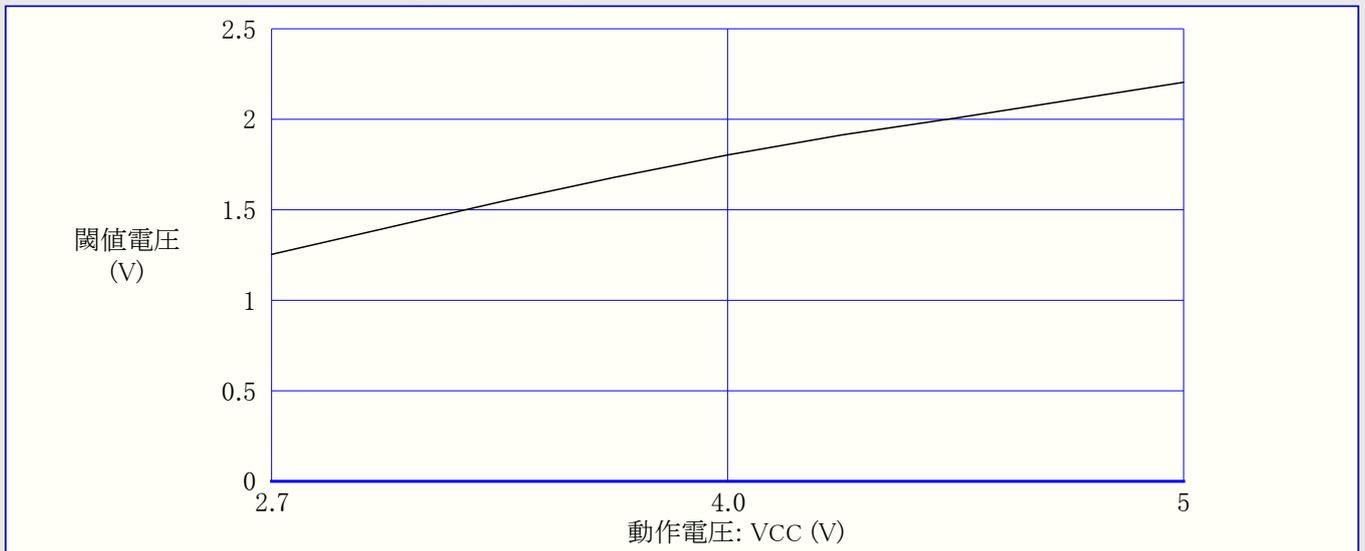
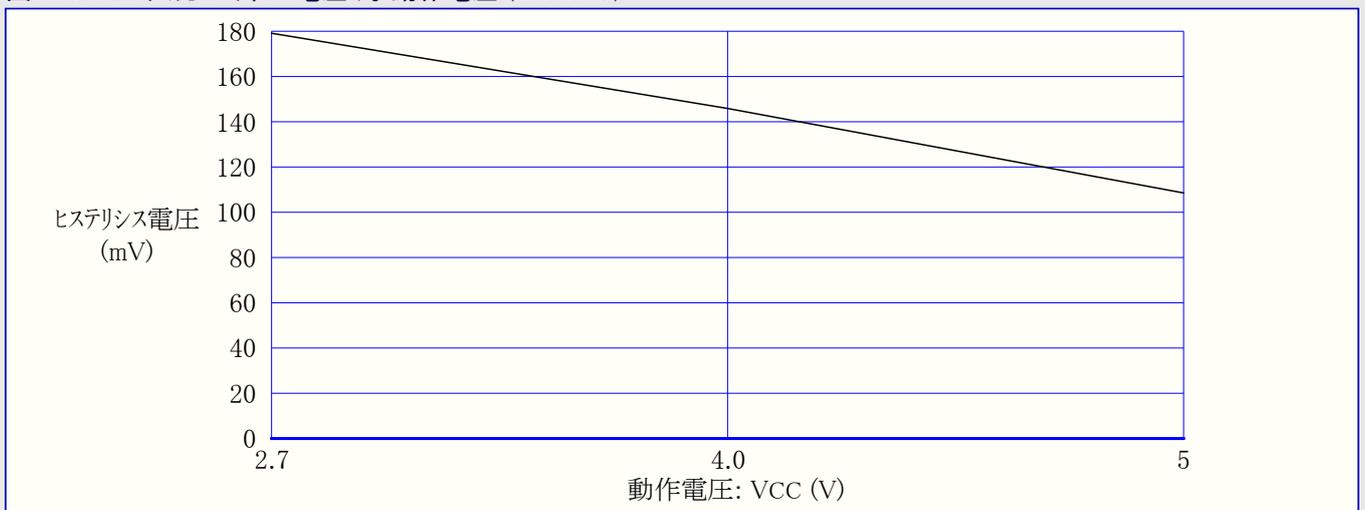


図73. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



ATtiny11 レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F	SREG	I	T	H	S	V	N	Z	C	6
\$3E	予約									
\$3D	予約									
\$3C	予約									
\$3B	GIMSK	-	INT0	PCIE	-	-	-	-	-	21
\$3A	GIFR	-	INTF0	PCIF	-	-	-	-	-	21
\$39	TIMSK	-	-	-	-	-	-	TOIE0	-	22,27
\$38	TIFR	-	-	-	-	-	-	TOV0	-	22,27
\$37	予約									
\$36	予約									
\$35	MCUCR	-	-	SE	SM	-	-	ISC01	ISC00	20
\$34	MCUSR	-	-	-	-	-	-	EXTRF	PORF	17
\$33	TCCR0	-	-	-	-	-	CS02	CS01	CS00	26
\$32	TCNT0	タイマ/カウンタ0								26
\$31	予約									
\$30	予約									
\$2F	予約									
\$2E	予約									
\$2D	予約									
\$2C	予約									
\$2B	予約									
\$2A	予約									
\$29	予約									
\$28	予約									
\$27	予約									
\$26	予約									
\$25	予約									
\$24	予約									
\$23	予約									
\$22	予約									
\$21	WDTCR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	28
\$20	予約									
\$1F	予約									
\$1E	予約									
\$1D	予約									
\$1C	予約									
\$1B	予約									
\$1A	予約									
\$19	予約									
\$18	PORTB	-	-	-	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	23
\$17	DDRB	-	-	-	DDB4	DDB3	DDB2	DDB1	DDB0	23
\$16	PINB	-	-	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	23
\$09~\$15	予約									
\$08	ACSR	ACD	-	ACO	ACI	ACIE	-	ACIS1	ACIS0	29
\$00~\$07	予約									

注: 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリアドレスへは決して書くべきではありません。

- いくつかの状態フラグは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00~\$1FのI/Oレジスタでだけ動作します。

ATtiny12 レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F	SREG	I	T	H	S	V	N	Z	C	6
\$3E	予約									
\$3D	予約									
\$3C	予約									
\$3B	GIMSK	-	INT0	PCIE	-	-	-	-	-	21
\$3A	GIFR	-	INTF0	PCIF	-	-	-	-	-	21
\$39	TIMSK	-	-	-	-	-	-	TOIE0	-	22,27
\$38	TIFR	-	-	-	-	-	-	TOV0	-	22,27
\$37	予約									
\$36	予約									
\$35	MCUCR	-	PUD	SE	SM	-	-	ISC01	ISC00	20
\$34	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	17
\$33	TCCR0	-	-	-	-	-	CS02	CS01	CS00	26
\$32	TCNT0	タイマ/カウンタ0								26
\$31	OSCCAL	内蔵RC発振器校正値								8
\$30	予約									
\$2F	予約									
\$2E	予約									
\$2D	予約									
\$2C	予約									
\$2B	予約									
\$2A	予約									
\$29	予約									
\$28	予約									
\$27	予約									
\$26	予約									
\$25	予約									
\$24	予約									
\$23	予約									
\$22	予約									
\$21	WDTCR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	28
\$20	予約									
\$1F	予約									
\$1E	EEAR	-	-	EEPROM アドレスレジスタ						12
\$1D	EEDR	EEPROM データレジスタ								12
\$1C	EECR	-	-	-	-	EERIE	EEMWE	EWE	EERE	12
\$1B	予約									
\$1A	予約									
\$19	予約									
\$18	PORTB	-	-	-	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	23
\$17	DDRB	-	-	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	23
\$16	PINB	-	-	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	23
\$09~\$15	予約									
\$08	ACSR	ACD	AINBG	ACO	ACI	ACIE	-	ACIS1	ACIS0	29
\$00~\$07	予約									

- 注:
- 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリアドレスへは決して書くべきではありません。
 - いくつかの状態フラグは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00~\$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K : 8ビット定数
b : ビット(0~7)

P : I/Oレジスタ
k : アドレス定数(7,12ビット)

Rd, Rr : 汎用レジスタ(R0~R31)
s : ステータスフラグ(C,Z,N,V,X,H,T,I)

Z : Zレジスタ

ニーモニック	オペラント	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,I,V,I,I,I,I	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,I,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,I,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,I,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,I,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文コード*	外囲器	動作範囲
2	2.7~5.5V	ATtiny11L-2PC	8P3	一般用(0°C~70°C)
		ATtiny11L-2SC	8S2	
		ATtiny11L-2PI	8P3	工業用(-40°C~85°C)
		ATtiny11L-2SI	8S2	
		ATtiny11L-2SU (注2)		
6	4.0~5.5V	ATtiny11-6PC	8P3	一般用(0°C~70°C)
		ATtiny11-6SC	8S2	
		ATtiny11-6PI	8P3	工業用(-40°C~85°C)
		ATtiny11-6PU (注2)		
		ATtiny11-6SI	8S2	
		ATtiny11-6SU (注2)		
1.2	1.8~5.5V	ATtiny12V-1PC	8P3	一般用(0°C~70°C)
		ATtiny12V-1SC	8S2	
		ATtiny12V-1PI	8P3	工業用(-40°C~85°C)
		ATtiny12V-1PU (注2)		
		ATtiny12V-1SI	8S2	
		ATtiny12V-1SU (注2)		
4	2.7~5.5V	ATtiny12L-4PC	8P3	一般用(0°C~70°C)
		ATtiny12L-4SC	8S2	
		ATtiny12L-4PI	8P3	工業用(-40°C~85°C)
		ATtiny12L-4PU (注2)		
		ATtiny12L-4SI	8S2	
		ATtiny12L-4SU (注2)		
8	4.0~5.5V	ATtiny12-8PC	8P3	一般用(0°C~70°C)
		ATtiny12-8SC	8S2	
		ATtiny12-8PI	8P3	工業用(-40°C~85°C)
		ATtiny12-8PU (注2)		
		ATtiny12-8SI	8S2	
		ATtiny12-8SU (注2)		

注: 速度分類は外部クリスタルまたは外部クロック駆動時の最大クロック速度です。内蔵RC発振器は全ての速度品種について同じ公称クロック周波数です。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

外囲器形式

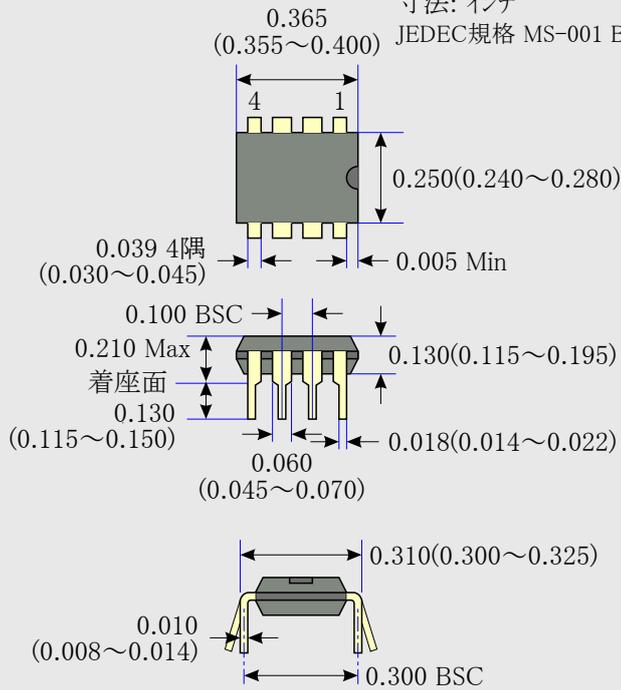
8P3	8ピン 300mil幅 プラスティック2列直線外囲器 (PDIP)
8S2	8リード* 200mil幅 プラスティック小型外形外囲器 (SOIC)

外圍器情報

8P3

8ピン 300mil幅 プラスティック2列直線外圍器 (PDIP)

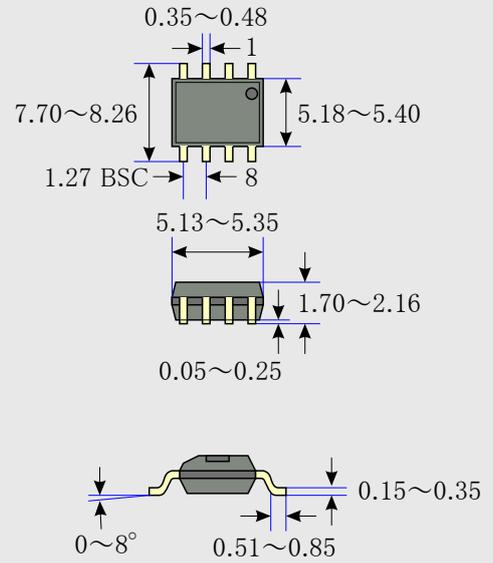
寸法: インチ
JEDEC規格 MS-001 BA



8S2

8ピン 200mil幅 プラスティック小型外形外圍器 (EIAJ SOIC)

寸法: mm



データシート改訂履歴

この章内の参照頁番号は、この資料が参照されていることに注意してください。この章内の改訂番号は資料の改訂番号を参照してください。

1006D – 2003年7月

1. 15頁の表9.でVBOT値を更新

1006E – 2006年7月

1. 章構成更新
2. 13頁のATtiny11に対するパワーダウン動作を更新
3. 13頁のATtiny12に対するパワーダウン動作を更新
4. 23頁の表16.を更新
5. 32頁の「校正バイト (ATtiny12)」を更新
6. 58頁の「注文情報」を更新
7. 59頁の「外形情報」を更新

1006F – 2007年6月

1. 1頁に「新規設計は推奨されません」を追加

障害情報

この章の改訂番号はATtiny11/12の改訂版を参照してください。

ATtiny11

改訂B

(Rev. 1607A-12/99)

改訂D

(Rev. 1607C-09/01)

ATtiny12

改訂C

(Rev. 2488A-09/01)

- ・動作電圧と周波数範囲の制限 11-B
- ・パワーダウン動作時の高消費電流 11-B
- ・外部RC発振時の周波数範囲 11-D
- ・リセット状態ビット書き込み異常 11-D
- ・クロック停止によるリセット状態の解除 11-D
- ・低電圧検出(BOD)レベル異常低下 12-C

データシートの重要変更 (12-C)

- ・校正付き内蔵RC発振器の発振周波数は、1.0MHzではなく**1.2MHz**です。
- ・過去のデータシートに於ける**低電圧直列プログラミング**でのチップ消去の方法は正しくありません。正しい方法は最新の**(訳注: 本)データシート**を参照してください。

1. 動作電圧と周波数範囲の制限 (11-B)

電圧範囲は2.7~4.0Vに制限されます。この範囲での最高動作周波数は2MHzに制限されます。

対策/対処

ATtiny11改訂Cを使います。

2. パワーダウン動作時の高消費電流 (11-B)

パワーダウン中の消費電流が500 μ A(VCC=4.0V)近くにもなります。

対策/対処

ATtiny11改訂Cを使います。

3. 外部RC発振時の周波数範囲 (11-D)

外部RC発振はデータシートの記載例によらず、500kHz~4MHzの周波数範囲でのみ使用可能です。

対策/対処

この周波数範囲外の場合は、外部RC発振が使えませんので、代わりに水晶発振子またはセラミック振動子を使います。

4. リセット状態ビット書き込み異常 (11-D)

MCU状態レジスタ(MCUSR)の電源ONリセットフラグ(PORF)の解除(0)で、外部リセットフラグ(EXTRF)も解除(0)されます。EXTRFは0の書き込みで解除(0)されません。

対策/対処

これらのフラグ検査後、両方のフラグに0を同時に書き込み、両フラグとも解除(0)します

5. クロック停止によるリセット状態の解除 (11-D)

クロック停止中に**外部リセット**または**ウォッチドッグリセット**が発生すると、クロック再起動前にリセットが解除されます。内部リセットは外部クロックと無関係に、リセット遅延時間後、解除されます。内部リセットが有効な間に、外部クロックパルスが無かった場合、リセットはI/OをHi-Z状態に保ちます。しかし、クロック再起動前に内部リセットが解除されると、I/O部が解除されず、また、PC(プログラムカウンタ)も解除されません。これは外部クロック入力でクロックをゲートする構造のため、内部クロックが停止することによります。この問題は、パワーダウン動作では無関係です。

対策/対処

外部リセットが予測される全ての期間、クロックが動作中であることを確認します。ウォッチドッグを使っている場合は外部クロックを停止しないようにします。

6. 低電圧検出(BOD)レベル異常低下 (12-C)

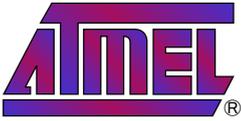
BODLEVELヒューズが非プログラム(1)の場合、**低電圧検出リセット電圧(VBOT)**がデバイスの安定動作に支障をきたすほど低下する可能性があります。

対策/対処

BODLEVELヒューズをプログラム(0)し、高検出電圧を選択します。

目次

特徴	1	高電圧直列プログラミング	33
ピン配置	1	高電圧直列プログラミング特性	35
概要	2	低電圧直列プログラミング	36
ATtiny11構成図	2	低電圧直列プログラミング特性	37
ATtiny12構成図	3	電気的特性	38
ピン説明	4	絶対最大定格	38
構造概要	5	DC特性	38
ALU (Arithmetic Logic Unit)	5	外部クロック特性	39
サブルーチン、割り込み用スタック	5	ATtiny11 代表特性	40
汎用レジスタ ファイル	6	ATtiny12 代表特性	48
ステータス レジスタ	6	ATtiny11 レジスタ要約	54
システム クロックとクロック選択	7	ATtiny12 レジスタ要約	55
内蔵RC発振器	7	命令要約	56
校正付き内蔵RC発振器 (ATtiny12)	7	注文情報	58
クリスタル用発振器	7	外圍器情報	59
外部クロック信号	7	データシート改訂履歴	60
外部RC発振器	7	障害情報	61
クロック用レジスタ	8		
メモリ	9		
I/Oレジスタ	9		
プログラム/データ空間に対するアドレス指定種別	10		
メモリアクセスと命令実行タイミング	11		
実装書き換え可能なプログラム用フラッシュメモリ	11		
データ用EEPROMメモリ (ATtiny12)	11		
EEPROMデータ化けの防止	11		
EEPROMアクセス (ATtiny12)	11		
メモリ用レジスタ	12		
休止形態種別	13		
アイドル動作	13		
パワーダウン動作	13		
システム制御とリセット	14		
リセット元	14		
リセット関係レジスタ	17		
割り込み	18		
リセットと割り込み	18		
割り込みの扱い	19		
割り込み用レジスタ	20		
入出力ポートB	23		
入出力ポートB用レジスタ	23		
タイマ/カウンタ0	25		
タイマ/カウンタ0前置分周器	25		
8ビットタイマ/カウンタ0用レジスタ	26		
ウォッチドッグ タイマ	28		
ウォッチドッグ タイマ用レジスタ	28		
アナログ比較器	29		
アナログ比較器用レジスタ	29		
内部基準電圧 (ATtiny12)	30		
基準電圧許可信号と起動時間	30		
メモリプログラミング	31		
プログラムメモリとデータメモリ用施錠ビット	31		
ヒューズビット (ATtiny11)	31		
ヒューズビット (ATtiny12)	31		
識票バイト	32		
校正バイト (ATtiny12)	32		
フラッシュメモリとEEPROMのプログラミング	32		



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2007.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。
本書中の製品名などは、一般的に商標です。

© HERO 2022.

本データシートはAtmelのATtiny11/12(改訂1006F-06/07)英語版データシートの翻訳日本語版で、ATtiny11改訂B障害(改訂1607A-12/99)、改訂D障害(改訂1607C-09/01)、ATtiny12改訂C障害(改訂2488A-09/01)の内容も含まれています。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に於ける図15.の図番号欠落を修正したため、以降の図番号が原書に対して+1されています。