

特徴

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
 - ・強力な123命令(多くは1周期で実行)
 - ・32個の1バイト長汎用レジスタ
 - ・完全なステティック動作
 - ・20MHz時、20MIPSに達する高速動作
- 高耐久不揮発性メモリ部
 - ・実装自己書き換え可能な1Kバイト(512語)フラッシュ メモリ内蔵
 - ・64バイトのEEPROM
 - ・64バイトの内蔵SRAM
 - ・書き換え回数: 10,000/フラッシュ, 100,000/EEPROM
 - ・データ保持力: 20年/85°C, 100年/25°C (4頁をご覧ください。)
 - ・自己プログラミング フラッシュとEEPROMデータ保護用の設定可能な施錠機能
- 内蔵周辺機能
 - ・前置分周器と2つのPWM出力付き1つの8ビット タイマ/カウンタ
 - ・4チャンネルの内部基準電圧付き10ビット A/D変換器
 - ・設定可能な専用発振器付きウォッチドッグ タイマ
 - ・アナログ比較器
- 特殊マイクロ コントローラ機能
 - ・デバッグWIRE内蔵デバッグ機能
 - ・SPIポート経由の実装書き込み
 - ・外部及び内部の割り込み
 - ・アイドル、A/D変換雑音低減、パワーダウンの3つの低消費動作
 - ・強化した電源ONリセット回路
 - ・設定可能な低電圧検出器(BOD)回路
 - ・校正付き内蔵RC発振器
- I/Oと外圍器
 - ・6ビットの設定可能なI/O
 - ・8ピンPDIP、8リードSOIC、10ピンQFN/MLF、20ピンQFN/MLF
- 動作電圧
 - ・1.8～5.5V (ATtiny13V)
 - ・2.7～5.5V (ATtiny13)
- 動作速度
 - ・0～4MHz/1.8～5.5V, 0～10MHz/2.7～5.5V (ATtiny13V)
 - ・0～10MHz/2.7～5.5V, 0～20MHz/4.5～5.5V (ATtiny13)
- 工業用温度範囲
- 低消費電力
 - ・240μA (1MHz, 1.8V, 活動動作)
 - ・0.1μA (1.8V, パワーダウン動作)

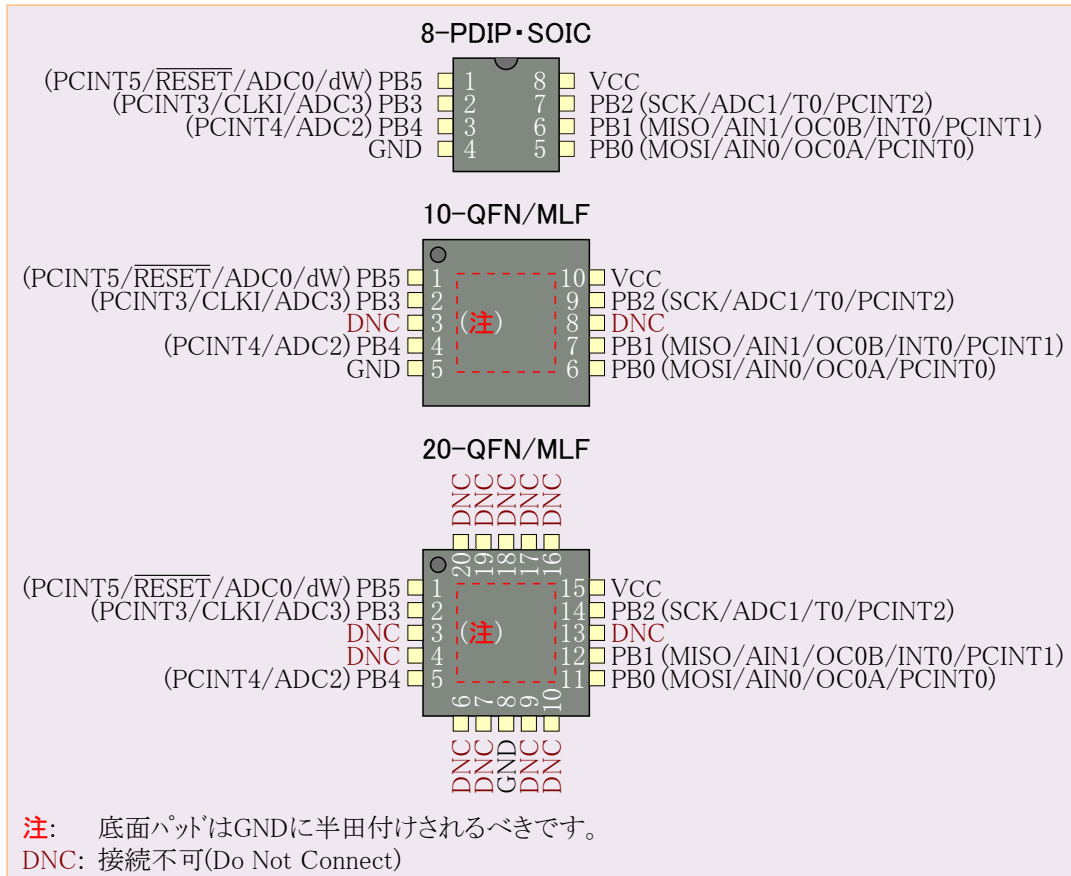
本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。



8ビット **AVR**®
 マイクロ コントローラ
 実装書き換え可能な
 1Kバイト
 フラッシュ メモリ内蔵

ATtiny13
 ATtiny13V

1. ピン配置



1.1. ピン概要

1.1.1. VCC

電源ピン。

1.1.2. GND

接地ピン。

1.1.3. PB5～PB0 (ポートB)

ポートBは(ビット単位で選択される)内蔵プルアップ抵抗付きの6ビット双方向入出力ポートです。ポートB出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートBピンはHi-Zにされます。

ポートBは36頁で示されるATtiny13の様々な特殊機能も扱います。

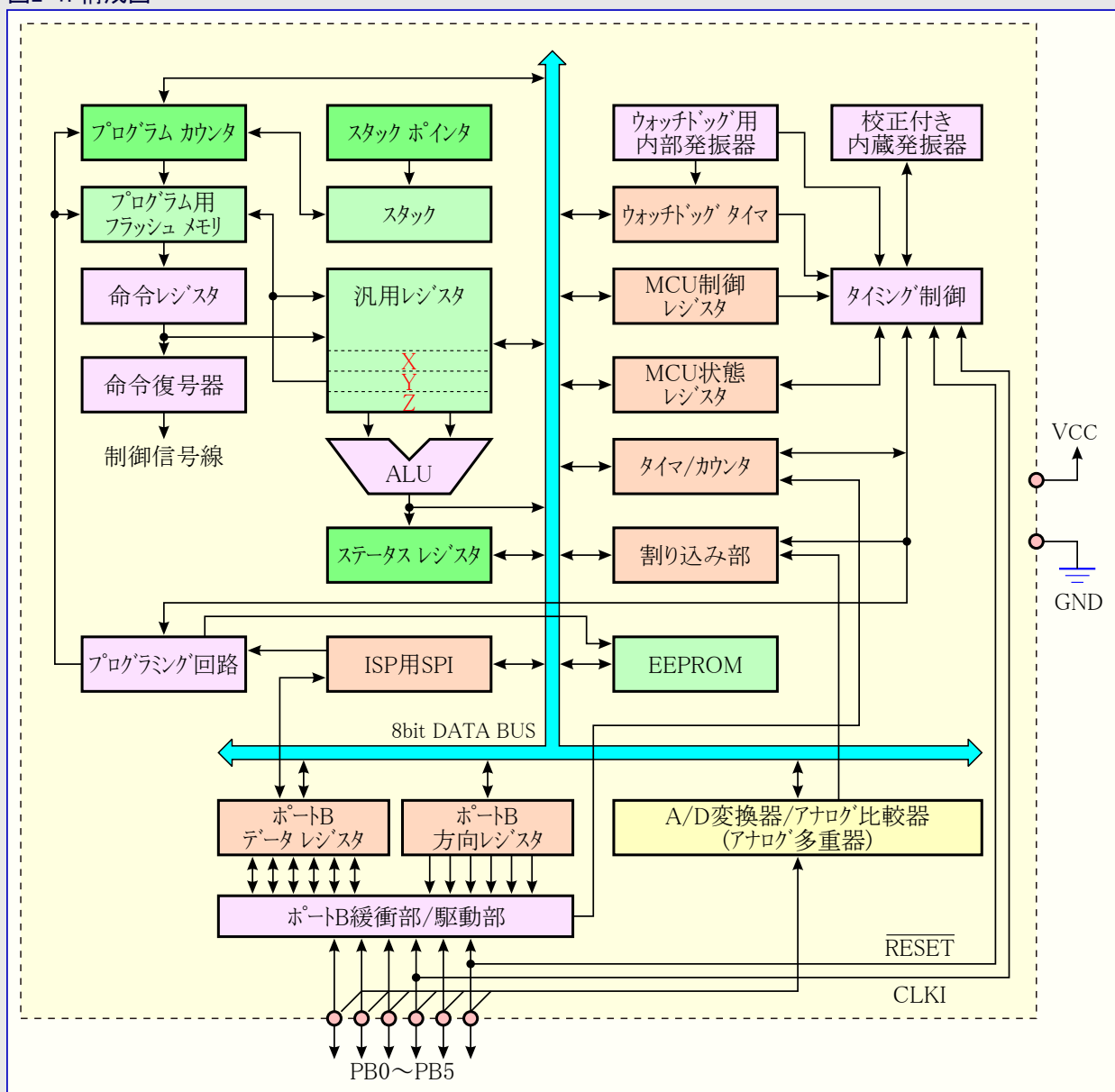
1.1.4. $\overline{\text{RESET}}$

リセット入力。例えクロックが走行していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は79頁の表18-4.で与えられます。より短いパルスはリセットの生成が保証されません。

リセットピンは(弱い駆動の)入出力ピンとしても使えます。

ATtiny13はAVR強化RISC構造を基にした低消費CMOS 8ビット マイクロ コントローラです。1周期での強力な命令の実行により、ATtiny13はMHzあたり1MIPSに達する単位処理量を成し遂げ、処理速度対消費電力の最適化を設計者に許します。

図2-1. 構成図



ATtiny13 AVRはCコンパイラ、マクロアセンブラ、プログラムデバッガ/シミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

3. 一般情報

3.1. 資料

包括的なデータシート、応用記述、ドライバ群と開発ツールの記述は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

3.2. コード例

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立って、デバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

3.3. データ保持力

信頼性証明結果はデータ保持誤り率の反映を示し、20年以上/85°Cまたは100年以上/25°Cで1PPMよりずっと小さな値です。

4. CPU コア

本項はAVRコア構造を一般的に説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリ アクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

4.1. 構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの32個の8ビット長汎用レジスタを含みます。これは1クロック周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用に3つの16ビット長間接アドレスポインタ用レジスタとして使われます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数表参照用アドレスポインタとしても使えます。これら16ビット長付加機能レジスタはX,Y,Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するために、ステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定できます。AVR命令の多くは16ビット語(ワード)形式です。全てのプログラムメモリのアドレスは(**訳注**:定数のみを除き)16または32ビット長命令を含みます。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。全ての使用者プログラムはリセット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される5つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

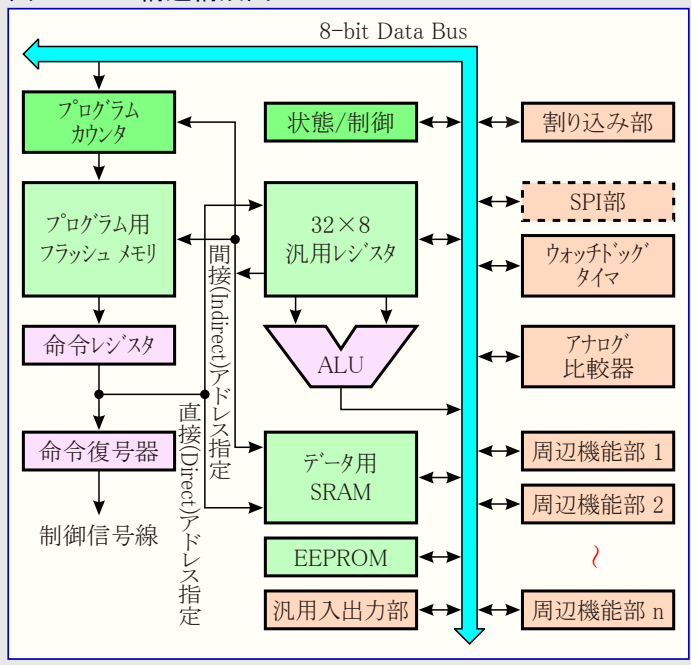
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(1ビット)があります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタや他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20～\$5Fとしてアクセスできます。

4.2. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個全ての汎用レジスタに直接接続され動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「**命令要約**」章をご覧ください。

図4-1. AVR構造構成図



4.3. ステータス レジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータスレジスタは「**命令一式参考書**」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはソフトウェアによって扱われなければなりません。

4.3.1. ステータス レジスタ (Status Register) SREG

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるために設定(1)されなければなりません。その時の個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するために、**RETI**命令によって設定(1)されます。Iビットは「**命令一式参考書**」で記述されるように**SEI**や**CLI**命令で応用(プログラム)によって設定(1)や解除(0)もできます。

■ ビット6 – T: ビット変数 (Bit Copy Storage)

ビット複写命令、**BLD**(Bit Load)と**BST**(Bit Store)は操作したビットの転送元または転送先として、このTビットを使います。レジスタファイルのレジスタからのビットは**BST**命令によってTに複写でき、Tのビットは**BLD**命令によってレジスタファイルのレジスタ内のビットに複写できます。

■ ビット5 – H: ハーフキャリー フラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「**命令要約**」記述をご覧ください。

■ ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については「**命令要約**」記述をご覧ください。

■ ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「**命令要約**」記述をご覧ください。

■ ビット2 – N: 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「**命令要約**」記述をご覧ください。

■ ビット1 – Z: ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「**命令要約**」記述をご覧ください。

■ ビット0 – C: キャリー フラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(またはボロー)を示します。詳細情報については「**命令要約**」記述をご覧ください。

4.4. 汎用レジスタ ファイル

このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

- 1つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの16ビットの結果入力
- 1つの16ビット出力オペラントと1つの16ビットの結果入力

図4-2.はCPU内の32個の汎用作業レジスタの構造を示します。

レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一周期命令です。

図4-2.で示されるように各レジスタは使用者データ空間の最初の32位置へ直接的に配置することで、それらはデータ メモリ アドレスも割り当てられます。例えば物理的にSRAM位置として実装されていなくてもX,Y,Zレジスタ(ポインタ)がレジスタ ファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図4-2. AVR CPU 汎用レジスタ構成図

7	0	アドレス
R0		\$00
R1		\$01
R2		\$02
⋮		
R13		\$0D
R14		\$0E
R15		\$0F
R16		\$10
R17		\$11
⋮		
R26		\$1A
R27		\$1B
R28		\$1C
R29		\$1D
R30		\$1E
R31		\$1F

Xレジスタ	下位8ビット	上位8ビット
	7	0
Yレジスタ	下位8ビット	上位8ビット
	7	0
Zレジスタ	下位8ビット	上位8ビット
	7	0

4.4.1. Xレジスタ, Yレジスタ, Zレジスタ

R26～R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図4-3.で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「命令一式参考書」をご覧ください)。

図4-3. X,Y,Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

4.5. スタック ポインタ

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使われます。スタック ポインタレジスタは常にこのスタックの先頭(訳注:次に使われるべき位置)を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへのPUSH命令はスタック ポインタを減少するという意味です。

スタック ポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間は電源ON/リセット中にSRAMの最終アドレスが自動的に定義されます。スタック ポインタは\$60以上を指示するように設定されなければなりません。スタック ポインタはPUSH命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタック ポインタはPOP命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰(RET)命令や割り込みからの復帰(RETI)命令でアドレスがスタックから引き出されると+2されます。

AVRのスタック ポインタはI/O空間内の2つの8ビット レジスタとして実装されます。実際に使われるビット数は(そのデバイス)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(デバイス)のデータ空間もあることに注意してください。その場合、SPHレジスタは存在しません。

4.5.1. スタック ポインタ (Stack Pointer) SPL (SP)

ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	0	0	1	1	1	1	1	

4.6. 命令実行タイミング

本項は命令実行の一般的なアクセスタイミングの概念を記述します。AVR CPUはチップ(デバイス)用に選択したクロック元から直接的に生成したCPUクロック(clk_{CPU})によって駆動されます。内部クロック分周は使われません。

図4-4.はハーバード構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図4-5.はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図4-4. 命令の取得と実行の並列動作

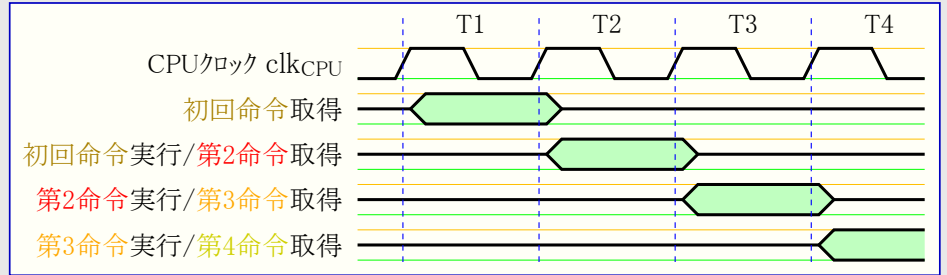
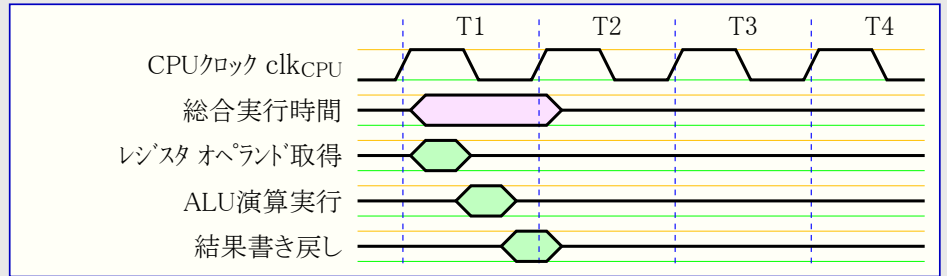


図4-5. 1周期ALU命令



4.7. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセットベクタ各々はプログラムメモリ空間内に独立したプログラムベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。

既定でのプログラムメモリ空間の最下位アドレスはリセットと割り込みのベクタとして定義されます。ベクタの完全な一覧は29頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0(INT0)です。

割り込みが起こると全割り込み許可(I)ビットが解除(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可(I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可(I)ビットは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除(0)します。割り込み要求フラグは解除(0)されるべきフラグのビット位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ビットが解除(0)されている間に割り込み条件が起こると、割り込み要求フラグが設定(1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ビットが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定(1)されて全割り込み許可(I)ビットが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われなことに注意してください。これはソフトウェアによって扱われなければなりません。

割り込みを禁止するために**CLI**命令を使うと、割り込みは直ちに禁止されます。**CLI**命令と同時に割り込みが起こっても、**CLI**命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使えるかを示します。

アセンブリ言語プログラム例

```
IN      R16, SREG      ;ステータスレジスタを保存
CLI     ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE     ;EEPROM主書き込み許可
SBI     EECR, EEPE      ;EEPROM書き込み開始
OUT     SREG, R16       ;ステータスレジスタを復帰
```

C言語プログラム例

```
char cSREG;           /* ステータスレジスタ保存変数定義 */
cSREG = SREG;         /* ステータスレジスタを保存 */
__disable_interrupt(); /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);   /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);     /* EEPROM書き込み開始 */
SREG = cSREG;         /* ステータスレジスタを復帰 */
```

割り込みを許可するために**SEI**命令を使うと、次例で示されるようにどの保留割り込みにも先立って**SEI**命令の次の命令が実行されます。

アセンブリ言語プログラム例

```
SEI     ;全割り込み許可
SLEEP   ;休止形態移行(割り込み待ち)
```

C言語プログラム例

```
__enable_interrupt(); /* 全割り込み許可 */
__sleep();            /* 休止形態移行(割り込み待ち) */
```

4.7.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対する**プログラムベクタアドレス**が実行されます。この4クロック周期時間中にプログラムカウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は2クロック周期(**訳注**:原文は3(**JMP**命令=3を想定、実際は**RJMP**命令=2))要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。この増加は選択した休止形態からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラムカウンタ(PC:2バイト)がスタックから取り戻され(ポップ)、スタックポインタは増加され(+2)、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されます。

5. メモリ

この項はATtiny13の各種メモリを記述します。AVR構造にはプログラムメモリ空間とデータメモリ空間の2つの主なメモリ空間があります。加えてATtiny13はデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

5.1. 実装書き換え可能なプログラム用フラッシュメモリ

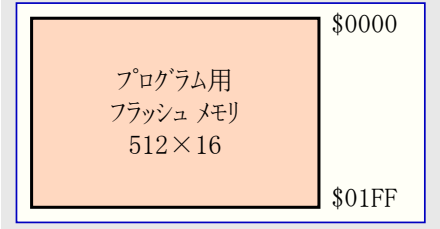
ATtiny13はプログラム保存用に実装書き換え可能な1Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは512×16ビットとして構成されます。

フラッシュメモリは最低10,000回の消去/書き込み回数の耐久性があります。ATtiny13のプログラムカウンタ(PC)は9ビット幅、従って512プログラムメモリ位置のアドレス指定です。68頁の「[メモリプログラミング](#)」はSPIピンを使うフラッシュメモリの直列プログラミングの詳細な記述を含みます。

定数表は全てのプログラムメモリアドレス空間に配置できます。(LPM命令記述参照)

命令の取得と実行のタイミング図は8頁の「[命令実行タイミング](#)」で示されます。

図5-1. プログラムメモリ配置図



5.2. データ用SRAMメモリ

図5-2はATtiny13のSRAMメモリ構成方法を示します。

下位160データメモリ位置はレジスタファイル、I/Oメモリ、内蔵データSRAMに充てます。最初の32位置はレジスタファイル、次の64位置は標準I/Oメモリに充て、最後の64位置は内蔵データSRAMに充てます。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定種別でデータメモリ(空間)を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われる)X, Y, Zアドレスレジスタは減少(-1)または増加(+1)されます。

ATtiny13の32個の汎用レジスタ、64個のI/Oレジスタ、64バイトのデータ用内蔵SRAMは、これら全てのアドレス指定種別を通して全部アクセスできます。レジスタファイルは7頁の「[汎用レジスタファイル](#)」で記述されます。

図5-2. データメモリ配置図

		アドレス
レジスタ ファイル (32)	R0	\$0000
	R1	\$0001
	}	
	R30	\$001E
	R31	\$001F
I/O レジスタ (64)	\$00	\$0020
	\$01	\$0021
	}	
	\$3E	\$005E
	\$3F	\$005F
内蔵 SRAM (64×8)	\$0060	\$0060
	\$0061	\$0061
	}	
	\$009E	\$009E
	\$009F	\$009F

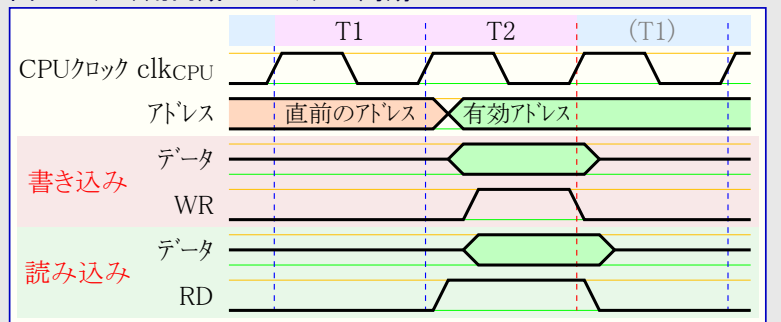
注: 赤字はI/Oアドレス

5.2.1. データメモリアクセスタイミング

この項は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図5-3で記載されるように2clkCPU周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1, T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図5-3. データ用内蔵SRAMアクセス周期



5.3. データ用EEPROMメモリ

ATtiny13は64バイトのデータ用EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降の[EEPROMアドレスレジスタ](#)、[EEPROMデータレジスタ](#)、[EEPROM制御レジスタ](#)で詳細に記述されます。EEPROMの直列プログラミングの詳細な記述については71頁をご覧ください。

5.3.1. EEPROMアクセス

EEPROMアクセスレジスタはI/O空間でアクセス可能です。

EEPROMの書き込み(訳注:原文はアクセス)時間は表5-1.で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。厳重に濾波した電源では電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については12頁の「[EEPROMデータ化けの防止](#)」をご覧ください。

予期せぬEEPROM書き込みを防止するため特別な書き込み手順に従わなければなりません。この詳細については「[非分離バイト書き込み](#)」と「[分離バイト書き込み](#)」を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

5.3.2. 非分離バイトプログラミング

非分離バイトプログラミングの使用は最も簡単な動作です。EEPROMにバイトを書くとき、使用者はEEARLにアドレス、EEDRにデータを書かなければなりません。EEPROMビットが'00'ならば、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは消去/書き込み動作を起動します。消去と書き込みの両周期は1操作で行われ、総プログラミング時間は表5-1.で与えられます。EEPEビットは消去と書き込み動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

5.3.3. 分離バイトプログラミング

2つの異なる操作として消去と書き込み周期を分離することが可能です。これは或る時間制限(代表的には電源電圧不足)に対してシステムが短いアクセス時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み動作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をシステムが許す時(代表的には電源投入後)に消去操作を行うことが可能です。

5.3.4. 消去

バイトを消去するにはアドレスがEEARLに書かれなければなりません。EEPROMビットが'01'なら、(EEMPEが1を書かれた後の4周期内の)EEPEの1書き込みは消去動作だけを起動します(プログラミング時間は表5-1.で与えられます)。EEPEビットは消去動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

5.3.5. 書き込み

(特定)位置を書くため、使用者はEEARLにアドレス、EEDRにデータを書かなければなりません。EEPROMビットが'10'なら、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは書き込み動作だけを起動します(プログラミング時間は表5-1.で与えられます)。EEPEビットは書き込み動作が完了されるまで設定(1)に留まります。書かれるべき位置が書き込み前に消去されていなければ、元の格納データは失ったとみなされなければなりません。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使われます。発振器周波数が18頁の「[発振校正レジスタ\(OSCCAL\)](#)」で記述した必要条件内であることを確かめてください。

次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_WR:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_WR              ;以前のEEPROMプログラミング完了まで待機
;
             LDI     R18, (0<<EEPM1) | (0<<EEPM0) ;プログラミング種別値取得(本例は非分離)
             OUT     EECR, R18               ;対応プログラミング種別設定
             OUT     EEARL, R17              ;EEPROMアドレス設定
             OUT     EEDR, R16               ;EEPROM書き込み値を設定
             SBI     EECR, EEMPE            ;EEPROM主プログラム許可ビット設定
             SBI     EECR, EEPE             ;EEPROMプログラミング開始(プログラム許可ビット設定)
             RET                               ;呼び出し元へ復帰
```

C言語プログラム例

```
void EEPROM_write(unsigned char ucAddress, unsigned char ucData)
{
    while(EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EEPM1) | (0<<EEPM0);          /* 対応プログラミング種別設定 */
    EEARL = ucAddress;                        /* EEPROMアドレス設定 */
    EEDR = ucData;                           /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                      /* EEPROM主プログラム許可 */
    EECR |= (1<<EEPE);                      /* EEPROMプログラミング開始 */
}
```

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_RD:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_RD              ;以前のEEPROMプログラミング完了まで待機
;
             OUT     EEARL, R17              ;EEPROMアドレス設定
             SBI     EECR, EERE              ;EEPROM読み出し開始(読み込み許可ビット設定)
             IN      R16, EEDR               ;EEPROM読み出し値を取得
             RET                               ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned char EEPROM_read(unsigned char ucAddress)
{
    while(EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EEARL = ucAddress;                      /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                      /* EEPROM読み出し開始 */
    return EEDR;                           /* EEPROM読み出し値を取得, 復帰 */
}
```

5.3.6. EEPROMデータ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデータ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の手書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

EEPROMデータ化けは次の推奨設計によって容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリセット保護回路が使えます。書き込み動作実行中にリセットが起こると、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

5.4. I/O メモリ (レジスタ)

ATtiny13のI/O空間定義は104頁の「[レジスタ要約](#)」で示されます。

ATtiny13の全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲\$00～\$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビットアクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「[命令要約](#)」章を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。LD命令とST命令を使い、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに\$20が加算されなければなりません。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリ アドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は他の多くのAVRの様ではなく、指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに注意してください。CBIとSBI命令は(I/Oアドレス)\$00～\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

5.5. メモリ関係レジスタ

5.5.1. EEPROMアドレス レジスタ (EEPROM Address Register) EEARL

ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	—	—	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	不定	不定	不定	不定	

■ ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット5～0 – EEAR5～0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレス レジスタ(EEARL)は64バイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータ バイトは0～63間で直線的に配されます。EEARLの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれなければなりません。

5.5.2. EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

■ ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対して、EEDRはEEPROMアドレス レジスタ(EEARL)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対して、EEDRはEEARLで与えたアドレスのEEPROMから読み出したデータを含みます。

5.5.3. EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	—	—	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

■ ビット7 – Res : 予約 (Reserved)

このビットは将来の使用用に予約されており、常に0として読まれます。将来のAVRデバイスとの共通性のため、常に本ビットに0を書いてください。読み込み後、このビットを遮蔽(マスク)してください。

■ ビット6 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

■ ビット5,4 – EEPM1,0 : EEPROMプログラミング種別 (EEPROM Programming Mode Bits)

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可(EEPE)書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作(旧値消去と新値書き込み)、または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする(書く)ことが可能です。各動作に対するプログラミング時間は表5-1.で示されます。EEPEが設定(1)されている間はEEPMMnへのどの書き込みも無視されます。リセット中、EEPMMnビットはEEPROMがプログラミング作業中を除いて'00'にリセットされます。

表5-1. EEPROMプログラミング種別

EEPMM1	EEPMM0	プログラミング時間	動作
0	0	3.4ms	1操作での消去と書き込み(非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	–	将来使用に予約

■ ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EERIEの1書き込みはステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性メモリ(フラッシュメモリとEEPROM)がプログラミングの準備可ならば継続する割り込みを発生します。

■ ビット2 – EEMPE : EEPROM主プログラム許可 (EEPROM Master Program Enable)

EEMPEビットはEEPROM主プログラム許可(EEPE)ビットの1書き込みが有効か無効かどちらかを決めます。

EEMPEが設定(1)されると、4クロック周期内のEEPE設定(1)は選択したアドレスのEEPROMをプログラムします。EEMPEが0なら、EEPE設定(1)は無効です。EEMPEがソフトウェアによって設定(1)されてしまうと、4クロック周期後にハードウェアがこのビットを0に解除します。

■ ビット1 – EEPE : EEPROMプログラム許可 (EEPROM Program Enable)

EEPROMプログラム許可信号(EEPE)はEEPROMへのプログラミング許可信号です。EEPEが(1)を書かれると、EEPROMはEEPMMnビット設定に従ってプログラムされます。論理1がEEPEへ書かれる前にEEPROM主プログラム許可(EEMPE)ビットは1を書かれねばならず、さもなければEEPROM書き込み(消去)は行われません。書き込み(プログラミング)アクセス時間が経過されると、EEPROMプログラム許可(EEPE)ビットはハードウェアによって解除(0)されます。EEPEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

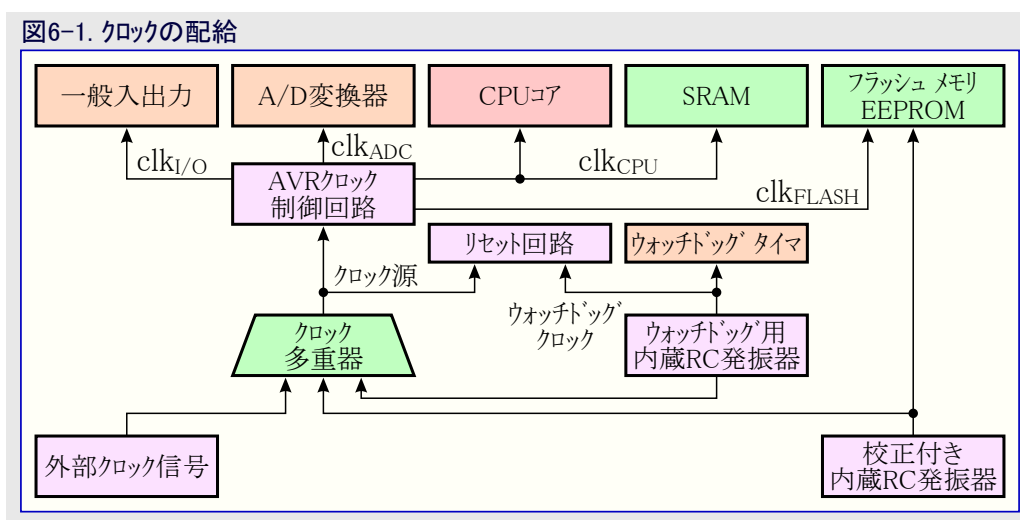
■ ビット0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEARLに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは1を書かれなければなりません。EEPROM読み出しアクセスは(その)1命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。使用者は読み込み操作を始める前にEEPEビットをポーリングすべきです。書き込み(プログラム)操作実行中の場合、EEPROMアドレスレジスタ(EEARL)の変更もEEPROM読み込みもできません。

6. システム クロックとクロック選択

6.1. クロックシステムとその配給

図6-1はAVR内の主要なクロックシステムとその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、20頁の「電力管理と休止形態」で記述される各種休止形態の使用によって、使われていない部分のクロックが停止できます。クロックシステムは以下で詳述されます。



6.1.1. CPU クロック – clk_{CPU}

CPUクロックはAVRコアの動作と関係するシステムの部分に配給されます。このような部分の例は汎用レジスタファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

6.1.2. I/O クロック – clk_{I/O}

I/Oクロックは、タイマ/カウンタのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えばI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。

6.1.3. フラッシュ クロック – clk_{FLASH}

フラッシュクロックはフラッシュメモリインターフェースの動作を制御します。このフラッシュクロックは常にCPUクロックと同時に活動します。

6.1.4. A/D変換クロック – clk_{ADC}

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

6.2. クロック元

このデバイスには右で示されるようにフラッシュヒューズビットによって選択可能な後続のクロック元選択があります。選択したクロック元からのクロックはAVRクロック発生器への入力で、適切な単位部へ配給されます。

各クロック選択に対する様々な選択は次項で得られます。CPUがパワーダウンから起動するとき、選択したクロック元は命令実行開始前に安定な発振器動作を保証する起動時間に使われます。CPUがリセットから始まる時、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器はこの起動時間の実時間部のタイミングに使われます。各計時完了に使われるウォッチドッグ(WDT)発振器の各周期数は表6-2で示されます。

表6-1. クロック種別選択

クロック種別	CKSEL1,0
128kHz内部発振器	11
校正付き内蔵RC発振器	01,10
外部クロック信号	00

注: 1=非プログラム、0=プログラム

表6-2. WDT発振器代表計時完了値、周期数

代表的な計時完了時間	周期数
4ms	512
64ms	8K (8192)

6.2.1. 外部クロック信号

外部クロック元からデバイスを駆動するにはCLKIが図6-2.で示されるように駆動されるべきです。外部クロックでデバイスを走行するためにCKSELヒューズは'00'にプログラム(設定)されなければなりません。

このクロック元が選択されると、起動時間は表6-3.で示されるようにSUTヒューズによって決定されます。

図6-2. 外部クロック信号駆動接続図

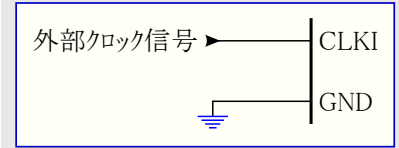


表6-3. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの 付加遅延時間	推奨使用法
0 0	6 × CK	14 × CK	低電圧検出(BOD)リセット許可
0 1	6 × CK	14 × CK+4ms	高速上昇電源
1 0	6 × CK	14 × CK+64ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システムクロック前置分周器が安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使えることに注意してください。詳細については17頁の「システムクロック前置分周器」を参照してください。

6.2.2. 校正付き内蔵4.8/9.6MHz発振器

校正された内蔵RC発振器は9.6MHzまたは4.8MHzクロックを供給します。この周波数は3V,25°Cでの公称値です。この周波数がデバイス仕様(VCCに依存)を越える場合、起動中に内部周波数を8分周するために、CKDIV8ヒューズがプログラム(0)されなければなりません。より多くの詳細については17頁の「システムクロック前置分周器」をご覧ください。このクロックは表6-4.で示されるようにCKSELヒューズのプログラミングによってシステムクロックとして選択できます。選択したなら、外部部品なしで動作します。

表6-4. 校正付き内蔵RC発振器動作

CKSEL1,0	公称周波数 (MHz)
1 0 (注1)	9.6
0 1	4.8

注1: デバイスはこの選択で出荷されます。

リセット中、ハードウェアが発振校正レジスタ(OSCCAL)に校正値バイトを設定し、これによってこの発振器を自動的に校正します。4.8MHzと9.6MHzに対して独立した校正バイトがありますが、リセット中に1つだけが自動的に設定されます(70頁の「校正値バイト」項をご覧ください)。これは4.8MHzと9.6MHz間の違いが内部クロック分周器だけだからです。

ソフトウェアからOSCCALレジスタを変更することによって(18頁の「発振校正レジスタ(OSCCAL)」参照)、工場校正を使うよりも高い精度を得ることができます。78頁の「校正付き内蔵RC発振器精度」をご覧ください。

この発振器がチップ(システム)クロックとして使われるとき、ウォッチドッグ発振器は未だウォッチドッグタイマとリセット付加遅延タイマに使われます。予め設定された校正値のより多くの情報については70頁の「校正バイト」項をご覧ください。

この発振器が選択されると、起動時間は表6-5.で示されるようにSUTヒューズによって決定されます。

表6-5. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの 付加遅延時間	推奨使用法
0 0	6 × CK	14 × CK	低電圧検出(BOD)リセット許可
0 1	6 × CK	14 × CK+4ms	高速上昇電源
1 0 (注1)	6 × CK	14 × CK+64ms	低速上昇電源
1 1	(予約)		

注1: デバイスはこの選択で出荷されます。

6.2.3. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを供給する低電力発振器です。この周波数は供給電圧、温度、1群の変量に依存します。このクロックはCKSELヒューズを'11'にプログラミング(設定)することによってシステムクロックとして選択できます。

このクロック元が選択されると、起動時間は表6-6.で示されるようにSUTヒューズによって決定されます。

表6-6. 128kHz内部発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの 付加遅延時間	推奨使用法
0 0	6 × CK	14 × CK	低電圧検出(BOD)リセット許可
0 1	6 × CK	14 × CK+4ms	高速上昇電源
1 0	6 × CK	14 × CK+64ms	低速上昇電源
1 1	(予約)		

6.2.4. 既定のクロック元

このデバイスはCKSEL=10, SUT=10, CKDIV8=プログラム(0)で出荷されます。従って既定クロック元設定は最長起動時間の9.6MHzで走行する内蔵RC発振器、8で前置分周する初期システムクロックです。この既定設定は全ての使用者が実装または並列書き込み器を使って、それらを希望したクロック元設定にできることを保証します。

6.3. システムクロック前置分周器

ATtiny13のシステムクロックは18頁の「クロック前置分周レジスタ(CLKPR)」の設定によって分周できます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使えます。これは全クロック種別で使え、CPUと全ての同期周辺機能のクロック周波数に影響を及ぼします。clkCPU、clkFLASH、clkI/O、clkADCは19頁の表6-8.で示された値によって分周されます。

6.3.1. 切り替え時間

前置分周設定間を切り替えるとき、システムクロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロックシステムで不具合が起きないことを保証します。

前置分周器として実行するリップルカウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。

CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2~T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

6.4. クロック関係レジスタ

6.4.1. 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	–	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	デバイス固有の校正値							

■ ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6～0 – CAL6～0 : 発振校正値 (Oscillator Calibration Value)

このアドレスへの校正ビット書き込みは発振器周波数の偏差処理を省くために内蔵発振器を調整します。これはチップリセット中、自動的に行われます。OSCCALが0の時に最低利用可能周波数が選択されます。このレジスタへ0以外の値を書くことは内蔵発振器の周波数を増加します。このレジスタへの\$7F書き込みは最高使用可能周波数にします。校正付き発振器はフラッシュメモリとEEPROMのアクセス時間に使われます。フラッシュメモリまたはEEPROMが書かれる場合、公称周波数より上へ10%を越えて校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。この発振器は9.6MHzまたは4.8 MHzへの校正を意図したものであることに注意してください。表6-7.で示されるような他の値への調整は保証されません。

校正付き内蔵RC発振器を校正するとき、MCUの安定な動作を保証するために大きな段階での校正値変更を避けてください。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。OSCCAL変更は各校正について\$20を越えるべきではありません。

表6-7. 内蔵RC発振器周波数範囲

OSCCAL値	公称周波数に対する割合	
	最小	最大
\$00	50%	100%
\$3F	75%	150%
\$7F	100%	200%

6.4.2. クロック前置分周レジスタ (Clock Prescale Register) CLKPR

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	CLKPCE	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

■ ビット7 – CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するためにCLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれる時だけ更新されます。CLKPCEは書き込み後4クロック周期またはCLKPSビット書き込み時、ハードウェアによって解除(0)されます。この制限時間(4クロック周期)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(0)も行いません。

■ ビット6～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3～0 – CLKPS3～0 : クロック分周値選択 (Clock Prescaler Select Bits 3～0)

これらのビットは選択したクロック元と内部システムクロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使われると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は次ページの表6-8.で与えられます。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

1. クロック分周値変更許可(CLKPCE)ビットに1、CLKPR内の他の全ビットに0を書きます。
2. (次からの)4周期以内にCLKPCEビットを0とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

CKDIV8ヒューズがCLKPSビットの初期値を決めます。CKDIV8が非プログラム(1)にされると、CLKPSビットは'0000'にリセットされます。CKDIV8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、この機能が使われるべきです。CKDIV8ヒューズ設定に拘らず、どの値もCLKPSビットへ書くことに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、充分な分周値が選択されることを保証しなければなりません。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。

表6-8. クロック前置分周選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1	2	4	8	16	32	64	128	256	(予約)						

7. 電力管理と休止形態

高機能と産業的に先行するコード効率性は低電力の応用に対してAVRマイクロコントローラを理想的に選択させます。加えて、休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

7.1. 休止形態種別

15頁の図6-1はATtiny13の各種クロック系統とその配給を示します。この図は適切な休止形態を選択する助けになります。表7-1は異なる休止形態とそれらの起動元を示します。

表7-1. 各休止形態に於ける動作クロック範囲と復帰起動要因

休止種別	動作クロック範囲				発振器動作	復帰起動要因 (割り込み)				
	clk CPU	clk FLASH	clk IO	clk ADC	主クロック供給元	INT0ピン変化	SPM/EEPROM操作可	A/D変換完了	その他I/O	ウォッチドッグ
アイドル			○	○	○	○	○	○	○	○
A/D変換雑音低減				○	○	①	○	○		○
パワーダウン						①				○

① INT0についてはレベル割り込みだけです。

3つの休止形態の何れかへ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRの休止種別選択(SM1,0)ビットはSLEEP命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、パワーダウン)のどれかを選びます。一覧については22頁の表7-2をご覧ください。

MCUが休止形態中に許可した割り込みが起ると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスが休止から起動するとき、レジスタファイルとSRAMの内容は変えられません。休止形態中にリセットが起ると、MCUは起動し、リセットベクタから実行します。

レベルで起動した割り込みが起動復帰に使われる場合、MCUを起動(とMCUがその割り込み処理ルーチンへ移行)するには、変更したレベルが一定時間保持されなければならないことに注意してください。詳細については30頁の「外部割り込み」を参照してください。

7.1.1. アイドル動作

休止種別選択(SM1,0)ビットが'00'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させて、CPUを停止しますが、アナログ比較器、A/D変換器、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

7.1.2. A/D変換雑音低減動作

SM1,0ビットが'01'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的にclkI/O, clkCPU, clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、SPM/EEPROM操作可割り込み、INT0の外部レベル割り込み、ピン変化割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

7.1.3. パワーダウン動作

SM1,0ビットが'10'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では発振器が停止される一方、外部割り込み、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、INT0の外部レベル割り込み、ピン変化割り込みだけがMCUを起動できます。この休止形態は生成した全てのクロックを停止し、非同期部の動作だけを許します。

7.2. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するデバイスの機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

7.2.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電のため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については54頁の「[A/D変換器](#)」を参照してください。

7.2.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使われないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他の休止形態でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。アナログ比較器設定法の詳細については52頁の「[アナログ比較器](#)」を参照してください。

7.2.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODLEVELヒューズによって許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については24頁の「[低電圧検出\(BOD\)](#)」を参照してください。

7.2.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、アナログ比較器、A/D変換器によって必要とされる時に許可されます。これら単位部が上の項で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。起動時間の詳細については25頁の「[内部基準電圧](#)」を参照してください。

7.2.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については25頁の「[ウォッチドッグ タイマ](#)」を参照してください(訳注:原書に対して参照先修正)。

7.2.6. ポートピン

休止形態へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック(clk_{I/O})とA/D変換クロック(clk_{ADC})の両方が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については34頁の「[デジタル入力許可と休止形態](#)」を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は活動動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ0(DIDR0)の書き込みによって禁止できます。詳細については53頁と62頁の「[デジタル入力禁止レジスタ0\(DIDR0\)](#)」を参照してください。

7.3. 電力管理用レジスタ

7.3.1. MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	–	PUD	SE	SM1	SM0	–	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ビットが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、**SLEEP**命令実行直前に休止許可(SE)ビットを設定(1)し、起動後直ちに解除(0)することが推奨されます。

■ ビット4,3 – SM1,0 : 休止種別選択 (Sleep Mode Select Bits 1 and 0)

これらのビットは表7-2.で示される利用可能な3つの休止形態の1つを選択します。

表7-2. 休止形態種別選択

SM1	SM0	休止形態種別
0	0	アイドル動作
0	1	A/D変換雑音低減動作
1	0	パワーダウン動作
1	1	(予約)

■ ビット2 – Res : 予約 (Reserved)

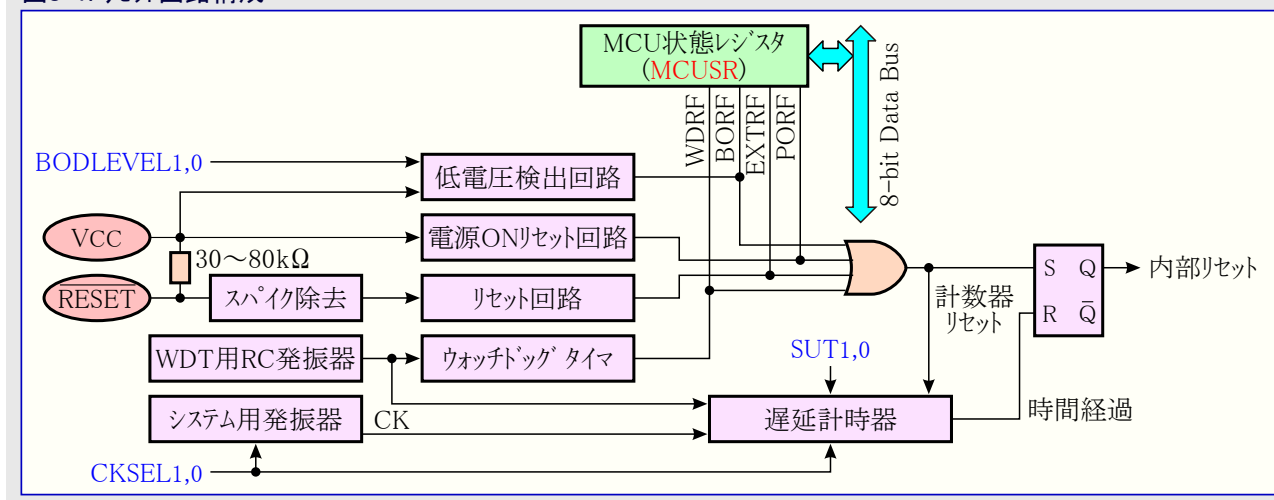
このビットは予約されており、常に0として読まれます。

8. システム制御とリセット

8.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きっとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードが配置できます。図8-1の回路構成図はリセット論理回路を示します。79頁の「システムとリセットの特性」はリセット回路の電気的特性を定義します。

図8-1. リセット回路構成



AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間はSUTヒューズとCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は15頁の「クロック元」で示されます。

8.2. リセット元

ATtiny13には次の4つのリセット元があります。

- ・ **電源ONリセット** 供給電圧が電源ONリセット閾値電圧(V_{POT})以下でMCUがリセットされます。
- ・ **外部リセット** RESETピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- ・ **ウォッチドッグリセット** ... ウォッチドッグシステムリセット動作が許可され、ウォッチドッグタイマが終了すると、MCUがリセットされます。
- ・ **低電圧リセット** 低電圧検出器(BOD)が許可され、供給電圧(VCC)が低電圧検出電圧(V_{BOT})以下でMCUがリセットされます。

8.2.1. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は79頁の「システムとリセットの特性」で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図8-2. 内蔵電源ONリセット (RESETはVCCに接続)

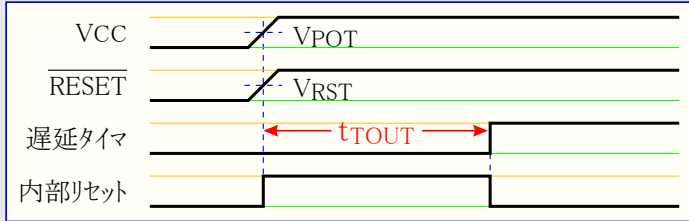
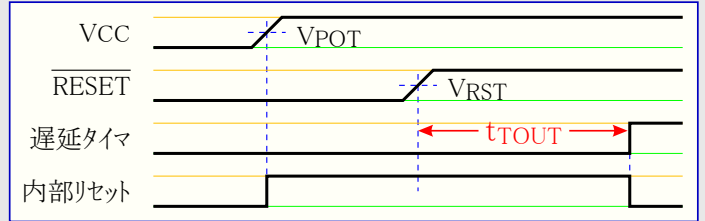


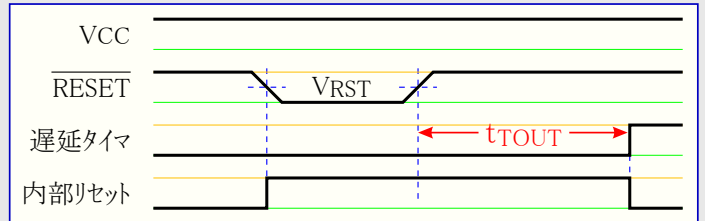
図8-3. 外部RESET信号による延長電源ONリセット



8.2.2. 外部リセット

許可したなら、外部リセットはRESETピンのLowレベルによって生成されます。例えばクロックが走行してなくても最小パルス幅(79頁の「システムとリセットの特性」参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセットの生成が保証されません。印加された信号の上昇がリセット閾値電圧(VRST)に達すると(遅延タイマが起動され)、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

図8-4. 動作中の外部リセット



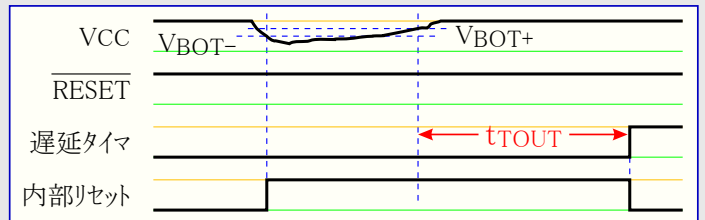
8.2.3. 低電圧(ブラウンアウト)検出リセット

ATtiny13には固定化された起動(検出)電圧と比較することによって動作中のVCCを監視するチップ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELヒューズによって選択できます。この起動電圧はスパイク対策BODを保証するためにヒステリシスを持ちます。検出電圧のヒステリシスは $V_{BOT+} = V_{BOT} + V_{HYST}/2$ 、 $V_{BOT-} = V_{BOT} - V_{HYST}/2$ と解釈されるべきです。

BODが許可され、VCCが起動電圧以下の値に下降すると(図8-5.のVBOT-)、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図8-5.のVBOT+)、(遅延タイマが起動されて)遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

BOD回路は電圧が79頁の「システムとリセットの特性」で与えられる t_{BOD} 時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

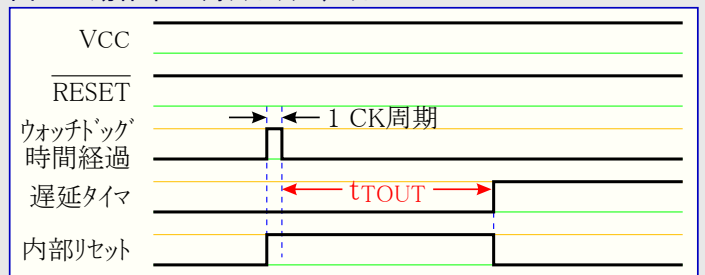
図8-5. 動作中の低電圧検出リセット



8.2.4. ウォッチドッグ リセット

ウォッチドッグ時間経過時、(内部的に)1CK周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ タイマ操作の詳細については25頁を参照してください。

図8-6. 動作中のウォッチドッグ リセット



8.3. 内部基準電圧

ATtiny13は内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やアナログ比較器の入力としても使えます。

8.3.1. 基準電圧許可信号と起動時間

この基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は79頁の「システムとリセットの特性」で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出リセット許可時 (BODLEVEL1,0ヒューズのプログラム(0)により)
2. アナログ比較器基準電圧接続時 (アナログ比較器制御/状態レジスタ(ACSR)の基準電圧入力選択(ACBG)=1)
3. A/D変換部動作許可時 (A/D変換制御/状態レジスタA(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はアナログ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

8.4. ウォッチドッグ タイマ

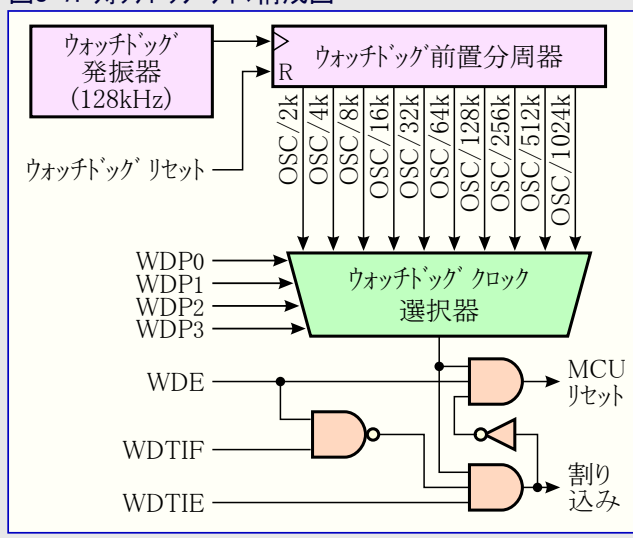
ATtiny13は強化されたウォッチドッグ タイマ(WDT)を持ちます。ウォッチドッグ タイマ(WDT)はチップ上の独立した128kHz発振器の間隔で計時するタイマです。WDTは計数器が与えられた計時完了値に達した時に割り込みまたはシステム リセットを生じます。通常動作では計時完了値へ達する前に計数器を再始動するために、システムはウォッチドッグ リセット (WDR) 命令を使う必要があります。システムが計数器を再始動しなければ、割り込みまたはシステム リセットが起こるでしょう。

割り込み動作種別では、タイマ計時完了時にWDTが割り込みを生じます。この割り込みは休止形態からデバイスを起動するためや、一般的なシステム タイマとしても使えます。1つの例は或る動作に対して許された最大時間を制限することで、その動作が予測されたより長く走行する時に割り込みを生じます。システム リセット動作種別ではタイマ計時完了時にWDTがリセットを生じます。これは一般的にコード外走行の場合の中断を防止するのに使われます。3つ目の動作種別は先に割り込みを生じ、その後にシステム リセット動作種別に切り替えることで、他の2つの動作種別の組み合わせとなる、割り込み及びシステム リセット動作種別です。この動作種別は例えばシステム リセットに先立って重要なパラメータを保存することによって安全な停止を許します。

ウォッチドッグ 常時ON(WDTON)ヒューズのプログラム(0)はウォッチドッグ タイマをシステム リセット動作種別に強制します。このヒューズのプログラム(0)でシステム リセット動作(WDE)ビットと割り込み動作(WDTIE)ビットは各々、'1'と'0'に固定されます。更にプログラム保護を保証するためにウォッチドッグ設定の変更は時間制限手順に従わなければなりません。システム リセット許可(WDE)の解除と計時完了時間設定の変更についての手順は次のとおりです。

1. 同じ操作(命令)でウォッチドッグ 変更許可(WDCE)とWDEに論理1を書きます。WDEビットの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4クロック周期内に同じ操作(命令)で欲したWDEとウォッチドッグ タイマ前置分周選択(WDP3~0)ビットを書きますが、WDCEビットは解除(0)されてです。これは1操作(命令)で行わなければなりません。

図8-7. ウォッチドッグ タイマ構成図



次のコード例はウォッチドッグ タイマをOFFに切り替えるアセンブリ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
WDT_OFF:    CLI                ;全割り込み禁止
            WDR                ;ウォッチドッグ タイマ リセット
            IN     R16, MCUSR   ;MCUSR値を取得
            ANDI   R16, ~(1<<WDRF) ;WDRF論理0値を取得
            OUT    MCUSR, R16   ;ウォッチドッグ リセット フラグ(WDRF)解除
            IN     R16, WDTCSR  ;現WDTCSR値を取得(他ビット保護用)
            ORI    R16, (1<<WDCE) | (1<<WDE) ;WDCEとWDE論理1値を設定
            OUT    WDTCSR, R16  ;WDCEとWDEに論理1書き込み
            LDI    R16, (0<<WDE) ;WDE論理0値を取得
            OUT    WDTCSR, R16  ;ウォッチドッグ禁止
            SEI                ;全割り込み許可
            RET                ;呼び出し元へ復帰
```

C言語プログラム例

```
void WDT_off(void)
{
    __disable_interrupt();          /* 全割り込み禁止 */
    __watchdog_reset();             /* ウォッチドッグ タイマ リセット */
    MCUSR &= ~(1<<WDRF);            /* ウォッチドッグ リセット フラグ(WDRF)解除 */
    WDTCSR |= (1<<WDCE) | (1<<WDE);  /* WDCEとWDEに論理1書き込み */
    WDTCSR = 0x00;                 /* ウォッチドッグ禁止 */
    __enable_interrupt();           /* 全割り込み許可 */
}
```

注: このコード例はデバイス定義ファイルがインクルードされることが前提です。

注: ウォッチドッグが偶然に許可されると(例えばポインタの逸脱や低電圧(ブラウンアウト)状態)、デバイスはリセットし、ウォッチドッグは許可に留まります。コードがウォッチドッグ操作の初期設定をしなければ、これは計時完了の無限繰り返しを引き起こすかもしれません。この状態を避けるため、応用ソフトウェアは例えウォッチドッグが使われなくても、初期化ルーチンで**WDRFフラグ**と**WDE制御ビット**を常に解除(0)すべきです。

次のコード例はウォッチドッグ タイマの計時完了値変更用のアセンブリ言語とC言語の関数を示します。

アセンブリ言語プログラム例

```
WDT_PRS:    CLI                ;全割り込み禁止
            WDR                ;ウォッチドッグ タイマ リセット
            IN     R16, WDTCSR  ;現WDTCSR値を取得(他ビット保護用)
            ORI    R16, (1<<WDCE) | (1<<WDE) ;WDCEとWDE論理1値を設定
            OUT    WDTCSR, R16  ;WDCEとWDEに論理1書き込み
            LDI    R16, (1<<WDE) | (1<<WDP2) | (1<<WDP0) ;WDE=1,計時間隔=0.5s値を取得
            OUT    WDTCSR, R16  ;0.5s監視間隔リセット動作開始
            SEI                ;全割り込み許可
            RET                ;呼び出し元へ復帰
```

C言語プログラム例

```
void WDT_off(void)
{
    __disable_interrupt();          /* 全割り込み禁止 */
    __watchdog_reset();             /* ウォッチドッグ タイマ リセット */
    WDTCSR |= (1<<WDCE) | (1<<WDE);  /* WDCEとWDEに論理1書き込み */
    WDTCSR = (1<<WDE) | (1<<WDP2) | (1<<WDP0); /* 0.5s監視間隔リセット動作開始 */
    __enable_interrupt();           /* 全割り込み許可 */
}
```

注: このコード例はデバイス定義ファイルがインクルードされることが前提です。

注: **ウォッチドッグ タイマ前置分周選択(WDP3~0)ビット**の変更がより短い計時完了周期になってしまう結果になり得るため、ウォッチドッグ タイマはWDPビットのどんな変更にも先立ってリセット(**WDR**命令)されるべきです。

8.5. リセット関係レジスタ

8.5.1. MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	–	–	–	–	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

■ ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット2 – BORF : 低電圧リセット フラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセット フラグを使うために使用者はプログラム内で可能な限り早くMCUSRを読み、それから解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、リセット元はリセット フラグを調べることによって得られます。

8.5.2. ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	WDTIF	WDTIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

■ ビット7 – WDTIF : ウォッチドッグ割り込み要求フラグ (Watchdog Timer Interrupt Flag)

ウォッチドッグ タイマが割り込みに設定され、ウォッチドッグ タイマで計時完了が起こると、このビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDTIFはハードウェアによって解除(0)されます。代わりにWDTIFはこのフラグへの論理1書き込みによっても解除(0)されます。**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**とウォッチドッグ割り込み許可(WDTIE)が設定(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

■ ビット6 – WDTIE : ウォッチドッグ割り込み許可 (Watchdog Timer Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、ウォッチドッグ割り込みが許可されます。この設定(=1)との組み合わせで**ウォッチドッグ リセット許可(WDE)ビット**が解除(0)されると、割り込み動作種別になり、ウォッチドッグ タイマで計時完了が起こると、対応する割り込みが実行されます。

WDEが設定(1)されると、ウォッチドッグ タイマは割り込み及びシステムリセット動作種別になります。ウォッチドッグ タイマでの最初の計時完了が**ウォッチドッグ割り込み要求(WDTIF)フラグ**を設定(1)します。対応する割り込みベクタの実行はハードウェアによってWDTIEとWDTIFを自動的に解除(0)します。これは割り込みを使う間のウォッチドッグ リセット保護を維持するために有用です。割り込み及びシステムリセット動作種別に留まるには、各割り込み後にWDTIEが設定(1)されなければなりません。然しながら、ウォッチドッグ システムリセット動作種別の安全機能に危険を及ぼすかもしれないため、これは割り込み処理ルーチン自身内で行われるべきではありません。次の計時完了に先立って割り込みが実行されない場合、システムリセットが適用(実行)されます。

表8-1. ウォッチドッグ タイマ設定

WDTON	WDE	WDTIE	動作種別	計時完了での動作
1	0	0	停止	なし
1	0	1	割り込み	割り込み
1	1	0	システムリセット	リセット
1	1	1	割り込み及びシステムリセット	割り込み、その後システムリセット動作種別
0	x	x	システムリセット	リセット

注: WDTONヒューズは0=プログラム、1=非プログラムです。

■ ビット4 – WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

このビットはウォッチドッグ リセット許可(WDE)と前置分周選択ビットの変更用の時間制限手順で使われます。WDEビットの解除(0)や前置分周選択ビット変更のため、WDCEは設定(1)されなければなりません。

一旦1を書かれると、4クロック周期後にハードウェアがWDCEを解除(0)します。

■ ビット3 – WDE : ウォッチドッグ リセット許可 (Watchdog System Reset Enable)

WDEは**MCU状態レジスタ(MCUSR)のウォッチドッグ リセット フラグ(WDRF)**によって無効にされます。これはWDRFが設定(1)されると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するにはWDRFが先に解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

■ ビット5,2~0 – WDP3~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3~0ビットはウォッチドッグ タイマが走行する時のウォッチドッグ タイマの前置分周を決めます。各種前置分周値と対応する計時完了周期は表8-2.で示されます。

表8-2. ウォッチドッグ前置分周選択

WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

9. 割り込み

本項はATtiny13によって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については8頁の「リセットと割り込みの扱い」を参照してください。

9.1. 割り込みベクタ

ATtiny13の割り込みベクタは下の表9-1.で記述されます。

表9-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$0000	リセット	電源ON, WDT, BOD等の各種リセット
2	\$0001	INT0	外部割り込み要求0
3	\$0002	PCINT0 (PCI)	ピン変化割り込み要求
4	\$0003	タイマ/カウンタ OVF	タイマ/カウンタ溢れ
5	\$0004	EEPROM EE_RDY	EEPROM 操作可
6	\$0005	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
7	\$0006	タイマ/カウンタ COMP A	タイマ/カウンタ比較A一致
8	\$0007	タイマ/カウンタ COMP B	タイマ/カウンタ比較B一致
9	\$0008	ウォッチドッグ WDT	ウォッチドッグ計時完了
10	\$0009	A/D変換器 ADC	A/D変換完了

プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラム コードが配置できます。

ATtiny13での最も代表的且つ一般的なリセットと割り込みのベクタ アドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
\$0000		RJMP RESET	;各種リセット
\$0001		RJMP EXT_INT0	;外部割り込み要求0
\$0002		RJMP PCINT0	;ピン変化0群割り込み要求
\$0003		RJMP TIMO_OVF	;タイマ/カウンタ溢れ
\$0004		RJMP EE_RDY	;EEPROM操作可
\$0005		RJMP ANA_COMP	;アナログ比較器出力遷移
\$0006		RJMP TIMO_COMPA	;タイマ/カウンタ比較A一致
\$0007		RJMP TIMO_COMPB	;タイマ/カウンタ比較B一致
\$0008		RJMP WATCHDOG	;ウォッチドッグ計時完了
\$0009		RJMP ADC	;A/D変換完了
;			
\$000A	RESET:	LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$000B		OUT SPL, R16	;スタック ポインタ(下位)を初期化
		}	;以下、I/O初期化など

9.2. 外部割り込み

外部割り込みはINT0ピンまたはPCINT0～5ピンの何れかによって起動されます。許可したなら、例えばINT0またはPCINT0～5ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。ピン変化割り込みPCIは許可したPCINT0～5の何れかが切り替わると起動します。ピン変化割り込み許可レジスタ(PCMSK)は、どのピンがピン変化割り込み要因となるかを制御します。PCINT0～5でのピン変化割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態からもデバイスを起動するのに使えることを意味します。

INT0割り込みは上昇端または下降端(含む両端)、またはLowレベルによって起動できます。これはMCU制御レジスタ(MCUCR)の詳述で示される設定です。INT0割り込みがレベル起動として設定、且つ許可されると、そのピンがLowに保持される限り、割り込みは(継続的に)起動します。INT0の上昇端または下降端割り込みの認知は15頁の「クロックシステムとその配給」で記述されるI/Oクロックの存在を必要とすることに注意してください。

9.2.1. Lowレベル割り込み

INT0のLowレベル割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態からもデバイスを起動するのに使えることを意味します。I/Oクロックはアイドル動作を除く全休止形態で停止されます。

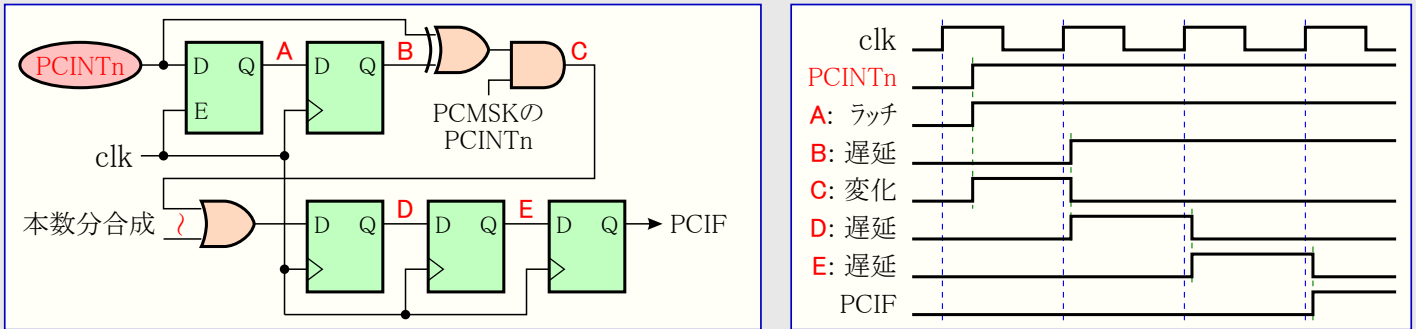
レベル起動割り込みがパワーダウン動作からの起動に使われる場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のために、MCUに対して充分長く保たなければならないことに注意してください。このレベルが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は15頁の「システムクロックとクロック選択」で示されるようにSUTヒューズとCKSELヒューズで定義されます。

デバイスが起動復帰する前に割り込みピン上のLowレベルが取り去られると、プログラム実行は割り込み処理ルーチンへ転換されませんが、SLEEP命令に続く命令から継続します。

9.2.2. ピン変化割り込みタイミング

ピン変化割り込みの例は図9-1.で示されます。

図9-1. ピン変化割り込みタイミング



9.3. 割り込み用レジスタ

9.3.1. MCU制御レジスタ (MCU Control Register) MCUCR

MCU制御レジスタは割り込み条件制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	—	PUD	SE	SM1	SM0	—	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット1,0 - ISC01,0: 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)される場合のINT0外部ピンによって活性(有効)にされます。割り込みを活性にする外部INT0ピンのエッジとレベルは表9-2.で定義されます。INT0ピンの値はエッジ検知前に採取されています。エッジまたは論理変化割り込みが選択される場合、1クロック周期より長く留まるパルスは割り込みを生成します。より短いパルスは割り込みの発生が保証されません。Lowレベル割り込みが選択される場合、Lowレベルは割り込みを生成するために現在実行している命令の完了まで保たなければならないままです。

表9-2. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	INT0ピン割り込み発生条件
0	0	Lowレベル。
0	1	論理変化(両端)
1	0	下降端
1	1	上昇端

9.3.2. 一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	–	INT0	PCIE	–	–	–	–	–	GIMSK
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,4~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、INT0ビットが設定(1)されると、INT0外部ピン割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット1と0(ISC01,0)はこの外部割り込みがINT0ピンの上昇端、下降端、両端、またはLowレベルのどれで活性(有効)にされるかを定義します。例えばINT0ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはINT0割り込みベクタから実行されます。

■ ビット5 – PCIE : ピン変化割り込み許可 (Pin Change Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、このPCIEビットが設定(1)されると、ピン変化割り込みが許可されます。許可したPCINT0~5ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCI割り込みベクタから実行されます。PCINT0~5ピンはピン変化割り込み許可レジスタ(PCMSK)によって個別に許可されます。

9.3.3. 一般割り込み要求フラグ レジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	–	INTF0	PCIF	–	–	–	–	–	GIFR
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,4~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上のエッジまたは論理変化が割り込み要求を起動すると、INTF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。

■ ビット5 – PCIF : ピン変化割り込み要求フラグ (Pin Change Interrupt Flag)

PCINT0~5ピンの何れかの論理変化が割り込み要求を起動すると、PCIFが設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化割り込み許可(PCIE)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりに本フラグは論理1を書くことによっても解除(0)できます。

9.3.4. ピン変化割り込み許可レジスタ (Pin Change Mask) PCMSK

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	–	–	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット5~0 – PCINT5~PCINT0 : ピン変化割り込み5~0許可 (Pin Change Enable Mask 5~0)

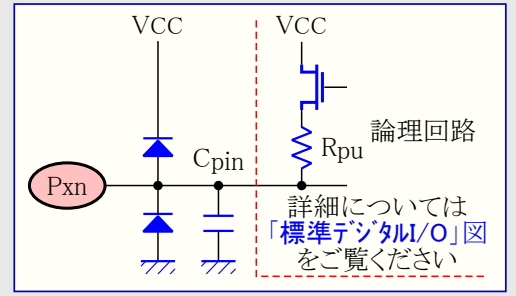
各PCINT0~5ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT0~5と一般割り込み許可レジスタ(GIMSK)のPCIEが設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT0~5が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

10. 入出力ポート

10.1. 概要

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード・モディファイライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方向をも無意識に変更することなく、1つのポートピンの方向を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)プルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)の両能力で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図10-1.で示されるようにVCCとGNDの両方に保護ダイオードを持っています。各値の完全な一覧については77頁の「電気的特性」を参照してください。

図10-1. 入出力ピン等価回路



本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使うとき、正確な形式(例えば、ここで一般に記されたPORTxnがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は37頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PINx)の各ポートに対して、3つI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

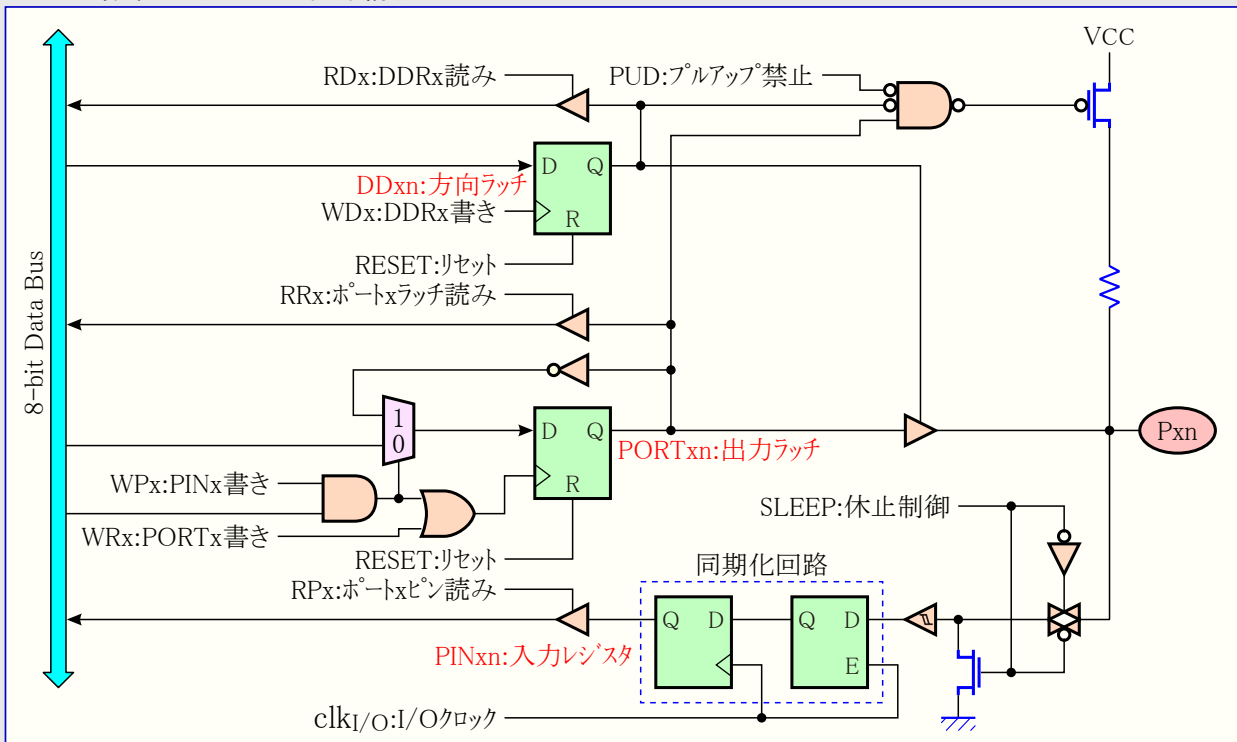
標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は35頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項を参照してください。

ポートピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

10.2. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図10-2.はここで属にPxnと呼ばれるI/Oポートピンの1つの機能説明を示します。

図10-2. 標準デジタル入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O, SLEEP, PUDは全ポートで共通です。

10.2.1. ピンの設定

各ポートピンは3つのレジスタビット、**DDxn**、**PORTxn**、**PINxn**から成ります。37頁の「I/Oポート用レジスタ」で示されるように、DDxnビットはDDR_x I/Oアドレス、PORTxnビットはPORT_x I/Oアドレス、PINxnビットはPIN_x I/Oアドレスでアクセスされます。

DDR_xレジスタ内のDDxnビットはそのピンの方向を選択します。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

10.2.2. ピンの出力交互切り替え

PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。SBI命令がポート内の1ビットの反転切り替えに使えることに注目してください。

10.2.3. 入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高インピーダンス環境は強力なHigh(吐き出し)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するために、MCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

表10-1. はピン値に対する制御信号の一覧を示します。

表10-1. ポートピンの設定

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高インピーダンス (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

10.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読めます。図10-2. で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタ ステープル)を避けるために必要とされますが、それは遅延も持ち込みます。図10-3. は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々t_{pd,min}とt_{pd,max}で示されます。

(図10-3. で)システムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスパレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印t_{pd,min}とt_{pd,max}によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図10-4. で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システムクロック周期です。

図10-3. 外部供給ピン値読み込み時の同期化

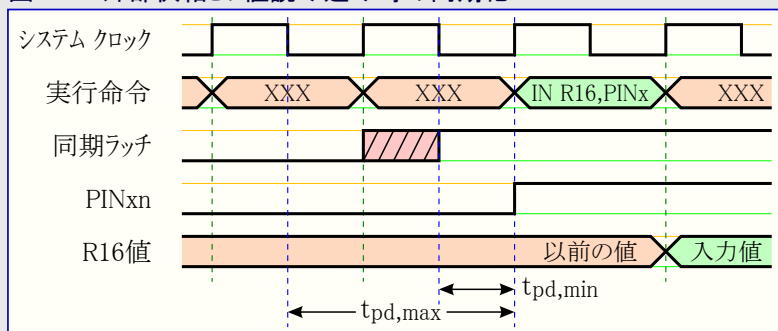
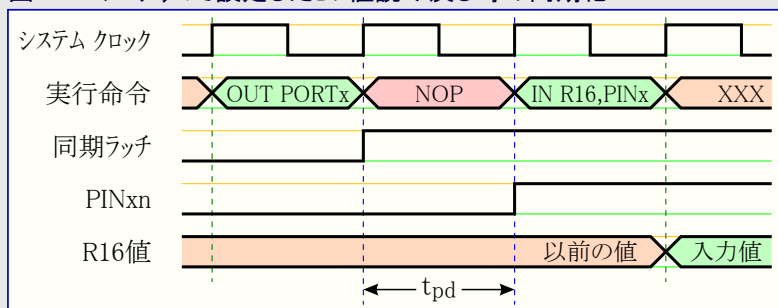


図10-4. プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートBピンの0と1をHigh出力、2と3をLow出力、4をプルアップ指定として4と5を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

アセンブリ言語プログラム例

```

~
LDI    R16, (1<<PB4) | (1<<PB1) | (1<<PB0)      ;プルアップとHigh値を取得
LDI    R17, (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0) ;出力ビット値を取得
OUT    PORTB, R16      ;プルアップとHigh値を設定
OUT    DDRB, R17       ;入出力方向を設定
NOP                    ;同期化遅延対処
IN     R16, PINB       ;ピン値読み戻し
~
;

```

C言語プログラム例

```

unsigned char i;
~
PORTB = (1<<PB4) | (1<<PB1) | (1<<PB0);      /* */
DDRB = (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0); /* プルアップとHigh値を設定 */
__no_opration(); /* 同期化遅延対処 */
i = PINB; /* ピン値読み戻し */
~
/* */

```

注: アセンブリ言語プログラムについてはプルアップがピン0,1,4に設定されてから、ビット0と1の強力なHigh駆動部としての再定義、ビット2と3のLow駆動部としての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使われます。

10.2.5. デジタル入力許可と休止形態

図10-2.で示されるようにデジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、パワーダウン動作でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないなら、SLEEPは他のピンについてと同様に有効です。SLEEPは35頁の「交換ポート機能」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない”上昇端、下降端または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(=1)されます。

10.2.6. 未接続ピン

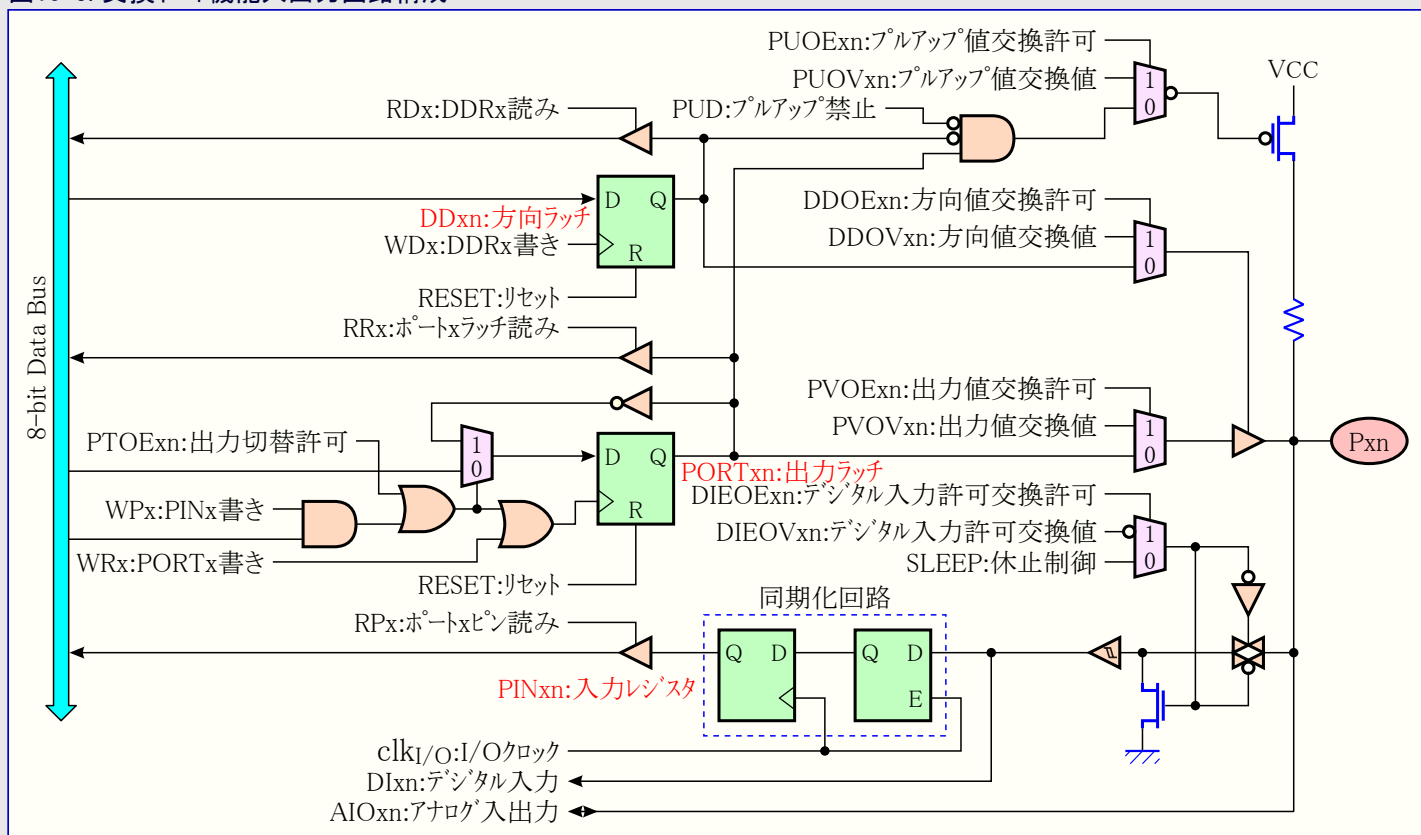
いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、活動動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部プルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

10.3. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。図10-5は単純化された図10-2.でのポートピン制御信号が交換機能によってどう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVRマイクロコントローラシステムの全ポートピンに適用できる一般的な記述として取り扱います。

図10-5. 交換ポート機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表10-2は重複(交換)信号の機能一覧を示します。図10-5.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表10-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	デジタル入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

10.3.1. ポートBの交換機能

ポートBピンの交換機能は表10-3.で示されます。

表10-3. ポートBピンの交換機能

ポートピン	交換機能	ポートピン	交換機能
PB5	RESET (外部リセット入力) dW (デバッグWIRE入出力) ADC0 (A/D変換チャネル0入力) PCINT5 (ピン変化割り込み5入力)	PB2	SCK (SPI 直列プログラミング クロック入力) ADC1 (A/D変換チャネル1入力) T0 (タイマ/カウンタ 外部クロック入力) PCINT2 (ピン変化割り込み2入力)
PB4	ADC2 (A/D変換チャネル2入力) PCINT4 (ピン変化割り込み4入力)	PB1	MISO (SPI 直列プログラミング データ入力) AIN1 (アナログ比較器反転入力) OC0B (タイマ/カウンタ 比較B一致/PWM-B出力) INT0 (外部割り込み0入力) PCINT1 (ピン変化割り込み1入力)
PB3	ADC3 (A/D変換チャネル3入力) CLKI (外部クロック信号入力) PCINT3 (ピン変化割り込み3入力)	PB0	MOSI (SPI 直列プログラミング データ出力) AIN0 (アナログ比較器非反転入力) OC0A (タイマ/カウンタ 比較A一致/PWM-A出力) PCINT0 (ピン変化割り込み0入力)

表10-4.と表10-5.はポートBの交換機能を35頁の図10-5.で示される交換信号に関連付けます。

表10-4. ポートB5～3の交換機能用交換信号

信号名	PB5/RESET/ADC0/PCINT5	PB4/ADC2/PCINT4	PB3/ADC3/CLKI/PCINT3
PUOE	RSTDISBL・DWEN	0	0
PUOV	1	0	0
DDOE	RSTDISBL・DWEN	0	0
DDOV	デバッグWIRE送信	0	0
PVOE	0	0	0
PVOV	0	0	0
PTOE	0	0	0
DIEOE	RSTDISBL+(PCINT5・PCIE+ADC0D)	PCINT4・PCIE+ADC2D	PCINT3・PCIE+ADC3D
DIEOV	ADC0D	ADC2D	ADC3D
DI	PCINT5入力	PCINT4入力	PCINT3入力
AIO	リセット入力/ADC0入力	ADC2入力	ADC3入力

注: RSTDISBLとDWENはプログラム(0)時が1です。

表10-5. ポートB2～0の交換機能用交換信号

信号名	PB2/SCK/ADC1/T0/PCINT2	PB1/MISO/AIN1/OC0B/INT0/PCINT1	PB0/MOSI/AIN0/OC0A/PCINT0
PUOE	0	0	0
PUOV	0	0	0
DDOE	0	0	0
DDOV	0	0	0
PVOE	0	OC0B許可	OC0A許可
PVOV	0	OC0B	OC0A
PTOE	0	0	0
DIEOE	PCINT2・PCIE+ADC1D	PCINT1・PCIE+ADC1D	PCINT0・PCIE+ADC0D
DIEOV	ADC1D	AIN1D	AIN0D
DI	T0入力/PCINT2入力	INT0入力/PCINT1入力	PCINT0入力
AIO	ADC1入力	アナログ比較器反転入力	アナログ比較器非反転入力

10.4. I/Oポート用レジスタ

10.4.1. MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	–	PUD	SE	SM1	SM0	–	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット4 – PUD : プルアップ禁止 (Pull-up Disable)

このビットが1を書かれると、例えDDxnとPORTxnレジスタがプルアップを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては33頁の「[ピンの設定](#)」をご覧ください。

10.4.2. ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	–	–	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.3. ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	–	–	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.4. ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	–	–	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	不定	不定	不定	不定	

11. 8ビット タイマ/カウンタ0 (PWM付き)

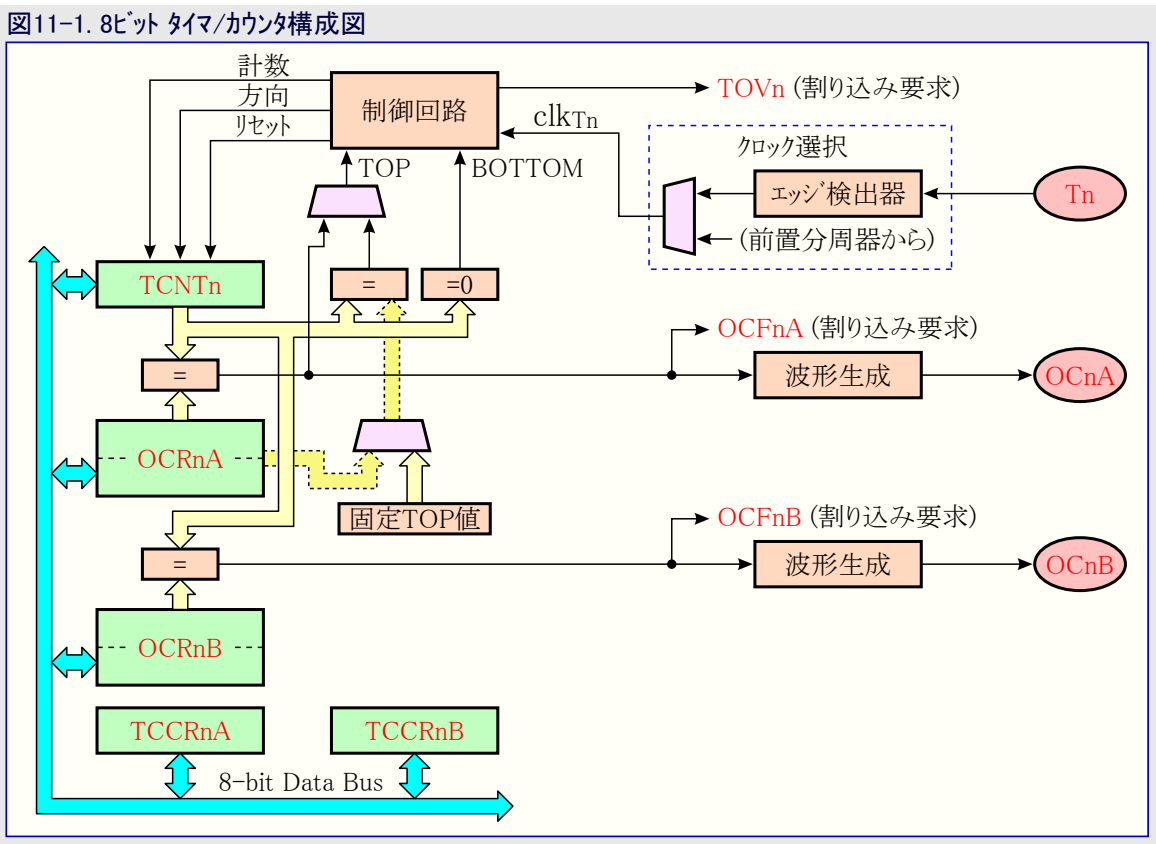
11.1. 特徴

- ・ 2つの独立した比較出力部
- ・ 2重緩衝の比較レジスタ
- ・ 比較一致でのタイマ/カウンタ解除 (自動再設定)
- ・ 不具合なしで正しい位相のパルス幅変調器 (PWM)
- ・ 可変PWM周期
- ・ 周波数発生器
- ・ 3つの独立した割り込み (TOV0, OCF0A, OCF0B)

11.2. 概要

タイマ/カウンタ0は2つの独立した比較出力部とPWM支援付きの汎用8ビット タイマ/カウンタ部です。それは正確なプログラム実行タイミング(事象管理)、波形生成を許します。

この8ビット タイマ/カウンタの簡略化した構成図は図11-1で示されます。I/Oピンの実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は46頁の「8ビット タイマ/カウンタ用レジスタ」で一覧されます。



11.2.1. 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0AとOCR0B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR0)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK0)で個別に遮蔽(禁止)されます。TIFR0とTIMSK0はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT0)として参照されます。

2重緩衝化した比較レジスタ(OCR0AとOCR0B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0AとOC0B)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。詳細については40頁の「比較出力部」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF0AとOCF0B)も設定(1)します。

11.2.2. 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字のxは比較出力部のチャンネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウント値のアクセスに対してのTCNT0のように)。

表11-1.の定義は本資料を通して広範囲に渡って使われます。

表11-1. 用語定義

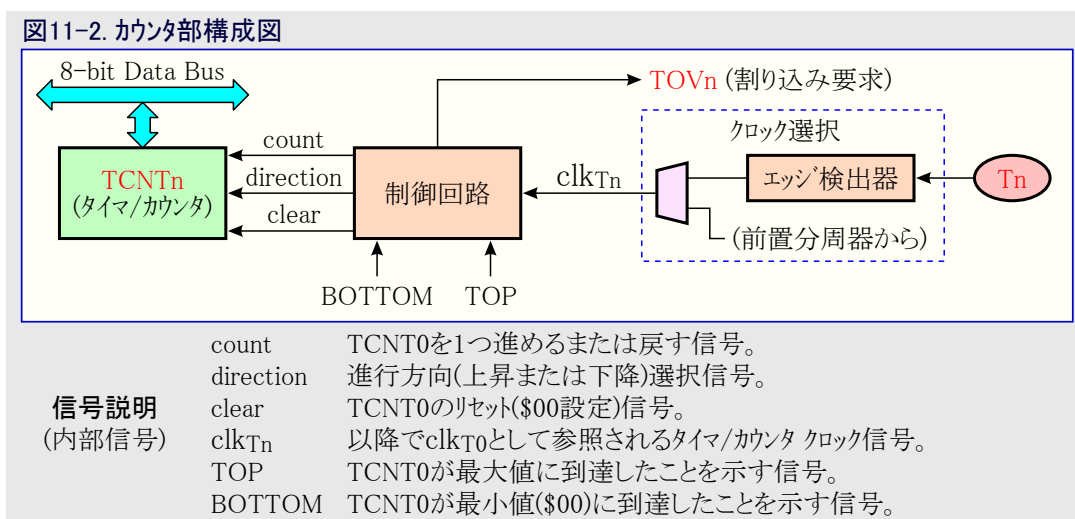
用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値(\$FF)またはOCR0A値に到達した時。この指定(TOP)値は動作種別に依存します。

11.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR0B)に配置されたクロック選択(CS02~0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については50頁の「タイマ/カウンタの前置分周器」をご覧ください。

11.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。図11-2.はこのカウンタとその周辺環境の構成図を示します。



使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clkT0)で解除(\$00)、増加(+1)、または減少(-1)されます。clkT0はクロック選択(CS02~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS02~0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clkT0)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCR0A)に配置された波形生成種別(WGM01,0)ビットとタイマ/カウンタ制御レジスタB(TCCR0B)に配置された波形生成種別(WGM02)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC0A/OC0B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては42頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOV0)フラグはWGM02~0ビットによって選択された動作種別に従って設定(1)されます。TOV0はCPU割り込み発生に使えます。

11.5. 比較出力部

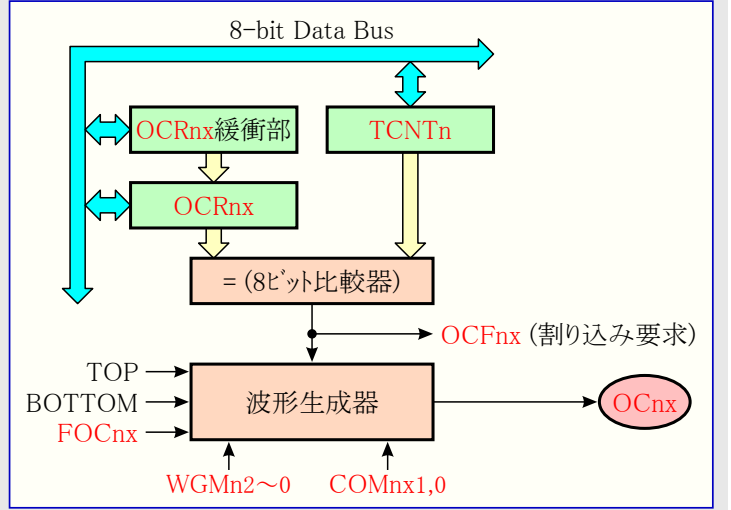
この8ビット比較器はTCNT0と比較レジスタ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCF0AまたはOCF0B)を設定(1)します。対応する割り込みが許可(I=1, OCIE0AまたはOCIE0B=1)されているならば、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的に解除(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(42頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

図11-3.は比較出力部の構成図を示します。

OCR0xはパルス幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0xのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR0x緩衝部をアクセスし、禁止されるとOCR0xレジスタを直接アクセスします。

図11-3. 比較出力部構成図



(訳注) ここでは比較nxレジスタ全体をOCR0x、OCR0xを構成する緩衝部分をOCR0x緩衝部、実際の比較に使われるレジスタ本体部分をOCR0xレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

11.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC0x)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCF0x)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC0xピンは実際の比較一致が起きた場合と同様に更新されます(COM0x1,0ビット設定がOC0xピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

11.5.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは例えタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特性はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

11.5.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

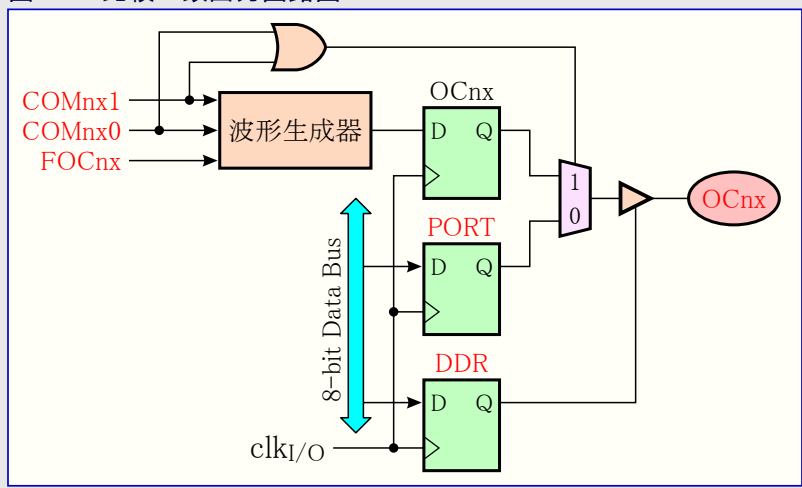
OC0xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で強制変更(FOC0x)スローブビットを使うことです。波形生成動作種別間を変更する時でも、OC0x(内部)レジスタはその値を保ちます。

比較出力選択(COM0x1,0)ビットが比較値(OCR0x)と共に2重緩衝されないことに気付いてください。COM0x1,0ビットの変更は直ちに有効となります。

11.6. 比較一致出力部

比較出力選択($COM0x1,0$)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力($OC0x$)状態の定義に $COM0x1,0$ ビットを使います。また $COM0x1,0$ ビットは $OC0x$ ピン出力元を制御します。図11-4は $COM0x1,0$ ビット設定によって影響を及ぼされる論理回路の簡単化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。 $COM0x1,0$ ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。 $OC0x$ の状態を参照するとき、その参照は $OC0x$ ピンでなく内部 $OC0x$ レジスタに対してです。システムリセットが起こると、 $OC0x$ レジスタは'0'にリセットされます。

図11-4. 比較一致出力回路図



$COM0x1,0$ ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力($OC0x$)によって無効にされます。けれども $OC0x$ ピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。 $OC0x$ ピンに対するポート方向レジスタのビット(DDR_OC0x)は $OC0x$ 値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前の $OC0x$ 状態の初期化を許します。いくつかの $COM0x1,0$ ビット設定が或る種の動作種別に対して予約されることに注意してください。46頁の「8ビットタイマ/カウンタ0用レジスタ」をご覧ください。

11.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作で $COM0x1,0$ ビットを違うふうに使います。全ての動作種別に対して $COM0x1,0=00$ 設定は次の比較一致で実行すべき $OC0x$ レジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については46頁の表11-2.と表11-5.を参照してください。高速PWM動作については46頁の表11-3.と表11-6.、位相基準PWMについては46頁の表11-4.と表11-7.を参照してください。

$COM0x1,0$ ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作についてはこの動作が強制変更($FOC0x$)ストップビットを使うことによって直ちに効果を得ることを強制できます。

11.7. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM0x1,0ビットは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM0x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(41頁の「比較一致出力部」をご覧ください)。

タイミング情報の詳細については45頁の「タイマ/カウンタのタイミング」を参照してください(訳注:原文中の図番号省略)。

11.7.1. 標準動作

最も単純な動作種別が標準動作(WGM02~0=000)です。この動作種別での計数方向は常に上昇(+)で、カウンタ解除は実行されません。カウンタは8ビット最大値(TOP=\$FF)を通過すると単に範囲を超え、そして\$00(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタ溢れ(TOV0)フラグはTCNT0が\$00になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

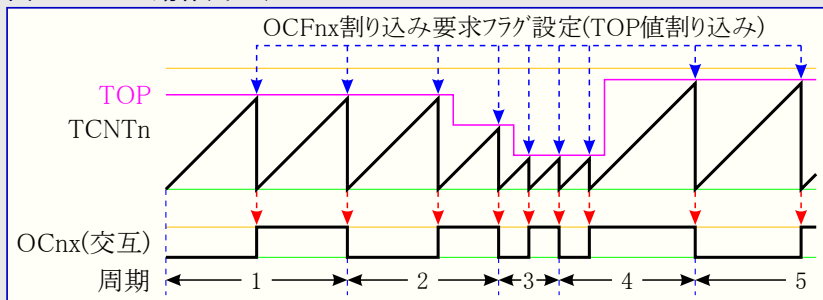
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

11.7.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGM02~0=010)ではOCR0Aがカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNT0)値がOCR0Aと一致すると、カウンタは\$00に解除されます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図11-5.で示されます。カウンタ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後にカウンタ(TCNT0)は解除(\$00)されます。

図11-5. CTC動作タイミング



注: COMnx1,0=01

OCF0Aフラグを使うことにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後のカウンタは比較一致が起こるのに先立って最大値(\$FF)へ、そして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択(COM0A1,0)ビットを交互動作(=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC0A値はそのピンに対するデータ方向が出力(DDR_OC0A=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0A} = f_{clk_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じようにタイマ/カウンタ溢れ(TOV0)フラグはカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がTOP値と一致するまで増加されます。そしてタイマ/カウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$00)されます。高速PWM動作のタイミング図は図11-6.で示されます。TCNT0値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。赤細線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF0x)はOCR0x=TOPを除いて比較一致が起これと設定(1)されます(訳注:共通性のため本行追加)。

OCRnx更新、TOVnx割り込み要求フラグ設定 OCFnx割り込み要求フラグ設定

OCRnx

TCNTn

OCnx(非反転)
(COMnx1,0=10)

OCnx(反転)
(COMnx1,0=11)

周期

← 1 → ← 2 → ← 3 → ← 4 → ← 5 → ← 6 → ← 7 →

PWM出力周波数は次式によって計算できます。

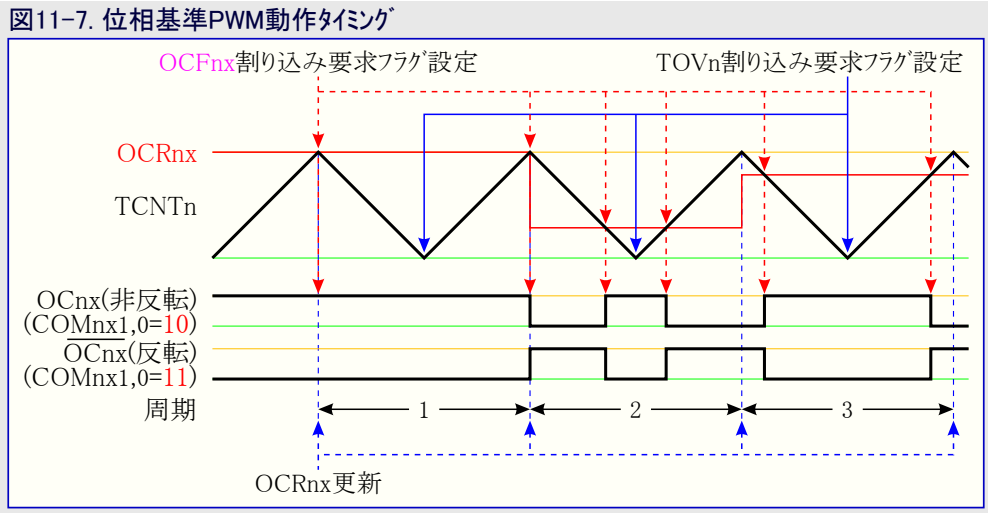
$$f_{\text{OCnxPWM}} = \frac{f_{\text{clk_I/O}}}{N \times (1 + \text{TOP})}$$

(**訳補**:WGM02~0=111の場合については、)高速PWM動作での(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOC0A設定(COM0A1.0=01)によって達成できます。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0x} = f_{clk_1}/O/2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC0A交互出力(COM0A1.0=01)と同じです。

11.7.4. 位相基準PWM動作

位相基準パルス幅変調(PWM)動作(WGM02~0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基にします。カウンタはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM02~0=001時に\$FF、WGM02~0=101時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0xの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのカウンタはカウンタ値がTOPと一致するまで増加されます。カウンタはTOPに達すると計数方向を変更します。このTCNT0値は1タイマ/カウンタクロック周期間TOPと等しくなります。位相基準PWM動作のタイミング図は図11-7.で示されます。TCNT0値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。



タイマ/カウンタ溢れ(TOV0)フラグはタイマ/カウンタがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求フラグはカウンタがBOTTOM値に到達する毎に割り込みを発生するのに使えます。

位相基準PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0ビットを'11'に設定することで生成できます。WGM02ビットが設定(1)なら、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(46頁の表11-4.と表11-7.をご覧ください)。実際のOC0x値はそのポートピンに対するデータ方向(DDR_OC0x)が出力として設定される場合だけ見えてでしょう。PWM波形はカウンタが増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT0とOCR0x間の比較一致でOC0xレジスタを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR0xがBOTTOM(\$00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図11-7.の第2周期のその出発点に於いて、例えば比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 図11-7.のようにOCR0xはTOPからその値を変更します。OCR0x値がTOPのとき、OCnxピン値は下降計数での比較一致の結果と同じです(訳補: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- タイマ/カウンタがOCR0x値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

11.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(clk_{T0})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図11-8は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図11-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

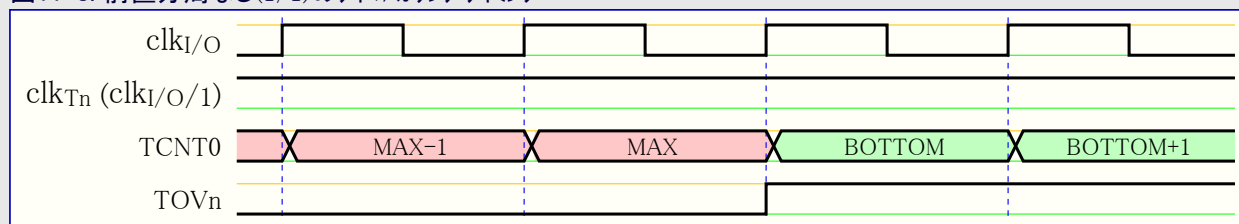


図11-9. は同じタイミング データを示しますが、前置分周器が許可されています。

図11-9. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ タイミング

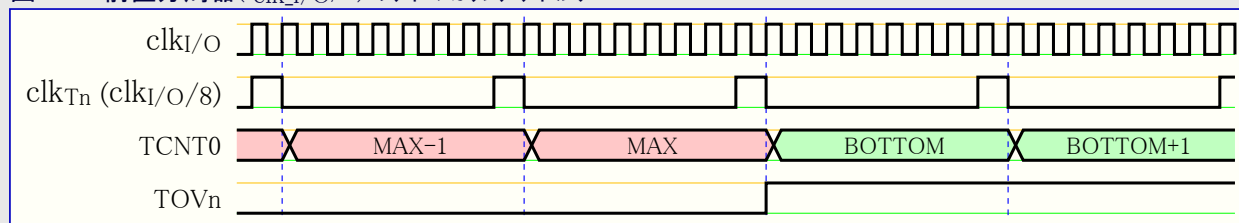


図11-10. はCTC動作とOCR0AがTOPのPWM動作を除く全動作種別でのOCF0Aと全動作種別でのOCF0Bの設定を示します。

図11-10. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、OCF0x設定 タイミング

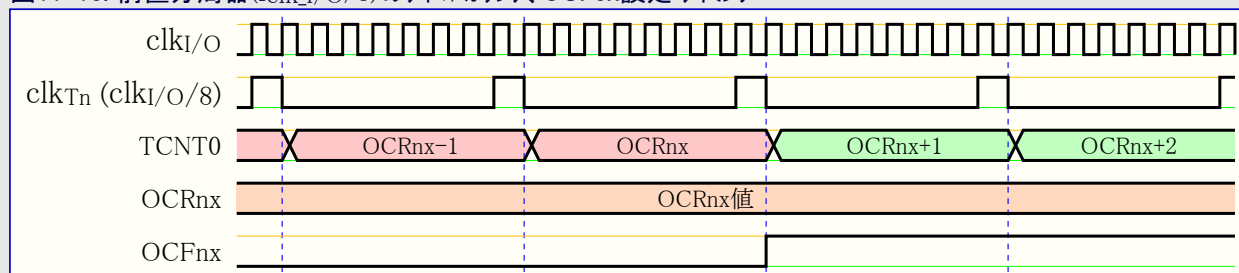
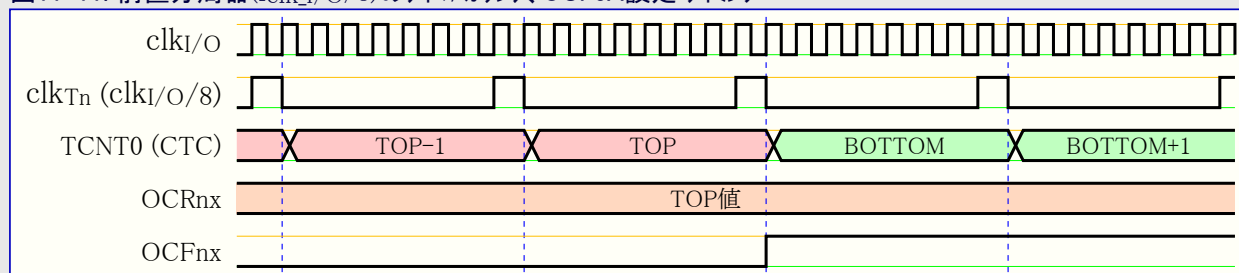


図11-11. はOCR0AがTOPの高速PWM動作と、CTC動作でのTCNT0の解除とOCF0Aの設定を示します。

図11-11. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、OCF0A設定 タイミング



11.9. 8ビット タイマ/カウンタ用レジスタ

11.9.1. タイマ/カウンタ制御レジスタA (Timer/Counter Control Register A) TCCR0A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM0A1	COM0A0	COM0B1	COM0B0	—	—	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,6 – COM0A1,0 : 比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

これらのビットはOC0A比較出力ピンの動作を制御します。COM0A1,0ビットの1つまたは両方が1を書かれると、OC0A出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Aピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Aがピンに接続されるとき、COM0A1,0ビットの機能はWGM02~0ビット設定に依存します。

表11-2.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0A1,0ビット機能を示します。

表11-3.はWGM02~0ビットが高速PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表11-4.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表11-2. 非PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でOC0Aピン Lowレベル出力
1	1	比較一致でOC0Aピン Highレベル出力

表11-3. 高速PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC0Aピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Aピンへ出力 (反転動作)

表11-4. 位相基準PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Aピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Aピンへ出力

■ ビット5,4 – COM0B1,0 : 比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

これらのビットはOC0B比較出力ピンの動作を制御します。COM0B1,0ビットの1つまたは両方が1を書かれると、OC0B出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Bがピンに接続されるとき、COM0B1,0ビットの機能はWGM02~0ビット設定に依存します。

表11-5.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0B1,0ビット機能を示します。

表11-6.はWGM02~0ビットが高速PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表11-7.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表11-5. 非PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	比較一致でOC0Bピントグル(交互)出力
1	0	比較一致でOC0Bピン Lowレベル出力
1	1	比較一致でOC0Bピン Highレベル出力

表11-6. 高速PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC0Bピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Bピンへ出力 (反転動作)

表11-7. 位相基準PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Bピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Bピンへ出力

共通注意: COM0x1が設定(1)され、対応するOCR0xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMまたはTOPでの設定(1)または解除(0)は行われます。より多くの詳細については43頁の「高速PWM動作」または44頁の「位相基準PWM動作」をご覧ください。(表11-3,4,6,7.各々での注:を纏めました。)

■ビット3,2 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ビット1,0 - WGM01,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCR0B)で得られるWGM02ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大カウンタ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します(表11-8参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と2形式のパルス幅変調(PWM)動作です。42頁の「動作種別」をご覧ください。

表11-8. 波形生成種別選択

番号	WGM02	WGM01	WGM00	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0	0	0	標準動作	\$FF	即時	MAX
1	0	0	1	8ビット位相基準PWM動作	\$FF	TOP	BOTTOM
2	0	1	0	比較一致タイマ/カウンタ解除(CTC)動作	OCR0A	即時	MAX
3	0	1	1	8ビット高速PWM動作	\$FF	BOTTOM	MAX
4	1	0	0	(予約)	-	-	-
5	1	0	1	位相基準PWM動作	OCR0A	TOP	BOTTOM
6	1	1	0	(予約)	-	-	-
7	1	1	1	高速PWM動作	OCR0A	BOTTOM	TOP

注: MAX=\$FF、BOTTOM=\$00です。

11.9.2. タイマ/カウンタ制御レジスタB (Timer/Counter Control Register B) TCCR0B

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	FOC0A	FOC0B	-	-	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ビット7 - FOC0A : OC0A強制変更 (Force Output Compare A)

FOC0AビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Aビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1,0ビット設定に従って変更されます。FOC0Aビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0A1,0ビットに存在する値です。

FOC0Aスロープは何れの割り込みの生成もTOPとしてOCR0Aを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$00)も行いません。

FOC0Aビットは常に0として読まれます。

■ビット6 - FOC0B : OC0B強制変更 (Force Output Compare B)

FOC0BビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Bビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0B出力はCOM0B1,0ビット設定に従って変更されます。FOC0Bビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0B1,0ビットに存在する値です。

FOC0Bスロープは何れの割り込みの生成も行いません。

FOC0Bビットは常に0として読まれます。

■ビット5,4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ビット3 - WGM02 : 波形生成種別 (Waveform Generation Mode bit 2)

46頁の「タイマ/カウンタ制御レジスタA (TCCR0A)」のWGM01,0ビット記述をご覧ください。

■ ビット2~0 - CS02~0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)によって使われるクロック元を選択します。

表11-9. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0動作停止)
0	0	1	clk _{I/O} (前置分周なし)
0	1	0	clk _{I/O} /8 (8分周)
0	1	1	clk _{I/O} /64 (64分周)
1	0	0	clk _{I/O} /256 (256分周)
1	0	1	clk _{I/O} /1024 (1024分周)
1	1	0	T0ピンの下降端 (外部クロック)
1	1	1	T0ピンの上昇端 (外部クロック)

外部ピン(クロック)動作がタイマ/カウンタ0に対して使われる場合、例えばT0ピンが出力として設定されても、T0ピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

11.9.3. タイマ/カウンタ (Timer/Counter) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作についてタイマ/カウンタ部の8ビット カウンタに直接アクセスします。TCNT0への書き込みは次のタイマ/カウンタ クロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT0)を変更することはTCNT0とOCR0x間の比較一致消失の危険を誘発します。

11.9.4. タイマ/カウンタ 比較Aレジスタ (Timer/Counter Output Compare A Register) OCR0A

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Aピンでの波形出力を生成するのに使えます。

11.9.5. タイマ/カウンタ 比較Bレジスタ (Timer/Counter Output Compare B Register) OCR0B

ビット	7	6	5	4	3	2	1	0	
\$29 (\$49)	(MSB)							(LSB)	OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Bピンでの波形出力を生成するのに使えます。

11.9.6. タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK0

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	–	–	–	–	OCIE0B	OCIE0A	TOIE0	–	TIMSK0
Read/Write	R	R	R	R	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～4,0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3 – OCIE0B : タイマ/カウンタ比較B割り込み許可 (Timer/Counter Output Compare Match B Interrupt Enable)

OCIE0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ比較B一致割り込みが許可されます。タイマ/カウンタ(TCNT0)で比較一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)で比較B割り込み要求フラグ(OCF0B)が設定(1)されると、対応する割り込みが実行されます。

■ ビット2 – OCIE0A : タイマ/カウンタ比較A割り込み許可 (Timer/Counter Output Compare Match A Interrupt Enable)

OCIE0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ比較A一致割り込みが許可されます。タイマ/カウンタ(TCNT0)で比較一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)で比較A割り込み要求フラグ(OCF0A)が設定(1)されると、対応する割り込みが実行されます。

■ ビット1 – TOIE0 : タイマ/カウンタ溢れ割り込み許可 (Timer/Counter Overflow Interrupt Enable)

TOIE0ビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されるとタイマ/カウンタ溢れ割り込みが許可されます。タイマ/カウンタ(TCNT0)溢れが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)でタイマ/カウンタ溢れ割り込み要求フラグ(TOV0)が設定(1)されると、対応する割り込みが実行されます。

11.9.7. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR0

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	–	–	–	–	OCF0B	OCF0A	TOV0	–	TIFR0
Read/Write	R	R	R	R	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～4,0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3 – OCF0B : タイマ/カウンタ比較B割り込み要求フラグ (Timer/Counter, Output Compare B Match Flag)

OCF0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Bはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ比較B一致割り込み許可(OCIE0B)ビット、OCF0Bが設定(1)されると、タイマ/カウンタ比較B一致割り込みが実行されます。

■ ビット2 – OCF0A : タイマ/カウンタ比較A割り込み要求フラグ (Timer/Counter, Output Compare A Match Flag)

OCF0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Aはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ比較A一致割り込み許可(OCIE0A)ビット、OCF0Aが設定(1)されると、タイマ/カウンタ比較A一致割り込みが実行されます。

■ ビット1 – TOV0 : タイマ/カウンタ溢れ割り込み要求フラグ (Timer/Counter Overflow Flag)

TOV0ビットはタイマ/カウンタ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ溢れ割り込み許可(TOIE0)ビット、TOV0が設定(1)されると、タイマ/カウンタ溢れ割り込みが実行されます。

このフラグの(1)設定はWGM02～0設定に依存します。47頁の表11-8.「波形生成種別選択」を参照してください。

12. タイマ/カウンタの前置分周器

12.1. 概要

タイマ/カウンタはシステム クロック(CSn2~0=001設定)により直接的にクロック駆動できます。これはシステム クロック周波数($f_{clk_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。この前置分周したクロックは $f_{clk_I/O}/8$, $f_{clk_I/O}/64$, $f_{clk_I/O}/256$, $f_{clk_I/O}/1024$ の何れかの周波数です。

12.2. 前置分周器リセット

この前置分周器は自由走行です(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作します)。前置分周器はタイマ/カウンタのクロック選択によって影響されないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2~0=5~2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数はNが前置分周値(8, 64, 256, 1024)とすると、 $1 \sim N+1$ システム クロック周期になり得ます。

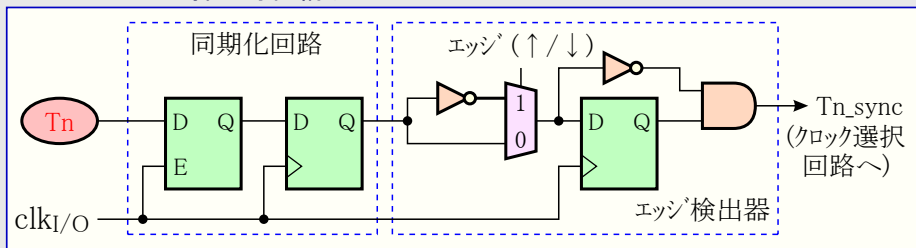
プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使うことが可能です。

12.3. 外部クロック元

T0ピンに印加した外部クロック元はタイマ/カウンタ クロック(f_{clk_T0})として使えます。このT0ピンはピン同期化論理回路によって全システム クロック周期に1回採取されます。この同期化(採取)された信号はその後にエッジ検出器を通して通過されます。図12-1はT0同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック($f_{clk_I/O}$)の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

エッジ検出器は上昇端(CSn2~0=111)または下降端(CSn2~0=110)の検出毎に1つの clk_{T0} パルスを生成します。

図12-1. T0ピンの採取等価構成図

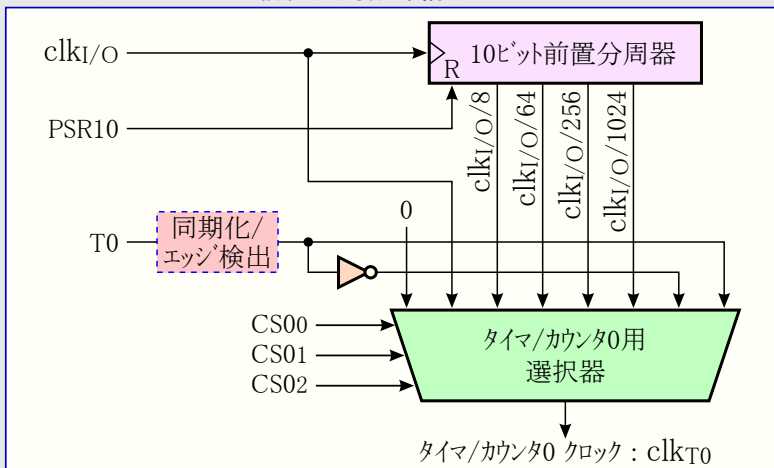


同期化とエッジ検出器論理回路はT0ピンへ印加したエッジから計数器が更新されるまでに2.5~3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はT0が最低1システム クロック周期に対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システム クロック周波数の半分未満($f_{EXTclk} < f_{clk_I/O}/2$)であることが保証されなければなりません。エッジ検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイquistの標本化定理)。然しながら、発振元(水晶発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は $f_{clk_I/O}/2.5$ 未満が推奨されます。

図12-2. タイマ/カウンタ0の前置分周器部構成図



注: 入力(T0)ピンの同期化/エッジ検出論理回路は図12-1.で示されます。

12.4. タイマ/カウンタ前置分周器制御用レジスタ

12.4.1. 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register) GTCCR

ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	TSM	—	—	—	—	—	—	PSR10	GTCCR
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットに**1**を書くことはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSR10へ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中に進行する危険なしに設定できることを保証します。TSMビットが**0**を書かれると、PSR10ビットはハードウェアによって解除(**0**)され、同時にタイマ/カウンタが計数を始めます。

■ ビット0 – PSR10 : タイマ/カウンタ0前置分周器リセット (Prescaler Reset Timer/Counter 0)

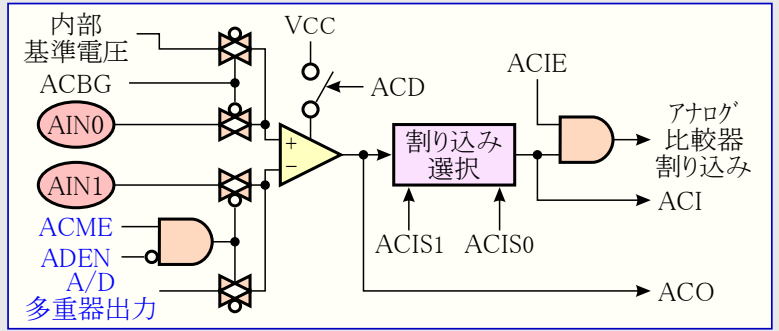
このビットが**1**のとき、タイマ/カウンタ0の前置分周器はリセットします。TSMビットが設定(**1**)されている場合を除き、通常、このビットはハードウェアによって直ちに解除(**0**)されます。

13. アナログ比較器

アナログ比較器は非反転入力AIN0(PB0)ピンと反転入力AIN1(PB1)ピンの入力値を比較します。非反転AIN0(PB0)ピンの電圧が反転AIN1(PB1)ピンの電圧よりも高い時にACSRのアナログ比較器出力(ACO)ビットが設定(1)されます。この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図13-1.で示されます。

アナログ比較器のピン配置に関しては2頁の「ピン配置」、36頁の表10-5、表13-1をご覧ください。

図13-1. アナログ比較器部構成図



13.1. アナログ比較器入力選択

アナログ比較器への反転入力を取り替えるのにADC3~0のどれかを選択することができます。A/D変換の多重器がこの入力選択に使われ、従ってこの機能を利用するためにA/D変換部がOFF(動作禁止)にされなければなりません。ADCSRBのアナログ比較器多重器許可(ACME)ビットが設定(1)され、A/D変換部がOFF(ADCSRAのADENビットが0)にされているなら、表13-1.で示されるようにADMUXのチャネル選択(MUX1,0)ビットがアナログ比較器への反転入力を取り替えるための入力ピンを選びます。ACMEが解除(0)、またはADENが設定(1)されると、AIN1がアナログ比較器への反転入力に印加されます。

表13-1. アナログ比較器反転入力選択

ACME	ADEN	MUX1,0	アナログ比較器反転入力
0	x	x x	AIN1
1	0	0 0	ADC0
		0 1	ADC1
		1 0	ADC2
		1 1	ADC3

13.2. アナログ比較器用レジスタ

13.2.1. A/D変換制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	—	ACME	—	—	—	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット6 – ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)

このビットが論理1を書かれ、A/D変換部がOFF(ADCSRAのADENビットが0)にされると、A/D変換の多重器がアナログ比較器への反転入力を選択します。このビットが論理0を書かれると、AIN1がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については上の「アナログ比較器入力選択」をご覧ください。

13.2.2. アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	ACBG	ACO	ACI	ACIE	—	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

■ ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でも設定(1)できます。これは活動動作やアイドル動作で電力消費を削減します。ACDビットを変更する時にACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起こり得ます。

■ ビット6 – ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定(1)されると、**内部基準電圧(公称1.1V)**がアナログ比較器への非反転入力に置き換わります。本ビットが解除(0)されると、AIN0がアナログ比較器の非反転入力に印加されます。内部基準電圧がアナログ比較器への入力として使われるとき、電圧の安定に一定時間を必要とします。安定(待機を)しない場合、不正な比較になるかもしれません。[25ページの「内部基準電圧」](#)をご覧ください。

■ ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後に直接ACOへ接続されます。この同期化は1～2クロック周期の遅延をもたらします。

■ ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRの**アナログ比較器割り込み条件(ACIS1,0)ビット**によって定義した割り込み方法で起動する時に設定(1)されます。ACSRのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもACIは解除(0)されます。

■ ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが論理1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

■ ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

■ ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するかを決めます。各種設定は表13-2.で示されます。

ACIS1,ACIS0ビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表13-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

13.2.3. デジタル入力禁止レジスタ0 (Digital Input Disable Register 0) DIDR0

ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	—	—	ADC0D	ADC2D	ADC3D	ADC1D	AIN1D	AIN0D	DIDR0
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット1,0 – AIN1D,AIN0D : AIN1,AIN0 デジタル入力禁止 (AIN1,AIN0 Digital Input Disable)

このビットが論理1を書かれると、AIN1/0ピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。AIN1/0ピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、このビットは論理1を書かれるべきです。

14.3. 操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値はAREFピンの電圧-1LSBを表します。A/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS0)ビットの設定により、基準電圧としてVCCまたは内部1.1V基準電圧を選択できます(訳注:共通性のため本行追加)。

アナログ入力チャネルはADMUXのチャネル選択(MUX1,0)ビットへの書き込みによって選択されます。どのADC入力ピン(ADC3~0)もA/D変換器のシングルエンド入力として選択できます。

A/D変換部はA/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビットの設定(1)によって(動作が)許可されます。基準電圧と入力チャネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH,ADCL)で示される10ビットの結果を生成します。既定ではこの結果は右揃え(16ビットのビット0側10ビット)で表されますが、ADMUXで左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHを読むことで足ります。さもなければデータレジスタの内容が同じ変換に属すること(からの結果)を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH,ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器アクセスが再び許可されます。

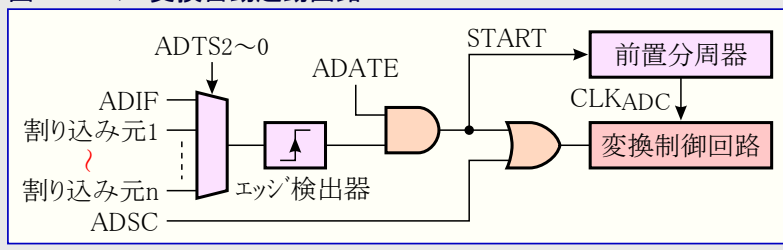
A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

14.4. 変換の開始

単独変換はADCSRAに於いて変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り1に留まり、変換が完了されるとハードウェアによって解除(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

代わりに変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビットの設定によって選択されます(起動元の一覧についてはADTSビットの記述をご覧ください)。選択した起動信号上に上昇端が起きると、A/D変換用前置分周器がリセットして変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だ設定(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の上昇端が起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(1)ビットが解除(0)でも、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければなりません。

図14-2. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかに関らず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使えます。ADSCビットは変換がどう開始されたかに拘らず、変換中は1として読めます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はアイドル休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については58頁の「雑音低減機能」をご覧ください。(訳注:共通性から2行追加)

14.5. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力クロック周波数を必要とします。10ビットよりも低い分解能が必要とされるなら、A/D変換器への入力クロック周波数はより高い採取速度を得るために200kHzよりも高くできます。

A/D変換部は100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態レジスタ(ADCSRA)のA/Dクロック選択(ADPS2～0)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を開始します。前置分周器はADENビットが設定(1)される限り走行を維持し、ADENが0の時は継続的にリセットします。

ADCSRAのA/D変換開始(ADSC)ビットの設定(1)によってシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。

通常の変換は13変換クロック周期で行われます。A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために、下の図14-4.で示されるように25変換クロック周期で行われます。

図14-3. A/D変換前置分周器部構成

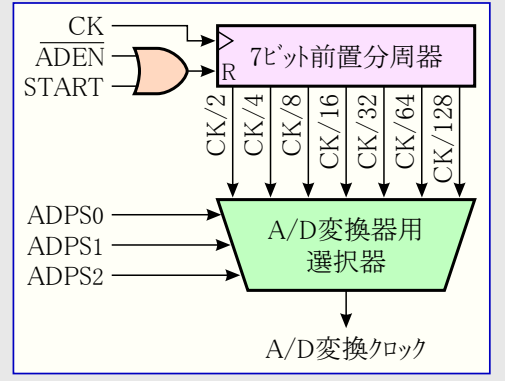
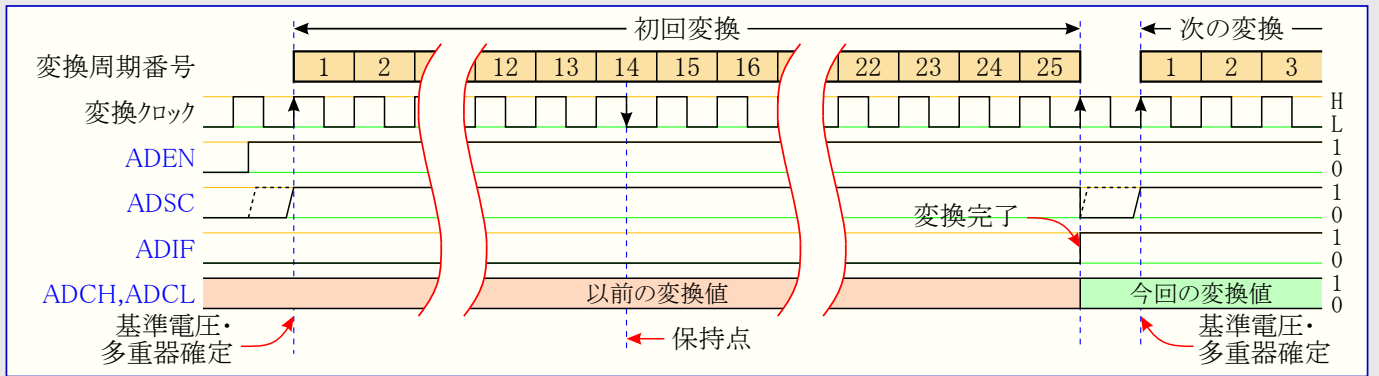


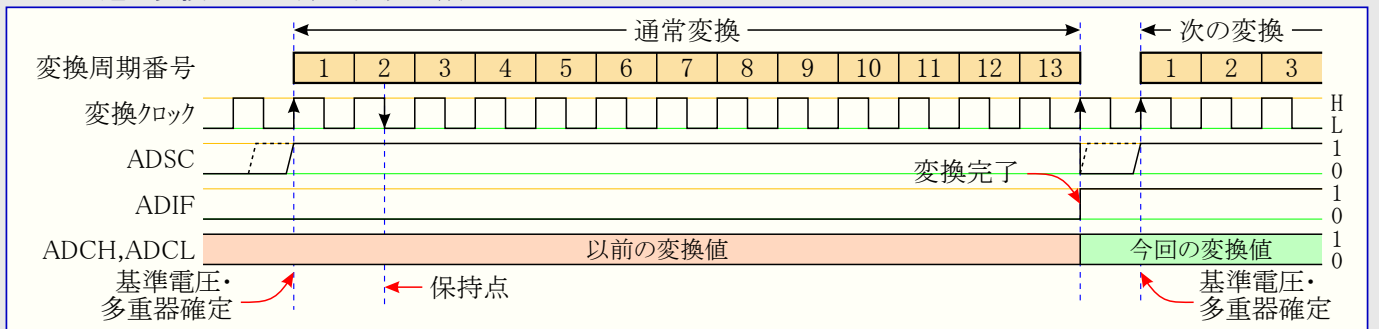
図14-4. 初回変換タイミング (単独変換動作)



内部基準電圧がA/D変換器への入力として使われるとき、電圧の安定に一定時間を必要とします。安定(待機を)しない場合は初回変換後の最初の読み込み値は不正になるかもしれません。

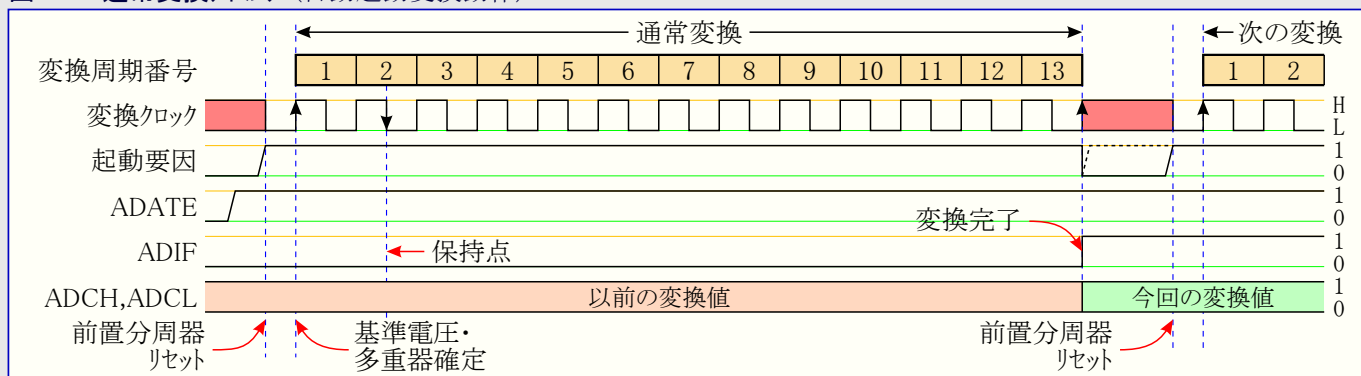
実際の採取&保持(保持開始点)は通常変換の開始後1.5変換クロック周期、初回変換の開始後13.5変換クロック周期で行われます。変換が完了すると、結果がA/Dデータレジスタ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ビットが解除(0)されます。その後にソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。

図14-5. 通常変換タイミング (単独変換動作)



自動起動が使われると、前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換クロック周期で採取が行われます。同期化論理回路(エッジ検出器)に対して追加の3CPUクロック周期が費やされます。

図14-6. 通常変換タイミング (自動起動変換動作)



連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。変換時間の要約については表14-1をご覧ください。

図14-7. 連続変換動作タイミング

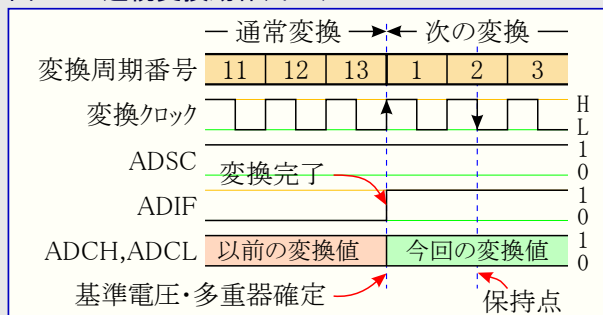


表14-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングルエンド入力通常変換	1.5	13
自動起動変換	1.5 (2)	13.5

注: 変換時間を除く各値は変換開始からの変換クロック数です。

14.6. チャネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX1,0)ビットと基準電圧選択(REFS0)ビットはCPUが順番にアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換クロック周期で再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことが推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が払われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらを基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

- ・ADENまたはADATEが解除(0)されているとき。
- ・変換開始後、最低1変換クロック周期経過後の変換中。
- ・変換後から、変換起動元として使った割り込みフラグが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

14.6.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選択されることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

14.6.2. A/D変換基準電圧

このA/D変換用の基準電圧(VREF)はA/D変換に対する変換範囲を示します。VREFを越えるシングル エント'入力チャネルは\$3FFで打ち切るコード'に帰着します。VREFはVCC、内部1.1V基準電圧のどちらかとして選択できます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

14.7. 雑音低減機能

このA/D変換部はCPUコアと他の周辺I/Oが誘導した雑音を削減するために**休止形態**中の変換を可能にする雑音低減機能が特徴です。この機能は**A/D変換雑音低減動作**と**アイドル動作**で使えます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADATE=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されていなければなりません。
2. A/D変換雑音低減(またはアイドル)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規**SLEEP**命令が実行されるまで活動動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADENへ0を書くことが推奨されます。

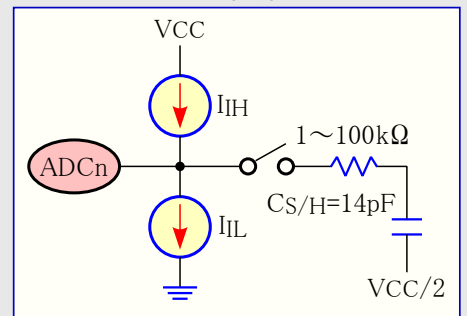
14.8. アナログ入力回路

シングル エント'入力チャネルのアナログ回路は図14-8.で図示されます。ADCnに印加したアナログ(信号)源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、(アナログ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね10kΩ若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このような(アナログ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いインピーダンスの(アナログ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するために(アナログ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する低インピーダンス(アナログ信号)源だけを使うことが推奨されます。

特定できない信号の渦からの歪を避けるために、どのチャネルに対してもナイキスト周波数($f_{ADC}/2$)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に低域通過濾波器(ローパス フィルタ)で高い周波数成分を取り除くことが推奨されます。

図14-8. アナログ入力回路



注: 図内のコンデンサ容量はS/Hコンデンサとデバイス内の何れかの浮遊容量または寄生容量を含む合計容量を叙述します。与えられた値は最悪(最大)値です。

14.9. アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定の精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要なとき、次の技法を適用することによって雑音レベルを低減できます。

- アナログ信号経路を可能な限り最短にしてください。
- アナログ信号経路がアナログGND面上を走ることを確認してください。
- アナログ信号経路を高速切り替えデジタル信号線から充分離すことを守ってください。
- 何れかのADCポートピンがデジタル出力として使われる場合、これらを変換進行中に決して切り替えてはなりません。
- 可能な限りVCCとGNDピンの近くにパスコンを配置してください。

高いA/D変換精度が必要とされるとき、「**雑音低減機能**」で記述されるようにA/D変換雑音低減動作の使用が推奨されます。これは特にシステム クロック周波数が1MHz以上の場合です。正しい外部パスコン配置での良いシステム設計はA/D変換雑音低減動作の必要性を低減します。

14.10. A/D変換の精度定義

シングルエンド入力電圧のnビットA/D変換はGNDとVREF間を 2^n で直線的に変換します。最低値コードは0として読み、最高値コードは 2^n-1 として読みます。以下の各種パラメータは理想状態からの偏差を表します。

• オフセット誤差 - 図14-9.

最初の遷移点(\$000から\$001)に於いて理想遷移点(差0.5LSB)と比較した偏差です。理想値は0LSBです。

• 利得誤差 - 図14-10.

オフセット誤差補正後の最後の遷移点(\$3FEから\$3FF)に於いて理想遷移点(最大差1.5LSB以下)と比較した偏差です。理想値は0LSBです。

• 積分非直線性誤差 (INL) - 図14-11.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

• 微分非直線性誤差 (DNL) - 図14-12.

実際のコードの幅(隣接する2つの遷移点間)に於いて理想コード幅(1LSB)と比較した最大偏差です。理想値は0LSBです。

• 量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に ± 0.5 LSBです。

• 絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は ± 0.5 LSBです。

図14-9. オフセット誤差

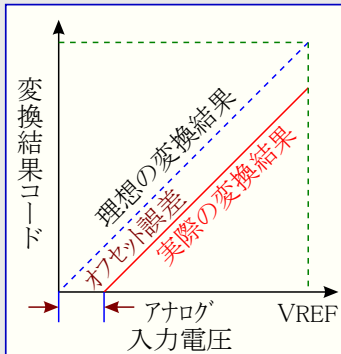


図14-10. 利得誤差

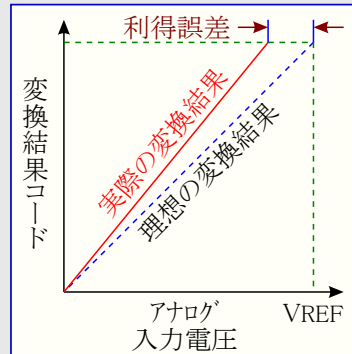


図14-11. 積分非直線性誤差

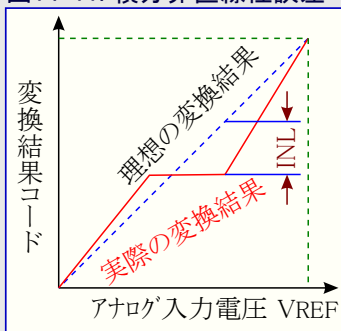
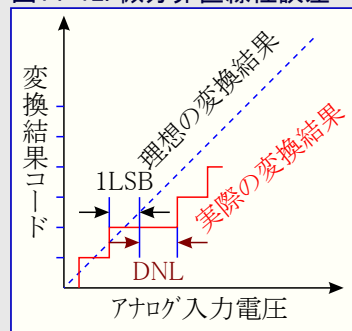


図14-12. 微分非直線性誤差



14.11. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCH, ADCL)で得られます。

シングルエンド入力変換での結果は次式で示されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

V_{IN} は選択した入力ピンの電圧で、 V_{REF} は選択した基準電圧です(60頁の表14-2と表14-3をご覧ください)。\$000はアナログGNDを表し、\$3FFは選択した基準電圧-1LSBを表します。

14.12. A/D変換用レジスタ

14.12.1. A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	–	REFS0	ADLAR	–	–	–	MUX1	MUX0	ADMUX
Read/Write	R	R/W	R/W	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 – REFS0 : 基準電圧選択 (Reference Select Bit)

このビットは表14-2.で示されるようにA/D変換器の基準電圧を選びます。このビットが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

表14-2. A/D変換部の基準電圧選択

REFS0	基準電圧
0	基準電圧としてVCCを使用
1	内部1.1V基準電圧

■ ビット5 – ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については62頁の「A/Dデータレジスタ」をご覧ください。

■ ビット4~2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット1,0 – MUX1,0 : A/Dチャネル選択 (Analog Channel Select Bits)

これらのビットの値はA/D変換器にどのアナログ入力に接続されるかを選びます。詳細については表14-3.をご覧ください。これらのビットが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

表14-3. アナログ入力チャネル選択

MUX1,0	シングルエンド入力
0 0	ADC0 (PB5)
0 1	ADC1 (PB2)
1 0	ADC2 (PB4)
1 1	ADC3 (PB3)

14.12.2. A/D変換 制御/状態レジスタA (ADC Control and Status Register A) ADCSRA

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – ADEN : A/D許可 (ADC Enable)

このビットに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

■ ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのビットへ1を書いてください。連続変換動作で最初の変換を始めるにはこのビットへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の13に代わって25変換クロック周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読めます。変換が完了すると0に戻ります。このビットへの0書き込みは無効です。

■ ビット5 – ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが1が書かれると、A/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動要因選択(ADTS2~0)ビット設定によって選択されます。

■ビット4 – ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新されると、このフラグが設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとA/D変換完了割り込み許可(ADIF)ビットが設定(1)されていればA/D変換完了割り込みが実行されます。対応する割り込み処理ペクタを実行する時にADIFはハードウェアによって解除(0)されます。代わりにこのフラグに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み-変更-書き(リード モディファイライト)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます。

■ビット3 – ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが1を書かれ、SREGの全割り込み許可(I)ビットが設定(1)されていると、A/D変換完了割り込みが活性に(許可)されます。このビットが解除(0)されると、この割り込みは禁止されます(訳注:共通性のため本行追加)。

■ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはシステムクロック周波数とA/D変換部への入力クロック間の分周値を決めます。

表14-4. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

14.12.3. A/D変換 制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	–	ACME	–	–	–	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ビット7,5~3 – Res : 予約 (Reserved Bit)

これらのビットは予約されており、常に0として読まれます。

■ビット2~0 – ADTS2~0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビットの値はどの起動元がA/D変換を起動するのを選択します。ADATEが解除(0)されると、ADTS2~0設定は無効です。変換は選択した割り込みフラグの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ビットが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2~0=0)への切り替えは、例えばA/D変換完了割り込み要求フラグが設定(1)されていても、起動事象を引き起こしません。

表14-5. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ比較A一致
1	0	0	タイマ/カウンタ溢れ
1	0	1	タイマ/カウンタ比較B一致
1	1	0	ピン変化割り込み要求
1	1	1	(予約)

14.12.4. A/Dデータレジスタ (ADC Data Register) ADCH,ADCL

ADLAR=0時								
ビット	15	14	13	12	11	10	9	8
\$05 (\$25)	–	–	–	–	–	–	ADC9	ADC8
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ADLAR=1時								
ビット	15	14	13	12	11	10	9	8
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
ビット	7	6	5	4	3	2	1	0
	ADC1	ADC0	–	–	–	–	–	–

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃えで且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなければADCLが先に、その後にADCHが読まれなければなりません。

A/D多重器選択レジスタ(ADMUX)の左揃え選択(ADLAR)ビットとA/Dチャネル選択(MUX1,0)ビットは、このレジスタから結果を読む方法に影響を及ぼします。ADLARが設定(1)されると、結果は左揃えにされます。ADLARが解除(0)されていると(既定)、結果は右揃えにされます。

■ ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは59頁の「A/D変換の結果」で詳述されるように変換での結果を表します。

14.12.5. デジタル入力禁止レジスタ0 (Digital Input Disable Register 0) DIDR0

ビット	7	6	5	4	3	2	1	0
\$14 (\$34)	–	–	ADC0D	ADC2D	ADC3D	ADC1D	AIN1D	AIN0D
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ ビット5~2 – ADC3D~ADC0D : ADC3~0 デジタル入力禁止 (ADC3~0 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADC3~0ピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

15. デバッグWIRE 内蔵デバッグ システム

15.1. 特徴

- ・ 完全なプログラムの流れ制御
- ・ RESETピンを除くデジタルとアナログ両方でのチップ全機能のエミュレート
- ・ 実時間(リアルタイム)動作
- ・ シンボリックデバッグ支援 (アセンブリ及びC言語または他の高位言語)
- ・ 無制限数のプログラム中断点(ブレークポイント: ソフトウェア中断点使用)
- ・ 邪魔しない動作
- ・ 実デバイスと同じ電気的特性
- ・ 自動設定システム
- ・ 高速動作
- ・ 不揮発性メモリのプログラミング

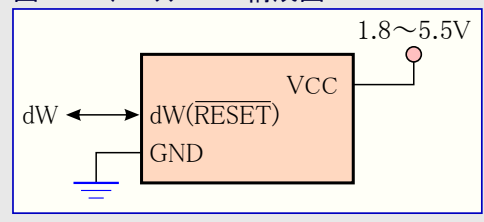
15.2. 概要 デバッグWIRE内蔵デバッグシステムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための1本線の双方向インターフェースを使います。

15.3. 物理インターフェース

デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、施錠ビットが非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープンドレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

図15-1.はエミュレータと許可したデバッグWIREでの対象MCUとの接続の図を示します。システムクロックはデバッグWIREによって影響を及ぼされず、常にCKSELヒューズで選択したクロック元です。

図15-1. デバッグWIRE構成図



デバッグWIREが使われるシステムの設計時、以下に注意しなければなりません。

- ・ dW/(RESET)線のプルアップ抵抗は10k~20kΩの範囲でなければなりません。けれどもこのプルアップ抵抗は任意です。
- ・ RESETピンのVCCへの直接的な接続では動作しません。
- ・ RESETピンに挿入したコンデンサはデバッグWIRE使用時、切断されなければなりません。
- ・ 全ての外部リセット元は切断されなければなりません。

15.4. ソフトウェア中断点 (ブレークポイント)

デバッグWIREはAVRのBREAK命令によってプログラムメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムメモリにBREAK命令を挿入します。BREAK命令で置換した(元の)命令は保存されます。プログラム実行が継続される時、プログラムメモリから継続される前に保存した命令が実行されます。一時停止(ブレーク)はプログラムにBREAK命令を置くことによって手動で挿入できます。

フラッシュメモリは中断点の変更される度毎に再書き換えされなければなりません。これはデバッグWIREインターフェースを通してAVR Studioによって自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバッグ目的に使ったデバイスは最終顧客へ出荷すべきではありません。

15.5. デバッグWIREの制限

デバッグWIRE通信(dW)ピンは物理的に外部リセット(RESET)と同じピンに配置されます。従ってデバッグWIREが許可されると、外部リセット元が支援されません。

デバッグWIREシステムは全速度、換言するとCPUのプログラムが走行する時に全I/O機能を正確エミュレートします。CPUが停止される時にデバッグ(AVR Studio)経由でいくつかのI/Oレジスタにアクセスする間、注意が払われなければなりません。この制限の詳細説明についてはデバッグWIRE資料をご覧ください。

デバッグWIREインターフェースはデバッグがシステムクロックに同期する必要があることを意味する、非同期です。システムクロックがソフトウェア(例えばCLKPSビット書き込み)によって変更されると、デバッグWIRE経由通信は失敗するかもしれません。また、100kHz未満のクロック周波数は通信問題を引き起こすかもしれません。

プログラム(0)にしたDWENヒューズは全休止形態でクロック系のいくつかの部分の走行を許可します。これは休止間中の消費電力を増加します。従ってDWENヒューズはデバッグWIREが使われない場合、禁止されるべきです。

15.6. デバッグWIRE用レジスタ

次項はデバッグWIREで使うレジスタを記述します。

15.6.1. デバッグWIRE データレジスタ (debugWIRE Data Register) DWDR

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	(MSB)							(LSB)	DWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバッグへの通信チャネルを提供します。このレジスタはデバッグWIREでだけアクセス可能で、従って通常動作で一般目的レジスタとして使えません。

16. フラッシュメモリの自己プログラミング

本デバイスはMCU自身によるプログラムコードのダウンロードとアップロード用の自己プログラミング機構を提供します。自己プログラミングはフラッシュメモリ内にコードを書き(プログラム)、コードを読み、またはプログラムメモリからコードを読むのに、利用可能なデータインターフェースと関連する規約のどれかが使えます。SPM命令は既定で禁止ですが、SELFPGENヒューズを(0に)プログラミングすることで許可にできます。

プログラムメモリはページ単位形式で更新されます。ページ一時緩衝部へ格納したデータでページを書く前にそのページは消去されなければなりません。ページ一時緩衝部はSPM命令使用時毎の1語(ワード)で満たされ、この緩衝部はページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1. (ページ消去前の一時緩衝部格納)

- ・ページ一時緩衝部を満たしてください。
- ・ページ消去を実行してください。
- ・ページ書き込みを実行してください。

手段2. (ページ消去後の一時緩衝部格納)

- ・ページ消去を実行してください。
- ・ページ一時緩衝部を満たしてください。
- ・ページ書き込みを実行してください。

ページの一部の変更だけが必要な場合、消去前にページの残す部分は(例えばページ一時緩衝部に)保存されなければならない、その後に変更して書かれます。手段1.を使う場合、初めにページを読んで必要な変更を行い、その後に変更したデータを書き戻すことをユーザーソフトウェアに許す効率的な読み-修正-書き(リード モデファイライト)機能をデバイスが提供します。手段2.が使われる場合、ページが既に消去されているため、格納中の旧データを読むことができません。ページ一時緩衝部は乱順でアクセスできます。ページ消去とページ書き込み操作の両方で使われるページアドレスは同じページをアドレス指定することが非常に重要です。

16.1. SPM命令によるページ消去の実行

ページ消去を実行するにはZポインタにアドレスを設定してSPM命令制御/状態レジスタ(SPMCSR)に'00000011'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスはZポインタのPCPAGEに書かれなければなりません。この操作中、Zポインタの他のビットは無視されます。

注: ページ消去中、CPUは停止されます。

16.2. ページ一時緩衝部の設定 (ページ設定)

命令語(ワード)を(ページ一時緩衝部に)書くにはZポインタにアドレス、R1:R0にデータを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。ZポインタのPCWORDの内容は一時緩衝部のデータのアドレスに使われます。一時緩衝部はページ書き込み操作後、またはSPMCSRのページ一時緩衝部消去(CTPB)ビット書き込みによって自動的に消去されます。システムリセット後も消去されています。一時緩衝部を消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

16.3. ページ書き込みの実行

ページ書き込みを行うにはZポインタにアドレスを設定し、SPMCSRに'00000101'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスは(Zポインタの)PCPAGEに書かれなければなりません。この操作中、Zポインタの他のビットは0を書かれなければなりません。

注: ページ書き込み中、CPUは停止されます。

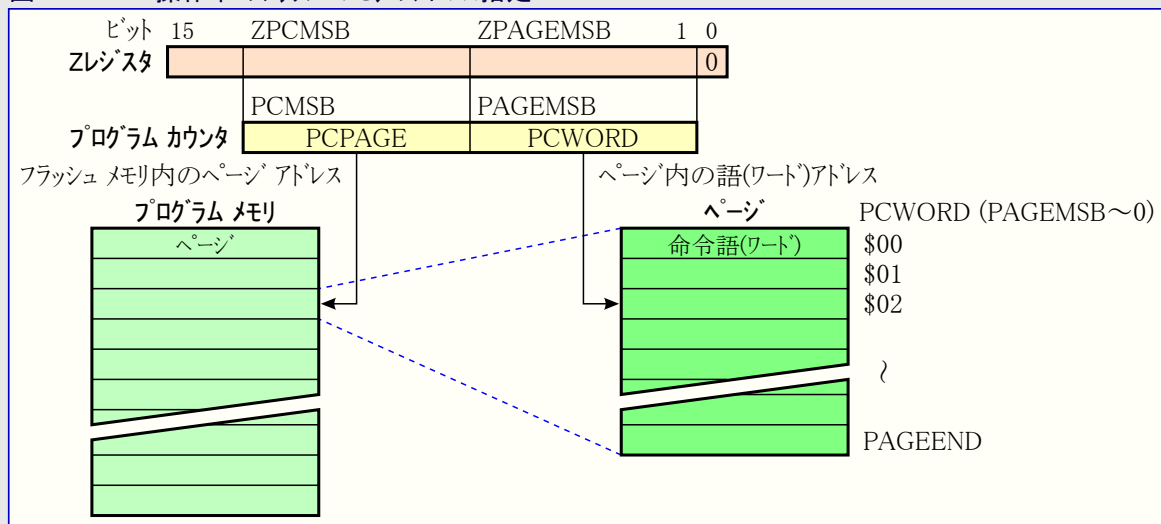
16.4. 自己プログラミング中のフラッシュメモリのアドレス指定

Zポインタ(レジスタ)はSPM命令でのアドレス指定に使われます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(70頁の表17-5参照)、プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように取り扱われます。1つの領域は下位側ビットから成り、ページ内の語(ワード)をアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは図16-1で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってソフトウェアがページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。

図16-1. SPM操作中のフラッシュメモリのアドレス指定



注: 図内で使った各変数は70頁の表17-5で一覧されます。

LPM命令はアドレスを格納するのにZポインタを使います。この命令はフラッシュメモリのバイト単位をアドレス指定するので、Zポインタの最下位ビット(Z0)も使われます。

16.5. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリへの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズと施錠ビット読み出しもEEPROM書き込み動作中に妨げられます。使用者はEEPROM制御レジスタ(EECR)のEEPROMプログラム許可(EEPE)ビットを検査し、SPM命令制御/状態レジスタ(SPMCSR)へ書く前にこのビットが解除(0)されているのを確認することが推奨されます。

16.6. ファームウェアからの施錠ビットとヒューズの読み出し

ファームウェアからヒューズと施錠ビットを読むことが可能です。

16.6.1. ファームウェアからの施錠ビット読み出し

SPMCSRでフラッシュ/施錠ビット読み込み(RFLB)と自己プログラミング許可(SELFPRGEN)ビットを設定(1)した後の3CPU周期内のLPM命令実行は転送先レジスタ内に施錠ビット値を返します。RFLBとSELFPRGENビットは施錠ビット読み出しの完了で、または3CPU周期内にLPM命令が実行されないか、または4CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。通常、RFLBとSELFPRGENビットが解除(0)されるのはLPMの作用です。

施錠ビットを読むには以下の手順に従ってください。

1. Zポインタに\$0001を格納してください。
2. SPMCSRでRFLBとSELFPRGENビットを設定(1)してください。
3. 3クロック周期内のLPM命令実行が転送先レジスタに施錠ビット値を返します。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	LB2	LB1

より多くの情報については68頁の「プログラムメモリとデータメモリ用施錠ビット」をご覧ください。

16.6.2. ファームウェアからのヒューズビット読み出し

ヒューズバイトを読む方法はアドレスが異なるだけで上記の施錠ビット読み出しと同様です。

ヒューズ下位バイト(FLB)を読むには以下の手順に従ってください。

1. Zポインタに\$0000を格納してください。
2. SPMCSRでRFLBとSELFPRGENビットを設定(1)してください。
3. 3クロック周期内のLPM命令実行が転送先レジスタにFLB値返します。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

ヒューズ上位バイト(FHB)を読むには単にZポインタ内のアドレスを\$0003に置き換え、前の手順を繰り返してください。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	FHB4	FHB3	FHB2	FHB1	FHB0

ヒューズと施錠ビットのより多くの情報については68頁の「プログラムメモリとデータメモリ用施錠ビット」と69頁の「ヒューズビット」をご覧ください。

16.7. フラッシュメモリデータ化けの防止

低VCCの期間中、CPUとフラッシュメモリの正しい動作に対して供給電圧が低すぎるためにフラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてフラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

フラッシュメモリ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- ・ 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCリセット保護回路が使えます。書き込み操作進行中にリセットが起ると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- ・ 低VCCの期間中、AVRコアをパワーダウン休止動作に保ってください。これはCPUが命令の復号と実行を試みることを防ぎ、SPMCSR、従ってフラッシュメモリを予期せぬ書き込みから効果的に保護します。

16.8. SPM命令使用時のフラッシュメモリ用プログラミング(書き込み)時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使われます。表16-1はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表16-1. SPM命令によるフラッシュメモリのプログラミング時間

項目	最小	最大
SPM命令によるフラッシュ書き込み(ページ消去、ページ書き込み、施錠ビット書き込み)	3.7ms	4.5ms

注: 最小と最大の時間は(項目の)個別操作毎に対してです。

16.9. 自己プログラミング用レジスタ

16.9.1. SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register) SPMCSR

このレジスタはプログラム メモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	—	—	—	CTPB	RFLB	PGWRT	PGERS	SELFPRGEN	SPMCSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～5 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット4 - CTPB : ページ一時緩衝部消去 (Clear Temporary Page Buffer)

ページ一時緩衝部を満たしている間にCTPBビットが1を書かれると、ページ一時緩衝部は消去され、データが失われます。

■ ビット3 - RFLB : ヒューズ/施錠ビット読み込み (Read Fuse and Lock Bits)

SPMCSRでRFLBとSELFPRGENが設定(1)された後3クロック周期内のLPM命令は(ZポインタのZ0によって)ヒューズ ビットまたは施錠ビットのどちらかを転送先レジスタに読みます。詳細については66頁の「[ファームウェアからのヒューズ ビットと施錠ビットの読み出し](#)」をご覧ください。

■ ビット2 - PGWRT : ページ書き込み (Page Write)

このビットがSELFPRGENと同時に1を書かれると、次の4クロック周期内のSPM命令は一時緩衝部に格納したデータでページ書き込みを実行します。ページ アドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の書き込み動作中、CPUは停止されます。

■ ビット1 - PGERS : ページ消去 (Page Erase)

このビットがSELFPRGENと同時に1を書かれると、次の4クロック周期内のSPM命令はページ消去を実行します。ページ アドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の消去中、CPUは停止されます。

■ ビット0 - SELFPRGEN : 自己プログラミング許可 (Self Programming Enable)

このビットは次の4クロック周期間SPM命令を許可します。このビットがCTPB,RFLB,PGWRT,PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます(上の記述をご覧ください)。SELFPRGENだけが書かれると、続くSPM命令はZポインタでアドレス指定したページ一時緩衝部へR1:R0の値を格納します。Zレジスタの最下位ビットは無視されます。SELFPRGENビットはSPM命令の完了で、または4クロック周期内にSPM命令が実行されない場合自動的に解除(0)されます。ページ消去とページ書き込み中、SELFPRGENビットはその動作が完了されるまで1に留まります。

下位5ビットに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。

(訳注) ビット0の名称SELFPRGENはヒューズ ビットに同一名が存在します。状況によっては不都合かもしれません。従ってソフトウェアに於ける本ビットの参照は他の多くのAVRと同様にSPMENの使用が推奨されます。AVR Studioでのデバイス定義インクルード ファイルでは既に本ビットに対してシンボルSPMENが定義されており、SELFPRGENはヒューズ ビット定義になっています。

17. メモリプログラミング

本項はATtiny13のメモリプログラミングについての各種方法を記述します。

17.1. プログラムメモリとデータメモリ用施錠ビット

ATtiny13は非プログラム(1)のままか、表17-2.で一覧される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ1に消去できます。

プログラムメモリは例え施錠ビットが設定されていても、デバッグWIREインターフェース経由で読み出せます。従って施錠ビット保護が必要とされる場合、DWENヒューズを消去(1)することによって常にデバッグWIREが禁止されるべきです。

表17-1. 施錠ビットバイトの内容

名称	ビット番号	意味	既定値 (注)
—	7		1 (非プログラム)
—	6		1 (非プログラム)
—	5		1 (非プログラム)
—	4		1 (非プログラム)
—	3		1 (非プログラム)
—	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表17-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはデバッグWIRE経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズビットが固定されます。(注1)

注1: 施錠ビットを書く前にヒューズビットを書いてください。次ページの「ヒューズビット」をご覧ください。

注2: 0はプログラム、1は非プログラムを意味します。

17.2. ヒューズ ビット

ATtiny13には2つのヒューズ バイトがあります。表17-3と表17-4は全てのヒューズの概略機能とヒューズ バイト内でどのように配置されるかを示します。ヒューズはプログラムされると、論理0として読まれることに注意してください。

表17-3. ヒューズ 上位バイト一覧

名称	ビット	意味	既定値
—	7		1 (非プログラム)
—	6		1 (非プログラム)
—	5		1 (非プログラム)
SELFPRGEN	4	自己プログラミング機能許可。 (注1)	1 (非プログラム) 自己プログラミング不許可
DWEN	3	デバッグ WIRE機能許可。 (注2)	1 (非プログラム) デバッグ WIRE不許可
BODLEVEL1	2	低電圧検出(BOD)リセットの制御と検出電圧選択。 (注3)	1 (非プログラム)
BODLEVEL0	1		1 (非プログラム)
RSTDISBL	0	PB5がI/OピンかまたはRESETピンかを選択します。 (注4)	1 (非プログラム) PB5はRESETピン

注1: SPM命令許可。64頁の「フラッシュの自己プログラミング」をご覧ください。

注2: 施錠ビット保護が必要とされる場合、DWENは非プログラム(1)にされなければなりません。68頁の「プログラムとデータ メリ用施錠ビット」をご覧ください。

注3: BODLEVELヒューズの復号については79頁の表18-5をご覧ください。

注4: RSTDISBLとDWENヒューズの記述については36頁の「ポートBの交換機能」をご覧ください。RSTDISBLヒューズをプログラム(0)すると、ヒューズ変更または更なるプログラミングを実行するのに高電圧直列プログラミングが使われなければなりません。

表17-4. ヒューズ 下位バイト一覧

名称	ビット	意味	既定値
SPIEN	7	低電圧直列プログラミング許可。 (注1)	0 (プログラム) 低電圧直列プログラミング許可
EESAVE	6	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
WDTON	5	ウォッチドッグ タイマ常時有効。 (注2)	1 (非プログラム) WDTはWDTCRで許可
CKDIV8	4	システム クロック 8分周選択。 (注3)	0 (プログラム) 8分周
SUT1	3	起動時間選択。 (注4)	1 (非プログラム)
SUT0	2		0 (プログラム)
CKSEL1	1	クロック種別選択。 (注5)	1 (非プログラム)
CKSEL0	0		0 (プログラム)

注1: SPIENヒューズはSPI(低電圧)直列プログラミングでアクセスできません。

注2: このヒューズのプログラム(0)はウォッチドッグ タイマ割り込みを禁止します。詳細については25頁の「ウォッチドッグ タイマ」をご覧ください。

注3: 詳細については17頁の「システム クロック前置分周器」をご覧ください。

注4: SUT1,0の既定値は既定クロック元に対して最大起動時間になります。詳細については16頁の表6-5をご覧ください。

注5: 既定のCKSEL1,0設定は9.8MHz校正付き内蔵RC発振器になります。詳細については16頁の表6-4をご覧ください。

施錠ビット1(LB1)がプログラム(0)されると、ヒューズ ビットが固定されることに注意してください。施錠ビットをプログラム(0)する前にヒューズ ビットをプログラミング(書き込み)してください。ヒューズ ビットの状態はチップ消去によって影響されません。

ヒューズ ビットはデバイス ファームウェアによって読むこともできます。66頁の「ファームウェアからの施錠ヒューズと識別票のデータ読み出し」項をご覧ください。

17.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは通常動作での電源投入でもラッチされます。

17.3. 校正バイト

ATtiny13の識別領域は内蔵RC発振器用に2バイトの校正値を持っています。アドレス\$000の上位バイトの校正値は9.6MHz設定発振器での使用のためのものです。リセット中、**校正付き内蔵RC発振器**の正しい周波数を保証するために、このバイトが**OSCCALレジスタ**へ自動的に書かれます。

4.8MHz動作での内蔵発振器動作に独立した校正バイトがありますが、このデータは自動的に設定されません。ハードウェアはリセット中、常に9.6MHz校正データを設定します。4.8MHz動作発振器用の独立した校正データを使うにはOSCCALレジスタがファームウェアによって更新されなければなりません。4.8MHz動作の校正データは識別領域内のアドレス\$0001の上位バイトに配置されています。

17.4. 識別バイト

全てのAtmelマイクロコントローラはデバイスを識別する3バイトの識別符号を持ちます。この符号は直列と高電圧プログラミング動作の両方で、またデバイスが施錠されていても読めます。この3バイトは分離された空間に存在します。ATtiny13の識別バイトを右に示します。

- ① \$000 : \$1E 製造業者Atmelを示します。
- ② \$001 : \$90 フラッシュメモリ容量1Kバイトを示します。
- ③ \$002 : \$07 ②値\$90と合せ、ATtiny13を示します。

17.5. ページ容量

表17-5. フラッシュメモリのページ数とページの語数

全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
512ワード (1Kバイト)	16ワード	PC3~0	32	PC8~4	8

表17-6. EEPROMメモリのページ数とページの語数

全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
64バイト	4バイト	EEA1~0	16	EEA5~2	5

17.6. 低電圧直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間に直列SPIバスを使ってプログラミングできます。この直列インターフェースはSCK入力、MOSI入力、MISO出力から成ります。図17-1をご覧ください。

RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ってプログラミング許可命令が初めに実行されるのを必要とします。

表17-7. 低電圧直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI	PB0	入力	直列データ入力
MISO	PB1	出力	直列データ出力
SCK	PB2	入力	直列クロック

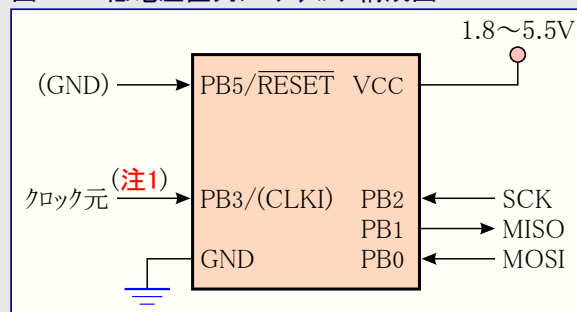
注: 上の表17-7でSPIプログラミング用のピン配置が一覧されます。全てのデバイスが内部SPIインターフェース専用SPIピンを使うとは限りません。

EEPROMをプログラミングする時に自動消去周期が自動書き込み動作内に組み入れられ(低電圧直列プログラミングのみ)、チップ消去命令を先に実行する必要があります。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全メモリ位置の内容を\$FFにします。

CKSELヒューズによる有効なクロックが与えられなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$f_{CK} < 12\text{MHz}$: Low区間 > 2CPUクロック周期	$f_{CK} < 12\text{MHz}$: High区間 > 2CPUクロック周期
$f_{CK} \geq 12\text{MHz}$: Low区間 > 3CPUクロック周期	$f_{CK} \geq 12\text{MHz}$: High区間 > 3CPUクロック周期

図17-1. 低電圧直列プログラミング構成図



注1: 内部発振器クロック駆動の場合、クロック元をCLKIピンに接続する必要はありません。

17.6.1. 低電圧直列プログラミング手順

ATtiny13に直列データを書く時にデータはSCKの上昇端で行われ、ATtiny13から読む時にデータはSCKの下降端で行われます。タイミングの詳細については80頁の図18-4と図18-5をご覧ください。

低電圧直列プログラミング動作でのATtiny13のプログラミングと照合は次の手順が推奨されます(4バイト命令形式は表17-9を参照)。

1. 電源投入手順: RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中にSCKがLowに保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後にRESETは正パルスを与えられなければなりません。パルス幅は少なくとも t_{RST} (RESETピンの最小パルス幅、79頁表18-4参照)+2CPUクロック周期でなければなりません。
2. 最低20ms待ち、MOSIピンにプログラミング許可命令を送ることによって直列プログラミングを許可してください。
3. 通信が同期を外していると、直列プログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。
4. フラッシュメモリは1ページ単位で書かれます(70頁の表17-5)。このメモリページはページ設定命令と共にアドレスの下位4+1ビットとデータを提供することによって1バイトずつ設定されます。ページが正しく設定されるのを保証するため、与えられたアドレスにデータ上位バイトが適用される前にデータ下位バイトが設定されなければなりません。プログラムメモリのページはアドレスの上位5ビットを含むページ書き込み命令の設定によって(フラッシュメモリに)格納されます。ポーリング(BSY/RDY)が使われない場合、使用者は次のページを行う前に最低 t_{WD_FLASH} (表17-8参照)待たなければなりません。

注: 何れの(フラッシュ、EEPROM、施錠ビット、ヒューズ)書き込み操作が完了される前にポーリング(読み)以外の命令が加えられると、不正な書き込みに終わるかもしれません(訳注: 共通性のため原書の該当行に代わり本行追加)。

5. EEPROMはページ単位かバイト単位のどちらかでプログラミングできます。

バイト単位: EEPROMは適切なEEPROM書き込み命令と共にアドレスとデータを提供することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って始めて自動的に消去されます。ポーリング(BSY/RDY)が使われない場合、次のバイトを行う前に最低 t_{WD_EEPROM} (表17-8参照)待たなければなりません。

ページ単位: EEPROMの1ページはEEPROMページ設定命令と共にアドレスの下位2ビットとデータを提供することによって1バイトずつ設定されます。EEPROMページはアドレスの上位4ビットを含むEEPROMページ書き込み命令によって(EEPROMに)格納されます。EEPROMページアクセス使用時、EEPROMページ設定命令で設定したバイト位置だけが変更されます。残りの位置は無変化で留まります。ポーリング(BSY/RDY)が使われない場合、次のページを行う前に最低 t_{WD_EEPROM} (表17-8参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。

6. どのメモリ位置も選択したアドレスの内容を直列出力MISOに読み戻す読み出し命令を使うことによって照合できます。
7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。
8. 電源OFF手順(必要とされるなら)

- RESETをHigh(1)に設定します。
- VCC電源をOFFにします。

表17-8. ヒューズ、フラッシュ、EEPROM次位置書き込み前の待機時間

シンボル	最低待機時間	備考
tWD_FUSE	4.5ms	ヒューズ書き込み
tWD_FLASH	4.5ms	フラッシュメモリ書き込み
tWD_EEPROM	4.0ms	EEPROM書き込み
tWD_ERASE	9.0ms	チップ消去

17.6.2. 低電圧直列プログラミング命令一式

命令一式は表17-9.で記述されます。

表17-9. 低電圧直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low後のプログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリ,EEPROM,施錠ビットを消去します。
フラッシュメモリ読み出し	0010 P000	0000 000H	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
フラッシュページ設定	0100 P000	000x xxxx	xxxx LLLL	WWW WWW	緩衝部アドレスLのP(H/L)バイトに書き込みます。
フラッシュページ書き込み	0100 1100	0000 000H	LLLL xxxx	xxxx xxxx	アドレスH:Lのページに書き込みます。
EEPROM読み出し	1010 0000	000x xxxx	xxLL LLLL	RRRR RRRR	アドレスLのバイトを読み出します。
EEPROMバイト書き込み	1100 0000	000x xxxx	xxLL LLLL	WWW WWW	アドレスLのバイトに書き込みます。
EEPROMページ設定	1100 0001	0000 0000	0000 00LL	WWW WWW	緩衝部アドレスLのバイトに書き込みます。
EEPROMページ書き込み	1100 0010	00xx xxxx	xxLL LL00	xxxx xxxx	アドレスLのページに書き込みます。
施錠ビット読み出し	0101 1000	0000 0000	xxxx xxxx	xxxx xxRR	施錠ビットを読み出します。
施錠ビット書き込み	1010 1100	111x xxxx	xxxx xxxx	1111 11WW	(68頁の表17-1.参照)に書き込みます。
ヒューズバイト読み出し	0101 P000	0000 P000	xxxx xxxx	RRRR RRRR	ヒューズバイトを読み出します。
ヒューズバイト書き込み	1010 1100	1010 P000	xxxx xxxx	WWW WWW	(69頁の「ヒューズビット」参照)に書き込みます。
識別バイト読み出し	0011 0000	000x xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識別バイトを読み出します。
校正バイト読み出し	0011 1000	000x xxxx	0000 000L	RRRR RRRR	校正バイトを読み出します。
多忙/準備可検査	1111 0000	0000 0000	xxxx xxxx	xxxx xxR	R=1で多忙、他の操作前に0まで待機します。

H = アドレス上位バイトのビット

L = アドレス下位バイトのビット

P = 0=下位バイト、1=上位バイト

R = 読み出しデータ (MCU出力)

W = 書き込みデータ (MCU入力)

x = 0または1 (無意味/不定)

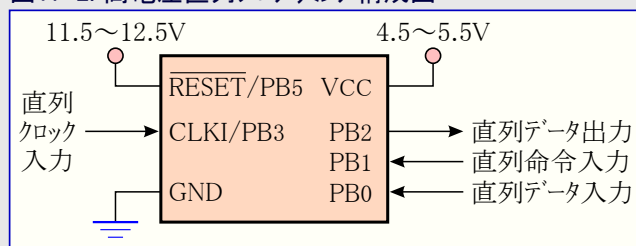
17.7. 高電圧直列プログラミング

本項はATtiny13でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**のプログラミングと照合の方法を記述します。

表17-10. 高電圧直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
SDI	PB0	入力	直列データ入力
SII	PB1	入力	直列命令入力
SDO	PB2	出力	直列データ出力
SCI	PB3	入力	直列クロック入力 (最小周期=220ns)

図17-2. 高電圧直列プログラミング構成図



高電圧直列プログラミング間中の直列クロック入力(SCI)に対する最小周期は220nsです。

表17-11. プログラミング動作移行に使うピン値

ピン(信号)名	シンボル	値
SDI	Prog_enable[0]	0
SII	Prog_enable[1]	0
SDO	Prog_enable[2]	0

17.7.1. 高電圧直列プログラミング手順

高電圧直列プログラミング動作でのATtiny13Aのプログラミングと照合は次の手順が推奨されます(命令形式は表17-13参照)。

次に示す方法がデバイスを高電圧直列プログラミング動作にします。

1. 表17-11. で一覧されるProg_enableピンを全てLow(0)、RESETピンをLow(0)、VCCを0Vに設定してください。
2. VCCとGND間に4.5~5.5Vを印加してください。それから20μs以内にVCCが少なくとも1.8Vに達することを保証してください。
3. 20~60μs待機し、RESETに11.5~12.5Vを印加してください。
4. プログラミング許可(Prog_enable)識別がラッチされてしまうのを保証するために、高電圧印加後、最低10μs間Prog_enableピンを無変化に保ってください。
5. Prog_enable[2]/SDOピンでの駆動衝突を避けるために、Prog_enable[2]ピンを開放してください。
6. SDI/SIIで何か直列命令を与える前に少なくとも300μs間待ってください。
7. デバイス電源断またはRESETピンをLow(0)に持つてくることによってプログラミング動作を抜けてください。

VCCの上昇時間が上で記された必要条件を完全に満たすことが不可能な場合、次の代替手順が使えます。

1. 表17-11. で一覧されるProg_enableピンを全てLow(0)、RESETピンをLow(0)、VCCを0Vに設定してください。
2. VCCとGND間に4.5~5.5Vを印加してください。
3. VCCを監視し、VCCが0.9~1.1Vに達すると直ぐにRESETへ11.5~12.5Vを印加してください。
4. プログラミング許可(Prog_enable)識別がラッチされてしまうのを保証するために、高電圧印加後、最低10μs間Prog_enableピンを無変化に保ってください。
5. Prog_enable[2]/SDOピンでの駆動衝突を避けるために、Prog_enable[2]ピンを開放してください。
6. SDI/SIIで何か直列命令を与える前に、VCCが4.5~5.5Vに達するまで待ってください。
7. デバイス電源断またはRESETピンをLow(0)に持つてくることによってプログラミング動作を抜けてください。

表17-12. 高電圧リセット特性

供給電圧 (VCC)	RESETピン高電圧閾値 (VHVRST)	プログラミング許可識別ラッチに対する最小高電圧時間 (tHVRST)
4.5V	12V	100ns
5.5V	12V	100ns

表17-13. 高電圧直列プログラミング命令一式

命令		命令形式						備考	
		第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト		
チップ消去	SDI	0 1000 0000 00	0 0000 0000 00	0 0000 0000 00		第3バイト後SDO=Highまで待機。			
	SII	0 0100 1100 00	0 0110 0100 00	0 0110 1100 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx					
フラッシュメモリ書き込み移行	SDI	0 0001 0000 00				フラッシュメモリ書き込み処理移行。			
	SII	0 0100 1100 00							
	SDO	x xxxx xxxx xx							
フラッシュページ緩衝部設定	SDI	0 AAAA AAAA 00	0 LLLL LLLL 00	0 HHHH HHHH 00	0 0000 0000 00	0 0000 0000 00	必要数分第1～5バイト繰り返し。 A=下位アドレス(注1) H=上位データ L=下位データ		
	SII	0 0000 1100 00	0 0010 1100 00	0 0011 1100 00	0 0111 1101 00	0 0111 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx			
フラッシュメモリ上位アドレス設定 ページ書き込み	SDI	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	第3バイト後SDO=Highまで待機。 U=上位アドレス				
	SII	0 0001 1100 00	0 0110 0100 00	0 0110 1100 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx					
フラッシュメモリ読み出し移行	SDI	0 0000 0010 00			フラッシュメモリ読み出し処理移行。				
	SII	0 0100 1100 00							
	SDO	x xxxx xxxx xx							
フラッシュメモリ上下バイト読み出し	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00		
	SII	0 0000 1100 00	0 0001 1100 00	0 0110 1000 00	0 0110 1100 00	0 0111 1000 00	0 0111 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	L LLLL LLLx xx	x xxxx xxxx xx	H HHHH HHHx xx		
EEPROM書き込み移行	SDI	0 0001 0001 00		EEPROM書き込み処理移行	第1,3～6バイトを繰り返し。新規256バイトページ時は第2バイトも繰り返し。 A=下位アドレス(注1), H=上位データ, L=下位データ				
	SII	0 0100 1100 00							
	SDO	x xxxx xxxx xx							
EEPROMページ緩衝部設定	SDI	0 00AA AAAA 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00	必要数分第1～4バイト繰り返し。 A=下位アドレス(注2), L=データ			
	SII	0 0000 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
EEPROMページ書き込み	SDI	0 0000 0000 00	0 0000 0000 00			第2バイト後SDO=Highまで待機。			
	SII	0 0110 0100 00	0 0110 1100 00						
	SDO	x xxxx xxxx xx	x xxxx xxxx xx						
EEPROMバイト書き込み	SDI	0 00AA AAAA 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	第5バイト後SDO=Highまで待機。必要数分第1～5バイト繰り返し。 A=下位アドレス L=データ		
	SII	0 0000 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 0100 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROM読み出し移行	SDI	0 0000 0011 00				EEPROM読み出し処理移行。			
	SII	0 0100 1100 00							
	SDO	x xxxx xxxx xx							
EEPROMバイト読み出し	SDI	0 00AA AAAA 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	必要数分第1～4バイト繰り返し。			
	SII	0 0000 1100 00	0 0001 1100 00	0 0110 1000 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	L LLLL LLLx xx				
ヒューズ下位書き込み	SDI	0 0100 0000 00	0 7654 3210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 7～0はビット位置で論理0でプログラム。 (69頁の表17-4.参照)			
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
ヒューズ上位書き込み	SDI	0 0100 0000 00	0 0004 3210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 4～0はビット位置で論理0でプログラム。 (69頁の表17-3.参照)			
	SII	0 0100 1100 00	0 0010 1100 00	0 0111 0100 00	0 0111 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
施錠ビット書き込み	SDI	0 0010 0000 00	0 0000 0010 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 1～0はビット位置で論理0でプログラム。 (68頁の表17-1.参照)			
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
ヒューズ下位読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		7～0はビット位置で論理0でプログラム。 (69頁の表17-4.参照)			
	SII	0 0100 1100 00	0 0110 1000 00	0 0110 1100 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx					
ヒューズ上位読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		4～0はビット位置で論理0でプログラム。 (69頁の表17-3.参照)			
	SII	0 0100 1100 00	0 0111 1010 00	0 0111 1110 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xx43 210x xx					
施錠ビット読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		1～0はビット位置で論理0でプログラム。 (68頁の表17-1.参照)			
	SII	0 0100 1100 00	0 0111 1000 00	0 0111 1100 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxxx10x xx					
識別バイト読み出し	SDI	0 0000 1000 00	0 0000 00AA 00	0 0000 0000 00	0 0000 0000 00	A=アドレス 7～0はビット位置。			
	SII	0 0100 1100 00	0 0000 1100 00	0 0110 1000 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx				
校正バイト読み出し	SDI	0 0000 1000 00	0 0000 000A 00	0 0000 0000 00	0 0000 0000 00	A=アドレス 7～0はビット位置。			
	SII	0 0100 1100 00	0 0000 1100 00	0 0111 1000 00	0 0111 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx				

表17-13 (続き). 高電圧直列プログラミング命令一式

命令		命令形式					備考
		第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	
無操作	SDI	0 0000 0000 00					アイドル状態に復帰。
	SII	0 0100 1100 00					
	SDO	X XXXX XXXX XX					

注1: 256語(ワード)よりも少ないページ容量に関する上位余剰ビットはページ アドレス部です。

注2: 256バイトよりも少ないページ容量に関する上位余剰ビットはページ アドレス部です。

注3: EEPROMはページ単位で書かれます。しかし、ページ内に設定されたバイトだけが実際にEEPROMへ書かれます。複数バイトが同じページに書かれるべきなら、ページ単位EEPROMアクセスはより効果的です。EEPROMの自動消去はSPI(低電圧)直列プログラミングだけで、高電圧直列プログラミングで利用できないことに注意してください。

17.7.2. チップ消去

チップ消去はフラッシュ メモリ、EEPROM(**注1**)、**施錠ビット**を消去します。施錠ビットはプログラム メモリが完全に消去されてしまうまでリセット(消去)されません。**ヒューズ ビット**は変更されません。チップ消去はフラッシュ メモリやEEPROMが再書き込みされる前に実行されなければなりません。

1. チップ消去命令を設定します(**表17-13**をご覧ください)。
2. チップ消去終了に対してSDOがHighになるまで待ちます。
3. 無操作命令を設定します。

注1: EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中に保護されます。

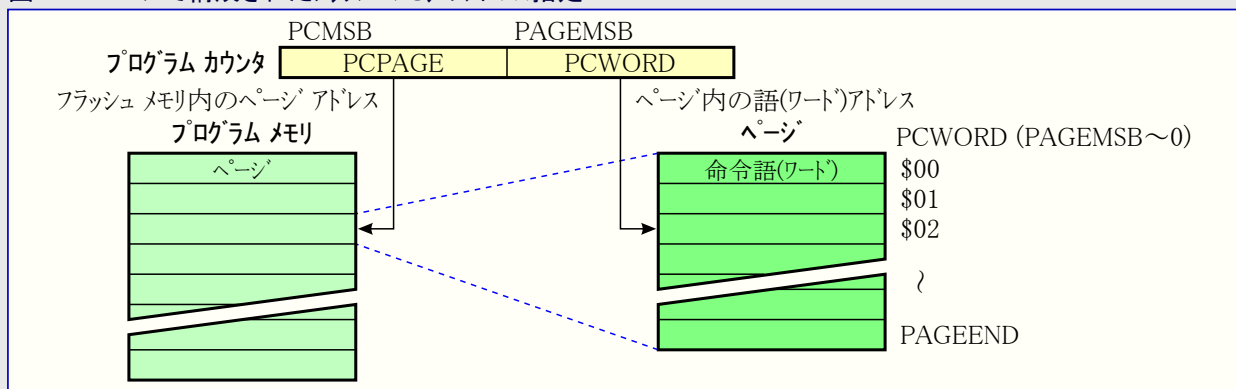
17.7.3. フラッシュ メモリ書き込み

フラッシュ メモリはページで構成されます(**70頁の表17-5**参照)。フラッシュ メモリへ書く時にプログラム データはページ緩衝部にラッチされます。これは同時に書かれることをプログラム データの1ページに許します。次の手順は完全なフラッシュ メモリの書き込み方法を記述します。

1. フラッシュ書き込み移行命令を設定します(**表17-13**をご覧ください)。
2. フラッシュ メモリ ページ緩衝部を設定します。
3. フラッシュ メモリ上位アドレス設定とフラッシュ ページ書き込み命令を設定します。第3命令バイト後、ページ書き込み終了に対してSDOがhighになるまで待ちます。
4. フラッシュ メモリ全体または全データが書かれてしまうまで②～③を繰り返します。
5. 無操作命令の設定によってフラッシュ ページ書き込みを終えます。

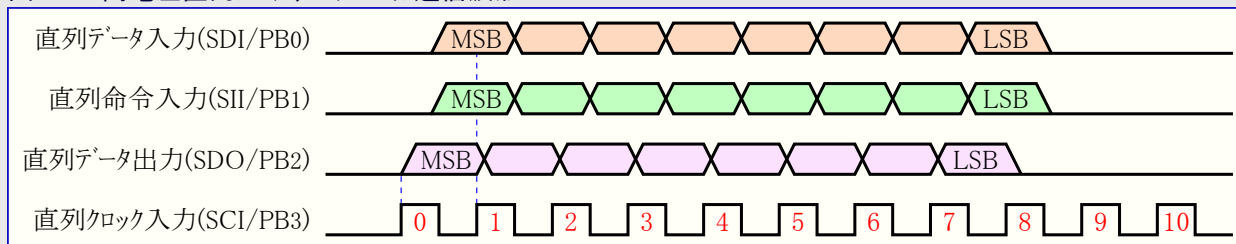
ATtiny13との直列データ読み書き時、データは直列クロックの上昇端でクロック駆動(取得/出力変更)されます。詳細については**図17-4**、**81頁の図18-6**と**表18-9**をご覧ください。

図17-3. ページで構成されたフラッシュ メモリのアドレス指定



注: PCPAGEとPCWORDは**70頁の表17-5**で一覧されます。

図17-4. 高電圧直列プログラミング バイト通信波形



17.7.4. EEPROM書き込み

EEPROMはページで構成されます(70頁の表17-6.参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(表17-13.参照)

1. EEPROM書き込み移行命令を設定します。
2. EEPROMページ緩衝部を設定します。
3. EEPROMページ書き込み命令を設定します。第2命令バイト後、ページ書き込み終了に対してSDOがhighになるまで待ちます。
4. EEPROM全体または全データが書かれてしまうまで②～③を繰り返します。
5. 無操作命令の設定によってEEPROMページ書き込みを終えます。

17.7.5. フラッシュメモリ読み出し

フラッシュメモリの読み出し方法は次のとおりです。(表17-13.参照)

1. フラッシュ読み出し移行命令を設定します。
2. フラッシュの上下バイトを読み出します。選択したアドレスの内容はSDO直列出力で利用可能です。

17.7.6. EEPROM読み出し

EEPROMの読み出し方法は次のとおりです。(表17-13.参照)

1. EEPROM読み出し移行命令を設定します。
2. EEPROMのバイトを読み出します。選択したアドレスの内容はSDO直列出力で利用可能です。

17.7.7. ヒューズと施錠ビットの読み出し/書き込み

ヒューズ上位/下位と施錠ビットの読み出し/書き込み方法は表17-13.で示されます。

17.7.8. 識票バイトと校正バイトの読み出し

識票バイトと校正バイトの読み出し方法は表17-13.で示されます。

17.7.9. 電源OFF手順

SCIを0に設定します。RESETを1に設定します。VCC電源をOFFにします。

17.8. 効率的なプログラミングへの考慮

設定した命令とアドレスはプログラミング中、デバイス内で維持されます。効率的なプログラミングを行うために次が考慮されるべきです。

- 複数のメモリ領域を読み書きする時に命令設定は一度だけ必要です。
- チップ消去後のフラッシュメモリと(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFなので、値が\$FFのデータ書き込みを飛ばします。
- アドレス上位バイトはフラッシュメモリで新規256語(ワード)枠、EEPROMで新規256バイト枠の読み書き前に一度だけ必要です。この考慮は識票バイト読み出しにも適用されます。

18. 電気的特性

18.1. 絶対最大定格 (警告)

動作温度	-55℃ ~ +125℃
保存温度	-65℃ ~ +150℃
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

18.2. DC特性

表18-1. DC特性 (TA=-40℃~85℃)

シンボル	項目	条件	最小	代表 (注1)	最大	単位
V _{IL}	Lowレベル入力電圧 (I/Oとしての全ピン)	VCC=1.8~2.4V	-0.5		0.2VCC (注2)	V
		VCC=2.4~5.5V	-0.5		0.3VCC (注2)	
	Lowレベル入力電圧 (リセットとしてのRESETピン) (注3)	VCC=1.8~5.5V	-0.5		0.2VCC (注2)	
V _{IH}	Highレベル入力電圧 (I/Oとしての全ピン)	VCC=1.8~2.4V	0.7VCC (注4)		VCC+0.5	
		VCC=2.4~5.5V	0.6VCC (注4)		VCC+0.5	
	Highレベル入力電圧 (リセットとしてのRESETピン) (注3)	VCC=1.8~5.5V	0.9VCC (注4)		VCC+0.5	
V _{OL}	Lレベル出力電圧 (PB1,PB0) (注5)	IOL=20mA, VCC=5V			0.7	
		IOL=10mA, VCC=3V			0.5	
	Lレベル出力電圧 (PB4,PB3,PB2) (注5)	IOL=10mA, VCC=5V			0.7	
		IOL=5mA, VCC=3V			0.5	
V _{OH}	Hレベル出力電圧 (PB1,PB0) (注6)	IOH=-20mA, VCC=5V	4.2			
		IOH=-10mA, VCC=3V	2.5			
	Hレベル出力電圧 (PB4,PB3,PB2) (注6)	IOH=-10mA, VCC=5V	4.2			
		IOH=-5mA, VCC=3V	2.5			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V,	-1		1	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	確実なH/L範囲	-1		1	
R _{PU}	I/Oピン プルアップ抵抗	VCC=5.5V,	20		50	kΩ
	RESETピン プルアップ抵抗	Low入力	30		80	
I _{CC}	活動動作消費電流	VCC=2V, 1MHz		0.3	0.35	mA
		VCC=3V, 4MHz		1.6	1.8	
		VCC=5V, 8MHz		5	6	
	アイドル動作消費電流	VCC=2V, 1MHz		0.08	0.2	
		VCC=3V, 4MHz		0.41	1	
		VCC=5V, 8MHz		1.6	3	
	パワーダウン動作消費電流	VCC=3V, WDT有効		5	10	μA
		VCC=3V, WDT禁止		0.5	2	

注1: 25℃での代表値です。

注2: Lowレベルの認識が保証される最高電圧です。

注3: 製造で検査されていません。

注4: Highレベルの認識が保証される最低電圧です。

注5: 各I/Oポートは安定状態(非過渡時)に於いて検査条件よりも多くの吸い込み電流を流すことができますが、(全ポートに対する)全てのIOLの合計が60mAを超えるべきではありません。IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件よりも大きな吸い込み電流を流すことは保証されません。

注6: 各I/Oポートは安定状態(非過渡時)に於いて検査条件よりも多くの吐き出し電流を流すことができますが、(全ポートに対する)全てのIOHの合計が60mAを超えるべきではありません。IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件よりも大きな吐き出し電流を流すことは保証されません。

18.3. 速度勾配

デバイスの最高動作周波数は供給電圧に依存します。図18-1と図18-2.で示されるように最高周波数とVCC間の関連は1.8～2.7Vと2.7～4.5V間で直線です。

図18-1. ATtiny13Vの最高周波数対VCC

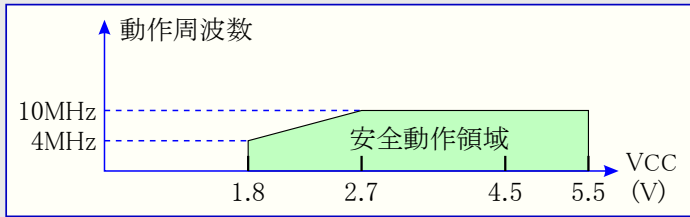
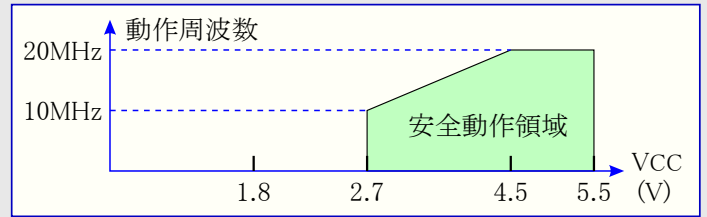


図18-2. ATtiny13の最高周波数対VCC



18.4. クロック特性

18.4.1. 校正付き内蔵RC発振器精度

工場既定校正よりも高い精度に内蔵発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は98頁の図19-50.～100頁の図19-55.で得られます。

表18-2. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度 (注1)
工場校正	4.8/9.6MHz	3V	25℃	±10%
使用者校正	4～5/8～10MHz 内の固定周波数	1.8～5.5V(注2), 2.7～5.5V(注3) 内の固定電圧	-40～85℃ 内の固定温度	±2%

注1: 校正点での発振器周波数精度(固定温度と固定電圧)

注2: ATtiny13Vに対する電圧範囲

注3: ATtiny13に対する電圧範囲

18.4.2. 外部クロック特性

図18-3. 外部クロック駆動波形

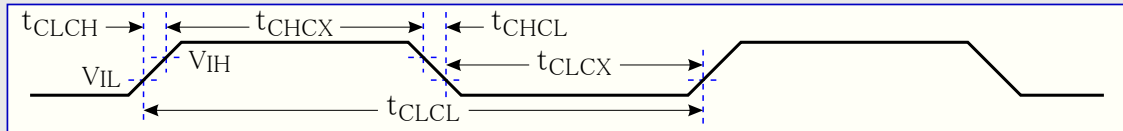


表18-3. 外部クロック特性

シンボル	項目	VCC=1.8～5.5V		VCC=2.7～5.5V		VCC=4.5～5.5V		単位
		最小	最大	最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	4	0	10	0	20	MHz
tCLCL	クロック周期	250		100		50		ns
tCHCX	Highレベル時間	100		40		20		
tCLCX	Lowレベル時間	100		40		20		
tCLCH	上昇時間		2.0		1.6		0.5	μs
tCHCL	下降時間		2.0		1.6		0.5	
ΔtCLCL	隣接クロック周期間の変化率		2		2		2	%

注: 詳細については16頁の「外部クロック信号」を参照してください。

18.5. システムとリセットの特性

表18-4. リセット、低電圧検出(BOD)、内部基準電圧の特性

シンボル	項目	条件	最小	代表	最大	単位
VPOT	上昇時電源ONリセット閾値電圧	TA=-40~85°C		1.2		V
	下降時電源ONリセット閾値電圧 (注1)			1.1		
VRST	RESETピン閾値電圧	VCC=1.8~5V	0.2VCC		0.9VCC	
tRST	リセットパルス幅		2.5			μs
VHYST	低電圧検出ヒステリシス電圧			50		mV
tBOD	最小低電圧検出時間		2			μs
VBG	基準電圧		1.0	1.1	1.2	V
tBG	起動時間			40	70	μs
IBG	消費電流			15		μA

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

18.5.1. 低電圧検出 (BOD)

表18-5. BODLEVELヒューズ (VBOT) 設定 (注1)

BODLEVEL1,0	最小	代表	最大	単位
1 1	低電圧検出(BOD)リセット禁止			
1 0		1.8		V
0 1		2.7		
0 0		4.3		

注1: いくつかのデバイスでVBOTが公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、VCC=VBOTに落として検査されています。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。

18.6. アナログ比較器特性

表18-6. アナログ比較器特性 (TA=-40°C~85°C)

シンボル	項目	条件	最小	代表	最大	単位
VAIO	入力オフセット電圧	VCC=5V, VIN=VCC/2	<10		40	mV
ILAC	入力漏れ電流		-50		50	nA
VOL	アナログ伝播遅延 (飽和から僅かに過駆動)	VCC=2.7V		750		ns
		VCC=4.0V		500		
	アナログ伝播遅延 (大きな段階変化)	VCC=2.7V		100		
		VCC=4.0V		75		
tDPD	デジタル伝播遅延	VCC=1.8~5.5V		1	2	CLK

注: 全てのパラメータはシミュレーション結果に基づいており、これらは製造で検査されていません。

18.7. A/D変換器特性

表18-7. A/D変換特性 (TA=-40℃～85℃)

シンボル	項目	条件		最小	代表	最大	単位
	分解能					10	ビット
	絶対精度 (積分非直線性、微分非直線性、量子化、利得、オフセットの各誤差を含む)	VCC=4V VREF=4V	変換クロック=200kHz		2		LSB
			変換クロック=1MHz		3		
		雑音低減動作	変換クロック=200kHz		1.5		
			変換クロック=1MHz		2.5		
	積分非直線性誤差	VCC=4V, VREF=4V 変換クロック=200kHz			1		
	微分非直線性誤差				0.5		
	利得誤差				2.5		
	オフセット(ゼロ)誤差				1.5		
	変換時間	連続変換動作		13		260	μs
	変換クロック周波数			0.05		1	MHz
V _{IN}	入力電圧			GND		VREF	V
	入力周波数帯域				38.5		kHz
V _{INT}	内蔵基準電圧			1.0	1.1	1.2	V
R _{AIN}	アナログ入力インピーダンス				100		MΩ

18.8. 低電圧直列プログラミング特性

図18-4. 低電圧直列プログラミング タイミング

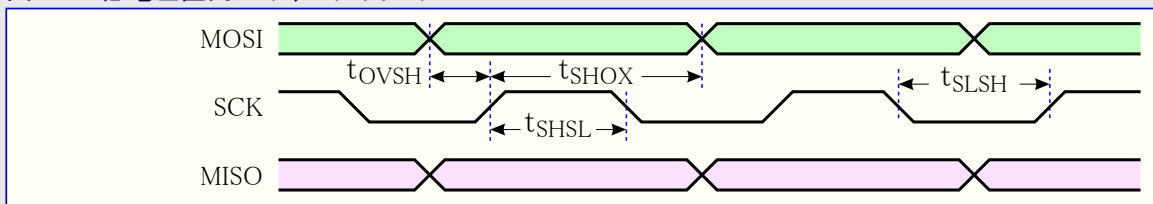


図18-5. 低電圧直列プログラミング ハイト通信波形

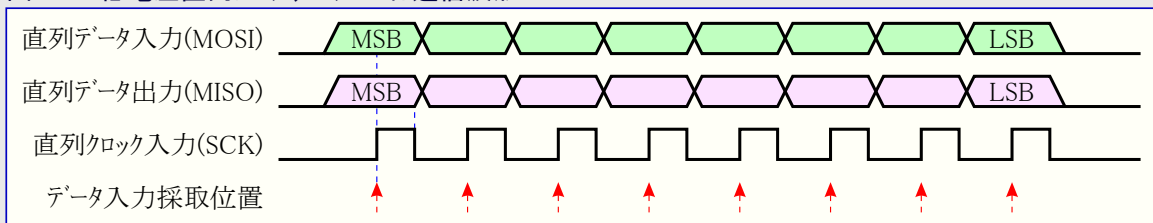


表18-8. 低電圧直列プログラミング特性 (特記条件を除いて、TA=-40℃～85℃, VCC=1.8～5.5V)

シンボル	項目	条件	最小	代表	最大	単位
1/t _{CLCL}	発振器周波数	V版のみ 1.8～2.7V	0		1	MHz
		2.7～4.5V	0		9.6	
		4.5～5.5V	0		20	
t _{CLCL}	発振器周期	V版のみ 1.8～2.7V	1000			ns
		2.7～4.5V	104			
		4.5～5.5V	62.5			
t _{SHSL}	SCKパルスHレベル幅	(注1)	2t _{CLCL}			ns
t _{SLSH}	SCKパルスLレベル幅	(注1)	2t _{CLCL}			
t _{OVSH}	SCK↑に対するMOSI準備時間		t _{CLCL}			
t _{SHOX}	SCK↑に対するMOSI保持時間		2t _{CLCL}			

注1: $f_{CK} < 12\text{MHz}$ 時 $2t_{CLCL}$ 、 $f_{CK} \geq 12\text{MHz}$ 時 $3t_{CLCL}$ 。

18.9. 高電圧直列プログラミング特性

図18-6. 高電圧直列プログラミング タイミング

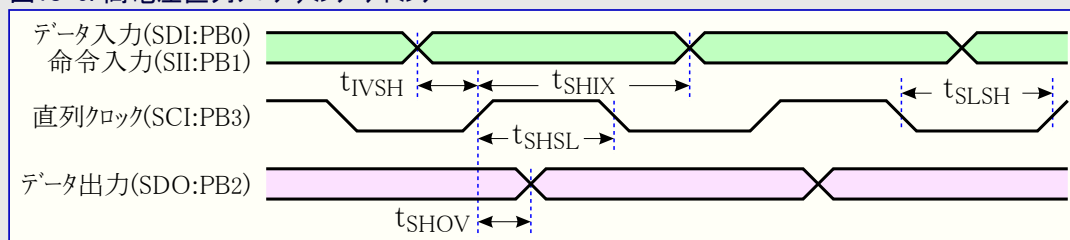


表18-9. 高電圧直列プログラミング特性 (特記条件を除いて、 $T_A=25^{\circ}\text{C}$, $V_{CC}=5.0\text{V}\pm 10\%$)

シンボル	項目	最小	代表	最大	単位
t_{SHSL}	SCIパルスHレベル幅	110			ns
t_{SLSH}	SCIパルスLレベル幅	110			
t_{IVSH}	SCI \uparrow に対するSDI, SII準備時間	50			
t_{SHIX}	SCI \uparrow に対するSDI, SII保持時間	50			
t_{SHOV}	SCI \uparrow に対するSDO出力遅延時間		16		
t_{WLWH_PFB}	ヒューズ書き込み第3バイト後待機時間		2.5		ms

19. 代表特性

本項内に含まれたデータは主に同じ製法と設計法の類似デバイスの特徴付けとシミュレーションに基づいています。従って、このデータはデバイスがどう反応するかについての指標として扱われるべきです。

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。特性付けの間、デバイスは検査限界よりも高い周波数で動作していますが、それらは注文コードが示すよりも高い周波数での正しい機能が保証される訳ではありません。

全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

電源幅振幅の方形波発振器がクロック源として使われていますが、**パワーダウン動作**での消費電力はクロック選択と無関係です。**ウォッチドッグタイマ**許可の**パワーダウン動作**での消費電流と**ウォッチドッグタイマ**禁止の**パワーダウン動作**での消費電流間の違いは、**ウォッチドッグタイマ**によって引き込んだ(消費した)差電流を表します。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $CL(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f_{SW}(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

19.1. 活動動作消費電流

図19-1. 活動動作消費電流 対 周波数 (100kHz~1MHz)

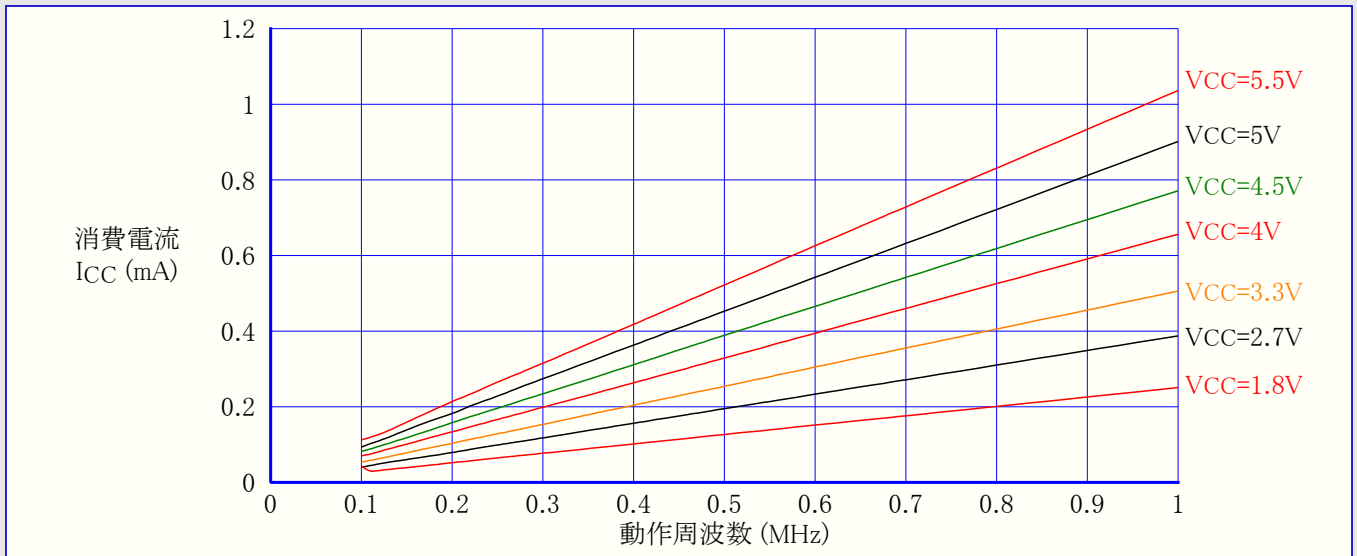


図19-2. 活動動作消費電流 対 周波数 (1MHz~20MHz)

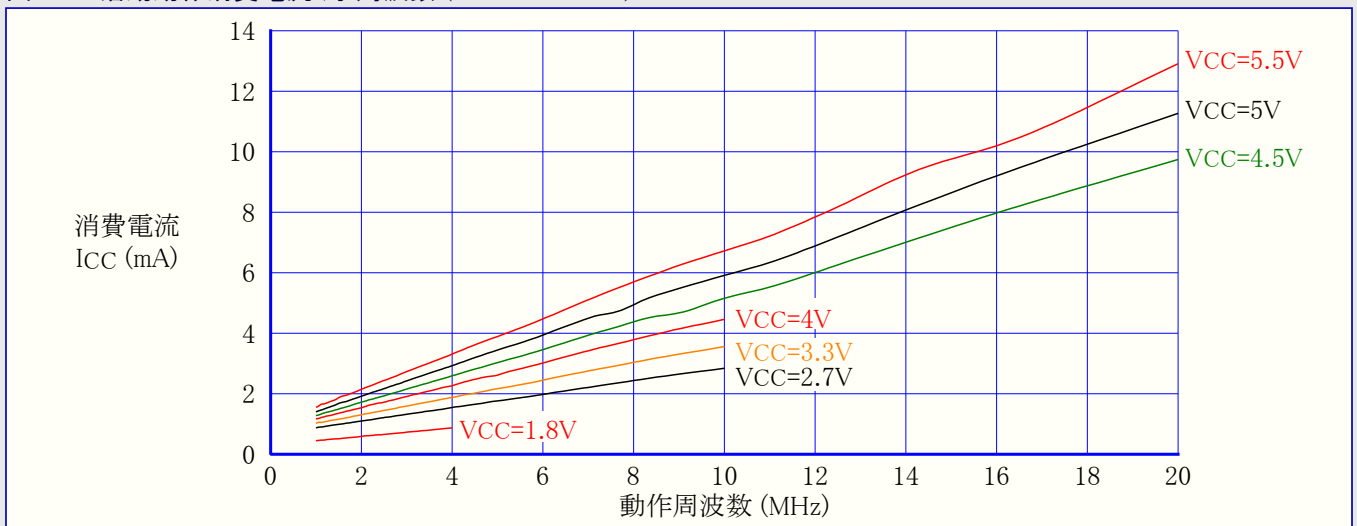


図19-3. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 9.6MHz)

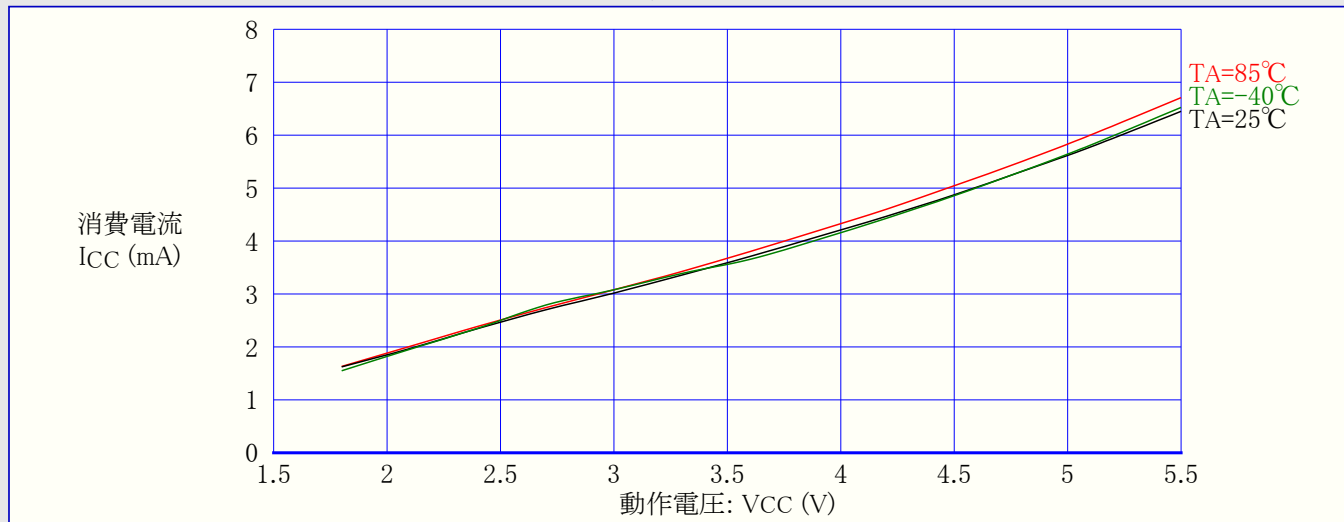


図19-4. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 4.8MHz)

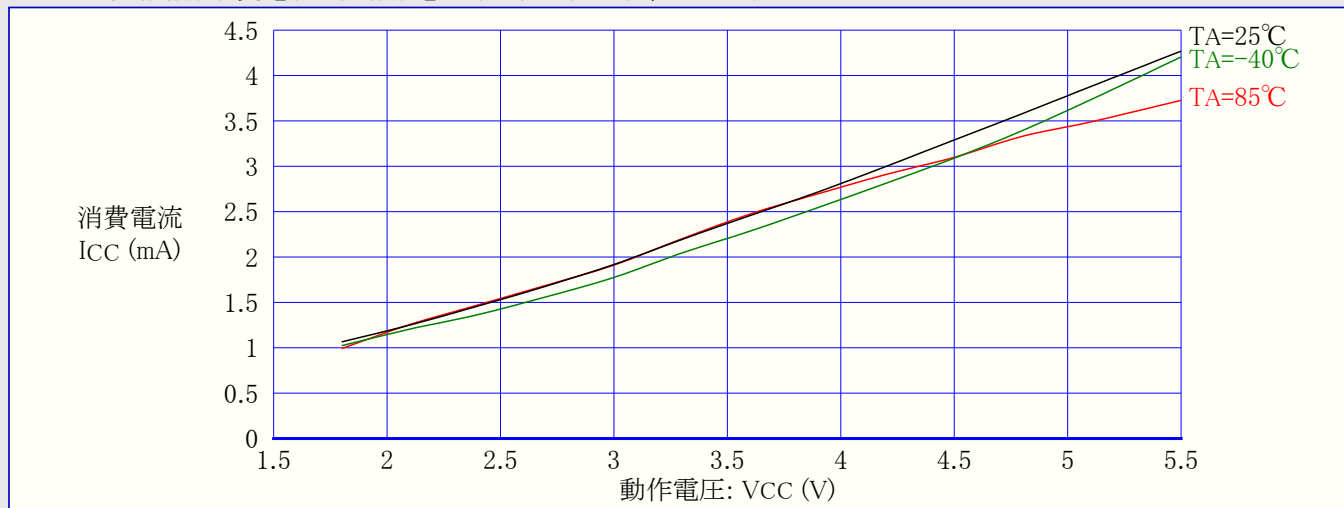


図19-5. 活動動作消費電流 対 動作電圧 (内蔵WDT発振器, 128kHz)

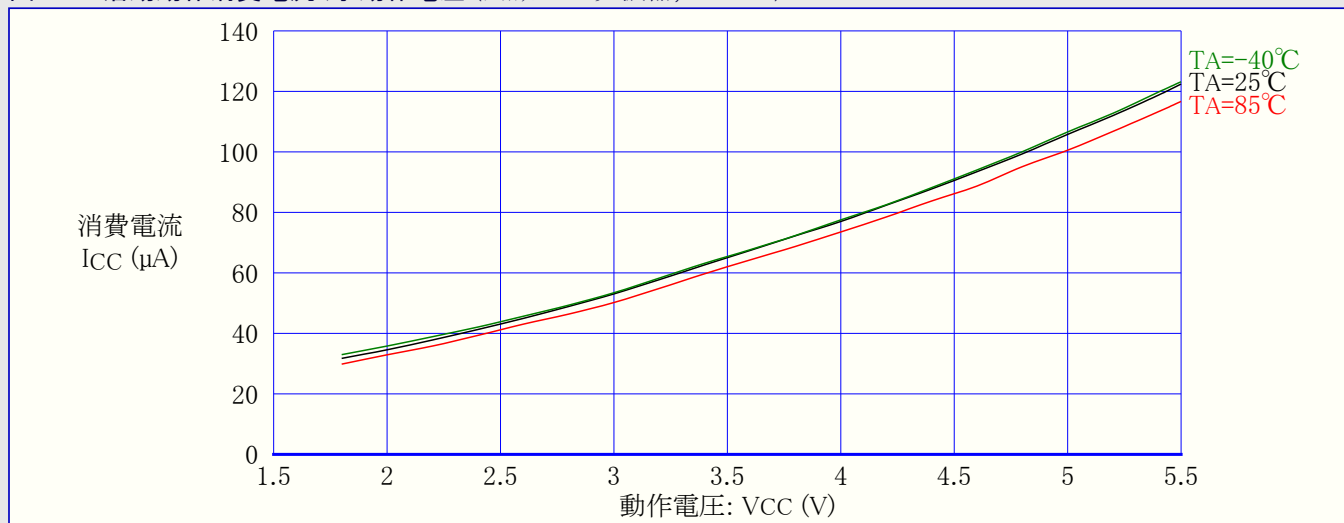
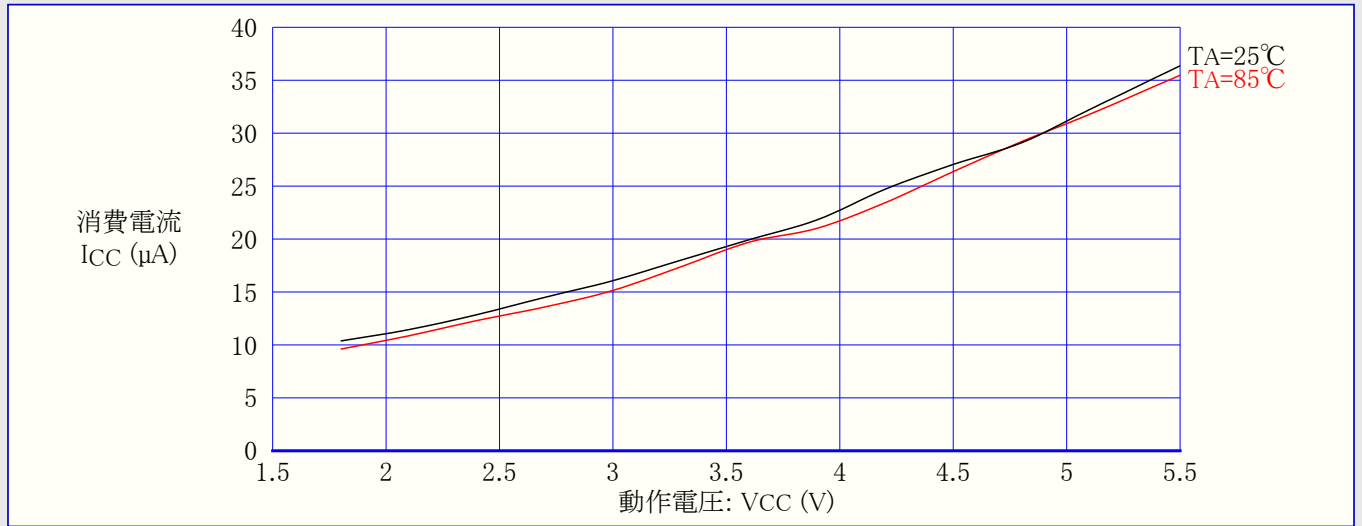


図19-6. 活動動作消費電流 対 動作電圧 (32kHz外部発振器)



19.2. アイドル動作消費電流

図19-7. アイドル動作消費電流 対 周波数 (100kHz~1MHz)

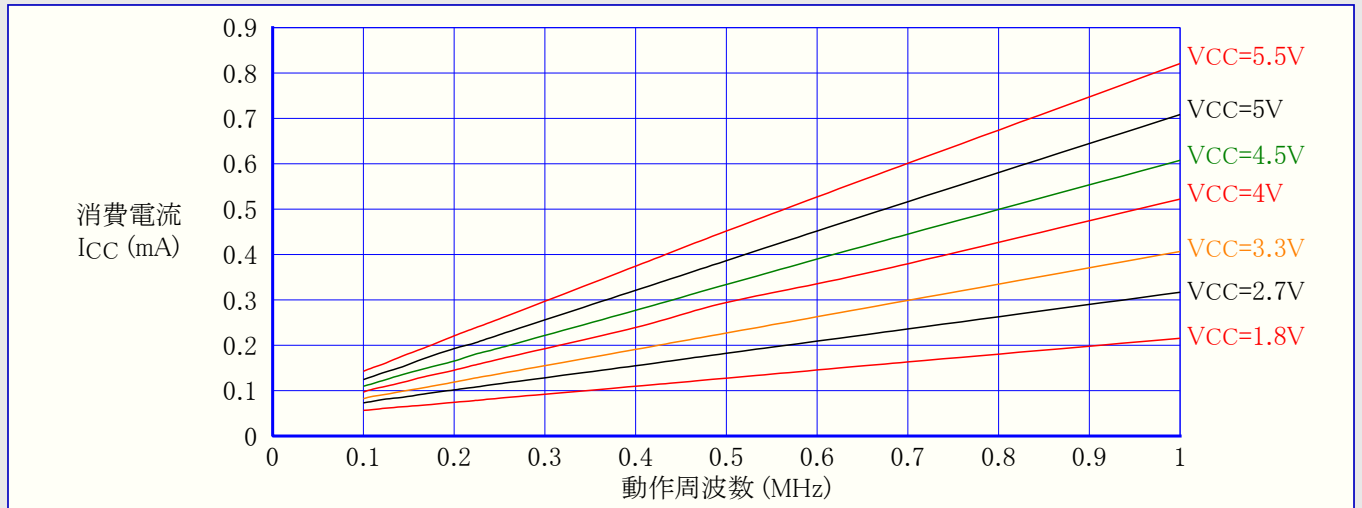


図19-8. アイドル動作消費電流 対 周波数 (1MHz~20MHz)

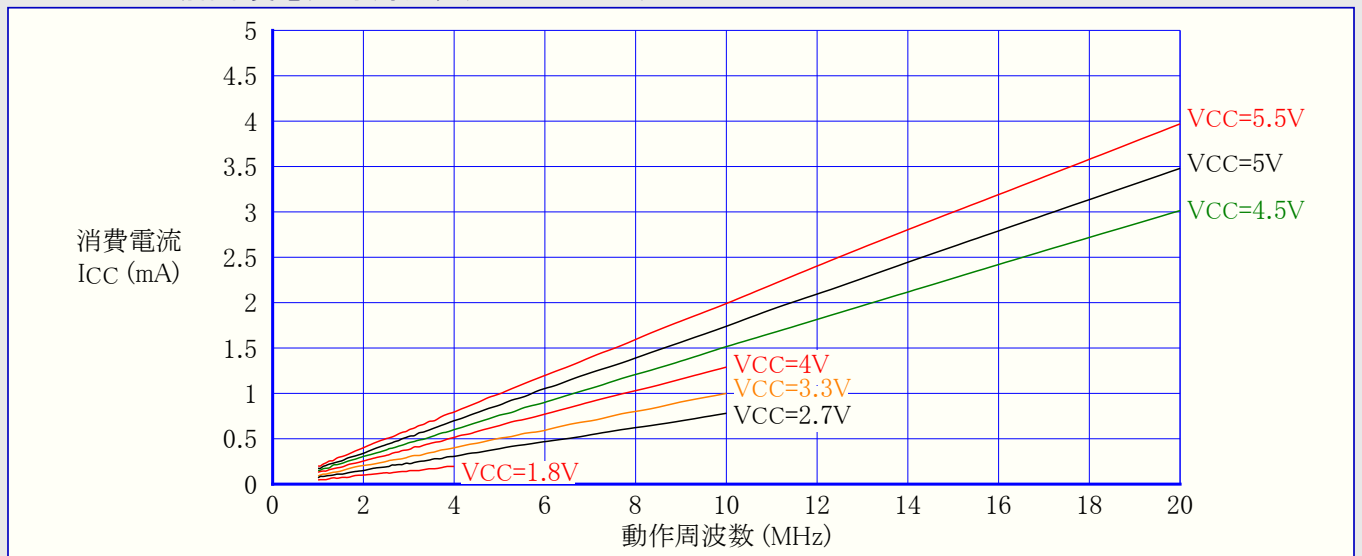


図19-9. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 9.6MHz)

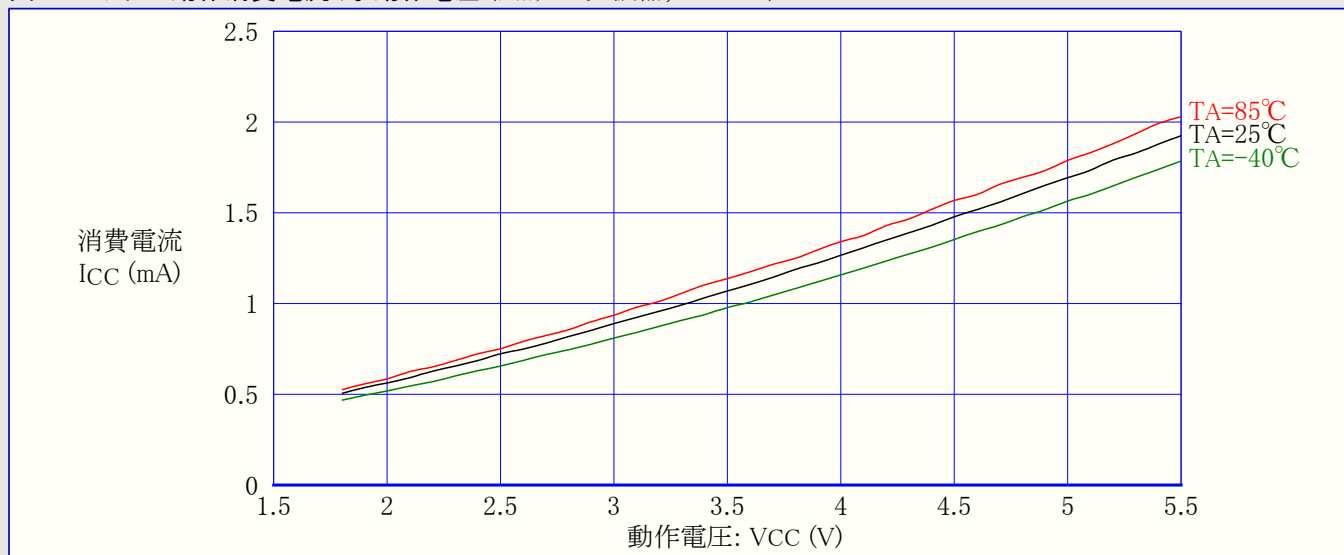


図19-10. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 4.8MHz)

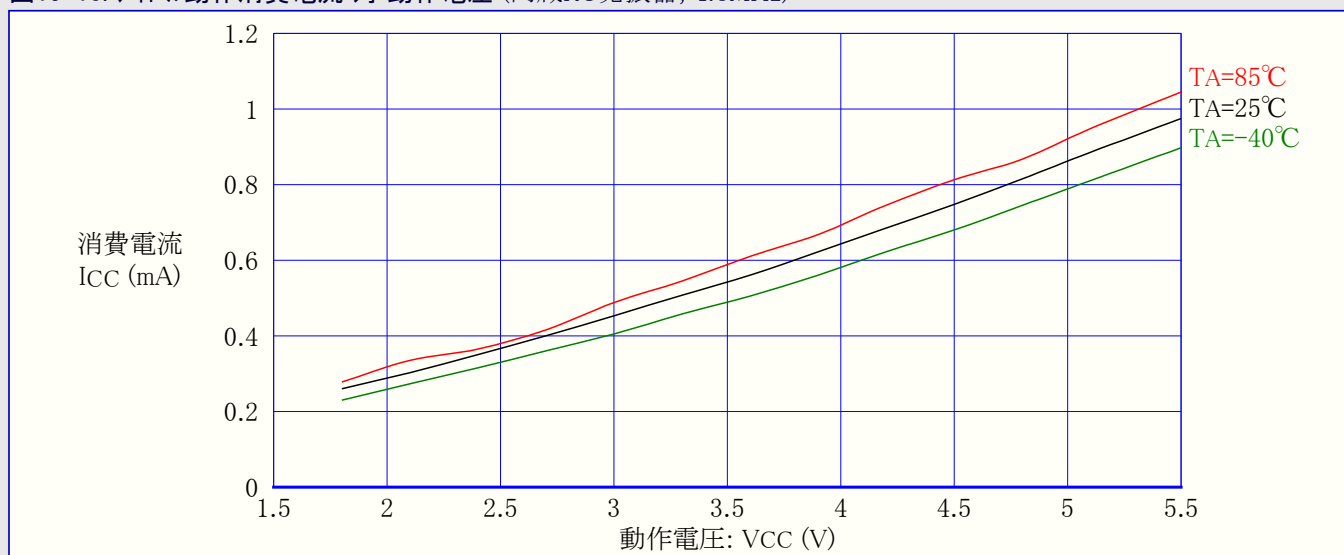


図19-11. アイドル動作消費電流 対 動作電圧 (内蔵WDT発振器, 128kHz)

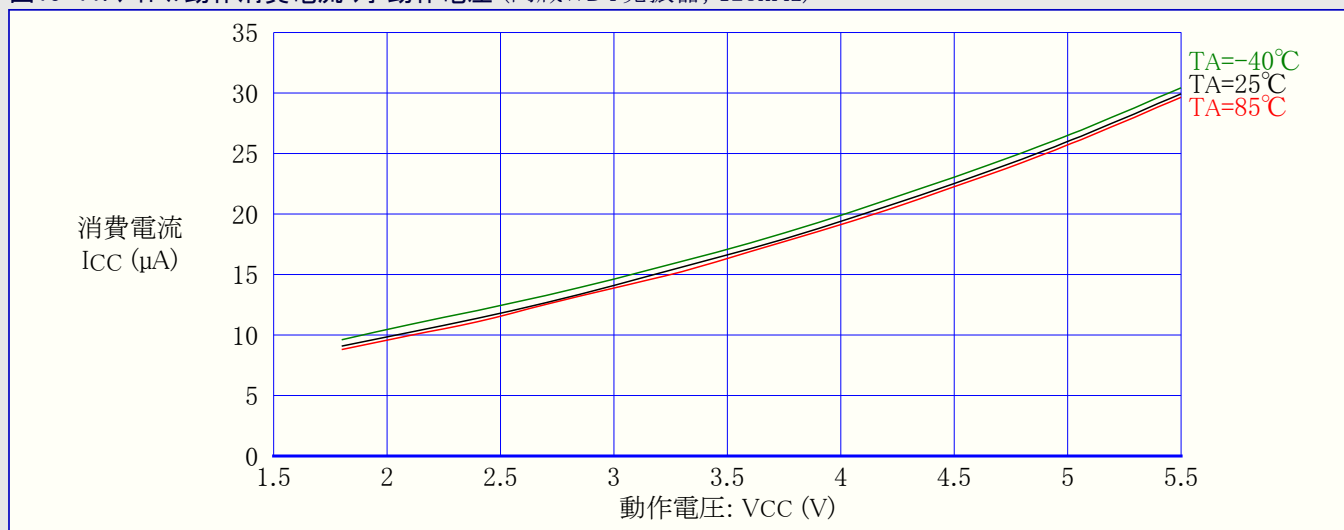
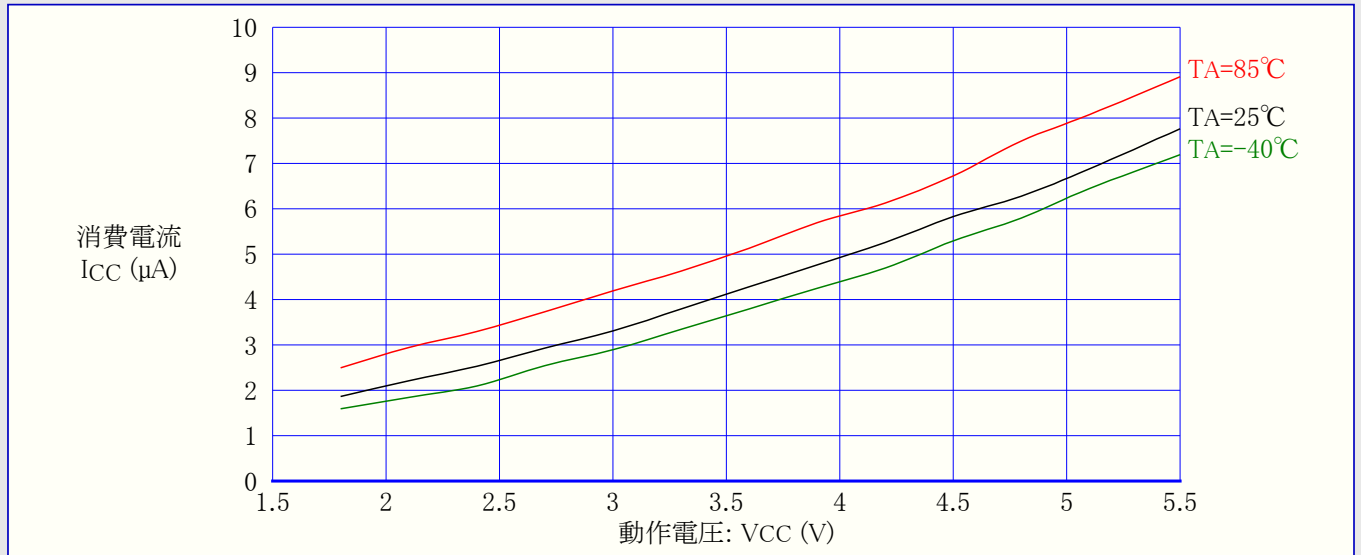


図19-12. アトル動作消費電流 対 動作電圧 (32kHz外部発振器)



19.3. パワーダウン動作消費電流

図19-13. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

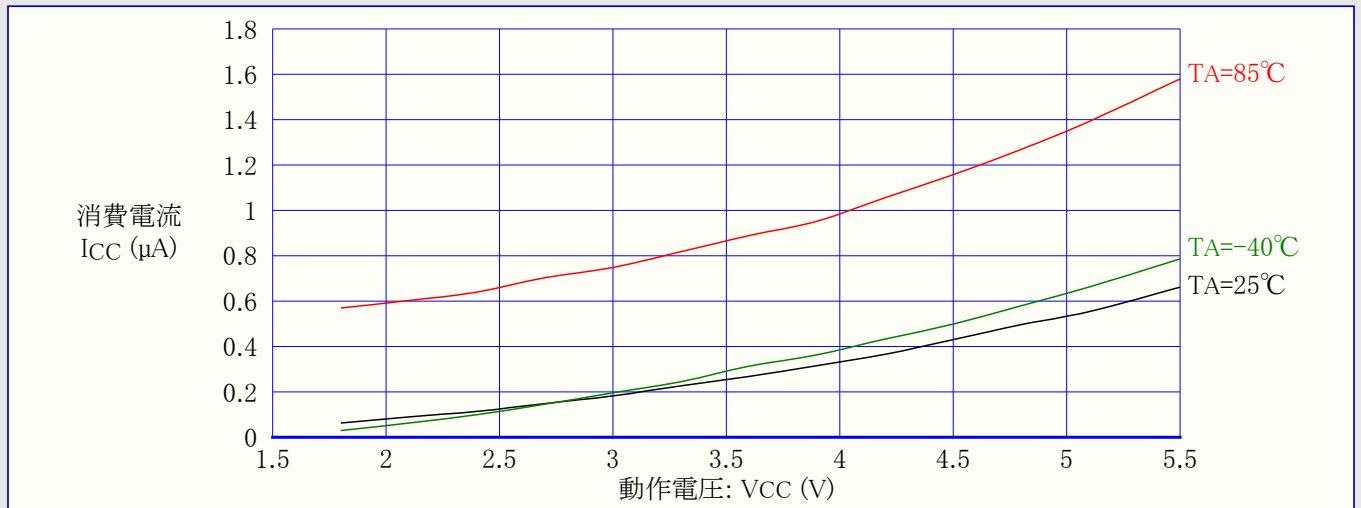
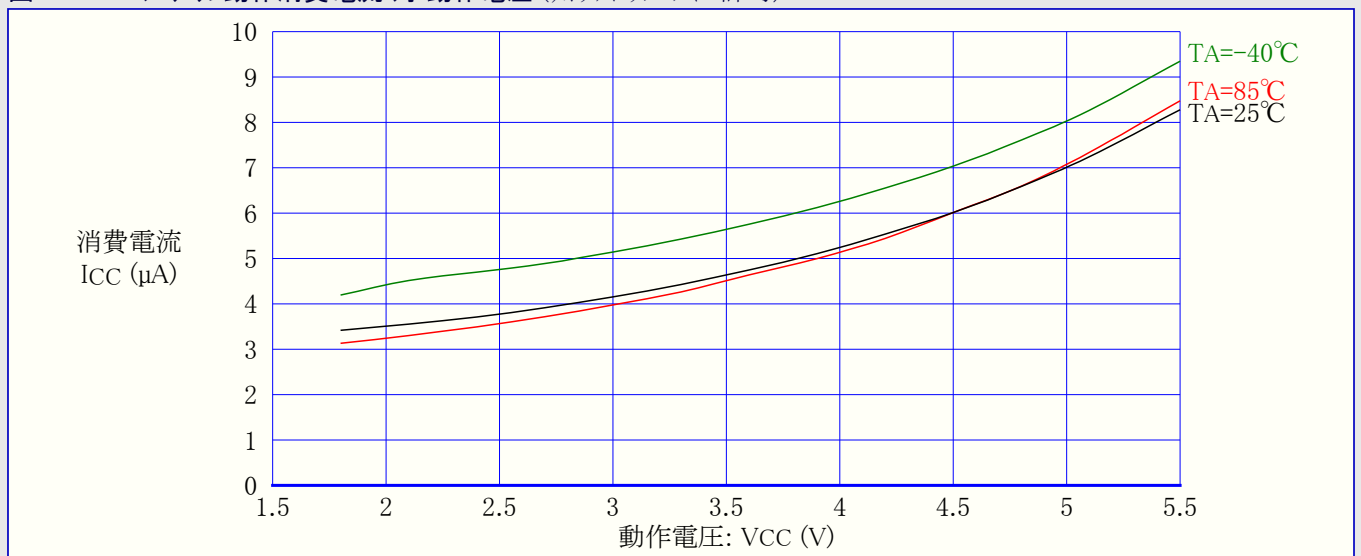


図19-14. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



19.4. ピンプルアップ

図19-15. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

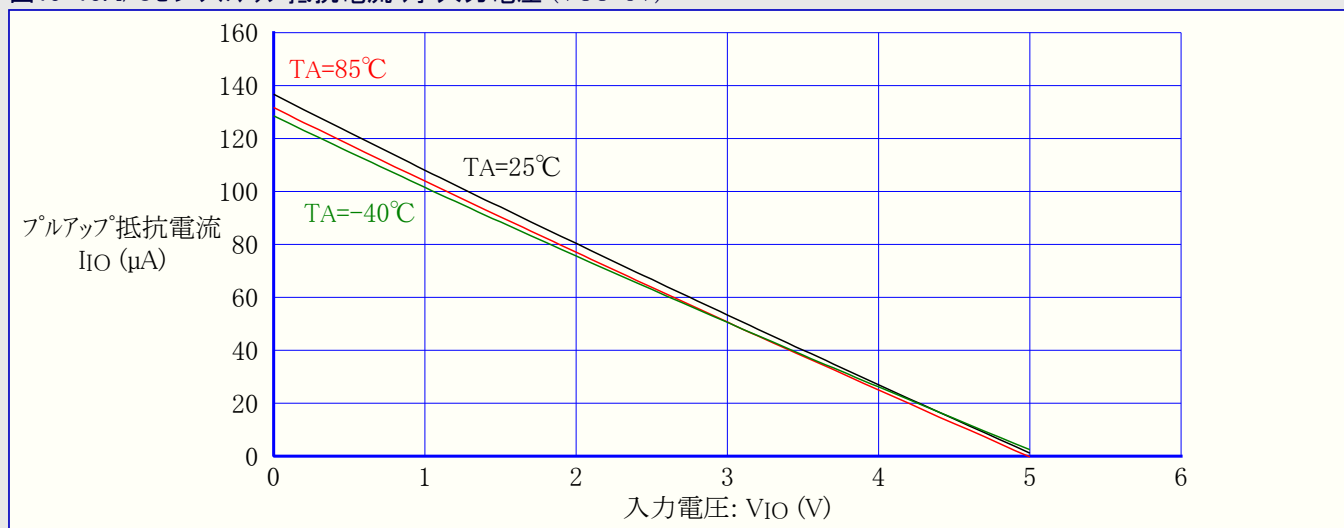


図19-16. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

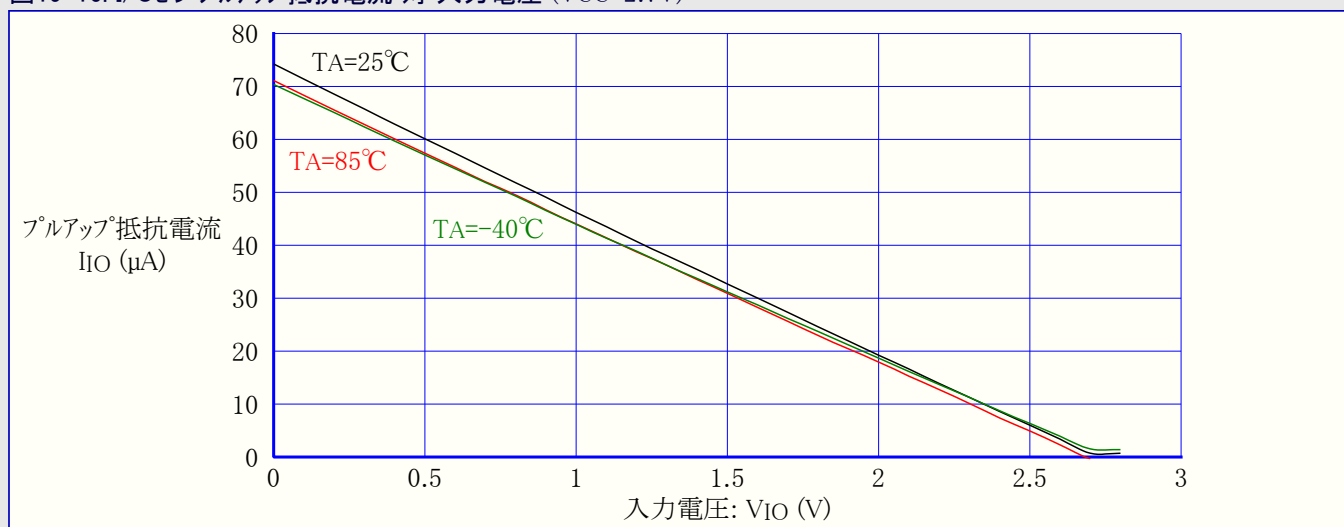


図19-17. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)

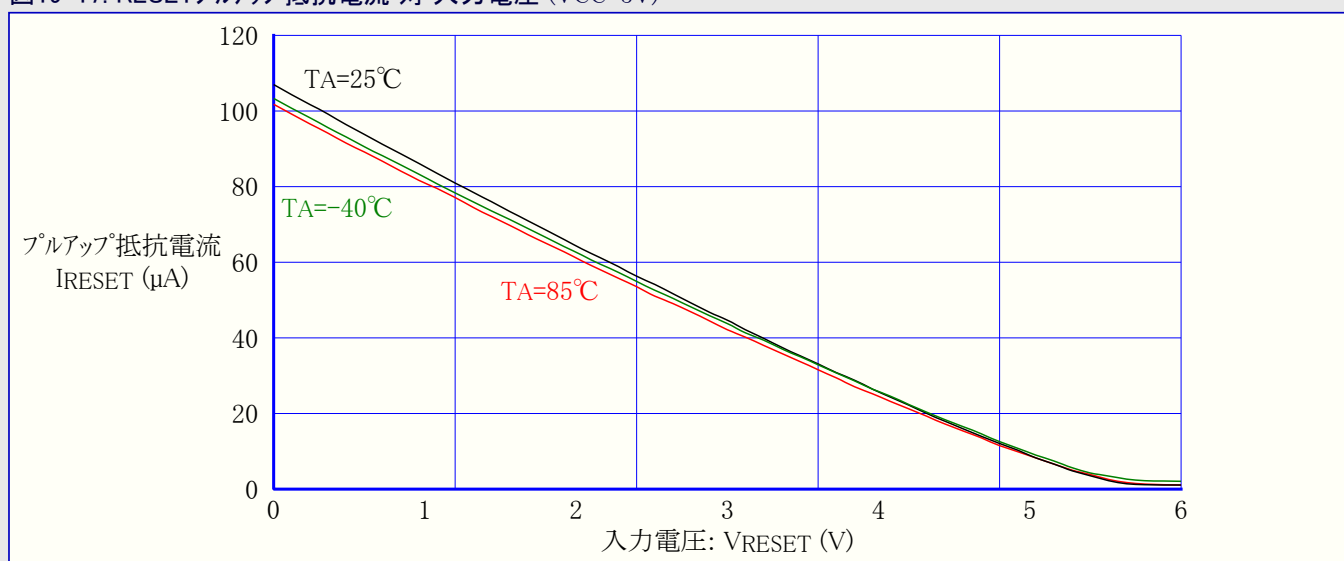
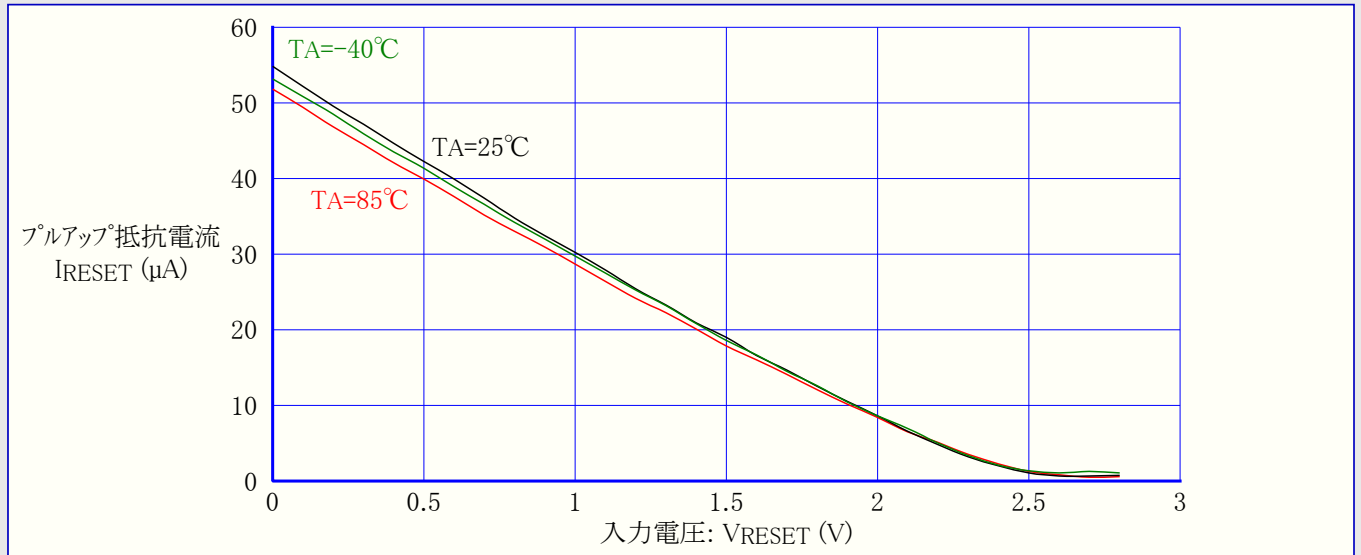


図19-18. RESETフルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



19.5. ピン駆動能力

図19-19. I/Oピン(PB4,3,2) 吐き出し電流 対 出力電圧 (低駆動ポート, VCC=5V)

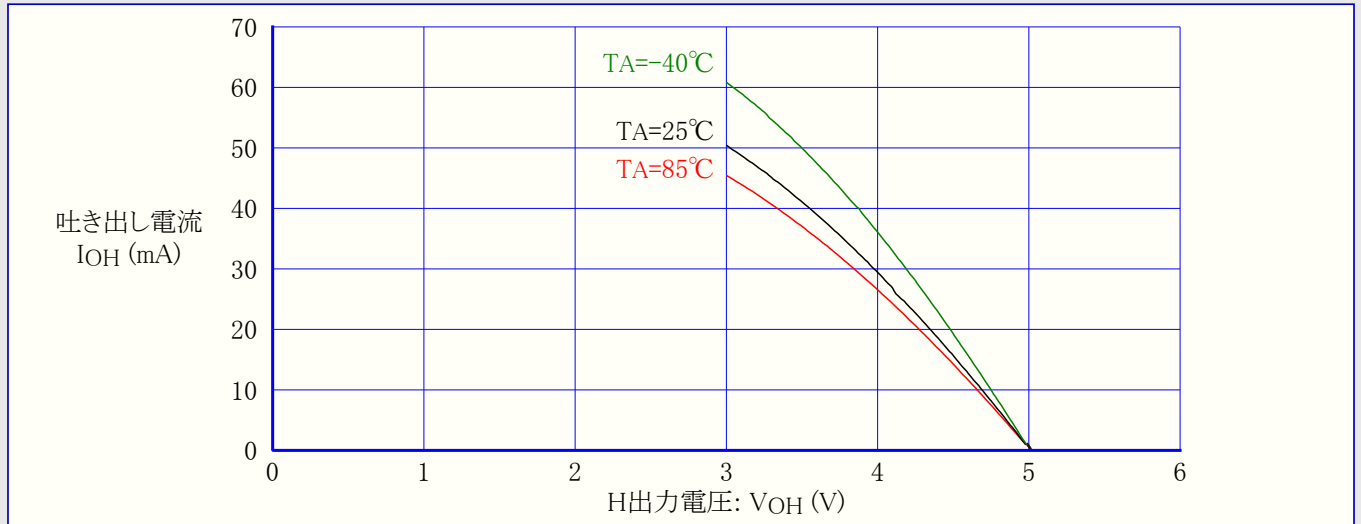


図19-20. I/Oピン(PB4,3,2) 吐き出し電流 対 出力電圧 (低駆動ポート, VCC=2.7V)

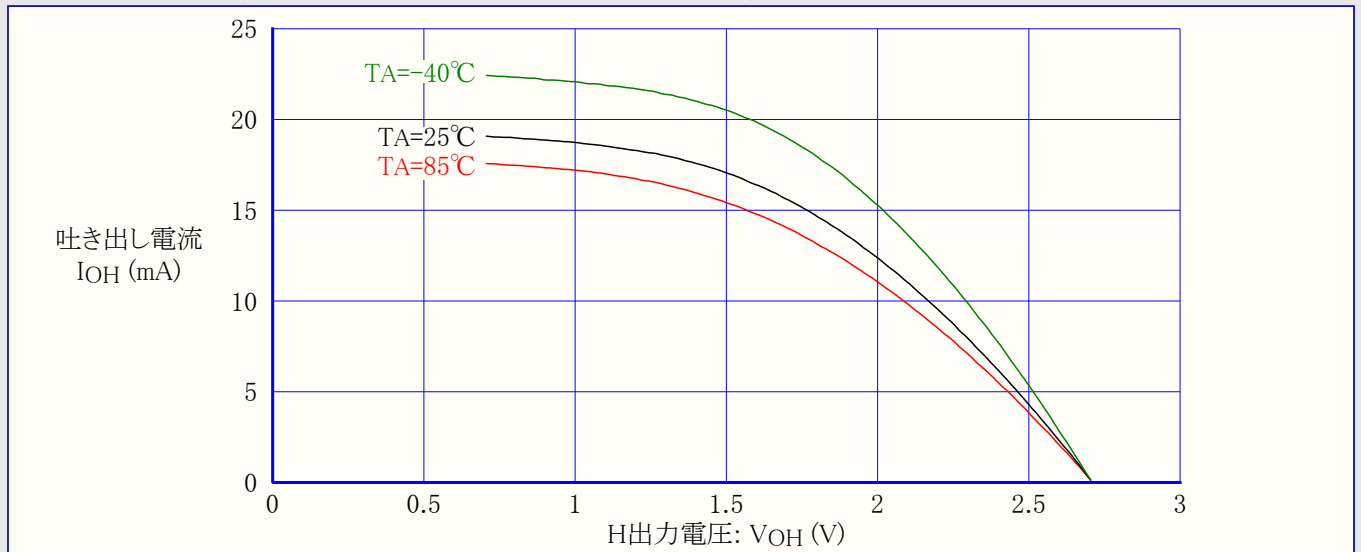


図19-21. I/Oピン(PB4,3,2) 吐き出し電流 対 出力電圧 (低駆動ポート, VCC=1.8V)

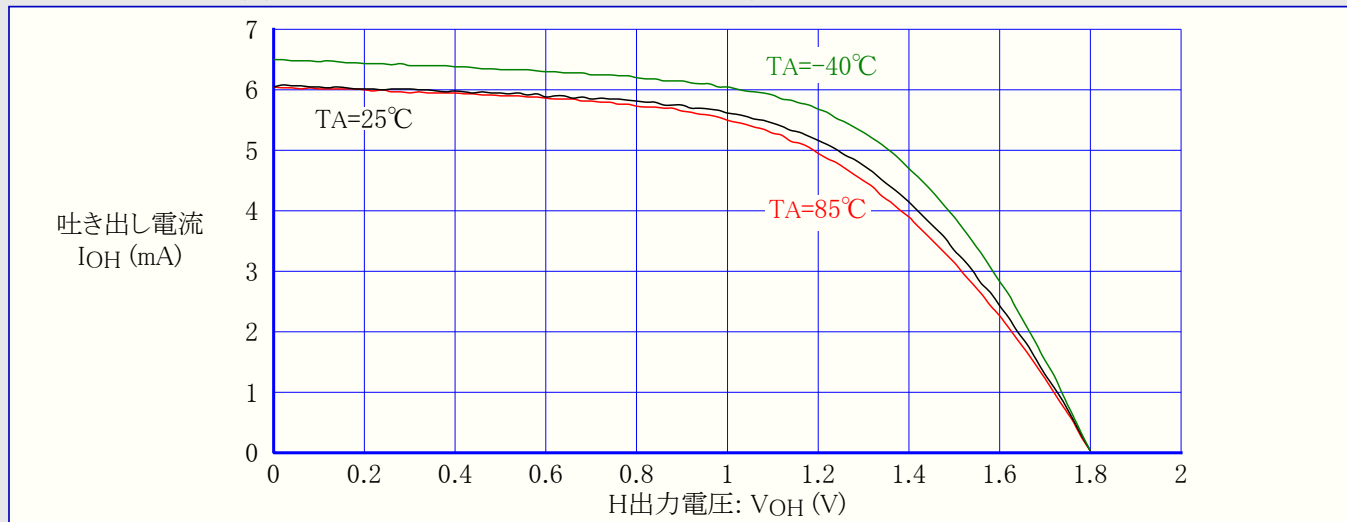


図19-22. I/Oピン(PB4,3,2) 吸い込み電流 対 出力電圧 (低駆動ポート, VCC=5V)

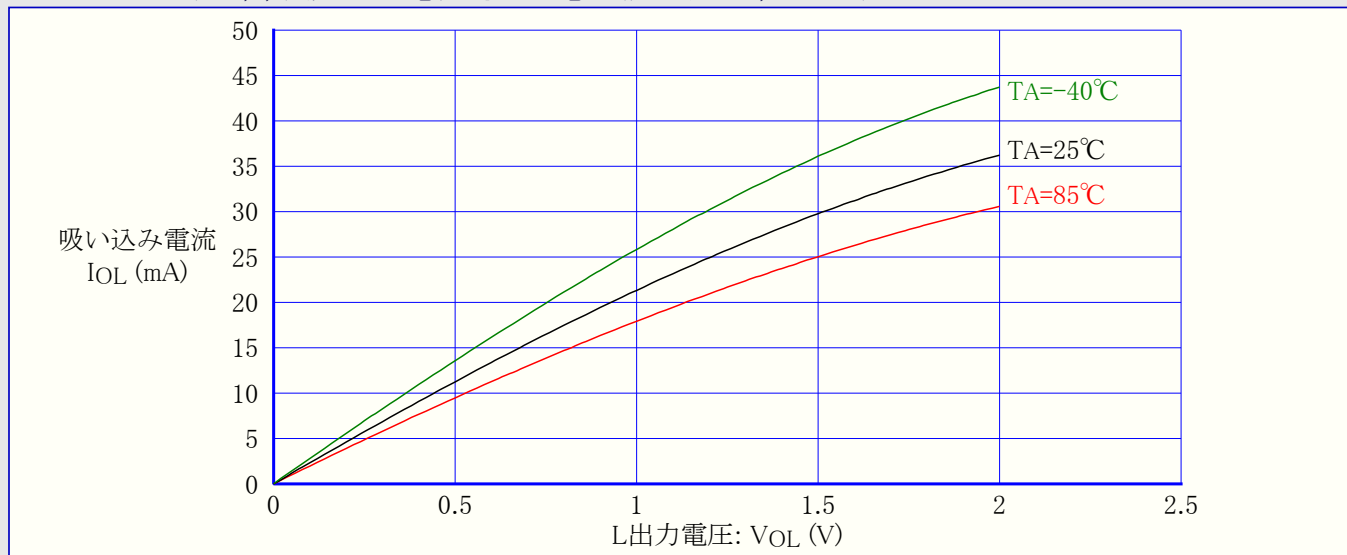


図19-23. I/Oピン(PB4,3,2) 吸い込み電流 対 出力電圧 (低駆動ポート, VCC=2.7V)

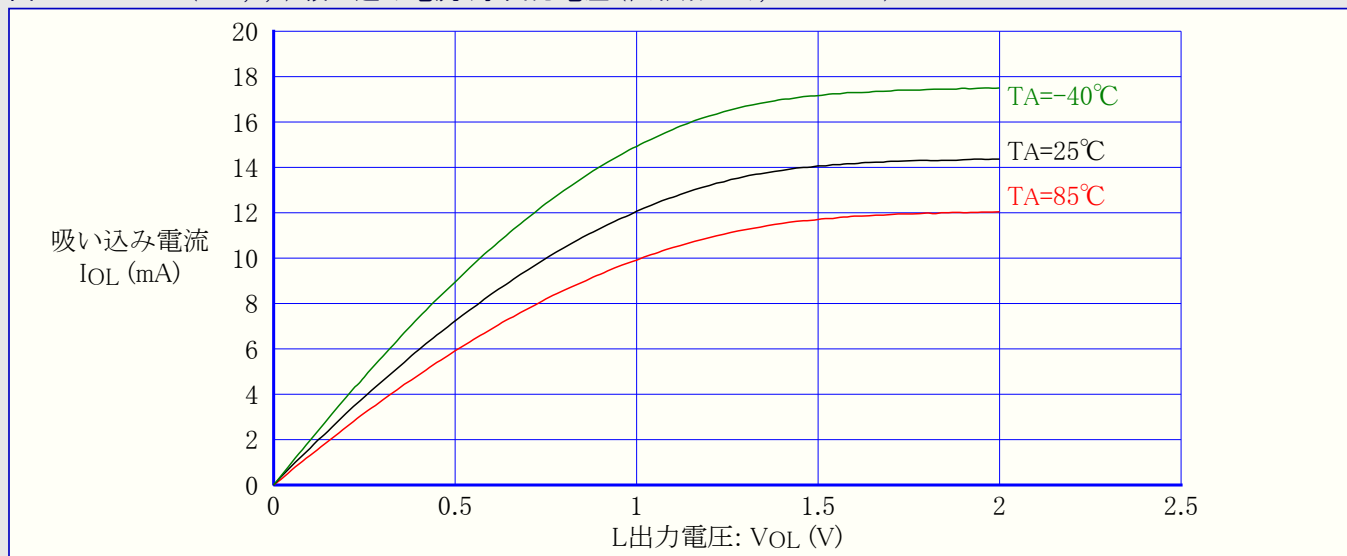


図19-24. I/Oピン(PB4,3,2) 吸い込み電流 対 出力電圧 (低駆動モード, VCC=1.8V)

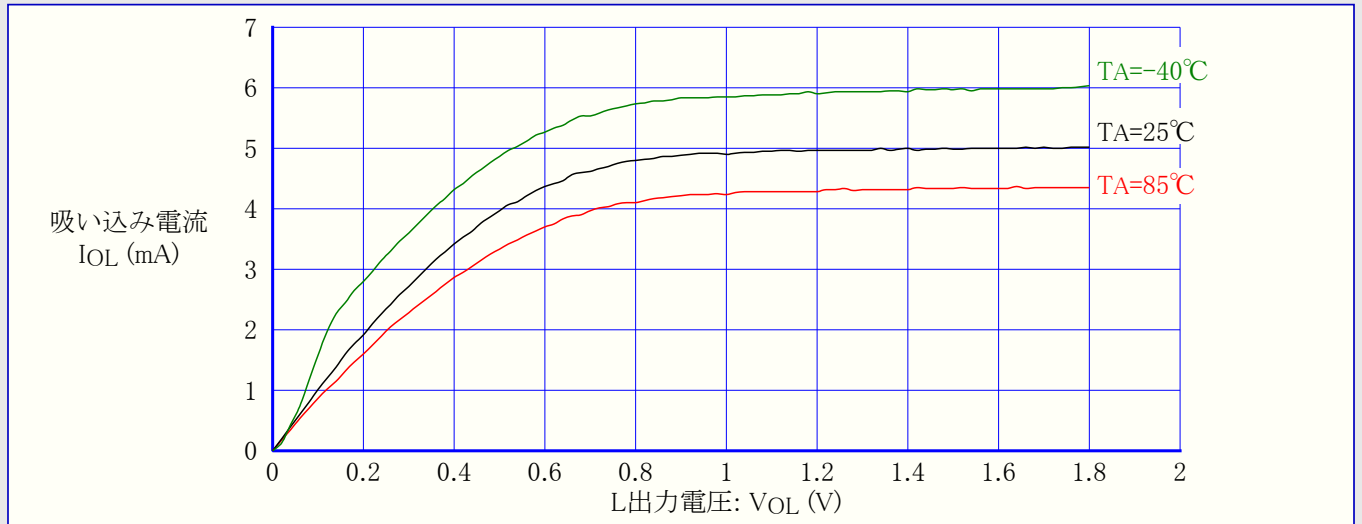


図19-25. I/Oピン(PB1,0) 吐き出し電流 対 出力電圧 (VCC=5V)

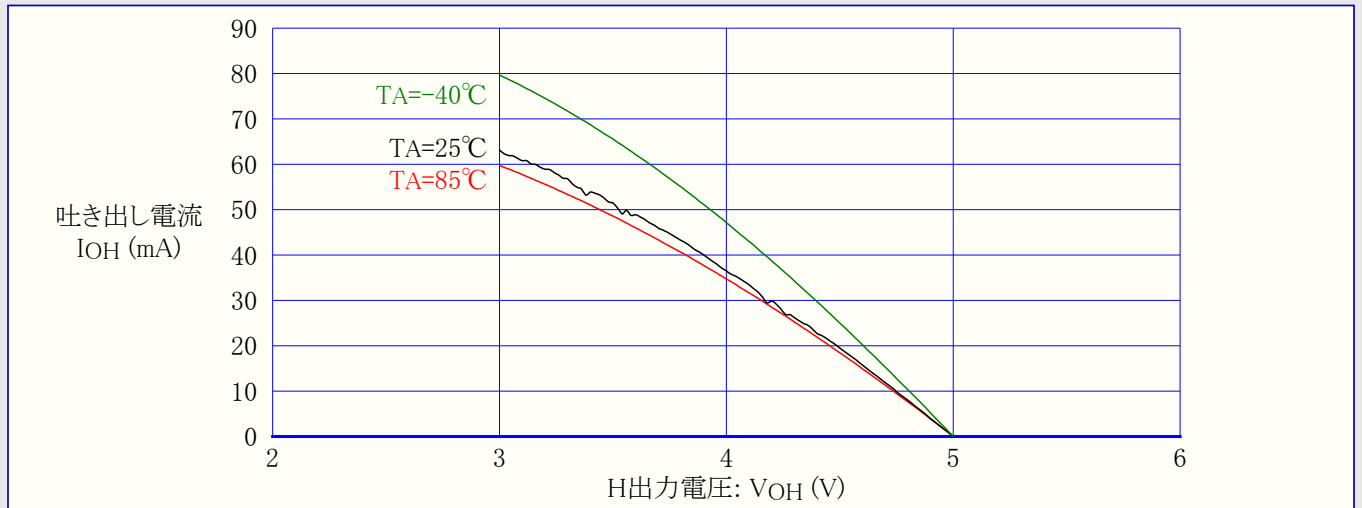


図19-26. I/Oピン(PB1,0) 吐き出し電流 対 出力電圧 (VCC=2.7V)

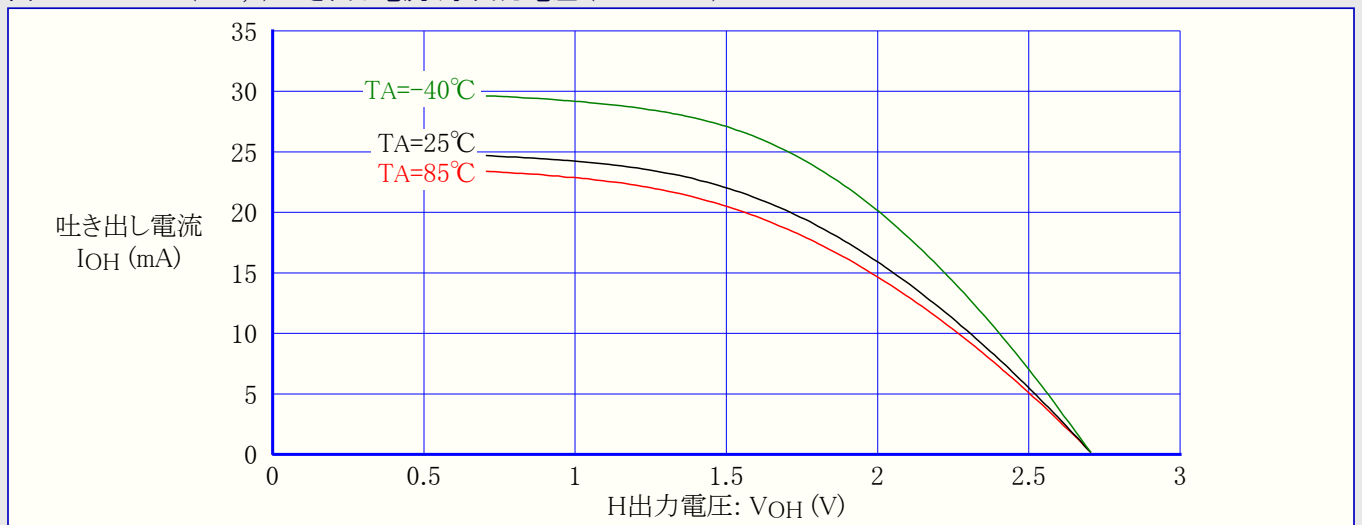


図19-27. I/Oピン(PB1,0) 吐き出し電流 対 出力電圧 (VCC=1.8V)

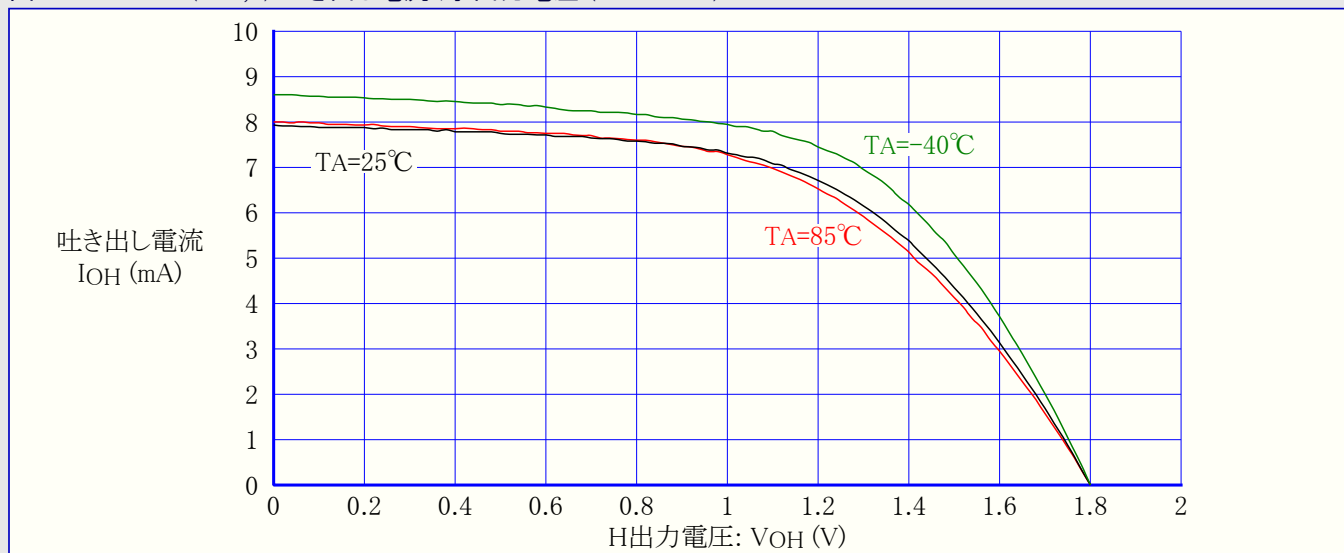


図19-28. I/Oピン(PB1,0) 吸い込み電流 対 出力電圧 (VCC=5V)

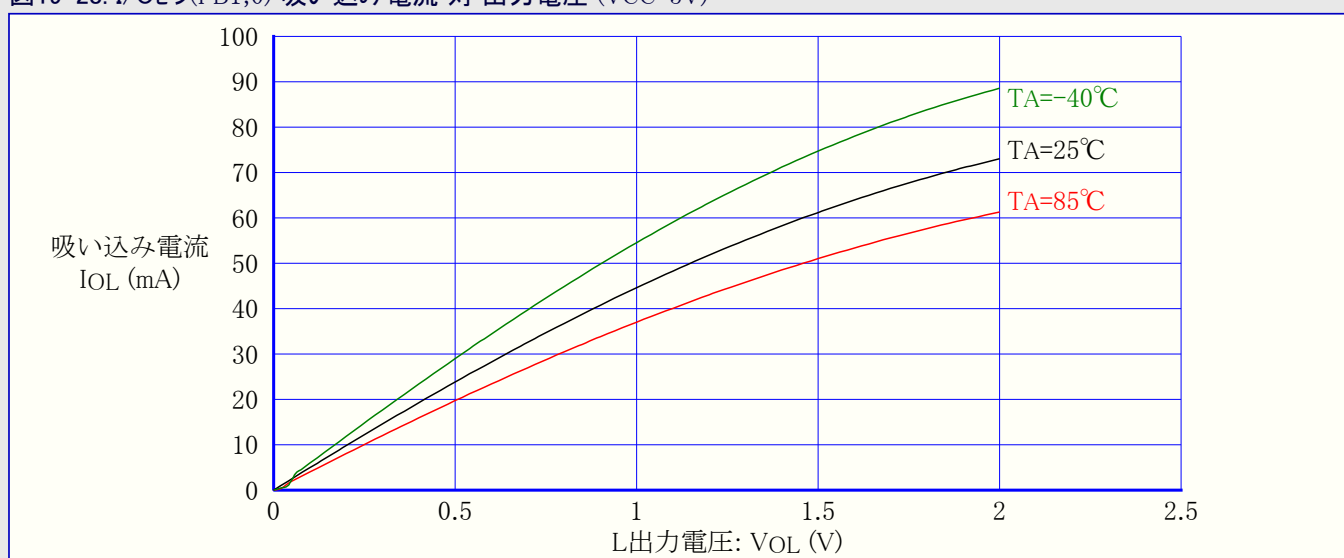


図19-29. I/Oピン(PB1,0) 吸い込み電流 対 出力電圧 (VCC=2.7V)

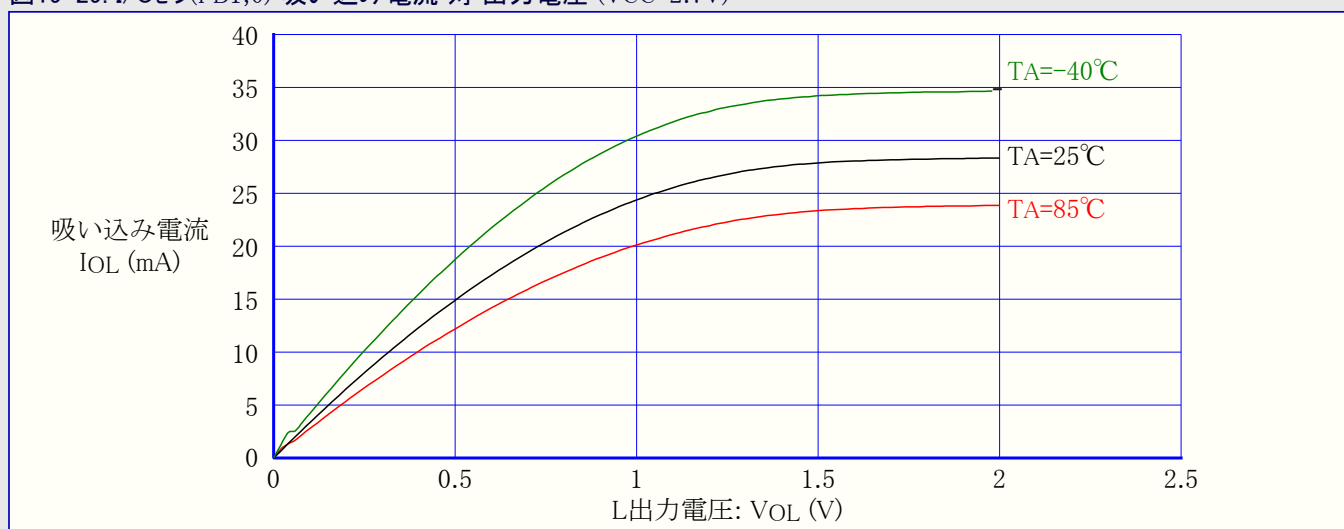


図19-30. I/Oピン(PB1,0) 吸い込み電流 対 出力電圧 (VCC=1.8V)

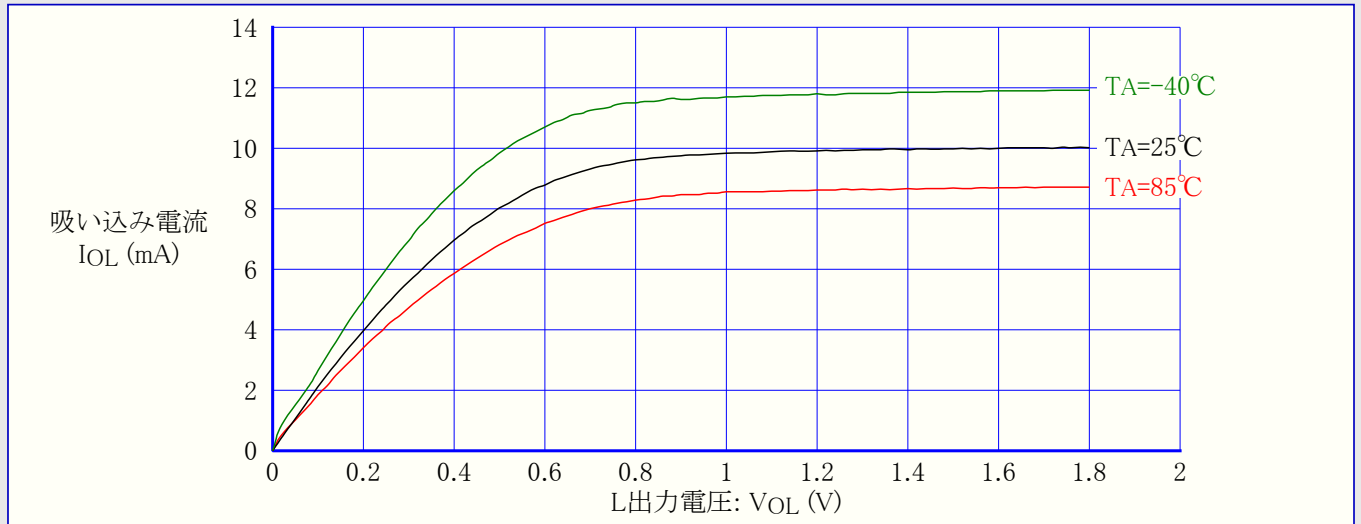


図19-31. I/OとしてのRESETピン 吐き出し電流 対 出力電圧 (VCC=5V)

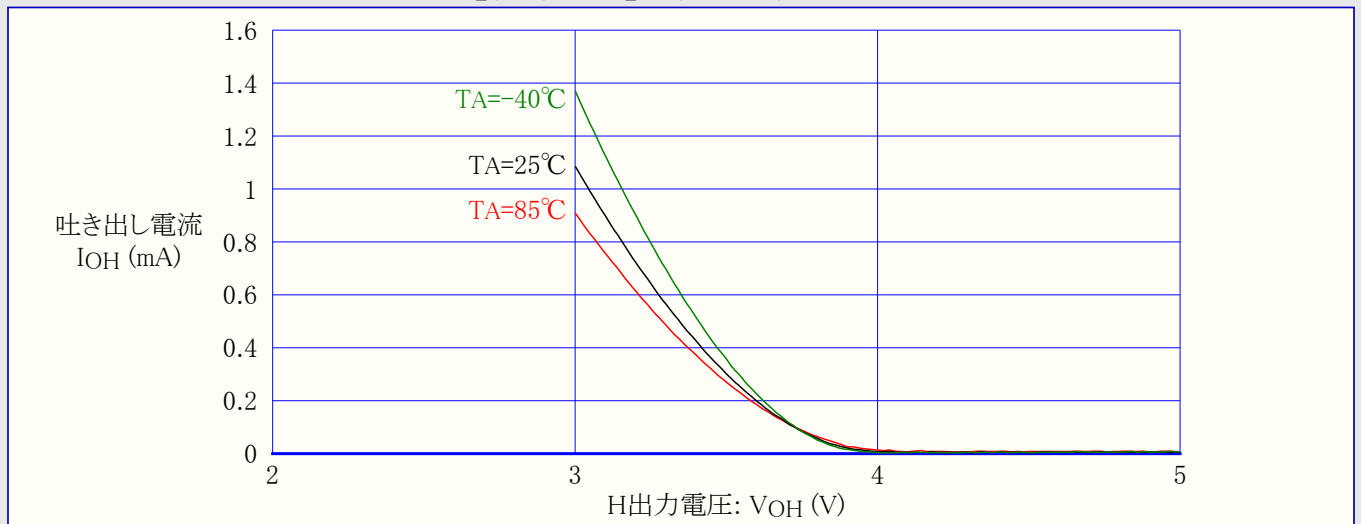


図19-32. I/OとしてのRESETピン 吐き出し電流 対 出力電圧 (VCC=2.7V)

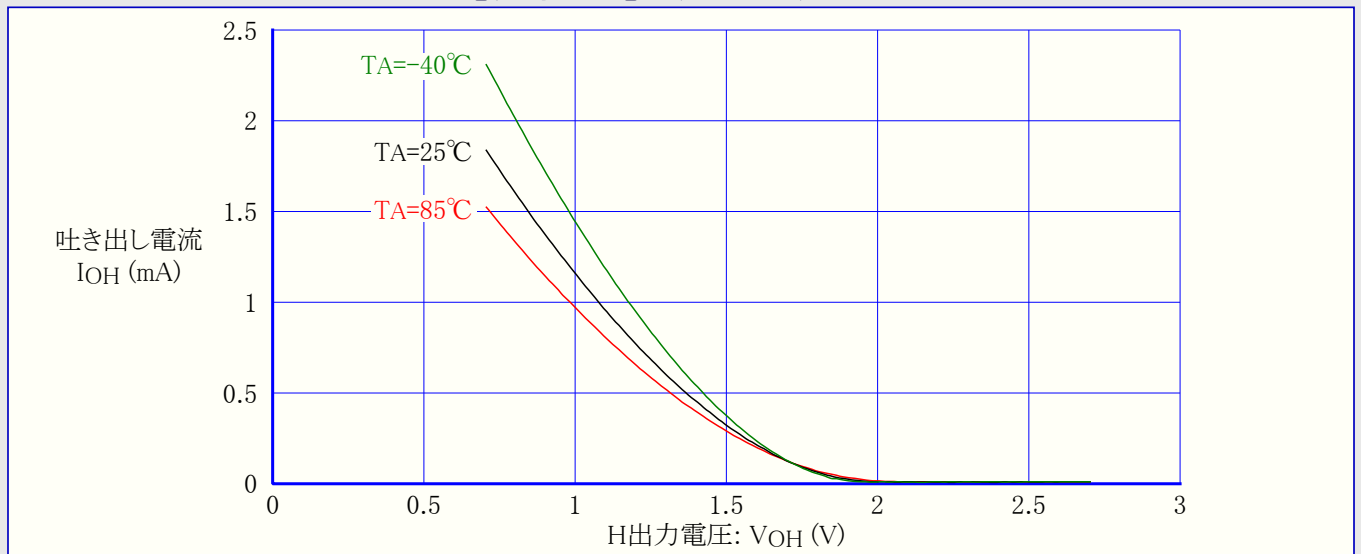


図19-33. I/OとしてのRESETピンの吐き出し電流 対 出力電圧 (VCC=1.8V)

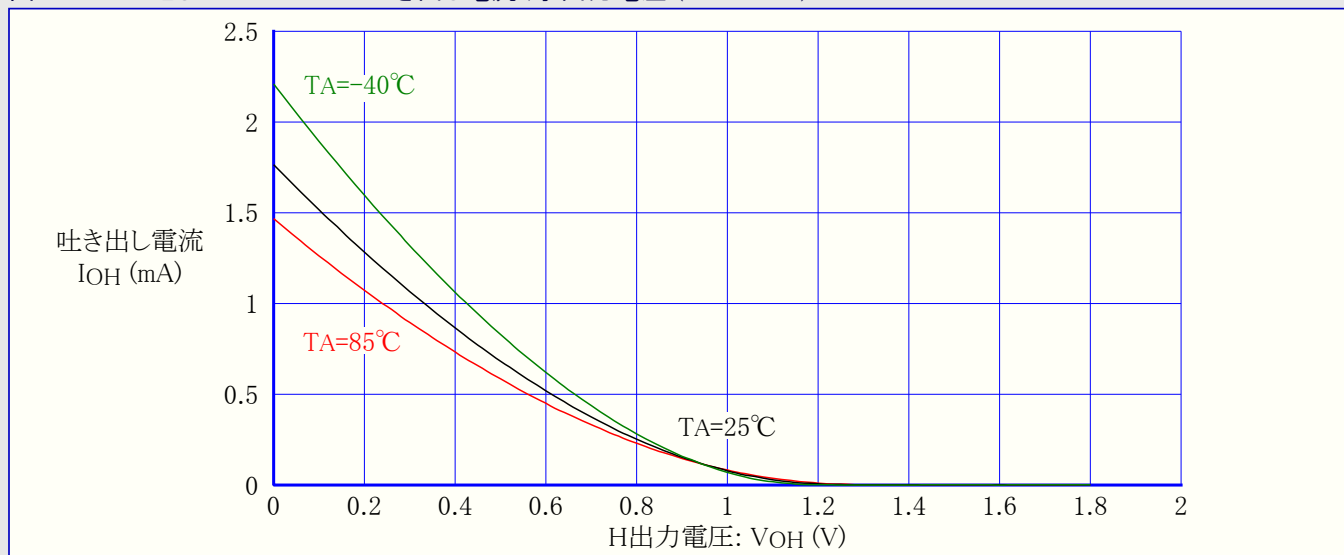


図19-34. I/OとしてのRESETピンの吸い込み電流 対 出力電圧 (VCC=5V)

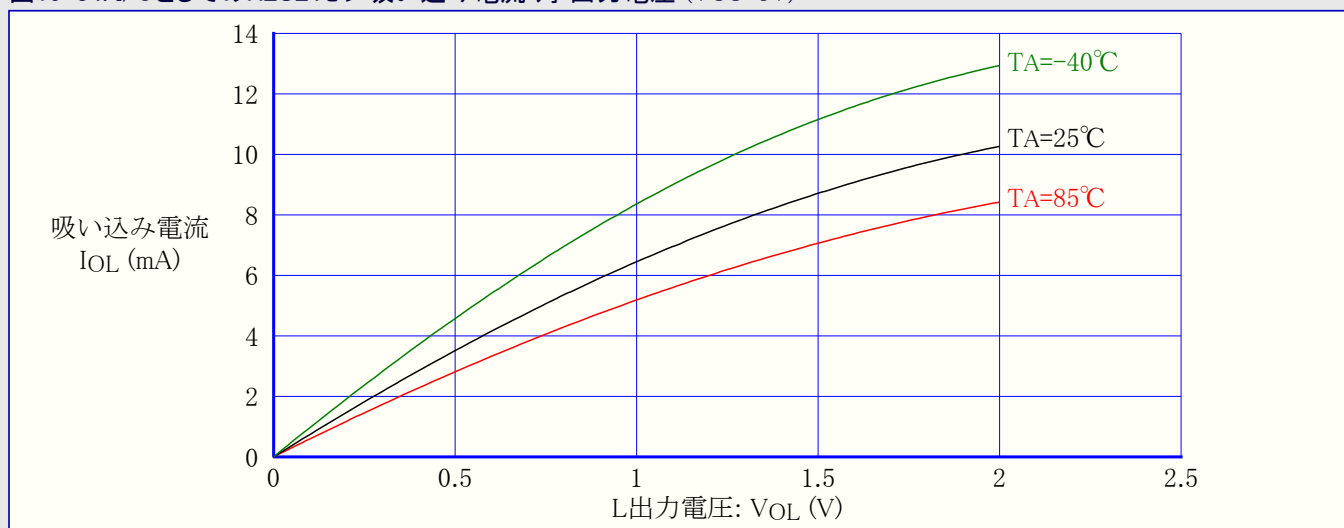


図19-35. I/OとしてのRESETピンの吸い込み電流 対 出力電圧 (VCC=2.7V)

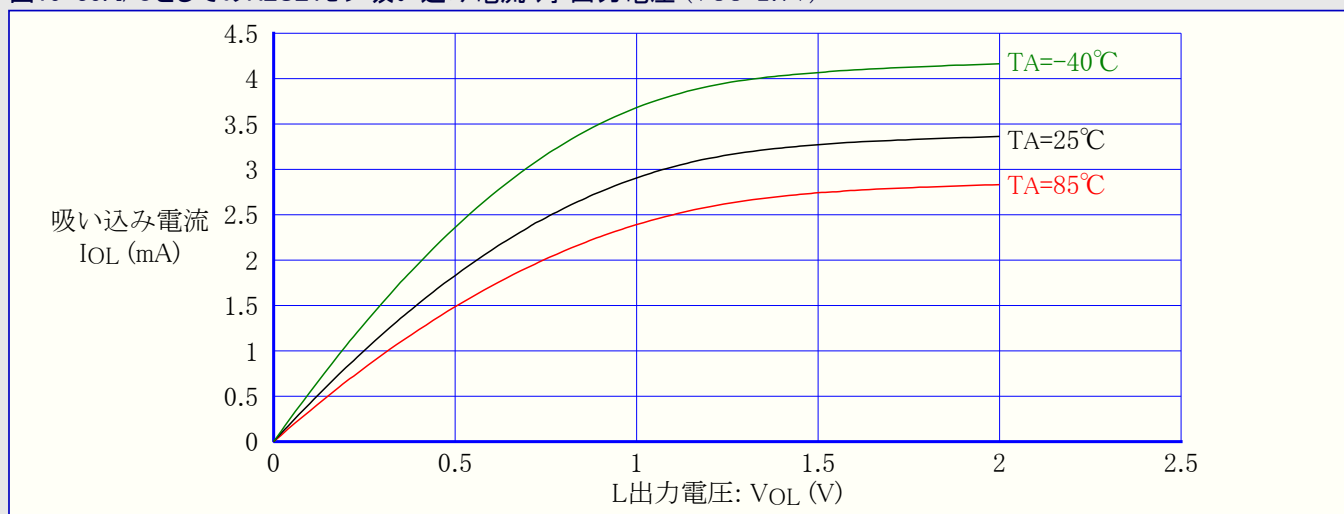
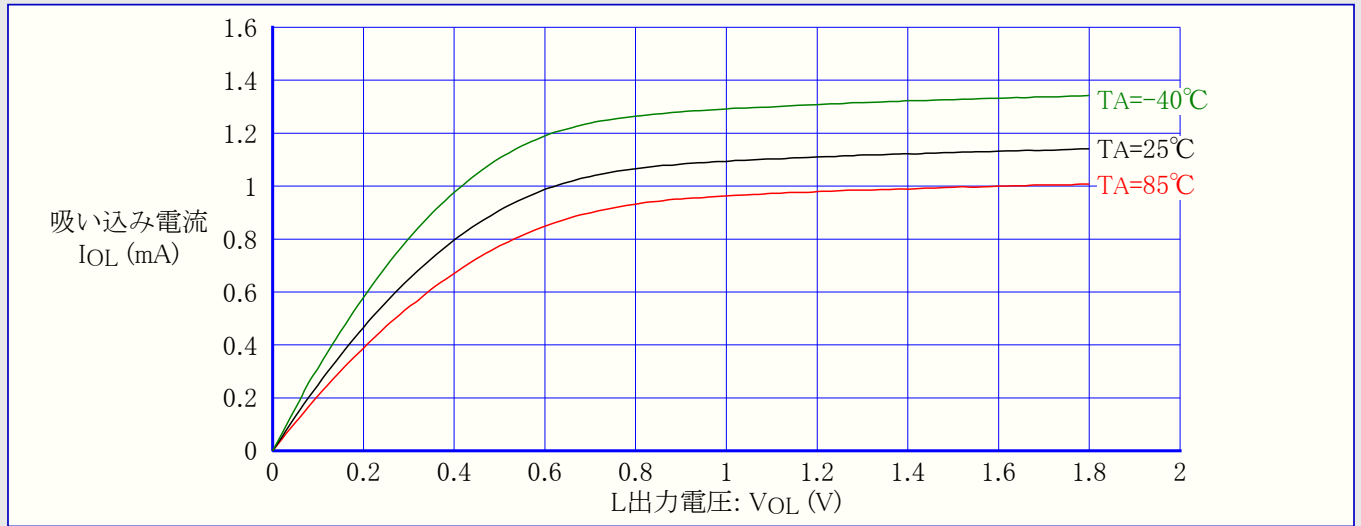


図19-36. I/OとしてのRESETピン 吸い込み電流 対 出力電圧 (VCC=1.8V)



19.6. ピン 閾値とヒステリシス

図19-37. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIH, 1読み値)

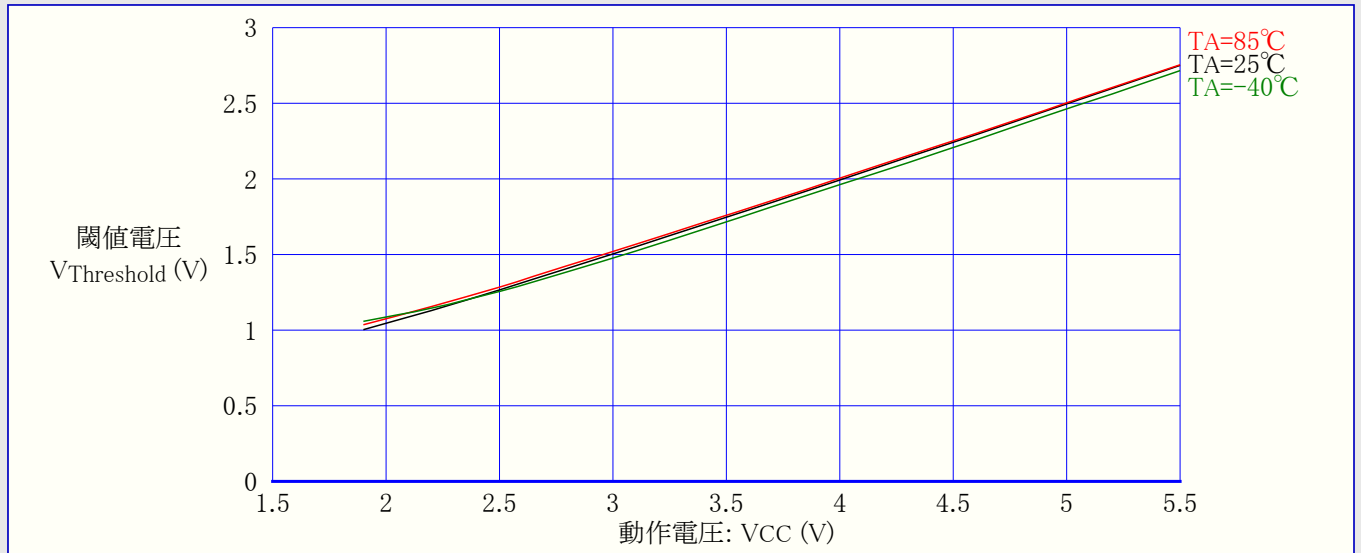


図19-38. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIL, 0読み値)

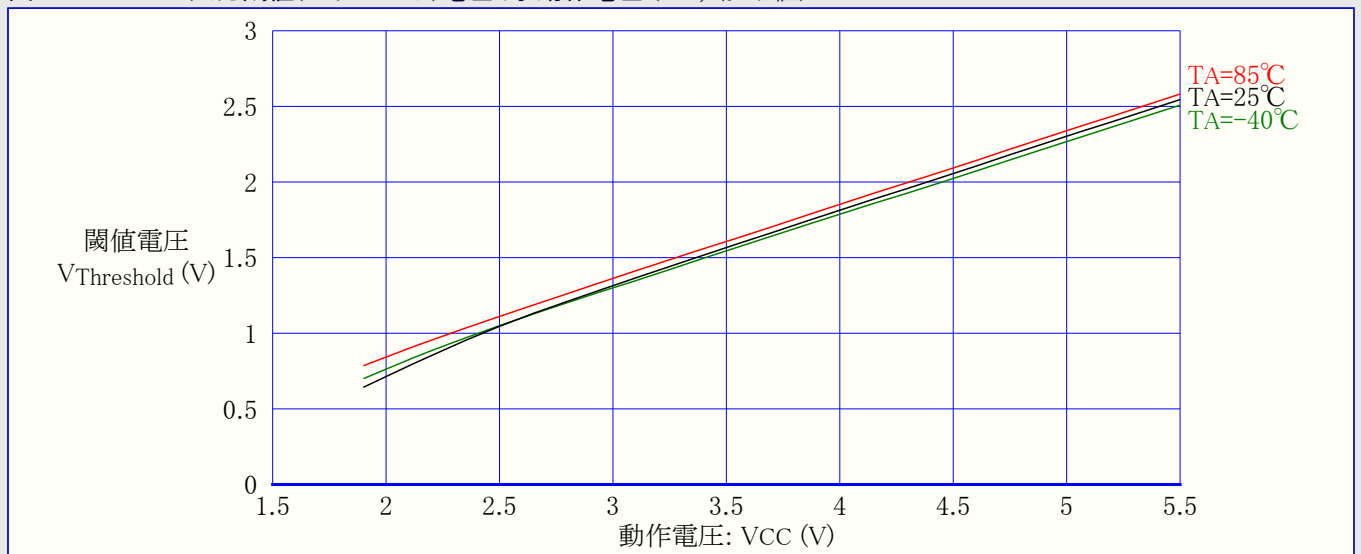


図19-39. I/Oピン入力ヒステリシス電圧 対 動作電圧

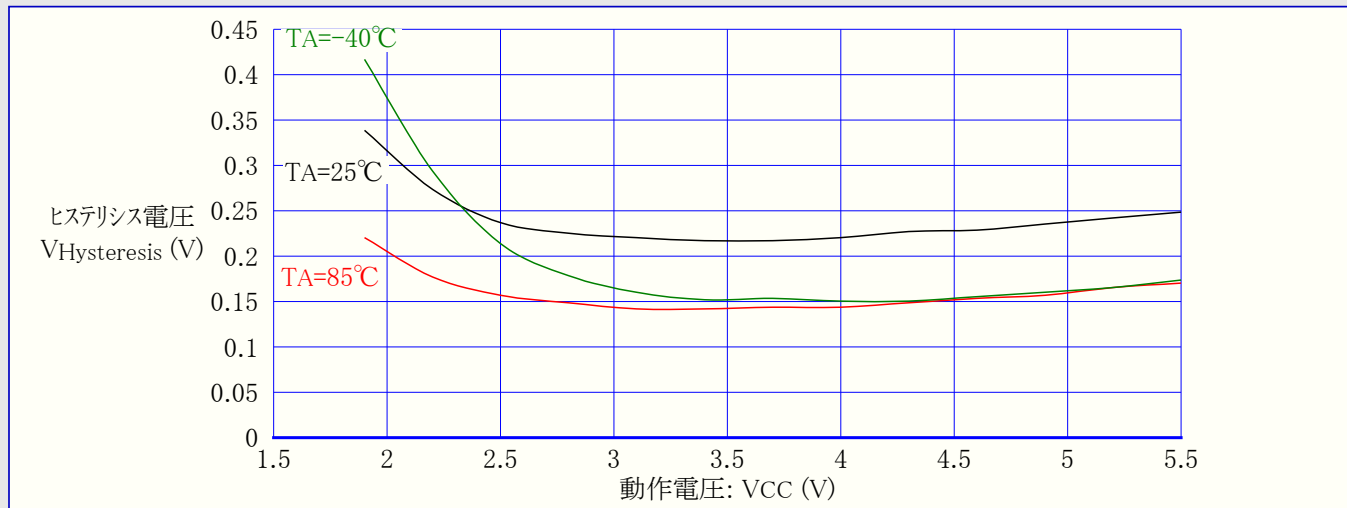


図19-40. I/OとしてのRESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

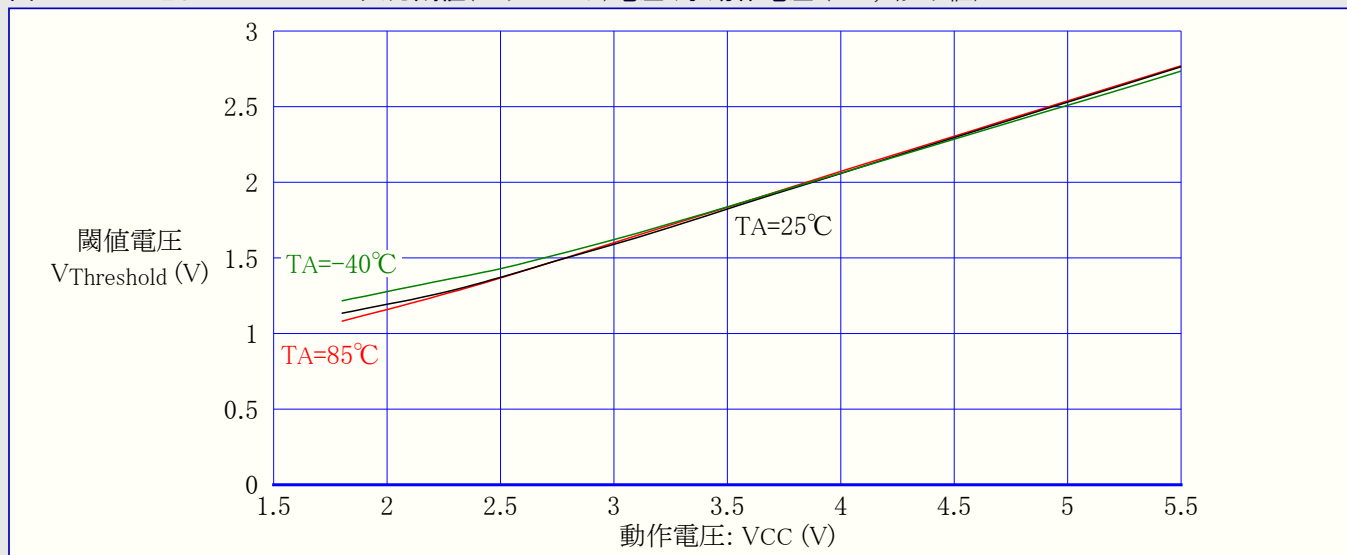


図19-41. I/OとしてのRESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

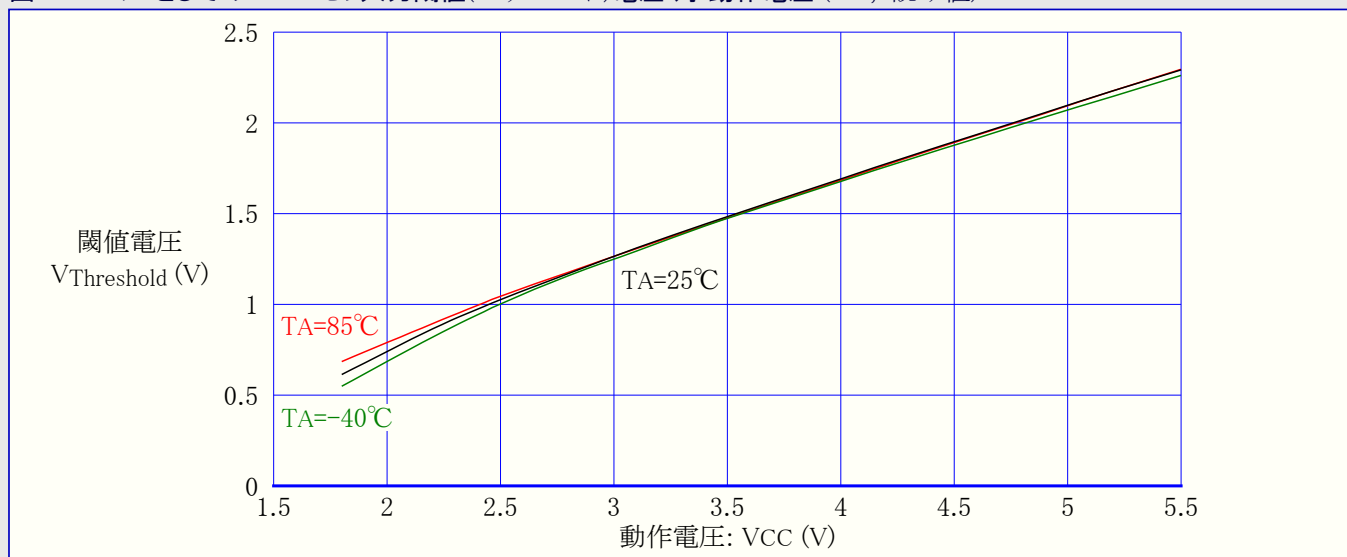


図19-42. I/OとしてのRESETピン入力ヒステリシス電圧 対 動作電圧

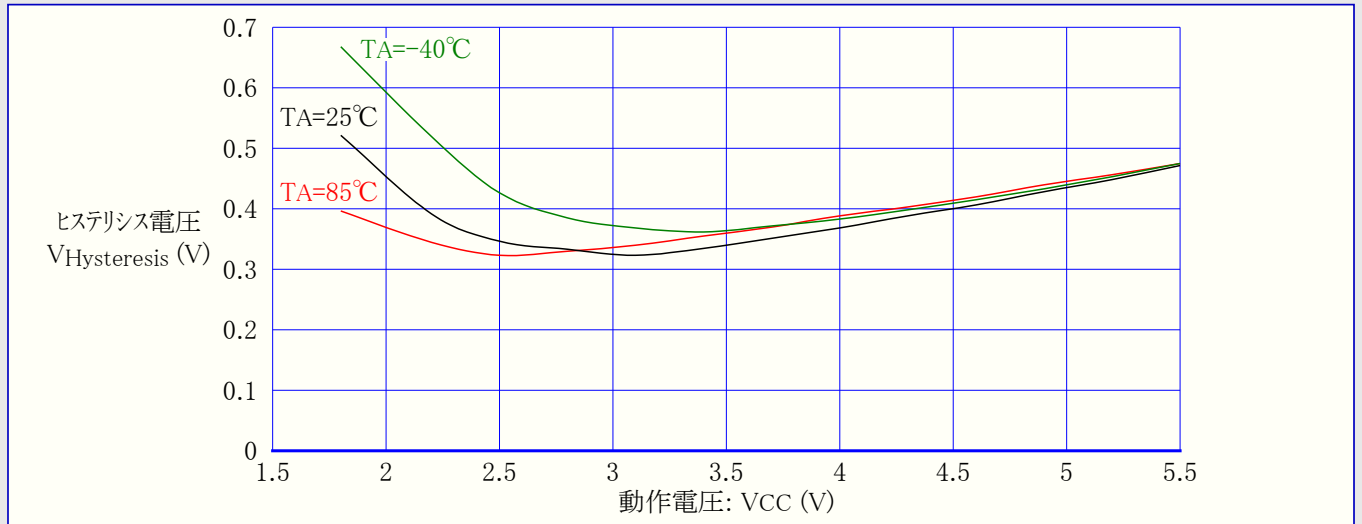


図19-43. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

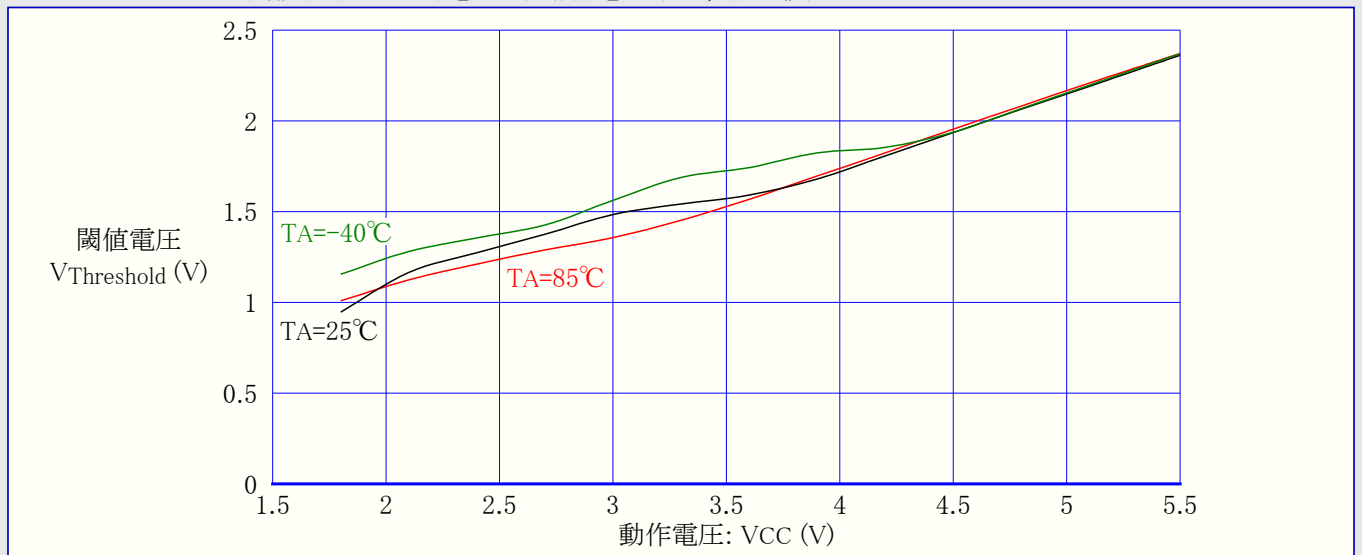


図19-44. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

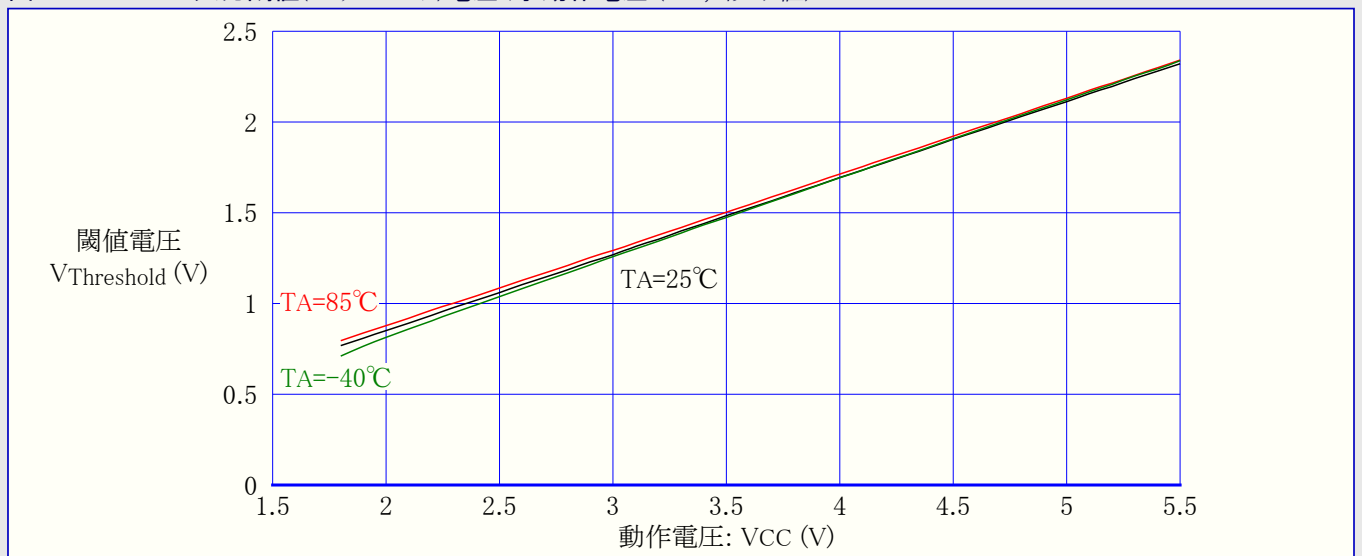
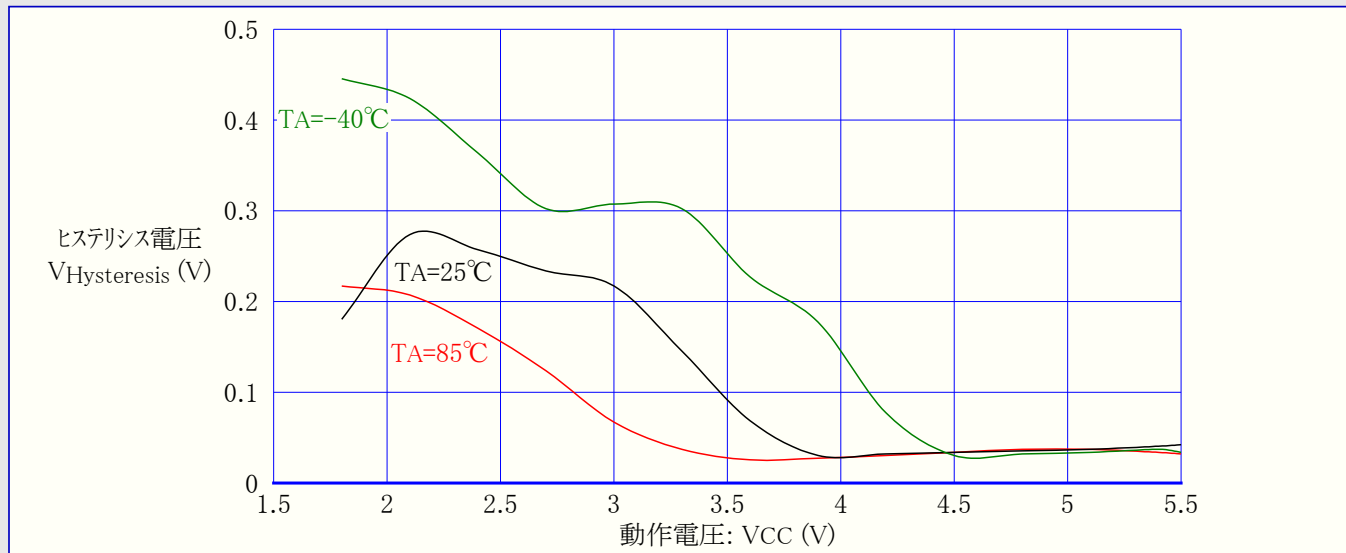


図19-45. RESET入力ヒステリシス電圧 対 動作電圧



19.7. 低電圧検出器(BOD)閾値とアナログ比較器オフセット

図19-46. 低電圧検出器(BOD)閾値(スレッシュホルツ)電圧 対 動作温度 (検出電圧4.3V)

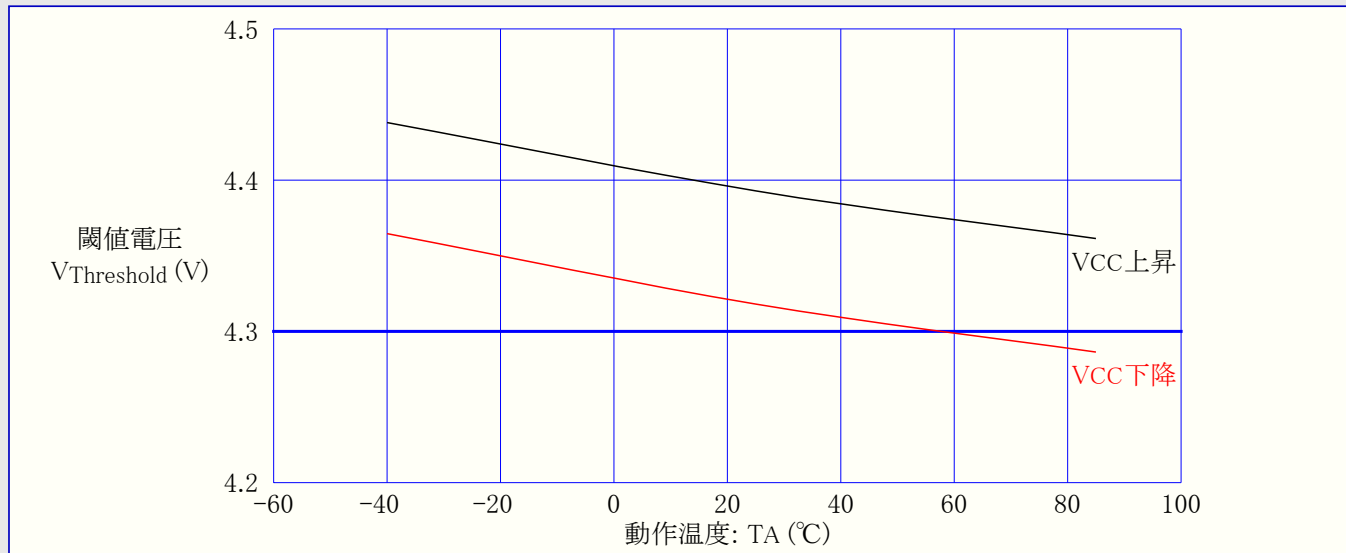


図19-47. 低電圧検出器(BOD)閾値(スレッシュホルツ)電圧 対 動作温度 (検出電圧2.7V)

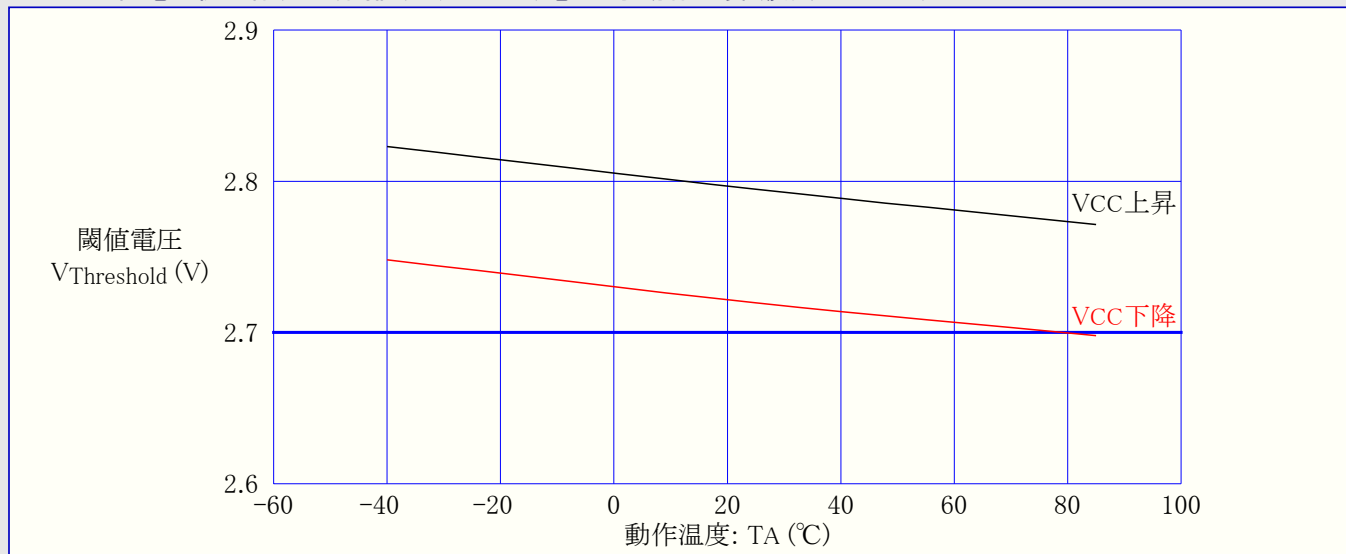


図19-48. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧1.8V)

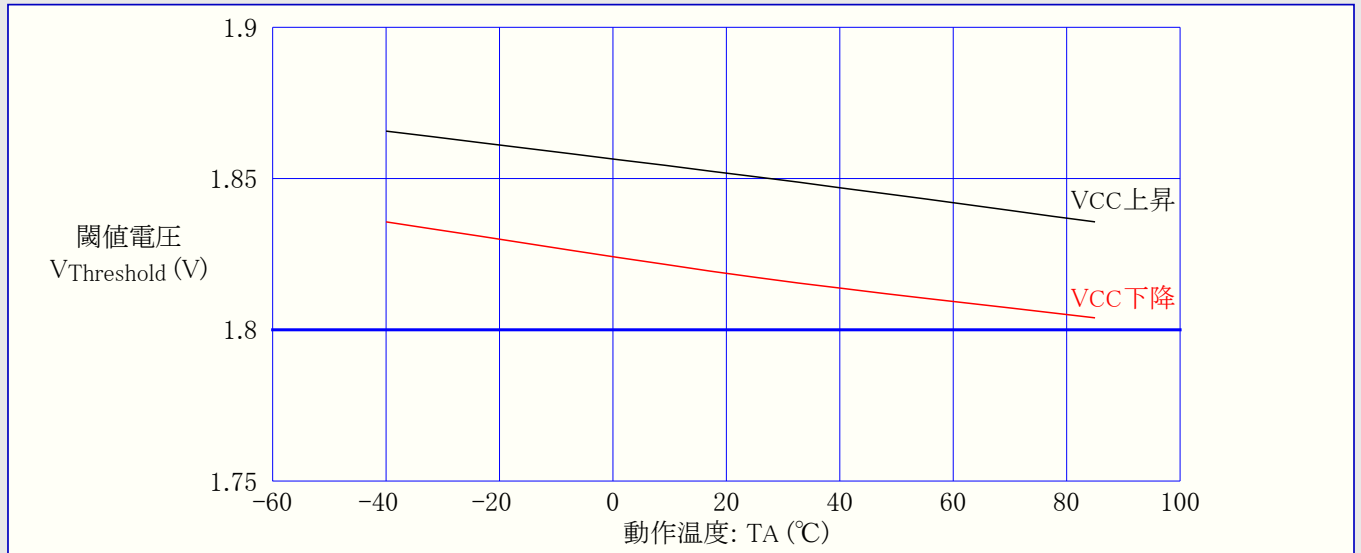
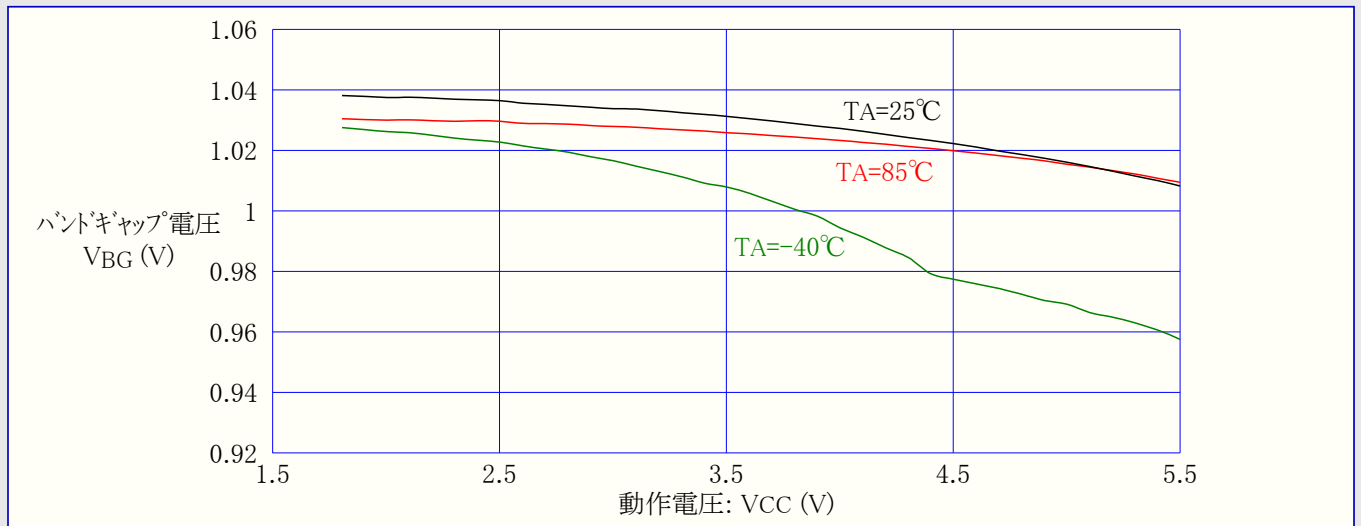


図19-49. 内部基準(バンドギャップ)電圧 対 動作電圧



19.8. 内部発振器周波数

図19-50. 校正済み9.6MHz内蔵RC発振器周波数 対 動作温度

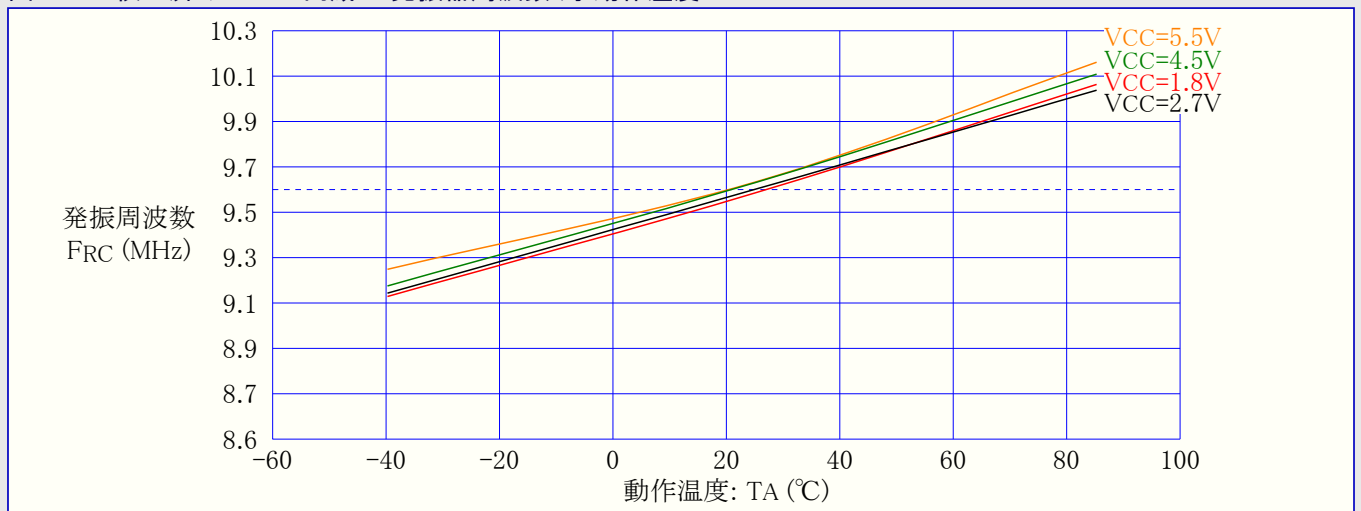


図19-51. 校正済み9.6MHz内蔵RC発振器周波数 対 動作電圧

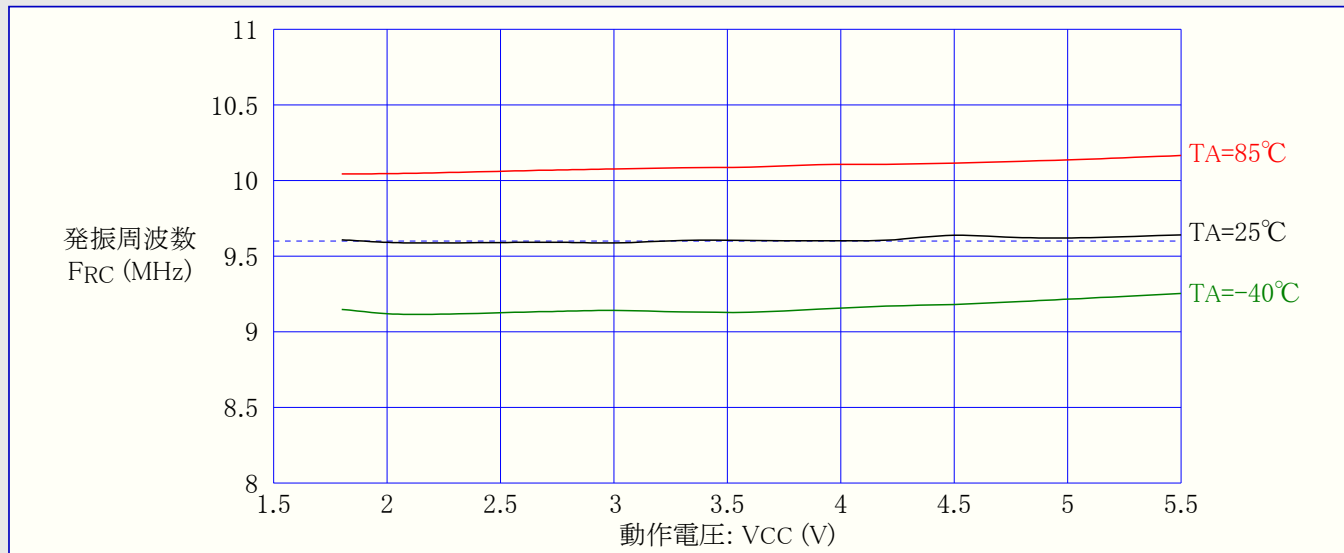


図19-52. 校正付き9.6MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値

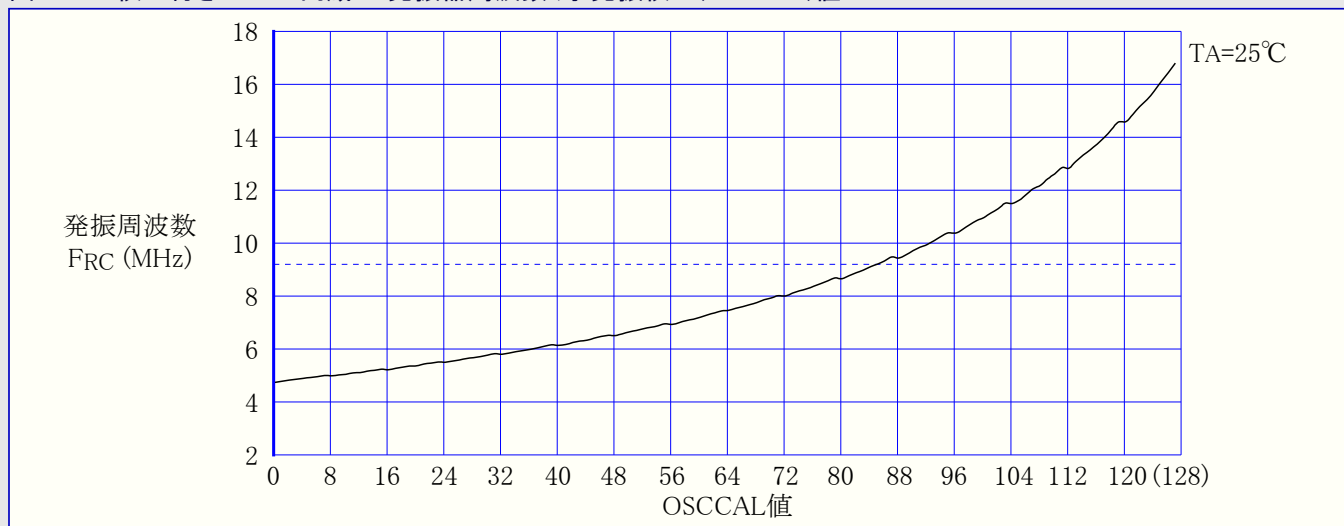


図19-53. 校正済み4.8MHz内蔵RC発振器周波数 対 動作温度

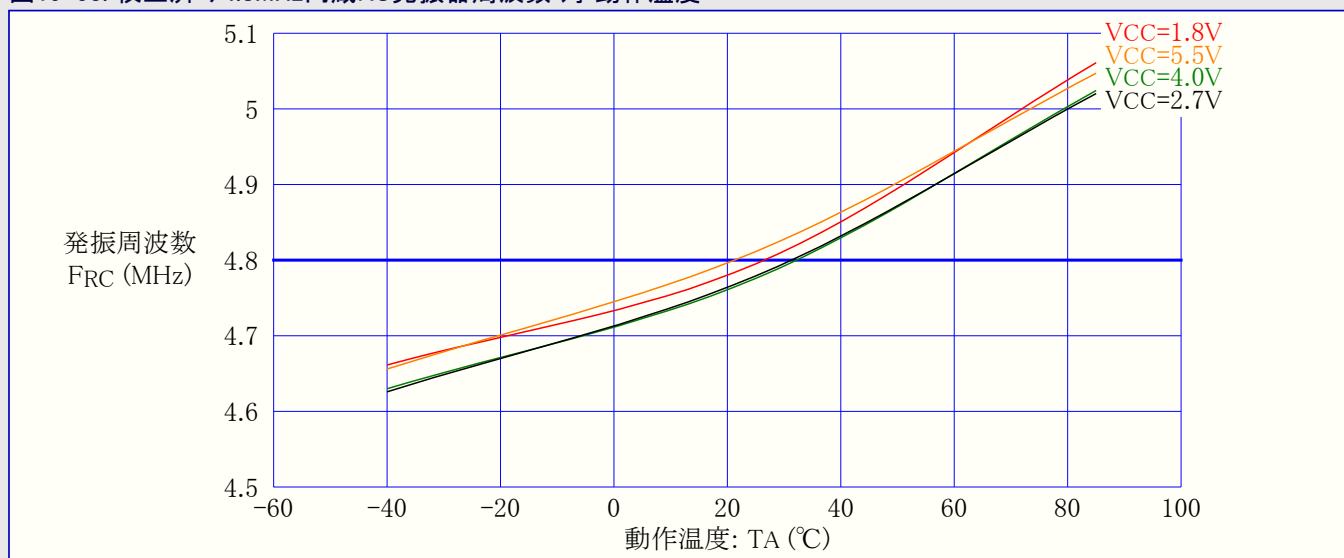


図19-54. 校正済み4.8MHz内蔵RC発振器周波数 対 動作電圧

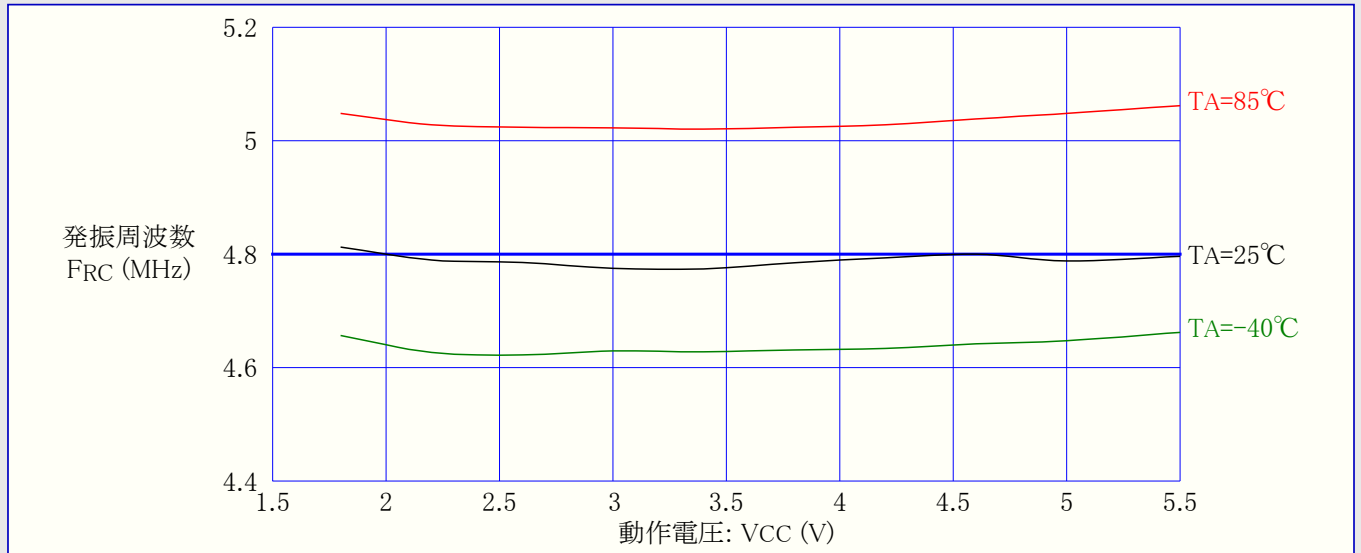


図19-55. 校正付き4.8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値

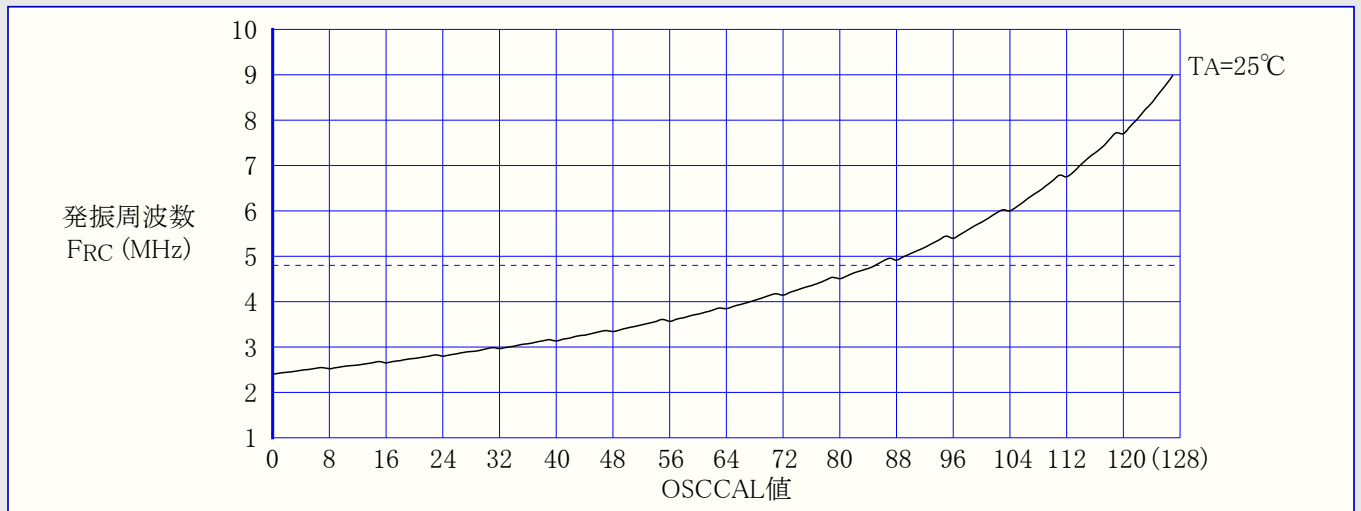


図19-56. 128kHzウォッチドッグ発振器周波数 対 動作電圧

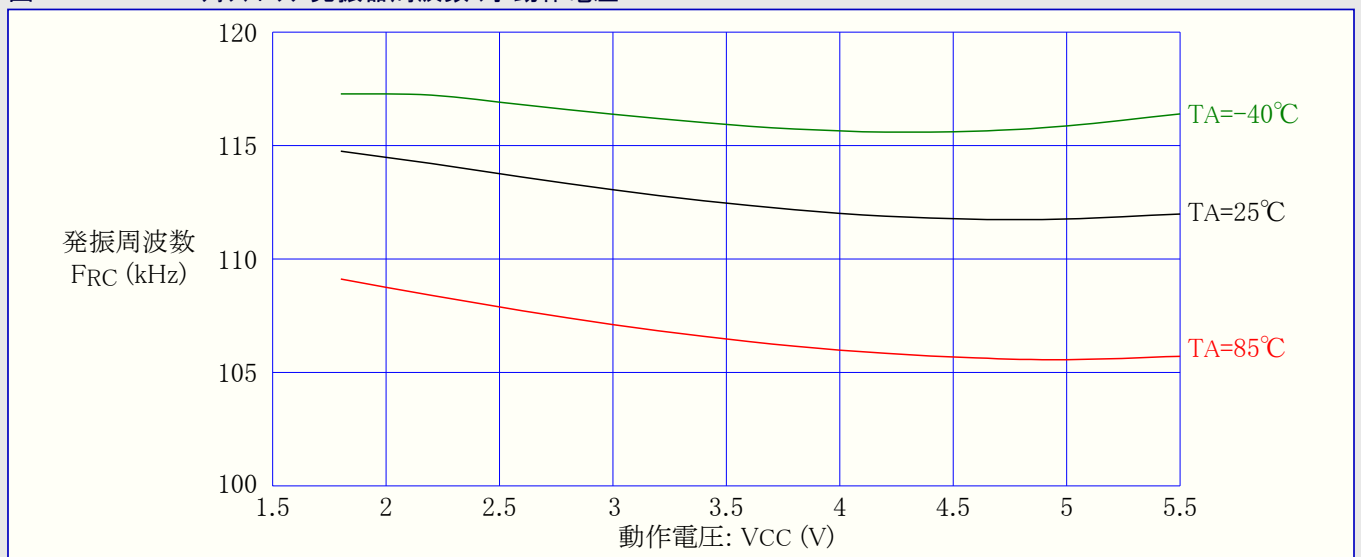
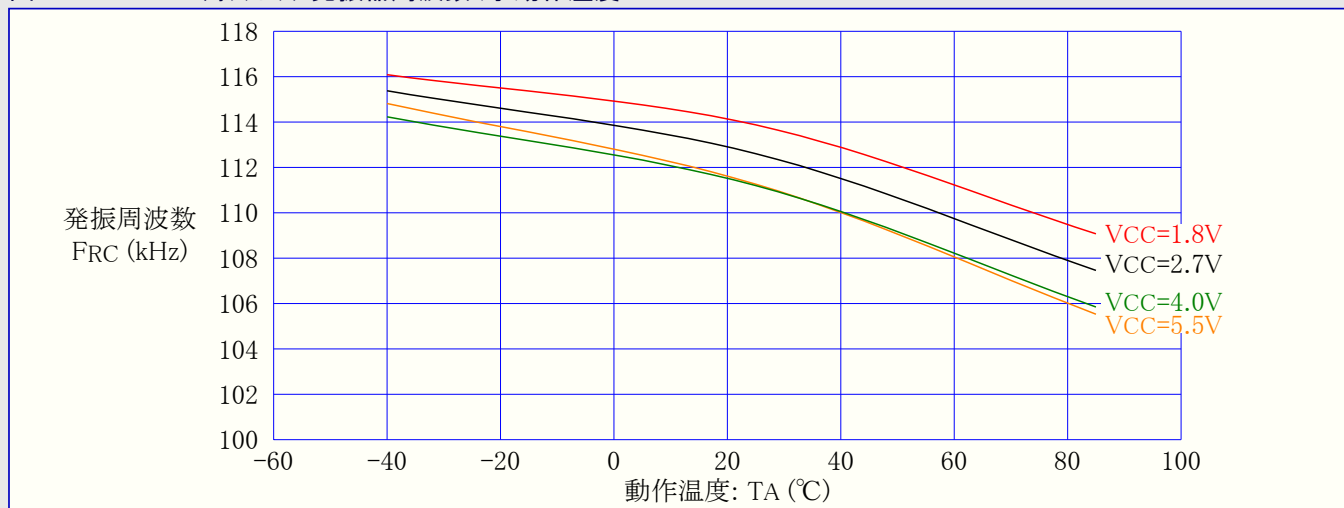


図19-57. 128kHzウォッチドッグ発振器周波数 対 動作温度



19.9. 周辺機能部消費電流

図19-58. 低電圧検出器(BOD)消費電流 対 動作電圧

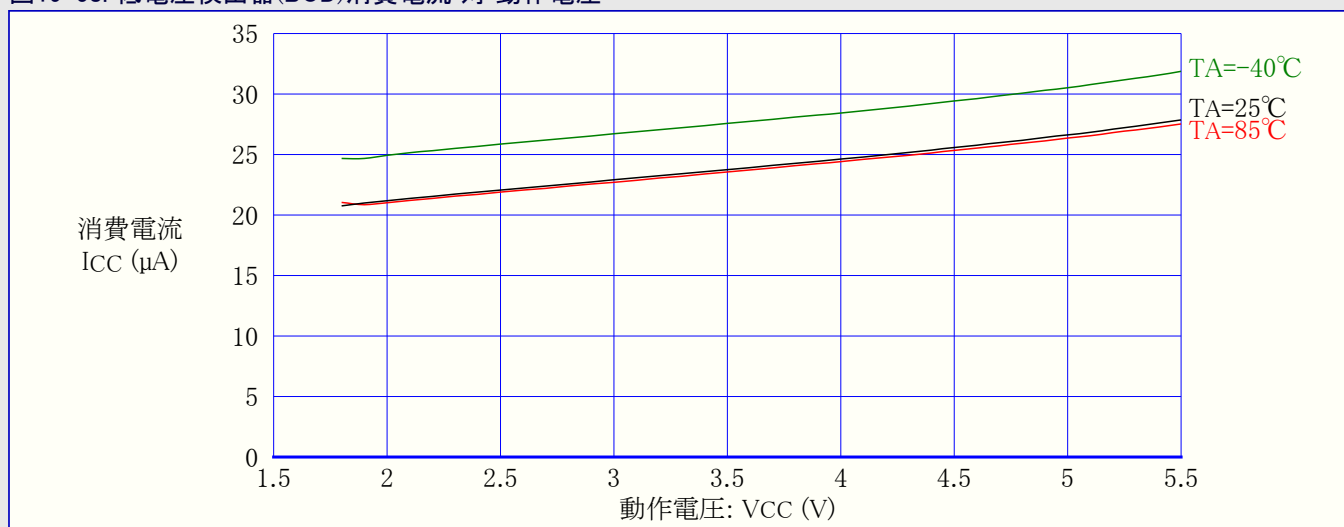


図19-59. A/D変換器消費電流 対 動作電圧

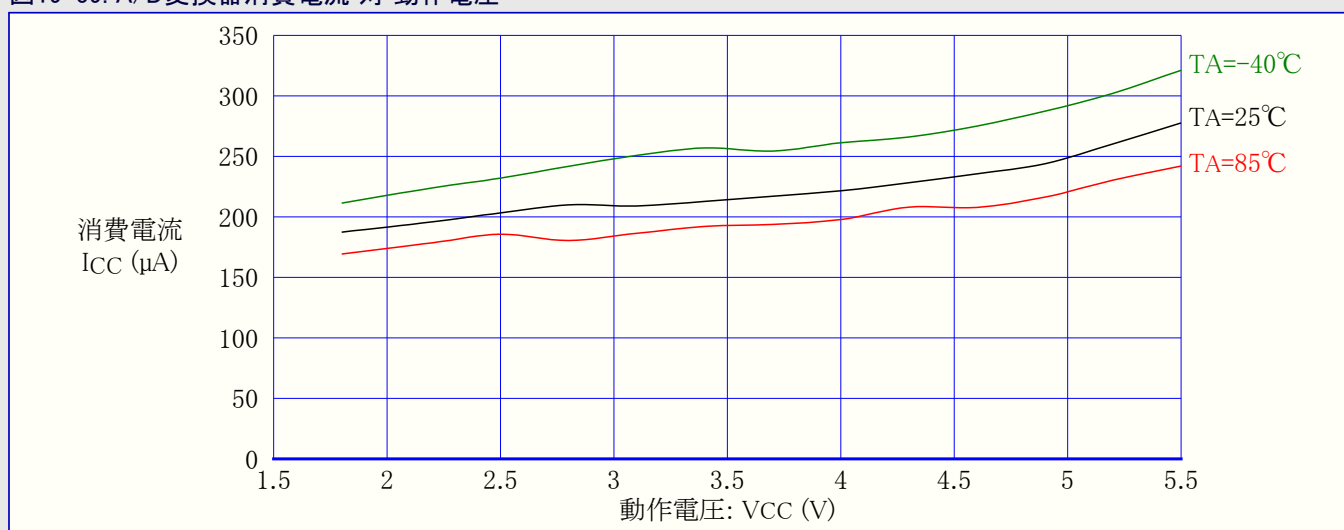


図19-60. アナログ比較器消費電流 対 動作電圧

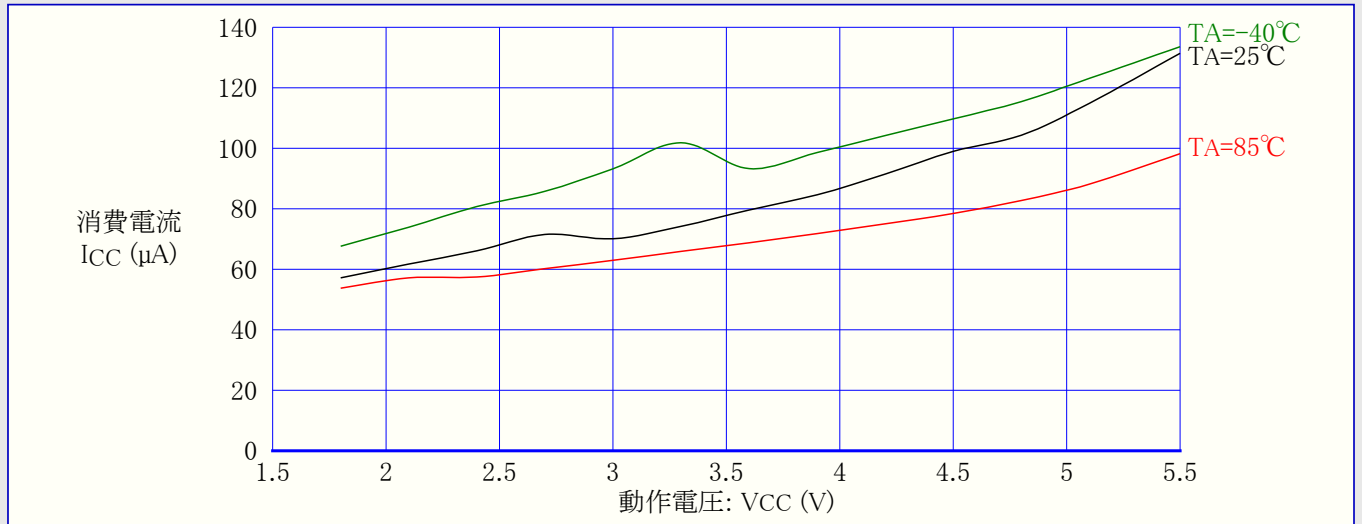
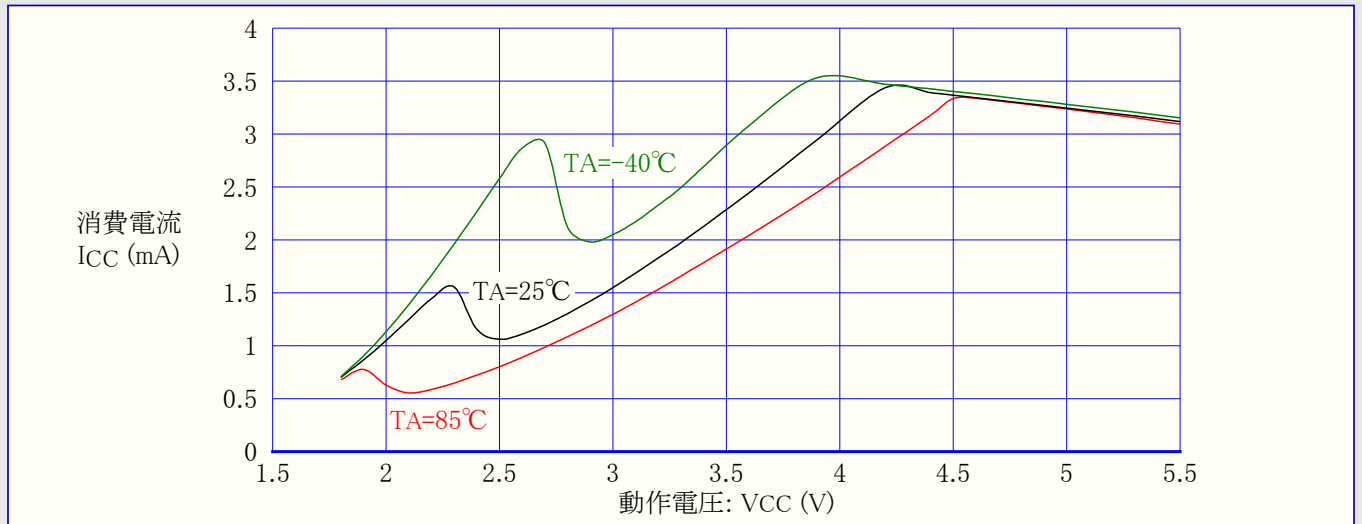


図19-61. フロタミング電流 対 動作電圧



19.10. リセット消費電流とリセット パルス幅

図19-62. リセット消費(供給)電流 対 周波数 (100kHz~1MHz、RESETプルアップ電流を除く)

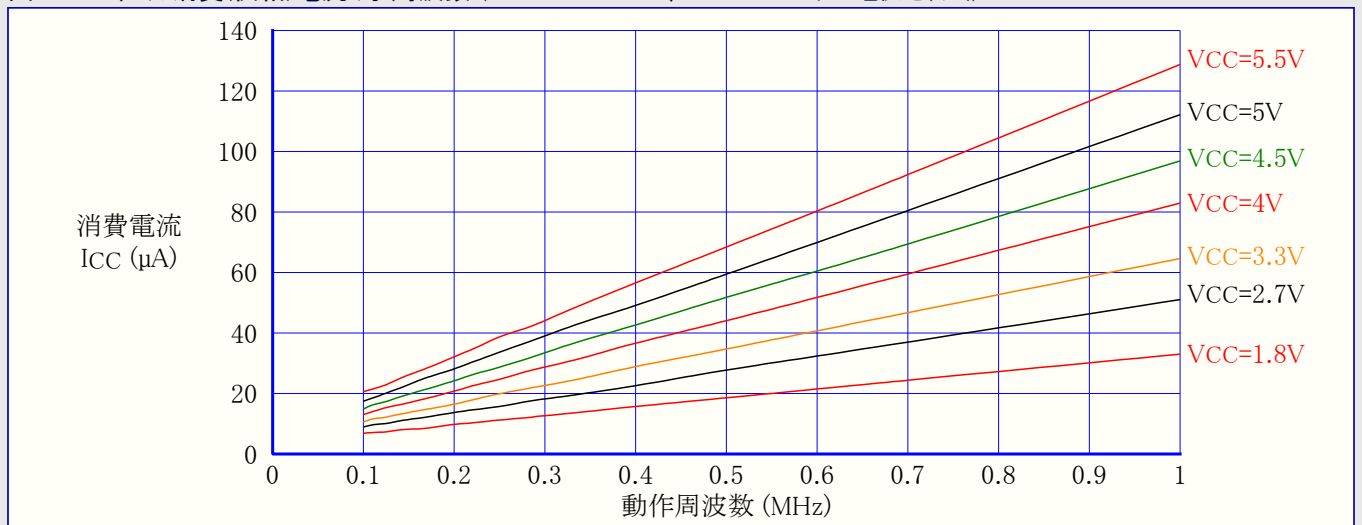


図19-63. リセット消費(供給)電流 対 周波数 (1MHz~24MHz、RESETプルアップ電流を除く)

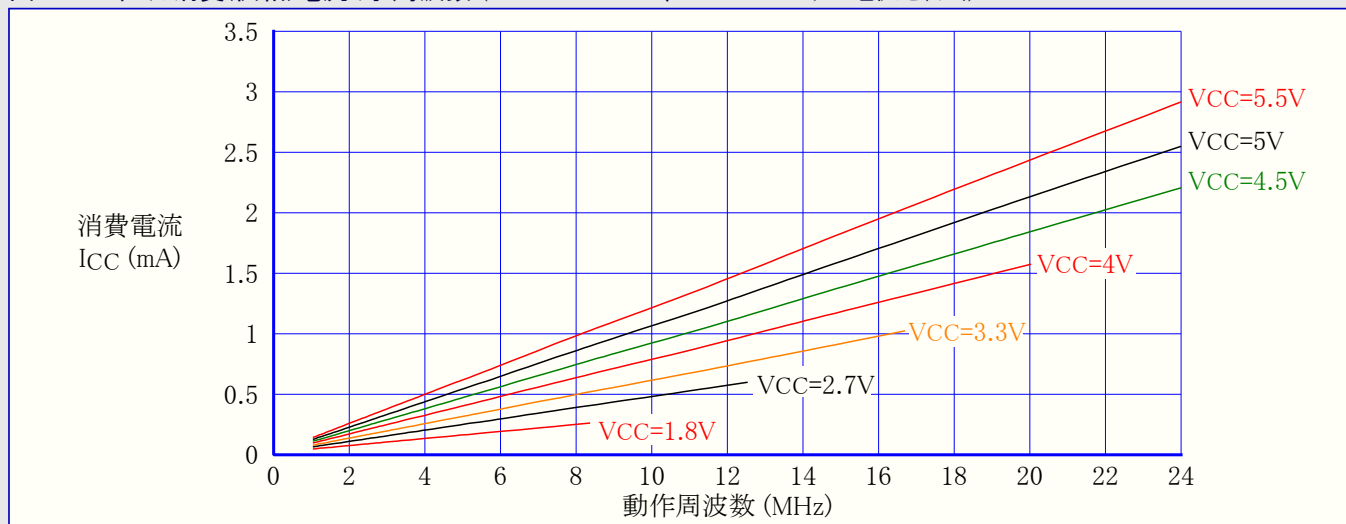
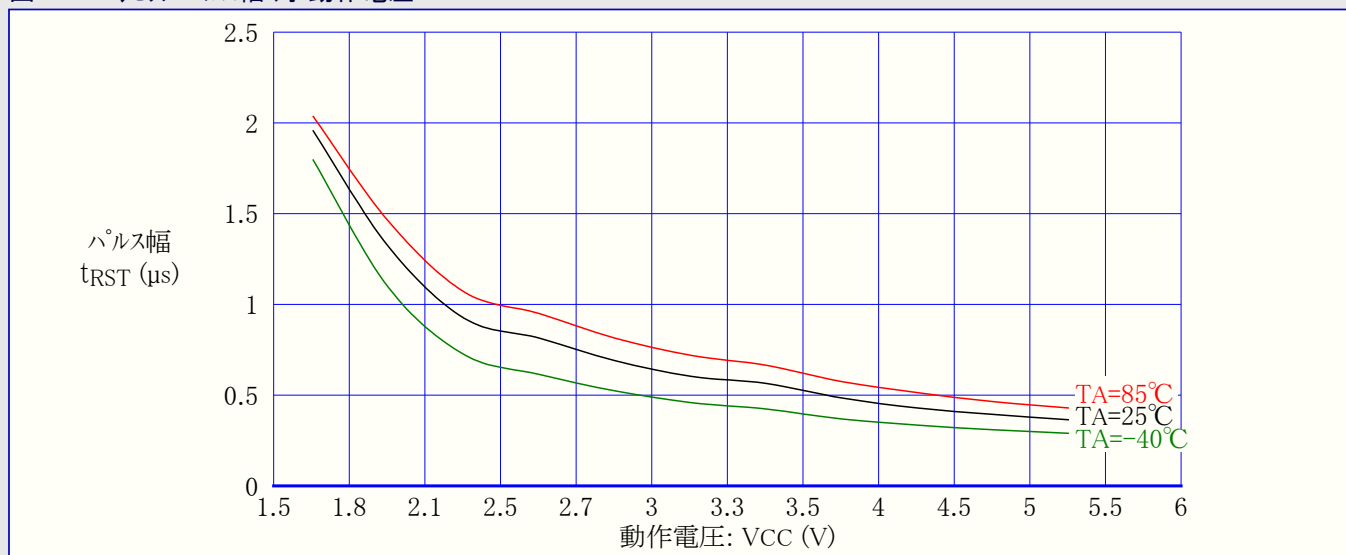


図19-64. リセットパルス幅 対 動作電圧



20. レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	6
\$3E (\$5E)	予約									
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	7
\$3C (\$5C)	予約									
\$3B (\$5B)	GIMSK	–	INT0	PCIE	–	–	–	–	–	31
\$3A (\$5A)	GIFR	–	INTF0	PCIF	–	–	–	–	–	31
\$39 (\$59)	TIMSK0	–	–	–	–	OCIE0B	OCIE0A	TOIE0	–	49
\$38 (\$58)	TIFR0	–	–	–	–	OCF0B	OCF0A	TOV0	–	49
\$37 (\$57)	SPMCSR	–	–	–	CTPB	RFLB	PGWRT	PGERS	SELFPRGEN	67
\$36 (\$56)	OCR0A	タイマ/カウンタ 比較Aレジスタ								48
\$35 (\$55)	MCUCR	–	PUD	SE	SM1	SM0	–	ISC01	ISC00	37,22,30
\$34 (\$54)	MCUSR	–	–	–	–	WDRF	BORF	EXTRF	PORF	27
\$33 (\$53)	TCCR0B	FOC0A	FOC0B	–	–	WGM02	CS02	CS01	CS00	47
\$32 (\$52)	TCNT0	タイマ/カウンタ0								48
\$31 (\$51)	OSCCAL	–	内蔵RC発振器 発振校正値レジスタ							18
\$30 (\$50)	予約									
\$2F (\$4F)	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	46
\$2E (\$4E)	DWDR	デバッグWIRE データレジスタ								63
\$2D (\$4D)	予約									
\$2C (\$4C)	予約									
\$2B (\$4B)	予約									
\$2A (\$4A)	予約									
\$29 (\$49)	OCR0B	タイマ/カウンタ 比較Bレジスタ								48
\$28 (\$48)	GTCCR	TSM	–	–	–	–	–	–	PSR10	51
\$27 (\$47)	予約									
\$26 (\$46)	CLKPR	CLKPCE	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	18
\$25 (\$45)	予約									
\$24 (\$44)	予約									
\$23 (\$43)	予約									
\$22 (\$42)	予約									
\$21 (\$41)	WDTCR	WDTIF	WDTIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	28
\$20 (\$40)	予約									
\$1F (\$3F)	予約									
\$1E (\$3E)	EEARL	–	–	EEPROMアドレスレジスタ (EEAR5~0)						13
\$1D (\$3D)	EEDR	EEPROMデータレジスタ								13
\$1C (\$3C)	EECR	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	13
\$1B (\$3B)	予約									
\$1A (\$3A)	予約									
\$19 (\$39)	予約									
\$18 (\$38)	PORTB	–	–	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	37
\$17 (\$37)	DDRB	–	–	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	37
\$16 (\$36)	PINB	–	–	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	37
\$15 (\$35)	PCMSK	–	–	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	31
\$14 (\$34)	DIDR0	–	–	ADC0D	ADC2D	ADC3D	ADC1D	AIN1D	AIN0D	53,62
\$13 (\$33)	予約									
\$12 (\$32)	予約									
\$11 (\$31)	予約									
\$10 (\$30)	予約									
\$0F (\$2F)	予約									
\$0E (\$2E)	予約									
\$0D (\$2D)	予約									
\$0C (\$2C)	予約									
\$0B (\$2B)	予約									
\$0A (\$2A)	予約									
\$09 (\$29)	予約									
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	–	ACIS1	ACIS0	53
\$07 (\$27)	ADMUX	–	REFS0	ADLAR	–	–	–	MUX1	MUX0	60
\$06 (\$26)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	60
\$05 (\$25)	ADCH	A/Dデータレジスタ 上位バイト (ADC9~8またはADC9~2)								62
\$04 (\$24)	ADCL	A/Dデータレジスタ 下位バイト (ADC7~0またはADC1~0)								
\$03 (\$23)	ADCSRB	–	ACME	–	–	–	ADTS2	ADTS1	ADTS0	52,61
\$02 (\$22)	予約									
\$01 (\$21)	予約									
\$00 (\$20)	予約									

注: 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリアドレスは決して書かれるべきではありません。

- アドレス範囲\$00~\$1FのI/OレジスタはCBIとSBI命令の使用で直接アクセス可能です。これらのレジスタの単一ビットはCBISとSBIS命令の使用によって検査できます。いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけ操作し、従ってこのような状態フラグを含むレジスタで使えることに注意してください。CBIとSBI命令は\$00~\$1Fのレジスタだけで動作します。

21. 命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,C	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		レジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBSI	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
 b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグWIRE機能専用	I,T,H,S,V,N,Z,C	N/A

22. 注文情報

速度(MHz)	電源電圧	注文コード* (注2,4)	外囲器	動作範囲
10 (注3)	1.8～5.5V	ATtiny13V-10PU	8P3	工業用 (-40℃～85℃)
		ATtiny13V-10SU	8S2	
		ATtiny13V-10SU		
		ATtiny13V-10SSU	S8S1	
		ATtiny13V-10SSU		
		ATtiny13V-10MMU	10M1	
		ATtiny13V-10MMU		
		ATtiny13V-10MU	20M1	
ATtiny13V-10MU				
20 (注3)	2.7～5.5V	ATtiny13-20PU	8P3	
		ATtiny13-20SU	8S2	
		ATtiny13-20SU		
		ATtiny13-20SSU	S8S1	
		ATtiny13-20SSU		
		ATtiny13-20MMU	10M1	
		ATtiny13-20MMU		
		ATtiny13-20MU	20M1	
ATtiny13-20MU				

注: このデバイスはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

注3: 速度対VCCについては78頁の「速度勾配」をご覧ください。

注4: 符号は以下を示します。

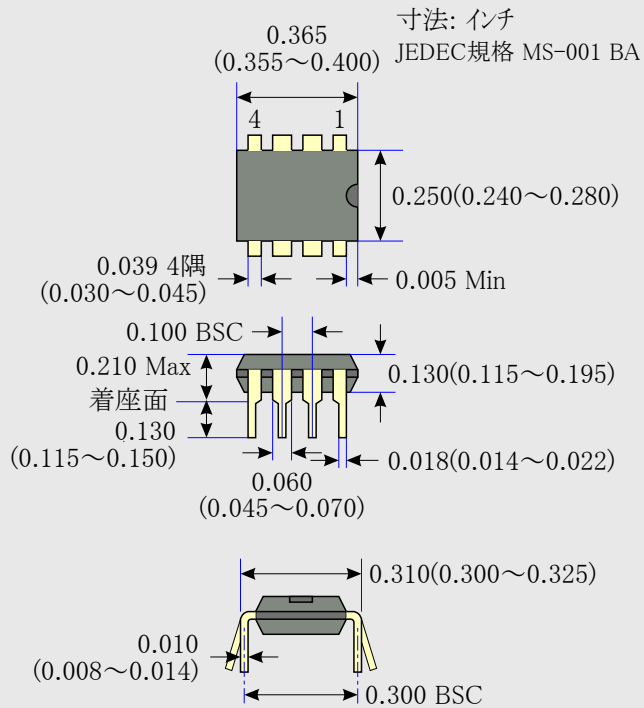
- U : 半光沢錫
- R : テープとリール

外囲器形式	
8P3	8ピン 300mil幅 プラスティック2列直線外囲器 (PDIP)
8S2	8リード 209mil幅 プラスティック小型外形外囲器 (EIAJ SOIC)
S8S1	8リード 150mil幅 プラスティック小型外形外囲器 (JEDEC SOIC)
10M1	10パッド 3×3×1mm 0.5mmピッチ 4方向平板リードなし/小リード枠外囲器 (QFN/MLF)
20M1	20パッド 4×4×0.8mm 0.5mmピッチ 4方向平板リードなし/小リード枠外囲器 (QFN/MLF)

23. 外圍器情報

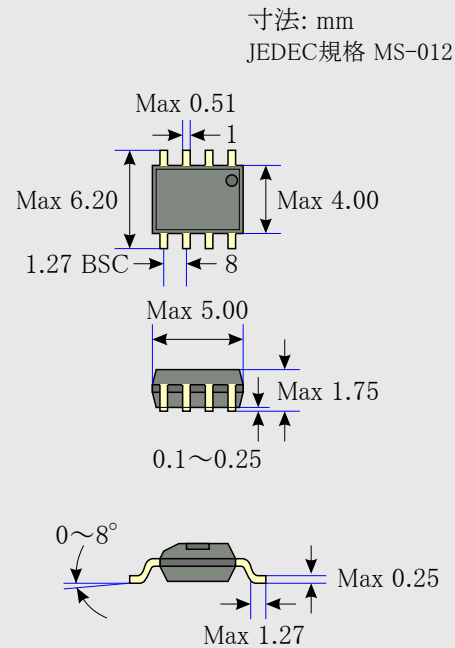
23.1. 8P3

8ピン 300mil幅 プラスティック2列直線外圍器 (PDIP)



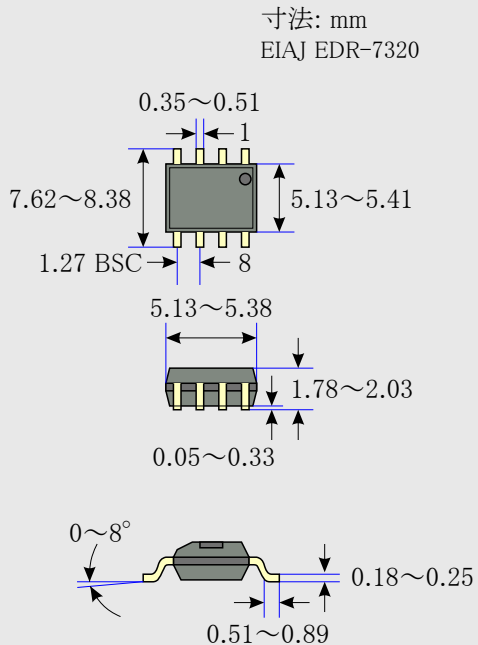
23.2. S8S1

8リット 150mil幅 プラスティック小型外形外圍器 (JEDEC SOIC)



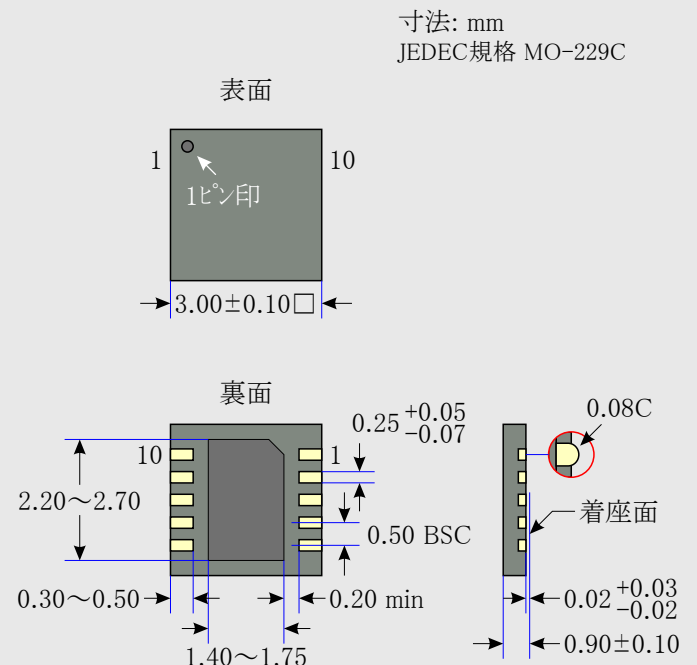
23.3. 8S2

8リット 209mil幅 プラスティック小型外形外圍器 (EIAJ SOIC)



23.4. 10M1

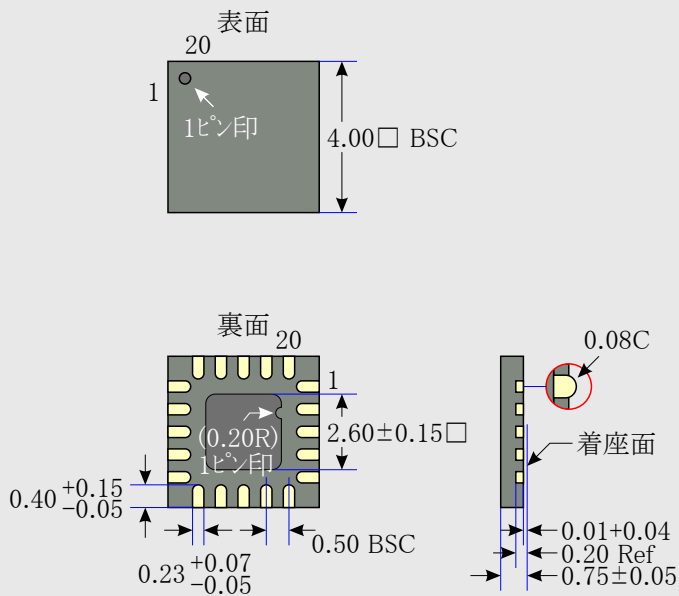
10パット 0.5mmピッチ 4方向平板リットなし/小リット枠外圍器 (QFN/MLF)



23.5. 20M1

20ピン、0.5mmピッチ 4方向平板リードなし/小リード枠外形器
(QFN/MLF)

寸法: mm
JEDEC規格 MO-220



24. 障害情報

この章の改訂番号はATtiny13デバイスの改訂版を参照してください。

改訂A,C

改訂版AとCは試供されていません。

- ・ 単独消去操作後の不正値読み込み B
- ・ フラッシュメモリ、EEPROM、ヒューズと施錠ビットの高電圧直列プログラミング失敗の可能性 B
- ・ 更なるプログラミングに対するデバイス固定化の可能性 B
- ・ 施錠ビットによるデバッグWIRE通信の防止未了 B
- ・ ウォッチドッグタイマ割り込みが禁止 B
- ・ 1.9V以下でのEEPROM書き込み不可 B/D

1. 単独消去操作後の不正値読み込み (B)

2.7V以下の電圧印加で、消去操作のみで消去されたEEPROM位置はプログラム(\$00)として読むかもしれません。

対策/対処

単独消去後にEEPROM位置を読む必要がある場合、その位置を消去するために値として\$FFの**非分離書き込み**を使ってください。どんな場合も単独書き込み操作は予定どおりに使えます。従って消去された位置がプログラミング以前に読めない限り、特別な考慮の必要はありません。

2. フラッシュメモリ、EEPROM、ヒューズと施錠ビットの高電圧直列プログラミング失敗の可能性 (B)

これらの位置とビットへの書き込みはいくつかの場合で失敗するかもしれません。

対策/対処

書き込み開始後、常にRDY/BSY信号を監視してください。書き込み失敗した場合、RDY/BSYが正しい書き込みを確認するまで再書き込みを行ってください。これは改訂Dで修正されるでしょう。

3. 更なるプログラミングに対するデバイス固定化の可能性 (B)

ヒューズビットの特別な組み合わせは更なるプログラミングに対してデバイスを固定化し、實際上OTP(One Time Programmable)デバイスに切り替えます。次のヒューズビットの組み合わせ設定がこの結果を引き起こします。

- ・ 128kHz内部発振器(CKSEL1,0=**11**)、最短起動時間(SUT1,0=**00**)、デバッグWIRE許可(DWEN=**0**)または外部リセット禁止(RSTDISBL=**0**)
- ・ 9.6MHz内蔵RC発振器(CKSEL1,0=**10**)、最短起動時間(SUT1,0=**00**)、デバッグWIRE許可(DWEN=**0**)または外部リセット禁止(RSTDISBL=**0**)
- ・ 4.8MHz内蔵RC発振器(CKSEL1,0=**01**)、最短起動時間(SUT1,0=**00**)、デバッグWIRE許可(DWEN=**0**)または外部リセット禁止(RSTDISBL=**0**)

対策/対処

上のヒューズ設定を避けてください。長い起動時間選択(設定)がこの問題を無くします。

4. 施錠ビットによるデバッグWIRE通信の防止未了 (B)

デバッグWIRE内蔵デバッグが許可(DWEN=**0**)されると、例え更なるデバイス読み出しを防止するために**施錠ビット**が設定されていても、プログラムメモリとEEPROMデータメモリの内容は読めます。

対策/対処

ATtiny13の内蔵デバッグ許可で製品を出荷しないでください。

5. ウォッチドッグタイマ割り込みが禁止 (B)

ウォッチドッグタイマ割り込み要求フラグ(WDTIF)が次の計時完了発生に先立って解除(**0**)されなければ、ウォッチドッグは禁止され、割り込み要求フラグは自動的に解除(**0**)されます。これは割り込みのみの動作種別にだけ当てはまります。ウォッチドッグ計時完了に続く割り込みでウォッチドッグがデバイスリセットに設定されれば、デバイスは正しく動作します。

対策/対処

次のウォッチドッグ計時完了が起こる前に、先行する計時完了発生での処理が常に十分な時間であることに注意してください。これは十分に長い計時完了周期を選択することによって行われます。

6. 1.9V以下でのEEPROM書き込み不可 (B/D)

1.9V以下のVCCでのEEPROM書き込みは失敗するかもしれません。

対策/対処

VCCが1.9V以下の時にEEPROMを書かないでください。

25. データシート改訂履歴

本章内の頁番号がこの資料の現状版を参照することに注意してください。

25.1. 2535A – 2003年6月

1. 未公開

25.2. 2535B – 2004年1月

1. 3頁の図2-1を更新
2. 28頁の表8-2、60頁の表14-3、78頁の表18-3、79頁の表18-4を更新
3. 16頁の「校正付き内蔵4.8/9.6MHz発振器」を更新
4. 25頁からの「ウォッチドッグ タイマ」全体を更新
5. 71頁の図17-1、73頁の図17-2を更新
6. 37頁の「MCU制御レジスタ(MCUCR)」、47頁の「タイマ/カウンタ制御レジスタB(TCCR0B)」、53頁の「デジタル入力禁止レジスタ0(DIDR0)」を更新
7. 77頁の「電氣的特性」で「絶対最大特性」と「DC特性」を更新
8. 78頁に「速度勾配」を追加
9. 80頁の「A/D変換器特性」を更新
10. 82頁からの「代表特性」を更新
11. 107頁の「注文情報」を更新
12. 108頁の「外圍器情報」を更新
13. 110頁の「障害情報」を更新
14. EEARをEEARLに改名

25.3. 2535C – 2004年2月

1. Cコード例をIAR標準構文規則へ更新
2. WDIFをWDTIF、WDIEをWDTIEに改名
3. 7頁の「スタック ポインタ(SPL)」を更新
4. 16頁の「校正付き内蔵4.8/9.6MHz発振器」を更新
5. 18頁の「発振校正レジスタ(OSCCAL)」を更新
6. 25頁の「ウォッチドッグ タイマ」で序文の誤植を更新
7. 57頁の表14-1「A/D変換時間」を更新
8. 71頁の「低電圧直列プログラミング」を更新
9. 77頁の「電氣的特性」を更新
10. 107頁の「注文情報」を更新
11. 110頁の「障害情報」から改訂Cを削除

25.4. 2535D – 2004年4月

1. 最大動作速度を変更
 - ・ 12MHzを10MHzへ
 - ・ 24MHzを20MHzへ
2. 72頁の「低電圧直列プログラミング命令一式」を更新
3. 78頁の「速度勾配」を更新
4. 107頁の「注文情報」を更新

25.5. 2535E – 2004年10月

1. 資料内でEEMWE/EEWEビットをEEMPE/EEPEに変更
2. 2頁の「ピン配置」を更新
3. 74頁の表17-13での「下位ヒューズ書き込み」、78頁の表18-3を更新
4. 30頁に「ピン変化割り込みタイミング」を追加
5. 31頁の「一般割り込み許可レジスタ(GIMSK)」を更新
6. 31頁の「ピン変化割り込み許可レジスタ(PCMSK)」を更新

7. 71頁の「低電圧直列プログラミング手順」で項目4.を更新
8. 73頁の「高電圧直列プログラミング動作への移行」を更新
9. 77頁の「DC特性」を更新
10. 82頁からの「代表特性」を更新
11. 107頁の「注文情報」を更新
12. 108頁の「外圍器情報」を更新
13. 110頁の「障害情報」を更新

25.6. 2535F – 2006年4月

1. 未公開

25.7. 2535G – 2007年1月

1. 暫定を削除
2. 28頁の表8-1.、79頁の表18-4.、80頁の表18-8.を更新
3. 79頁の表18-4.から注を削除
4. 53頁の「ビット6 – ACBG : 基準電圧選択」を更新
5. 56頁の「前置分周と変換タイミング」を更新
6. 80頁の図18-4.を更新
7. 77頁の「電氣的特性」を更新
8. 107頁の「注文情報」を更新
9. 108頁の「外圍器情報」を更新

25.8. 2535H – 2007年10月

1. 1頁の「特徴」を更新
2. 2頁の「ピン配置」を更新
3. 4頁に「データ保持力」を追加
4. 26頁のアセンブリ言語コード例を更新
5. 31頁の「一般割り込み許可レジスタ (GIMSK)」でビット5記述を更新
6. 36頁の「ポートBの交換機能」で表10-3.を更新
7. 57頁の「A/D変換基準電圧」を更新
8. 70頁の「校正値バイト」を更新
9. 72頁で「校正値読み出し」を更新
10. 73頁の「高電圧直列プログラミング動作への移行」で方法を更新
11. 74頁で「校正値読み出し」を更新
12. 78頁の外部クロック特性で値(表18-3.)を更新
13. 80頁の「低電圧直列プログラミング特性」で表18-8.を更新
14. 107頁の「注文情報」を更新
15. 108頁の「外圍器情報」を更新

25.9. 2535I – 2008年5月

1. 資料雛形、配置、段落形式を更新
2. 1頁の「特徴」を更新
3. 項目作成:
 - ・ 78頁の「校正付き内蔵RC発振器精度」
 - ・ 79頁の「アナログ比較器特性」
4. 項目更新:
 - ・ 15頁の「システム クロックとクロック選択」
 - ・ 16頁の「校正付き内蔵4.8/9.6MHz発振器」
 - ・ 30頁の「外部割り込み」
 - ・ 58頁の「アナログ雑音低減技術」
 - ・ 63頁の「デバッグWIREの制限」
 - ・ 66頁の「ファームウェアからの施錠ビットとヒューズの読み出し」

- ・ 69頁の「ヒューズ・ビット」
 - ・ 70頁の「校正值バイト」
 - ・ 73頁の「高電圧直列プログラミング特性」
 - ・ 107頁の「注文情報」
5. 図更新:
- ・ 58頁の「アナログ入力回路」
 - ・ 81頁の「高電圧直列プログラミング タイミング」
6. 図移動:
- ・ 80頁の「低電圧直列プログラミング タイミング」
 - ・ 80頁の「低電圧直列プログラミング 波形」
 - ・ 81頁の「高電圧直列プログラミング タイミング」
7. 表更新:
- ・ 77頁の「DC特性」
 - ・ 80頁の「低電圧直列プログラミング特性」
8. 表移動:
- ・ 72頁の「低電圧直列プログラミング 命令一式」
 - ・ 80頁の「低電圧直列プログラミング特性」
 - ・ 81頁の「高電圧直列プログラミング特性」
9. 項に関してレジスタ内容更新:
- ・ 46頁の「タイマ/カウンタ制御レジスタA(TCCR0A)」
 - ・ 62頁の「デジタル入力禁止レジスタ0(DIDR0)」
10. 71頁で手順1.の内容を更新
11. デバイス状況を「新規設計に推奨されない」に変更

25.10. 2535J – 20010年8月

1. 表紙で「新規設計に推奨されない」の文章を削除
2. 107頁の「注文情報」にテープとリール品の番号を追加
3. 最終頁を更新

目次

特徴	1	11.9. 8ビット タイマ/カウンタ0用レジスタ	46
1. ピン配置	2	12. タイマ/カウンタの前置分周器	50
1.1. ピン説明	2	12.1. 概要	50
2. 概要	3	12.2. 前置分周器リセット	50
2.1. 構成図	3	12.3. 外部クロック元	50
3. 一般情報	4	12.4. タイマ/カウンタ前置分周器制御用レジスタ	51
3.1. 資料	4	13. アナログ比較器	52
3.2. コード例	4	13.1. アナログ比較器入力選択	52
3.3. データ保持力	4	13.2. アナログ比較器用レジスタ	52
4. CPU コア	5	14. A/D変換器	54
4.1. 構造概要	5	14.1. 特徴	54
4.2. ALU (Arithmetic Logic Unit)	5	14.2. 概要	54
4.3. ステータス レジスタ	6	14.3. 操作	55
4.4. 汎用レジスタ ファイル	7	14.4. 変換の開始	55
4.5. スタック ポインタ	7	14.5. 前置分周と変換タイミング	56
4.6. 命令実行タイミング	8	14.6. チャネル変更と基準電圧選択	57
4.7. リセットと割り込みの扱い	8	14.7. 雑音低減機能	58
5. メモリ	10	14.8. アナログ入力回路	58
5.1. 実装書き換え可能なプログラム用フラッシュ メモリ	10	14.9. アナログ雑音低減技術	58
5.2. データ用SRAMメモリ	10	14.10. A/D変換の精度定義	59
5.3. データ用EEPROMメモリ	11	14.11. A/D変換の結果	59
5.4. I/Oメモリ (レジスタ)	13	14.12. A/D変換用レジスタ	60
5.5. メモリ関係レジスタ	13	15. デバッグWIRE内蔵デバッグ機能	63
6. システム クロックとクロック選択	15	15.1. 特徴	63
6.1. クロック系統とその配給	15	15.2. 概要	63
6.2. クロック元	15	15.3. 物理インターフェース	63
6.3. システム クロック前置分周器	17	15.4. ソフトウェア中断点	63
6.4. クロック関係レジスタ	18	15.5. デバッグWIREの制限	63
7. 電力管理と休止形態	20	15.6. デバッグWIRE用レジスタ	63
7.1. 休止形態種別	20	16. フラッシュの自己プログラミング	64
7.2. 消費電力の最小化	21	16.1. SPM命令によるページ消去の実行	64
7.3. 電力管理用レジスタ	22	16.2. ページ一時緩衝部の設定 (ページ設定)	64
8. システム制御とリセット	23	16.3. ページ書き込みの実行	64
8.1. AVRのリセット	23	16.4. 自己プログラミングでのフラッシュ アドレス指定	65
8.2. リセット元	23	16.5. SPM書き込みへのEEPROM書き込み妨害	65
8.3. 内部基準電圧	25	16.6. ファームウェアからのヒューズと施錠の読み出し	66
8.4. ウォッチドッグ タイマ	25	16.7. フラッシュ メモリ データ化けの防止	66
8.5. リセット関係レジスタ	27	16.8. SPM時フラッシュ プログラミング時間	66
9. 割り込み	29	16.9. 自己プログラミング用レジスタ	67
9.1. 割り込みベクタ	29	17. メモリプログラミング	68
9.2. 外部割り込み	30	17.1. プログラム メモリとデータ メモリ用施錠ビット	68
9.3. 割り込み用レジスタ	30	17.2. ヒューズ ビット	69
10. 入出力ポート	32	17.3. 校正バイト	70
10.1. 概要	32	17.4. 識票バイト	70
10.2. 標準デジタル入出力としてのポート	32	17.5. ページ容量	70
10.3. 交換ポート機能	35	17.6. 低電圧直列プログラミング	71
10.4. I/Oポート用レジスタ	37	17.7. 高電圧直列プログラミング	73
11. 8ビット タイマ/カウンタ0 (PWM)	38	17.8. 効率的なプログラミングへの考慮	75
11.1. 特徴	38	18. 電気的特性	77
11.2. 概要	38	18.1. 絶対最大定格	77
11.3. タイマ/カウンタのクロック	39	18.2. DC特性	77
11.4. 計数器部	39	18.3. 速度勾配	78
11.5. 比較出力部	40	18.4. クロック特性	78
11.6. 比較一致出力部	41	18.5. システムとリセットの特性	79
11.7. 動作種別	42	18.6. アナログ比較器特性	79
11.8. タイマ/カウンタのタイミング	45	18.7. A/D変換器特性	80
		18.8. 低電圧直列プログラミング特性	80

18.9.	高電圧直列プログラミング特性	81
19.	代表特性	82
19.1.	活動動作消費電流	82
19.2.	アイドル動作消費電流	84
19.3.	パワーダウン動作消費電流	86
19.4.	ピンプルアップ	87
19.5.	ピン駆動能力	88
19.6.	ピン 閾値とヒステリシス	94
19.7.	低電圧検出器(BOD)閾値と アナログ比較器オフセット	97
19.8.	内部発振器周波数	98
19.9.	周辺機能部消費電流	101
19.10.	リセット消費電流とリセット パルス幅	102
20.	レジスタ要約	104
21.	命令要約	105
22.	注文情報	107
23.	外圍器情報	108
24.	障害情報	110
25.	データシート改訂履歴	111



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン株式会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイト位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2010. 不許複製 Atmel®、ロゴとそれらの組み合わせ、AVR®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2022.

本データシートはAtmelのATtiny13英語版データシート(改訂2535J-08/10)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

8章、17.7.節と17.8.節の構成を部分的に変更しています。