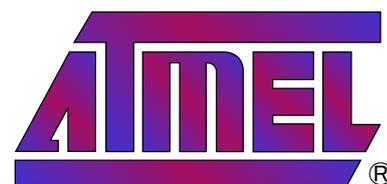


特徴

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
 - ・強力な**90命令**(多くは1周期で実行)
 - ・32個の1バイト長**汎用レジスタ**
 - ・完全なスタティック動作
- 不揮発性プログラム用メモリとデータ用メモリ
 - ・実装書き換え(ISP)可能なプログラム用1Kバイト(512語)**フラッシュメモリ**内蔵
 - ・1000回の書き換えが可能
 - ・実装書き換え(ISP)可能な64バイトの**EEPROM**
 - ・100,000回の書き換えが可能
 - ・プログラムフラッシュメモリとデータEEPROM保護用の設定可能な**施錠機能**
- 内蔵周辺機能
 - ・ピン変化での**割り込み**と起動復帰
 - ・独立した前置分周器付き2つの**8ビットタイマ/カウンタ**
 - ・1つの150kHz高速**8ビットPWM出力**
 - ・4チャンネル10ビット**A/D変換器**(任意20倍利得付き、1つの差動電圧入力)
 - ・**アナログ比較器**
 - ・設定可能な専用発振器付き**ウォッチドッグタイマ**
- 特殊マイクロコントローラ機能
 - ・SPIポート経由**実装書き換え(ISP)**
 - ・**増強された電源ONリセット回路**
 - ・設定可能な**低電圧検出(BOD)回路**
 - ・調整可能な**校正付き内蔵RC発振器**
 - ・タイマ/カウンタ用**内蔵25.6MHz発振器**
 - ・外部及び内部の**割り込み**
 - ・アイドル、**A/D変換雑音低減**、**パワーダウンの3つの低消費動作**
- 電気的特長
 - ・高速、低消費なCMOS製法
- 消費電流(条件: 1.6MHz, 3V, 25°C)
 - ・活動動作 3.0mA
 - ・**アイドル動作** 1.0mA
 - ・**パワーダウン動作** 1µA未満
- I/Oと外圍器
 - ・6ビットの**設定可能なI/O**
 - ・**8ピンPDIP、8リードSOIC**
- 動作電圧
 - ・2.7~5.5V
- 動作速度
 - ・内蔵1.6MHzシステムクロック

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

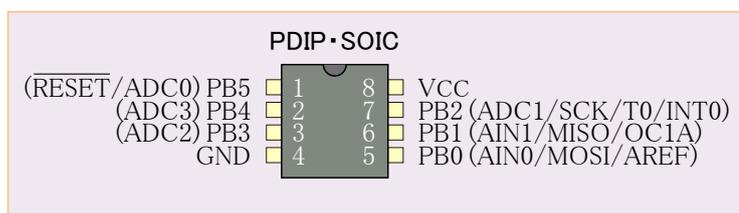


8ビット **AVR**®
 マイクロ コントローラ
 1Kバイト
 フラッシュメモリ内蔵

ATtiny15L

本製品での新規設計は推奨されません。

ピン配置



Rev. 1187H-09/07, 1187HJ6-01/22



概要

ATtiny15LはAVR RISC構造の低消費CMOS 8ビット マイクロ コントローラです。1周期で実行する強力な命令は、MHzあたり1MIPSに達し、実行速度対電力消費の最適化が容易に行えます。

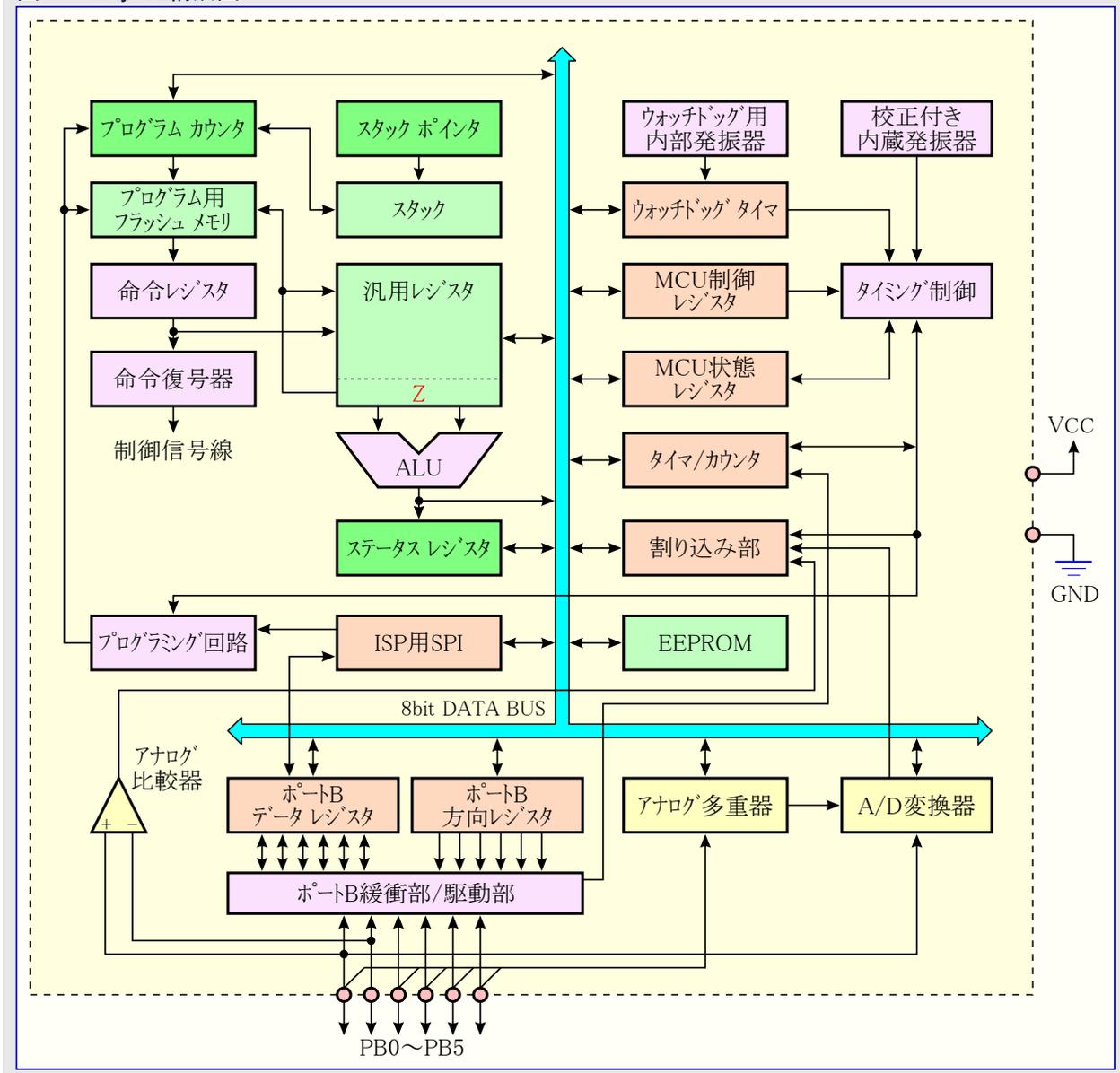
AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロ コントローラに対し、最大10倍の単位処理量向上効果があります。

ATtiny15Lは1Kバイトのフラッシュ メモリ、64バイトのEEPROM、6本の汎用入出力線、32個の汎用レジスタ、2つの8ビット タイマ/カウンタ(1つは高速PWM出力付き)、内蔵発振器、内部及び外部割り込み、設定変更可能なウォッチドッグ タイマ、任意20倍利得付き1つの差動電圧入力を含む4チャンネルの10ビット A/D変換器、ソフトウェアで選択できる3つの低消費動作を提供します。アイドル動作では動作を停止しますが、A/D変換器、アナログ比較器、タイマ/カウンタ、割り込み機能は有効で、動作を継続します。A/D変換雑音低減動作ではCPUを停止し、一方A/D変換が機能を継続することにより、高精度のA/D変換測定を容易にします。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェア リセットか外部割り込みまで、他の全機能を無効にします。ピン変化での割り込みまたは起動復帰機能は、低消費電力動作中の最低電力消費の特徴のままで、外部の出来事に対する高い応答性をATtiny15Lで可能にします。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。モリシックチップ上のフラッシュメモリと、拡張された8ビットRISC型CPUの組み合わせにより、ATtiny15Lは多くの組み込み型制御の応用に高い柔軟性と対費用効果の解決をもたらす強力なマイクロコントローラです。ATtiny15Lの周辺機能は、特に蓄電池充電器、調光器、各種自立型感知器などの応用に最適です。

ATtiny15L AVRはマクロ アセンブラ、デバッガ、シミュレータ、インサーキット エミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

図1. ATtiny15L構成図



ピン概要

VCC

電源ピン。

GND

接地ピン。

PB5～PB0 (ポートB)

ポートBは6ビットの入出力ポートです。PB4～0は(ビット単位で選択される)内蔵プルアップ抵抗を供給できるI/Oピンです。PB5は入力またはオープンドレイン出力です。PB5の使用は**ヒューズ**により定義され、このピンに関連する特殊機能は外部リセットです。リセット条件が活性(有効)になると、例えばクロックが動作していなくても、ポートピンはHi-Zにされます。

表1. ポートBピンの交換機能

ポートBピン	信号名	意味
PB0	MOSI	実装書き込み(低電圧直列プログラミング) データ入力
	AREF	A/D変換器 基準電圧
	AIN0	アナログ比較器非反転入力
PB1	MISO	実装書き込み(低電圧直列プログラミング) データ出力
	OC1A	タイマ/カウンタ1 PWM出力
	AIN1	アナログ比較器反転入力
PB2	SCK	実装書き込み(低電圧直列プログラミング) 直列クロック入力
	INT0	外部割り込み0入力
	ADC1	A/D変換チャンネル1アナログ入力
	T0	タイマ/カウンタ0 外部クロック入力
PB3	ADC2	A/D変換チャンネル2アナログ入力
PB4	ADC3	A/D変換チャンネル3アナログ入力
PB5	RESET	外部リセット入力
	ADC0	A/D変換チャンネル0アナログ入力

アナログ入力ピン

4つまでのアナログ入力がA/D変換器(ADC)への入力として選択できます。

内蔵発振器

内蔵発振器はシステムクロック(CK)用に名目上1.6MHzのクロック速度を供給します。内蔵発振器の大きな初期偏差(0.8～1.6MHz)のために調整能力(機能)が備わっています。8ビットの制御レジスタ(発振校正値レジスタ(OSCCAL))を通して、システムクロック速度は公称クロックの1%級未満に調整できます。

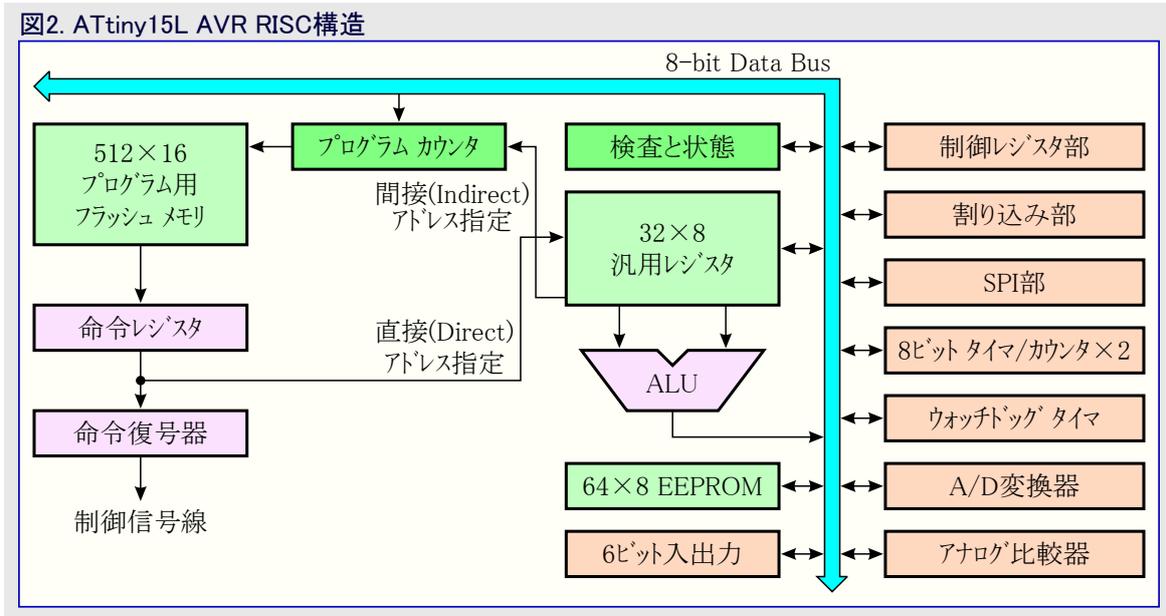
タイマ/カウンタ1周辺の使用に対して、内部PLLがシステムクロック(CK)に固定化される16倍のクロック速度を供給します。この周辺機能クロック(PCK)の公称周波数は25.6MHzです。

構造概要

1クロック周期アクセス時間の高速レジスタファイルには32個の8ビット長汎用レジスタが含まれます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタファイルから出力され、命令が実行され、その結果がレジスタファイルに書き戻されます。

32個中の2つのレジスタは間接メモリアクセス用16ビットポインタとして使えます。このポインタはZポインタ(レジスタ)と呼ばれ、レジスタファイルやI/Oレジスタとプログラム用フラッシュメモリをアドレス指定できます。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図2はATtiny15L AVR RISCマイクロコントローラの構造を示します。AVRのメモリとバスはプログラム用とデータ用に各々分離したハーバード構造で構成されます。プログラムメモリは2段のパイプラインでアクセスされます。1命令の実行中に、次の命令をプログラムメモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラムメモリは実装書き換え(ISP)可能なフラッシュメモリです。



アドレス空間全てはプログラムカウンタ(PC)相対の無条件分岐(RJMP)命令と呼び出し(RCALL)命令で直接的にアクセスされます。全てのAVR命令は単一の16ビット語形式で、プログラムメモリ内の全てのアドレスが単一の16ビット長命令を含むことを意味します。

割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。このスタックはサブルーチンと割り込み専用の深さ3段のハードウェアスタックです。

I/Oメモリ空間は制御レジスタ、タイマ/カウンタ、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。AVR構造に於けるメモリ空間は全て規則的で直線的なメモリ配置です。

柔軟な割り込み部にはI/O空間の個別の制御レジスタとステータスレジスタ(SREG)の全割り込み許可(I)ビットがあります。各割り込みの全てにはプログラムメモリ先頭の割り込みベクタ表内に個別の割り込みベクタがあります。各割り込みは、この割り込みベクタ表の位置に従った優先順です。下位側割り込みベクタアドレスが高い優先順位です。

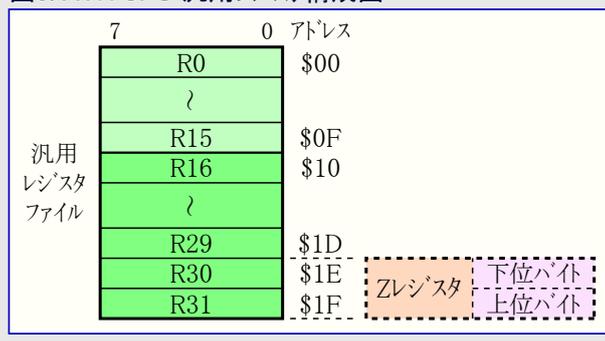
汎用レジスタ ファイル

図3.は32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令は**レジスタ直接指定**ができ、1周期でアクセスします。**SBCI,SUBI,CPI,ANDI,ORI**の5つの算術、論理定数演算命令と、定数をレジスタに設定する**LDI**命令だけは例外です。これらの命令はレジスタファイル後半のR16～R31に対してだけ適用されます。通常**SBC,SUB,CP,AND,OR**や他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

R30とR31レジスタはフラッシュメモリとレジスタファイルの間接アクセスに使われる16ビットポインタ(Zレジスタ)を形成します。レジスタファイルがアクセスされる時、R31の内容はCPUによって破棄(無視)されます。

図3. AVR CPU 汎用レジスタ構成図



ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個全ての汎用レジスタに直接接続され、動作します。レジスタファイル内のレジスタ間ALU操作は、1クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。AVR製品システムのいくつかのマイクロコントローラはALUの算術演算部のハードウェア乗算器が特徴です。

プログラム用フラッシュメモリ

ATtiny15Lにはプログラム保存用に実装書き込み(ISP)可能な1Kバイトのフラッシュメモリが内蔵されています。全ての命令が単一の16ビット/1語(ワード)のため、フラッシュメモリは512×16ビットとして構成されています。フラッシュメモリは少なくとも1000回再書き込みの耐久性があります。

ATtiny15Lのプログラムカウンタ(PC)は9ビット幅で、プログラムメモリ内の512(語)アドレスを指定します。

フラッシュメモリ書き込みの詳細な記述については[37頁](#)をご覧ください。

データ用EEPROMメモリ

ATtiny15Lにはデータ用に64バイトのEEPROMが内蔵されています。EEPROMは1バイト単位で読み書きができる独立したデータ空間として構成されています。EEPROMは100,000回以上の書き換えが可能です。EEPROMとCPU間のアクセスは[25頁](#)のEEPROMアドレスレジスタ、EEPROMデータレジスタ、EEPROM制御レジスタの詳細説明で記述されます。

サブルーチン、割り込み用スタック

ATtiny15Lはサブルーチンと割り込み用に深さ3段のハードウェア(固定)スタックを使います。このハードウェアスタックは9ビット幅で、サブルーチンや割り込み実行中、プログラムカウンタ(PC)の戻りアドレスを格納します。

PC相対呼び出し(**RCALL**)命令や割り込み時、スタックレベル0にPCの戻りアドレスがプッシュ(格納)され、他のスタックレベル1,2のデータはスタック内で1段深くなります。**RET**や**RETI**命令が実行されると、スタックレベル0から戻りアドレスをPCにポップ(復帰)し、他のスタックレベル1,2のデータはスタック内で1段浅くなります。

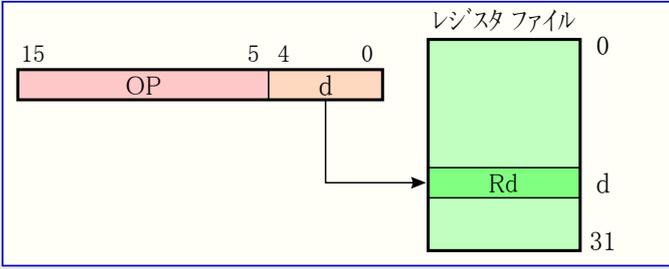
3つを超えるサブルーチンや割り込みが続いて実行されると、スタックに書かれた最初の値が上書きされます。4つの復帰アドレスA1,A2,A3,A4をプッシュし、4つのサブルーチンや割り込みの復帰による結果は、ハードウェアスタックからA4, A3, A2ともう一度A2をポップします。

プログラム及びデータ空間に対するアドレス指定種別

ATtiny15L AVR RISCマイクロコントローラは強力で効率的なアドレス指定種別を支援します。本項はATtiny10/11/12で支援される様々なアドレス指定種別を記述します。図内のOPは命令語の動作コード部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

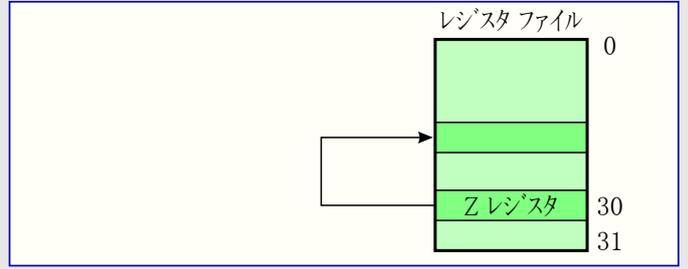
図4. 単一レジスタ直接アドレス指定



オペランドはレジスタd(Rd)を示します。

レジスタ間接

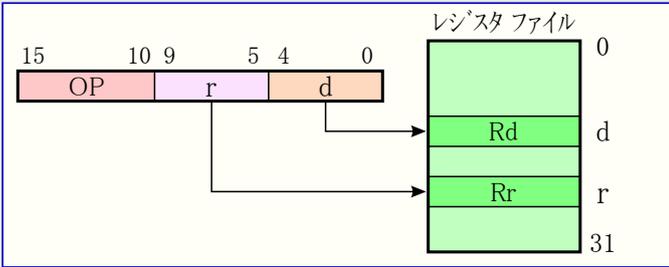
図5. レジスタ間接アドレス指定



オペランドはZレジスタ(R30)で示されるレジスタです。

レジスタ間(Rd, Rr)直接

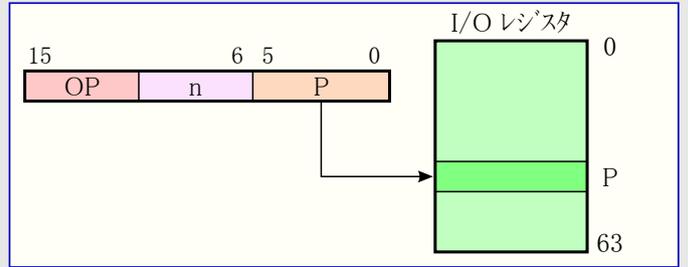
図6. レジスタ間直接アドレス指定



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

I/O直接

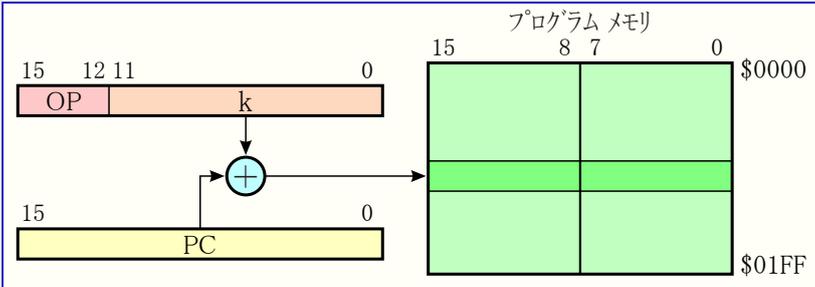
図7. I/O直接アドレス指定



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

RJMP, RCALL命令によるプログラム相対アドレス指定

図8. プログラム相対アドレス指定

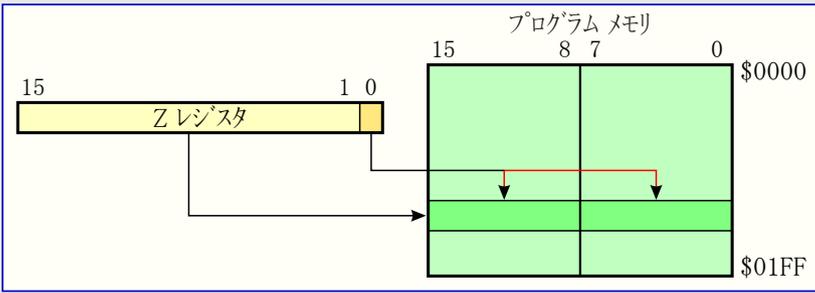


注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048~2047です。

LPM命令による定数アドレス指定

図9. プログラム空間定数アドレス指定



バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0~511の語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

メモリアクセスと命令実行タイミング

本項は命令実行についての一般的なアクセスタイミングの概念を記述します。

AVR CPUは外部クリスタルまたは内蔵RC発振器で直接的に発生されたシステムクロックφによって駆動されます。内部クロック分周は使われません。

図10.はハーバード構造と高速アクセスレジスタファイルの概念によって可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、対クロック、対電源部での好結果に相当するMHzあたり1MIPSまでを得る基本的なパイプラインの概念です。

図11.はレジスタファイルに対する内部タイミングの概念を示します。2つのレジスタオペラントを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図10. 命令の取得と実行の並列動作

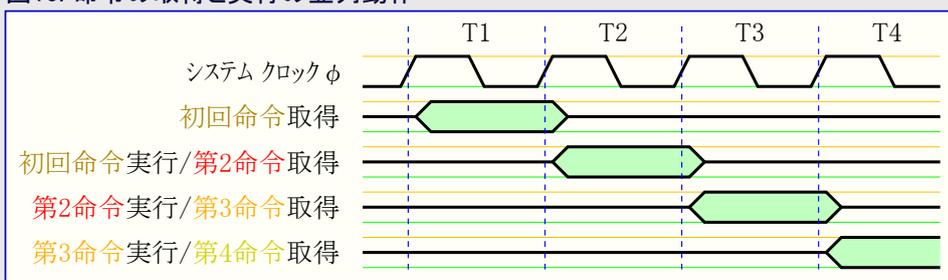
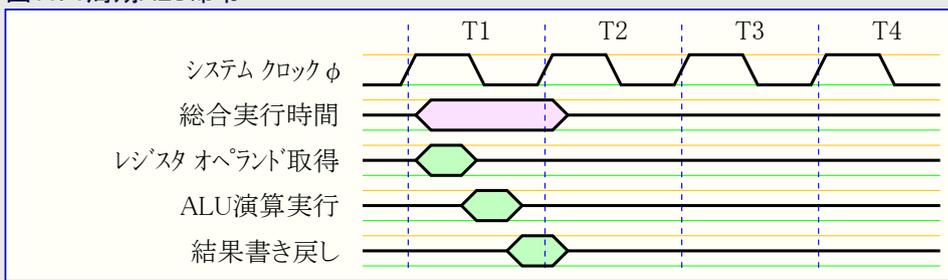


図11. 1周期ALU命令



I/O レジスタ

ATtiny15LのI/O領域定義は表2.に示されます。

表2. ATtiny15L I/Oレジスタ

アドレス	レジスタ略名	レジスタ名称
\$3F	SREG	ステータスレジスタ
\$3B	GIMSK	一般割り込み許可レジスタ
\$3A	GIFR	一般割り込み要求フラグレジスタ
\$39	TIMSK	タイマ/カウンタ割り込み許可レジスタ
\$38	TIFR	タイマ/カウンタ割り込み要求フラグレジスタ
\$35	MCUCR	MCU制御レジスタ
\$34	MCUSR	MCU状態レジスタ
\$33	TCCR0	タイマ/カウンタ0 制御レジスタ
\$32	TCNT0	タイマ/カウンタ0 カウンタ
\$31	OSCCAL	発振器校正レジスタ
\$30	TCCR1	タイマ/カウンタ1 制御レジスタ
\$2F	TCNT1	タイマ/カウンタ1 カウンタ
\$2E	OCR1A	タイマ/カウンタ1 比較A レジスタ
\$2D	OCR1B	タイマ/カウンタ1 比較B レジスタ
\$2C	SFIOR	特殊I/O機能レジスタ
\$21	WDTCSR	ウォッチドッグ タイマ制御レジスタ
\$1E	EEAR	EEPROM アドレスレジスタ
\$1D	EEDR	EEPROM データレジスタ
\$1C	EECR	EEPROM 制御レジスタ
\$18	PORTB	ポートB 出力データレジスタ
\$17	DDRB	ポートB 方向レジスタ
\$16	PINB	ポートB 入力データレジスタ
\$08	ACSR	アナログ比較器 制御/状態レジスタ
\$07	ADMUX	A/D変換 多重器選択レジスタ
\$06	ADCSR	A/D変換 制御/状態レジスタ
\$05	ADCH	A/D変換 データレジスタ上位
\$04	ADCL	A/D変換 データレジスタ下位

注: 予約と未使用の位置は、この表で示されていません。

ATtiny15Lの全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

I/Oと周辺制御レジスタは次章で説明されます。

■ ステータスレジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は、I/O領域の\$3Fで、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - I : 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合、設定(1)しなければなりません。各割り込みの許可は、各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令によって設定(1)されます。

■ ビット6 - T : ビット変数 (Bit Copy Storage)

このTビットはBLD(Bit Load)命令とBST(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

■ ビット5 - H : ハーフキャリーフラグ (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については命令要約を参照してください。

■ ビット4 - S : 符号 (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

■ ビット3 - V : 2の補数溢れフラグ (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

■ ビット2 - N : 負フラグ (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

■ ビット1 - Z : ゼロフラグ (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

■ ビット0 - C : キャリーフラグ (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないことに注意してください。これはソフトウェアにより操作しなければなりません。

リセットと割り込みの扱い

ATtiny15Lには8つの割り込みがあります。これらの割り込みとリセットのベクタは、プログラムメモリ空間内に各々個別のベクタを持っています。全ての割り込みは、割り込みを許可するために、個別の許可ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットを設定(1)しなければなりません。

プログラムメモリ空間の最下位アドレスは、リセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は表3.に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表3. リセットと割り込みのベクタ

ベクタ番号	プログラムアドレス	発生元	備考
1	\$000	リセット	電源ONやウォッチドッグ等の各種リセット
2	\$001	INT0	外部割り込み要求0
3	\$002	PIN_CHG	I/Oピンレベル変化
4	\$003	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
5	\$004	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
6	\$005	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
7	\$006	EE_RDY	EEPROM 操作可
8	\$007	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
9	\$008	A/D変換器 ADC	A/D変換完了

ATtiny15Lに於けるリセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$000		RJMP RESET	;各種リセット
\$001		RJMP EXT_INT0	;外部割り込み要求0
\$002		RJMP PIN_CHG	;I/Oピンレベル変化
\$003		RJMP TIM1_COMPA	;タイマ/カウンタ1比較A一致
\$004		RJMP TIM_OVF1	;タイマ/カウンタ1溢れ
\$005		RJMP TIM_OVF0	;タイマ/カウンタ0溢れ
\$006		RJMP EE_RDY	;EEPROM 操作可
\$007		RJMP ANA_COMP	;アナログ比較器出力遷移
\$008		RJMP ADC	;A/D変換完了
;			
\$009	RESET:	;	;以下、I/O初期化など

リセット発生元

ATtiny15Lには次の4つのリセット発生元があります。

- ・ **電源ONリセット** ……電源電圧が**電源ONリセット閾値電圧(V_{POT})**以下でリセットになります。
- ・ **外部リセット** ……RESETピンに500nsを越えるLowレベルが存在すると、リセットになります。
- ・ **ウォッチドッグリセット** ……ウォッチドッグが許可され、ウォッチドッグ タイマ周期が経過するとリセットになります。
- ・ **低電圧検出(BOD)リセット** ……供給電圧(V_{CC})が**低電圧検出電圧(V_{BOT})**以下でリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、その後にアドレス\$0000からプログラム実行が始まります。アドレス\$000に配置される命令はきつとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムで決して割り込みを許可しないならば、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。図12.の回路構成はリセット回路を示します。表4.と表5.はリセット回路の電气的特性とタイミングを定義します。レジスタファイルがリセットによって変化されないことに注意してください。

図12. リセット回路構成

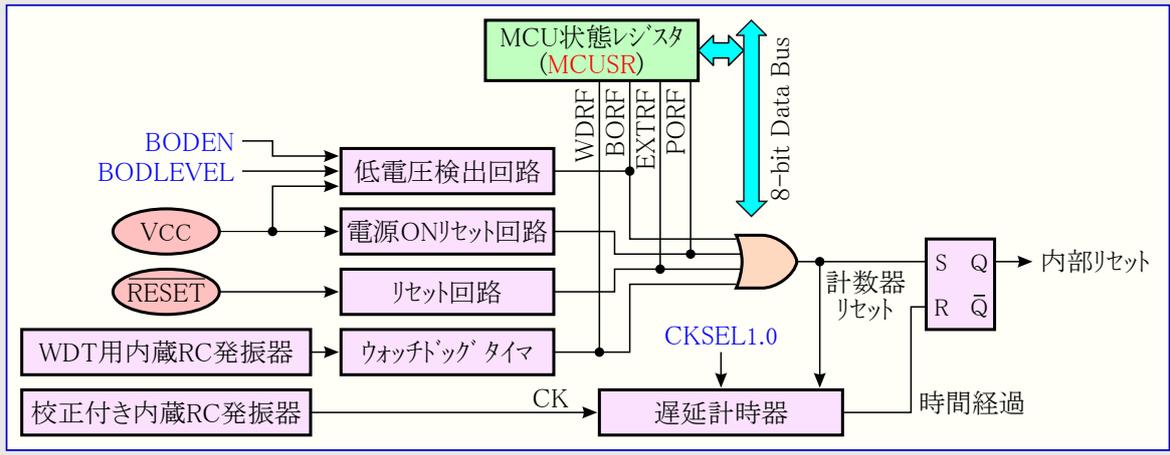


表4. リセット電气的特性

シンボル	項目	最小	代表	最大	単位	
V _{POT}	上昇時電源ONリセット 閾値電圧	BODEN=非プログラム(1)/禁止	1.0	1.4	1.8	V
		BODEN=プログラム(0)/許可	1.7	2.2	2.7	
	下降時電源ONリセット 閾値電圧 (注1)	BODEN=非プログラム(1)/禁止	0.4	0.6	0.8	
		BODEN=プログラム(0)/許可	1.7	2.2	2.7	
V _{RST}	RESETピン閾値電圧			0.85V _{CC}		
V _{BOT}	低電圧検出(BOD) 閾値電圧	BODLEVEL=非プログラム(1)	2.3	2.7	2.9	V
		BODLEVEL=プログラム(0)	3.4	4.0	4.3	

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

表5.はリセットからの起動時間を示します。CPUがパワーダウンから起動復帰するときは、この起動(リセット遅延)時間のCK計数部だけが使われます。起動時間の実時間部のタイミングについてはウォッチドッグ発振器が使われます。この実時間に対するウォッチドッグ発振器の計数値は表6.で示されます。

44頁の「代表特性」章で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。このデバイスはCKSEL1,0=00で出荷されます。

表5. CKSELヒューズによるリセット遅延選択 (注1)

CKSEL1,0 (注2)	BODEN (注2)	リセット遅延時間(t _{TOUT})		推奨使用
		V _{CC} =2.7V	V _{CC} =5.0V	
0 0	X	256ms + 18 × CK	64ms + 18 × CK	BOD=1、低速上昇電源
0 1		16ms + 18 × CK	4ms + 18 × CK	
1 0	X	32μs + 18 × CK	8μs + 18 × CK	BOD=1 (低電圧リセット禁止)
1 1	1	128μs + 18 × CK	32μs + 18 × CK	BOD=0 (低電圧リセット許可)
	0	16ms + 18 × CK	4ms + 18 × CK	

注1: 電源投入でのリセット遅延時間は0.6ms(代表値)増加されます。

注2: 0はプログラム、1は非プログラムを意味します。

表6. ウォッチドッグ発振器の周期数

V _{CC}	タイマ値	周期数
2.7V	32μs	8
	128μs	32
	16ms	4K
	256ms	64K
5V	8μs	8
	32μs	32
	4ms	4K
	64ms	64K

電源ONリセット

電源ONリセット(POR)パルスは内蔵検出回路によって生成されます。この検出電圧は名目上、表4.で定義されます。PORはVCCが検出電圧以下で必ず有効にされます。このPOR回路は供給電圧低下の検出だけでなく開始時のリセット起動にも使われます。

電源ONリセット回路は電源投入時のデバイスリセットを保証します。電源ONリセット閾値電圧(VPOT)への到達は、VCC上昇後、デバイスがリセットを保持する遅延を決める遅延タイマ(カウンタ)を起動します。遅延タイマの計時完了時間はCKSELヒューズを通して定義できます。遅延時間の各選択は表5.で示されます。VCCが検出電圧以下に低下するとき、リセット信号は何れの遅延もなく、再び活性化(有効に)されます。

図13. 内蔵電源ONリセット (RESETはVCCに接続)

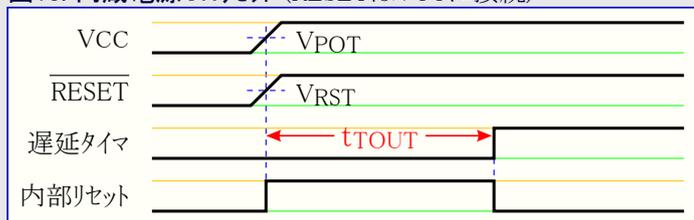
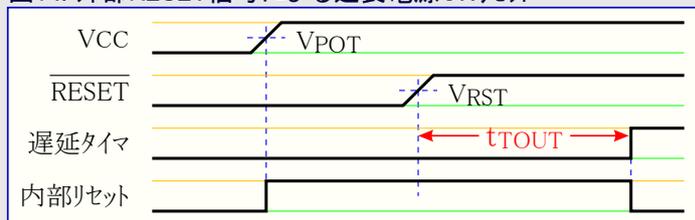


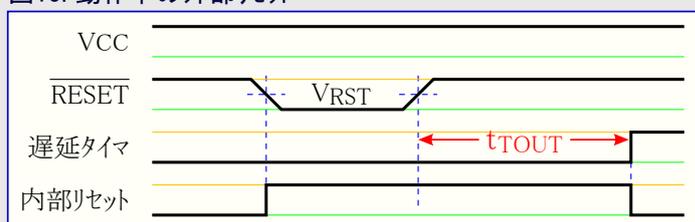
図14. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピン上のLowレベルによって生成されます。例えばクロックが動いていなくても、500nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセットが保証されません。供給された信号の上昇が、リセット閾値電圧(VRST)に達すると、遅延タイマは遅延時間(tTOUT)経過後にMCUを起動します。

図15. 動作中の外部リセット

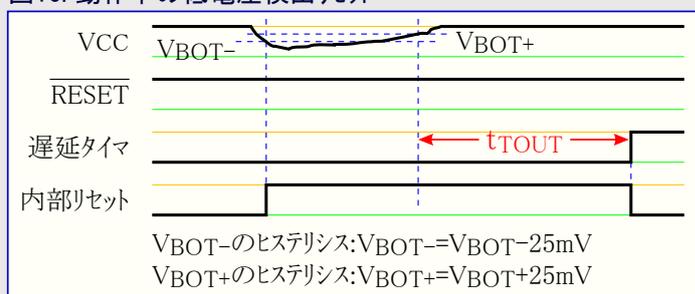


低電圧(ブラウンアウト)検出リセット

ATtiny15Lには動作中のVCC電圧を監視する内蔵低電圧検出(BOD)回路があります。BOD回路はBODENヒューズによって許可/禁止ができます。BODENが許可(BODEN=プログラム(0))され、VCCが検出電圧以下の値に低下すると、低電圧検出リセットは直ちに有効とされます。VCCが検出電圧以上に上昇すると、遅延後に無効とされます。この遅延はPOR信号の遅延(表5.参照)と同じ方法で使用者によって定義されます。BOD検出電圧はBODLEVELヒューズにより、2.7V(非プログラム(1))、または4.0V(プログラム(0))が選択できます。この検出電圧には、スパイク無効の低電圧検出を保証するために50mVのヒステリシスがあります。

このBOD回路は電圧が4.0Vで3μs、2.7Vで7μs(代表値)より長く検出電圧以下に留まった場合だけ、VCCの低下を検出します。

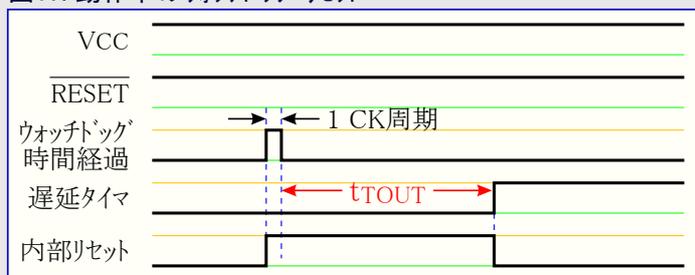
図16. 動作中の低電圧検出リセット



ウォッチドッグリセット

ウォッチドッグ時間経過で1CK周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(tTOUT)の計時を始めます。ウォッチドッグ操作の詳細については24頁を参照してください。

図17. 動作中のウォッチドッグリセット



■ MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元でMCUリセットが起こされたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34	-	-	-	-	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

■ ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット3 - WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

本ビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット2 - BORF : 低電圧検出(BOD)リセット フラグ (Brown-out Reset Flag)

本ビットは低電圧検出(BOD)リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット1 - EXTRF : 外部リセット フラグ (External Reset Flag)

本ビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット0 - PORF : 電源ONリセット フラグ (Power-on Reset Flag)

本ビットは電源ONリセットによって設定(1)されます。このビットは、このフラグへの論理0書き込みによってリセット(0)されます。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くMCUSRを読み、その後解除(0)すべきです。他のリセットが起こる前に、このレジスタ(MCUSR)が解除(0)される場合、そのリセット元はこれらのリセット フラグを調べることにより得られます。

内部基準電圧

ATtiny15Lの特徴として公称1.22Vの内部基準電圧があります。この内部基準電圧は低電圧検出(ブラウンアウト検出)に使われ、A/D変換器やアナログ比較器の入力にも使えます。A/D変換器への2.56V基準電圧は内部基準電圧から生成されます。

基準電圧許可信号と起動時間

この基準電圧には使用方法に影響を及ぼす起動時間が存在します。最大起動時間は10 μ sです。電力削減のため、この基準電圧は常にONではありません。この基準電圧は次の状況中ONです。

- ・ 低電圧検出リセット許可(BODENヒューズ=プログラム(0))時
- ・ アナログ比較器基準電圧接続(アナログ比較器制御/状態レジスタ(ACSR)の基準電圧入力選択(ACBG)=1)時
- ・ A/D変換動作許可(A/D変換制御/状態レジスタ(ADCSR)のA/D動作許可(ADEN)=1)時

従って、低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)後、常にアナログ比較器出力が使われる前に基準電圧を起動させなければなりません(安定時間が必要)。内部基準電圧は定常的に10 μ Aを消費し、パワーダウン動作での低消費のため、パワーダウン動作へ移行する前に内部基準電圧がOFFに切り替えられるのを保証することで、上記3つの状態を無効にできます。

割り込みの扱い

ATtiny15Lには一般割り込み許可レジスタ(GIMSK)とタイマ/カウンタ割り込み許可レジスタ(TIMSK)の2つの8ビット割り込み許可レジスタがあります。

割り込みが起こると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータスレジスタ(SREG)は割り込み処理ルーチンへの移行時の保存と割り込み処理ルーチンからの復帰時の再設定が自動的に行われないことに注意してください。これはソフトウェアによって操作しなければなりません。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4クロックです。割り込み要求フラグが設定(1)されてしまった後の4クロック周期で、実際の割り込み処理ルーチン用の割り込みベクタアドレスが実行されます。この4クロック周期期間中、プログラムカウンタ(9ビット)がスタック上に保存(プッシュ)されます。通常、このベクタは割り込み処理ルーチンに対する無条件相対分岐(RJMP)命令で、この分岐に2クロック周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前に、その命令が完了されます。MCUが休止形態のときに割り込みが起こると、割り込み応答時間が4クロック周期増やされます。

割り込み処理ルーチンからの復帰は4クロック周期要します。この4クロック周期中に、スタックからプログラムカウンタ(9ビット)が回復(ポップ)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。割り込みを抜けるときは常に主(元)プログラムへ復帰し、保留されている割り込みが扱われる前に、1つ以上の命令を実行します。

外部割り込み

外部割り込みはINT0ピンによって起動されます。許可されていれば、INT0ピンが出力として設定されていても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端、ピン変化(両端)、またはLowレベルで起動できます。これはMCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。外部割り込みが許可され、レベル起動として設定されるとき、ピンがLowに保持されている限り、この割り込みは継続的に発生します。

外部割り込みは、MCU制御レジスタ(MCUCR)についての詳細で説明されるように設定します。

ピン変化割り込み

ピン変化割り込みは入力または入出力ピンのどれかの何れかの変化により起動されます。PB4~0ピンの変化は常に割り込みを起こします。PB5ピンの変化は、3頁の「ピン概要」項で記載されるように、そのピンが入力または入出力に設定される場合に割り込みを起こします。許可されていれば、変化するピンが例え出力として設定されていても、起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。ピンの動きが他の割り込み、例えば外部割り込みを起動する場合でも、ピン変化割り込みが起動することにも注目してください。これは1つの外部要因が複数の割り込みを起こせることを意味します。ピンの値はエッジ検出に先立って採取されています。ピン変化割り込みが許可されていれば、1CPUクロック周期よりも長く留まるパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。

■ 一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B	-	INT0	PCIE	-	-	-	-	-	GIMSK
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み0許可(INT0)ビットが、共に設定(1)でINT0ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット1と0(ISC01,ISC00)が、外部割り込みINT0ピンの動作を上昇端、下降端、ピン変化(両端)、またはLowレベルの何れか定義します。INT0ピンが出力に設定されていても、このピンの動きは割り込み要求を起こします。対応する外部割り込み0の割り込みはプログラムメモリアドレス\$001から実行されます。「外部割り込み」もご覧ください。

■ ビット5 - PCIE : ピン変化割り込み許可 (Pin Change Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとピン変化割り込み許可(PCIE)ビットが共に設定(1)でピン変化割り込みが許可されます。入力または入出力ピンのどれかの何れかの変化が割り込みを起こします。対応するピン変化割り込み要求の割り込みはプログラムメモリアドレス\$002から実行されます。「ピン変化割り込み」もご覧ください。

■ ビット4~0 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ 一般割り込み要求フラグレジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A	-	INTF0	PCIF	-	-	-	-	-	GIFR
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上のエッジが割り込み要求を起こす時に対応する割り込み要求フラグ(INTF0)が設定(1)になります。この時にステータスレジスタ(SREG)の全割り込み許可(I)ビットと対応する一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが共に設定(1)されていれば、MCUはアドレス\$001の割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されると、解除(0)されます。このフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されるとき、このフラグは常に解除(0)されます。

■ ビット5 - PCIF : ピン変化割り込み要求フラグ (Pin Change Interrupt Flag)

入力または入出力ピンのどれかの出来事が割り込み要求を起こす時にピン変化割り込み要求(PCIF)フラグが設定(1)になります。この時にステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化割り込み許可(PCIE)ビットが共に設定(1)されていれば、アドレス\$002の割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されると、解除(0)されます。このフラグは論理1を書くことによっても解除(0)できます。

■ ビット4~0 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39	-	OCIE1A	-	-	-	TOIE1	TOIE0	-	TIMSK
Read/Write	R	R/W	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - OCIE1A : 比較一致割り込み許可 (Timer/Counter1 Output Compare Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと比較一致割り込み許可(OCIE1A)ビットが共に設定(1)で、タイマ/カウンタ1の比較一致割り込みが許可されます。タイマ/カウンタ1で比較A一致が起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)の比較一致割り込み要求フラグ(OCF1A)が設定(1)されると、対応する割り込み(ベクタ \$003)が実行されます。

■ ビット5~3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット2 - TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットが共に設定(1)で、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ1溢れ割り込み要求フラグ(TOV1)が設定(1)されると、対応する割り込み(ベクタ \$004)が実行されます。

■ ビット1 - TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットが共に設定(1)で、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のタイマ/カウンタ0溢れ割り込み要求フラグ(TOV0)が設定(1)されると、対応する割り込み(ベクタ \$005)が実行されます。

■ ビット0 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38	-	OCF1A	-	-	-	TOV1	TOV0	-	TIFR
Read/Write	R	R/W	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - OCF1A : 比較一致割り込み要求フラグ (Output Compare Interrupt Flag1)

タイマ/カウンタ1と比較Aレジスタ(OCR1A)の値間で比較一致が起こると、OCF1Aが設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Aは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF1Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)の比較一致割り込み許可(OCIE1A)ビットとOCF1Aが設定(1)されると、比較一致割り込みが実行されます。

■ ビット5~3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット2 - TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Interrupt Flag)

タイマ/カウンタ1溢れが起こると、TOV1ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV1は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットとTOV1が設定(1)されると、タイマ/カウンタ1溢れ割り込みが実行されます。

■ ビット1 - TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、TOV0ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

■ ビット0 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは、一般的なMCU機能の制御ビットが含まれます。

ビット	7	6	5	4	3	2	1	0	
\$35	-	PUD	SE	SM1	SM0	-	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - PUD : プルアップ禁止 (Pull-up Disable)

ポートBの内蔵プルアップ抵抗を禁止するには、このPUDビットが設定(1)されなければなりません。

■ ビット5 - SE : 休止許可 (Sleep Enable)

SLEEP命令が実行されるときにMCUを休止形態へ移行させるには、休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的外休止形態移行を防ぐため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

■ ビット4,3 - SM1,0 : 休止種別 (Sleep Mode Select Bits 1 and 0)

これらのビットは表7.で示される利用可能な3つの休止形態の1つを選択します。

詳細については次の「[休止形態](#)」を参照してください。

表7. 休止形態種別選択

SM1	SM0	休止形態種別
0	0	アイドル動作
	1	A/D変換雑音低減動作
1	0	パワーダウン動作
	1	(予約)

■ ビット2 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット1,0 - ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットの設定(1)によって活性(有効)にされます。割り込みを活性化(起動)する外部INT0ピン上の動きは表8.で定義されます。

注: ISC01,00ビットを変更するとき、INT0はGIMSKの割り込み許可ビットの解除(0)により、禁止されなければなりません。さもなければ、これらのビットが変更されると、割り込みが起き得ます。

表8. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	INT0ピンのレベル変化(両端)。
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

休止形態

3つの休止形態の何れかへ移行するには、MCU制御レジスタ(MCUCR)の**休止許可(SE)ビット**が設定(1)され、**SLEEP**命令が実行されなければなりません。MCUCRの**休止種別(SM1,SM0)ビット**が選択するどれかの休止形態(アイドル、A/D変換雑音低減、パワーダウン)が、**SLEEP**命令により有効動作にされます(表7参照)。MCUが休止形態中に許可されている割り込みが発生すると、MCUは起動復帰します。MCUは4周期停止後、その割り込み処理ルーチンを実行し、そして**SLEEP**命令の次から実行を再開します。**ピン変化**でのパワーダウン動作からの復帰では、**ピン変化割り込み要求フラグ(PCIF)**が更新される前に2命令周期が実行されます。デバイスが休止形態から起動するとき、レジスタファイル、I/Oレジスタの内容は変化しません。休止形態中にリセットが起こると、MCUは起動復帰し、リセットベクタから実行します。

アイドル動作

休止種別(SM1,SM0)ビットが**00**に設定されている時の**SLEEP**命令でMCUがアイドル動作へ移行して、CPUは停止しますが、アナログ比較器、A/D変換、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これはウォッチドッグリセットやタイマ溢れのような内部割り込みだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。A/D変換が許可されている場合、この動作が開始されると自動的に変換が始まります。アナログ比較器割り込みからの起動復帰が必要とされない場合、**アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビット**を設定(1)することにより、アナログ比較器を電源断にできます。これはアイドル動作での電力消費を削減します。

A/D変換雑音低減動作

休止種別(SM1,SM0)ビットが**01**に設定されている時の**SLEEP**命令でMCUがA/D変換雑音低減動作に移行し、CPUは停止しますが、A/D変換、外部割り込みピン、ピン変化割り込みピン、ウォッチドッグ機能は(許可されていれば)継続して動作します。PLLを含むクロックシステムがA/D変換雑音低減動作でも活動(動作)することに注意してください。これはA/D変換の雑音環境を改善し、高分解能の測定を可能にします。A/D変換が許可されていれば、この動作が開始されると、自動的に変換が始まります。ウォッチドッグ時間経過、低電圧検出(BOD)、外部リセットに加え、外部レベル起動割り込み、ピン変化割り込み、A/D変換完了割り込みだけが、A/D変換雑音低減動作からMCUを起動復帰できます。

パワーダウン動作

休止種別(SM1,SM0)ビットが**10**に設定されている時の**SLEEP**命令でMCUがパワーダウン動作へ移行します。外部リセット、(許可されていれば)ウォッチドッグリセットや低電圧検出(BOD)リセット、外部レベル起動割り込み、ピン変化割り込みだけがMCUを起動復帰できます。

パワーダウン動作からの復帰にレベルで起動された割り込みまたはピン変化割り込みが使われる場合、MCUを起動するため、変更されたレベルは一定時間保持されなければなりません。これはMCUの雑音不安定性を減らします。変更されたレベルはウォッチドッグ用発振器クロックにより2度採取され、この入力がこの時間中、必要とされるレベルであれば、MCUは起動復帰します。ウォッチドッグ用発振器の周期は公称2.9 μ s(3.0V,25°C)です。「**代表特性**」章内で示されるように、ウォッチドッグ用発振器の周波数は電圧に依存します。

パワーダウン動作から復帰するとき、起動復帰条件発生から起動復帰の効果が現れるまで遅延を伴います。これは停止されてしまっている後に、再開のためのクロックが許可され、安定状態になるためです。この起動時間は**リセット遅延時間**を定義する**CKSELヒューズ**により同じく定義されます。

校正付き内蔵RC発振器

この内蔵RC発振器は1.6MHz(5V,25°Cでの公称値)固定のクロックを供給します。この内部クロックは常にATtiny15Lのシステムクロックです。この発振器は発振校正レジスタ(OSCCAL)への校正値(37頁参照)書き込みによって校正できます。

■ 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット	7	6	5	4	3	2	1	0	
\$31	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

発振周波数の偏差による処理を省くため、このアドレスへの校正バイト書き込みが内蔵RC発振器を調整します。OSCCALが0の時に利用可能な最低周波数が選択されます。このレジスタへの0以外の値書き込みが内蔵RC発振器周波数を増加します。このレジスタへの\$FF書き込みが利用可能最高周波数を選択します。

高速周辺機能クロック生成用内部PLL

ATtiny15Lの内部PLLはRC発振器システムクロックから16倍されたクロック周波数を生成します。このRC発振器周波数が公称1.6MHzならば、高速周辺機能クロックは25.6MHzです。高速周辺機能クロック、またはそれから分周されたクロックはタイマ/カウンタ1のクロック元として選択できます。

このPLLは調整可能な内蔵RC発振器にロックされ、**発振校正レジスタ(OSCCAL)**経由の調整可能な内蔵RC発振器の調節は、同時に高速周辺機能クロックを調節します。内蔵RC発振器が1.75MHzを越えて調節されると、タイマ/カウンタ1が機能しないかもしれません。

全チップ機能の正しい動作を維持するため、1.75MHzより高い周波数へOSCCAL補正を行うことは推奨されません。

タイマ/カウンタ

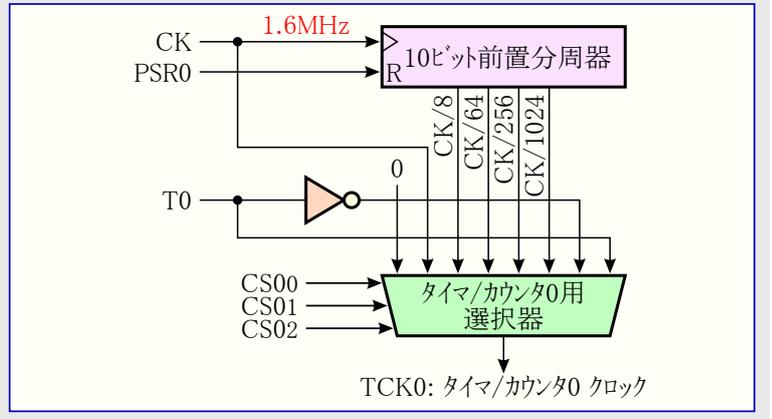
ATtiny15Lには2つ汎用8ビットタイマ/カウンタがあります。タイマ/カウンタには独自の10ビット前置分周器からの独自分周選択があります。タイマ/カウンタ0は基準時間クロックとして内部クロック(CK)を使います。タイマ/カウンタ1は基準時間クロックとして内部クロック(CK)か、高速周辺機能クロック(PCK)のどちらかが使えます。

タイマ/カウンタ0 前置分周器

図18.はタイマ/カウンタ0の前置分周器を示します。

4つの前置分周された選択はCKを発振器クロックとするCK/8, CK/64, CK/256, CK/1024です。CK、外部クロック信号、停止もクロック元として選択できます。特殊I/O機能レジスタ(SFIOR)のタイマ/カウンタ0前置分周器リセット(PSR0)ビットの設定(1)は、この前置分周器をリセットします。これは予測可能な前置分周器操作を可能にします。

図18. タイマ/カウンタ0 前置分周器部構成

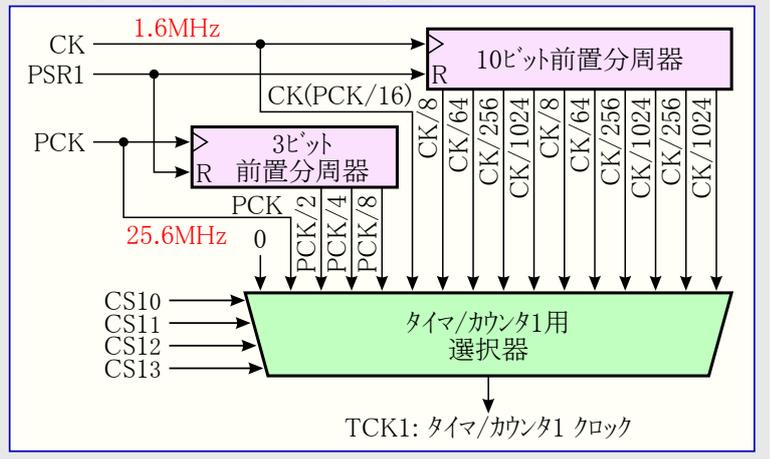


タイマ/カウンタ1 前置分周器

図19.はタイマ/カウンタ1の前置分周器を示します。

タイマ/カウンタ1のクロック選択は、PCK, PCK/2, PCK/4, PCK/8, CK(PCK/16), CK/2, CK/4, CK/8, CK/16, CK/32, CK/64, CK/128, CK/256, CK/512, CK/1024と停止です。このクロック種別選択は、タイマ/カウンタ1制御レジスタ(TCCR1)と21頁の表11.で記述されます。特殊I/O機能レジスタ(SFIOR)のタイマ/カウンタ1前置分周器リセット(PSR1)ビットの設定(1)は、この10ビット前置分周器をリセットします。これは予測可能な前置分周器操作を可能にします。

図19. タイマ/カウンタ1 前置分周器部構成



■ 特殊I/O機能レジスタ (Special Function I/O Register) SFIOR

ビット	7	6	5	4	3	2	1	0	
\$2C	-	-	-	-	-	FOC1A	PSR1	PSR0	SFIOR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3 - FOC1A : OC1A比較出力強制変更 (Force Output Compare 1A)

このビットへの論理1書き込みは、既に設定された比較1A出力制御(COM1A1, COM1A0)ビットの値に従って、比較一致出力ピンOC1A (PB1)を強制的に変更します。比較出力強制ビットはタイマ/カウンタの比較一致を待たずに出力ピンを変更するために使えます。比較一致が発生した場合と同様にCOM1A1とCOM1A0で設定された自動動作が起きますが、割り込みは発生せず、例え一致解除(CTC1)ビットが設定(1)されていてもタイマ/カウンタは解除されません。FOC1Aビットは常に0として読めます。PWM動作でのFOC1Aビット設定は無効です。

■ ビット1 - PSR1 : タイマ/カウンタ1 前置分周器リセット (Prescaler Reset Timer/Counter1)

このビットが設定(1)されると、タイマ/カウンタ1の前置分周器はリセットします。このビットはその動作が実行された後、自動的に解除(0)されます。このビットへの0書き込みは無効です。このビットは常に0として読めます。

■ ビット0 - PSR0 : タイマ/カウンタ0 前置分周器リセット (Prescaler Reset Timer/Counter0)

このビットが設定(1)されると、タイマ/カウンタ0の前置分周器はリセットします。このビットはその動作が実行された後、自動的に解除(0)されます。このビットへの0書き込みは無効です。このビットは常に0として読めます。

8ビット タイマ/カウンタ1

この単位部は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。タイマ/カウンタ1は25.6MHzまでのクロック速度を使う正確な高速8ビットパルス幅変調器(PWM)としても使えます。この動作でのタイマ/カウンタ1と比較レジスタは自立型PWMとして取り扱います。この機能の詳細な記述については22頁を参照してください。同様に高前置分周(使用)機会では低速な目的やまれに動く正確なタイミングの目的についてこの単位部を有効にします。

図21.はタイマ/カウンタ1の構成図を示します。

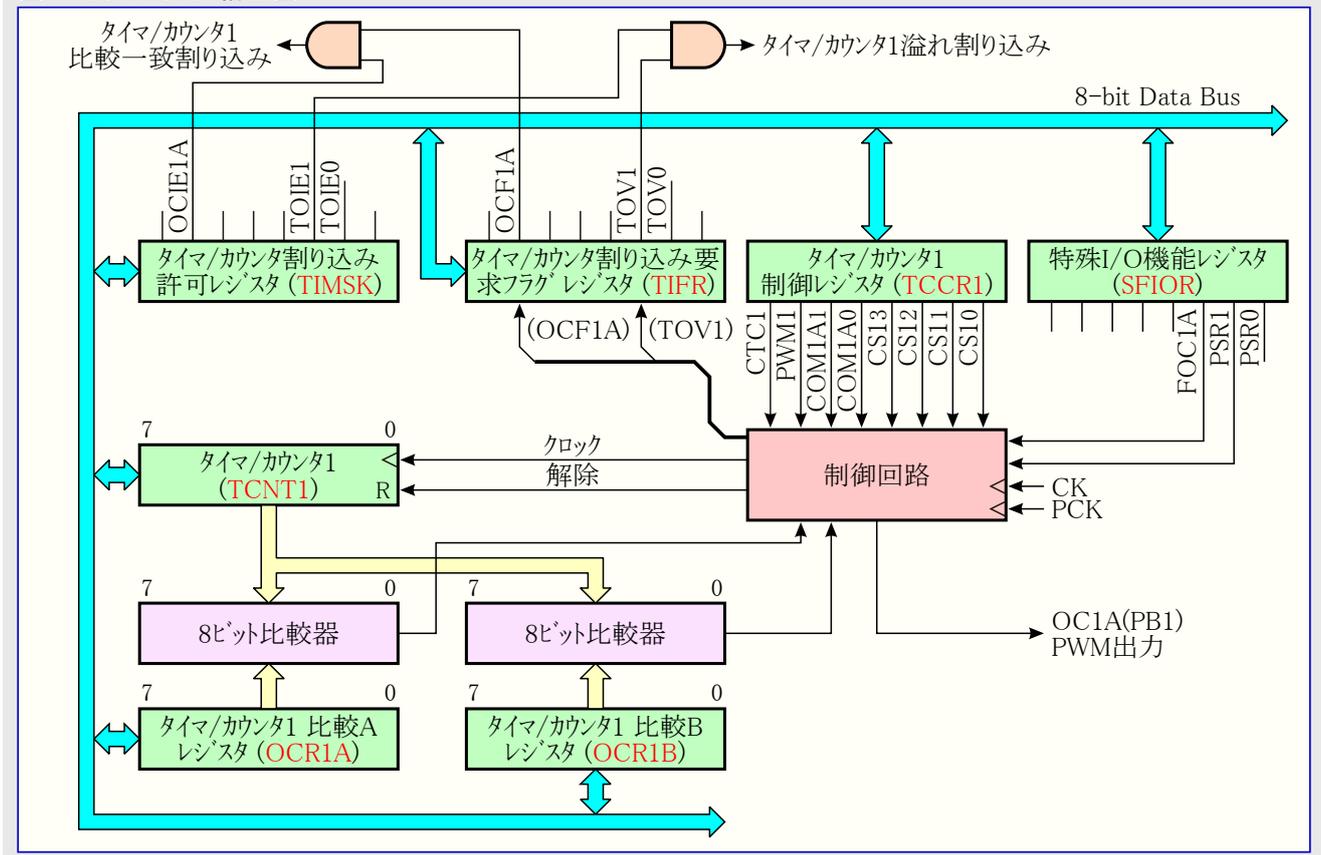
2つの状態フラグ(溢れ:TOV1,比較一致:OCF1A)はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)にあります。制御信号(ビット)はタイマ/カウンタ1制御レジスタ(TCCR1)にあります。割り込みの許可/禁止設定はタイマ/カウンタ割り込み許可レジスタ(TIMSK)内にあります。

タイマ/カウンタ1はタイマ/カウンタ1の内容と比較されるデータ元として2つの比較レジスタ(OCR1AとOCR1B)を含みます。標準動作での比較出力機能は操作上、比較機能は比較Aレジスタ(OCR1A)だけで、任意の比較A一致でのカウンタの解除(=0)や、比較出力OC1A (PB1)ピン上の動作を含みます。

PWM動作での比較Aレジスタ(OCR1A)はタイマ/カウンタ1が比較される対象のデータ値を供給します。この比較一致でPWM出力が生成されます。PWM動作ではタイマ/カウンタが比較Bレジスタ(OCR1B)で指定された値まで計数し、そして再び0から始めます。この機能はカウンタ上限値を\$FF未満の指定値に制限させます。けれどもOCR1xが\$00の場合、出力は一定に留まり、全てに於いて(1/0)の切り替わりがありません。OCR1xが\$01と等しいなら、パルス幅は2計数分で、OCR1xが\$01より大きい場合に直線的に増加します。多くの前置分周種別と共に柔軟なPWM周波数選択が提供されます。表14.は10kHz単位での10kHz~150kHzのPWM周波数を得るための、クロック選択とOCR1B値の一覧を示します。

可変PWMでの応用ではPWMの微調整のためにデューティ比(OCR比較値)を倍にし、前置分周設定を半分にしての使用ができます。代わりに反転PWMも使えます。

図21. タイマ/カウンタ1構成図



■ タイマ/カウンタ1制御レジスタ (Timer/Counter1 Control Register) TCCR1

ビット	7	6	5	4	3	2	1	0	
\$30	CTC1	PWM1	COM1A1	COM1A0	CS13	CS12	CS11	CS10	TCCR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - CTC1 : 一致解除許可 (Clear Timer/Counter1 on Compare Match)

CTC1制御ビットが設定(1)されると、タイマ/カウンタ1は比較Aレジスタ(OCR1A)値との比較一致後のCPUクロック周期で\$00にリセットされます。この制御ビットが解除(0)されると、タイマ/カウンタ1は比較一致による影響を受けず、計数動作を続けます。

■ ビット6 - PWM1 : PWM動作許可 (Pulse Width Modulator Enable)

設定(1)されると、このビットはタイマ/カウンタ1のPWM動作を許可します。この動作は22頁で記述されます。

■ ビット5,4 - COM1A1,0 : 比較出力選択 (Compare Output Mode bit 1 and 0)

このCOM1A1とCOM1A0制御ビットはタイマ/カウンタ1(TCNT1)での比較A一致に続く、何れかの出力ピン動作を決めます。出力ピン動作はOC1A(PB1)ピンに影響を及ぼします。これはI/Oポートの交換機能で、出力ピンを制御するためには、対応する方向制御ビットが設定(1)されなければなりません(DDB1=1)。制御設定は表10.に示されます。

注: PWM動作でのこれらのビットは違う機能を持ちます。詳細説明については表12.を参照してください。COM1A1/COM1A0ビットを変更するとき、比較一致割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK)でその割り込み許可ビットの解除(0)によって、禁止されなければなりません。さもなければ、これらのビットが変更されるとき、割り込みが起き得ます。

表10. 比較出力選択

COM1A1	COM1A0	意味
0	0	OC1A切断
0	1	OC1Aピン トグル(交互)出力
1	0	OC1Aピン Lowレベル出力
1	1	OC1Aピン Highレベル出力

■ ビット3~0 - CS13~0 : クロック選択1 (Clock Select1, bit 3,2,1 and 0)

このクロック選択1ビット3~0はタイマ/カウンタ1(TCNT1)に供給するクロックを定義します。

停止状態はタイマ/カウンタの動作許可/禁止機能を提供します。CKが分周される動作では発振器クロック、CKから直接的に分周されます。

表11. タイマ/カウンタ1入力クロック選択

CS13	CS12	CS11	CS10	意味
0	0	0	0	停止 (タイマ/カウンタ1は動作を停止します)
0	0	0	1	CK×16 (PCK)
0	0	1	0	CK×8 (PCK/2)
0	0	1	1	CK×4 (PCK/4)
0	1	0	0	CK×2 (PCK/8)
0	1	0	1	CK (システムクロック)
0	1	1	0	CK/2
0	1	1	1	CK/4
1	0	0	0	CK/8
1	0	0	1	CK/16
1	0	1	0	CK/32
1	0	1	1	CK/64
1	1	0	0	CK/128
1	1	0	1	CK/256
1	1	1	0	CK/512
1	1	1	1	CK/1024

■ タイマ/カウンタ1 (Timer/Counter1) TCNT1

ビット	7	6	5	4	3	2	1	0	
\$2F	(MSB)							(LSB)	TCNT1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この8ビットレジスタはタイマ/カウンタ1の値を含みます。

タイマ/カウンタ1は、読み書き可能な上昇カウンタとして実装されます。CPUとタイマ/カウンタ1の同期化のため、タイマ/カウンタ1に書かれた値は1CPUクロック周期遅らされます。

■ タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register A) OCR1A

ビット	7	6	5	4	3	2	1	0	
\$2E	(MSB)							(LSB)	OCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタ(OCR1A)は読み書き可能な8ビットのレジスタです。

このタイマ/カウンタ比較レジスタ(OCR1A)は、**タイマ/カウンタ1(TCNT1)**と継続的に比較されるべきデータを保持します。比較一致での動作は**タイマ/カウンタ制御レジスタ(TCCR1)**で詳細に記されます。比較一致はタイマ/カウンタ1がOCR1A値を計数する場合にだけ起きます。TCNT1とOCR1Aを同じ値に設定する、ソフトウェア書き込みでは比較一致を発生しません。次のタイマ/カウンタ クロック周期での比較一致を妨げます。これはタイマ/カウンタ初期化時、即時の割り込みを防止します。

比較一致は比較での出来事に続くCPUクロック周期で**比較一致割り込み要求フラグ(OCF1A)**を設定(1)します。

■ タイマ/カウンタ1 比較Bレジスタ (Timer/Counter1 Output Compare Register B) OCR1B

ビット	7	6	5	4	3	2	1	0	
\$2D	(MSB)							(LSB)	OCR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

比較Bレジスタ(OCR1B)は読み書き可能な8ビットのレジスタです。このレジスタはPWM動作だけで使われ、タイマ/カウンタ1(TCNT1)が計数を維持するための上限値を制限します。TCNT1がPWM動作でOCR1Bへ到達後、タイマ/カウンタは\$00から開始します。

タイマ/カウンタ1 PWM動作

PWM動作が選択されると、**タイマ/カウンタ1(TCNT1)**と**比較Aレジスタ(OCR1A)**は自由走行動作で不具合のない8ビット PWMとOC1A(PB1)ピン出力を形成します。タイマ/カウンタ1は上昇カウンタとして動作し、\$00から**比較Bレジスタ(OCR1B)**で指定された値まで上昇計数して、そして再び\$00から上昇を始めます。タイマ/カウンタ1(TCNT1)値が比較Aレジスタ(OCR1A)の内容と一致すると、**タイマ/カウンタ1制御レジスタ(TCCR1)**の**比較出力選択(COM1A1, COM1A0)**の指定に従って、OC1A(PB1)ピンが設定(High)または解除(Low)されます。詳細については表12を参照してください。

表12. PWM出力選択 (比較出力選択と兼用)

COM1A1	COM1A0	OC1A(PB1)出力
0	0	OC1A出力切断 (PB1は標準I/Oとして動作)
0	1	OCR1Aとの一致で解除(Low)、OCR1Bとの一致(TCNT1=\$00)で設定(High) [非反転出力]
1	0	OCR1Aとの一致で解除(Low)、OCR1Bとの一致(TCNT1=\$00)で設定(High) [非反転出力]
1	1	OCR1Bとの一致(TCNT1=\$00)で解除(Low)、OCR1Aとの一致で設定(High) [反転出力]

PWM動作での比較レジスタ(OCR1A)書き込みはデータ値が最初に一時領域へ転送されることに注意してください。その値はタイマ/カウンタがOCR1Bに到達する時にOCR1A内へラッチ(設定)されます。これはOCR1A非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図22を参照してください。

書き込みと実際の設定間の期間中、比較レジスタからの読み込みは一時領域の内容が読まれます。これは常に最も最近書かれた値がOCR1Aの読み出しとなることを意味します。

比較レジスタ(OCR1A)が\$00またはOCR1Bで指定される上限値のとき、OC1A(PB1)出力はCOM1A1/COM1A0の設定に従ってHighまたはLowに保持されます。これは表13.で示されます。

PWM動作での**タイマ/カウンタ1溢れ(TOV1)フラグ**は標準タイマ/カウンタ動作として設定(1)されます。タイマ/カウンタ1溢れ割り込みは通常動作、換言するとステータスレジスタ(SREG)の**全割り込み許可(0)ビット**と**タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビット**が許可されていれば、TOV1が設定(1)される時に割り込みが実行されるように正しく動作します。これは**比較一致割り込み(OCF1A)フラグ**と割り込みについても適用されます。

図22. OCR1Aの同期/非同期設定

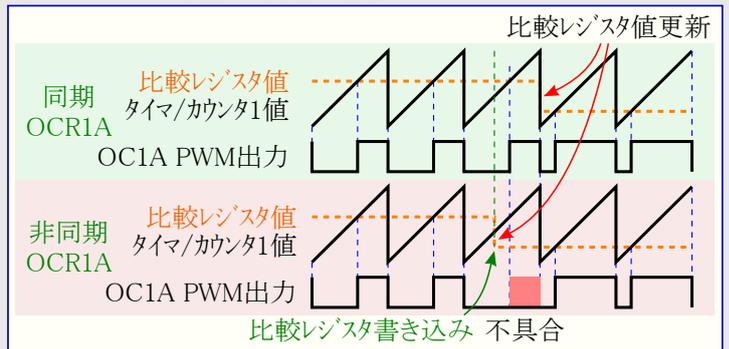


表13. 上限値、下限値でのPWM出力

COM1A1	COM1A0	OCR1A	OC1A出力
1	0	\$00	L
		OCR1B	H
1	1	\$00	H
		OCR1B	L

PWM周波数はタイマ/カウンタ1(TCNT1)のクロック周波数÷(OCR1B+1)です。

表14. 代表的なPWM周波数設定例

PWM周波数	PWM周期	OCR1B	TCNT1クロック	備考
10kHz	100.00μs	159	CK	
20kHz	50.00μs	159	PCK/8	
30kHz	33.33μs	213	PCK/4	
40kHz	25.00μs	159		
50kHz	20.00μs	255	PCK/2	
60kHz	16.67μs	213		
70kHz	14.29μs	181		
80kHz	12.50μs	159		
90kHz	11.11μs	141	PCK	
100kHz	10.00μs	255		
110kHz	9.09μs	231		
120kHz	8.33μs	213		
130kHz	7.69μs	195		
140kHz	7.14μs	181		
150kHz	6.67μs	169		

非反転PWM出力の正確なデューティ比は次式で示されます。

$$\text{デューティ比} = \frac{(\text{OCR1A} + 1) \times T_{T1} - T_{PCK}}{(\text{OCR1B} + 1) \times T_{T1}}$$

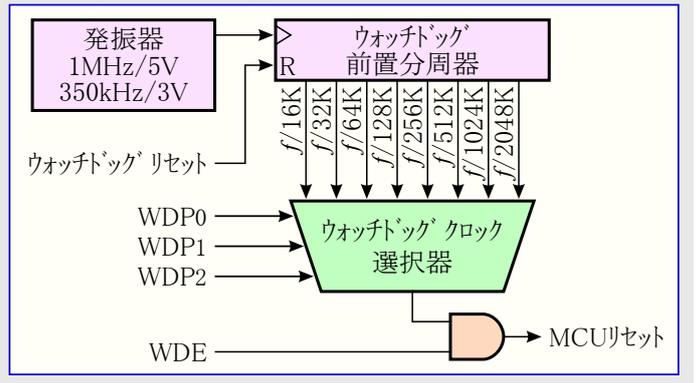
T_{T1} : 選択されたタイマ/カウンタ1のクロック周期
 T_{PCK} : PCKクロック周期 (39.1ns)

ウォッチドッグ タイマ

このウォッチドッグ タイマは1MHzで動作する独立した内蔵発振器から駆動されます。これはVCC=5Vでの代表値です。他の電源電圧での代表値については44頁の「代表特性」をご覧ください。表15.で示されるように、ウォッチドッグ タイマの前置分周器を制御することによってウォッチドッグ リセット周期は16~2048msに調整できます。ウォッチドッグ リセット(WDR)命令は、ウォッチドッグ タイマをリセットします。8種類の異なるクロック周期は、リセット周期を決めるために選択できます。WDR命令なしで、このリセット周期が経過すると、ATtiny15Lはリセットし、リセットベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては11頁を参照してください。

予期せぬウォッチドッグ 禁止を防止するため、ウォッチドッグ が禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの記述を参照してください。

図23. ウォッチドッグ タイマ構成図



■ ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~5 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット4 - WDTOE : ウォッチドッグ 停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ 許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグ は禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に解除します。ウォッチドッグ 禁止手順についてはWDEビットの記述を参照してください。

■ ビット3 - WDE : ウォッチドッグ 許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ 停止移行許可(WDTOE)ビットが設定(1)されている場合のみ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック以内に、WDEへ論理0を書きます。これがウォッチドッグ を禁止します。

■ ビット2~0 - WDP2~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2~0は、ウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は表15.に示されます。

表15. ウォッチドッグ 前置分周選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K	47ms	15ms
0	0	1	32K	94ms	30ms
0	1	0	64K	0.19s	60ms
0	1	1	128K	0.38s	0.12s
1	0	0	256K	0.75s	0.24s
1	0	1	512K	1.5s	0.49s
1	1	0	1024K	3.0s	0.97s
1	1	1	2048K	6.0s	1.9s

(訳注) 原書には「代表的な計時完了周期」欄が示されていませんが、他のAVRデータシートに習い、参考までに転記しました。

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

書き込み時間は校正されたRC発振器の周波数に依存し、4.6～8.2msの範囲です。詳細については表16をご覧ください。(書き込みは自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合は、いくつかの予防処置が取られなければなりません。厳重に濾波した電源では、電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの条件下のCPU動作はプログラムカウンタに予期せぬ分岐を実行させるかもしれない、結果的にEEPROM書き込みコードを実行する原因になりそうです。この場合、完全にEEPROMを保護するために外部低電圧リセット回路の使用が推奨されます。

不測のEEPROM書き込みを防ぐため、特別な書き込み手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ (EECR)**」の記述を参照してください。

EEPROMが読み書きされると、CPUは次の命令が実行される前に2クロック周期停止されます。

(訳注) 以降のEERE, EEAR記述内では他のデバイス同様、書き込みで2、読み込みで4クロック周期になっています。

■ EEPROMアドレスレジスタ (EEPROM Address Register) EEAR

ビット	7	6	5	4	3	2	1	0	
\$1E	-	-	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	不定	不定	不定	不定	

■ ビット7～6 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット5～0 - EEAR5～0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEAR)は64バイトのEEPROM空間のEEPROMアドレスを指定します。EEPROMデータのバイトは0～63間で直線的に配置されています。EEARの初期値は不定です。EEPROMがアクセスされる前に適切な値が書かれなければなりません。

■ EEPROMデータレジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～0 - EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作について、EEDRはEEPROMアドレスレジスタ(EEAR)で与えられるアドレスのEEPROMに書かれるデータです。EEPROM読み込み操作では、EEDRがEEARで与えられるアドレスのEEPROMから読み出されたデータです。

■ EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C	-	-	-	-	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

■ ビット7～4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3 - EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとこのEERIEが設定(1)されると、EEPROM操作可割り込みが許可されます。解除(0)されると、この割り込みは禁止されます。EEWEが解除(0)されていると、EEPROM操作可割り込みは継続する割り込みを発生します。

■ ビット2 - EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)

このEEMWEビットは、EEPROM書き込み許可(EEWE)ビットの1設定がEEPROM書き込みの原因となるかどうかを決定します。EEMWEが設定(1)されるとき、EEWEの1設定は選択されたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの1設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後、自動的に解除(0)されます。EEPROM書き込み手順については次の「**書き込み許可(EEWE)**」ビットの記述をご覧ください。

■ ビット1 - EEW: EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みスローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEWEビットを設定(1)しなければなりません。論理1がEEWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならない、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2.と3.の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEAR)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EEWE)ビットへ論理1を書きます。

警告: 手順4.と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARかEEDRが変更されると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順2.~5.の間中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み時間(代表的には、内蔵RC発振器が1.6MHzに校正された場合、5.1ms)が経過してしまうと、EEWEビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EEWEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

■ ビット0 - EERE: EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みスローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前にEEWEビットをポーリングすべきです。新規データまたはアドレスがEEPROM I/Oレジスタに書かれるときに書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROM書き込みアクセスの時間に校正付き内蔵RC発振器が使われます。表16.の代表的な書き込み時間はCPUからのEEPROMアクセスについて示されます。

表16. 代表的なEEPROM書き込み時間

項目	校正付きRC発振器クロック数	最小	最大
EEPROM書き込み(CPUから)	8192	4.6ms	8.2ms

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

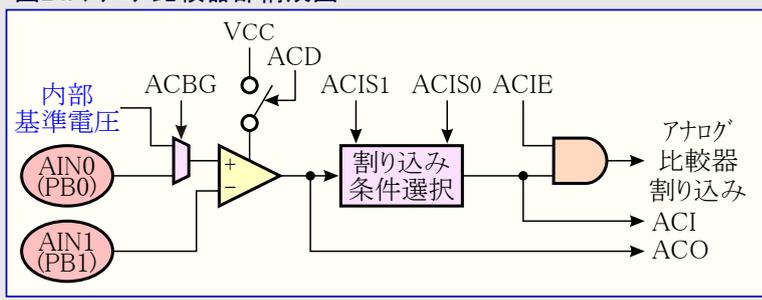
次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 電源の供給電圧が不足する時間中、AVRのRESETを有効(Low)に保ちます。これは動作電圧が検出電圧と一致する場合、内蔵低電圧検出器(BOD)を許可することにより行えます。一致しない場合、外部低VCCリセット保護回路が適用できます。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュメモリに定数を格納します。フラッシュメモリはCPUにより更新されることができないので、データ化けの問題はありません。

アナログ比較器

アナログ比較器は非反転入力AIN0(PB0)と反転入力AIN1(PB1)の入力値を比較します。非反転入力AIN0(PB0)の電圧が反転入力AIN1(PB1)の電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端、またはその両方での割り込み起動が選べます。この比較器とその周辺回路の構成図は図24.で示されます。

図24. アナログ比較器部構成図



■ アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08	ACD	ACBG	ACO	ACI	ACIE	-	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

■ ビット7 - ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFにするため、何時でも設定(1)できます。これは活動動作やアイドル動作での消費電力を削減します。ACDビットを変更するとき、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもないと、このビットが変更されるとき、割り込みが起きます。

■ ビット6 - ACBG : 内部基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定(1)されると、比較器非反転入力の標準入力(AIN0)を内部基準電圧 $1.22 \pm 0.05V$ に置換します。このビットが解除(0)されると、標準入力AIN0(PB0)ピンが比較器非反転入力に印加されます。

■ ビット5 - ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

■ ビット4 - ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが**アナログ比較器割り込み条件(ACIS1, ACIS0)ビット**で定義された割り込み動作を起こす時にこのビットが設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込みベクタを実行するとき、ACIは自動的に解除(0)されます。代わりにこのフラグへ論理1を書くことによっても、ACIは解除(0)されます。

■ ビット3 - ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されると、アナログ比較器割り込みが有効化されます。解除(0)されると、この割り込みは禁止されます。

■ ビット2 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット1,0 - ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は表17.に示されます。

表17. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移(トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: このACIS1, ACIS0ビットを変更するとき、ACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。そうでないと、これらのビットが変更されるとき、割り込みが起きます。

警告: このレジスタのACI以外のビットに対するCBIまたはSBI命令の使用は、ACIが1として読まれる場合に1が書き戻されるため、このフラグを解除(0)してしまいます。

(訳注) 原書では上記警告が追加されていませんが、他のAVRデータシートに習い、追加しました。

A/D変換器 (アナログ多重器, 利得段)

特徴

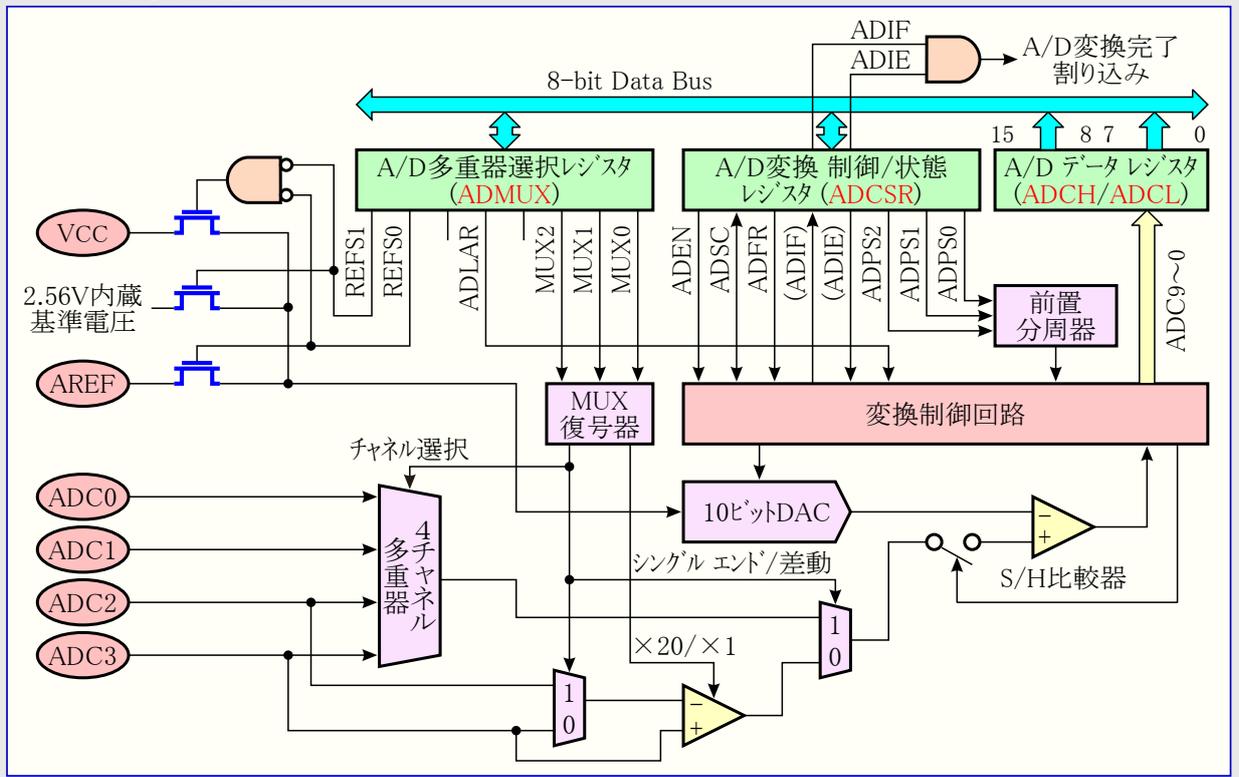
- ・ 10ビット分解能
- ・ 絶対精度±2LSB
- ・ 積分非直線性0.5LSB
- ・ 任意のオフセット相殺処理
- ・ 変換時間65～260μs
- ・ 最大15k採取/s
- ・ 多重化された4シングルエンド入力チャネル
- ・ 任意20倍利得付き1差動入力チャネル
- ・ 内蔵2.56V基準電圧
- ・ 0～2.56Vの差動入力電圧範囲
- ・ 0～VCCのシングルエンド入力電圧範囲
- ・ 任意の変換結果左揃え読み出し
- ・ 連続と単独の変換動作
- ・ A/D変換完了割り込み
- ・ 休止形態雑音低減機能

ATtiny15Lは10ビットの逐次比較A/D変換部が特徴です。このA/D変換部はポートBのピンから構成される4つのシングルエンド電圧入力と1つの差動電圧入力を与える4チャネルのアナログ多重器に接続されます。差動入力(PB3, PB4)はA/D変換前に差動入力電圧での26dB(20倍)増幅段を提供する設定変更可能な利得段を備えています。PB2～5のシングルエンド電圧入力は(基準として)0V (GND)を参照します。

A/D変換部はA/D変換器が変換中の一定レベルを保持するための入力電圧を保証する採取&保持(S/H)を含みます。A/D変換部の構成図は図25.に示されます。

公称2.56Vの内部基準電圧がチップ上で提供され、この基準電圧は雑音特性向上のため、任意でコンデンサによってAREF(PB0)ピンで外部的にデカップ(雑音結合を減少)できます。シングルエンドチャネルについては代わりに基準電圧としてVCCが使えます。外部基準電圧の使用や内部基準電圧をOFFに切り替える任意選択もあります。これらの任意選択はA/D変換多重器選択レジスタ(ADMUX)の基準電圧選択(REFS1,0)ビットを使って選択されます。

図25. A/D変換器部構成図



操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はAGNDを表し、最大値はAREFピンの電圧-1LSBを表します。

A/D変換器の基準電圧は、A/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS1,0)ビットへの書き込みにより選択できます。A/D変換器基準電圧として、VCC、AREFピン、または内部2.56V基準電圧が選択できます。任意で、内部基準電圧は雑音耐性を改善するため、AREFピンでの外部コンデンサによりデカップ(雑音結合の減少)できます。

アナログ入力チャネルと差動利得はADMUXのチャネル選択(MUX2~0)ビットへの書き込みにより選択されます。4つのA/D変換入力ピン(ADC3~0)の何れもがA/D変換器へのシングルエンド入力として選択できます。ADC2とADC3は各々、差動利得増幅器への非反転、反転入力として選択できます。

差動チャネルが選択されると、差動利得段はADMUXのMUX2~0ビットの設定に従って選択された利得倍率×1または×20により、選択された2入力間の差電圧を増幅します。そして、この増幅値がA/D変換器へのアナログ入力になります。シングルエンドチャネルが使われると、この利得増幅器は全体が迂回(無視)されます。

ADC2が差動利得増幅器への非反転と反転入力の両方(ADC2-ADC2)として選択されると、利得段と変換回路の残留オフセットが変換結果として直接的に測定されます。この数値はオフセット誤差を1LSB以下に減じるために、同じ利得設定での後続する変換から減算することができます。

A/D変換は単独と連続の2つの動作ができます。単独変換動作では、変換毎に使用者により開始されなければなりません。連続変換動作では絶えず採取とA/Dデータレジスタ(ADCH/ADCL)の更新をします。A/D制御/状態レジスタ(ADCSR)のA/D動作選択(ADFR)ビットは、この2つの利用可能な種別の1つを選択します。

A/D変換部はADCSRのA/D許可(ADEN)ビットの設定(1)により動作が許可されます。基準電圧と入力チャネルの設定は、ADENが設定(1)されるまで実行しません。ADENが解除(0)のとき、A/D変換部は電力を消費しませんので、電力を節約する周期へ移行する前に、A/D変換部をOFFに切り替えることが推奨されます。

ADCSRの変換開始(ADSC)ビットへ論理1を書くことにより、変換が開始されます。このビットは変換が実行中である限り1に留まり、変換が完了される時、ハードウェアにより0に設定されます。変換が実行中の間に違うデータ(入力)チャネルが選択される場合、A/D変換器はチャネル変更を実行する前に現在の変換を済ませます。

このA/D変換部はA/Dデータレジスタ(ADCH, ADCL)で示される10ビットの結果を生成します。既定では、この結果が右揃え(16ビットのビット0側10ビット)で表されますが、任意でADMUXの左揃え選択(ADLAR)ビットを設定(1)することにより、左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合は、ADCHの読み込みで足りる。さもなければ、データレジスタの内容が同じ変換(からの結果)であることを保証するため、最初にADCLを読み、次にADCHを読まなければなりません。一度ADCLを読むと、A/D変換器からのA/Dデータレジスタ(ADCH, ADCL)アクセスが防止されます。これは、ADCLを読んでしまい、ADCHを読む前に変換が完了すると、どちらのレジスタ(ADCH, ADCL)も更新されず、この変換からの結果が失われることを意味します。ADCHが読まれると、ADCH, ADCLへのA/D変換器アクセスが再び許可されます。

A/D変換部には、変換完了時に起動することができる自身用の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されていると、例えば変換結果が失われても、割り込みは起動します。

前置分周と変換タイミング

逐次比較回路は50~200kHzの入力クロック周波数を必要とします。より高い入力周波数の使用は変換精度に影響を及ぼします。34頁の「A/D変換器特性」をご覧ください。A/D変換部はシステムクロックを受け入れ可能なA/D変換クロック周波数に分周する前置分周器を含みます。

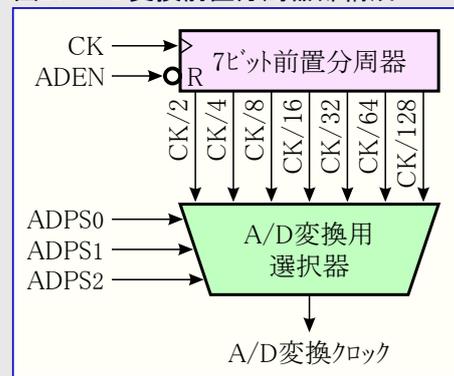
A/D制御/状態レジスタ(ADCSR)のA/Dクロック選択(ADPS2~0)ビットは、100kHz以上のどんなCK(システムクロック)周波数からも適当なA/D変換クロック入力周波数を生成するのに使われます。この前置分周器はADCSRのA/D許可(ADEN)ビットを設定(1)することによってA/D変換部がONに切り替えられる時から計数を始めます。前置分周器はADENビットが設定(1)である限り動作し続け、ADENが解除(0)の時は継続的にリセットされます。

ADCSRのA/D変換開始(ADSC)ビットを設定(1)することによって変換を開始するとき、この変換は直後の変換クロック周期の上昇端で始まります。差動チャネルが選択されている場合、この変換はADENが設定(1)された後、他の全てのA/D変換クロック周期の上昇端で始まるだけです。

通常の変換は13変換クロック周期かかります。或る状態で、A/D変換器は初期化とオフセット誤差を最小にするためにより多くのクロック周期が必要です。これらの延長された変換は25変換クロック周期かかり、次の出来事の後最初のA/D変換で起きます。

- A/D動作許可へ切り替え (A/D制御/状態レジスタ(ADCSR)のA/D許可(ADEN)ビット1が設定(1))。
- 基準電圧元を変更 (A/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS1,REFS0)ビットが値変更)。
- 差動入力チャネルを選択 (A/D多重器選択レジスタ(ADMUX)のチャネル選択ビット2(MUX2)が設定(1))。同一チャネルでの後続する変換は延長された変換でないことに注意してください。

図26. A/D変換前置分周器部構成



実際の採取&保持は通常変換開始後1.5、延長された変換開始後13.5変換クロック周期の位置で行われます。変換が完了すると、結果がA/Dデータレジスタ(ADCH, ADCL)に書かれ、ADCSRのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADFR=0)では同時にADSCが解除(0)されます。その後ソフトウェアは再びADSCを設定(1)でき、変換クロックの最初の上昇端で新規変換が開始されます。連続変換動作(ADFR=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。200kHzの変換クロック周波数と連続変換動作の使用は、最小変換時間65 μ s(約15k採取/s)を与えます。変換時間の一覧については表18をご覧ください。

図27. 初回(延長された)変換タイミング* (単独変換動作)

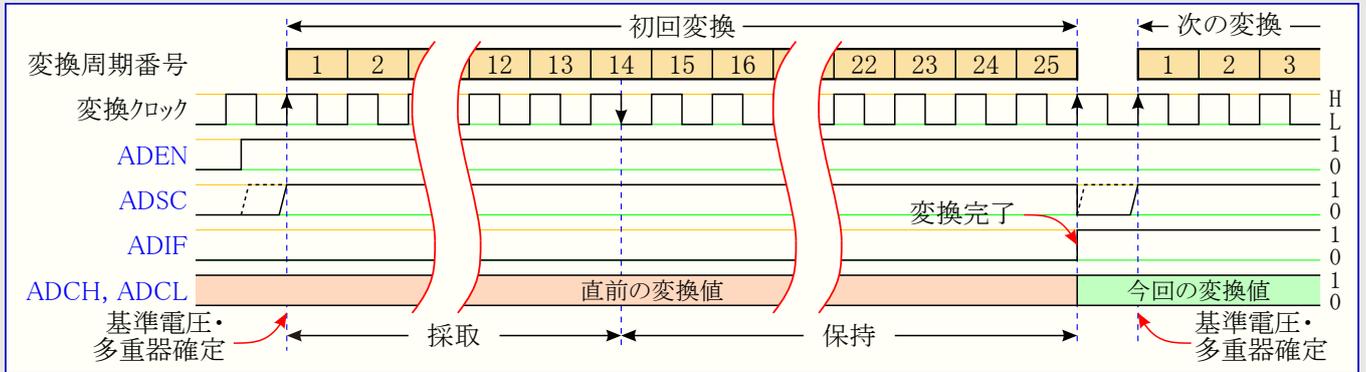


図28. 通常変換タイミング* (単独変換動作)

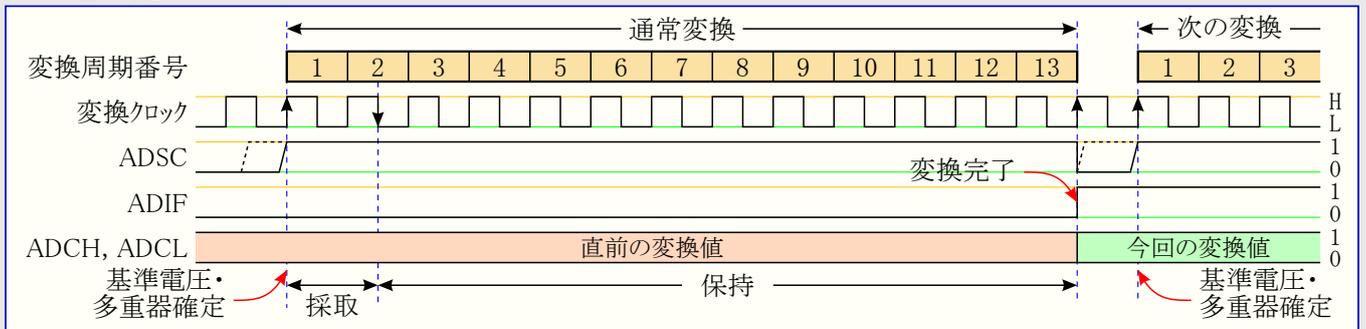


図29. 連続変換動作タイミング*

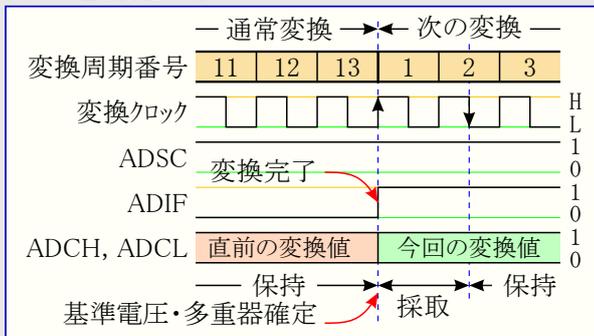


表18. A/D変換時間

変換種別	保持点	変換終了	総変換時間	変換時間(μ s)
連続(初回)	13.5	25	25	125~500
単独(初回)	13.5	25	26	130~520
連続(通常)	1.5	13	13	65~260
単独(通常)	1.5	13	14	70~280

注: 変換時間を除く各番号は変換開始からの変換クロック数です。

(訳注) この表は原書に対して追加/修正されています。より適切なタイミング図については、AT90S2333またはAT90S4433データシートの該当箇所を参照してください。

雑音低減機能

A/D変換部はCPUコアと他の周辺I/Oから誘導される雑音を低減するため、A/D変換雑音低減動作(17頁の「休止形態」参照)中にA/D変換を可能にする雑音低減機能が特徴です。他の周辺I/Oが変換中に動作しなければならない場合、この動作はアイドル動作に対して等価的に動作します。この機能の使用を行うには、次の手順が使われるべきです。

1. A/D変換が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認します。単独変換動作が選択(ADFR=0)され、A/D変換完了割り込みが許可(ADIE=1)されなければなりません。
2. A/D変換雑音低減動作(またはアイドル動作)へ移行します。一旦CPUが停止されてしまうと、A/D変換部は変換を開始します。
3. A/D変換完了前に他の割り込みが起きなければ、A/D変換完了割り込みがMCUを起動復帰し、A/D変換完了割り込み処理ルーチンを実行します。

■ A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07	REFS1	REFS0	ADLAR	-	-	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,6 – REFS1,0 : 基準電圧選択 (Reference Select Bits 1, 0)

これらのビットは表19.で示されるA/D変換器の基準電圧を選択します。これらのビットがA/D変換中に変更されると、(現在の)変換が完了する(A/D変換制御/状態レジスタ(ADCSR)のA/D変換完了割り込み要求フラグ(ADIF)=1)まで、この変更は実行しません。これらのビットが変更される時、常に次の変換は25変換クロック周期かかります。動的な(差動)チャンネルが使われる場合、VCCまたはVCC-1Vより高い外部AREF(電圧)の使用は、A/D変換精度に影響を及ぼすため推奨されません。AREFピンに外部基準電圧が印加される場合、内部基準電圧選択種別が使われてはなりません。

表19. A/D変換器の基準電圧選択

REFS1	REFS0	基準電圧
0	0	VCC (AREF(PB0)と内蔵基準電圧は切り離されます。)
0	1	AREF(PB0)ピンの外部基準電圧 (VCCと内蔵基準電圧は切り離されます。)
1	0	2.56V内部基準電圧 (VCCとAREF(PB0)は切り離されます。)
1	1	2.56V内部基準電圧 (VCCは切り離されますが、AREF(PB0)にデカップ用コンデンサが接続できます。)

■ ビット5 – ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットは、A/Dデータレジスタ内の変換結果の体裁に影響を及ぼします。ADLARが解除(0)されると、結果は右揃えにされます。ADLARが設定(1)されると、左揃えにされます。ADLARビットの変更は、進行中のどんな変換にも拘らず、直ちにA/Dデータレジスタに影響を及ぼします。このビットの完全な記述については33頁の「A/Dデータレジスタ(ADCH,ADCL)」をご覧ください。

■ ビット4,3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット2~0 – MUX2~0 : A/Dチャンネル選択 (Analog Channel Select Bits 2~0)

これらのビット値はA/D変換器にどのアナログ入力に接続されるかを選択します。差動入力(ADC2-ADC3)の場合での利得選択も、これらのビットで行われます。作動利得段への両入力としてのADC2選択は、オフセット測定を可能にします。詳細については表20.を参照してください。これらのビットが変換中に変更されると、変換が完了する(A/D変換制御/状態レジスタ(ADCSR)のA/D変換完了割り込み要求フラグ(ADIF)=1)まで、この変更は実行されません。

表20. アナログ入力チャンネルと増幅倍率選択

MUX2~0	シングルエンド入力	非反転差動入力	反転差動入力	利得	備考
0 0 0	ADC0 (PB5)	使用不可	使用不可	使用不可	
0 0 1	ADC1 (PB2)				
0 1 0	ADC2 (PB3)				
0 1 1	ADC3 (PB4)				
1 0 0	使用不可	ADC2 (PB3)	ADC2 (PB3)	×1	オフセット相殺専用、29頁参照。
1 0 1				×20	
1 1 0		ADC2 (PB3)	ADC3 (PB4)	×1	
1 1 1				×20	

■ A/D変換 制御/状態レジスタ (ADC Control and Status Register) ADCSR

ビット	7	6	5	4	3	2	1	0	
\$06	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – ADEN : A/D許可 (ADC Enable)

このビットへの論理1書き込みがA/D動作を可能にします。このビットを0に解除することにより、A/D変換部はOFFに切り替えられます。A/D変換中のOFFへの切り替えは、その変換を終了します。

■ ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作では、変換毎に変換を開始するため、このビットに論理1が書かれなければなりません。連続変換動作では、最初の変換を開始するため、このビットに論理1が書かれなければなりません。

変換が完了すると、ADSCは単独変換動作で0に戻り、連続変換動作で1に留まります。

このビットへの0書き込みは無効です。

■ ビット5 – ADFR : 連続/単独変換動作選択 (ADC Free Running Select)

このビットが設定(1)されるとA/D変換は連続変換動作で動きます。この動作では、継続的に採取とA/Dデータレジスタを更新します。このビットの解除(0)は連続変換を終了します(単独変換動作になります)。動的なチャンネル(A/D多重器選択レジスタ(ADMUX)のチャンネル選択ビット2(MUX2)=1)が使われる場合、そのチャンネルは連続変換動作へ移行する前に選択されなければなりません。連続変換動作移行後の動的チャンネル選択は、A/D変換器の不確定な動作に終わるかもしれません。

■ ビット4 – ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新される時、このビットが設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(1)ビットとA/D変換完了割り込み許可(ADIE)ビットが設定(1)されていると、A/D変換完了割り込みが実行されます。ADIFは対応する割り込み処理へ実行時、自動的に解除(0)されます。代わりに、このフラグへの論理1書き込みによっても解除(0)されます。ADCSRで読み-変更-書き(リード モデファイライト)を行う場合、保留割り込みが禁止されることに注意してください。これはSBIとCBIの命令が使われる場合にも適用されます。

■ ビット3 – ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットとステータスレジスタ(SREG)の全割り込み許可(1)ビットが設定(1)されると、A/D変換完了割り込みが有効に(許可)されます。

■ ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはCK(システムクロック)周波数とA/D変換器への入力クロック間の分周比を決めます。表21をご覧ください。

表21. A/D変換クロック選択 (CK=システムクロック)

ADPS2	ADPS1	ADPS0	A/D変換クロック
0	0	0	CK/2
0	0	1	CK/2
0	1	0	CK/4
0	1	1	CK/8
1	0	0	CK/16
1	0	1	CK/32
1	1	0	CK/64
1	1	1	CK/128

■ A/Dデータレジスタ (ADC Data Register) ADCH,ADCL

ADLAR=0時									
ビット	15	14	13	12	11	10	9	8	
\$05	-	-	-	-	-	-	ADC9	ADC8	ADCH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$04	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ADLAR=1時									
ビット	15	14	13	12	11	10	9	8	
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
ビット	7	6	5	4	3	2	1	0	
	ADC1	ADC0	-	-	-	-	-	-	ADCL

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。ADCLが読まれると、ADCHが読まれるまでA/Dデータレジスタは更新されません。従って、この結果が左揃えで、かつ8ビットを越える精度が必要とされないならば、ADCHを読むことで足りる。さもないければ、最初にADCLが、次にADCHが読まれなければなりません。A/D多重器選択レジスタ(ADMUX)の左揃え選択(ADLAR)ビットはこのレジスタから結果が読まれる方法に影響を及ぼします。ADLARが設定(1)されると、結果は左揃えにされます。ADLARが解除(0)されると、結果は(既定の)右揃えにされます。

■ ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは変換からの結果を表します。差動チャネルについては31頁の表20.で示される利得補正後の値です。\$000が接地(GND)を表し、\$3FFが選択された基準電圧-1LSBを表します。

複数チャネル走査

アナログ入力チャネルの変更は常に変換が終了されるまで遅らされるため、連続変換動作はA/D変換部の割り込みなしでの複数チャネル走査に使えます。通常、A/D変換完了割り込みがチャネル移動を行うために使われます。しかし、次の要素が考慮されるべきです。

一旦読まれるべき結果が用意されると、割り込みが起動します。連続変換動作では、割り込みが起動するとき、次の変換が直ちに始まります。割り込み起動後にA/D多重器選択レジスタ(ADMUX)が変更される場合、次の変換は既に開始されており、これには変更前の設定が使われます。

雑音低減技術

ATtiny15L内外のデジタル回路はアナログ測定の精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要な場合、次の技法を適用することによって雑音レベルを減少できます。

1. ATtiny15Lのアナログ部と応用回路内の全てのアナログ部品は、基板上で分離したアナログGND面を持つべきです。このアナログGND面は基板上の1点でデジタルGND面に接続されます。
2. アナログ信号経路は可能な限り最短を維持します。アナログ信号線がアナログGND面上走っているか確認し、高速切り替えのデジタル信号線から充分離すことを厳守します。
3. CPUからの誘導雑音を低減するため、A/D変換雑音低減機能を使います。
4. ポートAピンのいくつかがデジタル出力として使われる場合、変換実行中はそれらを切り替えないことが重要です。

A/D変換器特性

表A. A/D変換特性

シンボル	項目	条件	最小	代表	最大	単位	
	分解能	シングル エント' 入力変換		10		ビット	
		×1, ×20 差動入力変換		8			
	絶対精度	シングル エント' VREF=4V	変換クロック=200kHz		1	2	LSB
			変換クロック=1MHz		4		
			変換クロック=2MHz		16		
	積分非直線性誤差	VREF>2V		0.5			
	微分非直線性誤差			0.5			
	オフセット(ゼロ)誤差			1			
	変換時間	連続変換動作	65		260	μs	
	変換クロック周波数		50		200	kHz	
VREF	基準電圧	シングル エント' 入力変換	2.0		VCC	V	
		差動入力変換	2.0		VCC-0.2		
VINT	内蔵2.56V基準電圧		2.4	2.56	2.7		
RREF	基準電圧入力インピーダンス		6.0	10.0	13.0	kΩ	
RAIN	アナログ入力インピーダンス			100.0		MΩ	

入出力ポートB

AVRの全てのポートは標準デジタルI/Oポートとして使われるとき、真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしにポートピンの1つの方向が変更できることを意味します。駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ポートBは6ビットの双方向I/Oポートです。

ポートBについては3つのI/Oメモリ アドレス位置が、各々、データ出力レジスタ(PORTB),\$18、データ方向レジスタ(DDRB),\$17、データ入力レジスタ(PINB),\$16に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートPB5~0には3頁の「[ピン概要](#)」項で記述される特別な機能があります。PB5は外部リセットとして設定されなければ、プルアップなしの入力またはオープントレイン出力です。全てのポートピンには、プルアップ禁止(PUD)で無効にできる、個別に**選択可能なプルアップ抵抗**があります。

PB0~4のポートB出力緩衝部は20mAの吸い込み電流を流せますので、LED表示器を直接駆動できます。PB5は12mAの吸い込み電流を流せます。PB0~4ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流(I_{OL})が流れます。

未接続ピン

いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つことを保証することが推奨されます。未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要ならば、外部プルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

ポートB交換機能

ATtiny15Lでの4つのポートピン、PB2、PB3、PB4、PB5にはA/D変換器の入力としての交換機能があります。いくつかのポートBピンが出力として設定される場合、変換が実行中のときに、それらが切り替わらないことが重要です。これは変換の結果を不正にするかもしれません。A/D変換雑音低減動作とパワーダウン動作中、シュミットトリガ デジタル入力が(ピンから)切り離されます。これはパワーダウン動作中、過大な電力消費の原因とならずに、VCC/2近辺のアナログ電圧が存在するのを許容します。交換機能のあるポートBピンは、3頁の表1.で示されます。

PB4~0ピンが交換機能で使われるとき、ポートB方向レジスタ(DDRB)とポートB出力レジスタ(PORTB)は交換機能の説明に従って設定されなければなりません。PB5が外部リセットピンとして使われるとき、対応するDDRBとPORTBビットの値は無視されます。

■ ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18	-	-	-	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17	-	-	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16	-	-	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読まれます。

ポートB 標準デジタル入出力

デジタルI/Oピンとして使われるとき、ポートBの下位5ピンは同じです。

標準I/OピンPBnは、**ポートB方向レジスタ(DDRB)**のDDBnビットがそのピンの入出力方向を選択し、DDBnが設定(1)されると、出力ピンとして設定されます。DDBnが解除(0)されると、入力ピンとして設定されます。**ポートB出力レジスタ(PORTB)**のPORTBnが設定(1)され、そのピンが**入力ピン**として設定されている場合、MOSプリアップ抵抗が有効化されます。プリアップ抵抗をOFFに切り替えるには、PORTBnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。全ポートのプリアップは、**MCU制御レジスタ(MCUCR)**の**全プリアップ禁止(PUD)ビット**の設定(1)によっても禁止できます。

表22. ポートBピンに対するDDBnの関係

DDBn	PORTBn	入出力	プリアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	なし	MCUCRのPUD=1
			あり	PBnに外部からLowを入力すると吐き出し電流が流れます。PUD=0
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは4,3~0でビット番号を示します。

ATtiny15LのPB5は入力かオープンドレイン出力です。このピンが12V(高電圧直列)プログラミングに使われるため、ピン上の電圧をVCC+0.5Vに制限する静電破壊防止ダイオードがありません。従って、通常動作中、このピンの電圧がVCC+1V以上に上昇しないことを保証するために特別な注意が必要とされるべきです。これは予期せぬリセットやプログラミング動作への移行の原因になるかもしれません。

全てのポートBピンはピン変化割り込みを起動できるピン変化検出器に接続されます。詳細については13頁の「**ピン変化割り込み**」をご覧ください。

ポートBの交換機能

ポートBには次の交換機能があります。

- **RESET** – ポートB ビット5 : PB5

RESET : **RSTDISBL**ヒューズが非プログラム(1)のとき、このピンは外部リセットとして扱います。RSTDISBLヒューズがプログラム(0)されると、このピンは標準入力ピンまたはオープンドレイン出力ピンです。**ポートB方向レジスタ(DDRB)**のDDB5が解除(0)されると、PB5は入力ピンとして設定されます。DDB5が設定(1)されると、このピンはオープンドレイン出力です。

- **INT0/T0/(SCK)** – ポートB ビット2 : PB2

INT0 : 通常動作で、このピンは外部割り込み0入力として扱えます。詳細と許可の方法については「**割り込みの扱い**」記述をご覧ください。このピンが出力として設定されていても、このピン上の有効動作が割り込みを起動することに注意してください。

T0 : 通常動作で、このピンはタイマ/カウンタ外部クロック入力として扱えます。より多くの詳細については「**タイマ/カウンタ0**」記述をご覧ください。タイマ/カウンタ外部クロック駆動が選択されると、例えば出力として設定されていても、本ピン上の有効動作はタイマ/カウンタをクロック駆動します。

SCK : 直列プログラミング動作で、このピンは直列クロック入力(SCK)として扱います。

- **OC1A/AIN1/(MISO)** – ポートB ビット1 : PB1

OC1A : 通常動作で、このピンはタイマ/カウンタ1比較一致出力(OC1A)として扱えます。出力を許可する方法とより多くの詳細については「**タイマ/カウンタ1**」記述をご覧ください。OC1AピンはPWM動作タイマ機能の出力ピンでもあります。

AIN1 : このピンは内蔵**アナログ比較器**の反転入力としても扱います。

MISO : 直列プログラミング動作で、このピンは直列データ出力(MISO)として扱います。

- **AREF/AIN0/(MOSI)** – ポートB ビット0 : PB0

AREF : このピンはA/D変換器の基準電圧用に選択できます。詳細については「**A/D変換器 (アナログ多重器, 利得段)**」章を参照してください。

AIN0 : このピンは内蔵**アナログ比較器**の非反転入力としても扱います。

MOSI : **直列プログラミング**動作で、このピンは直列データ入力(MOSI)として扱います。

メモリプログラミング

プログラムメモリとデータメモリ用施錠ビット

ATtiny15L MCUは、非プログラム(1)のままか、表23.で示される付加機能を得るためにプログラム(0)できる、2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表23. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュメモリとEEPROMのプログラミング機能が禁止されます。
3	0	0	保護種別2と同様、更に照合も禁止されます。

ヒューズビット

ATtiny15Lには6つのヒューズビット、BODLEVEL, BODEN, SPIEN, RSTDISBL, CKSEL1,0があります。全てのヒューズビットは高電圧と低電圧の直列プログラミング動作の両方でプログラミングできます。ヒューズの変更はプログラミング中、どんな効果も持ちません(保留されます)。

- **BODLEVEL:** BODLEVELヒューズは低電圧検出電圧の選択と起動(リセット遅延)時間の変更をします。11頁の「低電圧(ブラウンアウト)検出リセット」と10頁の表5をご覧ください。既定値はプログラム(0)です。
- **BODEN:** BODENヒューズがプログラム(0)されると、低電圧検出器(BOD)が許可されます。11頁の「低電圧(ブラウンアウト)検出リセット」をご覧ください。既定値は非プログラム(1)です。
- **SPIEN:** SPIENヒューズビットがプログラム(0)されると、低電圧直列プログラミングが許可されます。既定値はプログラム(0)です。低電圧直列プログラミング動作中のこのヒューズの非プログラム(1)化は、将来の実装書き換えの意図を禁止してしまいます。
- **RSTDISBL:** RSTDISBLがプログラム(0)されると、PB5ピンの外部リセット機能が禁止されます(注)。既定値は非プログラム(1)です。低電圧直列プログラミング動作中のこのヒューズの非プログラム(1)化は、将来の実装書き換えの意図を禁止してしまいます。
- **CKSEL1,0:** 使うのにCKSEL1,0をどう組み合わせるかについては、10頁の表5をご覧ください。既定値は'00'(64ms+18CK)です。

ヒューズビットの状態はチップ消去による影響を受けません。

注: RSTDISBLヒューズがプログラム(0)される場合、その後、プログラミング装置(書き込み器)はATtiny15Lが電源ONリセット中、PB5に+12Vを印加すべきです。そうしないと、PB0若しくはPB5駆動の衝突による原因でプログラミング動作への移行失敗が有り得ます。

識票バイト

Atmelの全マイクロコントローラはデバイス識別用に3バイトの識票符号を持ちます。この符号は直列と高電圧プログラミング動作の両方で読めます。この3バイトは他から分離された空間に存在します。ATtiny15Lの識票符号を右に示します。

- ① \$000 : \$1E 製造業者Atmel。
- ② \$001 : \$90 フラッシュメモリ容量1Kバイト。
- ③ \$002 : \$06 ②値\$90と合せ、ATtiny15L。

校正バイト

ATtiny15Lには内蔵RC発振器用の1バイト校正値があります。このバイトは識票アドレス空間のアドレス\$000の上位バイトにあります。このバイトの使用を行うには、このバイトがこの位置から読まれ、通常のプログラム用フラッシュメモリ内に書かれるべきです。起動時に使用者プログラムは、このフラッシュメモリ位置を読み、その値を発振校正レジスタ(OSCCAL)に書かなければなりません。

フラッシュメモリとEEPROMのプログラミング

AtmelのATtiny15Lは実装再書き込み可能な1Kバイトのプログラム用フラッシュメモリと64バイトのデータ用EEPROMメモリを提供します。

ATtiny15Lにはプログラム用内蔵フラッシュメモリとデータ用EEPROMメモリが消去(全ビット=1)されてプログラムされる準備が整った状態で搭載されています。

このデバイスは高電圧(12V)直列プログラミング動作と低電圧直列プログラミング動作を支援します。+12Vはプログラム許可のためのみに使われ、このピンにより特筆すべき電流は流れません(100µA未満)。低電圧直列プログラミング動作は実装済みのATtiny15Lにプログラムとデータを書き込む便利な方法を提供します。

ATtiny15LのフラッシュメモリとEEPROMはどちらのプログラミング動作でもバイト単位でプログラムされます。EEPROMについては低電圧直列プログラミング動作での自動書き込み命令内で自動消去周期が提供されます。

プログラミング中の供給電圧は表24.に従っていなければなりません。

表24. プログラミング中の供給電圧

デバイス	低電圧直列プログラミング	高電圧直列プログラミング
ATtiny15L	2.7~5.5V	4.5~5.5V

高電圧直列プログラミング

本項はATtiny15Lでのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**の高電圧直列プログラミングと照合の方法を記述します。



高電圧直列プログラミング手順

高電圧直列プログラミング動作でのATtiny15Lのプログラミングと照合は次の手順が推奨されます(命令形式は表25参照)。

- 次の手順で電源を投入します。
VCCとGND間に4.5～5.5Vを印加します。PB5とPB0をLow(0)に設定し、最低30 μ s待ちます。PB3をLow(0)に設定します。最低100ns待ちます。PB5～12Vを印加し、PB0を変更する前に最低100ns待ちます。何れかの命令を与える前に8 μ s待ちます。
- フラッシュメモリは最初にアドレス、次に下位、上位バイトデータを供給することにより、1バイト単位で書き込まれます。**書き込み命令**は自己タイミングで行われ、PB2(RDY/BSY)ピンがHighになるまで待機します。
- EEPROMは最初にアドレス、次にバイトデータを供給することにより、1バイト単位で書き込まれます。**書き込み命令**は自己タイミングで行われ、PB2(RDY/BSY)ピンがHighになるまで待機します。
- 何れのメモリ位置も、選択されたアドレスの内容を直列出力(PB2)ピンに読み戻す、**読み出し命令**の使用で検証ができます。
- 電源OFF手順
 - PB3をLow(0)にします。
 - PB5をLow(0)にします。
 - VCC電源をOFFにします。

ATtiny15Lへ直列データを読み書きするとき、データは内部クロックを生成するために必要とされる16個の外部クロックパルスの第8上昇端でクロック駆動されます。説明については図31、図32、表26をご覧ください。

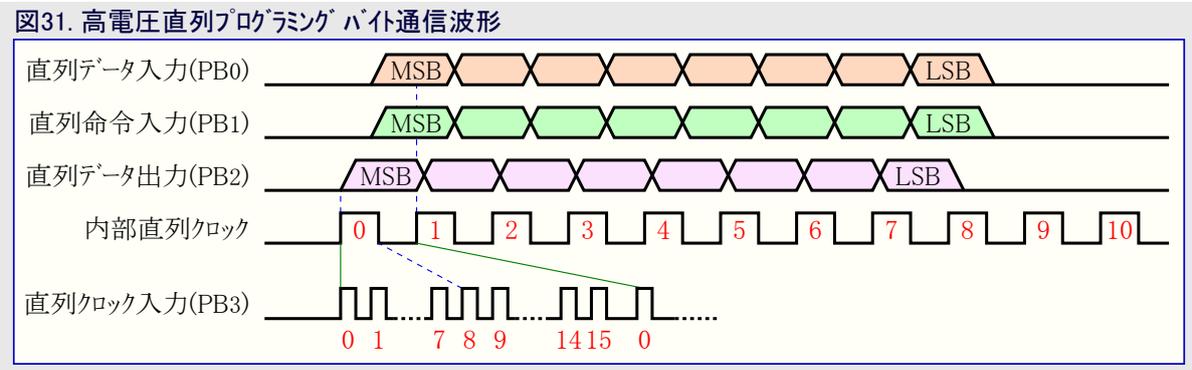


表25. 高電圧直列プログラミング命令一式

命令	PB	命令形式				備考
		第1バイト	第2バイト	第3バイト	第4バイト	
チップ消去	0	0 1000 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	第4バイト後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0110 0100 00	0 0110 1100 00	0 0100 1100 00	
	2	x xxxx xxxx xx				
フラッシュメモリ書き込みアドレス設定	0	0 0001 0000 00	0 0000 000H 00	0 LLLL LLLL 00		第3バイトは新規アドレス毎、第2バイトは新規ページ毎に設定します。
	1	0 0100 1100 00	0 0001 1100 00	0 0000 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
フラッシュメモリ下位バイト書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第3バイト後PB2=Highまで待機します。新規アドレス毎に第1~3バイトを繰り返します。
	1	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
フラッシュメモリ上位バイト書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第3バイト後PB2=Highまで待機します。新規アドレス毎に第1~3バイトを繰り返します。
	1	0 0011 1100 00	0 0111 0100 00	0 0111 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
フラッシュメモリ読み出しアドレス設定	0	0 0000 0010 00	0 0000 000H 00	0 LLLL LLLL 00		第2,3バイトは新規アドレス毎に設定します。
	1	0 0100 1100 00	0 0001 1100 00	0 0000 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
フラッシュメモリ下位バイト読み出し	0	0 0000 0000 00	0 0000 0000 00			新規アドレス毎に第1,2バイトを繰り返します。
	1	0 0110 1000 00	0 0110 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
フラッシュメモリ上位バイト読み出し	0	0 0000 0000 00	0 0000 0000 00			新規アドレス毎に第1,2バイトを繰り返します。
	1	0 0111 1000 00	0 0111 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
EEPROM書き込みアドレス設定	0	0 0001 0001 00	0 00LL LLLL 00			第2バイトは新規アドレス毎に設定します。
	1	0 0100 1100 00	0 0000 1100 00			
	2	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROMバイト書き込み	0	0 WWWW WWWW 00	0 0000 0000 00	0 0000 0000 00		第3バイト後PB2=Highまで待機します。新規アドレス毎に第1~3バイトを繰り返します。
	1	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00		
EEPROM読み出しアドレス設定	0	0 0000 0011 00	0 00LL LLLL 00			第2バイトは新規アドレス毎に設定します。
	1	0 0100 1100 00	0 0000 1100 00			
	2	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROMバイト読み出し	0	0 0000 0000 00	0 0000 0000 00			新規アドレス毎に第2バイトを繰り返します。
	1	0 0110 1000 00	0 0110 1100 00			
	2	x xxxx xxxx xx	R RRRR RRRx xx			
ヒューズビット書き込み	0	0 0100 0000 00	0 8765 1143 00	0 0000 0000 00	0 0000 0000 00	第4バイト後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx				
施錠ビット書き込み	0	0 0010 0000 00	0 0000 0210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後PB2=Highまで待機します。
	1	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	0 0000 0000 00	
ヒューズビット読み出し	0	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0100 1100 00	0 0110 1000 00	0 0110 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	8 765x x43x xx		
施錠ビット読み出し	0	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		
	1	0 0100 1100 00	0 0111 1000 00	0 0111 1100 00		
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx 21xx xx		
識票バイト読み出し	0	0 0000 1000 00	0 0000 00LL 00	0 0000 0000 00	0 0000 0000 00	新規アドレス毎に第2~4バイトを繰り返します。
	1	0 0100 1100 00	0 0000 1100 00	0 0110 1000 00	0 0110 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	R RRRR RRRx xx	
校正バイト読み出し	0	0 0000 1000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	
	1	0 0100 1100 00	0 0000 1100 00	0 0111 1000 00	0 0111 1100 00	
	2	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	R RRRR RRRx xx	

注1: H = アドレス上位バイトのビット 1 = 施錠ビット1 (LB1) 5 = RSTDISBL ヒューズビット
 L = アドレス下位バイトのビット 2 = 施錠ビット2 (LB2) 6 = SPIEN ヒューズビット
 R = 読み出しデータ (MCU出力) 3 = CKSEL0 ヒューズビット 7 = BODEN ヒューズビット
 W = 書き込みデータ (MCU入力) 4 = CKSEL1 ヒューズビット 8 = BODLEVEL ヒューズビット
 x = 0か1 (無視または無効)

注2: 施錠ビットはチップ消去の実行によってのみ解除(非プログラム(1))されます。

高電圧直列プログラミング特性

図32. 高電圧直列プログラミング タイミング

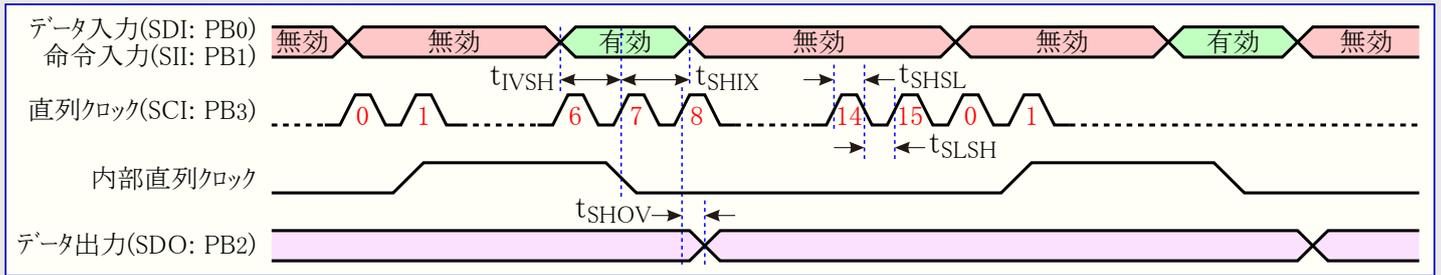


表26. 高電圧直列プログラミング特性 (特記条件を除いて、 $T_A=25^{\circ}\text{C}\pm 10\%$, $V_{CC}=5.0\text{V}\pm 10\%$)

シンボル	項目	最小	代表	最大	単位
tSHSL	SCIパルスHレベル幅	25			ns
tSLSH	SCIパルスLレベル幅	25			
tIVSH	SCI ↑ に対するSDI,SII準備時間	50			
tSHIX	SCI ↑ に対するSDI,SII保持時間	50			
tSHOV	SCI ↑ に対するSDO出力遅延時間	10	16	32	

低電圧直列プログラミング

フラッシュメモリとEEPROMの両方は $\overline{\text{RESET}}$ がGNDに引かれている間に直列SPIバスを使ってプログラミングできます。この直列インターフェースはSCK入力、MOSI入力、MISO出力ピンで構成されます(図33参照)。RESETをLowレベルに設定後、プログラムや消去命令が実行される前に、**プログラミング許可命令**が最初に実行されなければなりません。

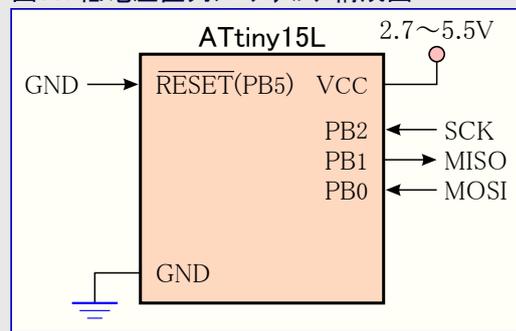
EEPROMに対しては自己タイミングによる**書き込み命令**内で先行して自動消去周期が提供される(低電圧直列プログラミングのみ)ので、最初に**チップ消去命令**を実行する必要はありません。チップ消去命令はフラッシュメモリとEEPROMの全ての内容を\$FFにします。

フラッシュメモリとEEPROMはプログラム用フラッシュメモリが\$0000~\$01FF、データ用EEPROMメモリが\$0000~\$003Fの分離されたアドレス空間を持ちます。

このデバイスは未校正最小周波数(0.8~1.6MHz)で内蔵クロックからクロック駆動されません。直列クロック(SCK)のLow区間とHigh区間の最小値は次のように定義されます。

Low区間 > 2 MCUクロック周期
High区間 > 2 MCUクロック周期

図33. 低電圧直列プログラミング構成図



低電圧直列プログラミング手順

ATtiny15Lに直列データを書く時はSCKの上昇端で行われ、読む時はSCKの下降端で行われます。これらの詳細タイミングについては図34、図35、表28を参照してください。

低電圧直列プログラミング動作でのATtiny15Lのプログラミングと検証は次の手順が推奨されます。(4バイトの命令形式は表27を参照)

- 次の手順で電源を投入します。
 $\overline{\text{RESET}}$ とSCKがLow(0)に設定されている間に、VCCとGND間へ電源を供給します。電源投入中、SCKがLow(0)に保持されることを書き込み器が保証できない場合、SCKがLow(0)に設定されてしまった後、RESETは最低MCU周期幅2つ分の正パルスが与えられなければなりません。
- 最低20ms待機し、MOSI(PB0)ピンに**プログラミング許可命令**を送ることによって直列プログラミングを可能にします。直列クロック(SCK)入力のLowとHighの最小時間について、上の項目を参照してください。
- 通信の同期が外れていると、直列プログラミング命令が動作しません。同期しているとき、プログラム許可命令の第3バイト送出時に第2バイト(\$53)を送り返します。この送り返しが成功か失敗かによらず、命令の4バイト全てが送信されなければなりません。送り返しが\$53でなかった場合、SCKに正パルスを与え、新規プログラミング許可命令を行います。32回の試行で\$53が検出できない場合、低電圧直列プログラミング機能のないデバイスが接続されています。
- チップ消去が実行される場合(フラッシュメモリの消去のために実行が必要)、この命令実行後tWD_ERASE(42頁の表29参照)時間待機して、RESETに正パルスを与え、手順2.からを行います。
- フラッシュメモリやEEPROMは適切な**書き込み命令**内でアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMメモリ位置は、新規(今回)データが書かれる前、最初に自動消去されます。フラッシュメモリやEEPROMの次のバイトが書ける時を検出するために**データポーリング**を使ってください。ポーリングが使われない場合、次の命令送出前にtWD_FLASHまたはtWD_EEPROM(42頁の表30参照)時間待機します。消去されているデバイスでは、\$FFのデータを書く必要がありません。
- 何れのメモリ位置も、選択されたアドレスの内容を直列出力MISO(PB1)ピンに読み戻す、**読み出し命令**の使用で検証ができます。
- プログラミング終了時、通常動作とするためには、 $\overline{\text{RESET}}$ をHigh(1)に設定します。
- 電源OFF手順(必要な場合)
 - RESETをHigh(1)にします。
 - VCC電源をOFFにします。

データポーリング

フラッシュメモリまたはEEPROM内でバイトが書かれているとき、書かれているアドレス位置を読むと、値\$FFが得られます。書かれた値が正しく読めると同時に、デバイスは新規バイトの準備が整います。これは次バイトが書ける時を決めるのに使われます。これは値\$FFについては行えず、この値を書くときは、次バイト書き込み前に最低tWD_FLASHまたはtWD_EEPROM待たなければなりません。チップ消去されたデバイスの内容は全て\$FFですので、書き込み値\$FFのアドレスの書き込みは飛ばすことができます。これはデバイスをチップ消去しないでEEPROMが再書き込みされる場合、適用されません。この場合、値\$FFについてデータポーリングは使えず、次バイト書き込み前に最低tWD_EEPROM待たなければなりません。tWD_FLASHとtWD_EEPROM値については表30をご覧ください。

図34. 低電圧直列プログラミングバイト通信波形

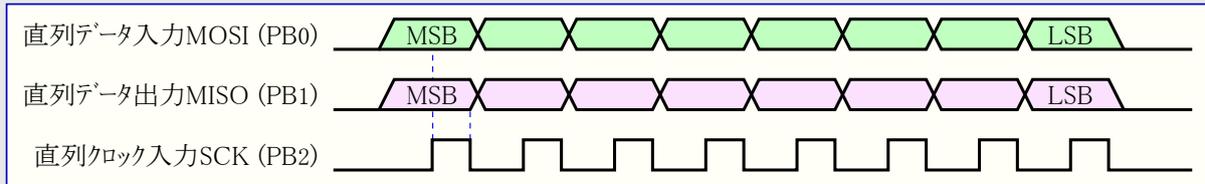


表27. 低電圧直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low中、プログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリとEEPROMを消去します。
フラッシュメモリ読み出し	0010 P000	xxxx xxH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
フラッシュメモリ書き込み	0100 P000	xxxx xxH	LLLL LLLL	WWW WWW	アドレスH:LのP(H/L)バイトに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxxx	xxLL LLLL	RRRR RRRR	アドレスLのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxxx	xxLL LLLL	WWW WWW	アドレスLのバイトに書き込みます。
施錠ビット読み出し	0101 1000	xxxx xxxx	xxxx xxxx	xxxx x21x	施錠ビット(LB1, LB2)を読み出します。
施錠ビット書き込み	1010 1100	1111 1211	xxxx xxxx	xxxx xxxx	施錠ビット(LB1, LB2)を書き込みます。
ヒューズビット読み出し	0101 0000	xxxx xxxx	xxxx xxxx	8765 xx43	ヒューズビットを読み出します。
ヒューズビット書き込み	1010 1100	101x xxxx	xxxx xxxx	8765 1143	ヒューズビットを書き込みます。
識票バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。
校正バイト読み出し	0011 1000	xxxx xxxx	0000 0000	RRRR RRRR	内蔵RC発振器用校正バイトを読み出します。

注1: H: アドレス上位バイトのビット W: 書き込みデータ (MCU入力) 4: CKSEL1 ヒューズビット 8: BODLEVEL ヒューズビット
 L: アドレス下位バイトのビット 1: 施錠ビット1 (LB1) 5: RSTDISBL ヒューズビット x: 0か1 (無視または無効)
 P: 0=下位バイト、1=上位バイト 2: 施錠ビット2 (LB2) 6: SPIEN ヒューズビット
 R: 読み出しデータ (MCU出力) 3: CKSEL0 ヒューズビット 7: BODEN ヒューズビット

低電圧直列プログラミング特性

図35. 低電圧直列プログラミングタイミング

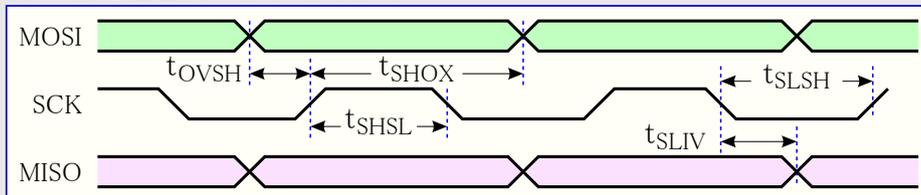


表28. 低電圧直列プログラミング特性 (特記条件を除いて、TA=-40℃~85℃, VCC=2.7~5.5V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	2.7~5.5V	0.8	1.6	MHz
tCLCL	発振器周期	2.7~5.5V	625	1250	ns
tSHSL	SCKパルスHレベル幅	2tCLCL			
tSLSH	SCKパルスLレベル幅	2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間	tCLCL			
tSHOX	SCK↑に対するMOSI保持時間	2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間	10	16	32	

表29. チップ消去命令後最小待機時間

シンボル	最小待機時間
tWD_ERASE	8.2ms

表30. フラッシュメモリ, EEPROM書き込み命令後最小待機時間

シンボル	最小待機時間	シンボル	最小待機時間
tWD_FLASH	4.1ms	tWD_EEPROM	8.2ms

電気的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-1.0V ~ VCC+0.5V
RESETピン許容電圧	-1.0V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	100.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=2.7V~5.5V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧	XTALを除く	-0.5		0.3VCC (注1)	V
V _{IL1}	Lowレベル入力電圧	XTAL	-0.5		0.1VCC (注1)	
V _{IH}	Highレベル入力電圧	XTAL,RESETを除く	0.6VCC (注2)		VCC+0.5	
V _{IH1}	Highレベル入力電圧	XTAL	0.7VCC (注2)		VCC+0.5	
V _{IH2}	Highレベル入力電圧	RESET	0.85VCC (注2)		VCC+0.5	
V _{OL}	Lレベル出力電圧 (PB5を除くポートB) (注3)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	
V _{OH}	Hレベル出力電圧 (ポートB) (注4)	IOL=12mA, VCC=5V			0.6	
		IOL=6mA, VCC=3V			0.5	
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V (確実なH/L範囲)	IOH=-3mA, VCC=5V	4.3		
			IOH=-1.5mA, VCC=3V	2.3		
R _{I/O}	I/Oピンプルアップ抵抗		35		122	kΩ
I _{CC}	活動動作消費電流	VCC=3V			3.0	mA
	アイドル動作消費電流	VCC=3V		1.0	1.2	
	パワーダウン動作消費電流 (注5)	VCC=3V, WDT有効		9.0	15	μA
	VCC=3V, WDT禁止		<1	2.0		
V _{ACIO}	アナログ比較器入力オフセット電圧	VCC=5V, Vin=VCC/2			40	mV
I _{ACLK}	アナログ比較器入力漏れ電流		-50		50	nA
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで20mA、VCC=3Vで10mA)より多くの吸い込み電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで3mA、VCC=3Vで1.5mA)より多くの吐き出し電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOHの合計が100mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きな吐き出し電流を流すことは保証されません。

注5: パワーダウン動作時の最小電源電圧(VCC)は1.5Vです。(低電圧検出(BOD)禁止時のみ)

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $C_L(\text{負荷容量}) \times V_{CC}(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイマ許可のパワーダウン動作での消費電流とウォッチドッグ タイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイマにより引き込んだ(消費した)差電流を表します。

図36. 活動動作消費電流 対 動作電圧 (1.6MHz校正付き内蔵RC発振器)

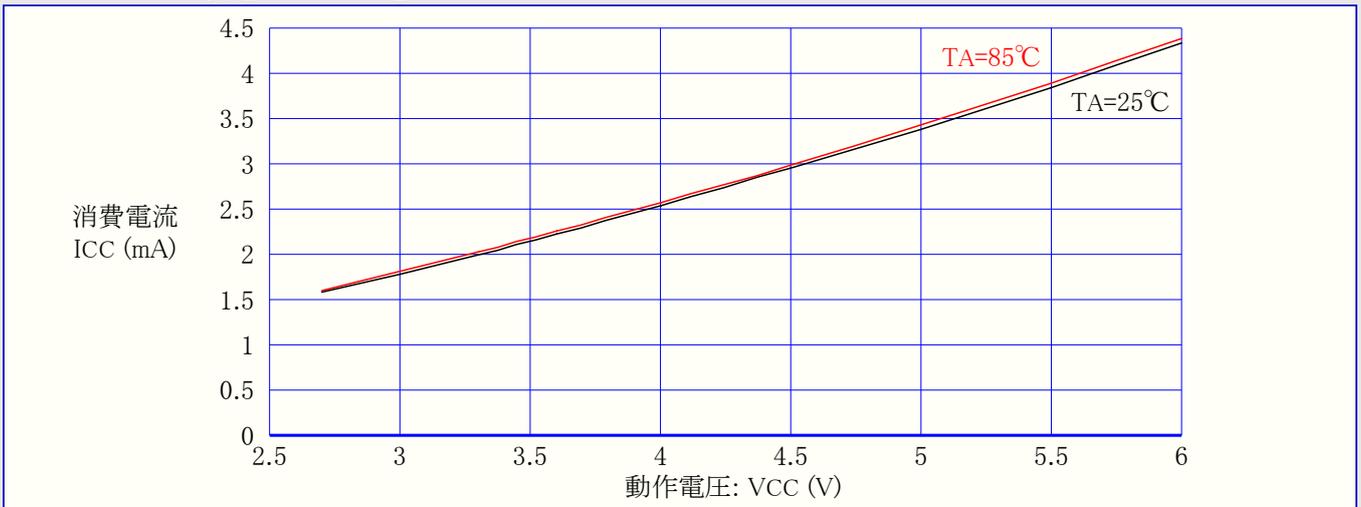


図37. アイドル動作消費電流 対 動作電圧 (1.6MHz校正付き内蔵RC発振器)

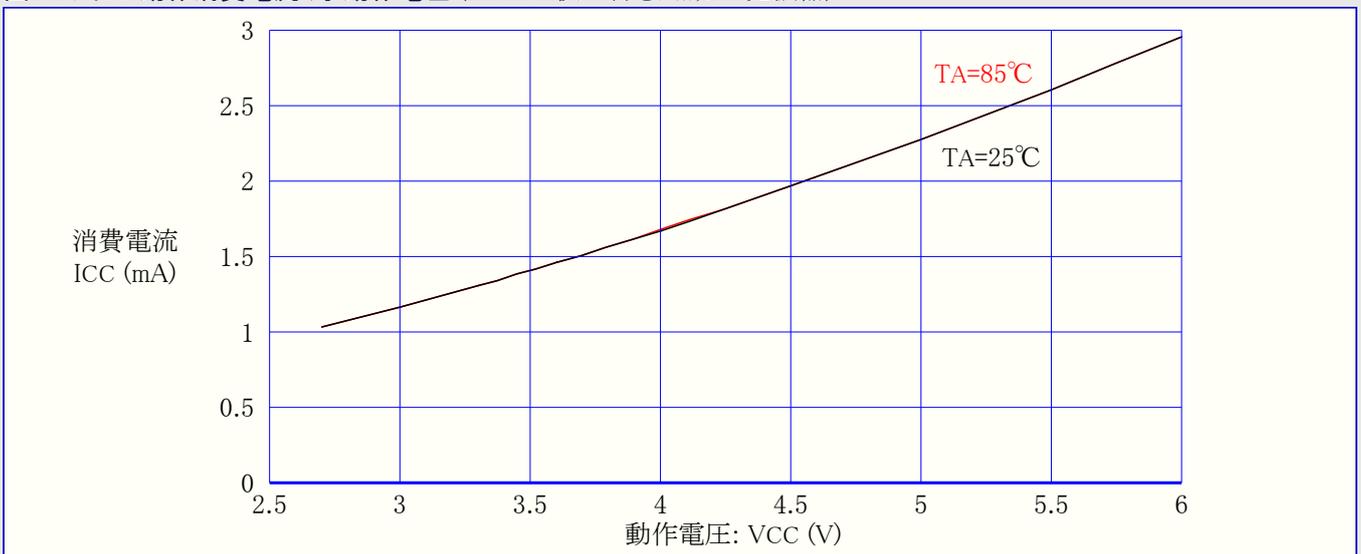
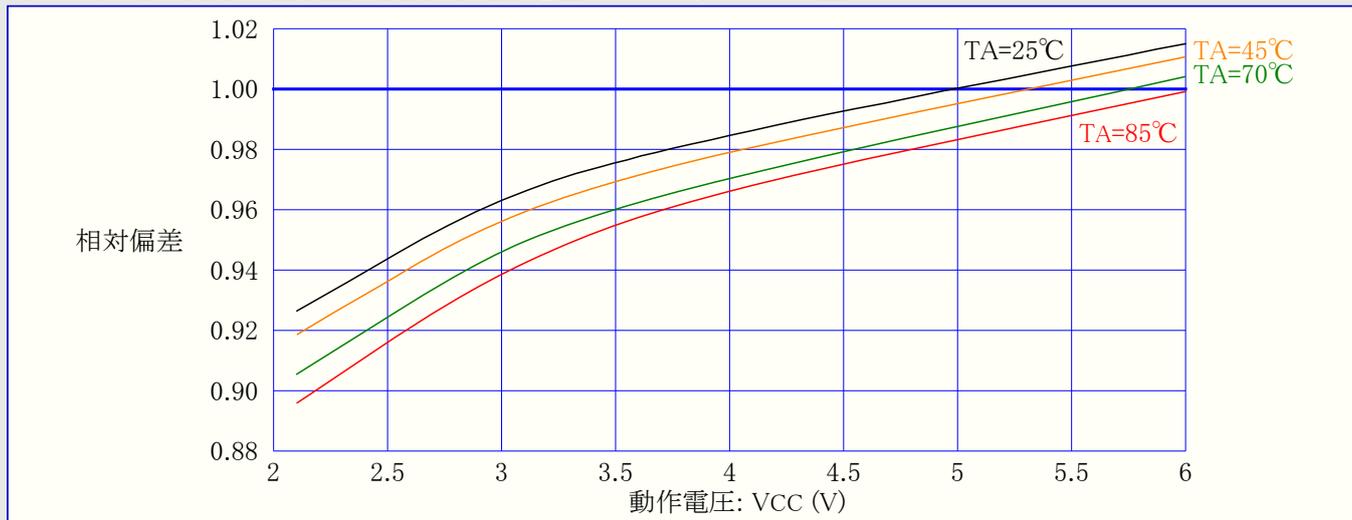


図38. 校正済み内蔵RC発振器周波数 対 動作電圧 (VCC=5V, TA=25°C 基準=1.00)



注: 公称発振周波数=1.6MHz

図39. 内部基準電圧 対 動作電圧 (アナログ比較器での測定)

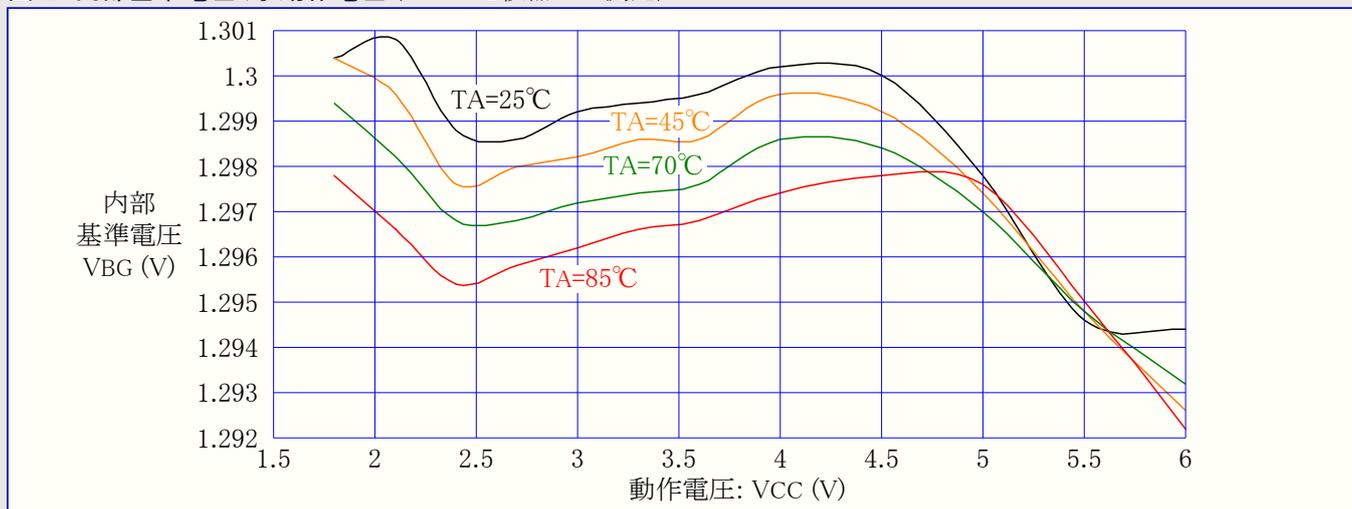
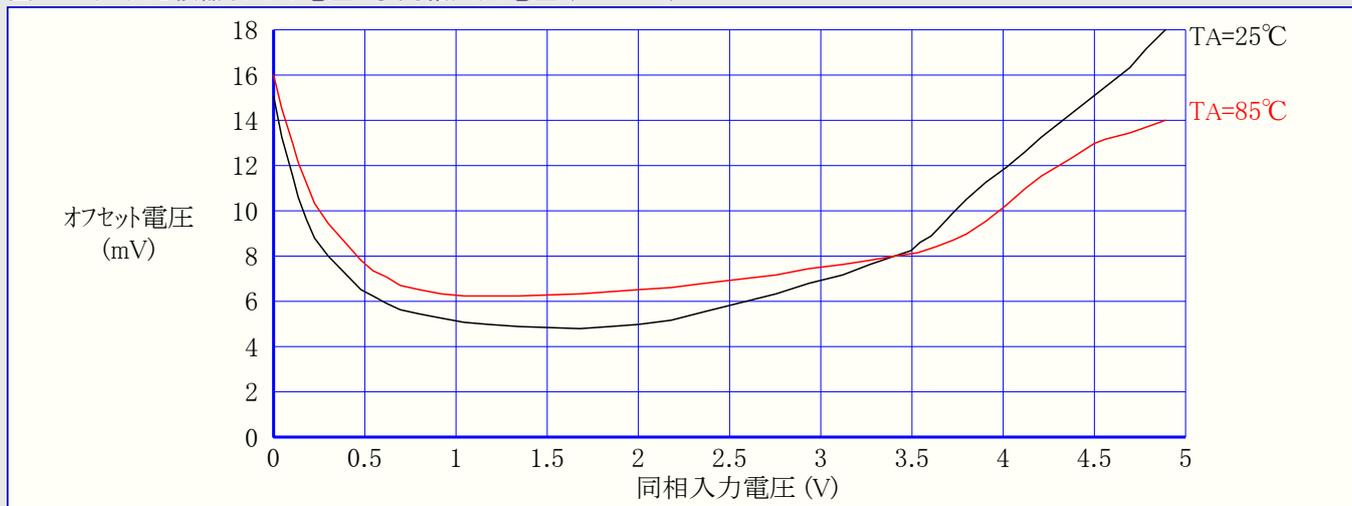
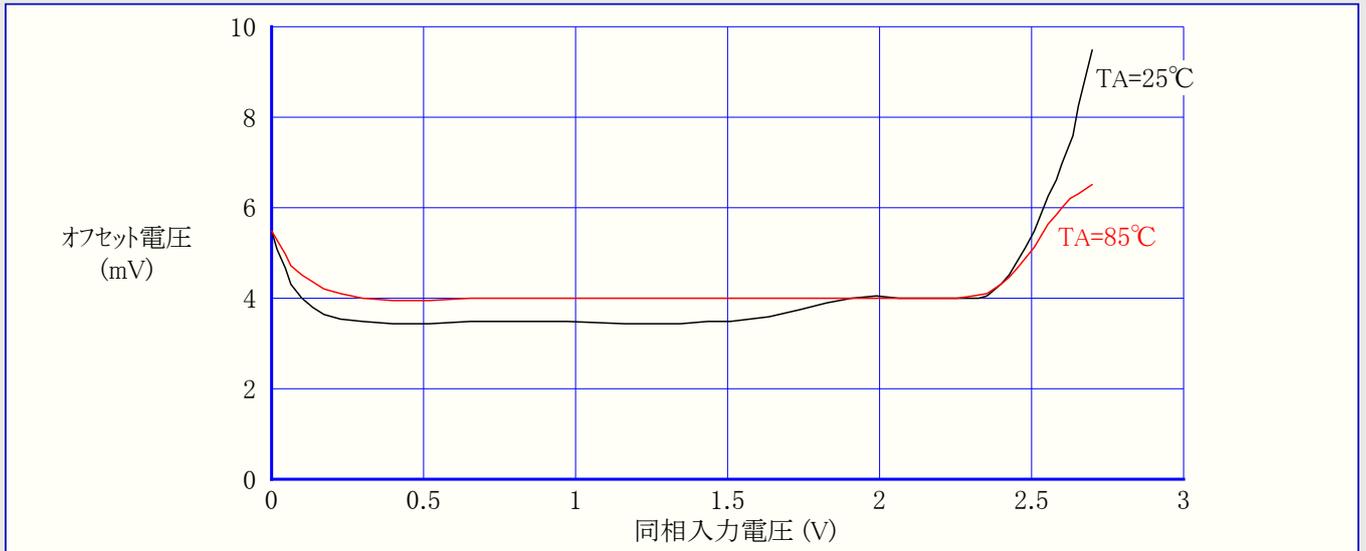


図40. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=5V)



注: オフセット電圧は絶対値です。

図41. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=2.7V)



注: オフセット電圧は絶対値です。

図42. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25°C)

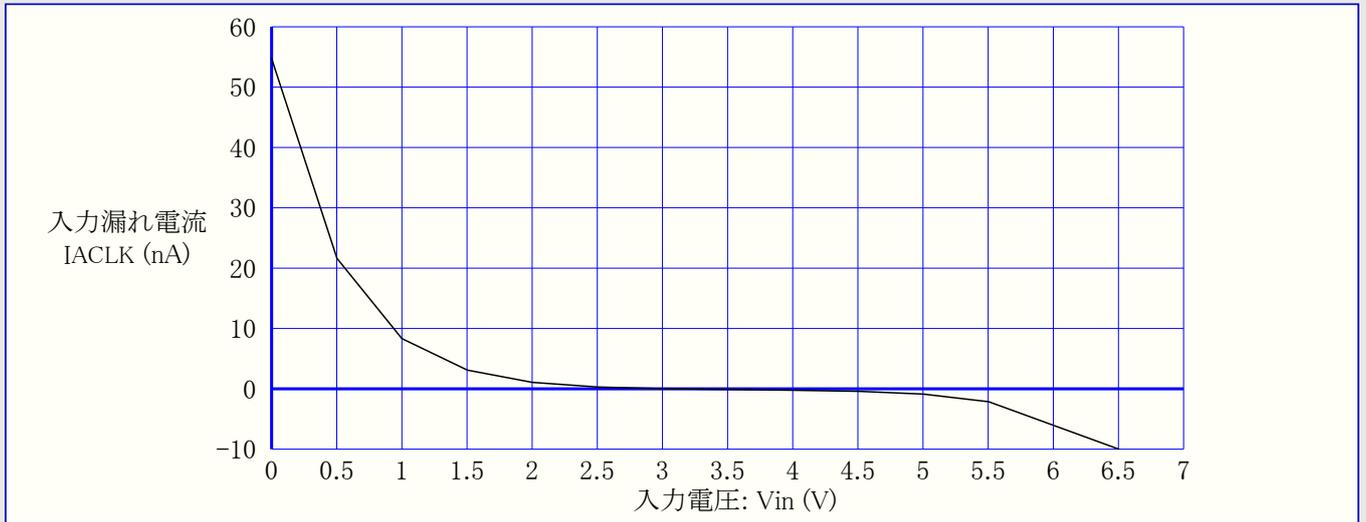


図43. ウォッチドッグ用発振器 発振周波数 対 動作電圧

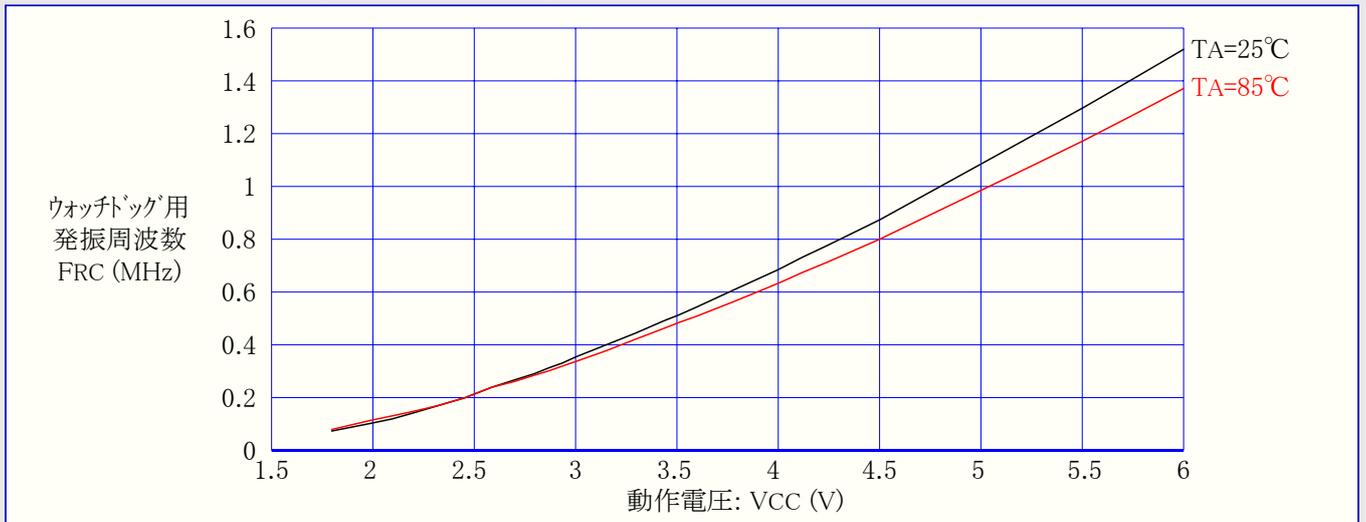
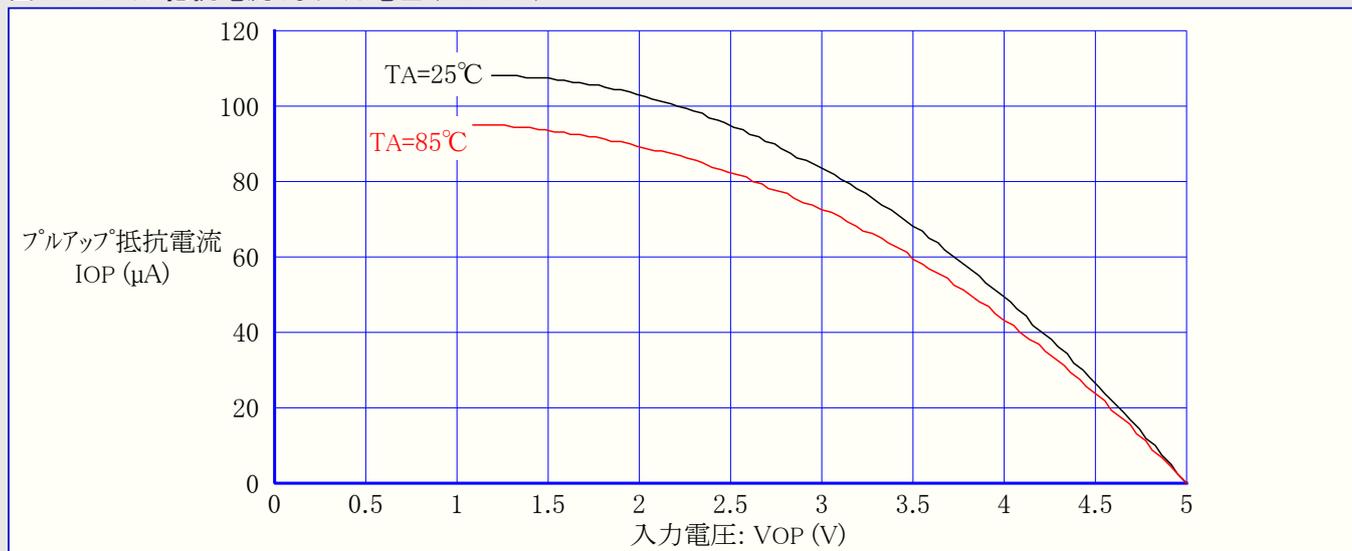
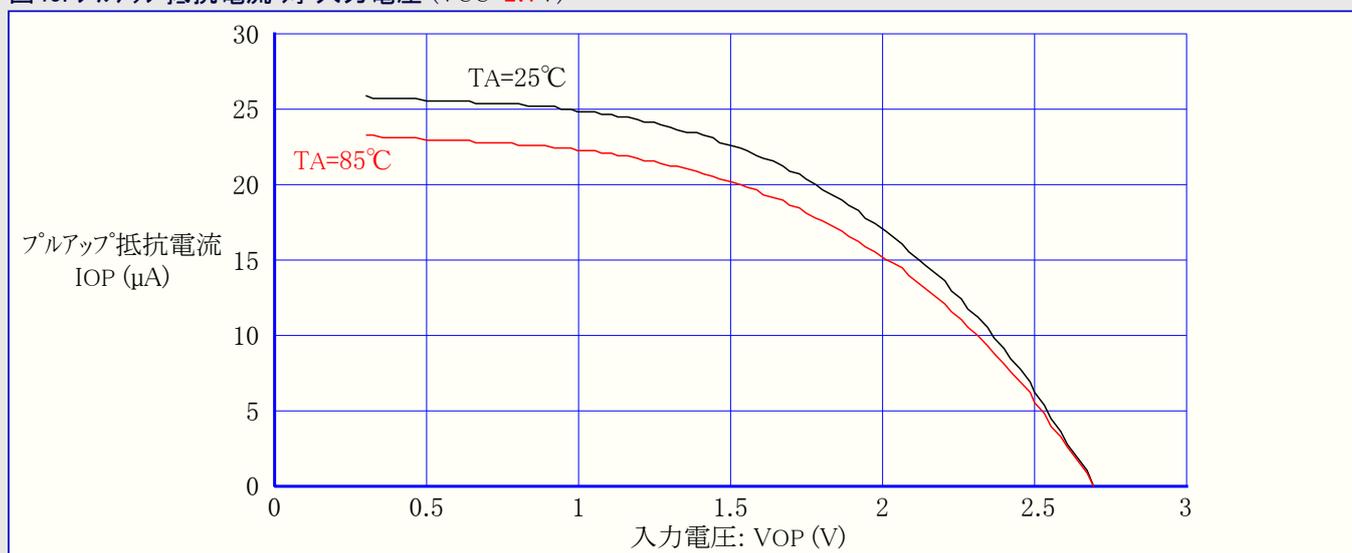


図44. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



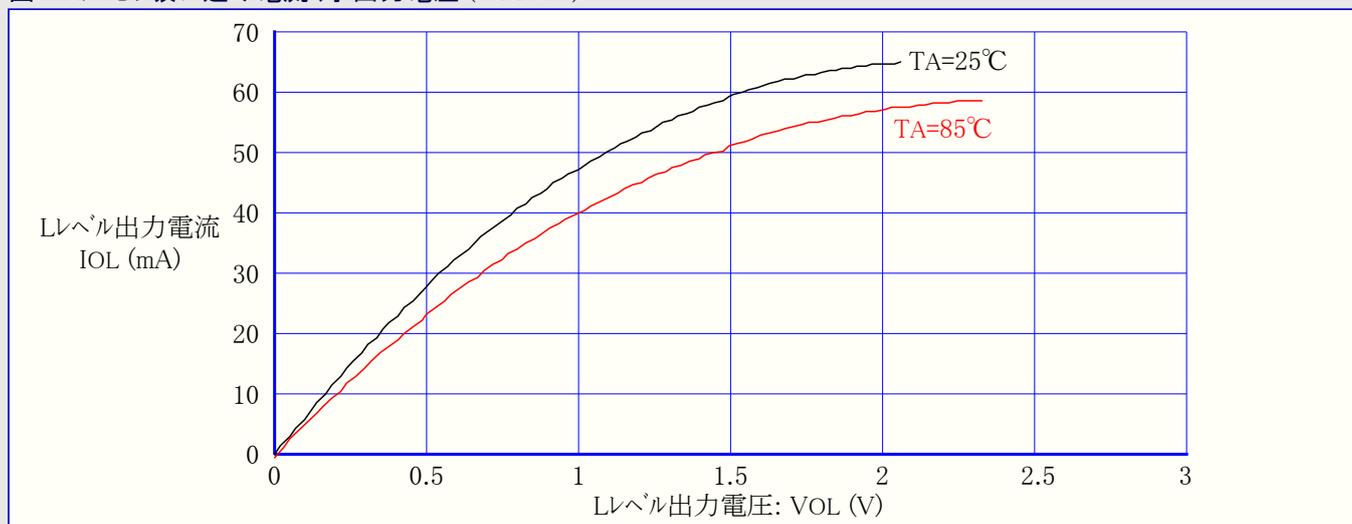
注: 測定は1ピン単位です。

図45. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



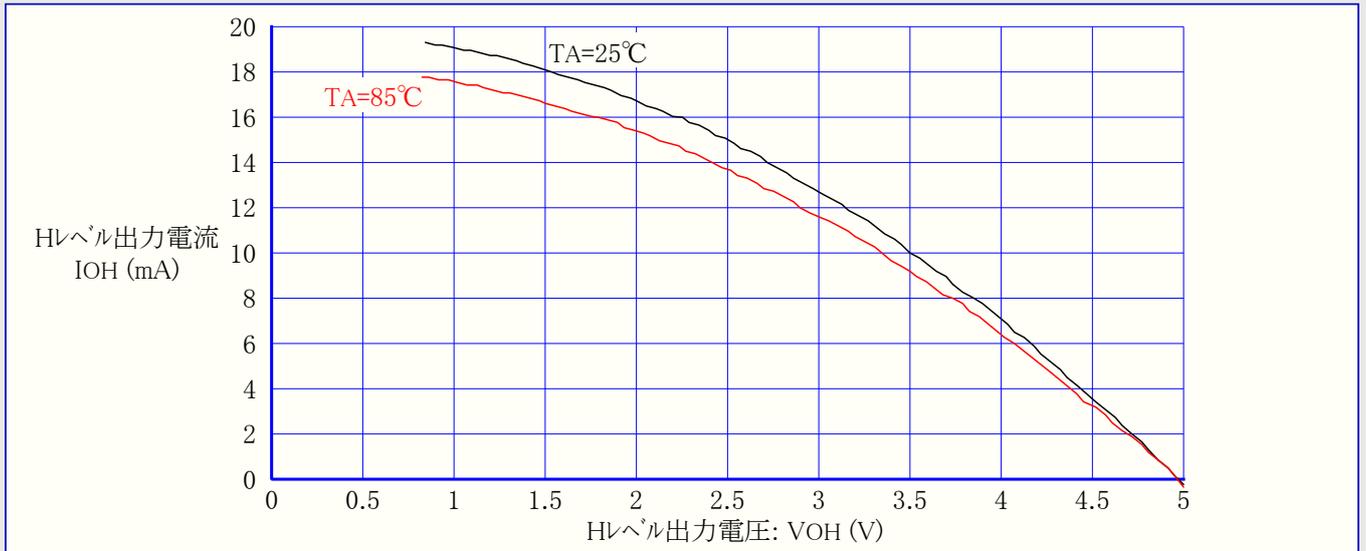
注: 測定は1ピン単位です。

図46. I/Oピン吸い込み電流 対 出力電圧 (VCC=5V)



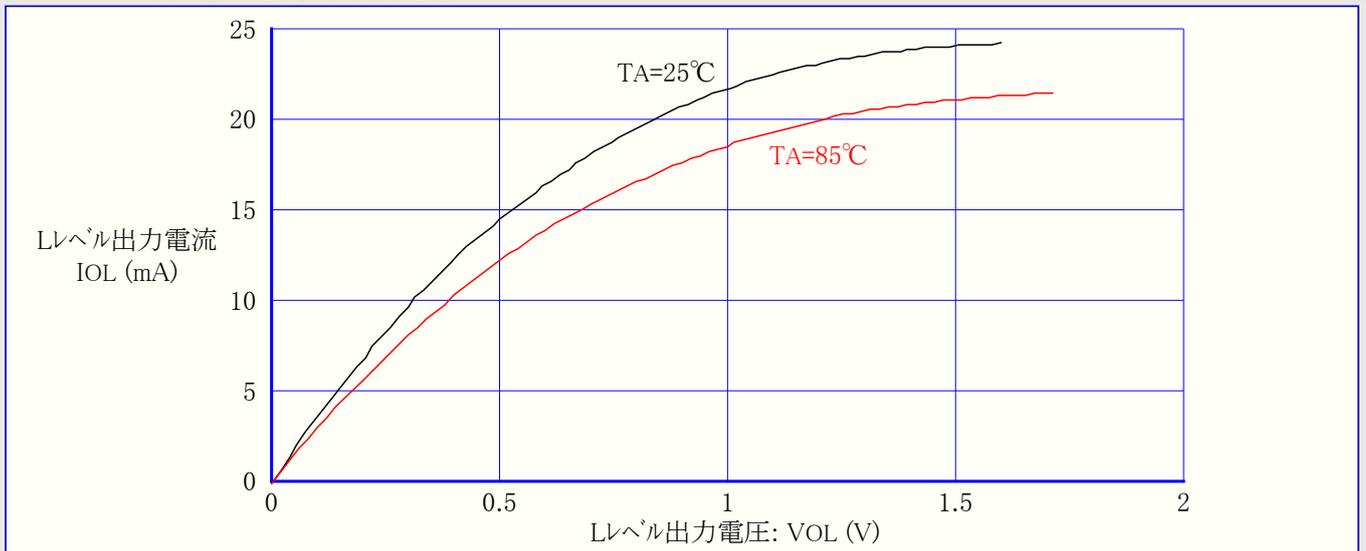
注: 測定は1ピン単位です。

図47. I/Oピン吐き出し電流 対 出力電圧 (VCC=5V)



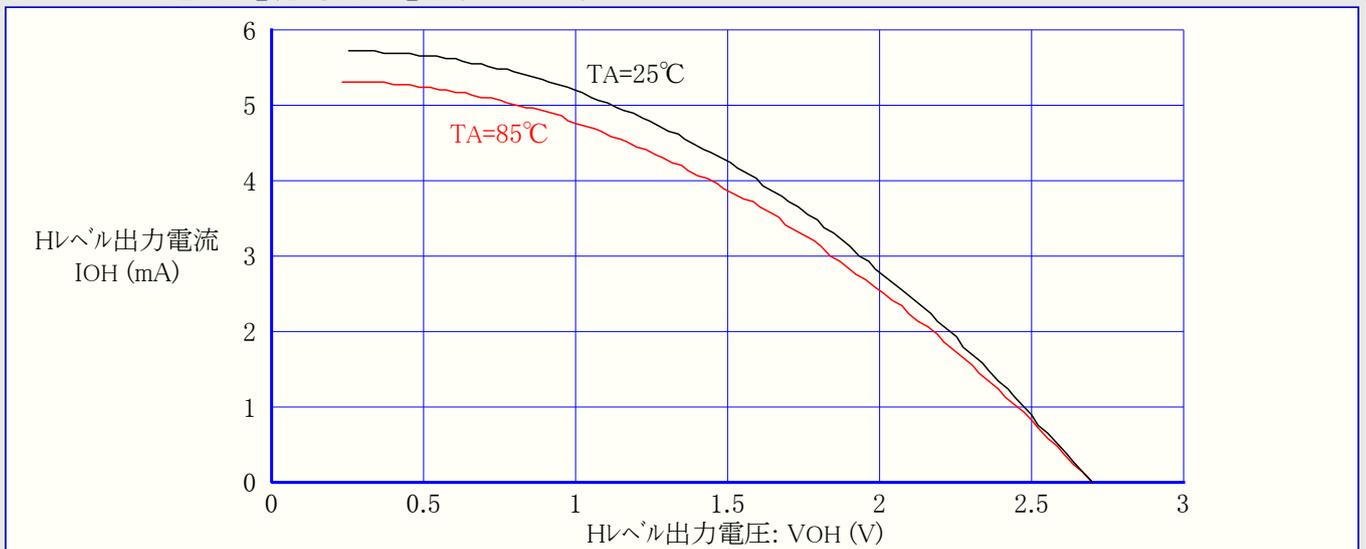
注: 測定は1ピン単位です。

図48. I/Oピン吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図49. I/Oピン吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図50. I/Oピン入力閾値(スレッシュホールド)電圧 対 動作電圧 (TA=25°C)

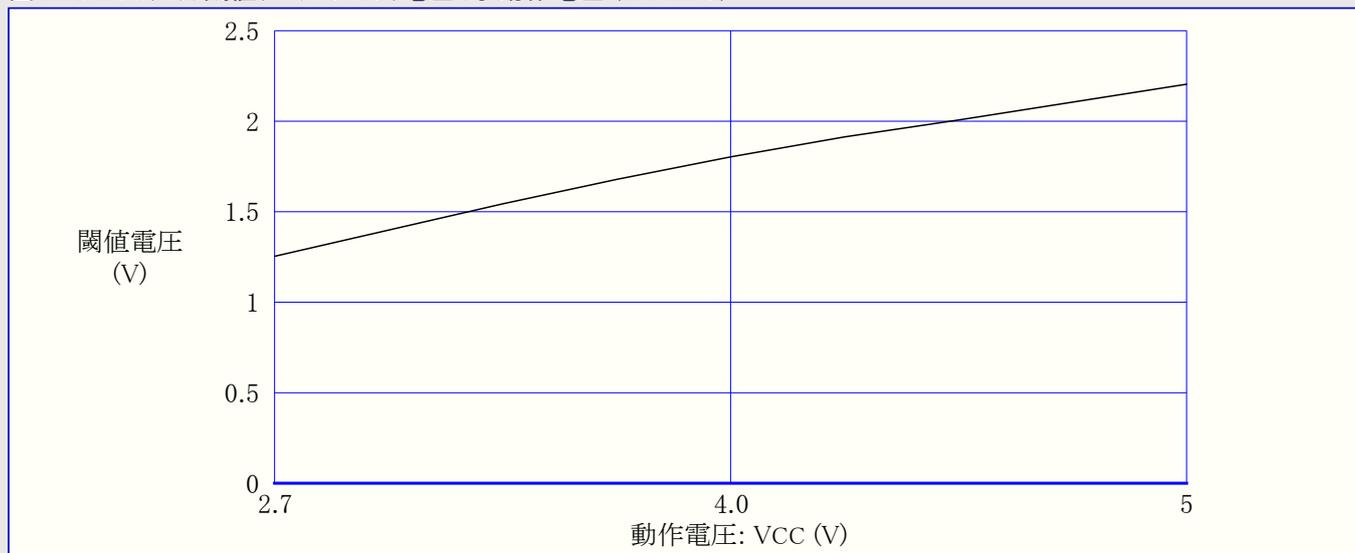
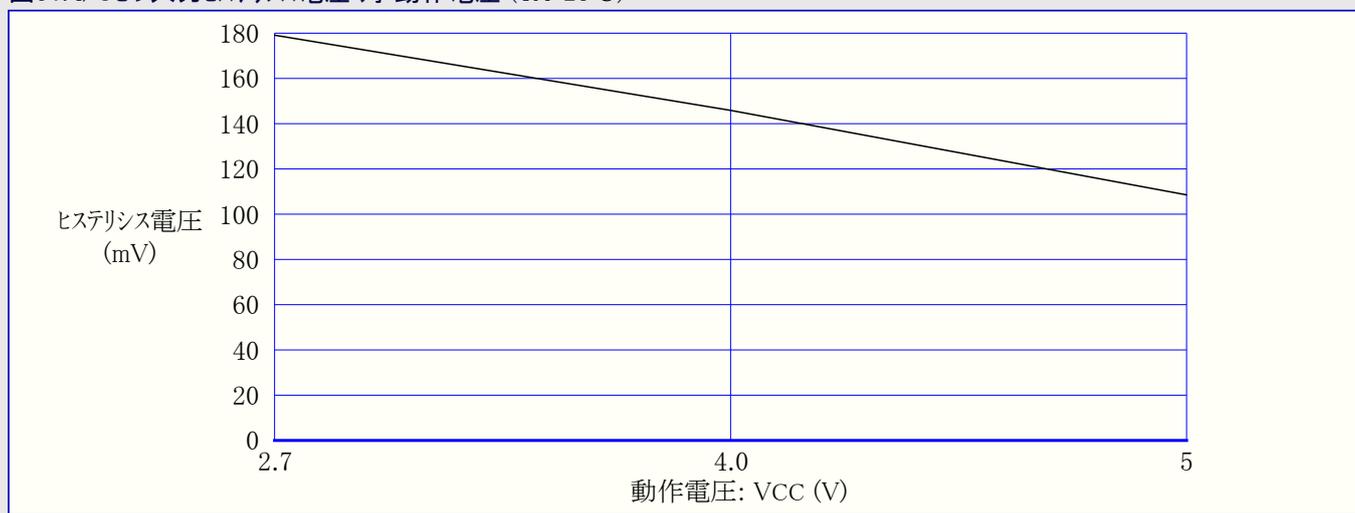


図51. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F	SREG	I	T	H	S	V	N	Z	C	8
\$3E	予約									
\$3D	予約									
\$3C	予約									
\$3B	GIMSK	-	INT0	PCIE	-	-	-	-	-	14
\$3A	GIFR	-	INTF0	PCIF	-	-	-	-	-	14
\$39	TIMSK	-	OCIE1A	-	-	-	TOIE1	TOIE0	-	15
\$38	TIFR	-	OCF1A	-	-	-	TOV1	TOV0	-	15
\$37	予約									
\$36	予約									
\$35	MCUCR	-	PUD	SE	SM1	SM0	-	ISC01	ISC00	16
\$34	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	12
\$33	TCCR0	-	-	-	-	-	CS02	CS01	CS00	19
\$32	TCNT0	タイマ/カウンタ0								
\$31	OSCCAL	内蔵RC発振器校正值								
\$30	TCCR1	CTC1	PWM1	COM1A1	COM1A0	CS13	CS12	CS11	CS10	21
\$2F	TCNT1	タイマ/カウンタ1								
\$2E	OCR1A	タイマ/カウンタ1 比較Aレジスタ								
\$2D	OCR1B	タイマ/カウンタ1 比較Bレジスタ								
\$2C	SFIOR	-	-	-	-	-	FOC1A	PSR1	PSR0	18
\$2B	予約									
\$2A	予約									
\$29	予約									
\$28	予約									
\$27	予約									
\$26	予約									
\$25	予約									
\$24	予約									
\$23	予約									
\$22	予約									
\$21	WDTCR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	24
\$20	予約									
\$1F	予約									
\$1E	EEAR	EEPROM アドレスレジスタ								
\$1D	EEDR	EEPROM データレジスタ								
\$1C	EECR	-	-	-	-	EERIE	EEMWE	EEWE	EERE	25
\$1B	予約									
\$1A	予約									
\$19	予約									
\$18	PORTB	-	-	-	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	35
\$17	DDRB	-	-	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	35
\$16	PINB	-	-	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	35
\$09~\$15	予約									
\$08	ACSR	ACD	AINBG	ACO	ACI	ACIE	-	ACIS1	ACIS0	27
\$07	ADMUX	REFS1	REFS0	ADLAR	-	-	MUX2	MUX1	MUX0	31
\$06	ADCSR	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	32
\$05	ADCH	A/Dデータレジスタ上位バイト (ADC9~8またはADC9~2)								
\$04	ADCL	A/Dデータレジスタ下位バイト (ADC7~0またはADC1~0)								
\$00~\$03	予約									

注: ・ 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリアドレスへは決して書くべきではありません。

- ・ いくつかの状態フラグは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00~\$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K : 8ビット定数
b : ビット(0~7)

P : I/Oレジスタ
k : アドレス定数(7,12ビット)

Rd, Rr : 汎用レジスタ(R0~R31)
s : ステータスフラグ(C,Z,N,V,X,H,T,I)

Z : Zレジスタ

ニーモニック	オペラント	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,I,Z,C	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文コード*	外圍器	動作範囲
1.6	2.7~5.5V	ATtiny15L-1PC	8P3	一般用 (0°C~70°C)
		ATtiny15L-1PU (注)		
		ATtiny15L-1SC		
		ATtiny15L-1SU (注)	8S2	工業用 (-40°C~85°C)
		ATtiny15L-1PI		
		ATtiny15L-1PU (注)		
		ATtiny15L-1SI		
		ATtiny15L-1SU (注)		

注: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

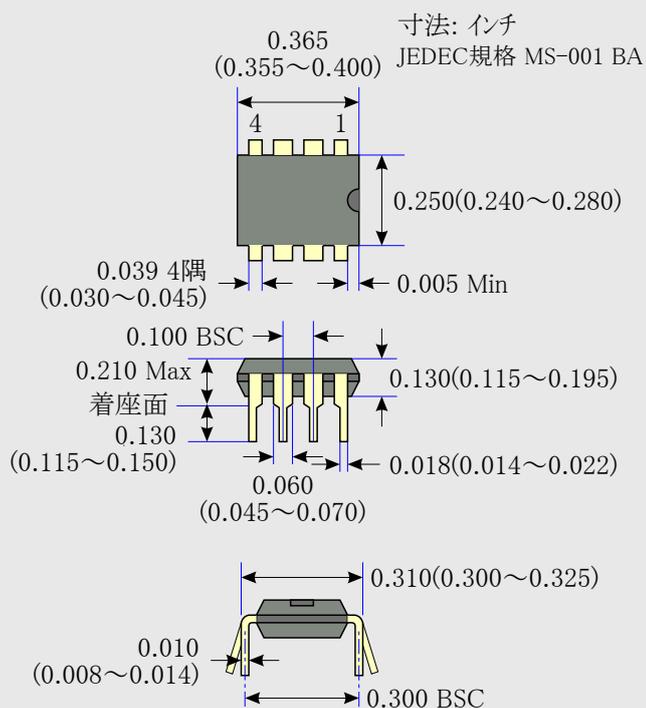
外圍器形式

8P3	8ピン 300mil幅 プラスティック2列直線外圍器 (PDIP)
8S2	8リード 200mil幅 プラスティック小型外形外圍器 (SOIC)

外圍器情報

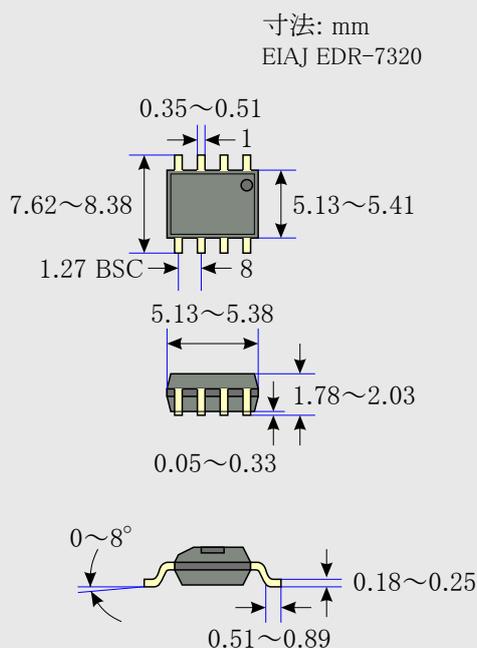
8P3

8ピン 300mil幅 プラスティック2列直線外圍器 (PDIP)



8S2

8リード 209mil幅 プラスティック小型外形外圍器 (EIAJ SOIC)



データシート改訂履歴

この章内の参照頁番号は、この資料が参照されていることに注意してください。この章内の改訂番号は資料の改訂番号を参照してください。

1187F – 2005年6月

1. 10頁の表4を更新
2. 35頁に「未接続ピン」を追加
3. 53頁の「外形情報」を更新

1187G – 2007年6月

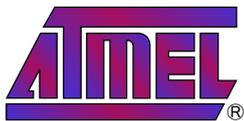
1. 1頁に「新規設計は推奨されません」を追加

1187H – 2007年9月

1. 53頁の「注文情報」を更新

目次

特徴	1	命令要約	50
ピン配置	1	注文情報	52
概要	2	外圍器情報	52
構成図	2	データシート改訂履歴	53
ピン説明	3		
内蔵発振器	3		
構造概要	4		
汎用レジスタファイル	5		
ALU (Arithmetic Logic Unit)	5		
実装書き換え可能なプログラム用フラッシュメモリ	5		
データ用EEPROMメモリ	5		
サブルーチン、割り込み用スタック	5		
プログラム/データ空間に対するアドレス指定種別	6		
I/Oレジスタ	7		
リセットと割り込みの扱い	9		
内部基準電圧	12		
割り込みの扱い	13		
休止形態	17		
校正付き内蔵RC発振器	17		
高速周辺機能クロック生成用内部PLL	17		
タイマ/カウンタ	18		
タイマ/カウンタ0前置分周器	18		
タイマ/カウンタ1前置分周器	18		
特殊I/O機能レジスタ (SFIOR)	18		
8ビットタイマ/カウンタ0	19		
8ビットタイマ/カウンタ1	20		
ウォッチドッグ タイマ	24		
EEPROMアクセス	25		
EEPROMデータ化けの防止	26		
アナログ比較器	27		
A/D変換器	28		
特徴	28		
操作	29		
前置分周と変換タイミング	29		
雑音低減機能	31		
雑音低減技術	33		
A/D変換器特性	34		
入出力ポートB	35		
メモリプログラミング	37		
プログラムメモリとデータメモリ用施錠ビット	37		
ヒューズビット	37		
識票バイト	37		
校正バイト	37		
フラッシュメモリとEEPROMのプログラミング	37		
高電圧直列プログラミング	38		
高電圧直列プログラミング手順	38		
高電圧直列プログラミング特性	40		
低電圧直列プログラミング	41		
低電圧直列プログラミング手順	41		
低電圧直列プログラミング特性	42		
電気的特性	43		
絶対最大定格	43		
DC特性	43		
代表特性	44		
レジスタ要約	49		



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

© Atmel Corporation 2007.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2022.

本データシートはAtmelのATtiny15L英語版データシート(改訂1187H-09/07)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。ACSRのビット6がAINBGとACBGの2つの名称が使用されていたのを、共通性からACBGに統一しました。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

他のデータシートとの共通性のため、原書に対して一部構成が異なっています。